

特長

- 2つの同時サンプリング差動入力を装備した3Msps ADC
- チャンネル当たりのスループット: 1.5Msps
- 低消費電力: 14mW (標準)
- 単一3V電源動作
- 外部オーバードライブ機能付き
2.5Vバンドギャップ・リファレンスを内蔵
- 3線シリアル・インタフェース
- スリープ (10μW) シャットダウン・モード
- ナップ (3mW) シャットダウン・モード
- 同相除去比: 100kHzで80dB
- ユニポーラ入力範囲: 0V~2.5V
- 小型10ピンMSパッケージ

アプリケーション

- テレコム
- データ収集システム
- 無停電電源
- マルチフェーズ・モータ制御
- I&Q復調
- 産業用制御

概要

LTC[®]1407/LTC1407Aは、1.5Mspsで同時にサンプリングされる2つの差動入力を備えた12ビット/14ビットの3Msps ADCです。これらのデバイスは、単一3V電源で消費電流がわずかに4.7mAで、小型10ピンMSパッケージで供給されます。スリープ・シャットダウン機能により、消費電力を10μWに低減できます。高速、低消費電力、小型パッケージのLTC1407/LTC1407Aは、高速の携帯アプリケーションに適しています。

LTC1407/LTC1407Aは、CONV信号の立上りエッジで同時にサンプリングされる2つの別個の差動入力を搭載しています。これらのサンプリングされた2つの入力は1.5Msps/チャンネルのレートで変換されます。

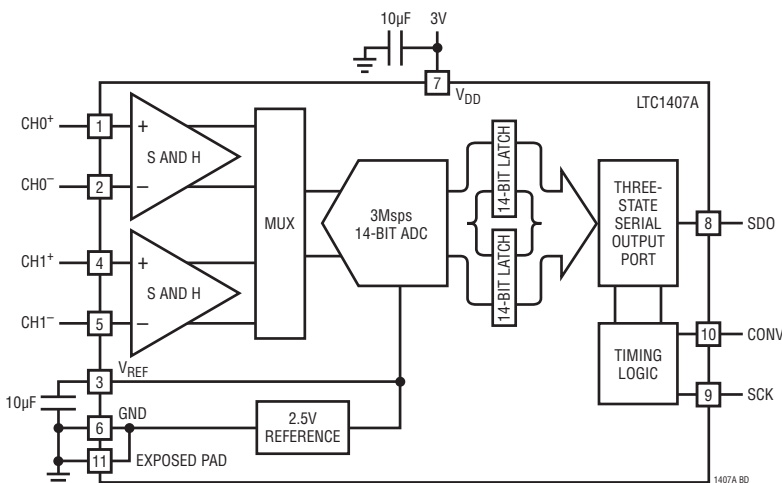
80dBの同相除去により、ソースから差動で信号を測定することによってグラウンド・ループや同相ノイズを排除できます。

これらのデバイスは0V~2.5Vのユニポーラ入力を差動変換します。CH0⁺、CH0⁻、CH1⁺、CH1⁻の絶対電圧振幅はグラウンドから電源電圧までです。

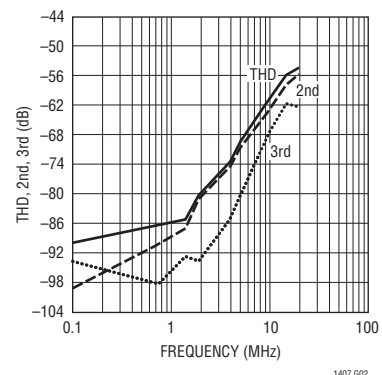
標準シリアル・インタフェースとの互換性のため、シリアル・インタフェースは2つの変換結果を32クロックで送出します。

LT、LT、LTCおよびLTMはリアテクノロジー社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。6084440、6522187を含む米国特許により保護されています。

ブロック図



THD、2次、および3次と
入力周波数



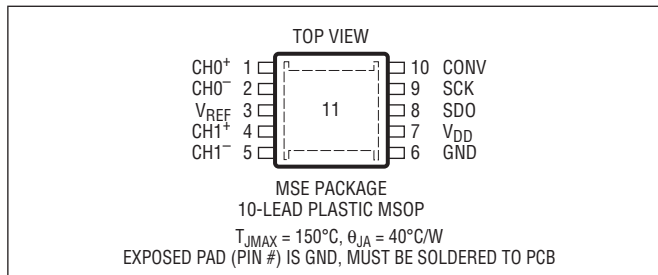
LTC1407/LTC1407A

絶対最大定格

(Notes 1, 2)

電源電圧 (V_{DD})	4V
アナログ入力電圧 (Note 3)	-0.3V ~ ($V_{DD} + 0.3V$)
デジタル入力電圧	-0.3V ~ ($V_{DD} + 0.3V$)
デジタル出力電圧	-0.3V ~ ($V_{DD} + 0.3V$)
消費電力	100mW
動作温度範囲	
LTC1407C/LTC1407AC	0°C ~ 70°C
LTC1407I/LTC1407AI	-40°C ~ 85°C
LTC1407H/LTC1407AH	-40°C ~ 125°C
保存温度範囲	-65°C ~ 150°C
リード温度 (半田付け, 10秒)	300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC1407CMSE#PBF	LTC1407CMSE#TRPBF	LTBDQ	10-Lead Plastic MSOP	0°C to 70°C
LTC1407IMSE#PBF	LTC1407IMSE#TRPBF	LTBDR	10-Lead Plastic MSOP	-40°C to 85°C
LTC1407HMSE#PBF	LTC1407HMSE#TRPBF	LTBDR	10-Lead Plastic MSOP	-40°C to 125°C
LTC1407ACMSE#PBF	LTC1407ACMSE#TRPBF	LTAFF	10-Lead Plastic MSOP	0°C to 70°C
LTC1407AIMSE#PBF	LTC1407AIMSE#TRPBF	LTAFF	10-Lead Plastic MSOP	-40°C to 85°C
LTC1407AHMSE#PBF	LTC1407AHMSE#TRPBF	LTAFF	10-Lead Plastic MSOP	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内蔵リファレンス使用、 $V_{DD} = 3V$ 。

PARAMETER	CONDITIONS	LTC1407			LTC1407A			LTC1407H			LTC1407AH			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution (No Missing Codes)		●	12		14		12		14				Bits		
Integral Linearity Error	(Notes 5, 17)	●	-2	±0.25	2	-4	±0.5	4	-2	±0.25	2	-4	±0.5	4	LSB
Offset Error	(Notes 4, 17)	●	-10	±1	10	-20	±2	20	-20	±1	20	-30	±2	30	LSB
Offset Match from CH0 to CH1	(Note 17)		-5	±0.5	5	-10	±1	10	-5	±0.5	5	-10	±1	10	LSB
Gain Error	(Notes 4, 17)	●	-30	±5	30	-60	±10	60	-40	±5	40	-80	±10	80	LSB
Gain Match from CH0 to CH1	(Note 17)		-5	±1	5	-10	±2	10	-5	±1	5	-10	±2	10	LSB
Gain Tempco	Internal Reference (Note 4) External Reference			±15			±15			±15			±15	ppm/°C ppm/°C	

アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内蔵リファレンス使用、 $V_{DD} = 3V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Differential Input Range (Notes 3, 9)	$2.7V \leq V_{DD} \leq 3.3V$		0 to 2.5		V
V_{CM}	Analog Common Mode + Differential Input Range (Note 10)			0 to V_{DD}		V
I_{IN}	Analog Input Leakage Current		●		1	μA
C_{IN}	Analog Input Capacitance			13		pF
t_{ACQ}	Sample-and-Hold Acquisition Time	(Note 6)	●		39	ns
t_{AP}	Sample-and-Hold Aperture Delay Time			1		ns
t_{JITTER}	Sample-and-Hold Aperture Delay Time Jitter			0.3		ps
t_{SK}	Sample-and-Hold Aperture Skew from CH0 to CH1			200		ps
CMRR	Analog Input Common Mode Rejection Ratio	$f_{IN} = 1\text{MHz}, V_{IN} = 0V \text{ to } 3V$ $f_{IN} = 100\text{MHz}, V_{IN} = 0V \text{ to } 3V$		-60 -15		dB dB

ダイナミック精度

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内蔵リファレンス使用、 $V_{DD} = 3V$ 。

SYMBOL	PARAMETER	CONDITIONS	LTC1407/LTC1407H			LTC1407A/LTC1407AH			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX		
SINAD	Signal-to-Noise Plus Distortion Ratio	100kHz Input Signal	●	70.5			73.5		dB	
		750kHz Input Signal	●	68	70.5		70	73.5	dB	
		750kHz Input Signal (H Grade)	●	67	70.5		69	73.5	dB	
		100kHz Input Signal, External $V_{REF} = 3.3V, V_{DD} \geq 3.3V$			72.0			76.3	dB	
		750kHz Input Signal, External $V_{REF} = 3.3V, V_{DD} \geq 3.3V$			72.0			76.3	dB	
THD	Total Harmonic Distortion	100kHz First 5 Harmonics			-87			-90	dB	
		750kHz First 5 Harmonics	●		-83	-77		-86	-80	dB
		750kHz First 5 Harmonics (H Grade)	●		-82	-76		-85	-79	dB
SFDR	Spurious Free Dynamic Range	100kHz Input Signal			87			90	dB	
		750kHz Input Signal			83			86	dB	
IMD	Intermodulation Distortion	1.25V to 2.5V 1.40MHz into CH0^+ , 0V to 1.25V, 1.56MHz into CH0^- . Also Applicable to CH1^+ and CH1^-			-82			-82	dB	
	Code-to-Code Transition Noise	$V_{REF} = 2.5V$ (Note 17)			0.25			1	LSB_{RMS}	
	Full Power Bandwidth	$V_{IN} = 2.5V_{P-P}, SDO = 11585\text{LSB}_{P-P} (-3\text{dBFS})$ (Note 15)			50			50	MHz	
	Full Linear Bandwidth	$S/(N + D) \geq 68\text{dB}$			5			5	MHz	

内部リファレンス特性 $T_A = 25^\circ\text{C}, V_{DD} = 3V$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$		2.5		V
V_{REF} Output Tempco			15		ppm/ $^\circ\text{C}$
V_{REF} Line Regulation	$V_{DD} = 2.7V \text{ to } 3.6V, V_{REF} = 2.5V$		600		$\mu\text{V/V}$
V_{REF} Output Resistance	Load Current = 0.5mA		0.2		Ω
V_{REF} Setting Time			2		ms

LTC1407/LTC1407A

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{DD} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{DD} = 3.3\text{V}$	● 2.4			V
V_{IL}	Low Level Input Voltage	$V_{DD} = 2.7\text{V}$	●		0.6	V
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V to } V_{DD}$	●		± 10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{DD} = 3\text{V}, I_{OUT} = -200\mu\text{A}$	● 2.5	2.9		V
V_{OL}	Low Level Output Voltage	$V_{DD} = 2.7\text{V}, I_{OUT} = 160\mu\text{A}$ $V_{DD} = 2.7\text{V}, I_{OUT} = 1.6\text{mA}$	●	0.05 0.10	0.4	V V
I_{OZ}	Hi-Z Output Leakage D_{OUT}	$V_{OUT} = 0\text{V to } V_{DD}$	●		± 10	μA
C_{OZ}	Hi-Z Output Capacitance D_{OUT}			1		pF
I_{SOURCE}	Output Short-Circuit Source Current	$V_{OUT} = 0\text{V}, V_{DD} = 3\text{V}$		20		mA
I_{SINK}	Output Short-Circuit Sink Current	$V_{OUT} = V_{DD} = 3\text{V}$		15		mA

電源条件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。内部リファレンス使用、 $V_{DD} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD}	Supply Voltage		2.7		3.6	V
I_{DD}	Supply Current	Active Mode, $f_{SAMPLE} = 1.5\text{MSPS}$ Active Mode (LTC1407H/LTC1407AH) Nap Mode Nap Mode (LTC1407H/LTC1407AH) Sleep Mode (LTC1407/LTC1407H) Sleep Mode (LTC1407A/LTC1407AH)	● ● ● ●	4.7 5.2 1.1 1.2	7.0 8.0 1.5 1.8	mA mA mA mA μA μA
PD		Active Mode with SCK in Fixed State (Hi or Lo)		12		mW

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{DD} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{SAMPLE(MAX)}$	Maximum Sampling Frequency per Channel (Conversion Rate)		● 1.5			MHz
$t_{THROUGHPUT}$	Minimum Sampling Period (Conversion + Acquisition Period)		●		667	ns
t_{SCK}	Clock Period	(Note 16)	● 19.6		10000	ns
t_{CONV}	Conversion Time	(Note 6)	32	34		SCLK cycles
t_1	Minimum Positive or Negative SCLK Pulse Width	(Note 6)	2			ns
t_2	CONV to SCK Setup Time	(Notes 6, 10)	3		10000	ns
t_3	SCK Before CONV	(Note 6)	0			ns
t_4	Minimum Positive or Negative CONV Pulse Width	(Note 6)	4			ns
t_5	SCK to Sample Mode	(Note 6)	4			ns
t_6	CONV to Hold Mode	(Notes 6, 11)	1.2			ns

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{DD} = 3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_7	32nd SCK \uparrow to CONV \uparrow Interval (Affects Acquisition Period)	(Notes 6, 7, 13)	45			ns
t_8	Minimum Delay from SCK to Valid Bits 0 Through 11	(Notes 6, 12)	8			ns
t_9	SCK to Hi-Z at SDO	(Notes 6, 12)	6			ns
t_{10}	Previous SDO Bit Remains Valid After SCK	(Notes 6, 12)	2			ns
t_{12}	V_{REF} Settling Time After Sleep-to-Wake Transition	(Notes 6, 14)		2		ms

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値はグランドGNDを基準にしている。

Note 3: これらのピンがGNDより下に引き下げられるか、 V_{DD} より上に引き上げられると、内部のダイオードによってクランプされる。この製品はラッチアップを生じることなしに、GNDより低いか、または V_{DD} より高い電圧で100mAを超える入力電流を処理することができる。

Note 4: オフセットと範囲の規格値は、CH0 $^-$ またはCH1 $^-$ を接地し、内部2.5Vリファレンスを使用した状態で、シングルエンドのCH0 $^+$ 入力またはCH1 $^+$ 入力に適用される。

Note 5: 積分直線性は外部の2.5Vリファレンスを使ってテストされ、伝達曲線の実際のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 6: 設計によって保証されているが、テストされない。

Note 7: 推奨動作条件。

Note 8: アナログ入力範囲はCH0 $^+$ とCH0 $^-$ のあいだ、またはCH1 $^+$ とCH1 $^-$ のあいだの電圧差に対して定義されている。

Note 9: CH0 $^+$ 、CH0 $^-$ 、CH1 $^+$ 、CH1 $^-$ の絶対電圧はこの範囲内でなければならない。

Note 10: 3ns未満を許容できれば、出力データは1クロック・サイクル後に現れる。クロックを定格速度で動作させるとき、SCKよりも半クロック前にCONVが立ち上がるのが最良である。

Note 11: アパーチャ遅延とは異なる。アパーチャ遅延(1ns)はサンプル&ホールドを通る2.2nsの遅延とCONVからHoldモードまでの1.2nsの遅延の差である。

Note 12: SCKの立上りエッジは出てくるデータをストレージ・ラッチに捕捉することが保証されている。

Note 13: 入力信号を取得する期間は32番目の立上りクロックによって開始され、CONVの立上りエッジによって終了する。

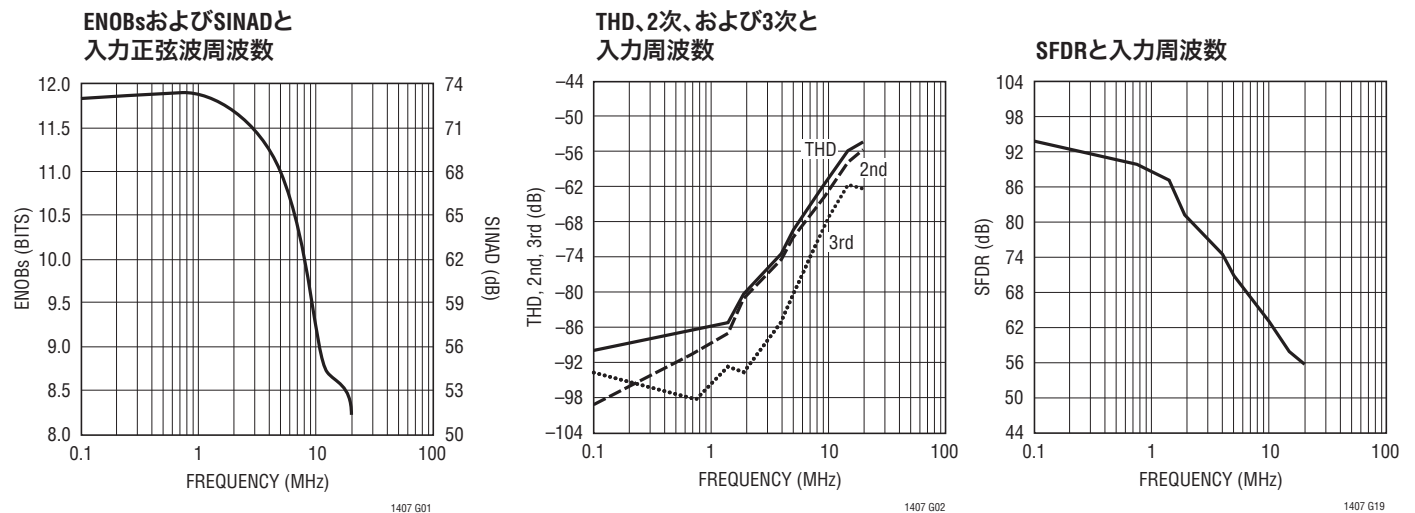
Note 14: 内部リファレンスは、SCKが1サイクル以上与えられ、容量負荷が10 μF のとき、スリープ・モードから覚醒した後2msでセトリングする。

Note 15: フルパワー帯域幅は2.5V $_p-p$ の入力正弦波に対して出力コード振幅が3dB低下する周波数である。

Note 16: 最大クロック周期により、変換時のアナログ性能が保証される。出力データは任意の長いクロック周期で読み出すことができる。

Note 17: LTC1407Aは14ビットの分解能(1LSB = 152 μV)で測定され、仕様が定められており、LTC1407は12ビットの分解能(1LSB = 610 μV)で測定され、仕様が定められている。

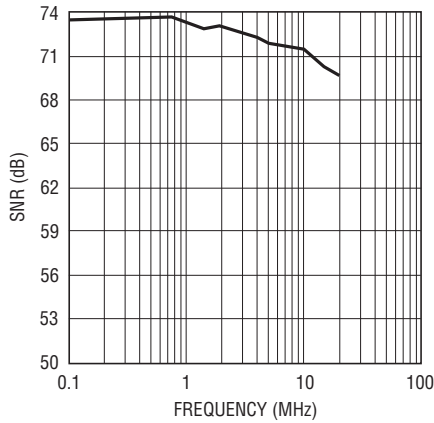
標準的性能特性 $V_{DD} = 3\text{V}$, $T_A = 25^\circ\text{C}$ (LTC1407A)



LTC1407/LTC1407A

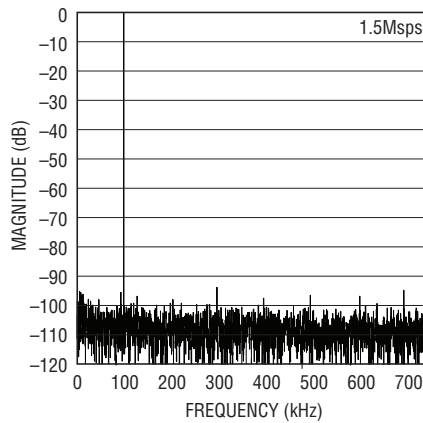
標準的性能特性 $V_{DD} = 3V$, $T_A = 25^\circ C$ (LTC1407A)

SNRと入力周波数



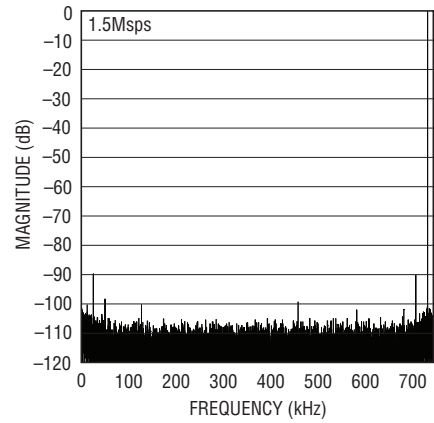
1407 G03

98kHz正弦波の4096ポイントのFFTプロット



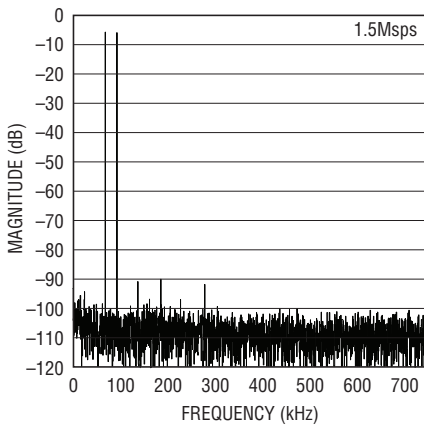
1407 G04

748kHz正弦波の4096ポイントのFFTプロット



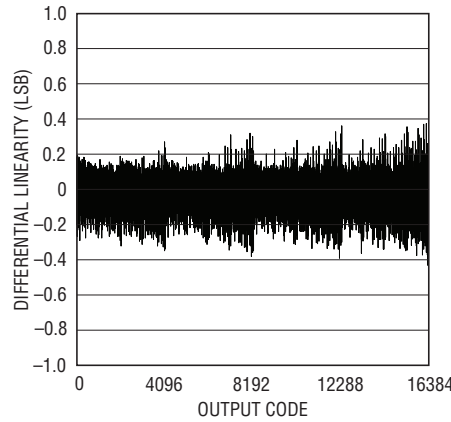
1407 G05

1563kHzの入力IMDと加算された1403kHz入力の4096ポイントのFFTプロット



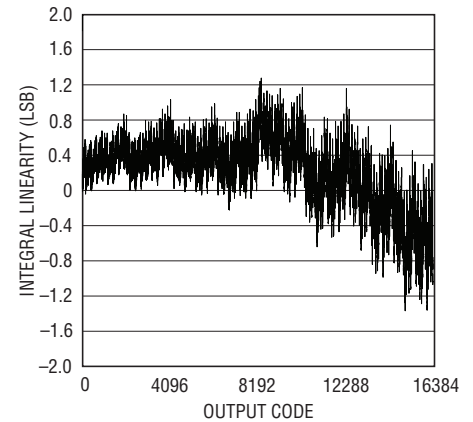
1407 G06

内部2.5Vリファレンスを使ったCH0の微分直線性



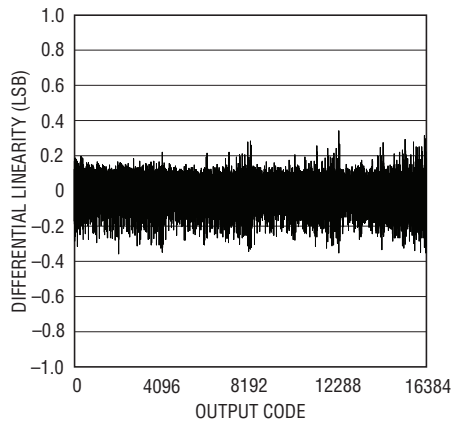
1407 G15

内部2.5Vリファレンスを使ったCH0の積分直線性のエンドポイントの合致



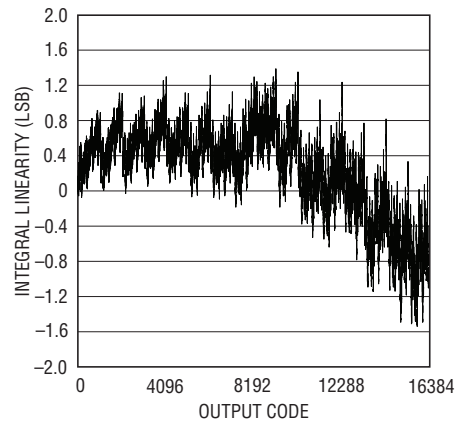
1407 G16

内部2.5Vリファレンスを使ったCH1の微分直線性



1407 G17

内部2.5Vリファレンスを使ったCH1の積分直線性のエンドポイントの合致

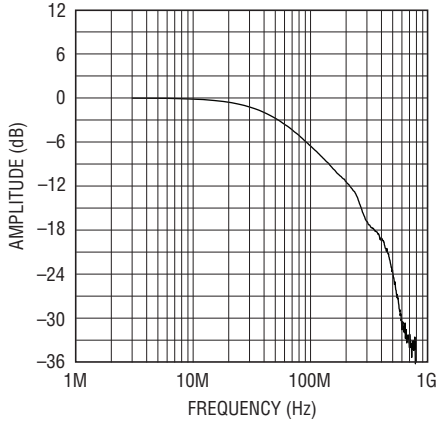


1407 G18

1407fb

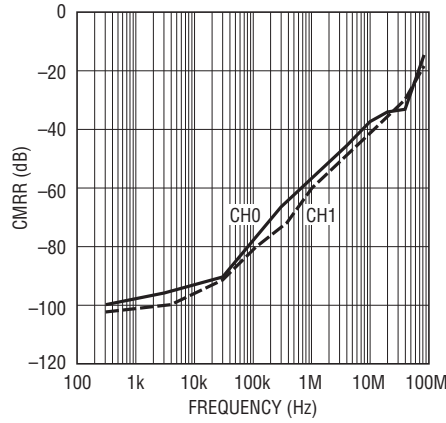
標準的性能特性 $V_{DD} = 3V, T_A = 25^\circ C$ (LTC1407/LTC1407A)

フルスケール信号の周波数応答



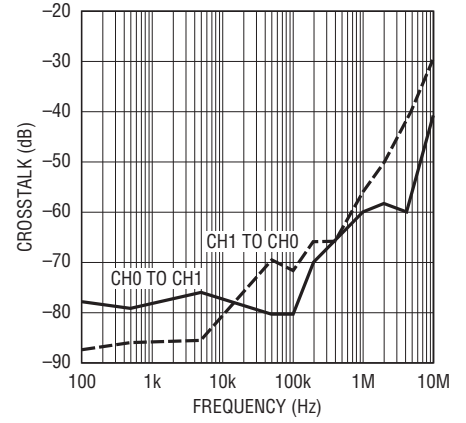
1407 G07

CMRRと周波数



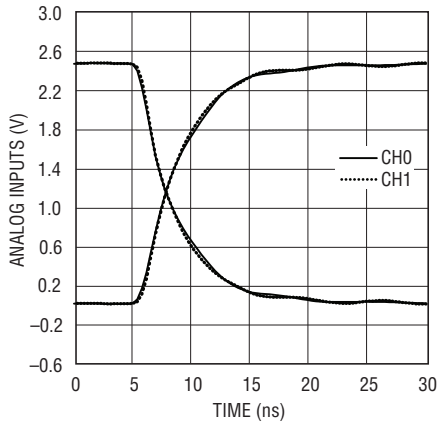
1407 G08

クロストークと周波数



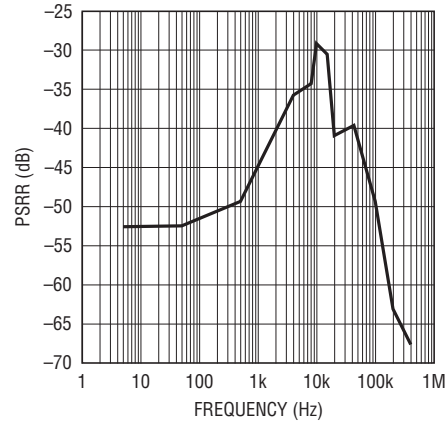
1407 G09

25ΩからのCH0とCH1の同時入カステップ



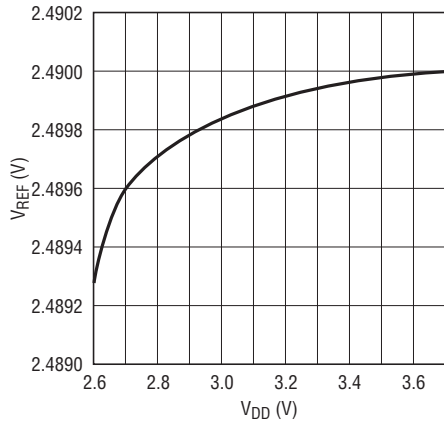
1407 G10

PSSRと周波数



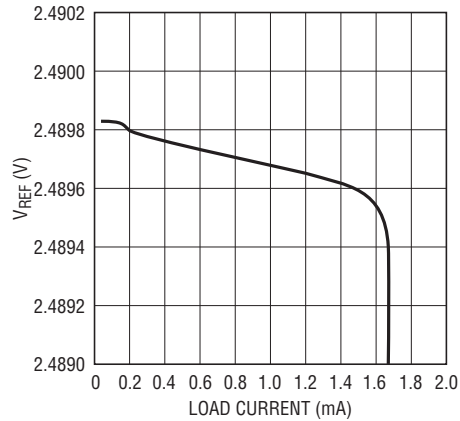
1407 G11

リファレンス電圧と V_{DD}



1407 G12

リファレンス電圧と負荷電流



1407 G13

LTC1407/LTC1407A

ピン機能

CH0⁺ (ピン1):チャンネル0の非反転入力。CH0⁺はCH0⁻に対して完全に差動として動作し、差動振幅は0V~2.5Vで、絶対入力範囲は0~V_{DD}です。

CH0⁻ (ピン2):チャンネル0の反転入力。CH0⁻はCH0⁺に対して完全に差動として動作し、差動振幅は-2.5V~0Vで、絶対入力範囲は0~V_{DD}です。

V_{REF} (ピン3):2.5Vの内部リファレンス。10μFのセラミック・コンデンサ(または0.1μFのセラミック・コンデンサに並列接続した10μFのタンタル・コンデンサ)を使ってGNDおよび強固なアナログ・グラウンド・プレーンにバイパスします。2.55V~V_{DD}の外部リファレンス電圧でオーバードライブすることができます。

CH1⁺ (ピン4):チャンネル1の非反転入力。CH1⁺はCH1⁻に対して完全に差動として動作し、差動振幅は0V~2.5Vで、絶対入力範囲は0~V_{DD}です。

CH1⁻ (ピン5):チャンネル1の反転入力。CH1⁻はCH1⁺に対して完全に差動として動作し、差動振幅は-2.5V~0Vで、絶対入力範囲は0~V_{DD}です。

GND (ピン6, 11):グラウンドおよび露出パッド。この単一グラウンド・ピンと露出パッドはデバイスの下の強固なグラウンド・プレーンに直接接続する必要があります。アナログ信号電流とデジタ

ル出力信号電流はこれらの接続経路を通して流れることを覚えておいてください。

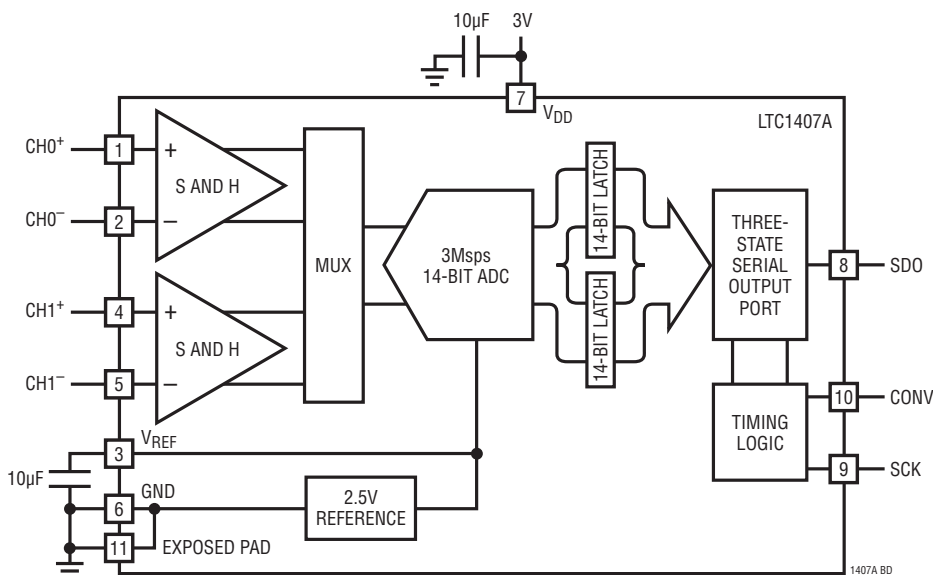
V_{DD} (ピン7):3V正電源。この単一電源ピンはデバイス全体に3Vを供給します。0.1μFのセラミック・コンデンサに並列接続した10μFのセラミック・コンデンサ(または10μFのタンタル・コンデンサ)を使ってGNDピンおよび強固なアナログ・グラウンド・プレーンにバイパスします。内部のアナログ信号電流とデジタル出力信号電流はこのピンを通して流れることを覚えておいてください。0.1μFのバイパス・コンデンサはできるだけピン6とピン7に近づけて配置するよう注意してください。

SDO (ピン8):スリー・ステートのシリアル・データ出力。各組の出力データ・ワードは前の変換開始点の2つの入力チャンネルを表しています。

SCK (ピン9):外部クロック入力。立上りエッジで変換過程を進ませ、出力データを順に配列します。1つ以上のパルスでスリープ状態から覚醒します。

CONV (ピン10):変換スタート。2つのアナログ入力信号をホールディングし、立上りエッジで変換を開始します。SCKが“H”または“L”に固定された状態で2つのパルスを与えるとなップ・モードが開始されます。SCKが“H”または“L”に固定された状態で4つ以上のパルスを与えるとなップ・モードが開始されます。

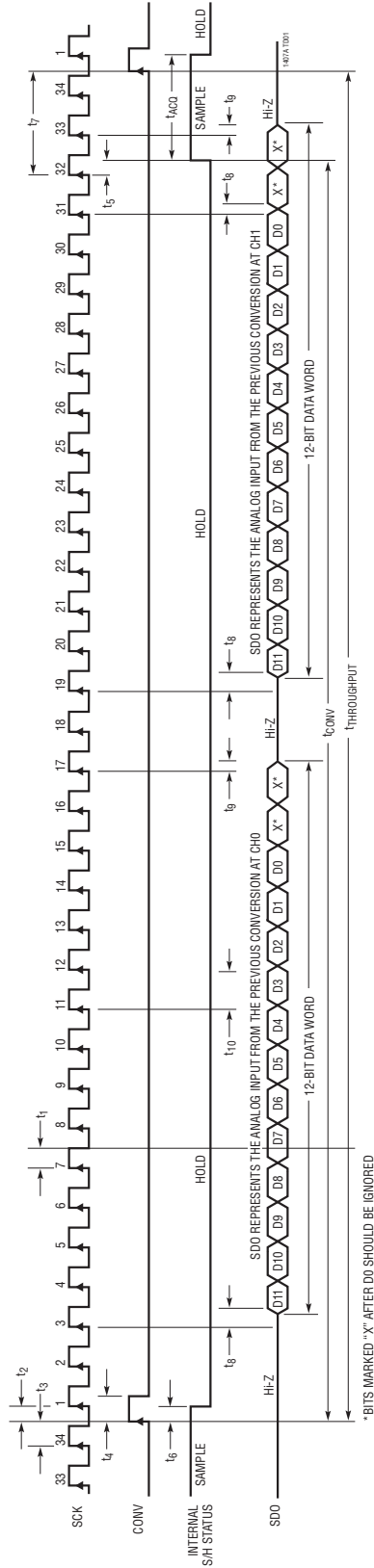
ブロック図



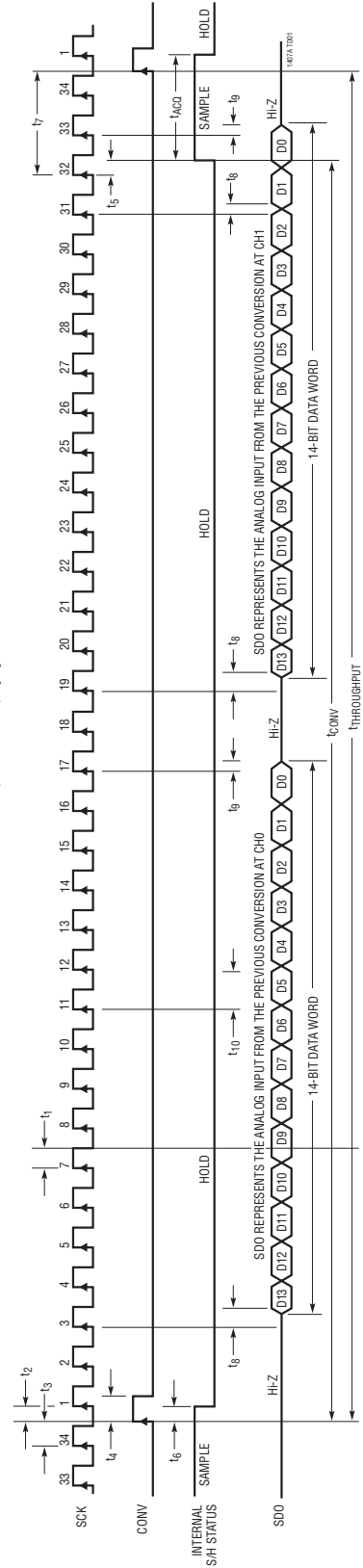
1407fb

タイミング図

LTC1407のタイミング図

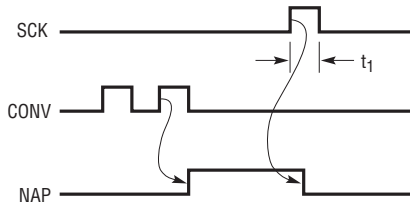


LTC1407Aのタイミング図

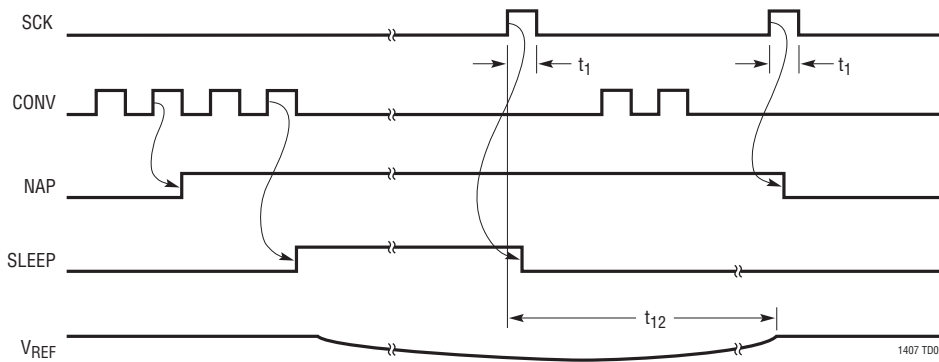


タイミング図

ナップ・モードの波形

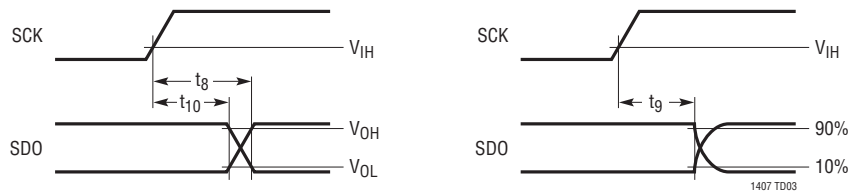


スリープ・モードの波形



NOTE: NAP AND SLEEP ARE INTERNAL SIGNALS

SCKからSDOへの遅延



アプリケーション情報

アナログ入力のドライブ

LTC1407/LTC1407Aの差動アナログ入力のドライブは簡単です。これらの入力は差動入力またはシングルエンド入力(つまり $CH0^-$ 入力を接地)としてドライブすることができます。両方の差動アナログ入力ペア($CH0^+$ と $CH0^-$ 、および $CH1^+$ と $CH1^-$)の4つのアナログ入力のすべてが同時にサンプリングされます。各入力ペアの両入力に共通な不要信号はすべてサンプル&ホールド回路の同相除去によって減少します。入力には変換終了時にサンプル&ホールドのコンデンサを充電する間に小さな電流スパイクが流れるだけです。変換時、アナログ入力には小さな漏れ電流だけが流れます。ドライブ回路のソース・インピーダンスが低い場合、LTC1407/LTC1407Aの入力を直接ドライブすることができます。ソース・インピーダンスが増加するにつれ、収集時間も増加します。高いソース・インピーダンスで収集時間を短くするには、バッファ・アンプを使用する必要があります。主要な条件として、アナログ入力をドライブするアンプは小電流スパイクの後、次の変換が開始される前にセトリングする必要があります(セトリング時間は最大スループットの場合39ns)。入力アンプの選択時には、アンプによって追加されるノイズの大きさと高調波歪みについても考慮してください。

入力アンプの選択

いくつかの必要事項を考慮に入れれば、入力アンプの選択は簡単です。まず、サンプリング・コンデンサの充電によって生じる、アンプから見た電圧スパイクの大きさを制限するには、閉ループ帯域幅周波数で出力インピーダンスが低い(100 Ω 未満)アンプを選択します。たとえば、利得を1にしてアンプが使われており、そのユニティゲイン帯域幅が50MHzであれば、50MHzでの出力インピーダンスは100 Ω 未満でなければなりません。2番目の必要条件として、最大スループットでの小信号のセトリングを適切に保つため、閉ループ帯域幅は40MHzより大きくなければなりません。遅いオペアンプが使用される場合、変換と変換のあいだの時間間隔を伸ばして、セトリングのための時間を長くすることができます。LTC1407/LTC1407Aのドライブに最適なオペアンプはアプリケーションに依存します。一般に、アプリケーションは2つに分類されます。ダイナミックな仕様が最も重要なACアプリケーションと、DC精度やセト

リング時間が最も重要な時間領域のアプリケーションです。LTC1407/LTC1407Aをドライブするのに適したオペアンプをまとめて次のリストに示します。(詳細な情報がリニアテクノロジー社のデータブックとLinearView™ CDRROMに含まれています。)

LTC1566-1: 低ノイズの2.3MHz連続時間ローパス・フィルタ。

LT®1630: デュアル30MHzレール・トゥ・レール電圧帰還アンプ。2.7V \sim \pm 15V電源。非常に高い A_{VOL} 、500 μ Vのオフセット、4Vの振幅で0.5LSBへのセトリングが520ns。40kHzまでTHDとノイズが-93dBで、320kHzまで1LSB未満($A_V = 1$ 、1k Ω に対して2V $_{P-P}$ 、 $V_S = 5V$)なので、レール・トゥ・レール動作が望ましいACアプリケーション(1/3ナイキストまで)に最適。クワッド・バージョンがLT1631として供給されている。

LT1632: デュアル45MHzレール・トゥ・レール電圧帰還アンプ。2.7V \sim \pm 15V電源。非常に高い A_{VOL} 、1.5mVのオフセット、4Vの振幅で0.5LSBへのセトリングが400ns。単一5V電源のアプリケーションに適している。40kHzまでTHDとノイズが-93dBで、800kHzまで1LSB未満($A_V = 1$ 、1k Ω に対して2V $_{P-P}$ 、 $V_S = 5V$)なので、レール・トゥ・レール動作が望ましいACアプリケーションに最適。クワッド・バージョンがLT1633として供給されている。

LT1801: 80MHz GBWP、500kHzで-75dBc、2mA/回路、8.5nV/ \sqrt{Hz} 。

LT1806/LT1807: 325MHz GBWP、5MHzで-80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、10mA/回路、3.5nV/ \sqrt{Hz} 。

LT1810: 180MHz GBWP、5MHzで-90dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/回路、16nV/ \sqrt{Hz} 。

LinearViewはリニアテクノロジー社の商標です。

LTC1407/LTC1407A

アプリケーション情報

LT1818/LT1819: 400MHz、2500V/ μ s、9mA、シングル/デュアル電圧モード・オペアンプ

LT6200: 165MHz GBWP、1MHzで-85dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、15mA/回路、0.95nV/ $\sqrt{\text{Hz}}$ 。

LT6203: 100MHz GBWP、1MHzで-80dBcの歪み、ユニティゲイン安定、入出力ともレール・トゥ・レール、3mA/回路、1.9nV/ $\sqrt{\text{Hz}}$ 。

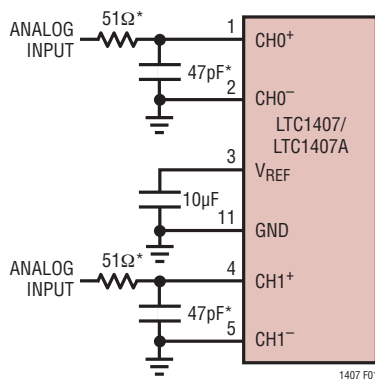
LT6600: アンプ/フィルタ、差動入出力、10MHzのカットオフ周波数。

入力フィルタ処理とソース・インピーダンス

入力アンプと他の回路のノイズと歪みがLTC1407/LTC1407Aのノイズと歪みに加わるので、それらについて考慮する必要があります。サンプル&ホールド回路の小信号帯域幅は50MHzです。アナログ入力に存在するどのノイズまたは歪み積もこの帯域幅全体にわたって合算されます。ノイズの多い入力回路はアナログ入力の前でフィルタ処理して、ノイズを最小に抑え

る必要があります。多くのアプリケーションでは簡単な1ポールのRCフィルタで十分です。たとえば、図1には、CH0⁺からグラウンドに接続した47pFのコンデンサと51 Ω のソース抵抗が示されており、正味入力帯域幅を30MHzに制限します。47pFのコンデンサは入力のサンプル&ホールドのための蓄電コンデンサとしても機能して、サンプリング・グリッチに敏感な回路からADCの入力を絶縁します。これらの部品は歪みを大きくする可能性があるため、高品質のコンデンサと抵抗を使います。NPOやシルバーマイカ・タイプの誘電体コンデンサはすぐれた直線性を備えています。表面実装カーボン抵抗は自己発熱や半田工程で生じる損傷により歪みを生じることがあります。表面実装金属皮膜抵抗は両方の問題に対してはるかに耐性があります。振幅の大きな不要な信号の周波数が所期の信号周波数に近接している場合、マルチ・ポールのフィルタが必要です。

高い外部ソース抵抗が13pFの入力コンデンサと組み合わせると、定格50MHzの入力帯域幅を減少させ、収集時間が39nsより長くなります。



*アバーチャ・スキューの劣化を避けるには、厳格な許容差が必要

図1. RC入力フィルタ

アプリケーション情報

入力範囲

LTC1407/LTC1407Aのアナログ入力は単電源で完全に差動でドライブすることができます。差動振幅が2.5Vを超えなければ、どちらの入力も3Vまでスイングすることができます。有効な入力範囲では、各チャネルの非反転入力は各チャネルの反転入力よりも常にプラスにします。0V~2.5Vの範囲は単電源のアプリケーションでシングルエンドの用途にも最適です。入力の同相範囲はグランドから電源電圧 V_{DD} に達します。CH0⁺入力とCH0⁻入力、またはCH1⁺入力とCH1⁻入力の差が2.5Vを超えると、出力コードはオールワンに固定され、この差がゼロより下に下がると、出力コードはオールゼロに固定されます。

内部リファレンス

LTC1407/LTC1407Aには温度補償されたバンドギャップ・リファレンスが内蔵されており、正確に2.5Vの入力スパンを得るため製造時にほぼ2.5Vに調整されています。リファレンス・アンプの出力 V_{REF} (ピン3)はコンデンサでグランドにバイパスする必要があります。リファレンス・アンプは1 μ F以上のコンデンサで安定化されます。最良のノイズ性能を得るには、0.1 μ Fのセラミック・コンデンサに並列に接続した10 μ Fのセラミック・コンデンサまたは10 μ Fのタンタル・コンデンサを推奨します。図2に示されているように、 V_{REF} ピンは外部のリファレンスでオー

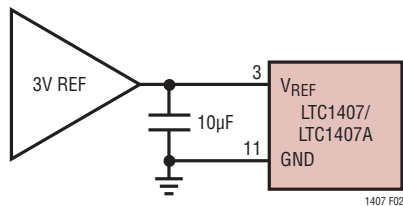


図2

バードライブすることができます。外部リファレンスの電圧は、内部リファレンスのオープン・ドレインPチャネル出力の2.5Vより高くする必要があります。外部リファレンスの推奨範囲は2.55V~ V_{DD} です。2.55Vの外部リファレンスには0.75mAのDC消費負荷電流および変換時の最大3mAが流れます。

入力スパンとリファレンス電圧

差動入力範囲のユニポーラ電圧スパンは、リファレンスのバッファ出力 V_{REF} (ピン3)の電圧と露出パッド・グランドの電圧の差に等しくなります。内部リファレンスを使っているとき、ADCの差動入力範囲は0V~2.5Vです。内部のADCはこれら2つのノードを基準にしています。この関係は外部リファレンスにも当てはまります。

差動入力

ADCはどちらの入力対(ついで)の同相電圧にも依存せずに、常にCH0⁺からCH0⁻を差し引いたユニポーラの差、またはCH1⁺からCH1⁻を差し引いたユニポーラの差を変換します。同相除去は高い周波数でも有効です(図3を参照)。唯一の条件は両方の入力がグランドより下にも、 V_{DD} より上にもならないことです。

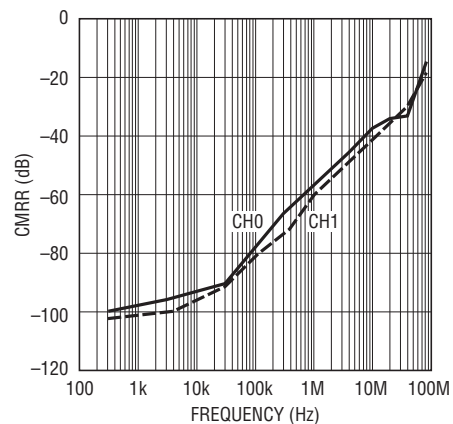


図3. CMRRと周波数

LTC1407/LTC1407A

アプリケーション情報

積分非直線性誤差(INL)と微分非直線性誤差(DNL)は大体において同相電圧に依存しません。ただし、オフセット誤差は変化します。CMRRは標準で60dBよりすぐれています。

LTC1407/LTC1407Aの理想的な入力/出力特性を図4に示します。コードの遷移は、隣接する整数のLSB値の間で(つまり、0.5LSB、1.5LSB、2.5LSB、FS-1.5LSB)で生じます。出力コードはストレート・バイナリで、LTC1407Aの場合1LSB = 2.5V/16384 = 153 μ Vであり、LTC1407の場合1LSB = 2.5V/4096 = 610 μ Vです。LTC1407Aの白色ガウスノイズは1LSB RMSです。

ボードのレイアウトとバイパス

高分解能や高速のA/Dコンバータにはワイヤラップ・ボードは推奨できません。LTC1407/LTC1407Aから最良の性能を得るには、グランド・プレーンを備えたプリント回路基板が必要です。プリント基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離します。とくに、どのデジタル・トラックもアナログ信号トラックの脇に沿って配置しないように注意します。入力間に最適な位相マッチングが必要な場合、2本の入力チャンネルの4本の入力線の長さをマッチングさせます。ただし、2本の入力チャンネルへの入力線の各対(つい)はグランド・トレースによって分離し、チャンネル間の高周波クロストークを防ぎます。

このデータシートの最初のページのブロック図に示されているように、V_{DD}ピンとV_{REF}ピンには高品質のタンタルまたはセラミックのバイパス・コンデンサを使います。最適動作を実現するには、V_{DD}ピンとV_{REF}ピンに10 μ Fの表面実装タンタル・コンデンサと0.1 μ Fのセラミック・コンデンサを組み合わせることを推奨します。代わりに、X5RやX7Rなどの10 μ Fセラミック・チップ・コンデンサを使うこともできます。これらのコンデンサはできるだけピンに近づけて配置する必要があります。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くします。V_{DD}のバイパス・コンデンサはGND(ピン6)に戻り、V_{REF}のバイパス・コンデンサは露出パッドのグランド(ピン11)に戻ります。V_{DD}の0.1 μ Fのバイパス・コンデンサはできるだけピン6とピン7に近づけて配置するよう注意してください。

システムの推奨グランド接続を図5に示します。アナログ回路のすべてのグランドはLTC1407/LTC1407Aの露出パッドのところで終端します。ノイズの無い動作を実現するため、LTC1407/LTC1407Aのピン6から電源へのグランド・リターンは低インピーダンスにします。10ピンMSEパッケージの露出パッドはピン6とLTC1407/LTC1407AのGNDにも接続します。露出パッドはグランド接続のインダクタンスを減らすためPCボードに半田付けします。デジタル回路のグランドはデジタル電源のコモン端子に接続する必要があります。

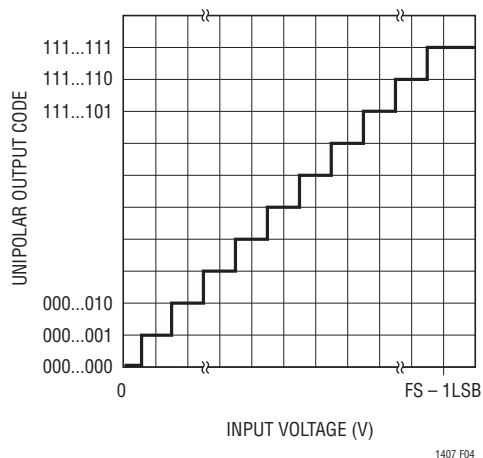


図4. LTC1407/LTC1407Aの伝達特性

アプリケーション情報

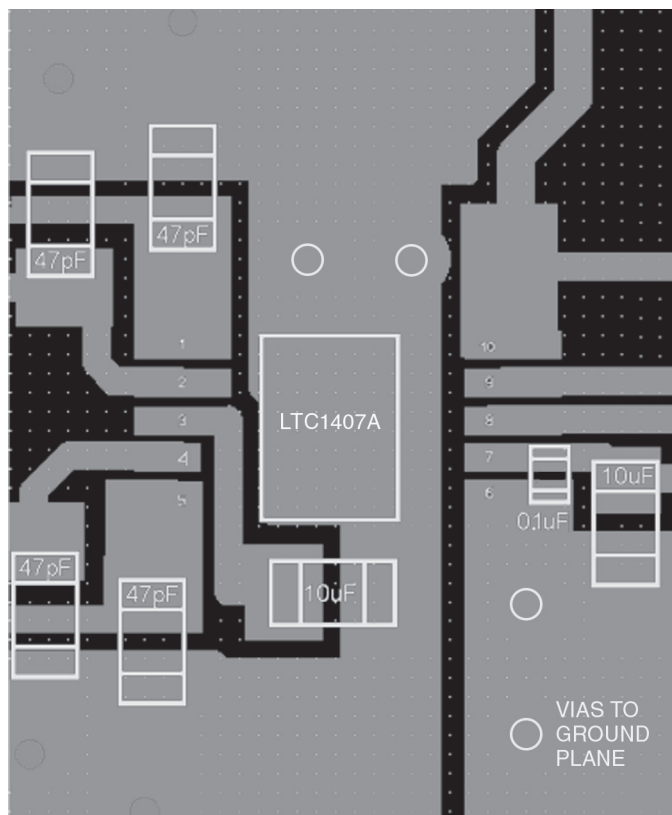


図5. 推奨レイアウト

パワーダウン・モード

起動すると、LTC1407/LTC1407Aはアクティブ状態に初期化され、変換の準備ができます。ナップ・モードとスリープ・モードの波形はLTC1407/LTC1407Aのパワーダウン・モードを示しています。SCK入力とCONV入力によりパワーダウン・モードが制御されます(タイミング図を参照)。CONVに2つの立上りエッジが与えられると(そのあいだにSCKの立上りエッジが入り込むことなく)、LTC1407/LTC1407Aはナップ・モードになり、電力消費は14mWから6mWに低下します。ナップ・モードでは内部リファレンスに電力が与えられたままです。さらに1つ以上のSCKの立上りエッジが与えられるとLTC1407/LTC1407Aはすぐ覚醒し、CONVは1クロック以内に正確な変換を開始することができます。CONVに4つの立上りエッジが与えられると(そのあいだにSCKの立上りエッジが入り込むこ

となく)、LTC1407/LTC1407Aはスリープ・モードになり、電力消費は14mWから10 μ Wに低下します。デバイスをスリープ・モードから復帰させるためには、1つ以上のSCKの立上りエッジとそれに続くナップ要求を与える必要があります。SCKに1つ以上の立上りエッジが与えられるとLTC1407/LTC1407Aは覚醒し動作を再開します。スリープ・モードの後にナップ・モードになると、スリープ・モードでシャットダウンしていたリファレンスが再びアクティブになります。

内部リファレンス(V_{REF})は10 μ Fの負荷ではスルーしてセトリングするまで2msかかります。スリープ・モードを頻繁に使うと、内部リファレンスのセトリングした精度が損なわれます。低速の変換では、ナップ・モードとスリープ・モードを使って電力消費を大幅に減らすことができることに注目してください。

LTC1407/LTC1407A

アプリケーション情報

デジタル・インタフェース

LTC1407/LTC1407Aには3線SP(シリアル・プロトコル・インタフェース)インタフェースが備わっています。SCKとCONVの入力およびSDO出力にはこのインタフェースが実装されています。ロジック振幅が V_{DD} を超さなければ、SCK入力とCONV入力は3Vロジックの振幅を受け入れ、TTL互換です。3つのシリアル・ポートの信号の詳細について、以下説明します。

変換開始入力(CONV)

CONVの立上りエッジで変換が開始されますが、それ以降のCONVの立上りエッジは、SCKに32の立上りエッジが与えられるまで、LTC1407/LTC1407Aによって無視されます。CONVのデューティ・サイクルは、プロセッサのシリアル・ポートのフレーム同期信号として使うために任意に選択することができます。CONVを発生させる簡単な方法として、LTC1407/LTC1407AをドライブするためにSCK1個分の幅のパルスをつくり、この信号をバッファしてプロセッサのシリアル・ポートのフレーム同期入力をドライブします。LTC1407/LTC1407AのCONV入力を最初にドライブして、変換開始時にCONVによってトリガされたサンプル&ホールドが遷移するあいだデジタル・ノイズの影響を避けるのが良いやり方です。CONV信号の“L”の部分の幅を15nsより広くして、CONVの立上りエッジでサンプル&ホールドがホールド・モードになる直前にADCのフロントエンドにグリッチが生じるのを防ぐのも良いやり方です。

CONV入力のジッタの最小化

100kHzを超す振幅の大きな正弦波がサンプリングされる高速アプリケーションでは、CONV信号のジッタをできるだけ小さくする(10ps以下)ことが必要です。普通の水晶クロック・モジュールの方形波出力は通常この条件を容易に満たします。難しいのは、システム内の他のデジタル回路からのジッタの影響を受けることなしに、この水晶クロックからCONV信号を発生させることです。水晶クロックからCONV入力までの信号経路内のクロック・ドライバやゲートは、システムの他の部分と同じ集積回路を共有すべきではありません。インタフェース回路例に示されているように、SCK入力とCONV入力は、シリアル・ポート・インタフェースをドライブするのに使われるデジタル・バッファで最初にドライブします。DSP内のマスタ・クロックは、たとえそれがDSPの水晶から直接きていても、既にジッタで劣化している可能性があることにも注意してください。高速プロセッサ・クロックの別の問題として、多くの場合、低コスト

で低速の水晶(たとえば、10MHz)を使って高速だがジッタの大きなフェーズロック・ループのシステム・クロック(たとえば、40MHz)を発生していることがあげられます。これらのPLLで発生させた高速クロックのジッタは数ナノ秒に達することがあります。DSPポートで発生させたフレーム同期信号を使う場合、この信号にはDSPのマスタ・クロックと同じジッタがあることに注意してください。

シリアル・クロック入力(SCK)

SCKの立上りエッジにより変換過程が進行し、同時にSDOデータ・ストリームの各ビットが更新されます。CONVが立ち上がった後、SCKの3番目の立上りエッジにより、2組の12/14データ・ビットがMSBを先頭にして送出されます。簡単な方法として、LTC1407/LTC1407AをドライブするSCKを最初に発生させてから、必要な個数のインバータを使ってこの信号をバッファして、プロセッサのシリアル・ポートのシリアル・クロック入力をドライブします。クロックの立下りエッジを使ってデータをシリアル・データ出力(SDO)からプロセッサのシリアル・ポートにラッチします。14ビットのシリアル・データは、フレーム同期ごとに32クロック以上を使って2つの16ビット・ワードとして、右揃えで受け取られます。LTC1407/LTC1407AのSCK入力を最初にドライブして、内部高速コンパレータによって内部でビットの比較結果が定まるまでデジタル・ノイズの影響を避けるのが良いやり方です。CONV入力とは異なり、入力信号が既にサンプリングされて一定に保たれているので、SCK入力はジッタに対して敏感ではありません。

シリアル・データ出力(SDO)

起動すると、SDO出力は自動的にハイ・インピーダンス状態にリセットされます。SDO出力は新たに変換が開始されるまでハイ・インピーダンス状態に留まります。CONVの立上りエッジで変換が開始された後、SCKの3番目の立上りエッジの後、SDOから出力データ・ストリームの2組の12/14ビットが送出されます。2つの12/14ビット・ワードは2クロック・サイクルのあいだハイ・インピーダンス・モードで分離されます。SCKから有効なSDOまでの遅延の規格値に注意してください。SDOはSCKの次の立上りエッジまで有効であることが常に保証されています。32ビットの出力データ・ストリームは、ほとんどのプロセッサの16ビットまたは32ビットのシリアル・ポートと互換性があります。

アプリケーション情報

TMS320C54xとのハードウェア・インタフェース

LTC1407/LTC1407Aはシリアル出力のADCで、そのインタフェースは高速デジタル信号プロセッサ(DSP)のバッファされた高速シリアル・ポート向けに設計されています。TMS320C54Xを使ったこのインタフェースの例を図6に示します。

TMS320C54Xのバッファ付きシリアル・ポートはメモリの2kBセグメントに直接アクセスします。ADCのシリアル・データは、LTC1407/LTC1407Aの最大3Mspsの変換レートで、2つの交互に切り替わる1kBセグメントにリアルタイムで集めることができます。DSPのアセンブリ・コードにより、外部の立上りパルスを受け入れるようにBFSRピンのフレーム同期モードが設定

され、外部の立上りエッジを使うクロックを受け入れるようにBCLKRピンのシリアル・クロックが設定されます。LTC1407/LTC1407Aへの信号の劣化を防ぐため、LTC1407/LTC1407Aの近くにバッファを追加して、DSPへの長いトラックをドライブすることができます。標準的なシステム・ボードを横断するにはこの構成で適切ですが、非常に長い伝送ラインの特性インピーダンスをマッチングさせるには、バッファ出力のソース抵抗とDSPの終端抵抗が必要になるかもしれません。SDOの伝送ラインを終端する必要がある場合は、まずその伝送路を1個もしくは2個の74ACxxゲートを使ってバッファします。DSPポートのTTLスレッシュホールドの入力は、LTC1407/LTC1407Aに使われる3Vの振幅に正しく応答します。

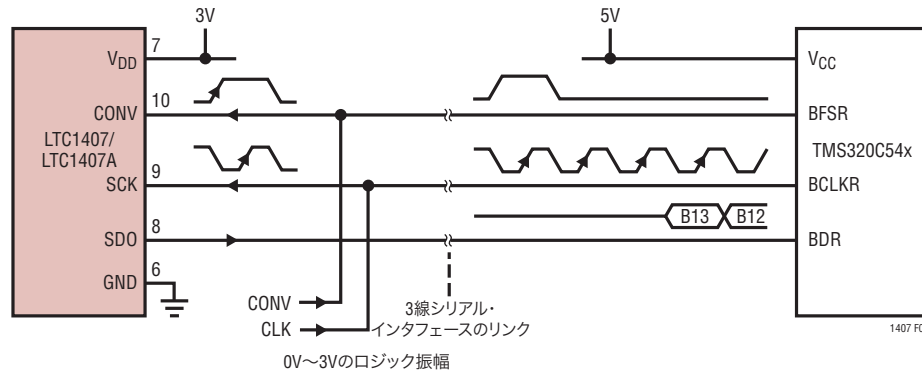


図6. TMS320C54xへのDSPシリアル・インタフェース

LTC1407/LTC1407A

アプリケーション情報

```
; 08-21-03 *****
; Files: 1407ASIAB.ASM -> 1407A Sine wave collection with Serial Port interface
;           both channels collected in sequence in the same 2k record
;           bvector.asm      buffered mode.
;           s2k14ini.asm     2k buffer size.
; unipolar mode
; Works 16 or 64 clock frames.
; negative edge BCLKR
; negative BFSR pulse
; -0 data shifted
; 1' cable from counter to CONV at DUT
; 2' cable from counter to CLK at DUT
; *****

        .width  160
        .length 110
        .title  "sineb0 BSP in auto buffer mode"
        .mmregs
        .setsect ".text",    0x500,0    ;Set address of executable
        .setsect "vectors",  0x180,0    ;Set address of incoming 1407A data
        .setsect "buffer",   0x800,0    ;Set address of BSP buffer for clearing
        .setsect "result",   0x1800,0   ;Set address of result for clearing
        .text                    ;.text marks start of code

start:
        ;this label seems necessary
        ;Make sure /PWRDWN is low at J1-9
        ;to turn off AC01 adc

        tim=#0fh
        prd=#0fh
        tcr = #10h      ; stop timer
        tspc = #0h      ; stop TDM serial port to AC01
        pmst = #01a0h   ; set up iptr. Processor Mode SStatus register
        sp = #0700h     ; init stack pointer.
        dp = #0         ; data page
        ar2 = #1800h    ; pointer to computed receive buffer.
        ar3 = #0800h    ; pointer to Buffered Serial Port receive buffer
        ar4 = #0h       ; reset record counter
        call sineinit   ; Double clutch the initialization to insure a proper
sinepeek:
        call sineinit   ; reset. The external frame sync must occur 2.5 clocks
                        ; or more after the port comes out of reset.

wait    goto    wait

;   -----Buffered Receive Interrupt Routine -----

breceive:
        ifr = #10h      ; clear interrupt flags
        TC = bitf(@BSPCE,#4000h) ; check which half (bspce(bit14)) of buffer
        if (NTC) goto bufull ; if this still the first half get next half
        bspce = #(2023h + 08000h); turn on halt for second half (bspce(bit15))
        return_enable
```

アプリケーション情報

```

;           -----mask and shift input data -----
;
bfull:
    b = *ar3+ << -0           ; load acc b with BSP buffer and shift right -0
    b = #07FFFh & b           ; mask out the TRISTATE bits with #03FFFh
    ;
    *ar2+ = data(#0bh)        ; store B to out buffer and advance AR2 pointer
    TC = (@ar2 == #02000h)    ; output buffer is 2k starting at 1800h
    if (TC) goto start        ; restart if out buffer is at 1fffh
    goto bfull

;           -----dummy bsend return-----
bsend    return_enable        ;this is also a dummy return to define bsend
        ;in vector table file BVECTORS.ASM
;
;           ----- end ISR -----

        .copy "c:\dskplus\1407A\s2k14ini.asm"    ;initialize buffered serial port
        .space 16*32                            ;clear a chunk at the end to mark the end

;=====
;
;  VECTORS
;
;=====
        .sect "vectors"                          ;The vectors start here
        .copy "c:\dskplus\1407A\bvectors.asm"    ;get BSP vectors

        .sect "buffer"                          ;Set address of BSP buffer for clearing
        .space 16*0x800
        .sect "result"                          ;Set address of result for clearing
        .space 16*0x800

        .end

; *****
; File: BVECTORS.ASM -> Vector Table for the 'C54x DSKplus          10.Jul.96
;           BSP vectors and Debugger vectors
;           TDM vectors just return
; *****
; The vectors in this table can be configured for processing external and
; internal software interrupts. The DSKplus debugger uses four interrupt
; vectors. These are RESET, TRAP2, INT2, and HPIINT.
; * DO NOT MODIFY THESE FOUR VECTORS IF YOU PLAN TO USE THE DEBUGGER *
;
; All other vector locations are free to use. When programming always be sure
; the HPIINT bit is unmasked (IMR=200h) to allow the communications kernel and
; host PC interact. INT2 should normally be masked (IMR(bit 2) = 0) so that the
; DSP will not interrupt itself during a HINT. HINT is tied to INT2 externally.
;
;
;
;

```

アプリケーション情報

```
.title "Vector Table"
.mmregs

reset    goto #80h          ;00; RESET * DO NOT MODIFY IF USING DEBUGGER *
         nop
         nop
nmi      return_enable     ;04; non-maskable external interrupt
         nop
         nop
         nop
trap2    goto #88h          ;08; trap2 * DO NOT MODIFY IF USING DEBUGGER *
         nop
         nop
         .space 52*16      ;0C-3F: vectors for software interrupts 18-30
int0     return_enable     ;40; external interrupt int0
         nop
         nop
         nop
int1     return_enable     ;44; external interrupt int1
         nop
         nop
         nop
int2     return_enable     ;48; external interrupt int2
         nop
         nop
         nop
tint     return_enable     ;4C; internal timer interrupt
         nop
         nop
         nop
brint    goto breceive     ;50; BSP receive interrupt
         nop
         nop
         nop
bxint    goto bsend        ;54; BSP transmit interrupt
         nop
         nop
         nop
trint    return_enable     ;58; TDM receive interrupt
         nop
         nop
         nop
txint    return_enable     ;5C; TDM transmit interrupt
         nop
         nop
         nop
int3     return_enable     ;60; external interrupt int3
         nop
         nop
         nop
hpiint   dgoto #0e4h       ;64; HPIint * DO NOT MODIFY IF USING DEBUGGER *
         nop
         nop
```

アプリケーション情報

.space 24*16 ;68-7F; reserved area

```

*****
* (C) COPYRIGHT TEXAS INSTRUMENTS, INC. 1996 *
*****
* File: BSPI1407A.ASM BSP initialization code for the 'C54x DSKplus *
* for use with 1407A in standard mode *
* BSPC and SPC seem interchangeable in the 'C542 *
* BSPCE and SPCE seem interchangeable in the 'C542 *
*****
        .title "Buffered Serial Port Initialization Routine"
ON      .set 1
OFF     .set !ON
YES     .set 1
NO      .set !YES
BIT_8   .set 2
BIT_10  .set 1
BIT_12  .set 3
BIT_16  .set 0
GO      .set 0x80

*****
* This is an example of how to initialize the Buffered Serial Port (BSP).
* The BSP is initialized to require an external CLK and FSX for
* operation. The data format is 16-bits, burst mode, with autobuffering
* enabled. Set the variables listed below to configure the BSP for
* your application.
*
*****
*LTC1407A timing with 40MHz crystal.
*
*10MHz, divided from 40MHz, forced to CLKIN by 1407A board.
*
*Horizontal scale is 6.25ns/chr or 25ns period at BCLKR
*
*BFSR   Pin J1-20  ~\_____/~~~~~\_____/~~~~~\_____/~~~~~\_____/
~~~~~*
*BCLKR  Pin J1-14  _/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_
/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_/~\_
~\_/~\_/~*
*BDR    Pin J1-26  __-_-<B13-B12-B11-B10-B09-B08-B07-B06-B05-B04-B03-B02-B01-B00>_-_-<B13-
B12*
*CLKIN  Pin J5-09  ~~~~~\_____/~~~~~\_____/~~~~~\_____/~~~~~\_____/
~~~~~\_____/~~~~~*
*C542 read 0 B13 B12 B11 B10 B09 B08 B07 B06 B05 B04 B03 B02 B01 B00 0 0
B13 B12*
*
* negative edge BCLKR
* negative BFSR pulse
* no data shifted
* 1' cable from counter to CONV at DUT

```

LTC1407/LTC1407A

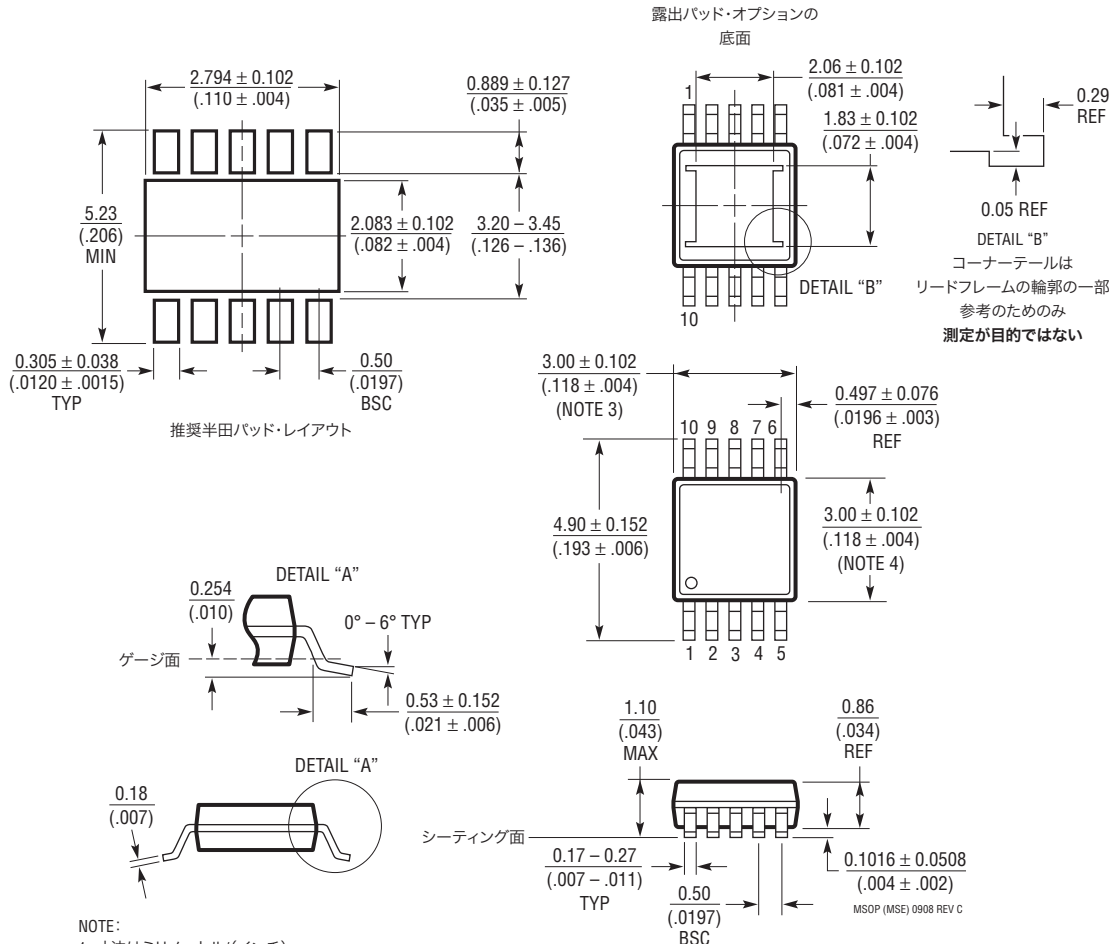
アプリケーション情報

```
* 2' cable from counter to CLK at DUT
*No right shift is needed to right justify the input data in the main program
*
*the two msbs should also be masked
*
*****
*
Loopback      .set    NO          ;(digital looback mode?)          DLB bit
Format        .set    BIT_16     ;(Data format? 16,12,10,8)        FO bit
IntSync       .set    NO          ;(internal Frame syncs generated?) TXM bit
IntCLK        .set    NO          ;(internal clks generated?)      MCM bit
BurstMode     .set    YES         ;(if BurstMode=NO, then Continuous) FSM bit
CLKDIV        .set    3           ;(3=default value, 1/4 CLOCKOUT)
PCM_Mode      .set    NO          ;(Turn on PCM mode?)
FS_polarity   .set    YES         ;(change polarity)YES=~~~\_/~~~, NO=___/~\___
CLK_polarity  .set    NO          ;(change polarity)for BCLKR YES=~/~, NO=~\_
Frame_ignore  .set    !YES        ;(inverted !YES -ignores frame)
XMTautobuf    .set    NO          ;(transmit autobuffering)
RCVautobuf    .set    NO          ;(receive autobuffering)
XMThalt       .set    NO          ;(transmit buff halt if XMT buff is full)
RCVhalt       .set    NO          ;(receive buff halt if RCV buff is full)
XMTbufAddr    .set    0x600       ;(address of transmit buffer)
RCVbufAddr    .set    0x800       ;(address of receive buffer)
XMTbufSize    .set    0x200       ;(length of transmit buffer)
RCVbufSize    .set    0x040       ;(length of receive buffer)
*
* See notes in the 'C54x CPU and Peripherals Reference Guide on setting up
* valid buffer start and length values.
*
*
*****
      .eval ((Loopback >> 1)|((Format & 2)<<1)|(BurstMode <<3)|(IntCLK <<4)|(IntSync
<<5)) ,SPCval
      .eval ((CLKDIV)|(FS_polarity <<5)|(CLK_polarity<<6)|((Format &
1)<<7)|(Frame_ignore<<8)|(PCM_Mode<<9)), SPCEval
      .eval (SPCEval|(XMTautobuf<<10)|(XMThalt<<12)|(RCVautobuf<<13)|(RCVhalt<<15)),
SPCEval

bspil407A:
    bspc = #SPCval      ; places buffered serial port in reset
    bspce = #SPCEval   ; programs BSPCE and ABU
    axr = #XMTbufAddr  ; initializes transmit buffer start address
    bkx = #XMTbufSize  ; initializes transmit buffer size
    arr = #RCVbufAddr  ; initializes receive buffer start address
    bkr = #RCVbufSize  ; initializes receive buffer size
    bspc = #(SPCval | GO) ; bring buffered serial port out of reset
    return             ; for transmit and receive because GO=0xC0
```

パッケージ

MSEパッケージ 10ピン・プラスチックMSOP、露出ダイパッド (Reference LTC DWG # 05-08-1664 Rev C)



- NOTE:
1. 寸法はミリメートル(インチ)
 2. 図は実寸とは異なる
 3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。
モールドのバリ、突出部、またはゲートのバリは、各サイドで0.152mm (0.006")を超えないこと
 4. 寸法には、リード間のバリまたは突出部を含まない。
リード間のバリまたは突出部は、各サイドで0.152mm (0.006")を超えないこと
 5. リードの平坦度(整形後のリードの底面)は最大0.102mm (.004")であること

LTC1407/LTC1407A

関連製品

製品番号	説明	注釈
ADCs		
LTC1608	16ビット、500kspsパラレルADC	±5V電源、±2.5Vスパン、90dB SINAD
LTC1609	16ビット、250kspsシリアルADC	5V構成設定可能なバイポーラ入力/ユニポーラ入力
LTC1403/LTC1403A	12/14ビット、2.8MspsシリアルADC	3V、15mW、MSOPパッケージ
LTC1411	14ビット、2.5MspsパラレルADC	5V、選択可能なスパン、80dB SINAD
LTC1420	12ビット、10MspsパラレルADC	5V、選択可能なスパン、72dB SINAD
LTC1405	12ビット、5MspsパラレルADC	5V、選択可能なスパン、115mW
LTC1412	12ビット、3MspsパラレルADC	±5V電源、±2.5Vスパン、72dB SINAD
LTC1402	12ビット、2.2MspsシリアルADC	5Vまたは±5V電源、4.096Vまたは±2.5Vのスパン
LTC1864/LTC1865 LTC1864L/LTC1865L	16ビット、250ksps、1チャンネル/2チャンネルのシリアルADC	5Vまたは3V (Lバージョン)、マイクロパワー、MSOPパッケージ
DACs		
LTC1666/LTC1667 LTC1668	12/14/16ビット、50Msps DAC	87dB SFDR、セトリング時間:20ns
LTC1592	16ビット、シリアルSoftSpan™ IOUT DAC	INL/DNL:±1LSB、ソフトウェアで選択可能なスパン
リファレンス		
LT1790-2.5	マイクロパワー・シリアル・リファレンス (SOT-23)	初期精度:0.05%、ドリフト:10ppm
LT1461-2.5	高精度電圧リファレンス	初期精度:0.04%、ドリフト:3ppm
LT1460-2.5	マイクロパワー・シリーズの電圧リファレンス	初期精度:0.10%、ドリフト:10ppm

SoftSpanはリニアテクノロジー社の商標です。