

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

概要

MAX1236~MAX1239の低電力、12ビット、マルチチャンネル、アナログ-デジタルコンバータ(ADC)は、内部トラック/ホールド(T/H)、電圧リファレンス、クロックおよび I^2C コンパチブル2線シリアルインタフェースを特長としています。これらのデバイスは単一電源2.7V~3.6V (MAX1237/MAX1239)または4.5V~5.5V (MAX1236/MAX1238)で動作し、最大サンプリングレート94.4kspsで消費電流はわずか670 μ Aです。サンプリングレートが46ksps以下の場合、消費電流は230 μ Aまで低下します。AutoShutdown™は変換と変換の間デバイスをパワーダウンし、低スループットレート時において消費電流を1 μ A以下に低減します。MAX1236/MAX1237は4つのアナログ入力チャンネルを備え、MAX1238/MAX1239は12のアナログチャンネルを備えています。完全差動アナログ入力は、ソフトウェアを使ってユニポーラまたはバイポーラ、シングルエンドまたは差動動作に設定可能です。フルスケールのアナログ入力範囲は、内部リファレンスまたは1V~ V_{DD} の外部リファレンス電圧によって決定されます。MAX1237/MAX1239は2.048Vの内部リファレンスを、MAX1236/MAX1238は4.096Vの内部リファレンスを備えています。

MAX1236/MAX1237は8ピン μ MAX®パッケージで、MAX1238/MAX1239は16ピンQSOPパッケージで提供されています。MAX1236~MAX1239は拡張温度範囲(-40°C~+85°C)での動作が保証されています。ピンコンパチブルの10ビット製品に関しては、MAX1136~MAX1139のデータシートを参照して下さい。ピンコンパチブル8ビット製品に関してはMAX1036~MAX1039のデータシートを参照して下さい。

アプリケーション

ハンドヘルドポータブルアプリケーション	太陽電池駆動リモートシステム
医療機器	受信信号強度インジケータ
バッテリー駆動試験用機器	システム監視

選択ガイド

PART	INPUT CHANNELS	INTERNAL REFERENCE (V)	SUPPLY VOLTAGE (V)	INL (LSB)
MAX1236	4	4.096	4.5 to 5.5	± 1
MAX1237	4	2.048	2.7 to 3.6	± 1
MAX1238	12	4.096	4.5 to 5.5	± 1
MAX1239	12	2.048	2.7 to 3.6	± 1

AutoShutdownはMaxim Integrated Products, Inc.の商標です。
 μ MAXはMaxim Integrated Products, Inc.の登録商標です。



特長

- ◆ 高速 I^2C コンパチブルシリアルインタフェース
ファーストモード：400kHz
ハイスピードモード：1.7MHz
- ◆ 単一電源
2.7V~3.6V (MAX1237/MAX1239)
4.5V~5.5V (MAX1236/MAX1238)
- ◆ 内部リファレンス：
2.048V (MAX1237/MAX1239)
4.096V (MAX1236/MAX1238)
- ◆ 外部リファレンス：1V~ V_{DD}
- ◆ 内部クロック
- ◆ 4チャンネルシングルエンド、または2チャンネル完全差動(MAX1236/MAX1237)
- ◆ 12チャンネルシングルエンド、または6チャンネル完全差動(MAX1238/MAX1239)
- ◆ チャンネルスキャンモードでのFIFO内蔵
- ◆ 低電力
670 μ A (94.4ksps時)
230 μ A (40ksps時)
60 μ A (10ksps時)
6 μ A (1ksps時)
0.5 μ A (パワーダウンモード時)
- ◆ ソフトウェア設定可能なユニポーラ/バイポーラ
- ◆ 小型パッケージ：
8ピン μ MAX (MAX1236/MAX1237)
16ピンQSOP (MAX1238/MAX1239)

型番

PART	TEMP RANGE	PIN-PACKAGE	I^2C SLAVE ADDRESS
MAX1236EUA+	-40°C to +85°C	8 μ MAX	0110100
MAX1237EUA+	-40°C to +85°C	8 μ MAX	0110100
MAX1238EEE+	-40°C to +85°C	16 QSOP	0110101
MAX1238EEEV+	-40°C to +85°C	16 QSOP	0110101
MAX1239EEE+	-40°C to +85°C	16 QSOP	0110101

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。
/Vは車載認定製品を表します。

ピン配置および標準動作回路は、データシートの最後に記載されています。

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +6V
AIN0-AIN11, REF to GND	-0.3V to the lower of (V _{DD} + 0.3V) and 6V
SDA, SCL to GND.....	-0.3V to +6V
Maximum Current Into Any Pin	±50mA
Continuous Power Dissipation (T _A = +70°C) 8-Pin μ MAX (derate 5.9mW/°C above +70°C)	470.6mW
16-Pin QSOP (derate 8.3mW/°C above +70°C).....	666.7mW

Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 2.7V to 3.6V (MAX1237/MAX1239), V_{DD} = 4.5V to 5.5V (MAX1236/MAX1238), V_{REF} = 2.048V (MAX1237/MAX1239), V_{REF} = 4.096V (MAX1236/MAX1238), f_{SCL} = 1.7MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C, see Tables 1–5 for programming notation.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			12			Bits
Relative Accuracy	INL	(Note 2)			±1	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error					±4	LSB
Offset-Error Temperature Coefficient		Relative to FSR		0.3		ppm/°C
Gain Error		(Note 3)			±4	LSB
Gain-Temperature Coefficient		Relative to FSR		0.3		ppm/°C
Channel-to-Channel Offset Matching				±0.1		LSB
Channel-to-Channel Gain Matching				±0.1		LSB
DYNAMIC PERFORMANCE (f_{IN(SINE-WAVE)} = 10kHz, V_{IN(P-P)} = V_{REF}, f_{SAMPLE} = 94.4ksps)						
Signal-to-Noise Plus Distortion	SINAD			70		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-78		dB
Spurious-Free Dynamic Range	SFDR			78		dB
Full-Power Bandwidth		SINAD > 68dB		3		MHz
Full-Linear Bandwidth		-3dB point		5		MHz
CONVERSION RATE						
Conversion Time (Note 4)	t _{CONV}	Internal clock		7.5		μs
		External clock	10.6			

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

MAX1236-MAX1239

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $3.6V$ (MAX1237/MAX1239), $V_{DD} = 4.5V$ to $5.5V$ (MAX1236/MAX1238), $V_{REF} = 2.048V$ (MAX1237/MAX1239), $V_{REF} = 4.096V$ (MAX1236/MAX1238), $f_{SCL} = 1.7MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, see Tables 1–5 for programming notation.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Throughput Rate	f_{SAMPLE}	Internal clock, SCAN[1:0] = 01		51		ksps	
		Internal clock, SCAN[1:0] = 00 CS[3:0] = 1011 (MAX1238/MAX1239)		51			
		External clock		94.4			
Track/Hold Acquisition Time			800			ns	
Internal Clock Frequency				2.8		MHz	
Aperture Delay (Note 5)	t_{AD}	External clock, fast mode		60		ns	
		External clock, high-speed mode		30			
ANALOG INPUT (AIN0–AIN11)							
Input-Voltage Range, Single-Ended and Differential (Note 6)		Unipolar	0		V_{REF}	V	
		Bipolar	0		$\pm V_{REF}/2$		
Input Multiplexer Leakage Current		ON/OFF leakage current, $V_{AIN_} = 0V$ or V_{DD}		± 0.01	± 1	μA	
Input Capacitance	C_{IN}			22		pF	
INTERNAL REFERENCE (Note 7)							
Reference Voltage	V_{REF}	$T_A = +25^\circ C$	MAX1237/MAX1239	1.968	2.048	2.128	V
			MAX1236/MAX1238	3.936	4.096	4.256	
Reference-Voltage Temperature Coefficient	TCV_{REF}			25		ppm/ $^\circ C$	
REF Short-Circuit Current					2	mA	
REF Source Impedance				1.5		k Ω	
EXTERNAL REFERENCE							
REF Input-Voltage Range	V_{REF}	(Note 8)	1		V_{DD}	V	
REF Input Current	I_{REF}	$f_{SAMPLE} = 94.4ksps$			40	μA	
DIGITAL INPUTS/OUTPUTS (SCL, SDA)							
Input-High Voltage	V_{IH}		$0.7 \times V_{DD}$			V	
Input-Low Voltage	V_{IL}			$0.3 \times V_{DD}$		V	
Input Hysteresis	V_{HYST}		$0.1 \times V_{DD}$			V	
Input Current	I_{IN}	$V_{IN} = 0V$ to V_{DD}			± 10	μA	
Input Capacitance	C_{IN}			15		pF	
Output Low Voltage	V_{OL}	$I_{SINK} = 3mA$			0.4	V	

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

MAX1236-MAX1239

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $3.6V$ (MAX1237/MAX1239), $V_{DD} = 4.5V$ to $5.5V$ (MAX1236/MAX1238), $V_{REF} = 2.048V$ (MAX1237/MAX1239), $V_{REF} = 4.096V$ (MAX1236/MAX1238), $f_{SCL} = 1.7MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, see Tables 1–5 for programming notation.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Supply Voltage	V_{DD}	MAX1237/MAX1239	2.7		3.6	V
		MAX1236/MAX1238	4.5		5.5	
Supply Current	I_{DD}	$f_{SAMPLE} = 94.4ksps$ external clock	Internal reference	900	1150	μA
			External reference	670	900	
		$f_{SAMPLE} = 40ksps$ internal clock	Internal reference	530		
			External reference	230		
		$f_{SAMPLE} = 10ksps$ internal clock	Internal reference	380		
			External reference	60		
		$f_{SAMPLE} = 1ksps$ internal clock	Internal reference	330		
			External reference	6		
Shutdown (internal REF off)			0.5	10		
Power-Supply Rejection Ratio	PSRR	Full-scale input (Note 9)		± 0.5	± 2.0	LSB/V

TIMING CHARACTERISTICS (Figure 1)

($V_{DD} = 2.7V$ to $3.6V$ (MAX1237/MAX1239), $V_{DD} = 4.5V$ to $5.5V$ (MAX1236/MAX1238), $V_{REF} = 2.048V$ (MAX1237/MAX1239), $V_{REF} = 4.096V$ (MAX1236/MAX1238), $f_{SCL} = 1.7MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, see Tables 1–5 for programming notation.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS FOR FAST MODE						
Serial-Clock Frequency	f_{SCL}				400	kHz
Bus Free Time Between a STOP (P) and a START (S) Condition	t_{BUF}		1.3			μs
Hold Time for START (S) Condition	$t_{HD, STA}$		0.6			μs
Low Period of the SCL Clock	t_{LOW}		1.3			μs
High Period of the SCL Clock	t_{HIGH}		0.6			μs
Setup Time for a Repeated START Condition (Sr)	$t_{SU, STA}$		0.6			μs
Data Hold Time (Note 10)	$t_{HD, DAT}$		0		900	ns
Data Setup Time	$t_{SU, DAT}$		100			ns
Rise Time of Both SDA and SCL Signals, Receiving	t_R	Measured from $0.3V_{DD} - 0.7V_{DD}$	$20 + 0.1C_B$		300	ns
Fall Time of SDA Transmitting	t_F	Measured from $0.3V_{DD} - 0.7V_{DD}$ (Note 11)	$20 + 0.1C_B$		300	ns
Setup Time for STOP (P) Condition	$t_{SU, STO}$		0.6			μs
Capacitive Load for Each Bus Line	C_B				400	pF
Pulse Width of Spike Suppressed	t_{SP}				50	ns

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

TIMING CHARACTERISTICS (Figure 1) (continued)

(V_{DD} = 2.7V to 3.6V (MAX1237/MAX1239), V_{DD} = 4.5V to 5.5V (MAX1236/MAX1238), V_{REF} = 2.048V (MAX1237/MAX1239), V_{REF} = 4.096V (MAX1236/MAX1238), f_{SCL} = 1.7MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C, see Tables 1–5 for programming notation.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS FOR HIGH-SPEED MODE (C_B = 400pF, Note 12)						
Serial Clock Frequency	f _{SCLH}	(Note 13)			1.7	MHz
Hold Time, Repeated START Condition (Sr)	t _{HD, STA}		160			ns
Low Period of the SCL Clock	t _{LOW}		320			ns
High Period of the SCL Clock	t _{HIGH}		120			ns
Setup Time for a Repeated START Condition (Sr)	t _{SU, STA}		160			ns
Data Hold Time	t _{HD, DAT}	(Note 10)	0		150	ns
Data Setup Time	t _{SU, DAT}		10			ns
Rise Time of SCL Signal (Current Source Enabled)	t _{RCL}		20		80	ns
Rise Time of SCL Signal after Acknowledge Bit	t _{RCL1}	Measured from 0.3V _{DD} - 0.7V _{DD}	20		160	ns
Fall Time of SCL Signal	t _{FCL}	Measured from 0.3V _{DD} - 0.7V _{DD}	20		80	ns
Rise Time of SDA Signal	t _{RDA}	Measured from 0.3V _{DD} - 0.7V _{DD}	20		160	ns
Fall Time of SDA Signal	t _{FDA}	Measured from 0.3V _{DD} - 0.7V _{DD} (Note 11)	20		160	ns
Setup Time for STOP (P) Condition	t _{SU, STO}		160			ns
Capacitive Load for Each Bus Line	C _B				400	pF
Pulse Width of Spike Suppressed	t _{SP}	(Notes 10 and 13)	0		10	ns

- Note 1:** For DC accuracy, the MAX1236/MAX1238 are tested at V_{DD} = 5V and the MAX1237/MAX1239 are tested at V_{DD} = 3V. All devices are configured for unipolar, single-ended inputs.
- Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range and offsets have been calibrated.
- Note 3:** Offset nulled.
- Note 4:** Conversion time is defined as the number of clock cycles needed for conversion multiplied by the clock period. Conversion time does not include acquisition time. SCL is the conversion clock in the external clock mode.
- Note 5:** A filter on the SDA and SCL inputs suppresses noise spikes and delays the sampling instant.
- Note 6:** The absolute input-voltage range for the analog inputs (AIN0–AIN11) is from GND to V_{DD}.
- Note 7:** When the internal reference is configured to be available at AIN_/REF (SEL[2:1] = 11) decouple AIN_/REF to GND with a 0.1μF capacitor and a 2kΩ series resistor (see the *Typical Operating Circuit*).
- Note 8:** ADC performance is limited by the converter's noise floor, typically 300μV_{P-P}.
- Note 9:** Measured as for the MAX1237/MAX1239

$$\frac{\left[V_{FS}(3.6V) - V_{FS}(2.7V) \right] \times \frac{2^N - 1}{V_{REF}}}{(3.6V - 2.7V)}$$

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

TIMING CHARACTERISTICS (Figure 1) (continued)

($V_{DD} = 2.7V$ to $3.6V$ (MAX1237/MAX1239), $V_{DD} = 4.5V$ to $5.5V$ (MAX1236/MAX1238), $V_{REF} = 2.048V$ (MAX1237/MAX1239), $V_{REF} = 4.096V$ (MAX1236/MAX1238), $f_{SCL} = 1.7MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, see Tables 1–5 for programming notation.)

and for the MAX1236/MAX1238 where N is the number of bits.

$$\frac{[V_{FS}(5.5V) - V_{FS}(4.5V)] \times \frac{2^N - 1}{V_{REF}}}{(5.5V - 4.5V)}$$

Note 10: A master device must provide a data hold time for SDA (referred to V_{IL} of SCL) in order to bridge the undefined region of SCL's falling edge (see Figure 1).

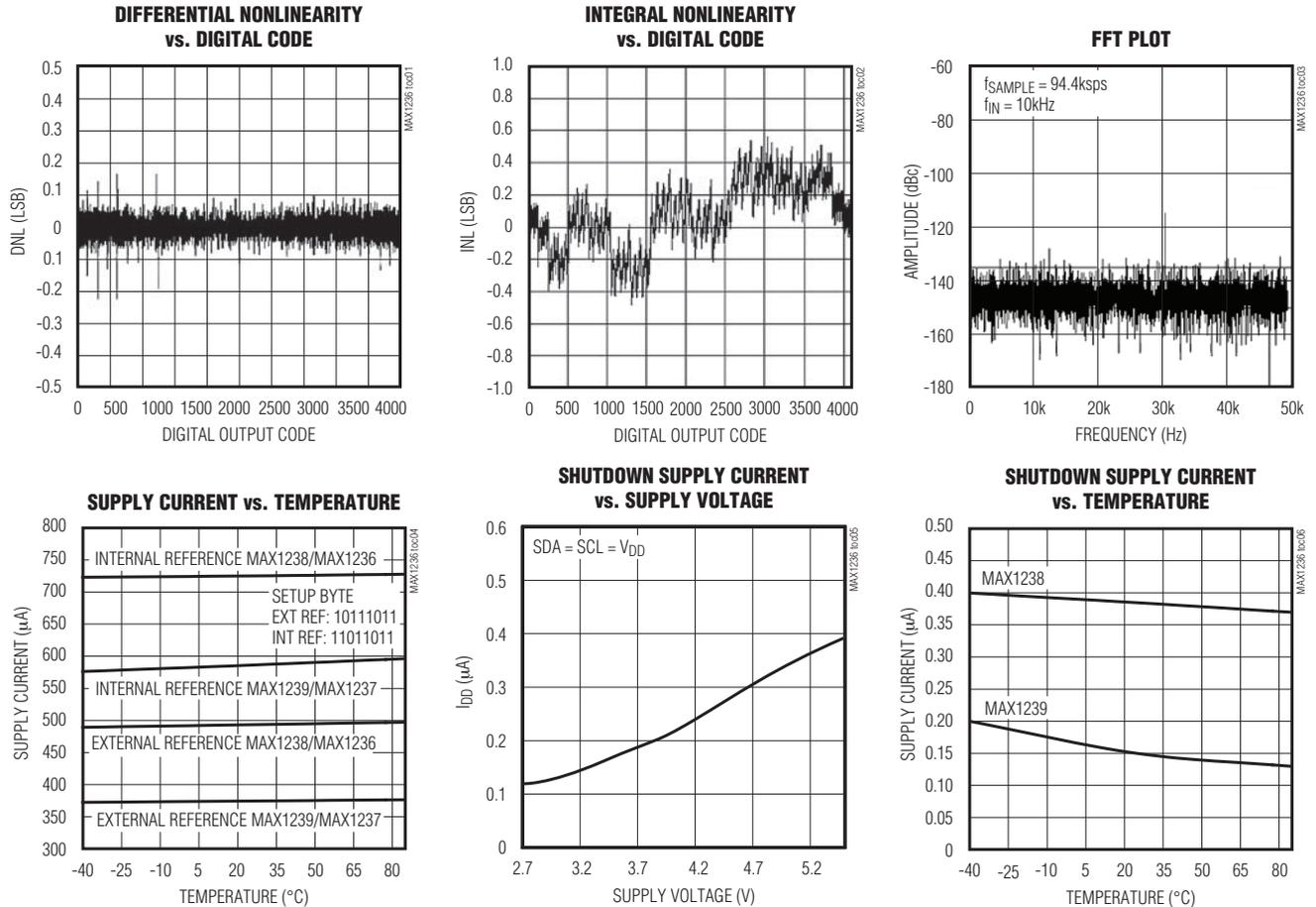
Note 11: The minimum value is specified at $+25^\circ C$.

Note 12: C_B = total capacitance of one bus line in pF.

Note 13: f_{SCL} must meet the minimum clock low time plus the rise/fall times.

標準動作特性

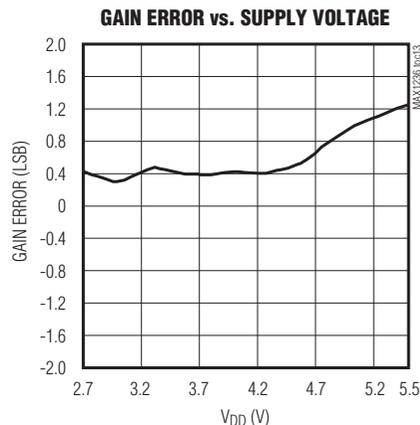
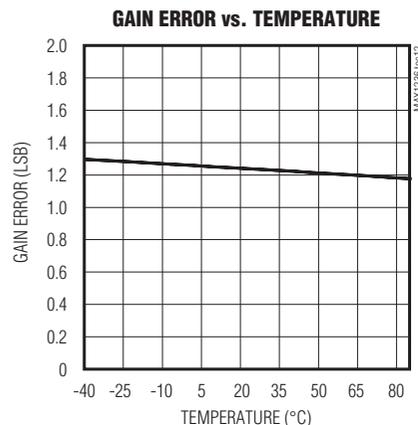
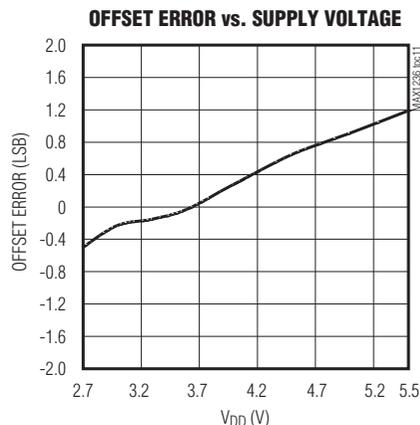
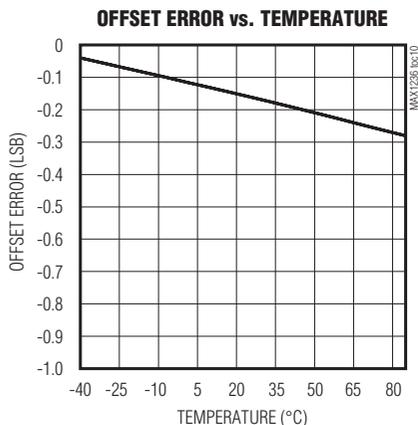
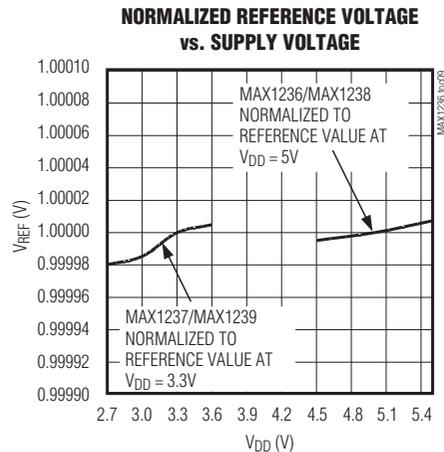
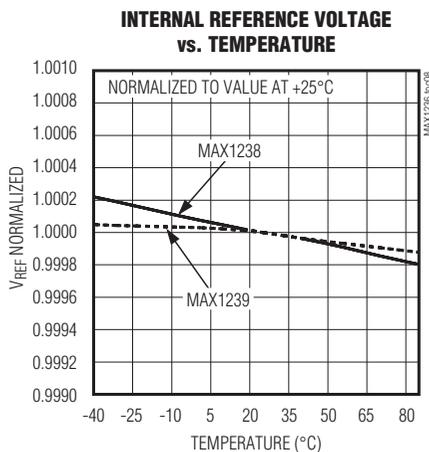
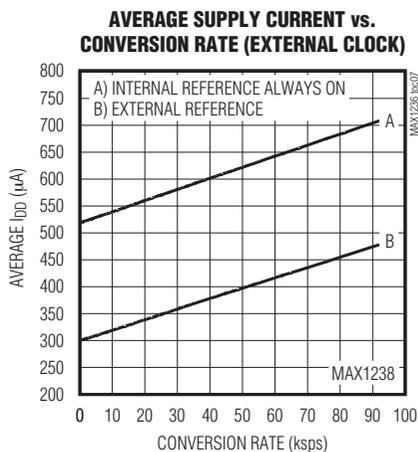
($V_{DD} = 3.3V$ (MAX1237/MAX1239), $V_{DD} = 5V$ (MAX1236/MAX1238), $f_{SCL} = 1.7MHz$, (50% duty cycle), $f_{SAMPLE} = 94.4kps$, single-ended, unipolar, $T_A = +25^\circ C$, unless otherwise noted.)



2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

標準動作特性(続き)

($V_{DD} = 3.3V$ (MAX1237/MAX1239), $V_{DD} = 5V$ (MAX1236/MAX1238), $f_{SCL} = 1.7MHz$, (50% duty cycle), $f_{SAMPLE} = 94.4ksp/s$, single-ended, unipolar, $T_A = +25^{\circ}C$, unless otherwise noted.)



2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

端子説明

端子		名称	機能
MAX1236 MAX1237	MAX1238 MAX1239		
1, 2, 3	1, 2, 3	AIN0-AIN2	アナログ入力
—	4-8	AIN3-AIN7	
—	16, 15, 14	AIN8-AIN10	
4	—	AIN3/REF	アナログ入力3/リファレンス入力または出力。Setupレジスタで選択します。(表1と表6参照)
—	13	AIN11/REF	アナログ入力11/リファレンス入力または出力。Setupレジスタで選択します。(表1と表6参照)
5	9	SCL	クロック入力
6	10	SDA	データ入力/出力
7	11	GND	グラウンド
8	12	V _{DD}	正電源。デバイスのできるだけ近くでV _{DD} をGNDに0.1μFのコンデンサでバイパスしてください。

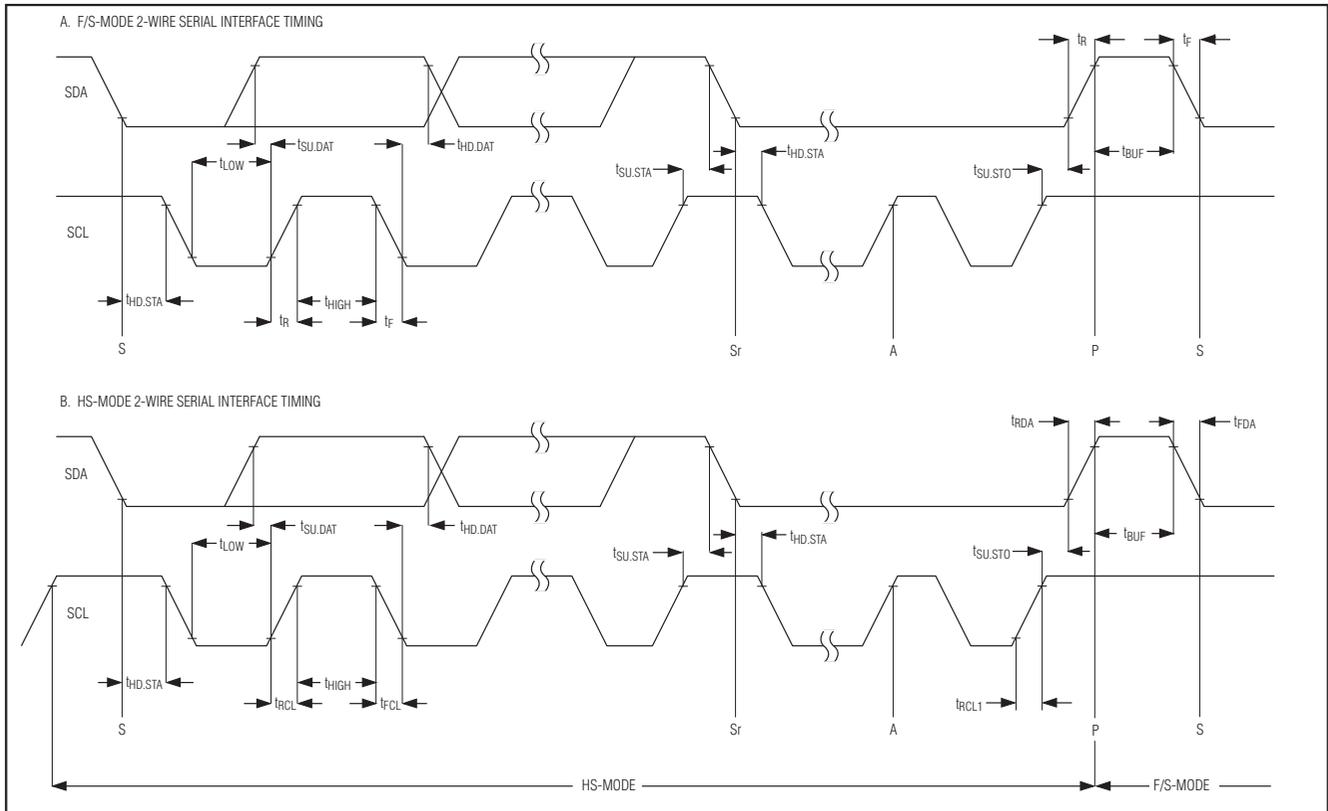


図1. 2線シリアルインタフェースタイミング図

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

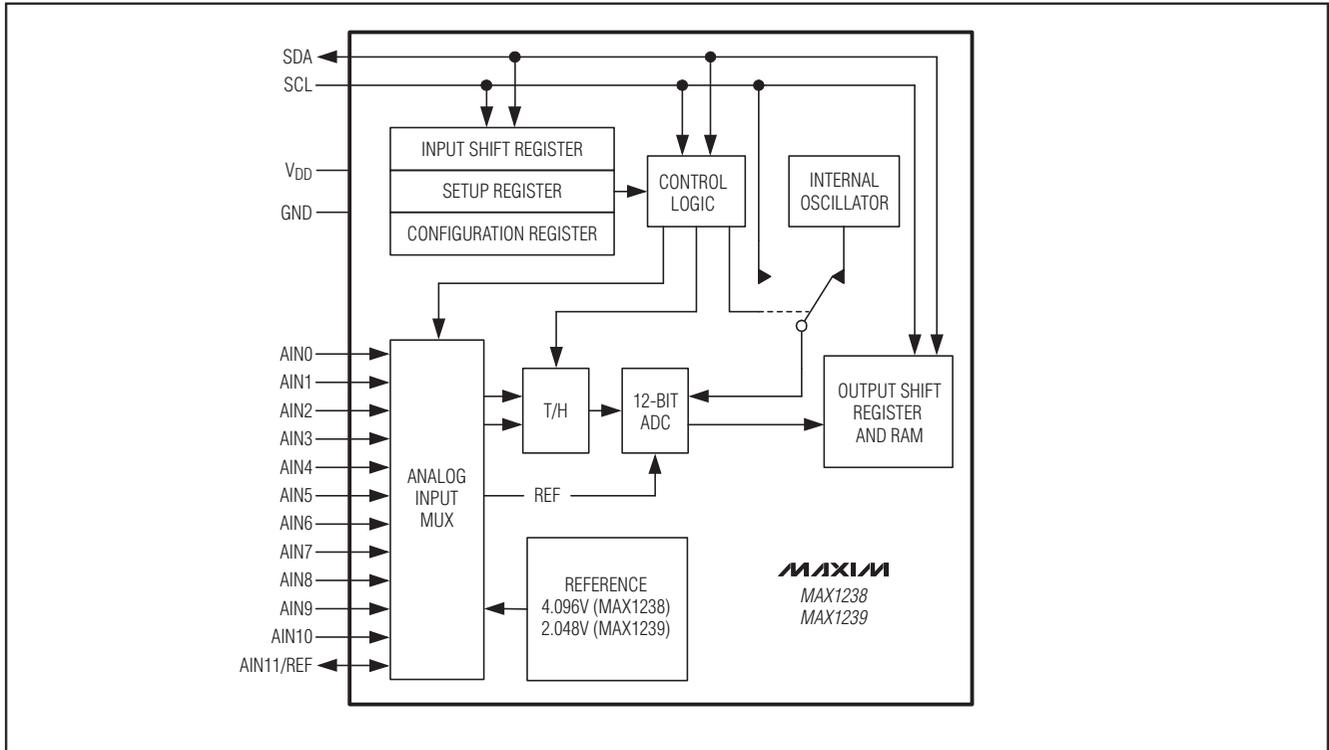


図2. MAX1238/MAX1239簡素化ファンクションダイアグラム

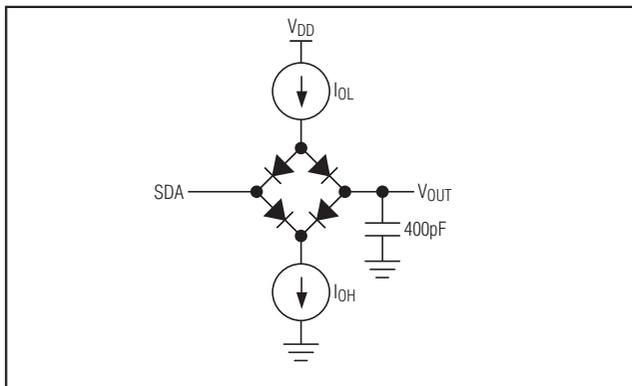


図3. 負荷回路

詳細

アナログ-デジタルコンバータ(ADC)のMAX1236~MAX1239は逐次比較変換技法と完全差動入力トラック/ホールド(T/H)回路を用いてアナログ信号を捕捉し、シリアル12ビットデジタル出力へ変換します。MAX1236/MAX1237は4チャンネルADCで、MAX1238/MAX1239は12チャンネルADCです。これらのデバイスは高速2線シリアルインタフェースを特長とし、最高1.7MHzまでのデータレートをサポートします。図2はMAX1238/MAX1239の簡素化された内部構成を示します。

電源

MAX1236~MAX1239は単一電源で動作し、消費電流は最高94.4kspsのサンプリングレートで670μA (typ)です。MAX1237/MAX1239は2.048Vの内部リファレンス、MAX1236/MAX1238は4.096Vの内部リファレンスを特長としています。全デバイスは1V~V_{DD}の外部リファレンスを使用するように構成することが可能です。

アナログ入力およびトラック/ホールド

MAX1236~MAX1239アナログ入力アーキテクチャは、アナログ入力マルチプレクサ(mux)、完全差動トラック/ホールド(T/H)コンデンサ、T/Hスイッチ、コンパレータ、および完全差動スイッチトキャパシタデジタル-アナログコンバータ(DAC)から構成されています(図4)。

シングルエンドモードでは、アナログ入力マルチプレクサによって、C_{T/H}をCS[3:0]によって選択されたアナログ入力(「Configuration/Setupバイト(書き込みサイクル)」の項を参照)とGND間に接続します(表3)。差動モードでは、アナログ入力マルチプレクサによって、C_{T/H}をCS[3:0]によって選択された「+」と「-」の各アナログ入力に接続します(表4)。

アキュイジション期間中、T/Hスイッチはトラック位置にあって、C_{T/H}はアナログ入力信号まで充電します。アキュイジション期間の最後に、T/Hスイッチはホールド位置に移行し、C_{T/H}の電荷を入力信号の安定したサンプルとして保持します。

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

変換期間、スイッチトキャパシタDACは、コンパレータ入力電圧を12ビット分解能の範囲内で0Vになるように調整します。この動作は12変換クロックサイクルを必要とし、 $11\text{pF} \times (V_{\text{IN}+} - V_{\text{IN}-})$ の電荷を、 $C_{\text{T/H}}$ からバイナリ重み付容量性DACへ移すことと等価であり、アナログ入力信号のデジタル表現を生成します。

正確なサンプリングを保証するには十分に低いソースインピーダンスが必要です。ソースインピーダンスが $1.5\text{k}\Omega$ 以下の場合には、サンプリング精度は大きく劣化しません。より高いソースインピーダンスにおいてサンプリング誤差を最小化するためには、 100pF のコンデンサをアナログ入力からGNDへ接続してください。この入力コンデンサは、ソースインピーダンスとRCフィルタを形成し、アナログ入力帯域幅を制限します。ソースインピーダンスが更に大きい場合には、アナログ入力信号の完全性と帯域幅を維持するためにバッファアンプを使用してください。

内部クロックモードでの動作では、T/H回路はアドレスバイトの8番目の立上がりクロックエッジでトラックモードに入ります(「スレープアドレス」項を参照)。T/H回路はアドレスバイトのアクノリッジビット(9番目のクロックパルス)の立下りクロックエッジでホールドモードに入ります。そして単一変換、または一連の変換は内部でクロック同期され、MAX1236~MAX1239はSCLをローにホールドします。外部クロックモードでは、T/H回路は読み出し(R/W = 1)ビット期間中、有効なアドレスのクロックの立上りエッジ後にトラックモードに入ります。そして、結果の最初の1バイトをシフトアウトする期間中の2番目のクロックパルスの立上りエッジでホールドモードに入ります。変換は次の12クロックサイクルの間で行われます。

T/H回路が入力信号を収集するのに必要な時間は入力サンプル容量の関数です。アナログ入力ソースインピーダンスが高い場合、アクイジションの時定数が長くなり、変換と変換の間を更に長くする必要があります。アクイジションタイム(t_{ACQ})とは信号が収集されるのに必要な最低時間です。次式を使って計算されます。

$$t_{\text{ACQ}} \geq 9 \times (R_{\text{SOURCE}} + R_{\text{IN}}) \times C_{\text{IN}}$$

ここで、 R_{SOURCE} はアナログ入力のソースインピーダンス、 $R_{\text{IN}} = 2.5\text{k}\Omega$ 、 $C_{\text{IN}} = 22\text{pF}$ です。 t_{ACQ} は内部クロックモードの場合 $1.5/f_{\text{SCL}}$ で、外部クロックモードの場合 $t_{\text{ACQ}} = 2/f_{\text{SCL}}$ です。

アナログ入力帯域幅

MAX1236~MAX1239は5MHz小信号帯域幅の入力トラック回路を特長としています。5MHz入力帯域幅は高速トランジェント現象のデジタル化を可能にし、アンダーサンプリング技法を使うことによってADCのサンプリングレートを越えた帯域幅の周期信号を測定することを可能にします。高周波信号が計測したい周波数帯域幅にエイリアシングするのを防ぐためにアンチエイリアシングフィルタリングを推奨します。

アナログ入力範囲および保護

内部保護ダイオードによってアナログ入力を V_{DD} およびGNDにクランプします。これらのダイオードによって、アナログ入力はデバイスに損傷を起こすことなく、 $(V_{\text{GND}} - 0.3\text{V}) \sim (V_{\text{DD}} + 0.3\text{V})$ の範囲でスイングすることができます。正確な変換を行うためには、入力がGNDよりも50mV以下にならないように、また V_{DD} よりも50mV以上にならないようにしてください。

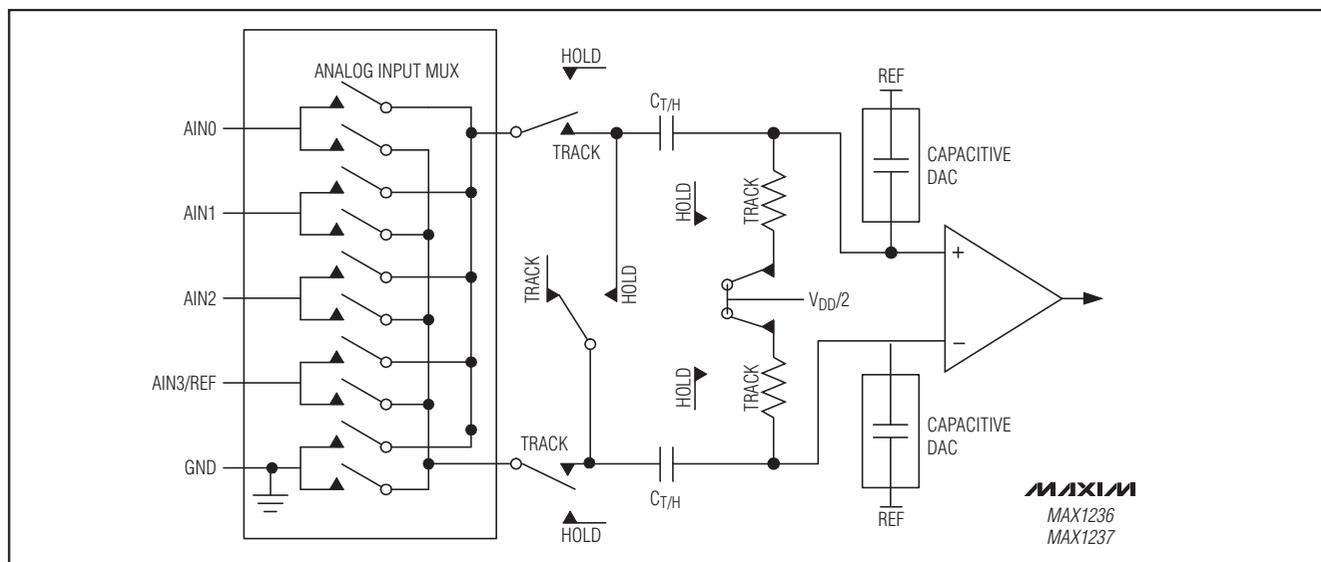


図4. 等価入力回路

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

シングルエンド/差動入力

ConfigurationバイトのSGL/DIFはMAX1236~MAX1239のアナログ入力回路をシングルエンドまたは差動入力に設定します(表2)。シングルエンドモード(SGL/DIF = 1)では、デジタル変換の結果はCS[3:0]によって選択されたアナログ入力とGND間の差です(表3)。差動モード(SGL/DIF = 0)では、デジタル変換の結果は、CS[3:0]によって選択された[+]と[-]のアナログ入力間の差です(表4)。

ユニポーラ/バイポーラ

差動モードで動作している時、Setupバイト(表1)のBIP/UNIビットは、ユニポーラまたはバイポーラの動作を選択します。ユニポーラモードは差動入力範囲を0~V_{REF}に設定します。ユニポーラモードでの負の差動アナログ入力はデジタル出力コードを0にします。バイポーラモードを選択すると、差動入力範囲は±V_{REF}/2に設定されます。デジタル出力コードは、ユニポーラモードではバイナリで、バイポーラモードでは2の補数です(「伝達関数」項を参照)。

シングルエンドモードでは、MAX1236~MAX1239はBIP/UNIに関係なく常にユニポーラモードで動作します。アナログ入力は内部でGNDを基準とし、フルスケール入力範囲は0V~V_{REF}です。

2線デジタルインタフェース

MAX1236~MAX1239はシリアルデータライン(SDA)とシリアルクロックライン(SCL)から構成される2線インタフェースを備えています。SDAとSCLはMAX1236~MAX1239とマスタ間の双方向性通信を最大速度1.7MHzで行います。MAX1236~MAX1239はデータの送受信をするスレーブです。マスタ(通常マイクロコントローラ)はバス上でデータ送信を開始し、送信を許可するSCL信号を生成します。

SDAとSCLはハイにプルアップする必要があります。これは通常プルアップ抵抗(750Ωまたはそれ以上)を使って行われます(「標準動作回路」を参照)。直列抵抗(R_S)はオプションです。これらの直列抵抗はバスライン上の高圧スパイクからMAX1236~MAX1239の入力アーキテクチャを保護して、バス信号のクロストークとアンダーシュートを最小化します。

ビット伝送

1つのデータビットが各SCLクロックサイクル中に伝送されます。データをMAX1236~MAX1239から送受信するには最低18クロックサイクルを必要とします。SDAのデータはSCLクロックパルスがハイの期間中安定していなければなりません。SCLが安定している期間の

SDAの変化は制御信号とみなされます(「STARTおよびSTOP条件」項を参照)。バスが使用中でない時は、SDAとSCLは共にハイになります。

STARTおよびSTOP条件

マスタは、SCLがハイの時にSDAがハイからローへ移行するSTART条件(S)で送信を開始します。マスタは、SCLがハイの時にSDAのローからハイへ移行するSTOP条件(P)で送信を終了します(図5)。バスをアクティブ状態に保ち、モードを変更させないためには、STOP条件の代わりに反復START条件(Sr)を使うことができます(HSモードを参照)。

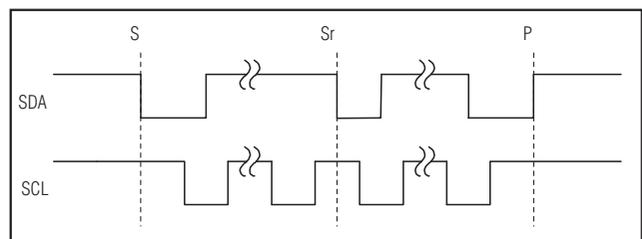


図5. STARTおよびSTOP条件

アクノリッジビット

データ伝送はアクノリッジビット(A)または非アクノリッジビット(\bar{A})で認識されます。マスタおよびMAX1236~MAX1239(スレーブ)は両方ともアクノリッジビットを発生します。アクノリッジを発生するには、受信デバイスはアクノリッジ関連のクロックパルス(9番目のパルス)の立上りエッジより前にSDAをローに設定し、クロックパルスのハイ期間中はローに保持する必要があります(図6)。非アクノリッジを発生するには、受信デバイスは、アクノリッジ関連のクロックパルスの立上りエッジより前にSDAをハイに設定し、クロックパルスのハイ期間中はSDAをハイに保持する必要があります。アクノリッジビットを監視することによって、データ伝送の失敗を検出することができます。受信デバイスが使用中またはシステムフォルトが発生した場合にデータ伝送の失敗が発生します。データ伝送失敗の現象が起きた場合は、バスマスタは後に再度伝送を試みる必要があります。

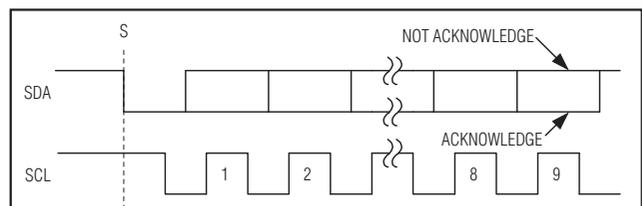


図6. アクノリッジビット

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

スレーブアドレス

バスマスタはSTART条件に続いてスレーブアドレスを送信することによってスレーブデバイスとの通信を開始します。アイドル時、MAX1236~1239はSTART条件とそれに続くスレーブアドレスを継続的に待ちます。MAX1236~MAX1239がスレーブアドレスを認識すると、データの送受信の準備が整います。選択したデバイスのスレーブアドレスは出荷時に設定され、型番の表を参照してください。アドレスバイトの最下位ビット(LSB) (R/W)で、マスタがMAX1236~MAX1239から書き込みをしているのか、または読み出しをしているのかを判断します(R/W = 0で書き込みを選択、R/W = 1で読み出しを選択)。アドレスを受信すると、MAX1236~MAX1239 (スレーブ)は1クロックサイクル間SDAをローにすることによって、アクノリッジを送信します。

バスタイミング

起動時のMAX1236~MAX1239のバスタイミングはファーストモード(F/Sモード)に設定され、最大22.2ksp/s

までの変換レートが可能です。MAX1236~MAX1239は、最大94.4ksp/sの変換レートを達成するには、ハイスピードモード(HSモード)で動作する必要があります。図1はMAX1236~MAX1239の2線インタフェースのバスタイミングを示しています。

HSモード

起動時のMAX1236~MAX1239のバスタイミングはF/Sモードに設定されています。バスマスタは、HSモードマスタコード0000 1XXX (X = 任意)で、バス上の全デバイスにアドレスすることによってHSモードを選択します。HSモードマスタコードの受信が成功すると、MAX1236~MAX1239は非アクノリッジを送信し、SDAが1クロックサイクルの間ハイにすることを可能にします(図8)。非アクノリッジ後に、MAX1236~MAX1239はHSモードとなります。その後バスマスタは、HSモードの通信開始には反復START条件とそれに続くスレーブアドレスを送信しなければなりません。マスタがSTOP条件を発生すると、MAX1236~MAX1239はF/Sモードに戻ります。

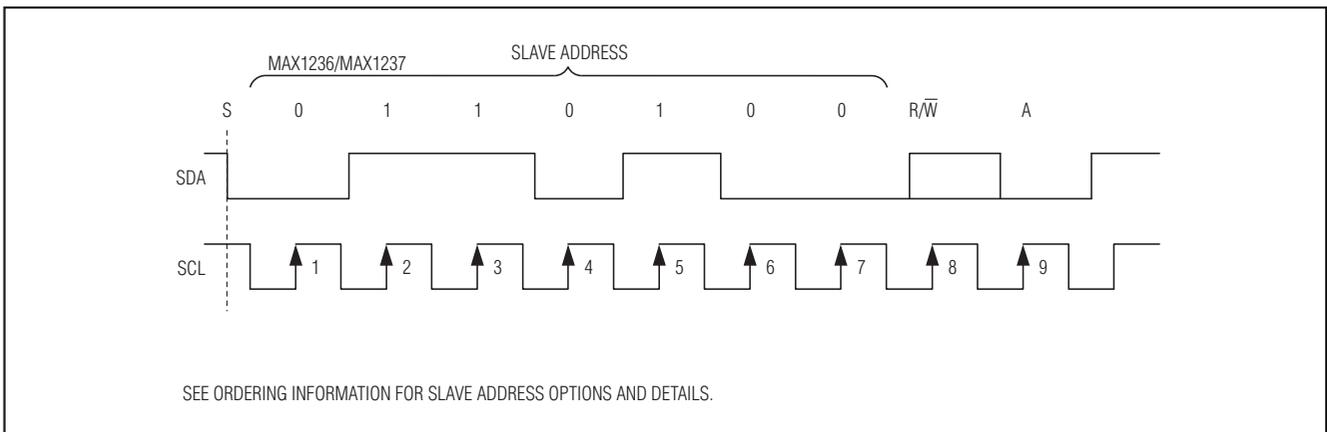


図7. MAX1236/MAX1237スレーブアドレスバイト

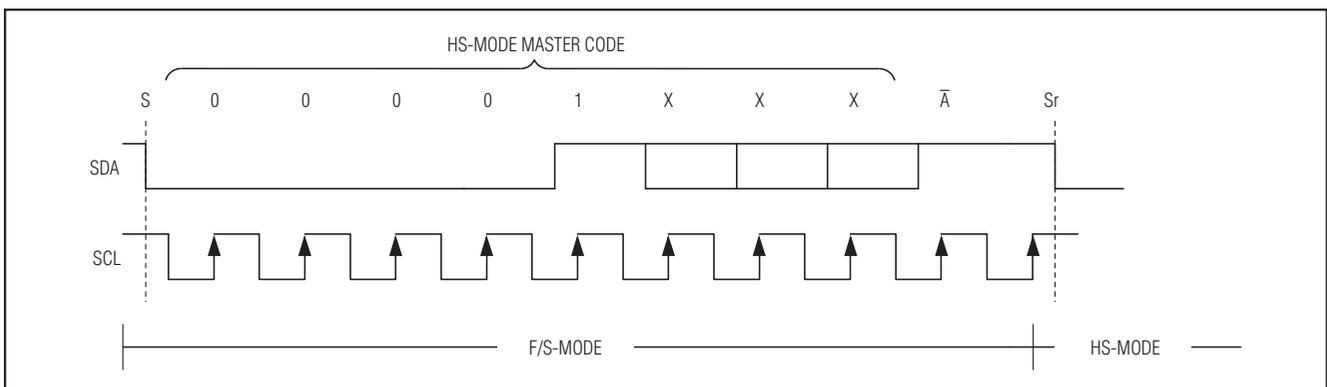


図8. F/SモードからHSモードへの移行

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

Configuration/Setupバイト(書き込みサイクル)

書き込みサイクルは、バスマスタがSTART条件に続く7つのアドレスビット(図7)と書き込みビット(R/W=0)を送信することによって開始します。アドレスバイトの受信が成功すると、MAX1236~MAX1239(スレーブ)はアクノリッジを送信します。その後、マスタがスレーブに書き込みをします。スレーブは受信したバイトの最上位ビット(MSB)が1の場合Setupバイトとして認識します(表1)。もしMSBが0の場合は、スレーブは受信したバイトをConfigurationバイトとして認識します

(表2)。マスタはスレーブに1または2バイトを、順序に関係なく書き込むことができます(Setupバイトの次にConfigurationバイト、Configurationバイトの次にSetupバイト、SetupまたはConfigurationバイトのみ。図9参照)。スレーブはバイトの受信に成功すると、アクノリッジを送信します。マスタはSTOP条件または反復START条件を送信することによって書き込みサイクルを終了させます。HSモードで動作中の場合、STOP条件はバスをF/Sモードに戻します(「HSモード」項を参照)。

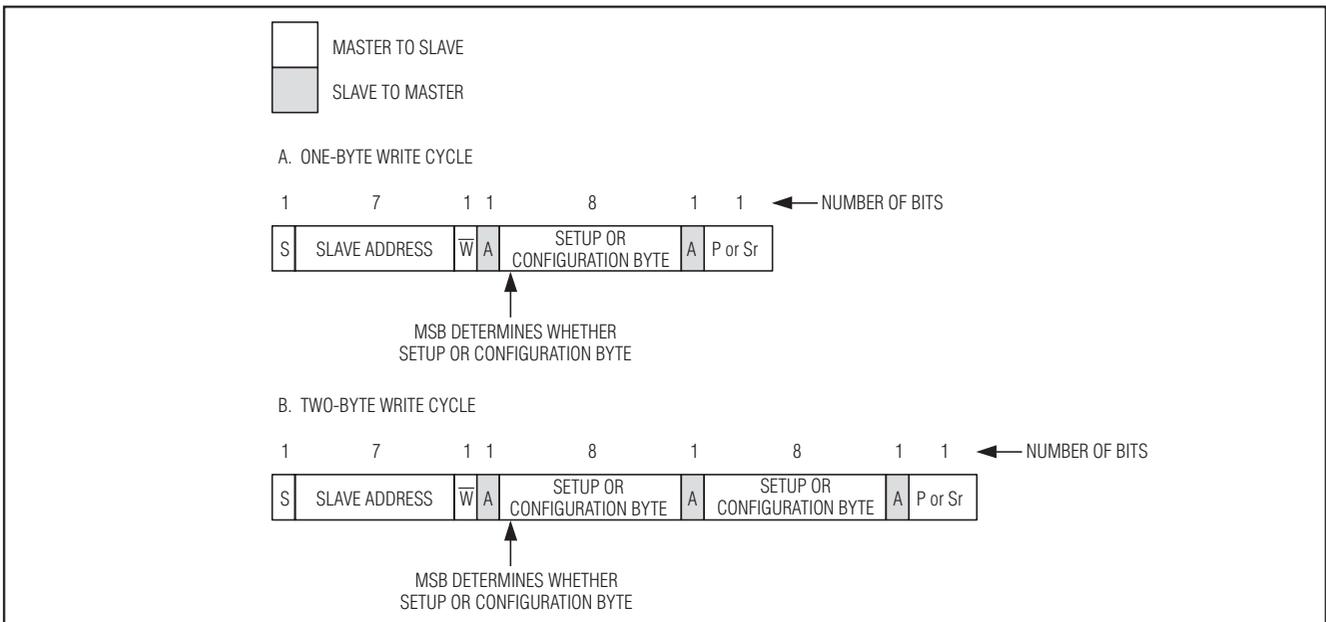


図9. 書き込みサイクル

表1. Setupバイトフォーマット

BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
REG	SEL2	SEL1	SEL0	CLK	BIP/UNI	RST	X
BIT	NAME	DESCRIPTION					
7	REG	Register bit. 1 = setup byte, 0 = configuration byte (see Table 2).					
6	SEL2	Three bits select the reference voltage and the state of AIN_/REF (Table 6). Default to 000 at power-up.					
5	SEL1						
4	SEL0						
3	CLK	1 = external clock, 0 = internal clock. Default to 0 at power-up.					
2	BIP/UNI	1 = bipolar, 0 = unipolar. Default to 0 at power-up (see the <i>Unipolar/Bipolar</i> section).					
1	RST	1 = no action, 0 = resets the configuration register to default. Setup register remains unchanged.					
0	X	Don't care, can be set to 1 or 0.					

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

表2. Configurationバイトフォーマット

BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
REG	SCAN1	SCAN0	CS3	CS2	CS1	CS0	SGL/DIF
BIT	NAME	DESCRIPTION					
7	REG	Register bit 1 = setup byte (see Table 1), 0 = configuration byte.					
6	SCAN1	Scan select bits. Two bits select the scanning configuration (Table 5). Default to 00 at power-up.					
5	SCAN0						
4	CS3						
3	CS2	Channel select bits. Four bits select which analog input channels are to be used for conversion (Tables 3 and 4). Default to 0000 at power-up. For MAX1236/MAX1237, CS3 and CS2 are internally set to 0.					
2	CS1						
1	CS0						
0	SGL/DIF	1 = single-ended, 0 = differential (Tables 3 and 4). Default to 1 at power-up. See the <i>Single-Ended/Differential Input</i> section.					

表3. シングルエンドモードのチャンネル選択(SGL/DIF = 1)

CS3 ¹	CS2 ¹	CS1	CS0	AIN0	AIN1	AIN2	AIN3 ²	AIN4	AIN5	AIN6	AIN7	AIN8	AIN9	AIN10	AIN11 ²	GND
0	0	0	0	+												-
0	0	0	1		+											-
0	0	1	0			+										-
0	0	1	1				+									-
0	1	0	0					+								-
0	1	0	1						+							-
0	1	1	0							+						-
0	1	1	1								+					-
1	0	0	0									+				-
1	0	0	1										+			-
1	0	1	0											+		-
1	0	1	1												+	-
1	1	0	0	RESERVED												
1	1	0	1	RESERVED												
1	1	1	0	RESERVED												
1	1	1	1	RESERVED												

- MAX1236/MAX1237では、CS3とCS2は内部で0に設定されます。
- SEL1 = 1の時、AIN3/REF (MAX1236/MAX1237)またはAIN11/REF (MAX1238/MAX1239)のシングルエンド読み込みは無視されます。スキャンは、AIN2またはAIN10で停止します。

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

表4. 差動モードのチャンネル選択(SGL/DIF = 0)

CS3 ¹	CS2 ¹	CS1	CS0	AIN0	AIN1	AIN2	AIN3 ²	AIN4	AIN5	AIN6	AIN7	AIN8	AIN9	AIN10	AIN11 ²
0	0	0	0	+	-										
0	0	0	1	-	+										
0	0	1	0			+	-								
0	0	1	1			-	+								
0	1	0	0					+	-						
0	1	0	1					-	+						
0	1	1	0							+	-				
0	1	1	1							-	+				
1	0	0	0									+	-		
1	0	0	1									-	+		
1	0	1	0											+	-
1	0	1	1											-	+
1	1	0	0	RESERVED											
1	1	0	1	RESERVED											
1	1	1	0	RESERVED											
1	1	1	1	RESERVED											

- MAX1236/MAX1237では、CS3とCS2は内部で0に設定されます。
- SEL1 = 1の時、AIN2とAIN3/REF (MAX1236/MAX1237)間、またはAIN10とAIN11/REF (MAX1238/MAX1239)間の差動読み込みは、それぞれGNDとAIN2またはAIN10間の差となります。例えば、1011の差動読み込みは、AIN10とGND間の負の差になります。差動スキミングでは、アドレスのインクリメントはCS3:CS1で設定された制限に到達するまで、2になります。

データバイト(読み出しサイクル)

変換結果を得るには読み出しサイクルを開始する必要があります。読み出しサイクルは、バスマスタがSTART条件に続く7つのアドレスビットと読み出しビット(R/W = 1)を送信することによって開始されます。アドレスバイトの受信が成功すると、MAX1236~MAX1239(スレーブ)はアクノリッジを送信します。その後、マスタがスレーブから読み出しをします。結果は2バイトで送信されます。最初のバイトの先頭4ビットはハイで、そしてMSBからLSBへと連続してクロックアウトされます。マスタはバイトを受信した後に、読み出しを続けたい場合はアクノリッジを、読み出しの継続を希望しない場合は非アクノリッジを送信することができます。MAX1236~MAX1239が非アクノリッジを受信した場合、MAX1236~MAX1239は、マスタがSTOPまたは反復START条件を発生できるようにSDAを解放します。データの取得と変換方法についての詳細情報は「クロックモード」と「スキミングモード」項を参照してください。

クロックモード

クロックモードによって変換クロックおよびデータアキュジションタイムと変換時間が決定されます。またクロックモードはスキミングモードにも影響を与えます。SetupバイトのCLKビットの状態がクロックモードを

決定します(表1)。起動時のMAX1236~MAX1239は内部クロックモードのデフォルト状態です(CLK = 0)。

内部クロック

内部クロックモード(CLK = 0)設定時、MAX1236~MAX1239は内部発振器を変換クロックとして使用します。内部クロックモードでは、MAX1236~MAX1239は、有効なアドレスの8番目の立上りリクロックエッジの後にアナログ入力のトラッキングを開始します。9番目の立下りリクロックエッジで、アナログ信号が収集され変換が開始されます。アナログ入力信号の変換中、MAX1236~MAX1239はSCLをローに保持します(クロックストレッチ)。変換が完了すると、結果は内部メモリに記憶されます。スキミングモードが複数変換に設定されている場合、それぞれの結果は連続的にメモリに記憶されます。MAX1236/MAX1237は4つの12ビットブロックメモリを、MAX1238/MAX1239は12の12ビットブロックメモリを備えています。全ての変換が完了すると、MAX1236~MAX1239は、SCLを解放しハイにできるようにします。これでマスタは、最大1.7MHzのクロックレートで、スキミング変換が行われたのと同じ順序でメモリから結果をクロックアウトすることができます。SCLはチャンネルにつき最大8.3μsストレッチされます(図10を参照)。

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

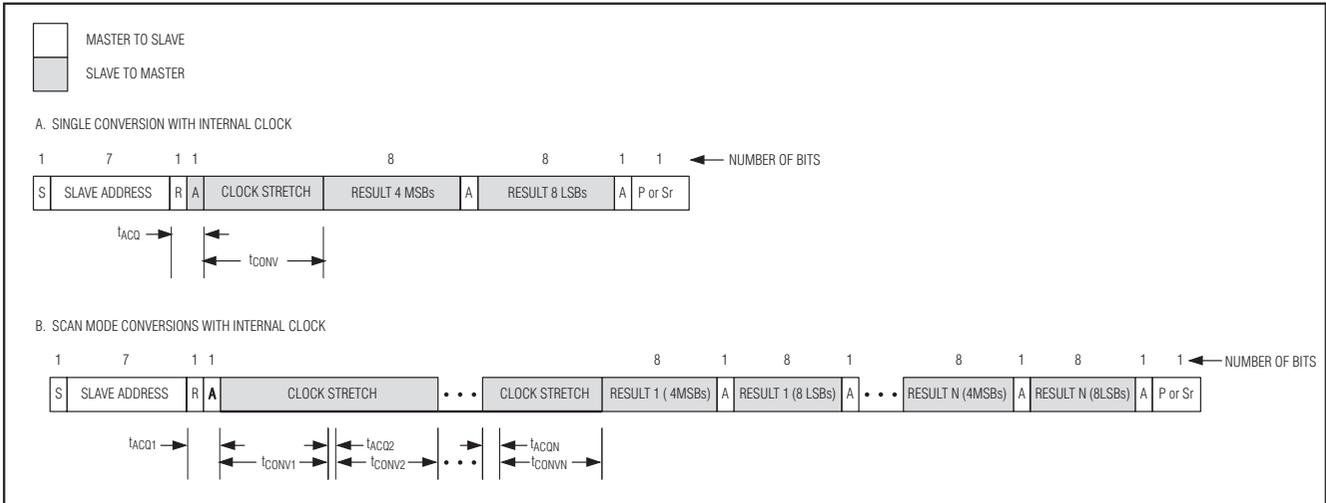


図10. 内部クロックモード読み出しサイクル

MAX1236~MAX1239がSCLを解放する時には、全ての変換結果はデバイスメモリに格納されています。変換結果は先入れ先出し(FIFO)シーケンスで読み取られます。AIN_/REFがリファレンス入力または出力に設定されている場合(SEL1 = 1、表6)、AIN_/REFはマルチチャンネルスキャンから除外されます。メモリの内容は連続して読み取ることができます。メモリに記憶された結果を越えて読み取りが継続された場合、ポインタは一回りして最初の結果を指定します。メモリからは現在の変換結果のみが読み取られることに注意してください。新しい変換結果を得るには、デバイスを読み出しコマンドでアドレスする必要があります。

内部クロックモードのクロックストレッチによって、SCLのバス信号を静め、変換中のシステム雑音を低減します。また、内部クロックを使うことによって、バスマスタ(通常マイクロコントローラ)は変換クロックを駆動する役割から解放され、バスを使う必要のない他のタスクを行うことが可能になります。

外部クロック

外部クロックモード設定時(CLK = 1)、MAX1236~MAX1239はSCLを変換クロックとして使用します。外部クロックモードでは、MAX1236~MAX1239は有効なスレーブアドレスバイトの9番目の立上りエッジで、

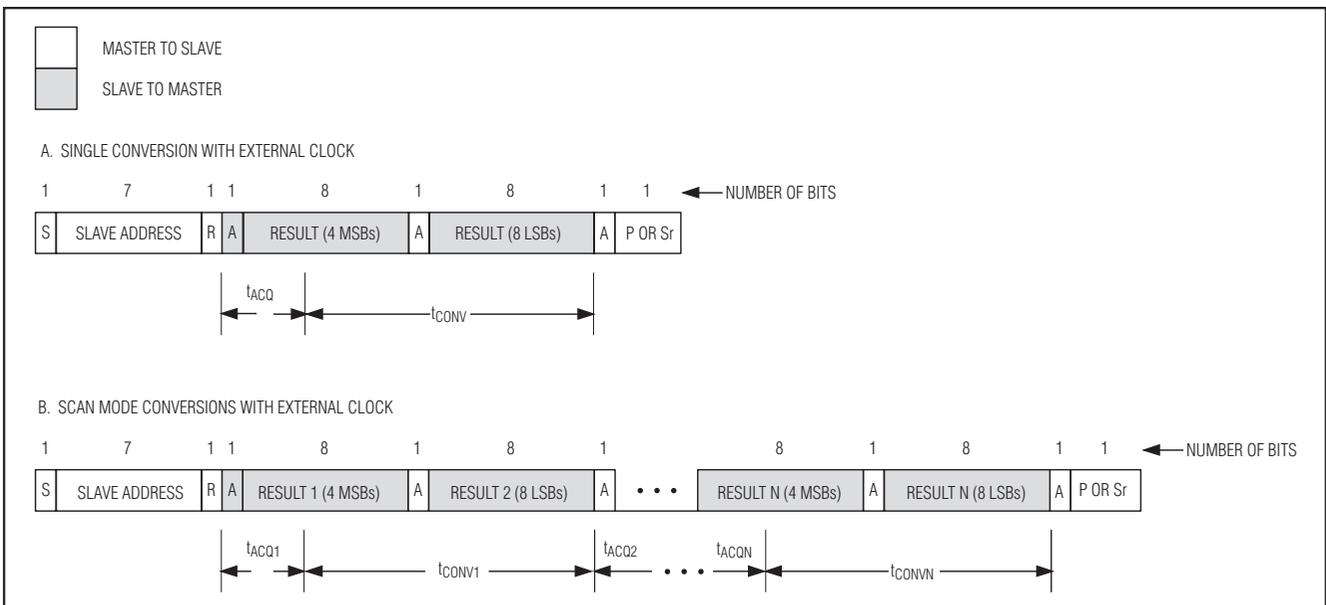


図11. 外部クロックモード読み出しサイクル

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

表5. スキャン構成

SCAN1	SCAN0	SCANNING CONFIGURATION
0	0	Scans up from AIN0 to the input selected by CS3–CS0. When CS3–CS0 exceeds 1011, the scanning stops at AIN11. When AIN_/REF is set to be a REF in/output, scanning stops at AIN10 or AIN2.
0	1	*Converts the input selected by CS3–CS0 eight times (see Tables 3 and 4).
1	0	Scans up from AIN2 to the input selected by CS1 and CS0. When CS1 and CS0 are set for AIN0–AIN2, the only scan that takes place is AIN2 (MAX1236/MAX1237). When AIN/REF is set to be a REF input/output, scanning stops at AIN2.
		Scans up from AIN6 to the input selected by CS3–CS0. When CS3–CS0 is set for AIN0–AIN6, the only scan that takes place is AIN6 (MAX1238/MAX1239). When AIN/REF is set to be a REF input/output, scanning stops at the selected channel or AIN10.
1	1	*Converts channel selected by CS3–CS0.

*外部クロックモード動作時、SCAN[1:0] = 01とSCAN[1:0] = 11との違いはなく、変換は非アクノリッジが発生するまで絶え間なく発生します。

アナログ入力のトラッキングを開始します。2つのSCLクロックサイクル後にアナログ信号が収集され、変換が開始します。内部クロックモードと異なり、変換データは最初の4つの空のハイビットの後、すぐに取り出せます。デバイスは、非アクノリッジが与えられるまで、スキャンモードによって指定された入力チャンネルを連続的に変換します。新しい変換結果を得るために、デバイスを読み出しコマンドで再アドレスする必要はありません(図11を参照)。

変換は1ms以内で完了させてください。完了しない場合には、トラック/ホールドコンデンサのドループによって変換結果が劣化します。SCLのクロック周期が60μsを越える場合は内部クロックモードを使用してください。

変換レートが40ksps~94.4kspsの場合、MAX1236~MAX1239を外部クロックモードで動作させてください。40ksps以下の場合、低消費電力という点で、内部クロックモードでの動作を推奨します。

スキャンモード

ConfigurationバイトのSCAN0とSCAN1によって、スキャンモードの構成を設定します。表5にスキャン構成の構成を示します。AIN_/REFがリファレンス入力または出力に設定されている場合(SEL1 = 1、表6)、AIN_/REFはマルチチャンネルスキャンから除外されます。スキャンされた結果は、変換と同じ順序でメモリに書き込まれます。変換された順でメモリから結果を読み取ってください。各結果は2バイトの送信が必要で、最初のバイトはSDAハイの間に4つの空ビットで始まります。各バイトはマスタによってアクノリッジされる必要があります、されない場合にはメモリ送信が終了されます。変換と無関係にメモリを読み取ることはできません。

アプリケーション情報

パワーオンリセット

ConfigurationとSetupレジスタ(表1および表2)のデフォルトは、V_{DD}をリファレンスとし、AIN_/REFをアナログ入力に設定した内部クロックを使い、AIN0のシングルエンド、ユニポーラ、シングルチャンネル変換となっています。起動後、メモリの内容は不定です。

自動シャットダウン

自動シャットダウンは、MAX1236~MAX1239がアイドル状態時に、変換と変換の間で発生します。全ての回路は、立上がり時間が極めて長い内部リファレンスを除いて自動シャットダウンに入ります。外部クロックモード動作時は、デバイスをアイドルモードにして自動シャットダウン機能を利用するためには、STOP、非アクノリッジまたは反復START条件を送信する必要があります。内部クロックモードでは、全ての変換結果がメモリに書き込まれるとパワーダウンが発生するため、自動シャットダウン機能を利用するためのSTOP条件は必要ありません(図10)。外部リファレンスまたはV_{DD}をリファレンスとして使用する場合は、全てのアナログ回路はシャットダウンでの停止状態になり、消費電流は0.5μA以下になります。内部クロックモードで得られたデジタル変換の結果は、シャットダウン中はメモリに保持され、STOPまたは反復START条件が送信される前ならば、いつでもシリアルインタフェースを介してアクセスが可能です。

アイドル中は、MAX1236~MAX1239はSTART条件に続くスレーブアドレスを継続して待ちます(「スレーブアドレス」項を参照)。MAX1236~MAX1239は有効なアドレスバイトを読み取った後に起動します。内部リファレンスはウェイクアップに10ms必要とするため、

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

表6. リファレンス電圧およびAIN₁/REFフォーマット

SEL2	SEL1	SEL0	REFERENCE VOLTAGE	AIN ₁ /REF	INTERNAL REFERENCE STATE
0	0	X	V _{DD}	Analog Input	Always Off
0	1	X	External Reference	Reference Input	Always Off
1	0	0	Internal Reference	Analog Input	Always Off
1	0	1	Internal Reference	Analog Input	Always On
1	1	0	Internal Reference	Reference Output	Always Off
1	1	1	Internal Reference	Reference Output	Always On

内部リファレンスを使用する時は変換の10ms前に起動するか、または継続して駆動する必要があります。外部リファレンスまたはV_{DD}をリファレンスとして使用している場合、ウェイクアップを確認することができません。

自動シャットダウンは、特に低速な変換レートと内部クロックを使用している場合に、劇的な電力の節約となります。例えば、変換レート10kspsの場合、MAX1237の平均消費電流は60μA (typ)で、1kspsで6μA (typ)まで低下します。0.1kspsでは平均消費電流はわずか1μAで、3μWという極めて少ない消費電力となります。「標準動作特性」の「Average Supply Current vs. Conversion Rate」(平均消費電流 対 変換レート)を参照してください。

リファレンス電圧

Setupバイト(表1)のSEL[2:0]は、リファレンスとAIN₁/REFの構成を制御します(表6)。AIN₁/REFがリファレンス入力またはリファレンス出力(SEL₁ = 1)に設定された場合、AIN₁/REFの差動変換は、AIN₁/REFがGNDに接続されているように見なされます(Note 2と表4を参照)。AIN₁/REFのスキャンモードでのシングルエンド変換は、内部リミッタによって無視され、最も高い有効チャンネルをAIN₂またはAIN₁₀に設定します。

内部リファレンス

MAX1236/MAX1238の内部リファレンスは4.096Vで、MAX1237/MAX1239では2.048Vです。SetupバイトのSEL₁によって、AIN₁/REFをアナログ入力か、またはリファレンスに使用するかを制御します(表6)。AIN₁/REFを内部リファレンス出力(SEL[2:1] = 11)に設定した時は、AIN₁/REFを0.1μFのコンデンサと2kΩの直列抵抗でGNDにディカップルしてください(「標準動作回路」を参照)。一旦起動されると、再設定されるまでリファレンスは常にオン状態です。内部リファレンスはウェイクアップに10ms必要で、SEL₀(表6)によってアクセスされます。シャットダウン時、内部リファレンスの出力はハイインピーダンス状態になります。リファレンスを外部回路の電流供給用として使用しないでください。内部リファレンスは外部バイパスコンデンサを必要としなく、ピンに何も接続されていない時に最良に動作します(SEL₁ = 0)。

外部リファレンス

外部リファレンスは1V~V_{DD}の範囲が可能です。最高の変換精度を得るには、リファレンスは最大40μA供給でき、出力インピーダンスが500Ω以下でなければなりません。リファレンスが高い出力インピーダンスを持つか、またはノイズが大きい場合には、0.1μFのコンデンサで、AIN₁/REFのできるだけ直近でGNDにバイパスしてください。

伝達関数

MAX1236~MAX1239の出力データコードは、ユニポーラモードではバイナリ、バイポーラモードでは2の補数です(1 LSB = (V_{REF}/2^N))、ここでNはビット数(12))。コード遷移は連続整数LSBの値の中間点で発生します。図12と図13に、ユニポーラとバイポーラ動作でのそれぞれの入力/出力(I/O)の伝達関数を示します。

レイアウト、グラウンドおよびバイパス

プリント基板のみご使用ください。ワイヤラップでの構成は、アナログとデジタルのトレースが適切に分離したレイアウトが必要なため推奨しません。アナログラインとデジタルラインを互いに並行にしないでください。さらにデジタル信号経路をADCパッケージの

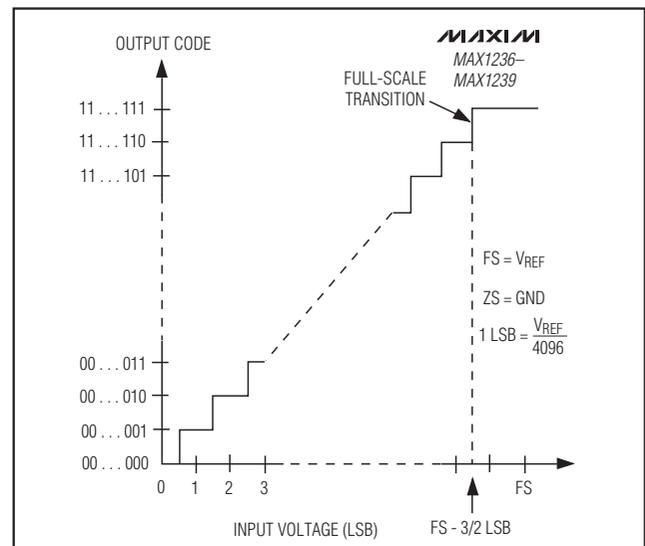


図12. ユニポーラ伝達関数

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

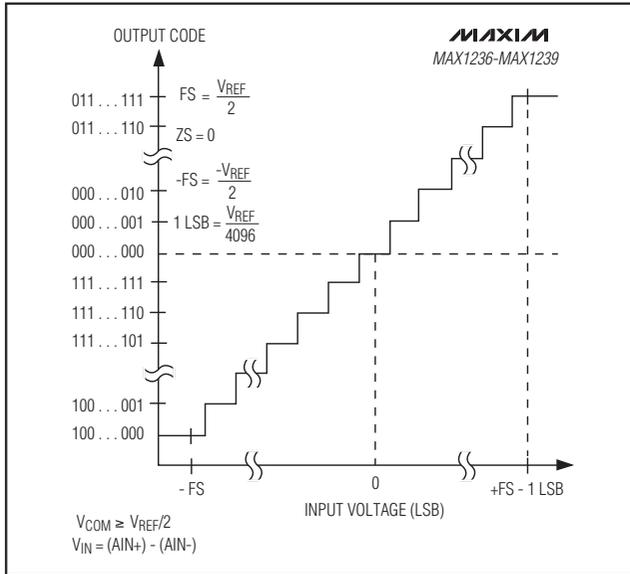


図13. バイポーラ伝達関数

下を通すレイアウトにしないでください。アナログとデジタルのプリント基板でのグラウンドを別にして、2つのグラウンド系(アナログとデジタル)を一点スターポイントで接続してください(図14)。最小ノイズの動作には、電源スターグラウンドへのグラウンドリターンは低インピーダンスで、できるだけ短くしてください。デジタル信号は、敏感なアナログおよびリファレンス入力からできるだけ離して配線してください。

電源(V_{DD})での高周波ノイズは、ADCの高速コンパレータの適正動作に影響を与える可能性があります。V_{DD}はMAX1236~MAX1239の電源ピンのできるだけ近いところに配置された0.1μFと4.7μFの2つの並列コンデンサを用いて、スターグラウンドにバイパスしてください。最高の電源ノイズ除去のためには、コンデンサのリード線を短くし、ノイズが非常に大きい場合には減衰抵抗(5Ω)を電源に直列に追加してください。

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数の値の直線からの偏差です。この直線は一次回帰線(ベスト・ストレート・ライン)か、あるいはオフセットおよび利得誤差をゼロにした後の伝達関数の両端を結んだ線(エンド・ポイント・ライン)です。MAX1236~MAX1239のINLはエンド・ポイント・ラインで測定されています。

微分非直線性

微分非直線性(DNL)は実際のステップ幅と1 LSBの理想値の差です。DNL誤差が1 LSB以下の仕様であれば、ミッシングコードがないことと、単調性伝達関数が保証されます。

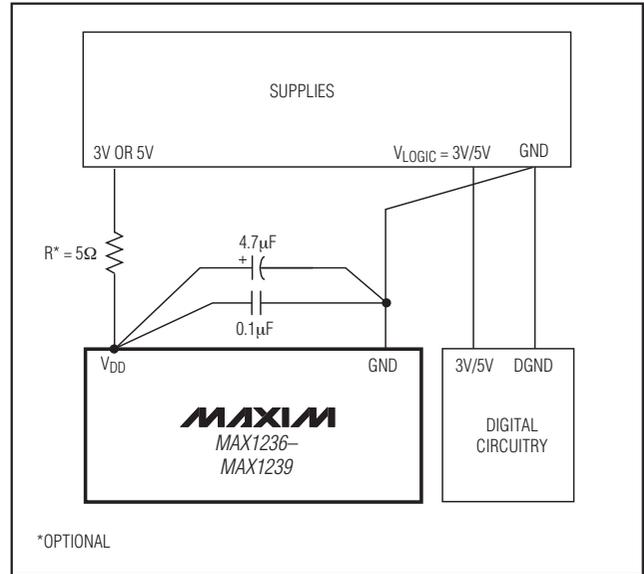


図14. 電源グラウンド接続

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、サンプル間の時間間隔の変動です。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立下りエッジから実際のサンプリングが行なわれる瞬間までの時間です。

信号対雑音比

デジタルサンプルから完全に再形成された波形では、理論上の最大SNRはフルスケールのアナログ入力(RMS値)とRMS量子化エラー(残留エラー)の比率です。理想的な理論上の最小アナログデジタルノイズは量子化エラーが原因で、ADCの分解能(Nビット)から直接発生します。

$$SNR_{MAX}[dB] = 6.02dB \times N + 1.76dB$$

実際は、量子化誤差以外に、サーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズ源が存在します。SNRはRMS信号とRMSノイズの比を使って計算されます。この比率は、全スペクトラム成分から基本波、最初の5つの高調波、およびDCオフセットを差し引いたものです。

信号対雑音 + 歪み

信号対雑音 + 歪み(SINAD)は、基本入力周波数のRMS振幅と、その他全てのADC出力信号のRMS等価に対する比です。

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

$$\text{SINAD(dB)} = 20 \times \log \left[\frac{\text{SignalRMS}}{\text{NoiseRMS} + \text{THDRMS}} \right]$$

有効ビット数

有効ビット数(ENOB)は、特定の入力周波数およびサンプリングレートにおけるADCの総合精度を示します。理想的なADCの誤差は、量子化ノイズのみから成り立ちます。ADCのフルスケール範囲に等しい入力範囲で、次のようにENOBを計算します。

$$\text{ENOB} = (\text{SINAD} - 1.76)/6.02$$

全高調波歪み

全高調波歪み(THD)は、基本波そのものに対する、入力信号の最初の5つの高調波のRMS合計の比です。これは次式で得られます。

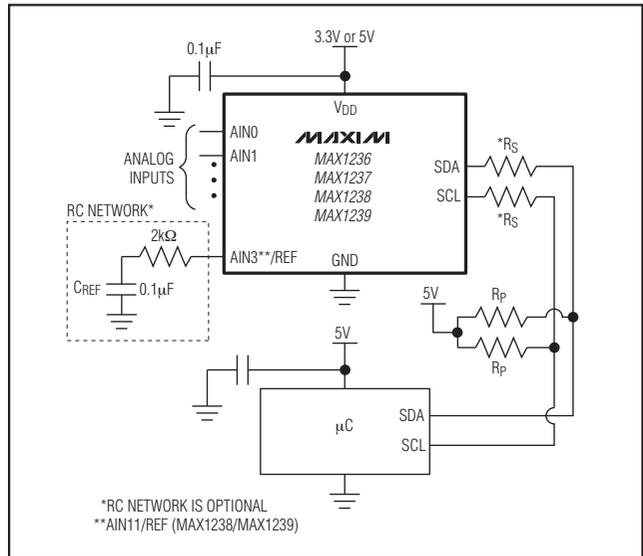
$$\text{THD} = 20 \times \log \left(\sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2}{V_1^2}} \right)$$

ここで、 V_1 は基本波の振幅で、 V_2 から V_5 までは2次から5次高調波の振幅です。

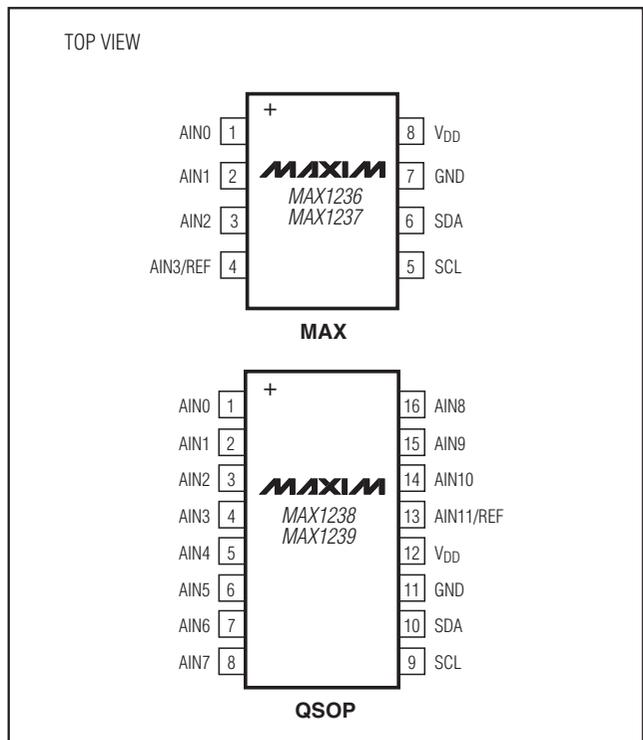
スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と、その次に大きい歪み成分のRMS値の比です。

標準動作回路



ピン配置



2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
8 μ MAX	U8+1	21-0036
16 QSOP	E16+4	21-0055

MAX1236-MAX1239

2.7V~3.6Vおよび4.5V~5.5V、低電力 4/12チャンネル、2線シリアル、12ビットADC

改訂履歴

版数	改訂日	説明	改訂ページ
4	9/06	「内部クロック」の項での誤字訂正。	1, 15, 22
5	2/09	数種の製品バージョンを生産中止。	1-6, 13, 17-21
6	11/09	「Electrical Characteristics (電気的特性)」の表にNote 13を追記。	4, 5, 6
7	5/10	はんだ付け温度を追加、注、スタイルを更新、編集、2 ^N を変更、およびタイミング図を変更。	2-6, 8, 10, 11, 12, 18-21

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

22 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**