

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)	
V _{CC}	-0.3V to +6.0V
V _{BATT}	-0.3V to +6.0V
All Other Inputs	-0.3V to the higher of V _{CC} or V _{BATT}
Continuous Input Current	
V _{CC}	200mA
V _{BATT}	50mA
GND	20mA
Output Current	
V _{OUT}	200mA
All Other Outputs	20mA

Continuous Power Dissipation (T _A = +70°C)		
8-Pin Plastic DIP (derate 9.09mW/°C above +70°C)	727mW	
8-Pin SO (derate 5.88mW/°C above +70°C)	471mW	
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C)	842mW	
16-Pin Narrow SO (derate 9.52mW/°C above +70°C)	696mW	
Operating Temperature Ranges		
MAX793_C_/MAX794C_/MAX795_C_	0°C to +70°C	
MAX793_E_/MAX794E_/MAX795_E_	-40°C to +85°C	
Storage Temperature Range		-65°C to +160°C
Lead Temperature (soldering, 10s)		+300°C
Soldering Temperature (reflow)		+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = 3.17V to 5.5V for the MAX793T/MAX795T, V_{CC} = 3.02V to 5.5V for the MAX793S/MAX795S, V_{CC} = 2.72V to 5.5V for the MAX793R/MAX794/MAX795R, V_{BATT} = 3.6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Operating Voltage Range, V _{CC} , V _{BATT} (Note 1)		MAX79_C	1.0		5.5	V	
		MAX79_E	1.1		5.5		
V _{CC} Supply Current (excluding I _{OUT} , I _{CE} OUT)	ISUPPLY	MAX793/MAX794, MR = V _{CC}	V _{CC} < 3.6V	46	60	μA	
			V _{CC} < 5.5V	62	80		
		MAX795	V _{CC} < 3.6V	35	50		
			V _{CC} < 5.5V	49	70		
V _{CC} Supply Current in Battery-Backup Mode (excluding I _{OUT})	ISUPPLY	V _{CC} = 2.1V, V _{BATT} = 2.3V	MAX793/MAX794	32	45	μA	
			MAX795	24	35		
BATT Supply Current (excluding I _{OUT}) (Note 2)					1	μA	
BATT Leakage Current, Freshness Seal Enabled		V _{CC} = 0V, V _{OUT} = 0V			1	μA	
Battery Leakage Current (Note 3)					0.5	μA	
OUT Output Voltage in Normal Mode	V _{OUT}	I _{OUT} = 75mA	V _{CC} - 0.3	V _{CC} - 0.125		V	
		I _{OUT} = 30mA (Note 4)	V _{CC} - 0.12	V _{CC} - 0.050			
		I _{OUT} = 250μA (Note 4)	V _{CC} - 0.001	V _{CC} - 0.5mV			
OUT Output Voltage in Battery-Backup Mode	V _{OUT}	V _{BATT} = 2.3V	I _{OUT} = 250μA	V _{BATT} - 0.1	V _{BATT} - 0.034	V	
			I _{OUT} = 1mA		V _{BATT} - 0.14		
Battery Switch Threshold (V _{CC} falling)	V _{SW}	V _{CC} - V _{BATT}	V _{SW} > V _{CC} > 1.75V (Note 5)		20	65	mV
		V _{BATT} > V _{CC} (Note 6)	MAX793T/MAX795T	2.69	2.82	2.95	
			MAX793S/MAX795S	2.55	2.68	2.80	
Battery Switch Threshold (V _{CC} rising) (Note 7)	V _{CC} - V _{BATT}	This value is identical to the reset threshold, V _{CC} rising for V _{BATT} > V _{RST}				mV	
		V _{BATT} < V _{RST}		25	65		

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = 3.17V to 5.5V for the MAX793T/MAX795T, V_{CC} = 3.02V to 5.5V for the MAX793S/MAX795S, V_{CC} = 2.72V to 5.5V for the MAX793R/MAX794/MAX795R, V_{BATT} = 3.6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Reset Threshold (Note 8)	V _{RST}	V _{CC} falling	MAX793T/MAX795T	3.00	3.075	3.15	V
			MAX793S/MAX795S	2.85	2.925	3.00	
			MAX793R/MAX795R	2.55	2.625	2.70	
		V _{CC} rising	MAX793T/MAX795T	3.00	3.085	3.17	
			MAX793S/MAX795S	2.85	2.935	3.02	
			MAX793R/MAX795R	2.55	2.635	2.72	
RESET IN Threshold (MAX794 only)	V _{RST IN}	V _{CC} falling	1.212	1.240	1.262	V	
		V _{CC} rising	1.212	1.250	1.282		
RESET IN Leakage Current (MAX794 only)			-25	2	25	nA	
Reset Timeout Period	t _{RP}	V _{CC} < 3.6V	140	200	280	ms	
LOWLINE-to-Reset Threshold, (V _{LOWLINE} - V _{RST}), V _{CC} Falling	V _{LR}	MAX793	30	45	60	mV	
		MAX794	5	15	25		
Low-Line Comparator Hysteresis		MAX793		10		mV	
		MAX794		10		mV	
LOWLINE Threshold, V _{CC} Rising	V _{LL}	MAX793T/MAX795T			3.23	V	
		MAX793S/MAX795S			3.08		
		MAX793R/MAX795R			2.78		
		MAX794			1.317		
PFI Input Threshold	V _{TH}	V _{PFI} falling	1.212	1.240	1.262	V	
		V _{PFI} rising	1.212	1.250	1.287		
PFI Input Current			-25	2	25	nA	
PFI Hysteresis, PFI Rising				10	20	mV	
BATT OK Threshold (MAX793)	V _{BOK}		2.00	2.25	2.50	V	
INPUT AND OUTPUT LEVELS							
RESET Output-Voltage High	V _{OH}	I _{SOURCE} = 300μA, V _{CC} = V _{RST} min	0.8V _{CC}	0.86V _{CC}		V	
BATT OK, BATT ON, W _D O, LOWLINE Output-Voltage High	V _{OH}	I _{SOURCE} = 300μA, V _{CC} = V _{RST} max	0.8V _{CC}	0.86V _{CC}		V	
P _F O Output-Voltage High	V _{OH}	I _{SOURCE} = 65μA, V _{CC} = V _{RST} max	0.8V _{CC}			V	
BATT ON Output-Voltage High	V _{OH}	I _{SOURCE} = 100μA, V _{CC} = 2.3V, V _{BATT} = 3V	0.8V _{BATT}			V	
RESET Output Leakage Current (Note 9)	I _{LEAK}	V _{CC} = V _{RST} max	-1		-1	μA	
P _F O Output Short to GND Current	I _{SC}	V _{CC} = 3.3V, V _{P_FO} = 0V		180	500	μA	
P _F O, RESET, RESE _T , W _D O, LOWLINE Output-Voltage Low	V _{OL}	I _{SINK} = 1.2mA; RESET, LOWLINE tested with V _{CC} = V _{RST} min; RESET, BATTOK, W _D O tested with V _{CC} = V _{RST} max		0.08	0.2V _{CC}	V	

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = 3.17V$ to $5.5V$ for the MAX793T/MAX795T, $V_{CC} = 3.02V$ to $5.5V$ for the MAX793S/MAX795S, $V_{CC} = 2.72V$ to $5.5V$ for the MAX793R/MAX794/MAX795R, $V_{BATT} = 3.6V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RESET Output-Voltage Low	V_{OL}	MAX79_C, $V_{BATT} = V_{CC} = 1.0V$, $I_{SINK} = 40\mu A$		0.13	0.3	V
		MAX79_E, $V_{BATT} = V_{CC} = 1.2V$, $I_{SINK} = 200\mu A$		0.17	0.3	
BATT ON Output-Voltage Low	V_{OL}	$I_{SINK} = 3.2mA$, $V_{CC} = V_{RST\ max}$			$0.2V_{CC}$	V
All Inputs Including \overline{PFO} (Note 10)	V_{IH}	$V_{RST\ max} < V_{CC} < 5.5V$			$0.7V_{CC}$	V
	V_{IL}		$0.3V_{CC}$			
MANUAL RESET INPUT						
\overline{MR} Pulse Width	t_{MR}	MAX793/MAX794 only	100			ns
\overline{MR} -to-Reset Delay	t_{MD}	MAX793/MAX794 only		75	250	ns
\overline{MR} Pullup Current		MAX793/MAX794 only, $\overline{MR} = 0V$	25	70	250	μA
CHIP-ENABLE GATING						
\overline{CE} IN Leakage Current	I_{LEAK}	Disable mode		± 10		nA
\overline{CE} IN-to- \overline{CE} OUT Resistance		Enable mode, $V_{CC} = V_{RST\ max}$		46		Ω
\overline{CE} IN-to- \overline{CE} OUT Propagation Delay		$V_{CC} = V_{RST\ max}$, Figure 9		2	7	ns
\overline{CE} OUT Drive from \overline{CE} IN	V_{OH}	$V_{CC} = V_{RST\ max}$, $I_{OUT} = -1mA$, $V_{\overline{CE}\ IN} = V_{CC}$	$0.8V_{CC}$			V
	V_{OL}	$V_{CC} = V_{RST\ max}$, $I_{OUT} = 1.6mA$, $V_{\overline{CE}\ IN} = 0V$			$0.2V_{CC}$	
Reset to \overline{CE} OUT High Delay				10		μs
\overline{CE} OUT Output-Voltage High (reset active)	V_{OH}	$I_{OH} = 500\mu A$, $V_{CC} < 2.3V$	$0.8V_{BATT}$			V
WATCHDOG (MAX793/MAX794 only)						
WDI Input Current		$0V < V_{CC} < 5.5V$	-1	0.01	1	μA
Watchdog Timeout Period	t_{WD}		1.00	1.60	2.25	s
WDI Pulse Width			100			ns

Note 1: V_{CC} supply current, logic-input leakage, watchdog functionality (MAX793/MAX794), \overline{MR} functionality (MAX793/MAX794), PFI functionality (MAX793/MAX794), and state of \overline{RESET} and RESET (MAX793/MAX794) tested at $V_{BATT} = 3.6V$ and $V_{CC} = 5.5V$. The state of RESET is tested at $V_{CC} = V_{CC\ min}$.

Note 2: Tested at $V_{BATT} = 3.6V$, $V_{CC} = 3.5V$ and $0V$. The battery current rises to $10\mu A$ over a narrow transition window around $V_{CC} = 1.9V$.

Note 3: Leakage current into the battery is tested under the worst-case conditions at $V_{CC} = 5.5V$, $V_{BATT} = 1.8V$ and $V_{CC} = 1.5V$, $V_{BATT} = 1.0V$.

Note 4: Guaranteed by design.

Note 5: When $V_{SW} > V_{CC} > V_{BATT}$, OUT remains connected to V_{CC} until V_{CC} drops below V_{BATT} . The V_{CC} -to- V_{BATT} comparator has a small 15mV typical hysteresis to prevent oscillation. For $V_{CC} < 1.75V$ (typical), OUT switches to BATT regardless of V_{BATT} .

Note 6: When $V_{BATT} > V_{CC} > V_{SW}$, OUT remains connected to V_{CC} until V_{CC} drops below the battery switch threshold (V_{SW}).

Note 7: OUT switches from BATT to V_{CC} when V_{CC} rises above the reset threshold, if $V_{BATT} > V_{RST}$. In this case, switchover back to V_{CC} occurs at the exact voltage that causes reset to be asserted, however, switchover occurs 200ms prior to reset. If $V_{BATT} < V_{RST}$, OUT switches from BATT to V_{CC} when V_{CC} exceeds V_{BATT} .

Note 8: The reset threshold tolerance is wider for V_{CC} rising than for V_{CC} falling to accommodate the 10mV typical hysteresis, which prevents internal oscillation.

Note 9: The leakage current into or out of the RESET pin is tested with RESET not asserted (RESET output high impedance).

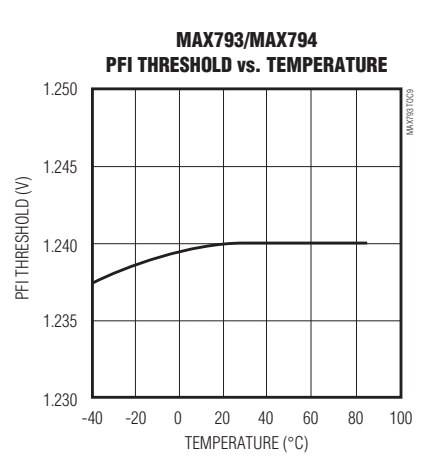
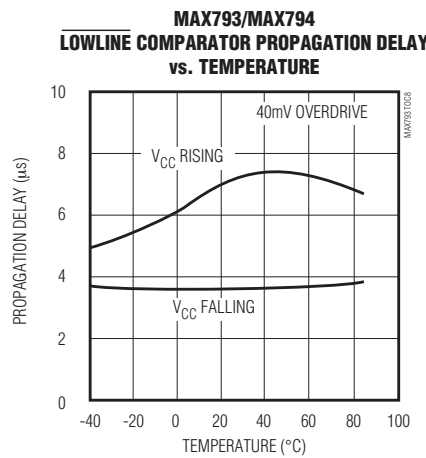
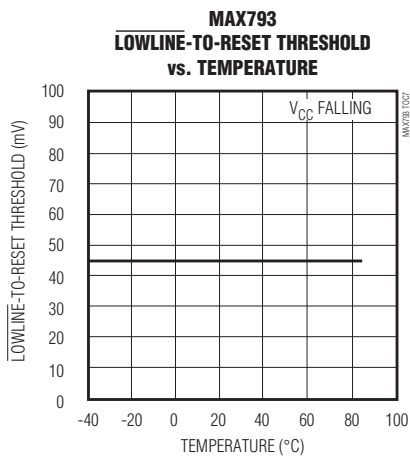
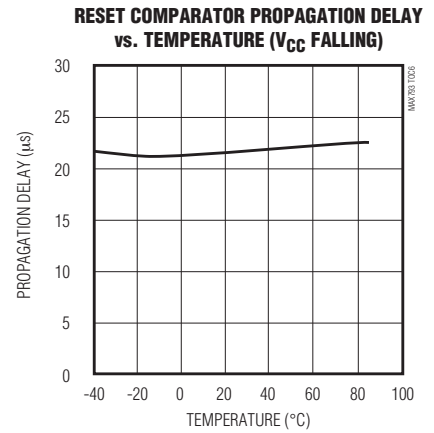
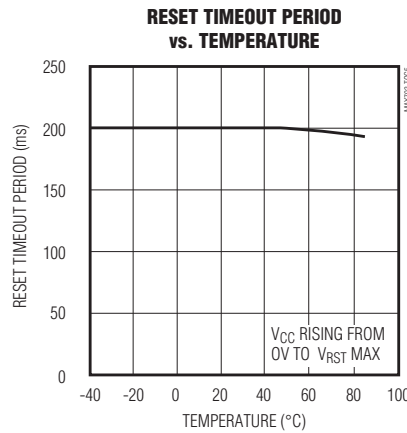
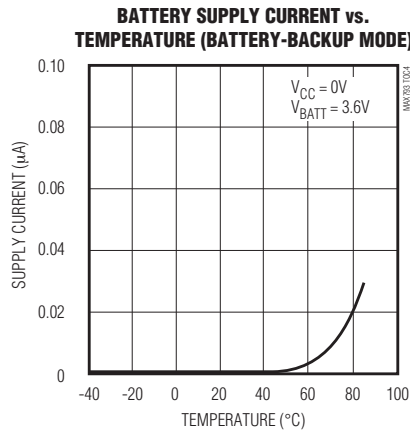
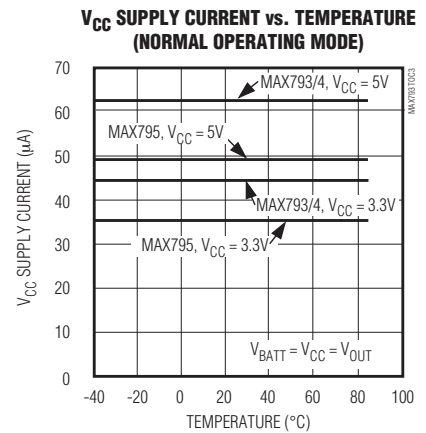
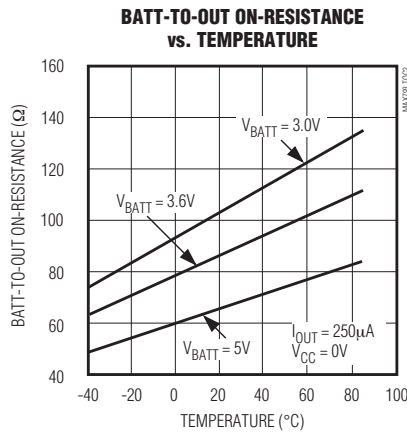
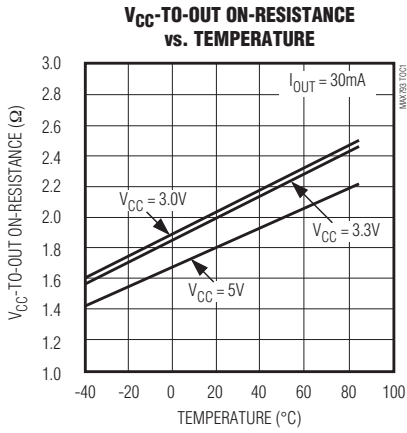
Note 10: \overline{PFO} is normally an output, but is used as an input when activating the battery freshness seal.

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



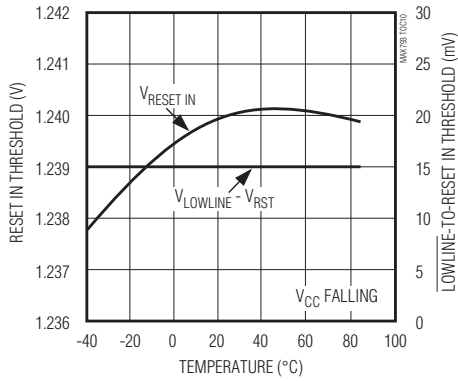
3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

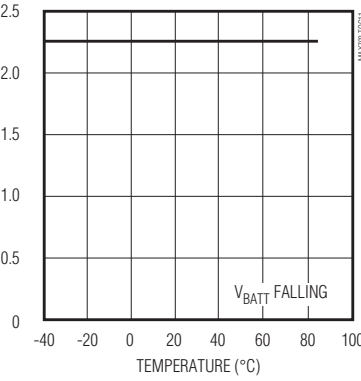
標準動作特性(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

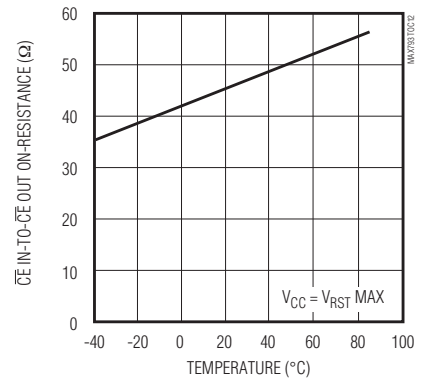
MAX794
RESET IN THRESHOLD AND LOWLINE-TO-RESET IN THRESHOLD vs. TEMPERATURE



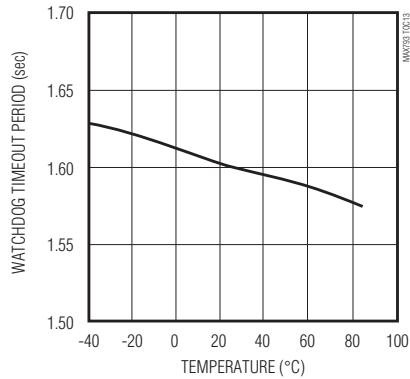
MAX793
BATT OK THRESHOLD vs. TEMPERATURE



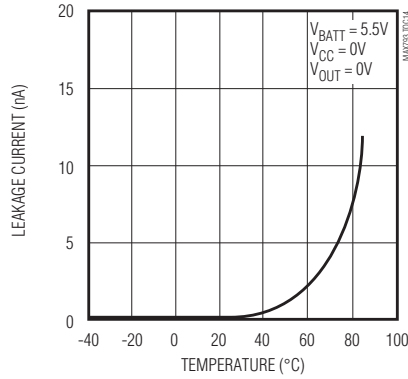
CE IN-TO-CE OUT ON-RESISTANCE vs. TEMPERATURE



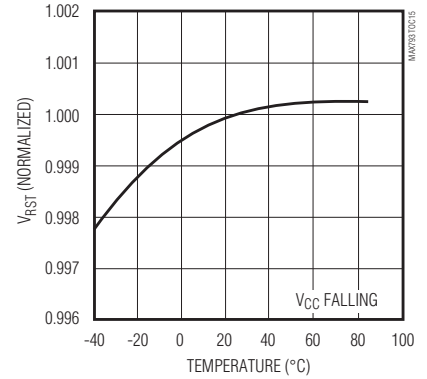
MAX793/MAX794
WATCHDOG TIMEOUT PERIOD vs. TEMPERATURE



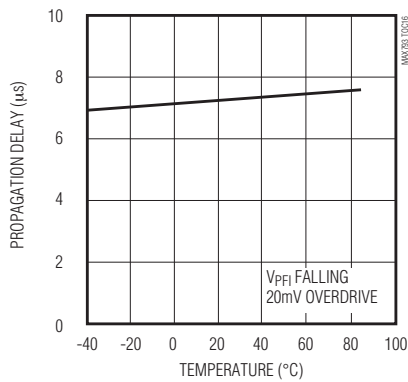
MAX793/MAX794
BATTERY FRESHNESS SEAL LEAKAGE CURRENT vs. TEMPERATURE



RESET THRESHOLD vs. TEMPERATURE (NORMALIZED)



MAX793/MAX794
PFI TO PFO PROPAGATION DELAY vs. TEMPERATURE



3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

端子説明

端子		名称	機能
MAX793/ MAX794	MAX795		
1	1	OUT	CMOS RAMへの電源出力。V _{CC} がリセットスレッショルドまたはV _{BATT} を超えて立ち上ると、OUTは内部のpチャネルMOSFETスイッチを通してV _{CC} に接続されます。V _{CC} がV _{SW} およびV _{BATT} より低下すると、BATTはOUTに接続されます。
2	2	V _{CC}	主電源入力
3	—	BATT OK (MAX793)	バッテリー状態出力。V _{BATT} がV _{BOK} を超えている正常モードではハイ、その他はローです。V _{BATT} は連続してチェックされています。V _{CC} がV _{SW} を下回っているとディセーブルされ、ロジックローになります。
		RESET IN (MAX794)	リセット入力。外付けの抵抗分圧器に接続してリセットスレッショルドを選択します。リセットスレッショルドはV _{SW} ~5.5Vの範囲で任意に設定可能です。
4	—	PFI	パワーフェイルコンパレータ入力。PFIがV _{PFT} を下回るか、またはV _{CC} がV _{SW} を下回ると、PFOはローになります。その他の場合、PFOはハイのままです([パワーフェイルコンパレータ]の項を参照)。使用しない場合は、V _{CC} に接続します。
5	3	BATT ON	ロジック出力/外付けバイパススイッチドライバ出力。OUTがBATTに接続されるとハイです。OUTがV _{CC} に接続されるとローです。I _{OUT} が75mAを超える必要がある場合は、PNP/PMOSトランジスタのベース/ゲートをBATT ONに接続してください。
6	4	GND	グラウンド
7	—	PFO	パワーフェイルコンパレータ出力。PFIがV _{PFT} を下回るか、またはV _{CC} がV _{SW} を下回ると、PFOはローになります。その他の場合、PFOはハイのままです。PFOはバッテリーフレッシュネスシールのイネーブルにも使用されます([バッテリーフレッシュネスシール]および[パワーフェイルコンパレータ]の項を参照)。
8	—	MR	マニュアルリセット入力。MRをロジックローにすると、リセットがアサートされます。リセットはMRがローの間はアサートのままで、MRがハイに戻った後も200msの間は続きます。アクティブローの入力は内部に70μAのプルアップ電流を備えています。MRIはTTLまたはCMOSロジックラインから駆動可能で、スイッチを使用してグラウンドに短絡することができます。使用しない場合はオープンのままにしてください。
9	—	WDO	ウォッチドッグ出力。WDOはWDIがローか、またはウォッチドッグ期間よりも長くローに留まるとローになります。WDOはWDIの次の遷移でハイに戻ります。WDOはV _{SW} < V _{CC} < V _{RST} の場合にロジックハイで、V _{CC} がV _{SW} よりも小さい場合にローです。
10	—	WDI	ウォッチドッグ入力。WDIがハイまたはウォッチドッグタイムアウト時間よりも長くローの間はアサートのままで、内部のウォッチドッグタイムが満了し、WDOがローになります。WDOはWDIの次の遷移でハイに戻ります。WDOをMRに接続すると、ウォッチドッグのフォルトによるリセットが発生します。
11	5	CE IN	チップイネーブル入力。チップイネーブルゲート回路への入力。使用しない場合は、GNDに接続します。
12	6	CE OUT	チップイネーブル出力。CE INがローでリセットがアサートされていない場合にのみ、CE OUTはローになります。リセットがアサートされた場合にCE INがローであると、CE OUTは10μsの間、またはCE INがハイになるまでの間のいずれか早く生じる間、ローに留まります。CE OUTはOUTにプルアップされます。
13	—	RESET	アクティブハイのリセット出力。電流をソースおよびシンクします。RESETはRESETの反転です。
14	—	LOWLINE	早期パワーフェイル警告出力。V _{CC} がV _{LR} に低下した場合にローになります。この出力はNMIを生成するために使用可能で、差し迫ったパワーフェイルの早期警告を出します。
15	7	RESET	オーブンドレインのアクティブローのリセット出力。トリガされた場合に200msの間、ローにパルス出力し、V _{CC} がリセットスレッショルドを下回っているか、またはMRがロジックローの場合にローに留まります。RESETはV _{CC} がリセットスレッショルドを上回って上昇するか、ウォッチドッグがリセットをトリガする(WDOをMRに接続した場合)か、またはMRがローからハイになった場合に、200msの間、ローに留まります。
16	8	BATT	バックアップバッテリー入力。V _{CC} がV _{SW} およびV _{BATT} より低下すると、OUTはV _{CC} からBATTに切り替わります。V _{CC} がリセットスレッショルドを超えて、またはV _{BATT} を超えて上昇すると、OUTはV _{CC} に再接続されます。V _{BATT} はV _{CC} よりも高くすることが可能です。バッテリーを使用しない場合は、V _{CC} 、OUT、およびBATTは相互に接続してください。

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

詳細

一般的なタイミング特性

MAX793/MAX794/MAX795は3.3Vおよび3Vのシステム用に設計され多数の監視機能を提供します(最初のページの「選択ガイド」を参照)。図1と図2は標準的なV_{CC}の立上りおよび立下り時間のパワーアップおよびパワーダウン中のさまざまな出力の標準的なタイミング関係を示しています。

マニュアルリセット入力(MAX793/MAX794)

オペレータ、試験技術者、または外部ロジック回路がリセットを開始することができるために、多くのマイクロプロセッサをベースにした製品はマニュアルリセット機能を必要とします。MAX793/MAX794ではMRがロジックローとなるとリセットがアサートされます。リセット状態はMRがローの間はアサートされたままで、それがハイに戻った後も、t_{RP} (200ms)の間続きます。

リセットタイムアウト期間(t_{RP})の前半では、バッテリーフレッシュネスシールのイネーブルを容易にするためにPFOが外部からローに強制されている場合は、MRの状態は無視されます。MRは内部に70μAのプルアップ電流を備えているため、使用しない場合はオープンにすることができます。この入力はTTL/CMOSロジックレベルから、またはオープンドレイン/コレクタ出力から駆動することができます。マニュアルリセット機能を作成するためにはMRとGND間にノーマリオープンのモーメンタリスイッチを接続してください。この場合、バウンス回路は不要です。長いケーブルでMRを駆動する場合や、ノイズの多い環境でデバイスを使う場合は、さらにノイズ耐性を増やすためにMRとGND間に0.1μFのコンデンサを接続してください。

リセット出力

マイクロプロセッサ(μP)のリセット入力によってμPは既知の状態ですべてスタートします。MAX793/MAX794/

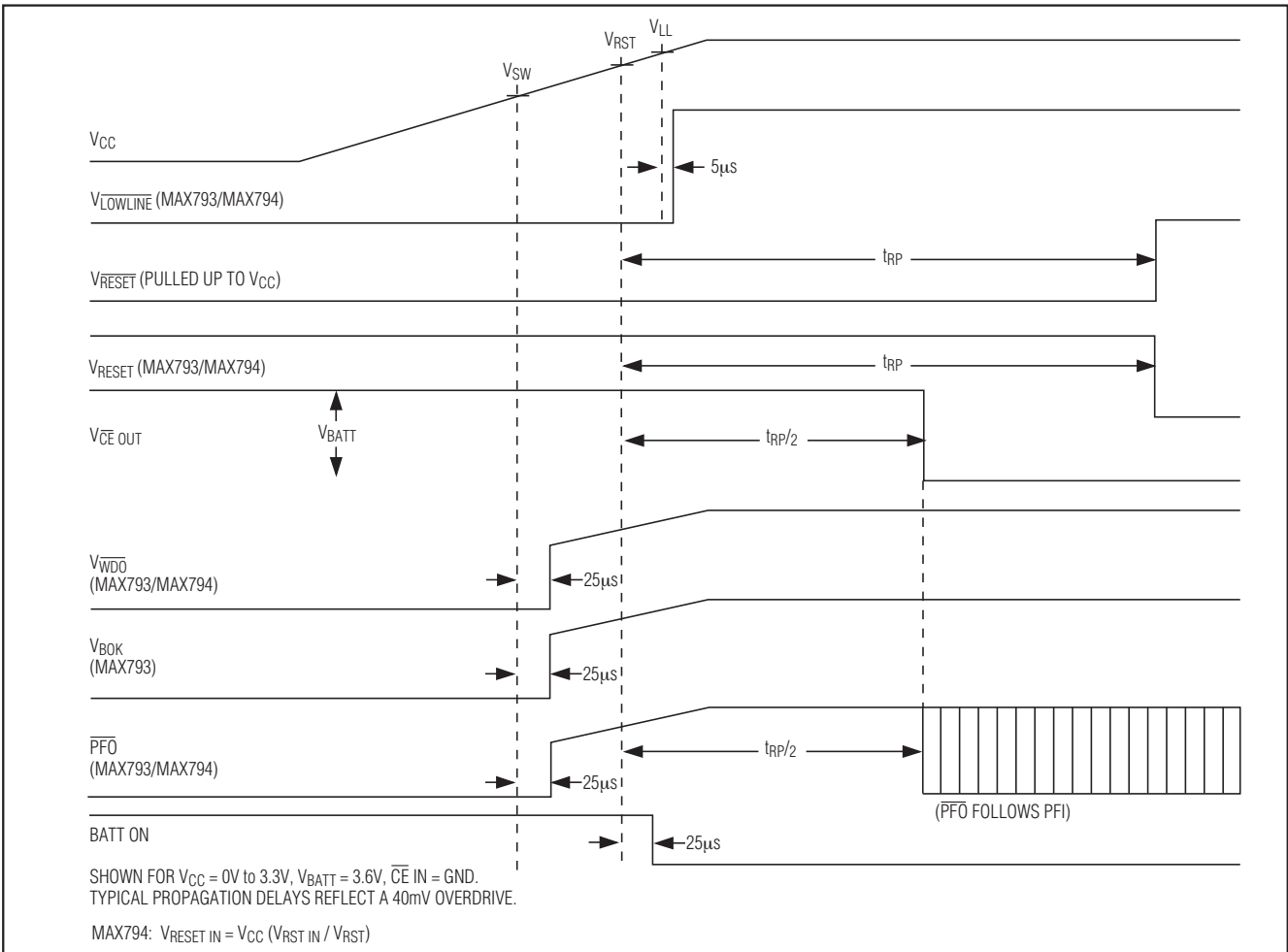


図1. タイミング図、V_{CC}の立上り

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX795の μ Pの監視回路はリセットをアサートして、パワーアップ、パワーダウン、および電圧低下状態のときにコードが実行されるエラーを防止します。 V_{BATT} が1Vを超えていると、RESETは $0V < V_{CC} < V_{RST}$ の場合にロジックローが保証されます。バックアップバッテリーがなければ($V_{BATT} = V_{CC} = V_{OUT}$)、RESETは V_{CC} が1Vを超えていると、有効であることが保証されます。 V_{CC} がリセットスレッシュホールドを超えると、内部タイマーがリセットタイムアウト期間(t_{RP})の間、RESETをローに維持します。この期間の後、RESETはハイインピーダンスになります(図2)。RESETはオープンドレイン出力で、 V_{CC} に対してプルアップ抵抗が必要です(図3)。 μ Pに対して適正なロジックレベルを保証する十分な電流

を供給する $4.7k\Omega \sim 1M\Omega$ のプルアップ抵抗を使用してください。

電圧低下状態が生じた場合(V_{CC} がリセットスレッシュホールド以下に低下)、RESETはローになります。RESETがアサートされるごとに、RESETはリセットタイムアウト期間の間、ローに保持されます。 V_{CC} がリセットスレッシュホールドを下回るごとに内部タイマーが再スタートします。

ウォッチドッグ出力(WDO)はリセットの開始にも使用可能です。「ウォッチドッグ出力」の項を参照してください。

RESET出力はRESET出力の反転で、電流をソースおよびシンクすることができます。

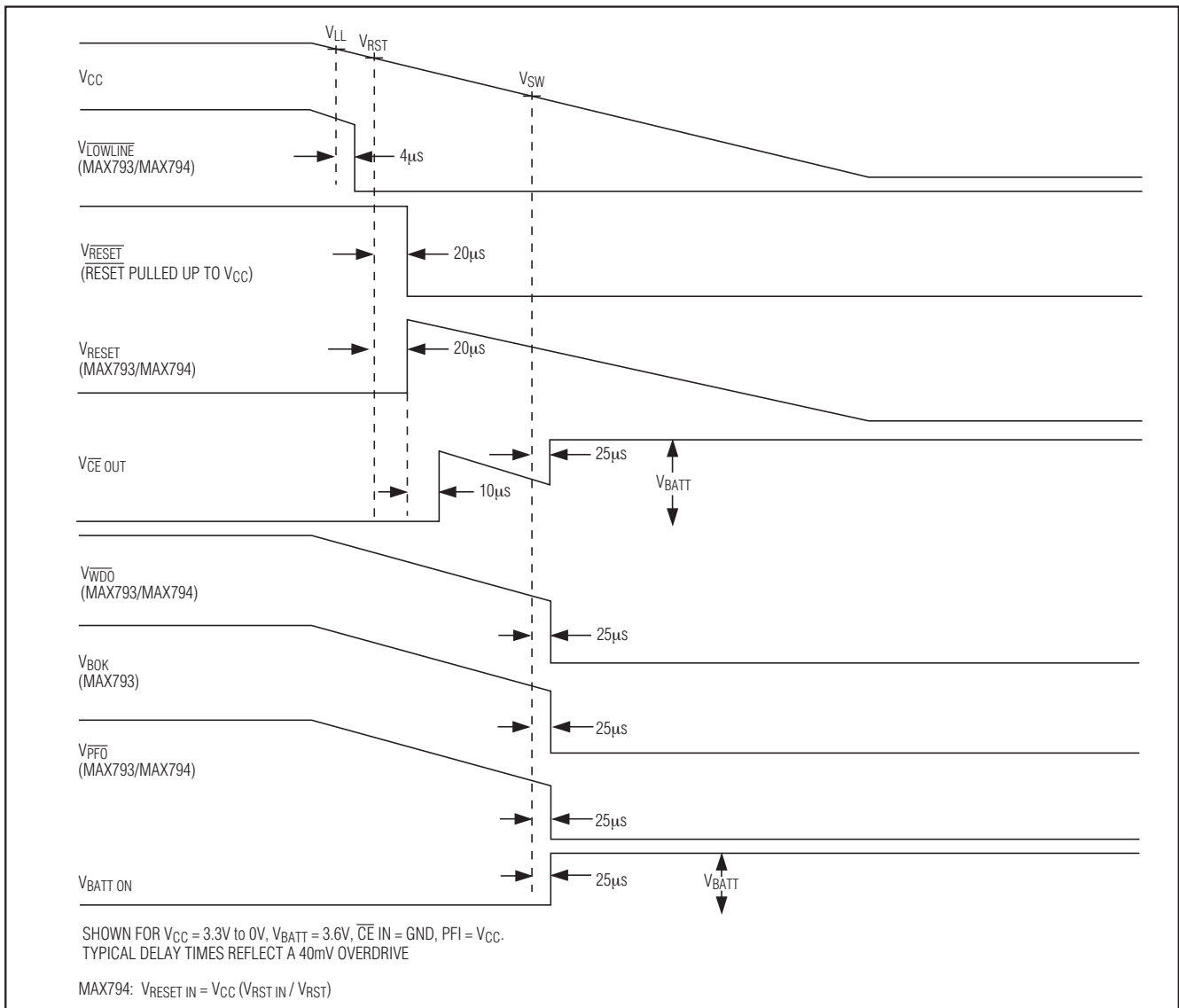


図2. タイミング図、 V_{CC} の立下り

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

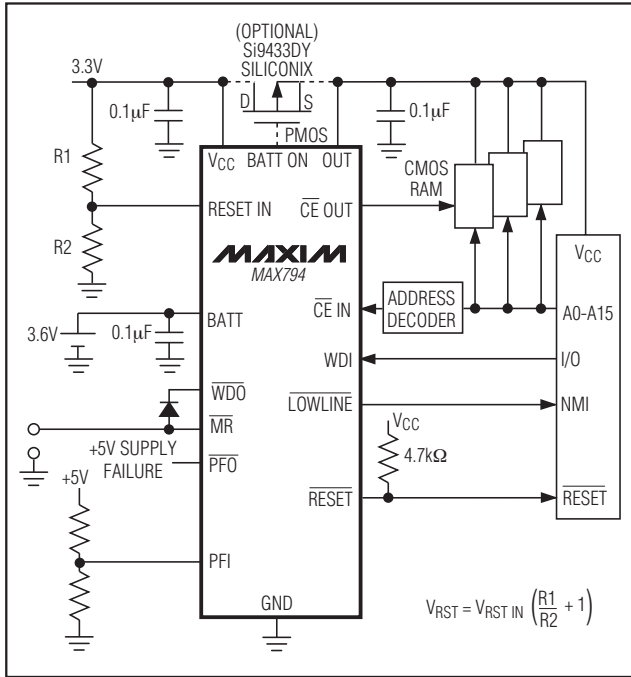


図3. MAX794の標準アプリケーション回路

リセットスレッショルド

MAX793T/MAX795Tは電源許容誤差が±5%、システム許容誤差が10%の3.3Vシステム用です。MRがアサートされている場合を除き、電源が3.15V (3.3V - 5%)を超えている限り、リセットはアサートされません。リセットは電源が3.0V (3.3V - 10%)以下に低下する前にアサートすることが保証されています。

MAX793S/MAX795Sは3.3V ±10%電源用に設計されています。MRがアサートされている場合を除き、MAX793S/MAX795Sは電源が3.0V (3.0Vは3.3V - 10%をわずかに上回ります)を超えている限りリセットをアサートしないことが保証されています。リセットは電源が2.85V (3.3V - 14%)以下に低下する前にアサートすることが保証されています。

MAX793R/MAX795Rは3.0V ±10%の電源を監視するように最適化されています。リセットはVCCが2.7V (3.0V - 10%)を下回るまでは生じませんが、その電源が2.55V (3.0V - 15%)を下回る前に、発生することが保証されています。

MAX794のリセットスレッショルドはRESET INに外部分圧器を接続してプログラムします。リセットスレッショルドの許容誤差はRESET INの許容誤差と外付け分圧器に使用する抵抗の許容誤差を組み合わせたものになります。リセットスレッショルドは次の式で計算されます。

$$V_{RST} = V_{RST\ IN} \left(\frac{R1}{R2} + 1 \right)$$

標準アプリケーション回路(図3)を使用すると、リセットスレッショルドはV_{SW} (バッテリースイッチのスレッショ

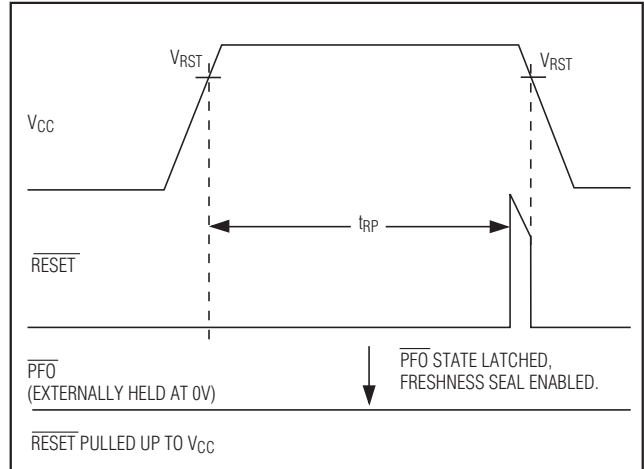


図4. バッテリーフレッシュネスシールイネーブルタイミング

ルド)~5.5Vの範囲の任意の値に設定可能です。リセットはV_{CC}がV_{SW}を下回ると、アサートされます。

バッテリーフレッシュネスシール

MAX793/MAX794のバッテリーフレッシュネスシールはバックアップバッテリーが必要になるまで、それを内部回路から切り離します。このことによって最終製品を使用開始するまでOEMがBATTに接続されたバックアップバッテリーがフレッシュであることを保証することが可能になります。フレッシュネスシールをイネーブルするには、バッテリーをBATTに接続して、PFOをグラウンドし、V_{CC}がリセットスレッショルドを超えるようにし、リセットタイムアウト期間の後にデアサートされるようにその状態に保持して、その後でV_{CC}を再び小さくします(図4)。いったんバッテリーフレッシュネスシールがイネーブル(バックアップバッテリーを内部回路から切り離し、OUTには何も接続されていない状態)されたら、その状態はV_{CC}がV_{RST}を上回るまで、イネーブルのままです。PFOをMRに接続してもバッテリーフレッシュネスシール動作に干渉しないことに注意してください。

BATT OK出力(MAX793)

BATT OKはバックアップバッテリーの状態を表します。リセットがアサートされない場合、MAX793は連続してバッテリー電圧をチェックします。V_{BATT}がV_{BOK} (2.0V min)以下であると、BATT OKはローになります。そうでない場合はBATT OKはV_{CC}にプルアップされたままです。BATT OKはV_{CC}がV_{SW}を下回った場合もローになります。

ウォッチドッグ入力(MAX793/MAX794)

MAX793/MAX794では、ウォッチドッグ回路がμPの動作を監視します。μPが1.6秒以内にウォッチドッグ入力(WDI)をトグルしない場合は、WDOはローになります。リセットが生じるか、またはWDIが変化(ローからハイ、またはハイからロー)する場合のいずれかで内部の1.6

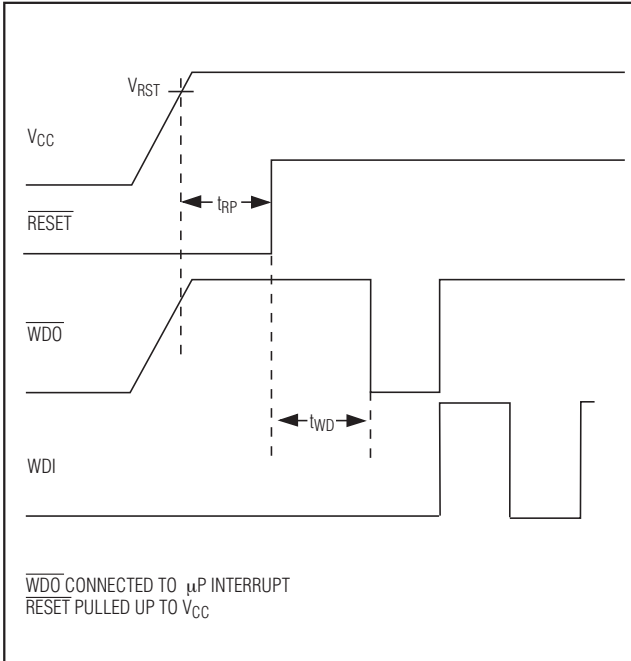


図5. ウォッチドッグのタイミング関係

秒タイマーはクリアされて \overline{WDO} はハイに戻ります。リセットがアサートされている限り、タイマーはクリアされたままでカウントしません。リセットが解放されるか、またはWDIの状態が変化すると直ぐに、タイマーはカウントを開始します(図5)。WDIは最短100nsまでのパルスを検出可能です。5VのMAX690ファミリと異なり、ウォッチドッグ機能はディセーブルすることはできません。

ウォッチドッグ出力(MAX793/MAX794)

MAX793/MAX794では、ウォッチドッグタイムアウト期間中にWDIに遷移またはパルスが存在すれば、 \overline{WDO} はハイに留まります(\overline{WDO} は V_{CC} にプルアップされています)。ウォッチドッグのタイムアウト期間中にWDIの遷移がなければ \overline{WDO} はローになります。 V_{CC} が V_{SW} を超えていて、リセットがアサートされると、ウォッチドッグ機能はディセーブルされて \overline{WDO} はロジックハイになります。 V_{CC} が V_{SW} を下回ると、 \overline{WDO} はロジックローです。

ウォッチドッグのフォルトの度にシステムがリセットされることを希望する場合は、単純に \overline{WDO} と \overline{MR} をワイヤードOR接続します。ウォッチドッグフォルトがこのモードで生じると、 \overline{WDO} がローになり、 \overline{MR} はローに強制されて、そのため、リセットパルスが発行されます。リセットが発行されてから10 μ s後にウォッチドッグタイマがクリアされて \overline{WDO} はハイに戻ります。この遅延のために、 \overline{WDO} に10 μ sのパルスが生じ、ウォッチドッグフォルトが表示されたことを外部回路が捕捉することが可能になります。WDIを連続してハイまたはローにすると、1.6秒毎に200msのリセットパルスが生じます。

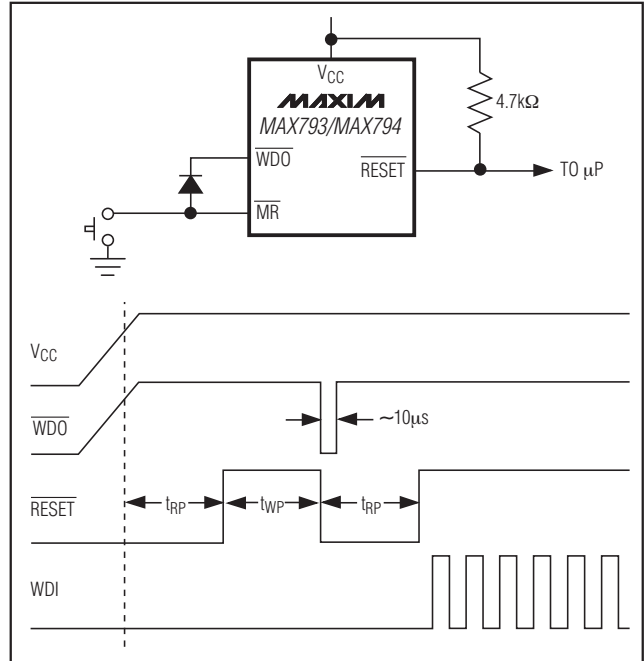


図6. 各ウォッチドッグフォルトでのリセットの生成

チップイネーブル信号のゲート

チップイネーブル(CE)信号の内部ゲートは、低電圧状態が生じた場合にCMOS RAMのデータが破壊されることを防止します。MAX793/MAX794/MAX795は \overline{CE} INから \overline{CE} OUTへの直列伝送ゲートを使用します。通常動作(リセットがアサートされていない)の間、CE伝送ゲートはイネーブルされ、すべてのCE遷移を通過させます。リセットがアサートされた場合、この経路はディセーブルされて、CMOS RAMのデータが誤って破壊されることを防ぎます。 \overline{CE} INから \overline{CE} OUTへのCE伝播遅延が小さいため、このような μ Pの監視回路をほとんどの μ Pで使用可能です。リセットがアサートされているときに \overline{CE} INがローであると、 \overline{CE} OUTは標準値で10 μ sの間、ローに留まり、進行中の書込みサイクルを完了することができます。

チップイネーブル入力

リセットがアサートされている間は、CE伝送ゲートはディセーブルされ、 \overline{CE} INはハイインピーダンスです(ディセーブルモード)。パワーダウンシーケンス中に V_{CC} がリセットスレッショルドを下回った時、CE伝送ゲートはディセーブルされ、 \overline{CE} INの電圧がハイであれば、 \overline{CE} INは直ちにハイインピーダンスになります。リセットがアサートされるときに、 \overline{CE} INがローであれば、 \overline{CE} INがハイになる瞬間、またはリセットがアサートされた10 μ s後のいずれか早い方でCE伝送ゲートはディセーブルされます(図8)。このことで、進行中の書込みサイクルをパワーダウン中に完了することができます。

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

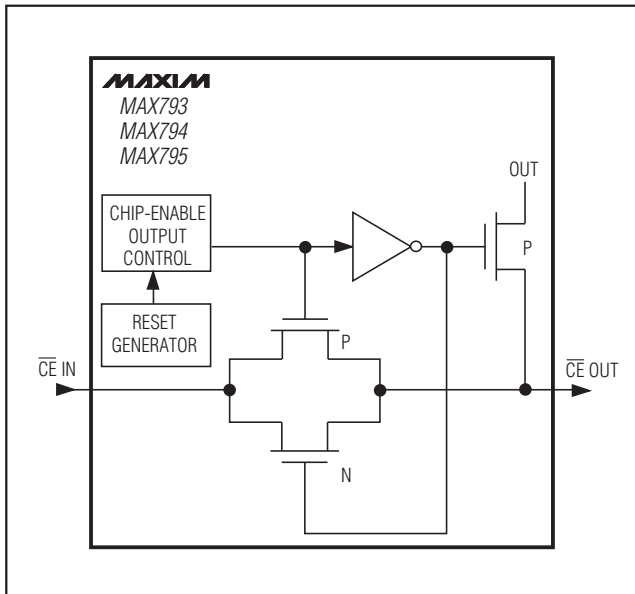


図7. チップイネーブル伝送ゲート

リセットが発生したときは必ず、リセットタイムアウト期間の前半 ($t_{RP}/2$) ではCE伝送ゲートはディセーブルされたままで、 \overline{CE} INはハイインピーダンスに留まります (\overline{CE} INの状態に関係なく)。ディセーブルの間は \overline{CE} INはハイインピーダンスです。CE伝送ゲートがイネーブルされているとき、 \overline{CE} INのインピーダンスは \overline{CE} OUTの負荷と直列で46Ωの抵抗に見えます。

CE伝送ゲートを通過する伝播遅延は V_{CC} 、 \overline{CE} INに接続された駆動回路のソースインピーダンス、および \overline{CE} OUTの負荷に依存します(「標準動作特性」の「Chip-Enable

Propagation Delay vs. \overline{CE} OUT Load Capacitance (チップイネーブル伝播遅延対 \overline{CE} OUT負荷容量)のグラフを参照)。CEの伝播遅延は \overline{CE} INの50%点から \overline{CE} OUTの50%点までで製造試験され、この場合50Ωのドライバと50pFの負荷容量が使用されます(図9)。伝播遅延を最短にするためには、 \overline{CE} OUTにおける容量性負荷を最小化し低出力インピーダンスのドライバを使用してください。

チップイネーブル出力

CE伝送ゲートがイネーブルされた場合、 \overline{CE} OUTは \overline{CE} INを駆動しているソースと直列の46Ωに等価です。ディセーブルモードでは、伝送ゲートはオフで、アクティブプルアップが \overline{CE} OUTをOUTに接続します(図8)。このプルアップは伝送ゲートがイネーブルの場合はオフになります。

早期パワーフェイル警告(MAX793/MAX794)

多くの場合、重要なシステムでは電源が低下しつつあることを知らせる早期警告が必要です。この警告によって、電源が μP を安全に動作させる許容度を大きく外れる前に μP が重要なデータを格納し、さらに「ハウスキーピング処理」機能を働かせる時間が与えられます。MAX793/MAX794はこの早期警告を達成するために2つの方法を提供します。レギュレートされていない電源へのアクセスが可能な場合は、パワーフェイルコンパレータ入力(PFI)は分圧器を通してレギュレートされていない電源に接続することができます。この場合、パワーフェイルコンパレータ出力(PFO)がNMIを μP に供給します(図10)。

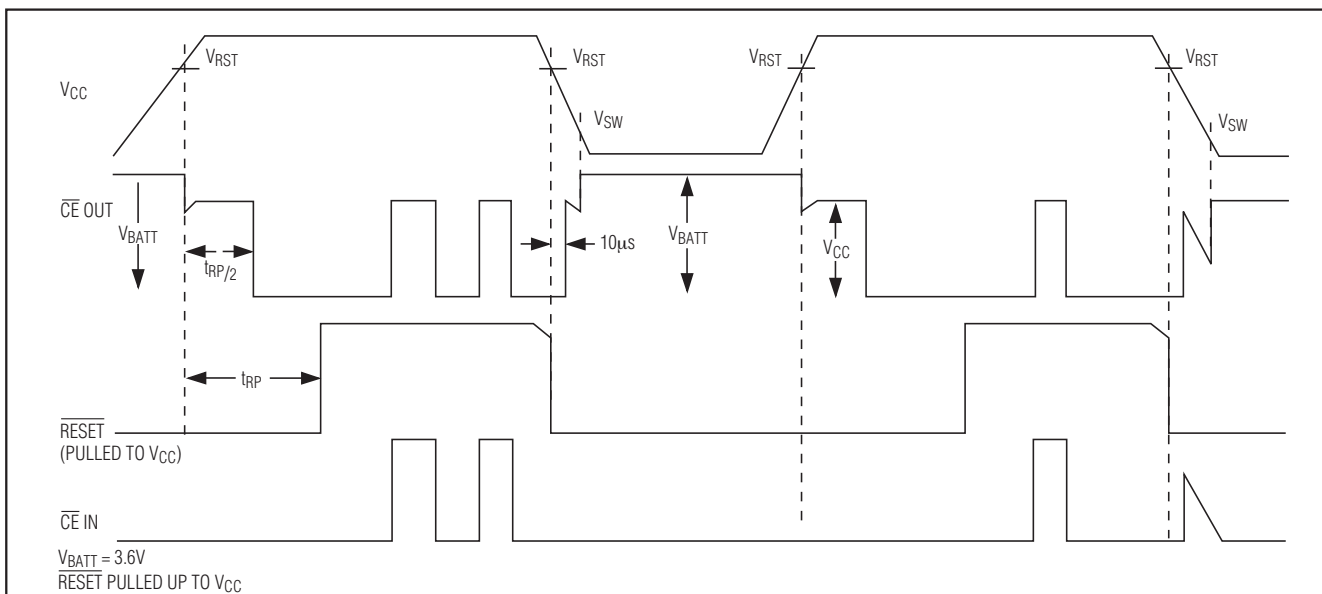


図8. チップイネーブルタイミング

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

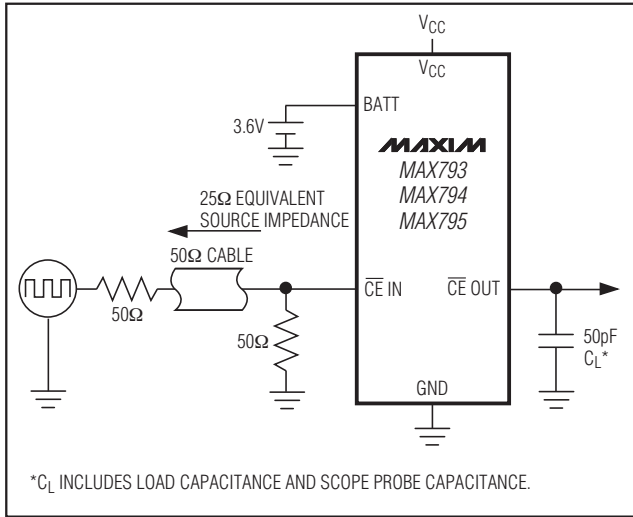


図9. CE伝播遅延試験回路

レギュレートされていない電源へのアクセスが容易でない場合は、LOWLINE出力を使用して、NMIをμPに対して生成することができます(「LOWLINE出力」の項を参照)。

LOWLINE出力(MAX793/MAX794)

ローラインコンパレータはMAX793では標準値でリセットスレッショルド(10mVのヒステリシス)よりも45mV高い、MAX794ではRESET INよりも15mV高い(4mVのヒステリシス)スレッショルド電圧でV_{CC}を監視します。通常の動作(V_{CC}がリセットスレッショルドを超えている)では、LOWLINEはV_{CC}に強制されます。LOWLINEを使用すると、電源が低下し始めた時にμPにNMIが提供されます。

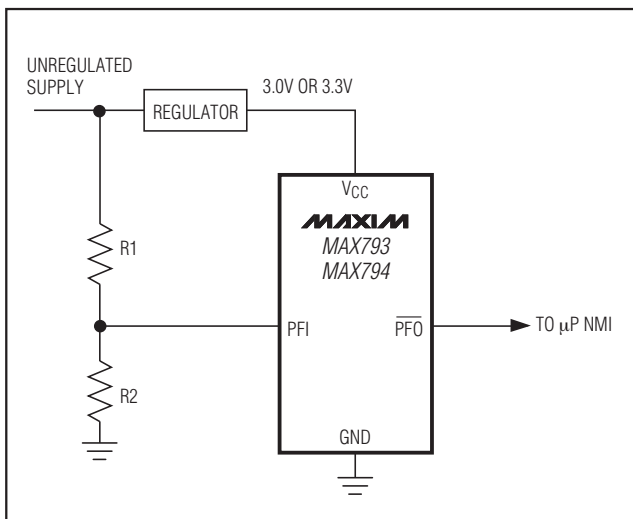


図10. パワーフィルコンパレータをパワーフェイル警告の生成に使用

ほとんどのバッテリー動作する携帯システムでは、ローライン警告になり、リセットがアサートされる前に、バッテリーに残ったエネルギーがシャットダウンルーチンを完成するために十分な時間を与えます。V_{CC}が急速に低下する時間とシステムが競合しなければならない場合、例えば主バッテリーが外されたり、ハイサイドスイッチが通常動作中にオープンにされたりするような場合、V_{CC}ラインに容量を使用して、シャットダウンルーチンを実行する時間を与えます(図11)。

最初にシステムがシャットダウンルーチンを実行するために必要なワーストケースの時間を計算します。次に、ワーストケースのシャットダウン時間、ワーストケースの負荷電流、およびローラインとリセットスレッショルドの差の最小値(V_{LR, min})を使用して、リセットがアサートされる前にシャットダウンルーチンを完了することができるために必要な容量の大きさを次の式で計算します。

$$C_{HOLD} > I_{LOAD} \times t_{SHDN} / V_{LR}$$

ここで、I_{LOAD}はコンデンサから流れ出る電流、V_{LR}はローラインとリセットスレッショルドの差(V_{LL} - V_{RST})、そしてt_{SHDN}はシステムが順序通りのシャットダウンルーチンを完了するために要する時間です。

パワーフェイルコンパレータ(MAX793/MAX794)

MAX793/MAX794のPFI入力は内部リファレンスと比較されます。PFIがパワーフェイルスレッショルド(V_{PFT})よりも低いと、PFOはローになります。パワーフェイルコンパレータは低電圧検出器として使用が目的であり、電源が低下してゆくことを知らせます(図12)。しかし、このコンパレータはこの機能に限定する必要はありません。それはこの機能が他の回路から独立しているためです。

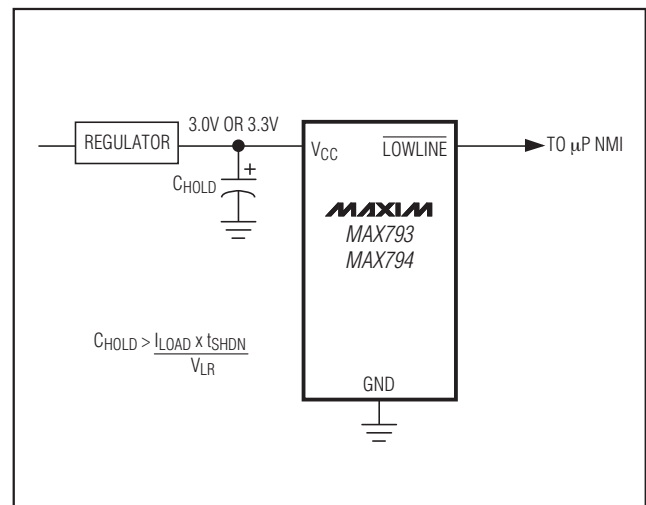


図11. LOWLINEをμPに対するパワーフェイル警告に使用

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

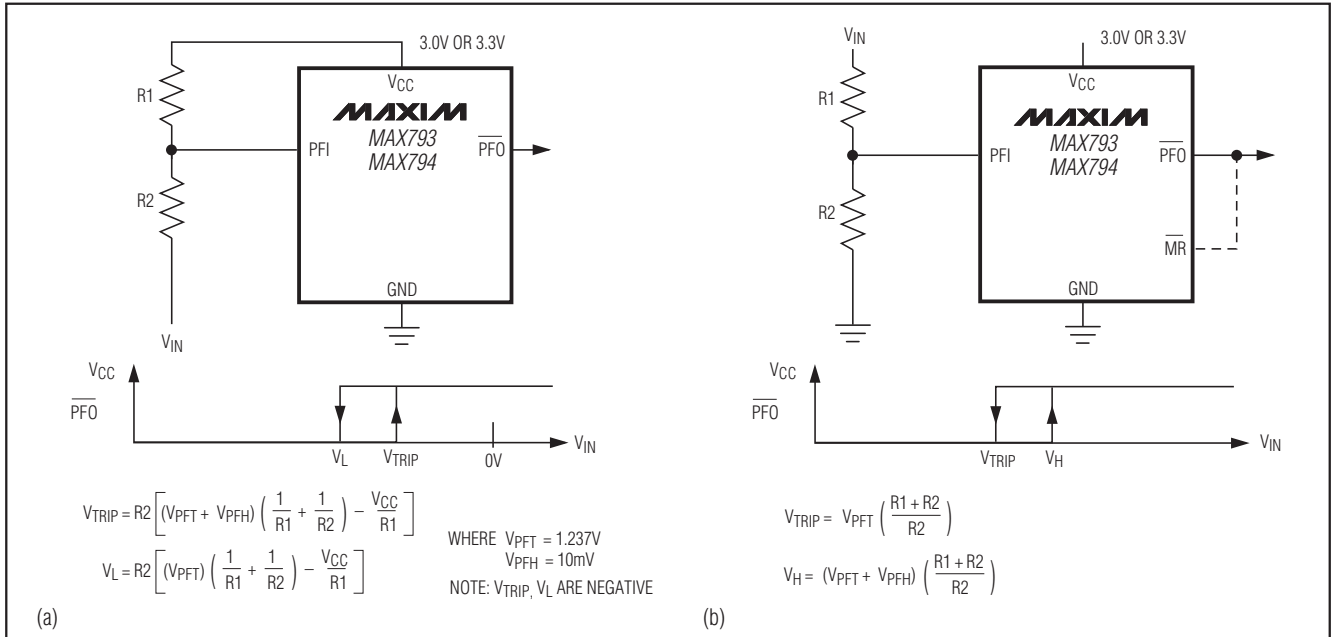


図12. パワーフェイルコンパレータを別の電源の監視に使用、(a) V_{IN} は負です、(b) V_{IN} は正です。

パワーダウンで V_{CC} が V_{SW} を下回るとパワーフェイルコンパレータはオフになり、PFOはローになります。リセットタイムアウト期間(t_{RP})の前半で、PFOはハイに強制され、それは V_{PFI} に関係ありません。 t_{RP} の後半の最初に、パワーフェイルコンパレータはイネーブルになり、PFOはPFIに従います。コンパレータが使用されない場合、PFIを V_{CC} に接続して、PFOは無接続としてください。PFIが低電圧になるとリセットが生成されるようにPFOをMRに接続することができます(図12b)。この構成では、監視される電圧によってPFIが V_{PFT} を下回ると、PFOはMRをローに強制し、リセットがアサートされることとなります。PFOがMRをローに保持している限り、および監視されている電源が設定されたスレッショルドを上回りPFOがMRをハイに強制してから200msの間、リセットはアサートされたままです。

バックアップバッテリーの切換え

電圧低下またはパワーフェイルの場合に、RAMの内容を保存する必要がある場合があります。BATTにバッテリーバックアップを取り付けると、 V_{CC} が低下したとき、デバイスは自動的にRAMをバックアップ電源に切り換えます。 V_{CC} よりも高い電圧のバックアップバッテリー(例えば3.6Vのリチウム電池)を可能にするために、 μP 監視(3.3Vおよび3Vシステム用に設計)のこのファミリーは V_{BATT} が V_{CC} よりも高い場合に必ずしもBATTをOUTに接続しません。 V_{CC} が V_{SW} を下回り、かつ V_{BATT} が V_{CC} よりも高い場合、または V_{CC} がBATT電圧に関係なく1.75V (typ)よりも低下した場合のいずれかでBATTはOUTに(140 Ω のスイッチを通して)接続されます。

V_{SW} で切換えが起こることによって V_{OUT} が、ほとんどのCMOS RAMで信頼性高くデータを保持するために必要な最低2.0Vに近づき過ぎる前にバッテリーバックアップモードに入ることが保証されます(より高い V_{CC} 電圧で切換えが起こるとバッテリー寿命が短くなります)。 V_{CC} が回復した時、スイッチの切換えは V_{BATT} が V_{RST} よりも低い場合は V_{CC} が V_{BATT} をクロスするまで、または V_{BATT} が V_{RST} よりも高い場合は V_{CC} がリセットスレッショルド(V_{RST})を上回って立ち上るときのいずれかまで延期されます。このパワーアップの切換えの技術によって、BATT ONによって駆動される外付けトランジスタを使用する場合に、 V_{CC} がOUTを通してバックアップバッテリーを充電することが防止されます。 V_{CC} がリセットスレッショルドをクロスするときOUTは V_{CC} に4 Ω (max)のPMOSパワースイッチを通して接続されます(図13)。

BATT ON (MAX793/MAX794)

BATT ONはOUTがBATTに接続される時にハイになります。BATT ONはバッテリーの切換えの状態を示すロジック出力として使用可能ですが、それは多くの場合、大電流アプリケーションにおける外付けパストランジスタのゲートまたはベースの駆動用として使用されます(「アプリケーション情報」の項の「BATT ONによる外付けスイッチの駆動」を参照)。パワーアップで V_{CC} が V_{RST} を超えると、BATT ONは0.4Vで3.2mAをシンクします。バッテリーバックアップモードではこの端子にはおよそ100 μA がBATTから供給されます。

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

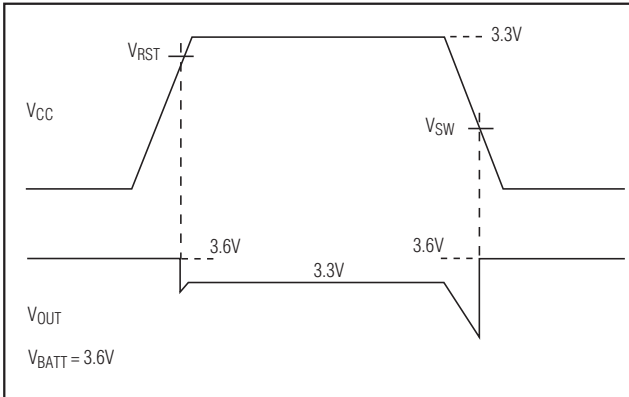


図13. バッテリ切換えのタイミング

表1. バッテリバックアップモードでの
入力と出力の状態

PIN NAME	STATUS
OUT	Connected to BATT through an internal 140Ω switch
VCC	Disconnected from OUT
BATT ON	Pulled up to BATT
BATT OK	Logic low
PFI	Disabled
PFO	Logic low
MR	Disabled, but still pulled up to VCC
WDO	Logic low
WDI	Disabled
RESET	Logic low
RESET	Pulled up to VCC
BATT	Connected to OUT
LOWLINE	Logic low
CE IN	High impedance
CE OUT	Pulled to BATT

アプリケーション情報

これらのμP監視回路は短絡保護されていません。V_{OUT}をグラウンドに短絡すると、デカップリングコンデンサを充電するなどのパワーアップトランジェントを除いて、デバイスが破壊されます。V_{CC}およびBATTピンの両方をグラウンドに対しておのおの0.1μFのセラミックコンデンサを可能な限りデバイスの近くに配置してデカップルしてください。

BATT ONによる外付けスイッチの駆動

BATT ONはPNPトランジスタのベースまたはPMOSトランジスタのゲートに直接接続することができます。PNPの接続は簡単です：エミッタをV_{CC}に、コレクタをOUTに、そしてベースをBATT ONに接続します(図14a)。

電流制限抵抗は不要ですが、PNPのベースをBATT ONに接続する抵抗をV_{CC}から引き出される電流を制限するために使用可能で、携帯機器のバッテリー寿命が延長されます。

しかしPMOSトランジスタを使用している場合は、従来の方法とは逆の方向に接続しなければなりません。すなわち、ゲートをBATT ONに、ドレインをV_{CC}に、そしてソースをOUTに接続します(図14b)。この方法はボディダイオードの方向をV_{CC}からOUTとして、ゲートがハイのときにFETを通してバックアップバッテリーが放電することを防止します。Siliconix社のLITTLE FOOT®シリーズはV_{GS}が最低-2.7Vまで仕様化されています。Si9433DYは2.7Vのゲート駆動および2Aのドレインソース間電流で最大100mΩのドレインソース間のオン抵抗を備えています。Si9434DYは2.7Vのゲート駆動および5.1Aのドレインソース電流で60mΩのドレインソース間のオン抵抗の仕様となっています。

スーパーキャパシタをバックアップ電源とする方法

スーパーキャパシタはその大きさに対して極度に大きい容量値(例えば0.47F)を備えたコンデンサです。図15はスーパーキャパシタをバックアップ電源とする2つの方法が示されています。スーパーキャパシタは3V入力にダイオードを通して接続可能(図15a)であり、または5V電源も利用可能な場合は、スーパーキャパシタは最高5V電源まで充電可能(図15b)で、より長いバックアップ期間が可能となります。V_{CC}がリセットスレッシュホールド電圧を超えていれば、V_{BATT}はV_{CC}よりも高くすることができるため、これらのμPの監視デバイスにスーパーキャパシタを使用する場合に特別に注意を要することはありません。

バックアップ電源のない場合の動作

これらのμP監視回路はバッテリーバックアップアプリケーション用に設計されました。バッテリーバックアップが使用されない場合、BATT、OUT、およびV_{CC}を相互に接続するか、または別のμP監視回路を使用してください。

バックアップバッテリーの交換

バックアップ電源はBATTを0.1μFのコンデンサでグラウンドにデカップルすれば、リセットパルスをトリガすることなく、V_{CC}が正常のままであれば外すことができます。V_{CC}がリセットスレッシュホールドを上回っている限り、バッテリーバックアップモードに入ることはありません。

LITTLE FOOTはSiliconix Inc.の登録商標です。

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

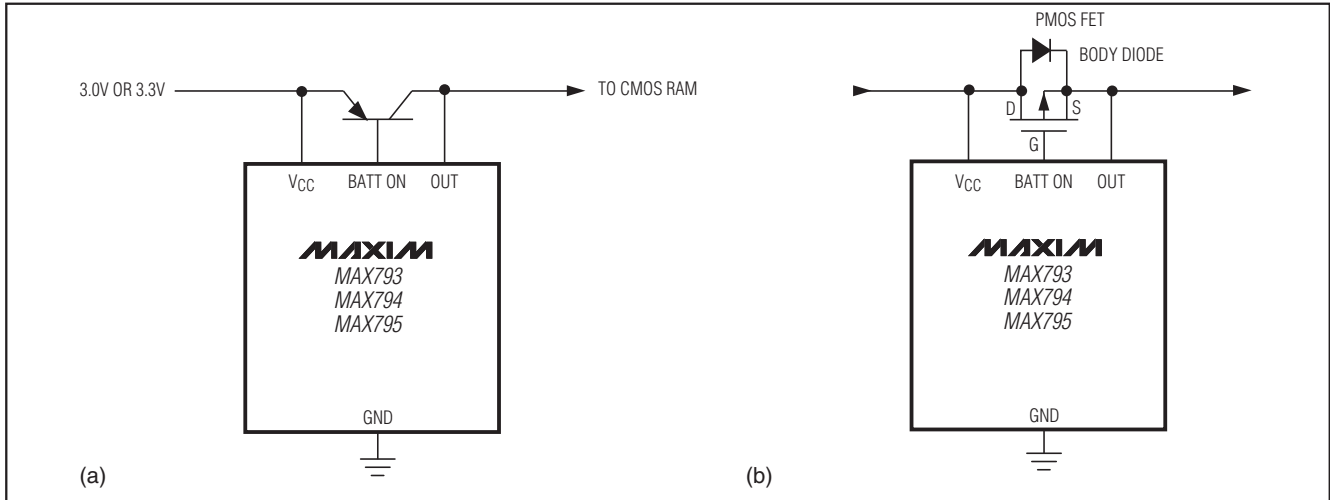


図14. BATT ONによる外付けトランジスタの駆動

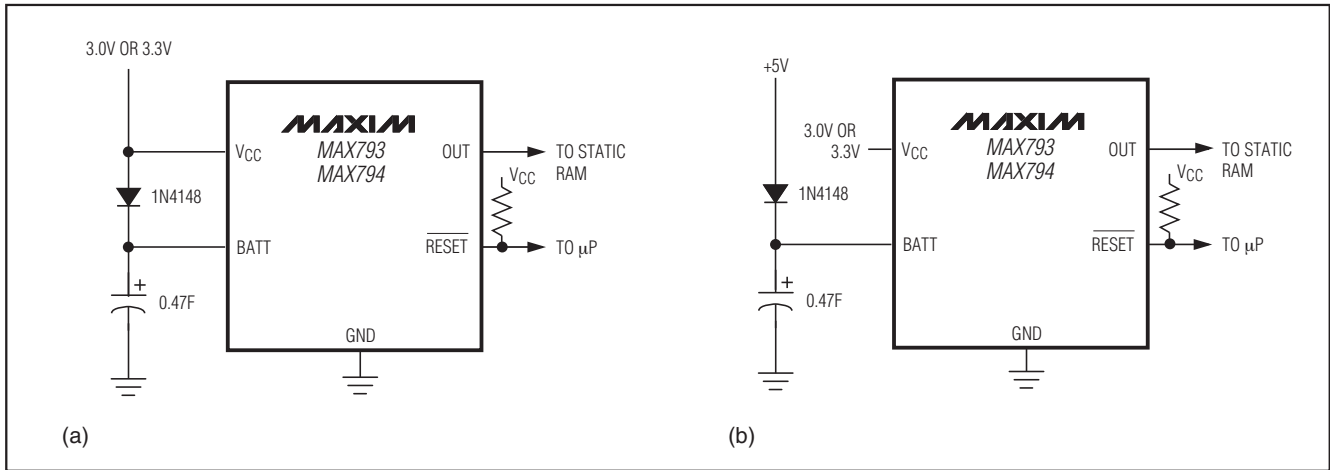


図15. スーパーキャパシタをバックアップ電源とする方法

パワーフェイルコンパレータへの ヒステリシスの追加(MAX793/MAX794)

パワーフェイルコンパレータは標準値で10mVの入力ヒステリシスを備えています。これは電源ラインが外付けの分圧器を通して監視される、たいていのアプリケーションに対して充分です(「別の電源の監視」の項を参照)。

ノイズマージンを追加することを希望する場合は、図16aに示すように、PFOとPFIの間に抵抗を接続してください。 V_{IN} がそのトリップポイント(V_{TRIP})に低下したとき、PFIが V_{PFT} になるようにR1とR2の比を選択します。R3によってヒステリシスが加わり、そのR3の値は通常R1とR2の値の10倍を超えるようにします。ヒステリシスウィンドウは元のトリップポイント(V_{TRIP})から上(V_H)と下(V_L)の両側に広がります。

図16bに示すようにR3と直列に通常の信号ダイオードを接続すると、下側のトリップポイント(V_L)はヒステリシスがないトリップポイント(V_{TRIP})に一致し、したがって全体のヒステリシスウィンドウは V_{TRIP} の上に生じます。この方法によって監視している電圧が低下しているときのパワーフェイルスレッショルドの精度を悪化させることなく、ノイズマージンを増やすことができます。これは電圧がスレッショルドを下回って低下した時を正確に検出するために有用です。R1とR2に流れる電流は最低 $1\mu\text{A}$ となるように設定して25nA(全温度での最大値)のPFI入力電流がトリップポイントをシフトさせないようにしてください。R3は $82\text{k}\Omega$ より大きくしてPFOピンの負荷が大きくなるようにしてください。コンデンサC1は任意であり、ノイズ排除機能が強化されます。

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

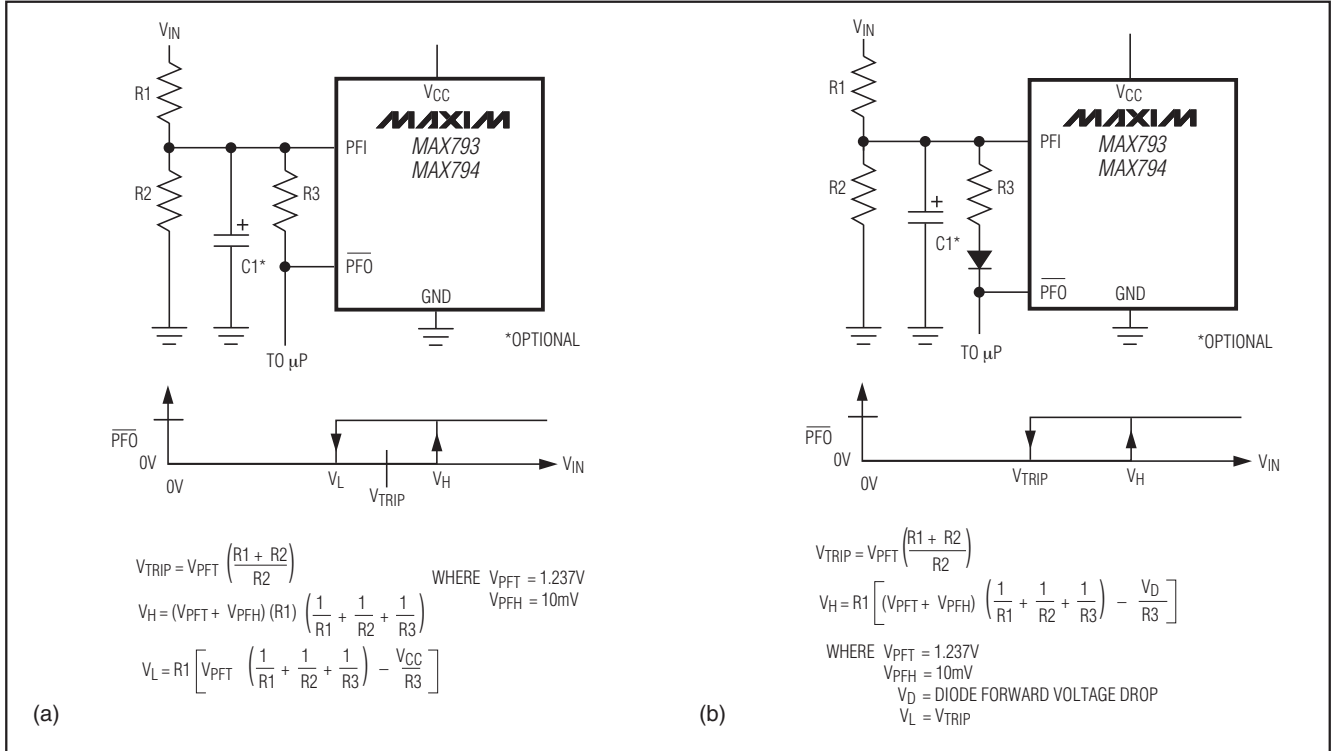


図16. パワーフェイルコンパレータへのヒステリシスの追加：(a) 対称ヒステリシス、(b) V_{IN} の立上り時のみのヒステリシス

別の電源の監視

これらの μP 監視回路はPFIに抵抗分圧器を使用して正または負電源のいずれかを監視することができます。PFOは μP に割り込みを生成するか、またはリセットをアサートするために使用することができます(図12)。

双方向性リセットピンの使用による μP とのインタフェース

RESET出力はオープンドレインであるため、MAX793/MAX794/MAX795は例えばモトローラの68HC11などの両方向性のリセットピンを備えた μP と容易にインタフェースします。 μP の監視回路のRESET出力を直接マイクロコントローラのRESETに1個のプルアップ抵抗を使用して接続することによって、いずれかのデバイスがリセットをアサートすることができます(図17)。

V_{CC}の負方向のトランジェント

これらの監視回路は、パワーアップ、パワーダウン、および電圧低下状態時の μP へ短時間の負方向V_{CC}トランジェント(グリッチ)に比較的強くなっています。したがって、V_{CC}にほんの小さなグリッチを生じているとき μP をリセットすることは通常推奨しません。

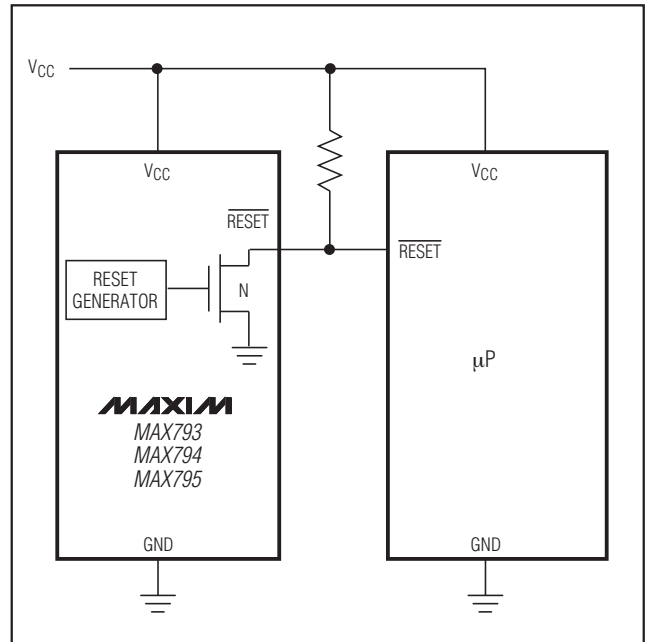


図17. 双方向性リセットI/Oを使用する μP とのインタフェース

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

図18はリセットパルスが生成されない、最大トランジェント期間対リセットコンパレータのオーバドライブを示します。このグラフは3.3Vで開始し、示された大きさだけリセットスレッショルドを下回って終わる負方向の V_{CC} パルスを使用して作られました(リセットコンパレータのオーバドライブ)。このグラフにはリセットパルスをトリガすることのない負方向の V_{CC} トランジェントの標準的な最大パルス幅が示されています。トランジェントの振幅が大きくなるに従い(つまり、リセットスレッショルドを下回ってさらに低下する)、最大許容パルス幅は減少します。標準的には、リセットスレッショルドよりも40mVを超えて下回り、10 μ sの間継続する V_{CC} のトランジェントではリセットパルスは発生しません。

V_{CC} ピンの近くに実装した0.1 μ Fのバイパスコンデンサによってさらにトランジェント耐性が増加します。

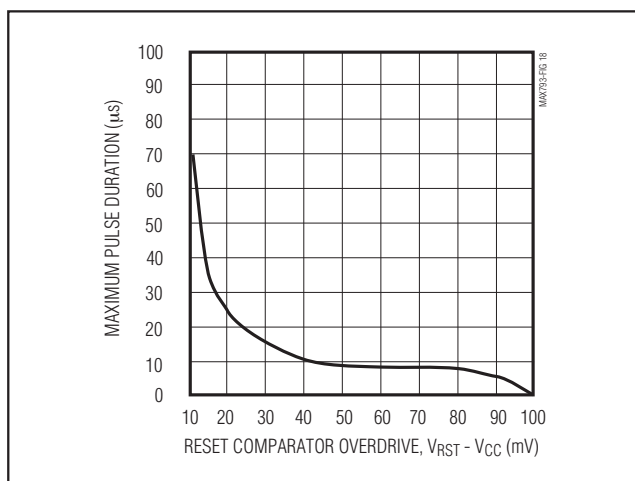


図18. リセットパルスが発生しない最大トランジェント期間対リセットコンパレータのオーバドライブ

ウォッチドッグソフトウェアについて

ウォッチドッグによってソフトウェアの実行をさらに精密に監視するために役立つ1つの方法があり、それは、ウォッチドッグ入力をハイ-ロー-ハイまたはロー-ハイ-ローにパルス変化させるのではなく、プログラムの異なったポイントでウォッチドッグをセットしてリセットすることです。この技術はウォッチドッグタイマがループ内で連続してリセットされて、ウォッチドッグがタイムアウトしない、ループスタックを避けることができます。図19にはフローダイアグラムの一例が示され、この図はでウォッチドッグ入力を駆動しているI/Oはプログラムの最初にハイに設定され、各サブルーチンまたはループの最初にローに設定され、その後でプログラムが最初にリターンしたときに再びローに設定されます。プログラムがいずれかのルーチンでハングするような場合、問題は直ちに修正されます。それはI/Oが連続してローに設定されて、ウォッチドッグタイマがタイムアウトすることが可能になり、リセットまたは割込みが発行されるからです。

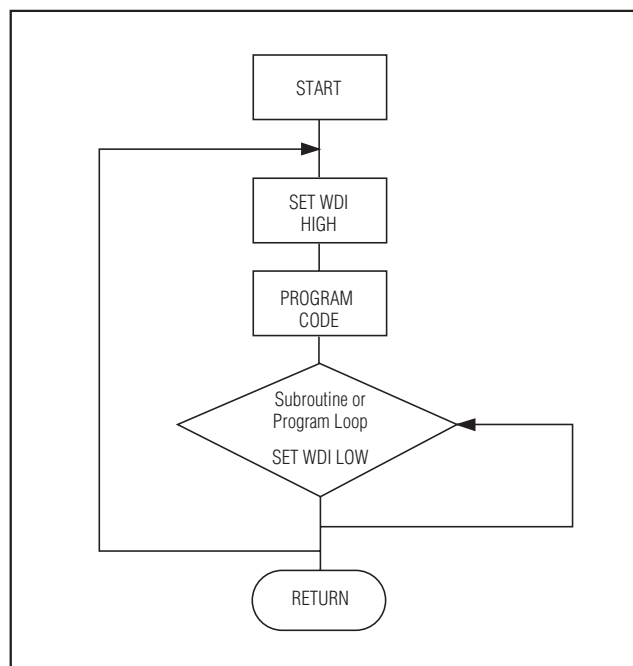


図19. ウォッチドッグのフローチャート

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

型番(続き)

PART*	TEMP RANGE	PIN-PACKAGE
MAX793_EPE	-40°C to +85°C	16 Plastic DIP
MAX793_ESE	-40°C to +85°C	16 Narrow SO
MAX794CPE	0°C to +70°C	16 Plastic DIP
MAX794CSE	0°C to +70°C	16 Narrow SO
MAX794EPE	-40°C to +85°C	16 Plastic DIP
MAX794ESE	-40°C to +85°C	16 Narrow SO
MAX795_CPA	0°C to +70°C	8 Plastic DIP
MAX795_CSA	0°C to +70°C	8 SO
MAX795_EPA	-40°C to +85°C	8 Plastic DIP
MAX795_ESA	-40°C to +85°C	8 SO

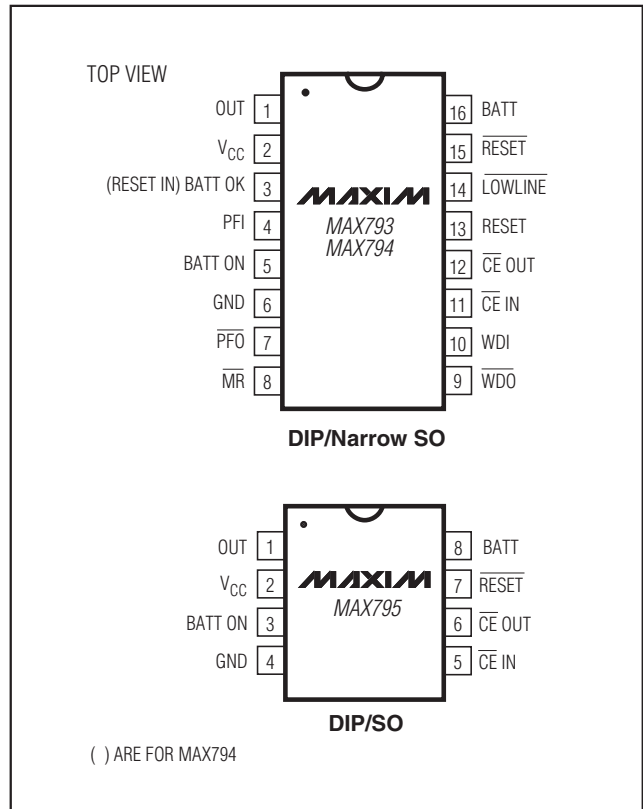
*MAX793/MAX795はリセットスレッショルド電圧を選択可能です。所望のリセットスレッショルド電圧範囲を選択(T = 3.00V~3.15V、S = 2.85V~3.00V、R = 2.55V~2.70V)して、それをブランク部分に入れて型番を完成させてください。MAX794のリセットスレッショルドは調整可能です。

各デバイスは有鉛および無鉛パッケージの両方で提供されています。発注時に、型番の最後に+の記号を追加して鉛フリーを指定してください。

チップ情報

TRANSISTOR COUNT: 1271

ピン配置



パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
8 SO	S8-2	21-0041
8 Plastic Dip	R8-1	21-0043
16 Plastic Dip	P16-1	21-0043
16 Narrow SO	S16-1	21-0041

3.0V/3.3V、調整可能 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

改訂履歴

版数	改訂日	説明	改訂ページ
0	2/95	初版	—
5	2/07	「Electrical Characteristics (電気的特性)」を改訂	4
6	3/10	「Absolute Maximum Ratings (絶対最大定格)」と「チップイネーブル入力」の各項を改訂	1, 2

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2010 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。