

デュアル90MHz、22V/μs、 16ビット高精度オペアンプ

特長

- 90MHz利得帯域幅、 $f = 100\text{kHz}$
- 最大入力オフセット電圧: 125μV
- セトリング時間: 900ns ($A_V = -1$ 、150μV、10Vステップ)
- スルーレート: 22V/μs
- 低歪み: 100 kHz、10V_{P-P}で-96.5dB
- 最大入力オフセット電圧ドリフト: 3μV/°C
- 最大反転入力バイアス電流: 10nA
- 最小DC利得: 300V/mV
- 最小出力振幅、2k: ±12.8V
- ユニティゲインで安定動作
- 入力ノイズ電圧: 5nV/√Hz
- 入力ノイズ電流: 0.6pA/√Hz
- 1kΩ < R_S < 20kΩに最適化された全入力ノイズ
- ±5Vおよび±15V電源で仕様を規定

アプリケーション

- 高精度計測器
- 高精度データ収集システム
- 16ビットDACの電流-電圧変換
- ADCバッファ
- 低歪みのアクティブ・フィルタ
- フォトダイオード・アンプ

概要

LT[®]1469は、16ビット精度で、10Vステップに対して900nsで150μVにセトリング可能な高精度、高速デュアル・オペアンプです。高精度と高AC性能を両立させたLT1469は、DACの電流-電圧変換やADCバッファなどの高精度アプリケーションに最適です。入力オフセット電圧と反転入力バイアス電流の、初期精度とドリフト特性は、反転アプリケーション用に調整されています。

90MHzの利得帯域幅は、歪みを低減するために周波数動作で高い開ループ利得を保証します。ADCバッファなどの非反転アプリケーションでは、低歪みとDC精度により、完全な16ビットACおよびDC性能を実現できます。

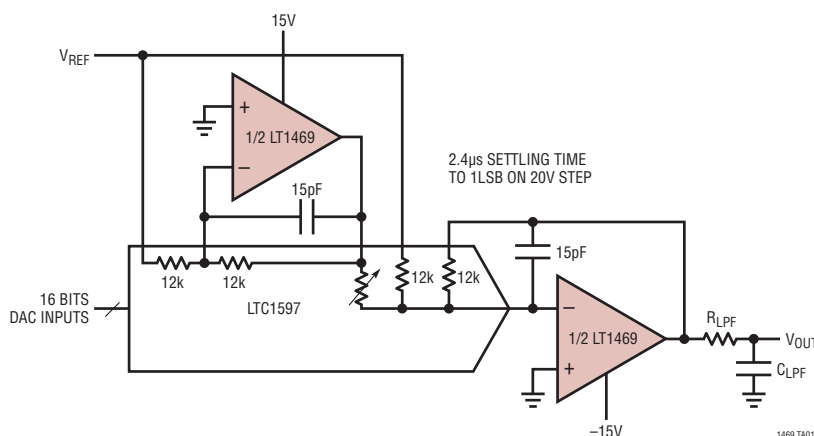
LT1469のスルーレートは22V/μsで、他の高精度オペアンプに比べて、アクティブ・フィルタや計装アンプなどのアプリケーションにおける大信号性能が向上しています。

LT1469は、省スペース4mm×4mmリードレス・パッケージ、スモール・アウトラインおよびDIPパッケージで供給されます。シングル・バージョンのLT1468もあります。

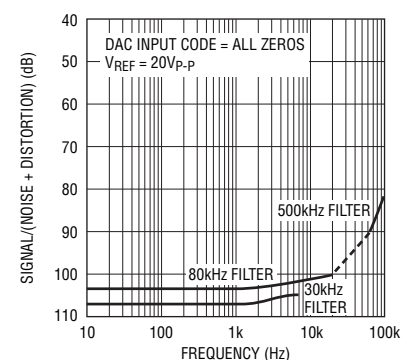
LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。他の全ての商標はそれぞれの所有者に所有権があります。

標準的応用例

バイポーラ出力振幅 ($V_{OUT} = -10V \sim 10V$)を得るための16ビットDAC用電流-電圧コンバータおよびリファレンス・インバータ



バイポーラ乗算モードでの(LTC1597)
信号対(ノイズ+歪み)

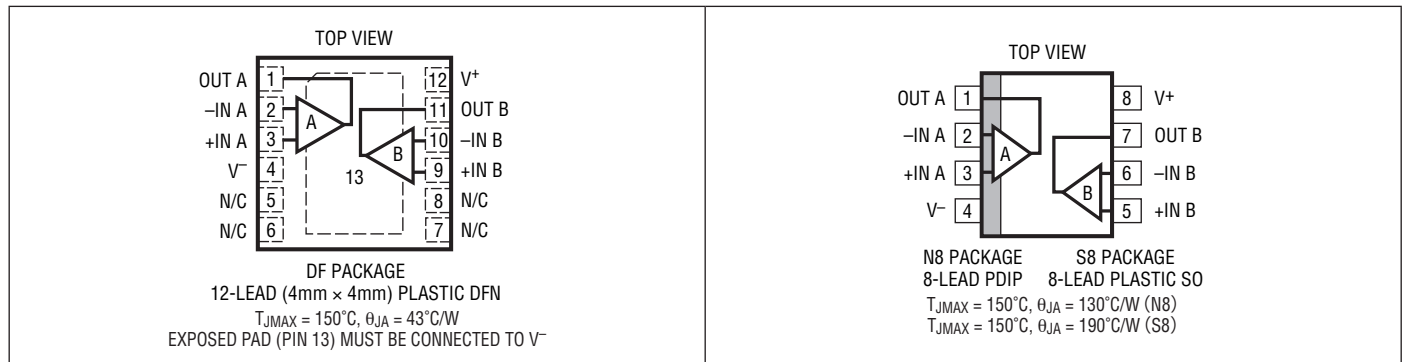


LT1469

絶対最大定格 (Note 1)

全電源電圧 (V ⁺ ~ V ⁻)	36V	規定温度範囲 (Note 5)	-40°C ~ 85°C
入力電流 (Note 2)	±10mA	最大接合部温度	150°C
出力短絡時間 (Note 3)	無期限	保存温度範囲	-65°C ~ 150°C
動作温度範囲 (Note 4)	-40°C ~ 85°C	リード温度 (半田付け, 10 sec)	
		S8 および N8 パッケージ	300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LT1469CN8#PBF	NA	LT1469CN8	8-Lead PDIP	0°C to 70°C
LT1469IN8#PBF	NA	LT1469IN8	8-Lead PDIP	-40°C to 85°C
LT1469CS8#PBF	LT1469CS8#TRPBF	1469	8-Lead Plastic Small Outline	0°C to 70°C
LT1469IS8#PBF	LT1469IS8#TRPBF	1469I	8-Lead Plastic Small Outline	-40°C to 85°C
LT1469ACDF#PBF	LT1469ACDF#TRPBF	1469	12-Lead (4mm × 4mm) Plastic DFN	0°C to 70°C
LT1469AIDF#PBF	LT1469AIDF#TRPBF	1469	12-Lead (4mm × 4mm) Plastic DFN	-40°C to 85°C
LT1469CDF#PBF	LT1469CDF#TRPBF	1469	12-Lead (4mm × 4mm) Plastic DFN	0°C to 70°C
LT1469IDF#PBF	LT1469IDF#TRPBF	1469	12-Lead (4mm × 4mm) Plastic DFN	-40°C to 85°C
鉛ベース仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LT1469CN8	NA	LT1469CN8	8-Lead PDIP	0°C to 70°C
LT1469IN8	NA	LT1469IN8	8-Lead PDIP	-40°C to 85°C
LT1469CS8	LT1469CS8#TR	1469	8-Lead Plastic Small Outline	0°C to 70°C
LT1469IS8	LT1469IS8#TR	1469I	8-Lead Plastic Small Outline	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CM} = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	V_{SUPPLY}	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage	N8, S8 Packages	$\pm 15\text{V}$ $\pm 5\text{V}$		50 50	125 200	μV μV
		LT1469A, DF Package	$\pm 15\text{V}$ $\pm 5\text{V}$		50 50	125 200	μV μV
		LT1469, DF Package	$\pm 15\text{V}$ $\pm 5\text{V}$		100 150	225 300	μV μV
I_{OS}	Input Offset Current		$\pm 5\text{V}$ to $\pm 15\text{V}$	13	± 50		nA
I_{B-}	Inverting Input Bias Current		$\pm 5\text{V}$ to $\pm 15\text{V}$	3	± 10		nA
I_{B+}	Noninverting Input Bias Current		$\pm 5\text{V}$ to $\pm 15\text{V}$	-10	± 40		nA
	Input Noise Voltage	0.1Hz to 10Hz	$\pm 5\text{V}$ to $\pm 15\text{V}$	0.3			μV_{P-P}
e_n	Input Noise Voltage Density	$f = 10\text{kHz}$	$\pm 5\text{V}$ to $\pm 15\text{V}$	5			$\text{nV}/\sqrt{\text{Hz}}$
i_n	Input Noise Current Density	$f = 10\text{kHz}$	$\pm 5\text{V}$ to $\pm 15\text{V}$	0.6			$\text{pA}/\sqrt{\text{Hz}}$
R_{IN}	Input Resistance	Common Mode, $V_{CM} = \pm 12.5\text{V}$ Differential	$\pm 15\text{V}$ $\pm 15\text{V}$	100 50	240 150		$\text{M}\Omega$ $\text{k}\Omega$
C_{IN}	Input Capacitance		$\pm 15\text{V}$	4			pF
V_{CM}	Input Voltage Range (Positive)	Guaranteed by CMRR	$\pm 15\text{V}$ $\pm 5\text{V}$	12.5 2.5	13.5 3.6		V V
	Input Voltage Range (Negative)	Guaranteed by CMRR	$\pm 15\text{V}$ $\pm 5\text{V}$		-14.3 -4.4	-12.5 -2.5	V V
CMRR	Common Mode Rejection Ratio	$V_{CM} = \pm 12.5\text{V}$ $V_{CM} = \pm 2.5\text{V}$	$\pm 15\text{V}$ $\pm 5\text{V}$	96 96	110 112		dB dB
	Minimum Supply Voltage	Guaranteed by PSRR		± 2.5	± 4.5		V
PSRR	Power Supply Rejection Ratio	$V_S = \pm 4.5\text{V}$ to $\pm 15\text{V}$		100	112		dB
A_{VOL}	Large-Signal Voltage Gain	$V_{OUT} = \pm 12.5\text{V}$, $R_L = 10\text{k}$ $V_{OUT} = \pm 12.5\text{V}$, $R_L = 2\text{k}$ $V_{OUT} = \pm 2.5\text{V}$, $R_L = 10\text{k}$ $V_{OUT} = \pm 2.5\text{V}$, $R_L = 2\text{k}$	$\pm 15\text{V}$ $\pm 15\text{V}$	300 300	2000 2000		V/mV V/mV
			$\pm 5\text{V}$ $\pm 5\text{V}$	200 200	8000 8000		V/mV V/mV
V_{OUT}	Maximum Output Swing	$R_L = 10\text{k}$ $R_L = 2\text{k}$ $R_L = 10\text{k}$ $R_L = 2\text{k}$	$\pm 15\text{V}$ $\pm 15\text{V}$	± 13.0 ± 12.8	± 13.6 ± 13.5		V V
			$\pm 5\text{V}$ $\pm 5\text{V}$	± 3.0 ± 2.8	± 3.7 ± 3.6		V V
I_{OUT}	Maximum Output Current	$V_{OUT} = \pm 12.5\text{V}$ $V_{OUT} = \pm 2.5\text{V}$	$\pm 15\text{V}$ $\pm 5\text{V}$	± 15 ± 15	± 22 ± 22		mA mA
I_{SC}	Output Short-Circuit Current	$V_{OUT} = 0\text{V}$, 0.2V Overdrive (Note 3)	$\pm 15\text{V}$	± 25	± 40		mA
SR	Slew Rate	$A_V = -10$, $R_L = 2\text{k}$ (Note 6)	$\pm 15\text{V}$ $\pm 5\text{V}$	15 11	22 17		V/ μs V/ μs
FPBW	Full-Power Bandwidth	10V Peak, (Note 7) 3V Peak, (Note 7)	$\pm 15\text{V}$ $\pm 5\text{V}$		350 900		kHz kHz
GBW	Gain Bandwidth Product	$f = 100\text{kHz}$, $R_L = 2\text{k}$	$\pm 15\text{V}$ $\pm 5\text{V}$	60 55	90 88		MHz MHz
t_r , t_f	Rise Time, Fall Time	$A_V = 1$, 10% to 90%, 0.1V Step	$\pm 15\text{V}$ $\pm 5\text{V}$		11 12		ns ns
OS	Overshoot	$A_V = 1$, 0.1V Step	$\pm 15\text{V}$ $\pm 5\text{V}$		30 35		% %
t_{PD}	Propagation Delay	$A_V = 1$, 50% V_{IN} to 50% V_{OUT} , 0.1V Step	$\pm 15\text{V}$ $\pm 5\text{V}$		9 10		ns ns

電気的特性 $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CM} = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	V_{SUPPLY}	MIN	TYP	MAX	UNITS
t_s	Settling Time	10V Step, 0.01%, $A_V = -1$	$\pm 15\text{V}$		760		ns
		10V Step, 150 μV , $A_V = -1$	$\pm 15\text{V}$		900		ns
		5V Step, 0.01%, $A_V = -1$	$\pm 5\text{V}$		770		ns
THD	Total Harmonic Distortion	$A_V = -1$, $V_{OUT} = 10\text{V}_{P-P}$, $f = 100\text{kHz}$	$\pm 15\text{V}$		-96.5		dB
		$A_V = 1$, $V_{OUT} = 20\text{V}_{P-P}$, $f = 1\text{kHz}$	$\pm 15\text{V}$		-125		dB
R_{OUT}	Output Resistance	$A_V = 1$, $f = 100\text{kHz}$	$\pm 15\text{V}$		0.02		Ω
	Channel Separation	$V_{OUT} = \pm 12.5\text{V}$, $R_L = 2\text{k}$ $V_{OUT} = \pm 2.5\text{V}$, $R_L = 2\text{k}$	$\pm 15\text{V}$ $\pm 5\text{V}$	100 100	130 130		dB dB
I_S	Supply Current	Per Amplifier	$\pm 15\text{V}$ $\pm 5\text{V}$		4.1 3.8	5.2 5	mA mA
ΔV_{OS}	Input Offset Voltage Match	S8, DF A-Grade	$\pm 15\text{V}$		30	225	μV
			$\pm 5\text{V}$		50	350	μV
ΔI_{B-}	Inverting Input Bias Current Match		$\pm 5\text{V}$ to $\pm 15\text{V}$		2	18	nA
ΔI_{B+}	Noninverting Input Bias Current Match		$\pm 5\text{V}$ to $\pm 15\text{V}$		5	78	nA
ΔCMRR	Common Mode Rejection Match	$V_{CM} = \pm 12.5\text{V}$ (Note 9) $V_{CM} = \pm 2.5\text{V}$ (Note 9)	$\pm 15\text{V}$	93	113		dB
			$\pm 5\text{V}$	93	115		dB
ΔPSRR	Power Supply Rejection Match	$V_S = \pm 4.5\text{V}$ to $\pm 15\text{V}$ (Note 9)		97	115		dB

●は全動作温度範囲 $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ での規格値を意味する。注記がない限り、 $V_{CM} = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	V_{SUPPLY}	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage	N8, S8 Packages	$\pm 15\text{V}$			350	μV
			$\pm 5\text{V}$	●		350	μV
		LT1469A, DF Package	$\pm 15\text{V}$	●		225	μV
			$\pm 5\text{V}$	●		275	μV
		LT1469, DF Package	$\pm 15\text{V}$	●		450	μV
			$\pm 5\text{V}$	●		450	μV
$\Delta V_{OS}/\Delta T$	Input Offset Voltage Drift	(Note 8)	$\pm 15\text{V}$	●	1	5	$\mu\text{V}/^\circ\text{C}$
			$\pm 5\text{V}$	●	1	3	$\mu\text{V}/^\circ\text{C}$
I_{OS}	Input Offset Current		$\pm 5\text{V}$ to $\pm 15\text{V}$	●		± 80	nA
$\Delta I_{OS}/\Delta T$	Input Offset Current Drift	(Note 8)	$\pm 5\text{V}$ to $\pm 15\text{V}$	●	60		$\text{pA}/^\circ\text{C}$
I_{B-}	Inverting Input Bias Current		$\pm 5\text{V}$ to $\pm 15\text{V}$	●		± 20	nA
$\Delta I_{B-}/\Delta T$	Inverting Input Bias Current Drift	(Note 8)	$\pm 5\text{V}$ to $\pm 15\text{V}$	●	40		$\text{pA}/^\circ\text{C}$
I_{B+}	Noninverting Input Bias Current		$\pm 5\text{V}$ to $\pm 15\text{V}$	●		± 60	nA
V_{CM}	Input Voltage Range (Positive)	Guaranteed by CMRR	$\pm 15\text{V}$	●	12.5		V
			$\pm 5\text{V}$	●	2.5		V
	Input Voltage Range (Negative)	Guaranteed by CMRR	$\pm 15\text{V}$	●		-12.5	V
			$\pm 5\text{V}$	●		-2.5	V
CMRR	Common Mode Rejection Ratio	$V_{CM} = \pm 12.5\text{V}$	$\pm 15\text{V}$	●	94		dB
		$V_{CM} = \pm 2.5\text{V}$	$\pm 5\text{V}$	●	94		dB
	Minimum Supply Voltage	Guaranteed by PSRR		●		± 4.5	V
PSRR	Power Supply Rejection Ratio	$V_S = \pm 4.5\text{V}$ to $\pm 15\text{V}$		●	95		dB
A_{VOL}	Large-Signal Voltage Gain	$V_{OUT} = \pm 12.5\text{V}$, $R_L = 10\text{k}$	$\pm 15\text{V}$	●	100		V/mV
		$V_{OUT} = \pm 12.5\text{V}$, $R_L = 2\text{k}$	$\pm 15\text{V}$	●	100		V/mV
		$V_{OUT} = \pm 2.5\text{V}$, $R_L = 10\text{k}$	$\pm 5\text{V}$	●	100		V/mV
		$V_{OUT} = \pm 2.5\text{V}$, $R_L = 2\text{k}$	$\pm 5\text{V}$	●	100		V/mV

電気的特性

●は全動作温度範囲 $0^{\circ}\text{C} \leq T_A \leq 70^{\circ}\text{C}$ での規格値を意味する。注記がない限り、 $V_{CM} = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	V_{SUPPLY}		MIN	TYP	MAX	UNITS
V_{OUT}	Maximum Output Swing	$R_L = 10\text{k}$ $R_L = 2\text{k}$ $R_L = 10\text{k}$ $R_L = 2\text{k}$	$\pm 15\text{V}$	●	± 12.9			V
			$\pm 15\text{V}$	●	± 12.7			V
			$\pm 5\text{V}$	●	± 2.9			V
			$\pm 5\text{V}$	●	± 2.7			V
I_{OUT}	Maximum Output Current	$V_{OUT} = \pm 12.5\text{V}$ $V_{OUT} = \pm 2.5\text{V}$	$\pm 15\text{V}$ $\pm 5\text{V}$	● ●	± 12.5 ± 12.5			mA mA
I_{SC}	Output Short-Circuit Current	$V_{OUT} = 0\text{V}$, 0.2V Overdrive (Note 3)	$\pm 15\text{V}$	●	± 17			mA
SR	Slew Rate	$A_V = -10$, $R_L = 2\text{k}$ (Note 6)	$\pm 15\text{V}$	●	13			V/ μs
			$\pm 5\text{V}$	●	9			V/ μs
GBW	Gain Bandwidth Product	$f = 100\text{kHz}$, $R_L = 2\text{k}$	$\pm 15\text{V}$ $\pm 5\text{V}$	● ●	55 50			MHz MHz
	Channel Separation	$V_{OUT} = \pm 12.5\text{V}$, $R_L = 2\text{k}$ $V_{OUT} = \pm 2.5\text{V}$, $R_L = 2\text{k}$	$\pm 15\text{V}$ $\pm 5\text{V}$	● ●	98 98			dB dB
I_S	Supply Current	Per Amplifier	$\pm 15\text{V}$	●			6.5	mA
			$\pm 5\text{V}$	●			6.3	mA
ΔV_{OS}	Input Offset Voltage Match	S8, DF A-Grade	$\pm 15\text{V}$ $\pm 5\text{V}$	● ●			600 600	μV μV
ΔI_{B-}	Inverting Input Bias Current Match		$\pm 5\text{V}$ to $\pm 15\text{V}$	●			38	nA
ΔI_{B+}	Noninverting Input Bias Current Match		$\pm 5\text{V}$ to $\pm 15\text{V}$	●			118	nA
ΔCMRR	Common Mode Rejection Match	$V_{CM} = \pm 12.5\text{V}$ (Note 9) $V_{CM} = \pm 2.5\text{V}$ (Note 9)	$\pm 15\text{V}$	●	91			dB
			$\pm 5\text{V}$	●	91			dB
ΔPSRR	Power Supply Rejection Match	$V_S = \pm 4.5\text{V}$ to $\pm 15\text{V}$ (Note 9)		●	92			dB

●は全動作温度範囲 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ での規格値を意味する。注記がない限り、 $V_{CM} = 0\text{V}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	V_{SUPPLY}		MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage	N8, S8 Packages	$\pm 15\text{V}$	●			500	μV
			$\pm 5\text{V}$	●			500	μV
		LT1469A, DF Package	$\pm 15\text{V}$ $\pm 5\text{V}$	● ●			300 350	μV μV
	LT1469, DF Package		$\pm 15\text{V}$ $\pm 5\text{V}$	● ●			600 600	μV μV
$\Delta V_{OS}/\Delta T$	Input Offset Voltage Drift	(Note 8)	$\pm 15\text{V}$ $\pm 5\text{V}$	● ●		1 1	6 5	$\mu\text{V}/^{\circ}\text{C}$ $\mu\text{V}/^{\circ}\text{C}$
I_{OS}	Input Offset Current		$\pm 5\text{V}$ to $\pm 15\text{V}$	●			± 120	nA
$\Delta I_{OS}/\Delta T$	Input Offset Current Drift	(Note 8)	$\pm 5\text{V}$ to $\pm 15\text{V}$	●		120		$\text{pA}/^{\circ}\text{C}$
I_{B-}	Inverting Input Bias Current		$\pm 5\text{V}$ to $\pm 15\text{V}$	●			± 40	nA
$\Delta I_{B-}/\Delta T$	Inverting Input Bias Current Drift	(Note 8)	$\pm 5\text{V}$ to $\pm 15\text{V}$	●		80		$\text{pA}/^{\circ}\text{C}$
I_{B+}	Noninverting Input Bias Current		$\pm 5\text{V}$ to $\pm 15\text{V}$	●			± 80	nA
V_{CM}	Input Voltage Range (Positive)	Guaranteed by CMRR	$\pm 15\text{V}$ $\pm 5\text{V}$	● ●	12.5 2.5			V V
	Input Voltage Range (Negative)	Guaranteed by CMRR	$\pm 15\text{V}$ $\pm 5\text{V}$	● ●			-12.5 -2.5	V V

電気的特性

●は全動作温度範囲 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ での規格値を意味する。注記がない限り、 $V_{CM} = 0\text{V}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	V_{SUPPLY}	MIN	TYP	MAX	UNITS
CMRR	Common Mode Rejection Ratio	$V_{CM} = \pm 12.5\text{V}$ $V_{CM} = \pm 2.5\text{V}$	$\pm 15\text{V}$	●	92		dB
			$\pm 5\text{V}$	●	92		dB
	Minimum Supply Voltage	Guaranteed by PSRR		●		± 4.5	V
PSRR	Power Supply Rejection Ratio	$V_S = \pm 4.5\text{V to } \pm 15\text{V}$		●	93		dB
A_{VOL}	Large-Signal Voltage Gain	$V_{OUT} = \pm 12.5\text{V}, R_L = 10\text{k}$ $V_{OUT} = \pm 12.5\text{V}, R_L = 2\text{k}$ $V_{OUT} = \pm 2.5\text{V}, R_L = 10\text{k}$ $V_{OUT} = \pm 2.5\text{V}, R_L = 2\text{k}$	$\pm 15\text{V}$	●	75		V/mV
			$\pm 15\text{V}$	●	75		V/mV
			$\pm 5\text{V}$	●	75		V/mV
			$\pm 5\text{V}$	●	75		V/mV
V_{OUT}	Maximum Output Swing	$R_L = 10\text{k}$ $R_L = 2\text{k}$ $R_L = 10\text{k}$ $R_L = 2\text{k}$	$\pm 15\text{V}$	●	± 12.8		V
			$\pm 15\text{V}$	●	± 12.6		V
			$\pm 5\text{V}$	●	± 2.8		V
			$\pm 5\text{V}$	●	± 2.6		V
I_{OUT}	Maximum Output Current	$V_{OUT} = \pm 12.5\text{V}$ $V_{OUT} = \pm 2.5\text{V}$	$\pm 15\text{V}$	●	± 7		mA
			$\pm 5\text{V}$	●	± 7		mA
I_{SC}	Output Short-Circuit Current	$V_{OUT} = 0\text{V}, 0.2\text{V Overdrive (Note 3)}$	$\pm 15\text{V}$	●	± 12		mA
SR	Slew Rate	$A_V = -10, R_L = 2\text{k (Note 6)}$	$\pm 15\text{V}$	●	9		V/ μs
			$\pm 5\text{V}$	●	6		V/ μs
GBW	Gain Bandwidth Product	$f = 100\text{kHz}, R_L = 2\text{k}$	$\pm 15\text{V}$	●	45		MHz
			$\pm 5\text{V}$	●	40		MHz
	Channel Separation	$V_{OUT} = \pm 12.5\text{V}, R_L = 2\text{k}$ $V_{OUT} = \pm 2.5\text{V}, R_L = 2\text{k}$	$\pm 15\text{V}$	●	96		dB
			$\pm 5\text{V}$	●	96		dB
I_S	Supply Current	Per Amplifier	$\pm 15\text{V}$	●		7	mA
			$\pm 5\text{V}$	●		6.8	mA
ΔV_{OS}	Input Offset Voltage Match	S8, DF A-Grade	$\pm 15\text{V}$	●		800	μV
			$\pm 5\text{V}$	●		800	μV
ΔI_{B-}	Inverting Input Bias Current Match		$\pm 5\text{V to } \pm 15\text{V}$	●		78	nA
ΔI_{B+}	Noninverting Input Bias Current Match		$\pm 5\text{V to } \pm 15\text{V}$	●		158	nA
ΔCMRR	Common Mode Rejection Match	$V_{CM} = \pm 12.5\text{V (Note 9)}$ $V_{CM} = \pm 2.5\text{V (Note 9)}$	$\pm 15\text{V}$	●	89		dB
			$\pm 5\text{V}$	●	89		dB
ΔPSRR	Power Supply Rejection Match	$V_S = \pm 4.5\text{V to } \pm 15\text{V (Note 9)}$		●	90		dB

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 入力、バック・トゥ・バック・ダイオードと2本の100 Ω 直列抵抗によって保護されている。差動入力電圧が0.7Vを超える場合、入力電流を10mA未満に制限すること。電源電圧を超える入力電圧はESD保護デバイスによってクランプされるが、同様に入力電流を10mAに制限する必要がある。

Note 3: 出力が無制限に短絡されるときは、接合部温度を絶対最大定格以下に抑えるために、ヒートシンクが必要な場合がある。

Note 4: LT1469CとLT1469Iは $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の動作温度範囲で動作することが保証されている。

Note 5: LT1469Cは $0^{\circ}\text{C} \sim 70^{\circ}\text{C}$ の温度範囲で性能仕様に適合することが保証されている。また $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の温度範囲で性能仕様に適合するように設計され、特性が評価されており、性能仕様に適合すると予想されるが、これらの温度ではテストされないし、QAのサンプリングも行われぬ。LT1469Iは、 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の温度範囲で性能仕様に適合することが保証されている。

Note 6: スルーレートは、 $\pm 15\text{V}$ 電源では $\pm 12\text{V}$ 振幅の出力において $\pm 8\text{V}$ の範囲で測定され、 $\pm 5\text{V}$ 電源では $\pm 3\text{V}$ 振幅の出力において $\pm 2\text{V}$ の範囲で測定される。

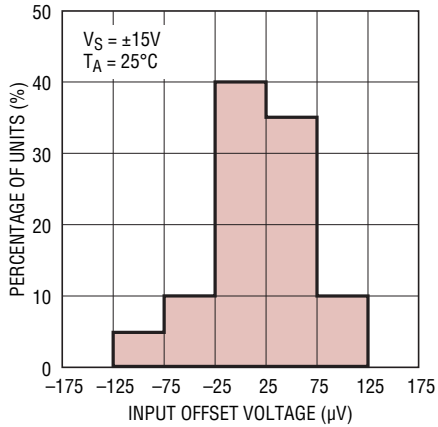
Note 7: フルパワー帯域幅はスルーレート測定から計算される。FPBW = SR/2 π Vp。

Note 8: このパラメータに対しては全数テストは実施されない。

Note 9: ΔCMRR および ΔPSRR は次のように定義されている。1) 各アンプにおいて、CMRRおよびPSRRを $\mu\text{V/V}$ で測定する。2) 差分を $\mu\text{V/V}$ で計算する。3) 結果をdBに換算する。

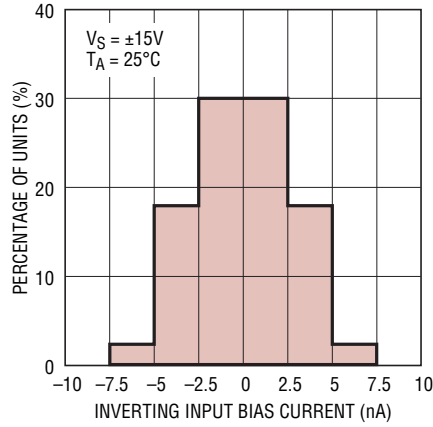
標準的性能特性

入力オフセット電圧の分布



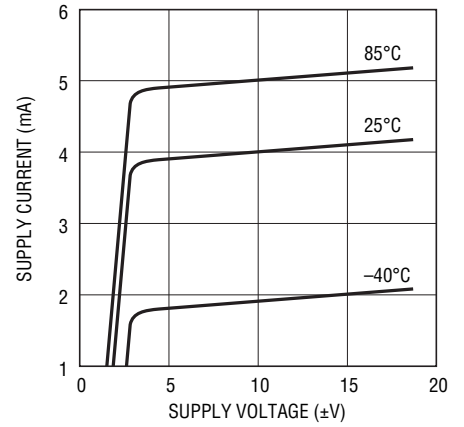
1469 G01

反転入力バイアス電流の分布



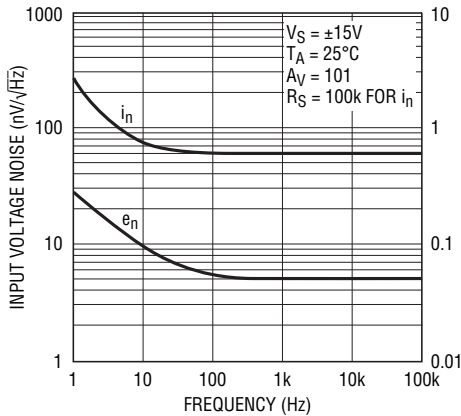
1469 G02

消費電流と電源電圧および温度



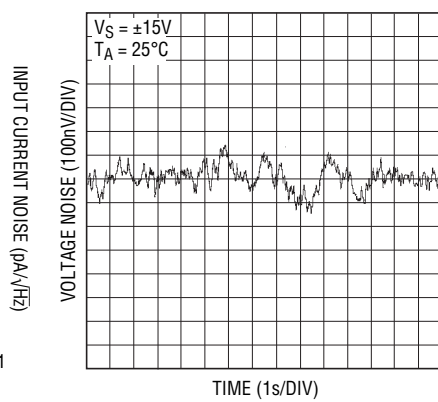
1469 G03

入力ノイズのスペクトル密度



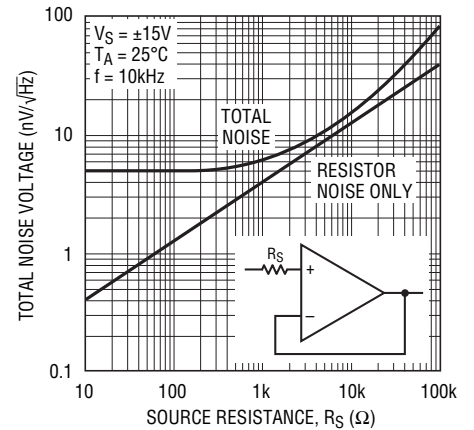
1469 G04

0.1Hz~10Hz 電圧ノイズ



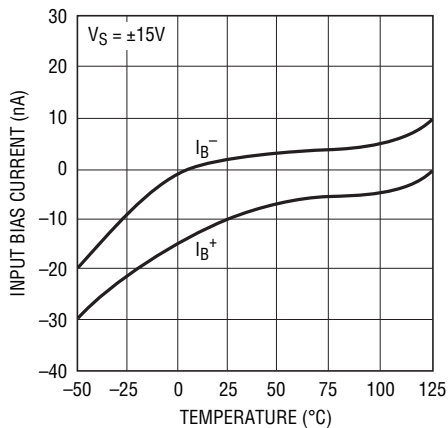
1469 G05

全ノイズと不整合ソース抵抗



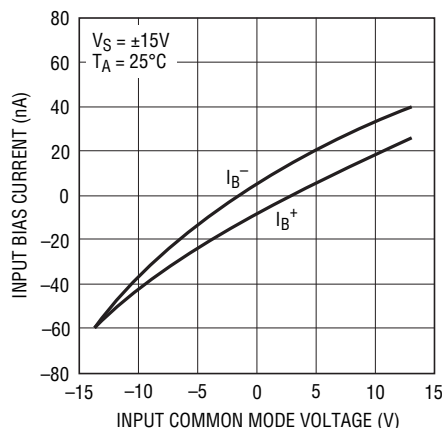
1469 G06

入力バイアス電流と温度



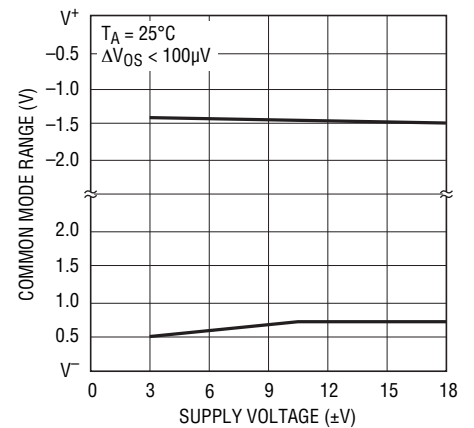
1469 G07

入力バイアス電流と入力同相電圧



1469 G08

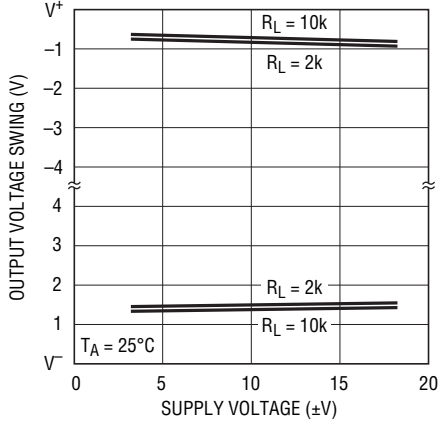
入力同相範囲と電源電圧



1469 G09

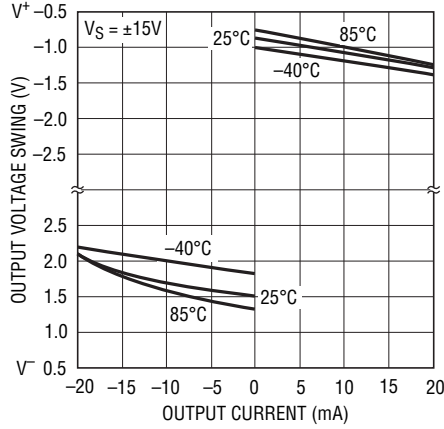
標準的性能特性

出力電圧振幅と電源電圧



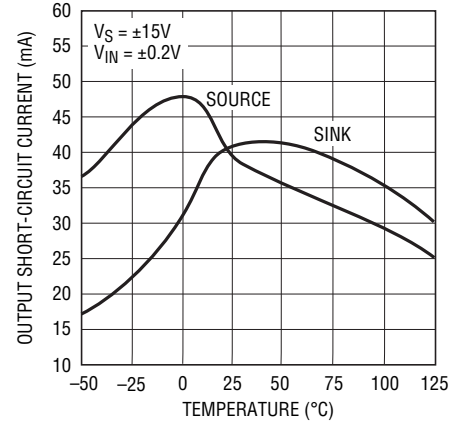
1469 G10

出力電圧振幅と負荷電流



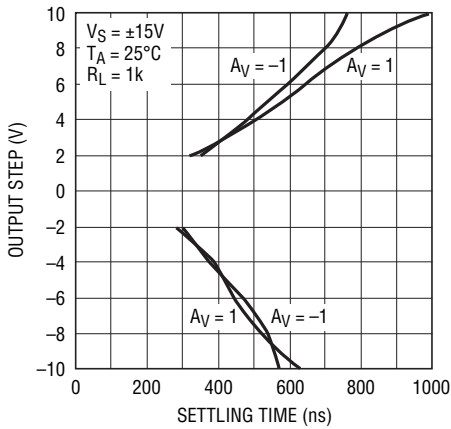
1469 G11

出力短絡電流と温度



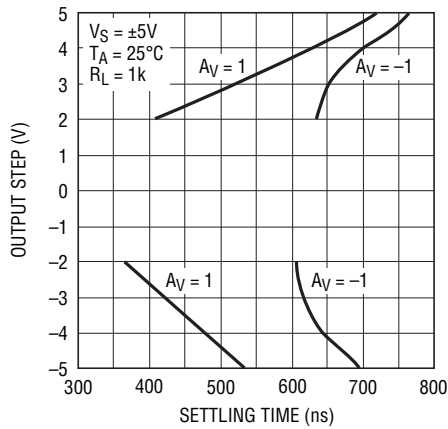
1469 G12

0.01%へのセトリング時間と出力ステップ、 $V_S = \pm 15V$



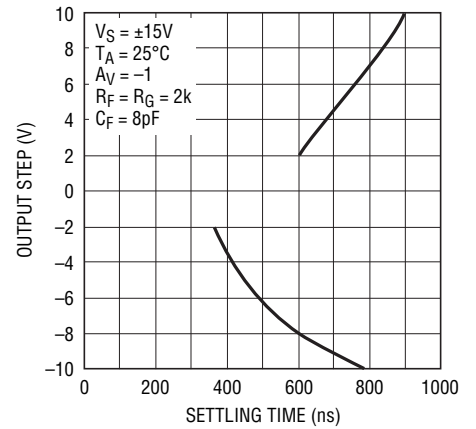
1469 G13

0.01%へのセトリング時間と出力ステップ、 $V_S = \pm 5V$



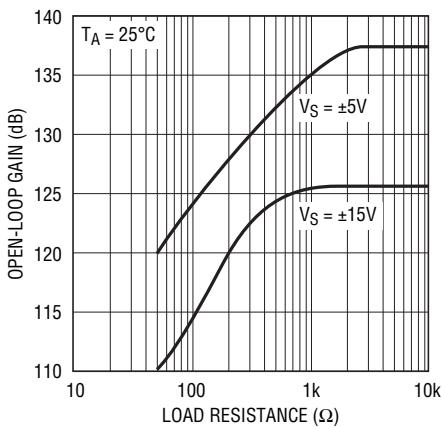
1469 G14

150µVへのセトリング時間と出力ステップ



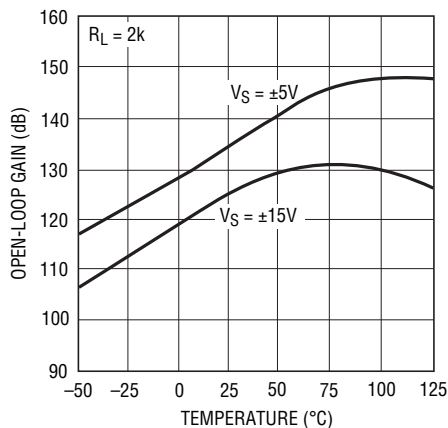
1469 G15

開ループ利得と抵抗性負荷



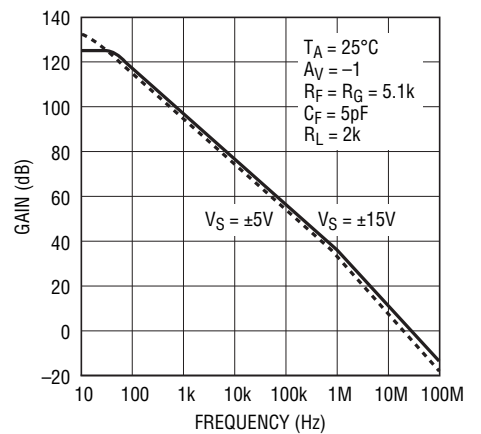
1469 G16

開ループ利得と温度



1469 G17

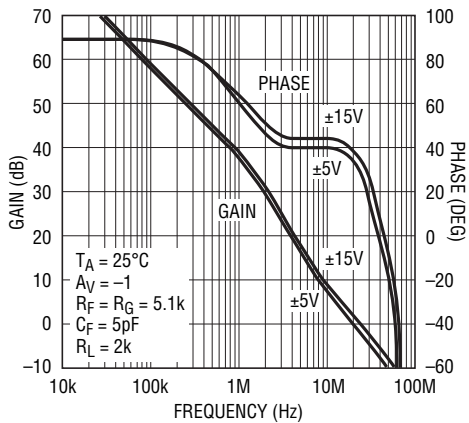
開ループ利得と周波数



1469 G18

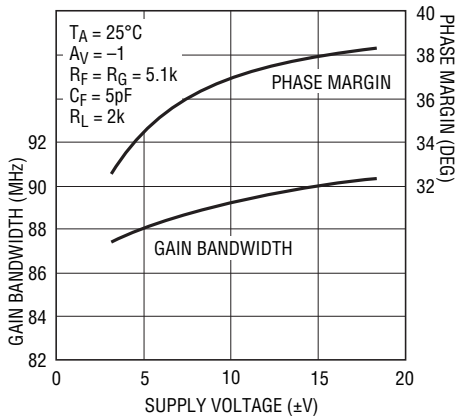
標準的性能特性

開ループ利得および位相と周波数



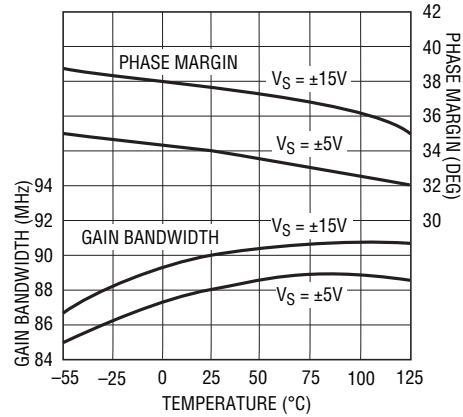
1469 G19

利得帯域幅および位相マージンと電源電圧



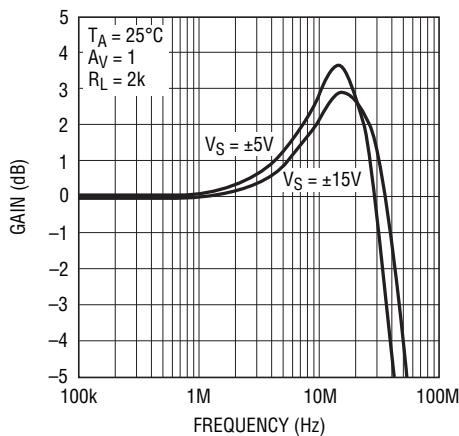
1469 G20

利得帯域幅および位相マージンと温度



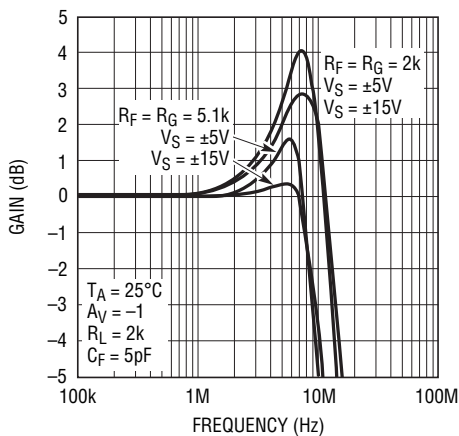
1469 G21

利得と周波数、AV = 1



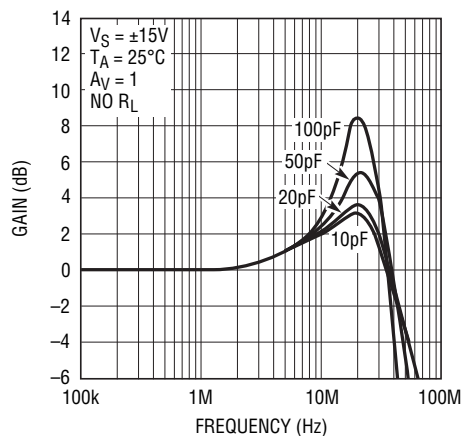
1469 G22

利得と周波数、AV = -1



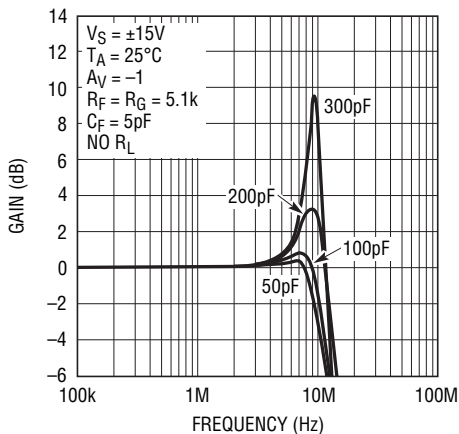
1469 G23

利得と周波数、AV = 1



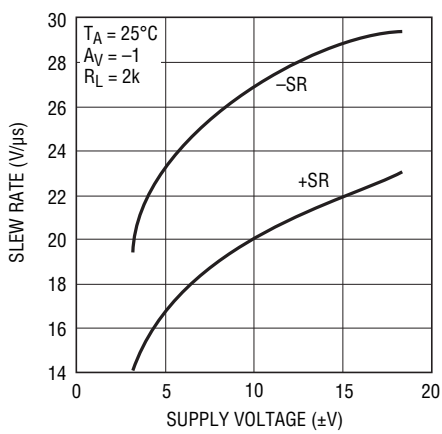
1469 G24

利得と周波数、AV = -1



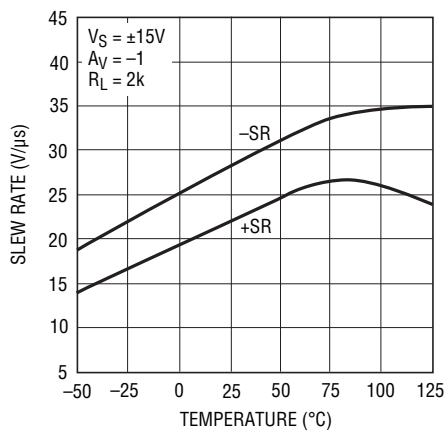
1469 G25

スルーレートと電源電圧



1469 G26

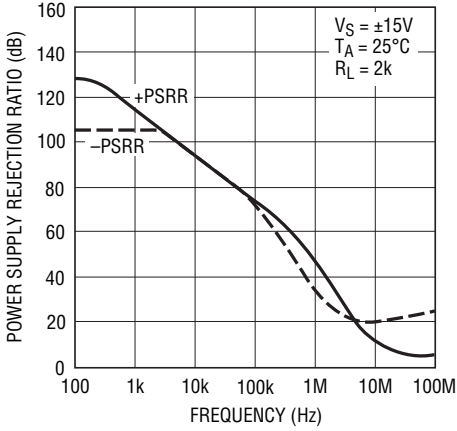
スルーレートと温度



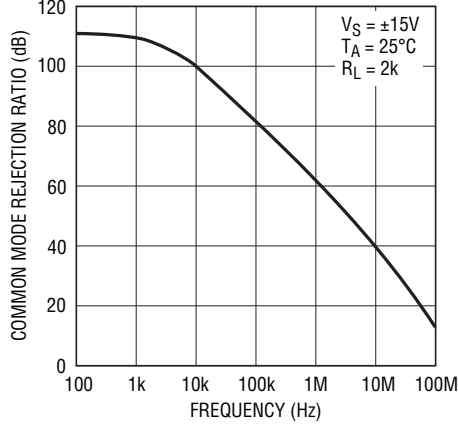
1469 G27

標準的性能特性

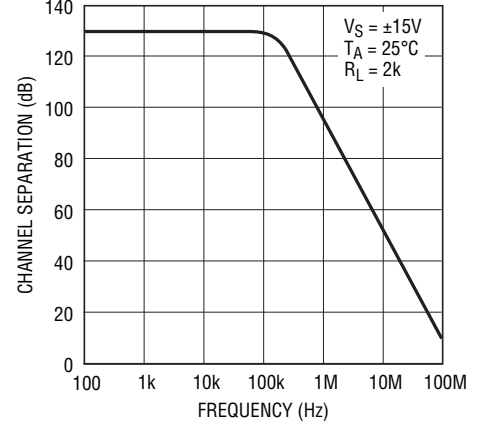
電源除去比と周波数



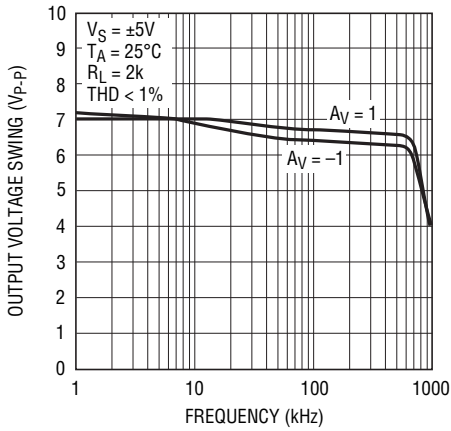
同相除去比と周波数



チャンネル分離と周波数

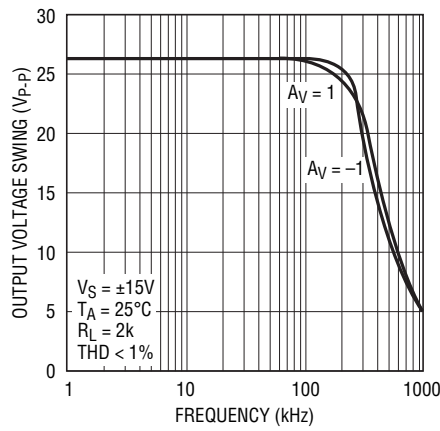


無歪み出力振幅
と周波数、 $V_S = \pm 5V$



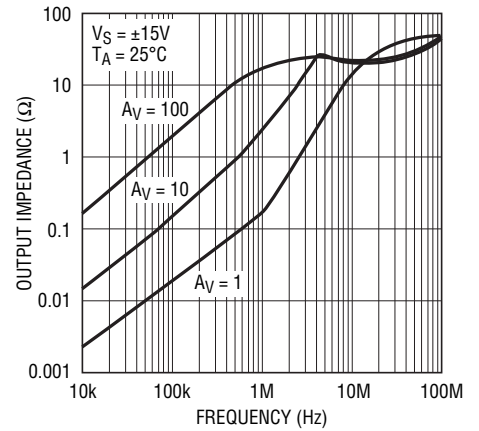
1469 G31

無歪み出力振幅
と周波数、 $V_S = \pm 15V$



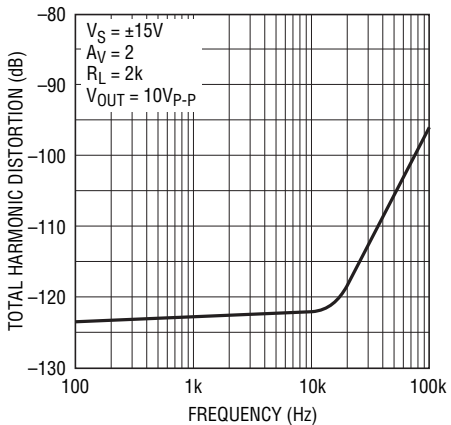
1469 G32

出力インピーダンスと周波数



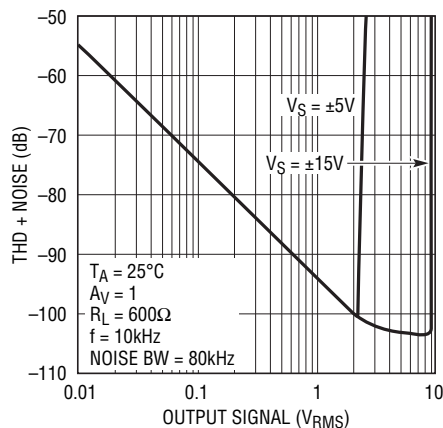
1469 G33

全高調波歪みと周波数



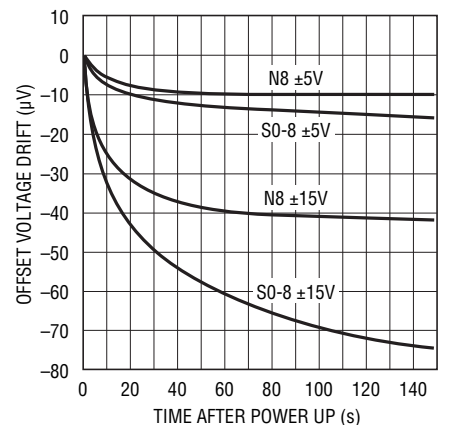
1469 G34

全高調波歪み+ノイズと振幅



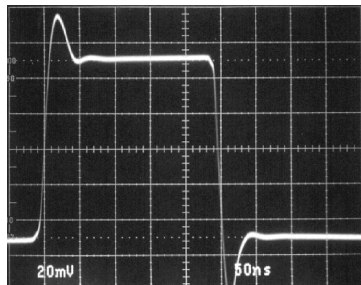
1469 G35

ウォームアップ・ドリフトと時間

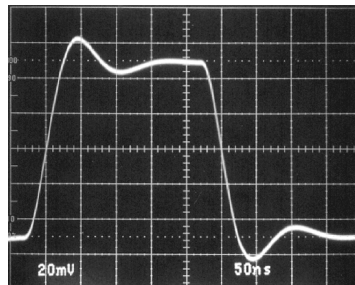


1469 G36

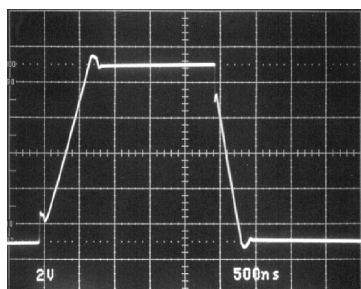
標準的性能特性

小信号過渡、 $A_V = 1$  $V_S = \pm 15V$

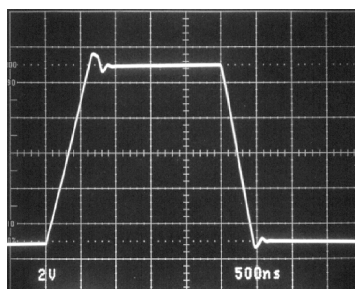
1469 G37

小信号過渡、 $A_V = -1$  $V_S = \pm 15V$

1469 G38

大信号過渡、 $A_V = 1$  $V_S = \pm 15V$

1469 G39

大信号過渡、 $A_V = -1$  $V_S = \pm 15V$

1469 G40

アプリケーション情報

レイアウトと受動部品

LT1469のDC特性とAC特性を最大限に高めるには、ボード・レイアウトの細部に注意する必要があります。最高のAC特性(たとえば、高速セトリング時間)を得るには、グラウンド・プレーン、短いリード長、低ESRバイパス・コンデンサ(1 μ F~10 μ Fタンタル)と並列にRF品質のバイパス・コンデンサ(0.01 μ F~0.1 μ F)を使用してください。最良のDC特性を得るには、星状接地法を使用し、入力トレース長を等しくし、リークを最小に抑えてください(たとえば、1.5G Ω の入力と15Vの電源の間のリークは、最大 I_B -仕様に等しい10nAになります)。

入力回路を入力に近い電位で動作している保護リングで囲むことにより、基板のリーク電流を最小限に抑えることができます。反転構成の場合はリングをグラウンドに接続し、非反転接続ではリングを反転入力に接続します(入力容量が増加し、後述する補償コンデンサが必要になる場合があることに注意してください)。

また外部回路ではマイクロボルト・レベルの誤差電圧が生じる可能性があります。入力に接触している異種金属間の温度勾配に起因する熱電対効果により、アンプ固有のドリフトが大きくなる可能性があります。デバイスのピン周辺の気流を最小限に抑え、パッケージ・ピンもできるだけ短くします。また、2つの

アプリケーション情報

入力リードはできるだけ近づけて同じ温度に維持する必要があります。

反転入力に並列に接続した帰還抵抗と利得設定抵抗は入力容量と結合してポールを形成し、ピーキングや発振を引き起こすことがあります。帰還抵抗が2kより大きい場合は、 $C_F > R_G \cdot C_{IN}/R_F$ の値の帰還コンデンサを用いて、入力のポールをキャンセルし、最適なダイナミック特性が得られるようにする必要があります。DCノイズの利得が1で、大きな帰還抵抗を使用したアプリケーションでは、 C_F を C_{IN} 以上の値にします。1例として、このデータシートの最初のページに示すDAC用電流-電圧コンバータで、DACに数十pFもの出力容量を持たせることができます。もうひとつの例は、抵抗が5kで利得が-1ですが、帰還抵抗の両端に5pF～10pFのコンデンサを接続します。

入力に関する検討事項

LT1469の各入力は、100Ωの直列抵抗と入力デバイスのベース間のバック・トゥー・バック・ダイオードで保護されています。大きな入力電圧差が予想されるときは、外付け直列抵抗で入力電流を10mA未満に制限する必要があります。各入力には、2個のESDクランプ・ダイオード(各電源に1個ずつ)も備わっています。電源より高い電圧に入力をドライブする場合は、外付け抵抗によって電流を10mA未満に制限します。

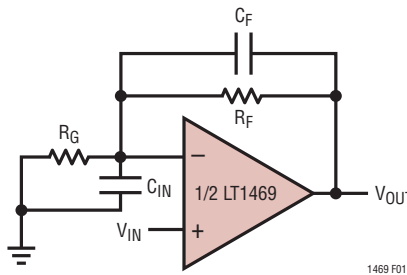


図1. 入力容量のゼロ調整

LT1469は入力バイアス電流のキャンセルを行っています。反転入力電流はゼロ同相電圧で調整され、電流-電圧コンバータなどの反転アプリケーションでの誤差が最小限に抑えられます。非反転入力電流は調整されず、偏差がより大きくなるので、最大値はより大きくなります。入力オフセット電流がいずれの入力電流よりも大きくなる可能性があるため、バランス用のソース抵抗の使用は推奨できません。実際にDC精度が低下するだけでなく、ノイズも増加します。

入力バイアス電流は同相電圧に応じて変化します。セトリング時間が悪影響を受けることになるので、キャンセル回路はこの同相電圧に追従するように設計されていません。

LT1469の入力は、位相反転を生じることなく負電源および正電源より0.5V以内の値までドライブすることができます。入力電圧が正電源より0.5V大きくなると、出力の位相が逆転します。

全入力ノイズ

LT1469の全入力ノイズは1k～20kの範囲のソース抵抗に最適化されています。この範囲内では、全入力ノイズはソース抵抗自体のノイズによって支配されます。ソース抵抗が1k未満のときにアンプの電圧ノイズが支配的になります。ソース抵抗が20kを超えると入力ノイズ電流が支配的になります。

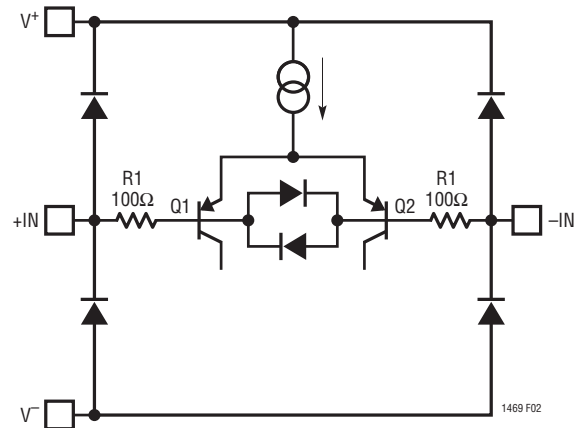


図2. 入力段保護

アプリケーション情報

容量性負荷

LT1469は、ユニティゲインで100pFまでの容量性負荷をドライブし、-1の利得で300pFまでの容量性負荷をドライブします。これより大きな容量性負荷をドライブする必要がある場合は、小さな抵抗を出力と負荷の間に挿入します。さらに、図3に示されているように、出力と反転入力との間にコンデンサを追加します。

セトリング時間

LT1469は、卓越したセトリング性能を実現する最適な熱レイアウト設計を使用したシングル・ステージのアンプです。セトリング測定は12ビット・レベルでも非常に難しいため、16ビット・レベルでの測定にはかなりの技量と専門知識が必要です。幸い、リニアテクノロジーには、セトリング測定に関する優れた参考文献である「アプリケーションノート47」と「アプリケーションノート74」があります。「アプリケーションノート47」の付録Bは

12ビットのセトリング測定に不可欠な入門書です。また、「アプリケーションノート74」では主に16ビット電流出力DACの入力のセトリング時間を取り上げて、この先進技術をさらに前進させています。

最初のページのDACの電流-電圧コンバータのセトリングは、「アプリケーション・ノート74」で述べた手法をそのまま使用して測定したものです。DAC出力容量を適切にゼロ調整するには、12kの帰還抵抗の両端に15pFのコンデンサを接続する必要があります。16ビットのセトリングの理論上の限界値は、このRC時定数の11.1倍つまり2μsです。実際のセトリング時間はLT1469の出力で2.4μsです。

RC出力ノイズ・フィルタによってセトリング時間にわずかな遅延が生じますが、ノイズ帯域幅が1.6MHzにまで狭められるので16ビット精度の出力分解能が向上します。

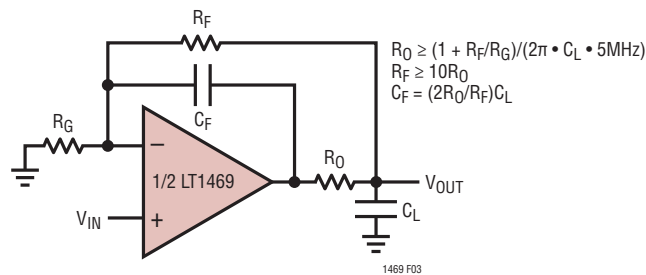
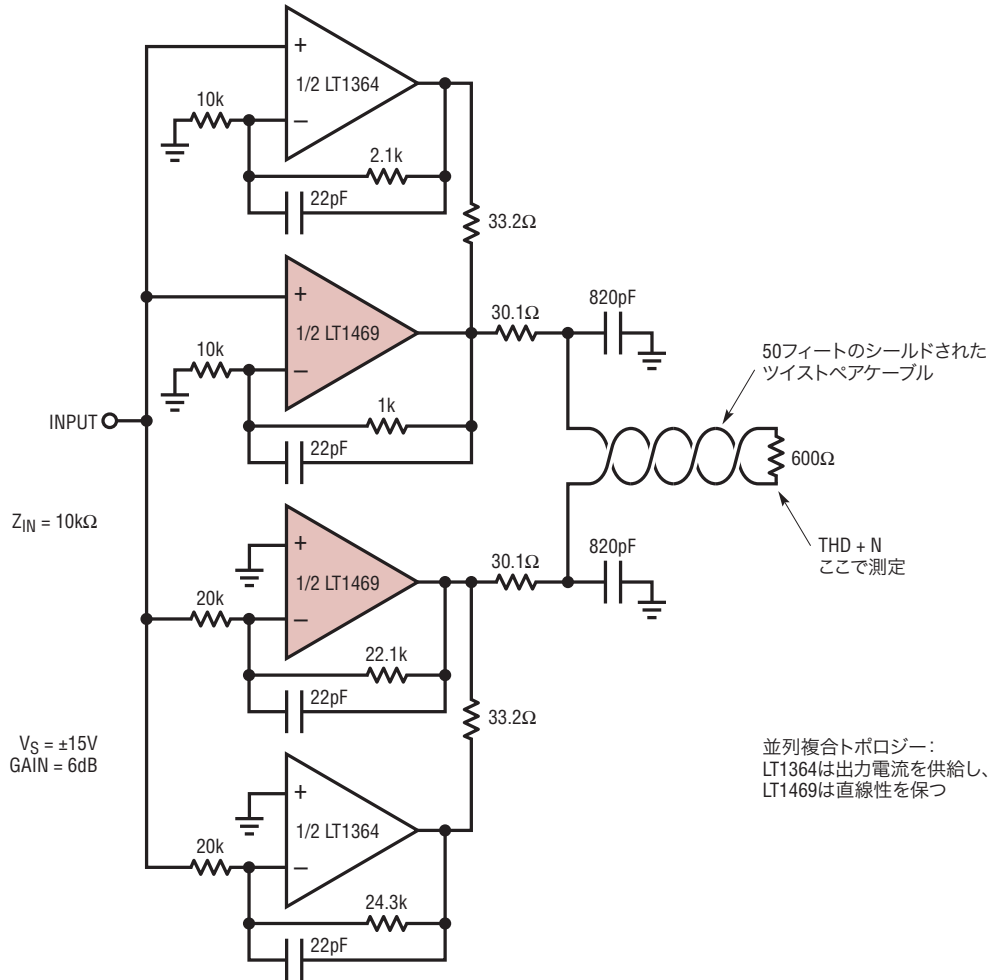


図3. 容量性負荷のドライブ

標準的応用例

超低歪み平衡オーディオ・ライン・ドライバ



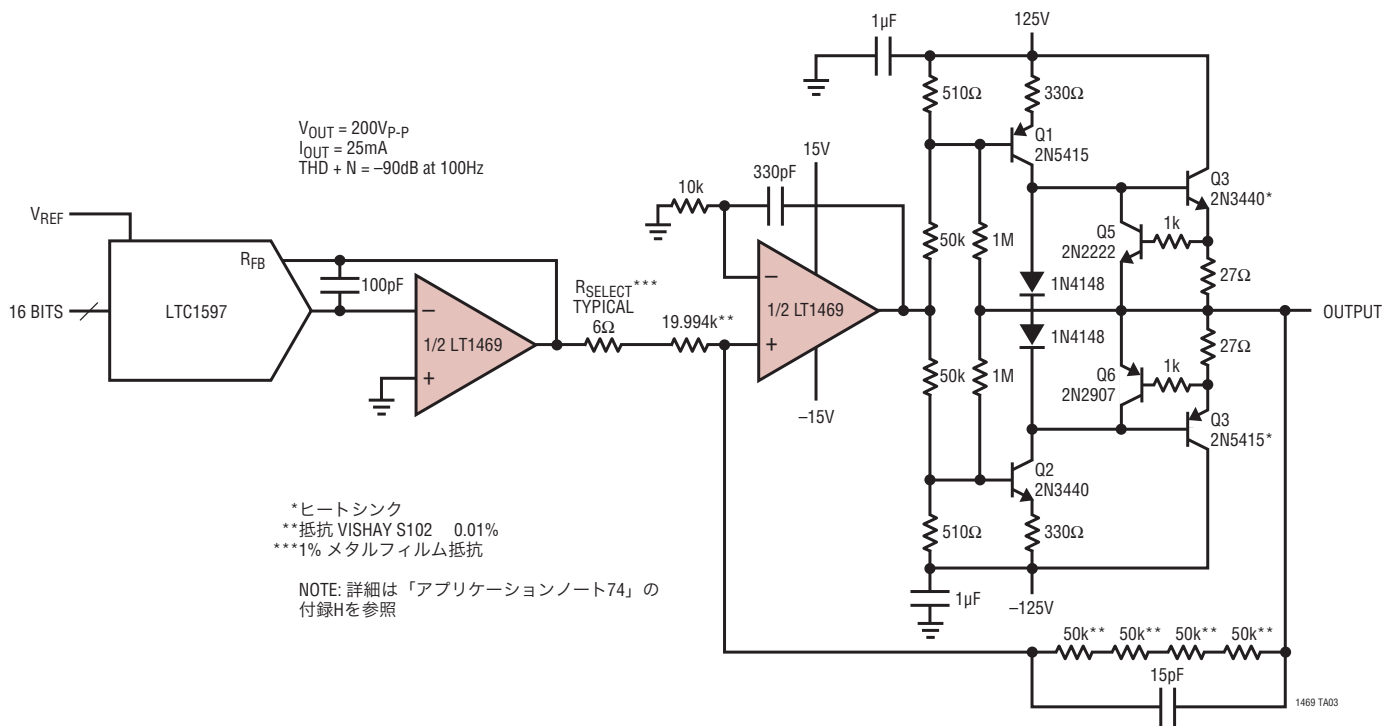
全高調波歪み+ノイズ	V _{OUT}	周波数	測定帯域幅
0.00025%	10V _{RMS}	1kHz	22kHz
0.0008%	10V _{RMS}	20Hz TO 20kHz	80kHz
0.0006%	26dBu	1kHz	22kHz

*1dBu = 600Ωに1ミリワット

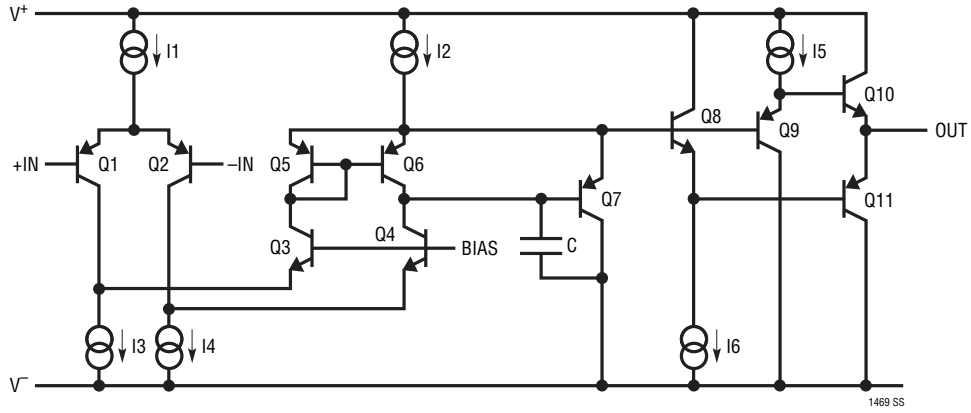
1469 TA02

標準的応用例

16ビット DAC の性能を 200V 出力振幅まで拡張

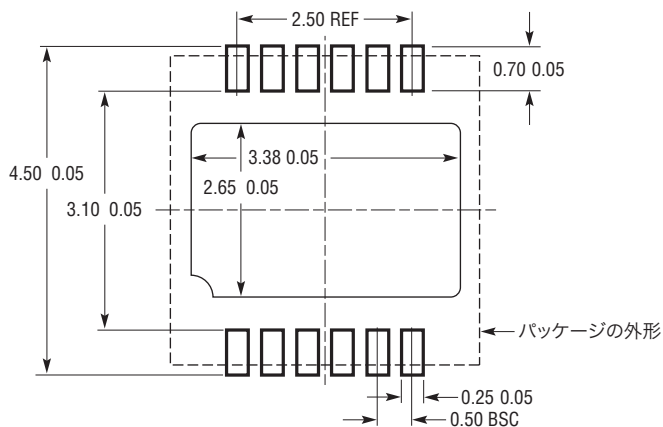


簡略回路図

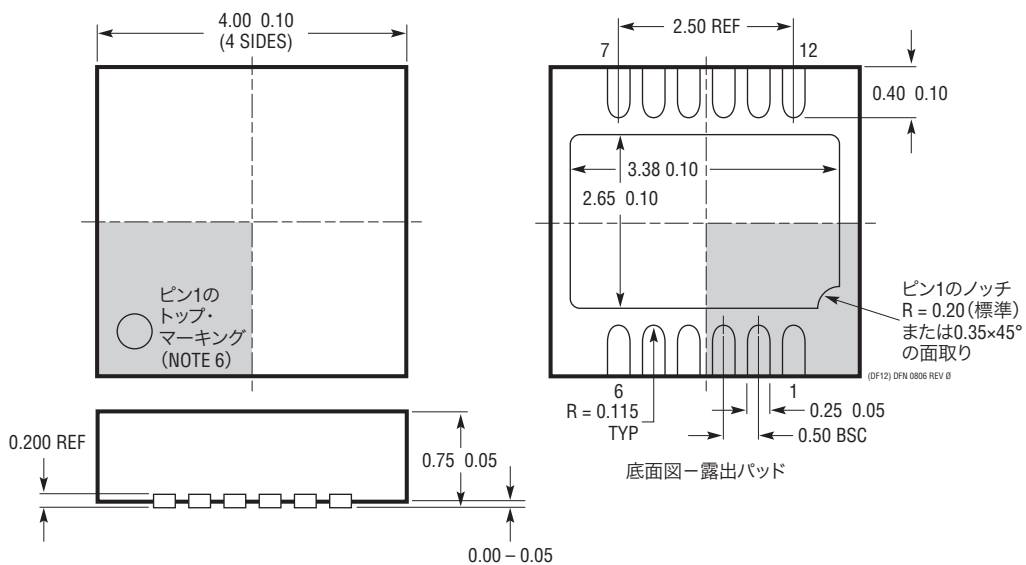


パッケージ

DFパッケージ
 12ピン・プラスチックDFN (4mm×4mm)
 (Reference LTC DWG # 05-08-1733 Rev 0)



推奨する半田パッドのピッチと寸法
 半田付けされない領域には半田マスクを使用する

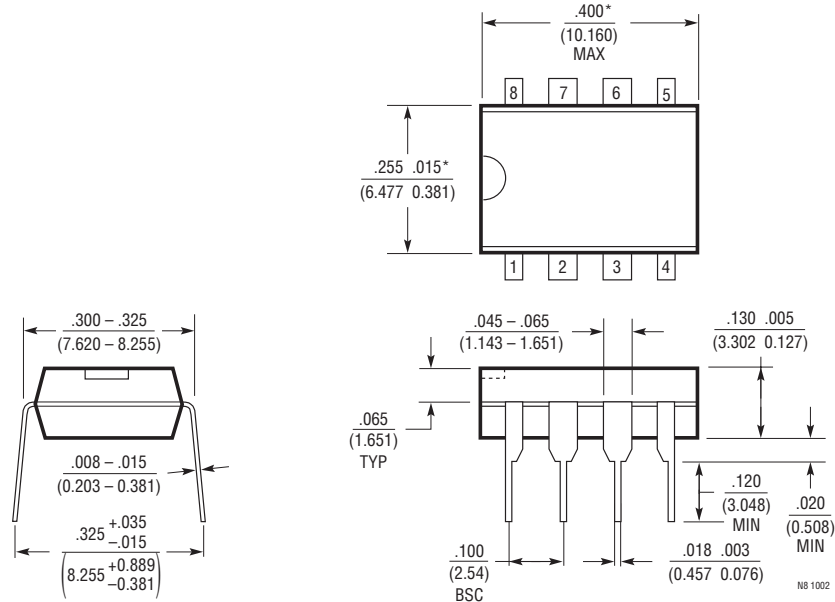


NOTE:

1. 図はJEDECのパッケージ外形MO-220のバリエーション(WGGD-X)に含めるよう提案されている(承認待ち)
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

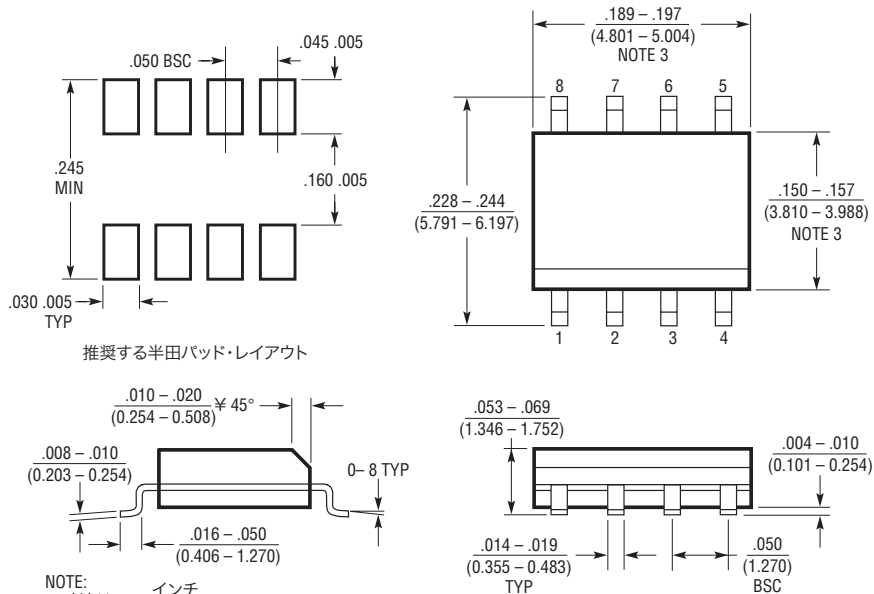
パッケージ

N8パッケージ
8ピンPDIP (細型0.300)
 (Reference LTC DWG # 05-08-1510)



NOTE:
 1. 寸法は $\frac{\text{インチ}}{\text{ミリメートル}}$
 *これらの寸法にはモールドのバリまたは突出部を含まない
 モールドのバリまたは突出部は0.10インチ(0.254mm)を超えないこと

S8パッケージ
8ピン・プラスチック・スモール・アウトライン (細型0.150)
 (Reference LTC DWG # 05-08-1610)



NOTE:
 1. 寸法は $\frac{\text{インチ}}{\text{ミリメートル}}$
 2. 図は実寸とは異なる
 3. これらの寸法にはモールドのバリまたは突出部を含まない
 モールドのバリまたは突出部は0.006インチ(0.15mm)を超えないこと

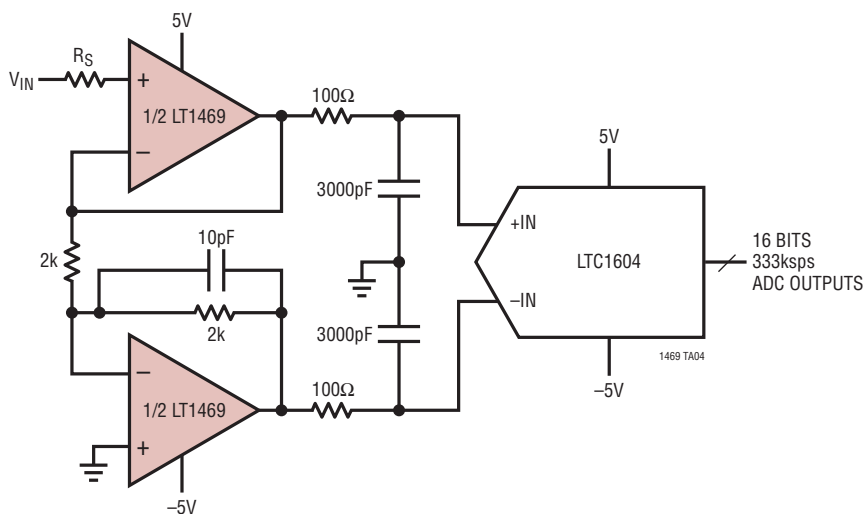
508 0303

改訂履歴 (改訂履歴は Rev B から開始)

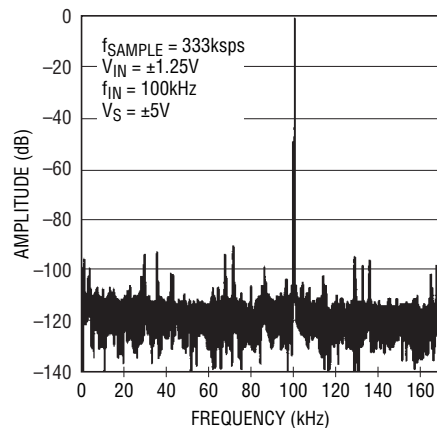
REV	日付	説明	ページ番号
B	1/11	電气的特性に対する変更	3、5、6

標準的応用例

16ビット精度のシングルエンドから差動へのADCバッファ



ADC出力の4096ポイントFFT



1469 TA04a

関連製品

製品番号	説明	注釈
LT1167	高精度計装アンプ	1本の抵抗による利得設定、利得誤差0.04%(最大)、非直線性10ppm(最大)
LT1468	シングル90MHz、22V/μs、16ビット高精度オペアンプ	V _{OS} :最大75μV、LT1469のシングル・バージョン
LT1468-2	シングル200MHz、30V/μs、16ビット精度、A _v ≥ 2 オペアンプ	V _{OS} :最大75μV
LT1469-2	デュアル200MHz、30V/μs、16ビット精度、A _v ≥ 2オペアンプ	V _{OS} :最大75μV
LTC1595/ LTC1596	16ビット、シリアル乗算型I _{OUT} DAC	INL/DNL:最大±1LSB、低グリッチ、DAC8043の16ビット・アップグレード
LTC1597	16ビット、パラレル乗算型I _{OUT} DAC	INL/DNL:最大±1LSB、低グリッチ、バイポーラ抵抗を内蔵
LTC1604	16ビット、333kspsサンプリングADC	±2.5V入力、SINAD = 90dB、THD = -100dB
LTC1605	シングル5V、16ビット、100kspsサンプリングADC	低消費電力、±10V入力、パラレル/バイト・インタフェース
LT1723	デュアル、200MHz、70V/μs低ノイズ高精度オペアンプ	V _S ≤ ±5V、e _n = 3.8nV/√Hz、1MHzで-85dBc
LT1801	デュアル、80MHz、25V/μs低消費電力、レール・トゥ・レール高精度オペアンプ	V _S ≤ ±5V、I _{CC} = 1.6mA、V _{OS} ≤ 350μV
LT6221	デュアル、60MHz、20V/μs低消費電力、レール・トゥ・レール高精度オペアンプ	V _S ≤ ±5V、I _{CC} = 0.9mA、V _{OS} ≤ 350μV
LTC6244HV	デュアル、50MHz、低ノイズ、高精度CMOSオペアンプ	V _S ≤ ±5V、V _{OS} ≤ 100μV、I _B ≤ 75pA