

# TB67S103AFTG評価基板説明書

2015年11月27日

Re v.1.0

## 【概要】

TB67S103Aは、PWMチョッパ型2相バイポーラ駆動、3線シリアルインターフェース方式とCLK-IN制御方式を併用したステッピングモータドライバです。3線シリアルインターフェースではTB67S103Aの動作設定を、CLK-IN制御でモータの回転制御を行います。また、ID機能を持っており、ID設定を行うことで、同一シリアルバスにて最大4個のTB67S103Aへ個別動作設定を行うことが可能です。

BiCDプロセスを採用し、出力耐圧50V、最大定格電流4.0Aを実現しています。本評価ボードではIC評価をするための部品を実装しており、PWM定電流駆動にて、2相、1-2相、W1-2相、2W1-2相、4W1-2相、8W1-2相の各励磁駆動をすぐ試すことができます。ステッピングモータの低騒音＋低振動を是非、体感してみてください。

## 【注】

使用に当たっては熱的条件に十分注意してください。

また、各制御信号について、下記URLのICの仕様書をご参考になしてください。

<http://toshiba.semicon-storage.com/info/lookup.jsp?lang=ja&pid=TB67S103AFTG>

なお、この評価ボードの用途はモーター制御の評価・学習用に限りません。市場に対しての出荷はなさないようお願い申し上げます

販売元



<http://www.marutsu.co.jp/>

マルツエレクトリック株式会社

〒101-0021 東京都千代田区外神田5-2-2

セイキ第一ビル7F

Tel:(03)6803-0209 FAX:(03)6806-0213

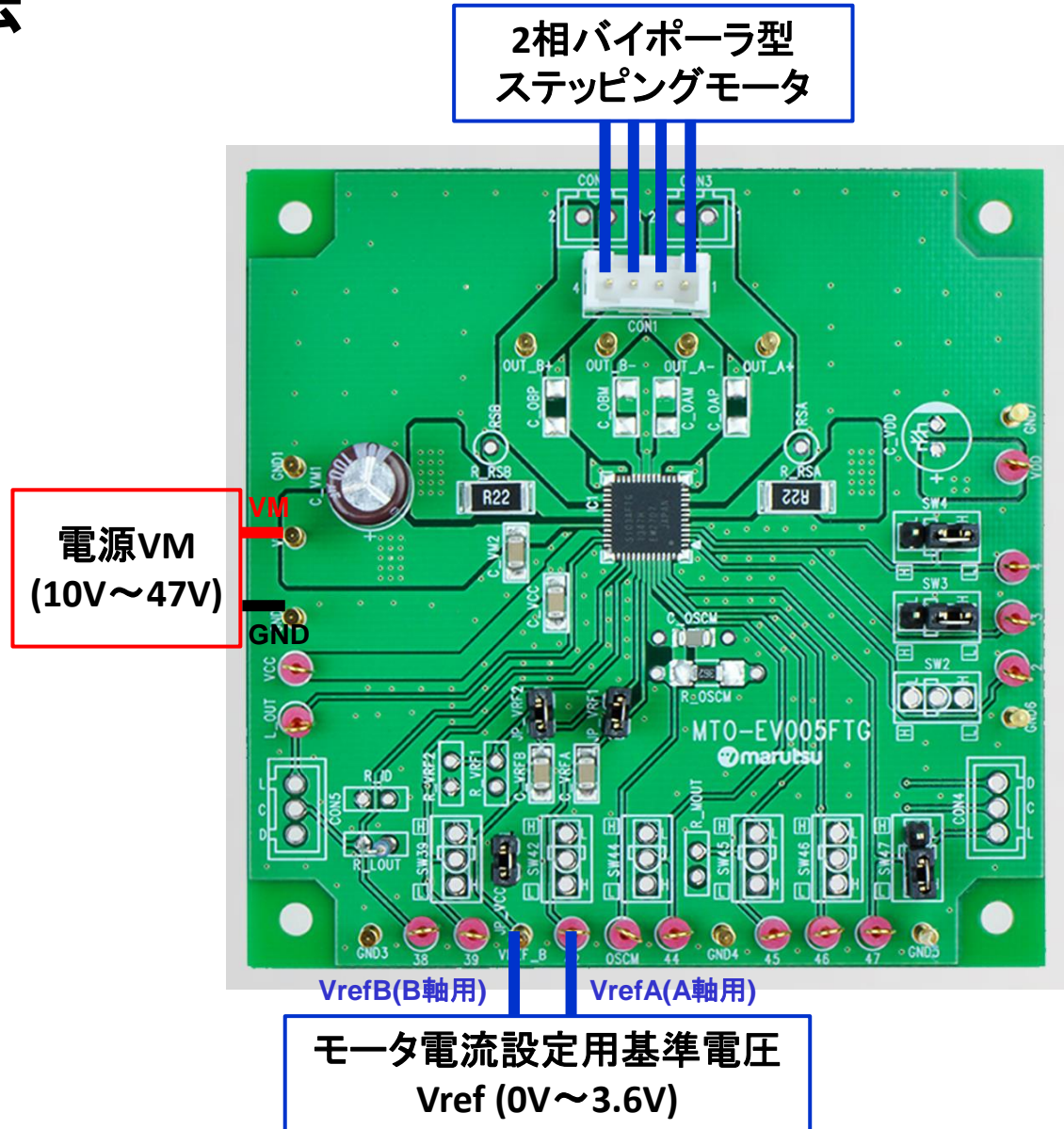
仙台上杉店・秋葉原本店・秋葉原2号店・静岡八幡店・浜松高林店・名古屋小田井店  
金沢西インター店・福井二の宮店・福井敦賀店・京都寺町店・大阪日本橋店・博多呉服町店

# 評価基板の接続方法

## シルク名称—信号名称対応表

シリーズ製品と共有基板となっている為、基板上のシルク名称と信号名が異なります。ご注意ください。

シルク名称	信号名
L_OUT	NC
38	LO
39	ID
VREFB	VREFB
42	VREFA
OSCM	OSCM
44	SCLK
45	SO
46	SDATA
47	SSET
2	CLK
3	ENABLE
4	RESET



# 評価基板の設定1

## モータ電流の設定

### 設定モータ電流値

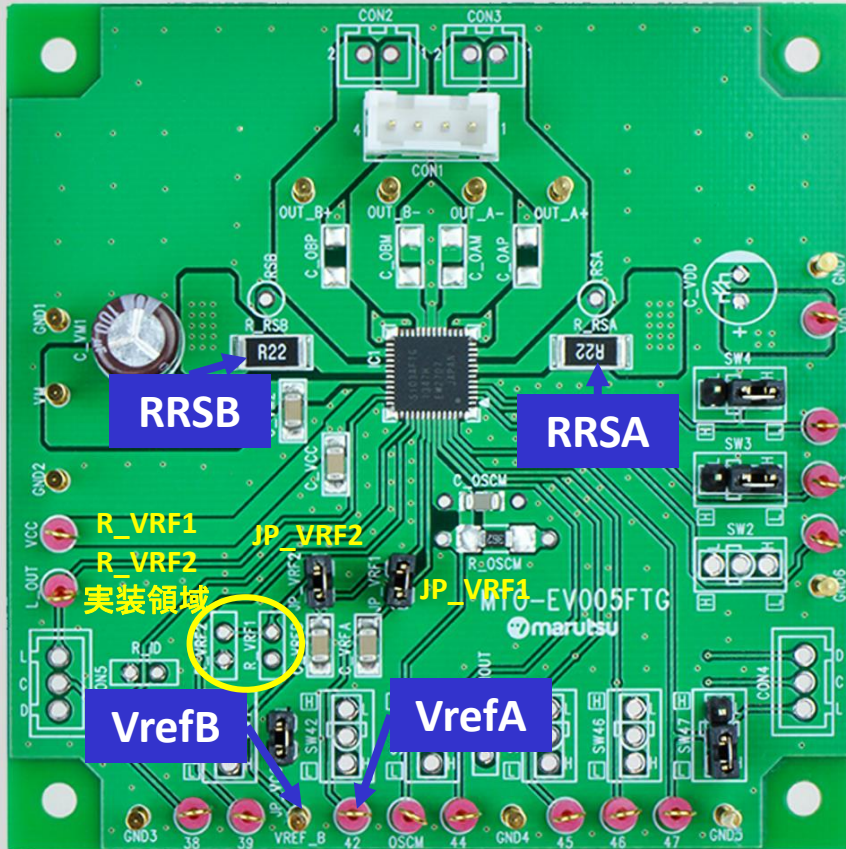
$$I_{out(max)} = VREF(gain) \times \frac{Vref(V)}{RRS(\Omega)}$$

VREF(gain):VREF減衰比は 1 / 5.0 (typ.)です。

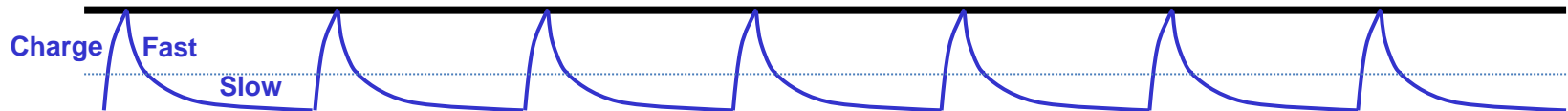
本基板は、RRS=0.22Ωの設定となっております。

ジャンパーJP\_VRF1をショートする事により、A軸とB軸のVREFを共通化し、共にVREFAピンより入力可能になります。

また、R\_VRF1とR\_VRF2に分圧用の抵抗を実装し、JP\_VRF2をショートする事により、内蔵レギュレータのVCC電圧から、Vref電圧を生成することが可能です。



### モータ電流波形

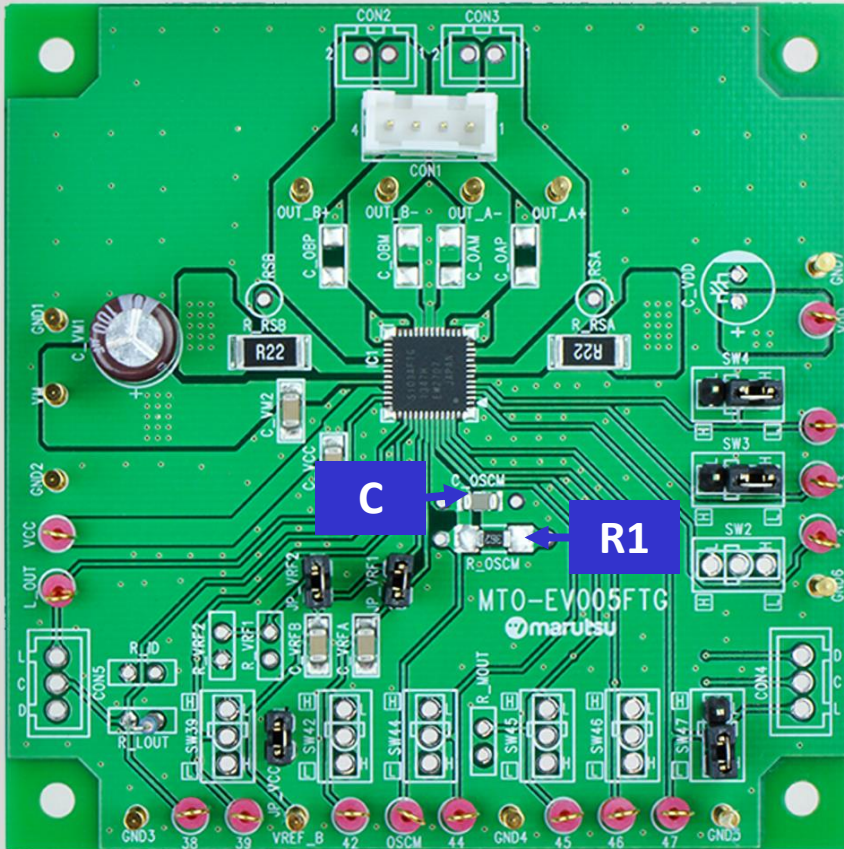


### 設定モータ電流値



# 評価基板の設定2

## モータ定電流チョッピング周波数の設定



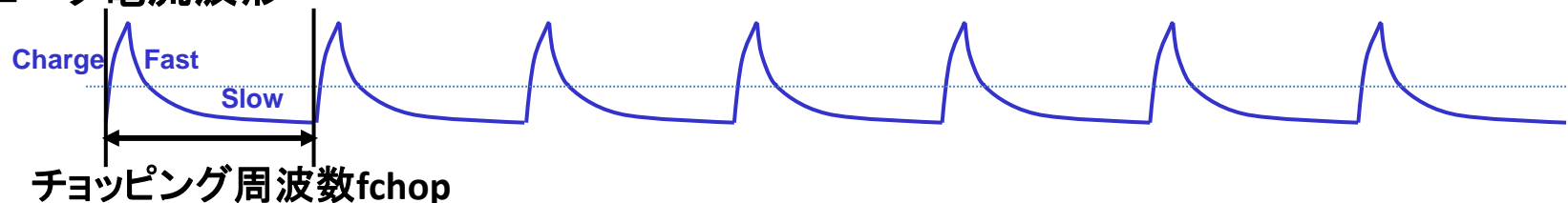
### チョッピング周波数設定式

$$f_{OSCM} = 1 / [0.56 \times \{C \times (R1 + 500)\}]$$

$$f_{chop} = f_{OSCM} / 16$$

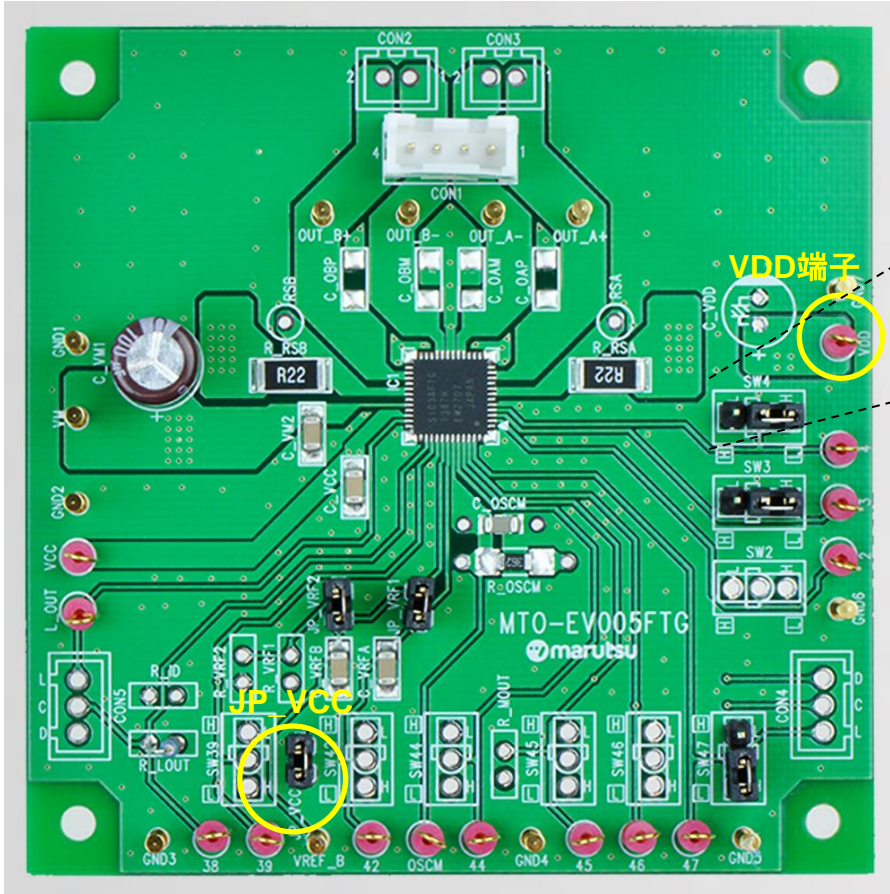
$f_{chop}$ =40kHzから150kHzを推奨します。  
本基板は、100kHz設定となっており、  
C=270pF、R1=3.6kΩの部品が実装されております。

### モータ電流波形

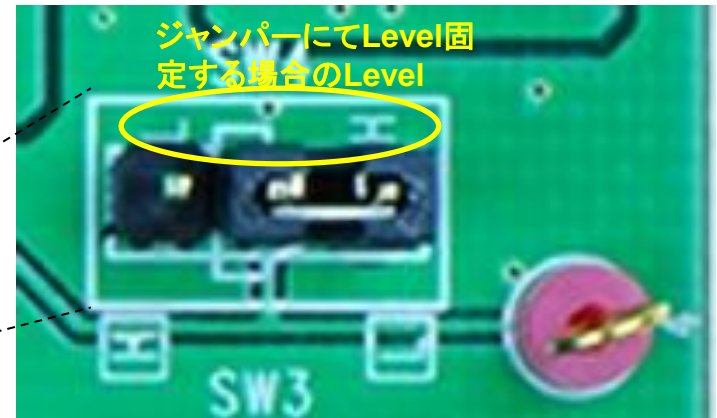


# 評価基板の設定3

## モータの動作設定



### 【ジャンパー一部拡大】



本評価基板には、TB67S103AFTGの動作設定を行うための、上図の様なジャンパーを設けております。

ジャンパーにて機能を選択する場合は、JP\_VCCをショートしていただくか、VDD端子からHigh Levelの供給を行ってください。

ジャンパーに近い、白枠内のシルクが固定されるLevelを示しています。使用する機能設定に従い、ショートさせる位置を変更して下さい。

また、外部から信号を入力される場合は、ショートピンを外してご使用ください。

# 評価基板回路図

