

特長

シングル16ビットDAC、4LSB INL
 ミッドスケールまたはゼロスケールへのパワーオン・リセット
 設計により単調増加性を保証
 3種のパワーダウン機能
 シュミット・トリガ内蔵の低消費シリアル・インターフェース
 小型、8ピンSOT-23パッケージ、低消費電力
 高速セトリング時間：4 μ s (typ値)
 電源電圧：2.7~5.5V
 パワーアップ時に低グリッチ
 SYNC 割込み機能

アプリケーション

プロセス制御
 データ・アキュイジション・システム
 バッテリ駆動の携帯型計測器
 ゲインとオフセットのデジタル調整
 プログラマブル電圧源および電流源
 プログラマブル減衰器

概要

nanoDACファミリーのAD5061は、低消費電力、16ビット・バッファ付きの電圧出力シングルD/Aコンバータ(DAC)で、2.7~5.5Vの単電源で動作します。相対精度は ± 4 LSBで、 ± 1 LSBのDNL仕様により単調増加性が保証されています。AD5061は最高30MHzのクロック・レートで動作する汎用3線式シリアル・インターフェースを使用し、SPI®、QSPI™、MICROWIRE™、DSPの各インターフェース規格と互換性があります。AD5061のリファレンスは、外部V_{REF}ピンから供給されます。リファレンス・バッファも内蔵しています。パワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力がミッドスケールまたはゼロスケールにリセットされ、デバイスに有効な書き込みが行われるまでこの電圧を維持します。また、パワーダウン機能を内蔵しているため、デバイスの消費電流を5V動作時に330nA (typ値)に低減でき、パワーダウン・モードでの出力負荷をソフトウェアで選択できます。デバイスは、シリアル・インターフェースを介してパワーダウン・モードに移行します。デバイスの総合未調整誤差(TUE)は3mV未満です。このデバイスはパワーアップ時のグリッチが非常に低くなっています。

機能ブロック図

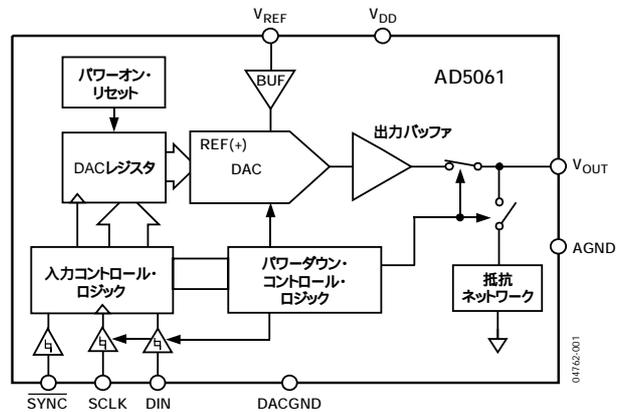


図1

表1. 関連デバイス

部品番号	説明
AD5062	2.7~5.5V、16ビットnanoDAC D/A、1LSB INL、SOT-23
AD5063	2.7~5.5V、16ビットnanoDAC D/A、1LSB INL、MSOP
AD5040/AD5060	2.7~5.5V、14/16ビットnanoDAC D/A、1LSB INL、SOT-23

製品のハイライト

1. 小型の8ピンSOT-23パッケージを採用
2. 高精度16ビット、4LSB INL
3. パワーアップ時に低グリッチ
4. 最高30MHzのクロック速度による高速シリアル・インターフェース
5. 3種のパワーダウン・モードが使用可能
6. 既知の出力電圧(ミッドスケールまたはゼロスケール)にリセット

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
 © 2006 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
 電話03(5402)8200
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
 電話06(6350)6868

AD5061

目次

特長	1	リファレンス・バッファ	15
アプリケーション	1	シリアル・インターフェース	15
機能ブロック図	1	入力シフト・レジスタ	15
概要	1	SYNC 割込み	15
製品のハイライト	1	ゼロスケールまたはミッドスケールへのパワーオン	16
目次	2	ソフトウェア・リセット	16
改訂履歴	2	パワーダウン・モード	16
仕様	3	マイクロプロセッサとのインターフェース	16
タイミング特性	5	アプリケーション	18
絶対最大定格	6	AD5061のリファレンスの選択	18
ESDに関する注意	6	AD5061を使用したバイポーラ動作	18
ピン配置と機能の説明	7	デジタル・アイソレータ (iCoupler) を用いた	
代表的な性能特性	8	絶縁インターフェース	19
用語の説明	14	電源のバイパスとグラウンディング	19
動作原理	15	外形寸法	20
DACアーキテクチャ	15	オーダー・ガイド	20

改訂履歴

1/06-Rev. 0 to Rev. A

Changes to General Description	1
Changes to Table 2	3
Changes to Figure 19 Caption	10
Added Figure 28 to Figure 36	12
Changes to Serial Interface Section	15
Changes to Power-Down Modes Section	16
Changes to Ordering Guide	20

7/05-Revision 0: Initial Version

仕様

$V_{DD} = 5.5V$ 、 $V_{REF} = 4.096V$ 、 $R_L = \text{無負荷}$ 、 $C_L = \text{無負荷}$ 、特に指定のない限り $T_{MIN} \sim T_{MAX}$ で規定。

表2

パラメータ	Bグレード ¹			単位	テスト条件 / 備考
	Min	Typ	Max		
静的性能					
分解能	16			ビット	
相対精度 (INL) ²		± 0.5	± 4	LSB	-40 ~ +85、Bグレード
		± 0.5	± 4		-40 ~ +125、Yグレード
総合未調整誤差 (TUE)		± 0.5	± 3.0	mV	-40 ~ +85、Bグレード
		± 0.5	± 3.0		-40 ~ +125、Yグレード
微分非直線性 (DNL)		± 0.5	± 1	LSB	単調増加性保証、-40 ~ +85、Bグレード
		± 0.5	± 1		単調増加性保証、-40 ~ +125、Yグレード
ゲイン誤差		± 0.01	± 0.05	FSRの%	$T_A = -40 \sim +85$ 、Bグレード
		± 0.01	± 0.05		$T_A = -40 \sim +125$ 、Yグレード
ゲイン誤差温度係数		1		FSRのppm/	
オフセット誤差		± 0.02	± 3.0	mV	$T_A = -40 \sim +85$ 、Bグレード
		± 0.02	± 3.0		$T_A = -40 \sim +125$ 、Yグレード
オフセット誤差温度係数		0.5		$\mu V/^\circ C$	
フルスケール誤差		± 0.05	± 3.0	mV	DACレジスタに全ビット「1」をロード
		± 0.05	± 3.0		$T_A = -40 \sim +85$ 、Bグレード
					DACレジスタに全ビット「1」をロード
					$T_A = -40 \sim +125$ 、Yグレード
出力特性 ³					
出力電圧範囲	0		V_{REF}	V	
出力電圧セトリング時間		4		μs	1/4スケールから3/4スケールへのコード遷移 ($\pm 1LSB$ まで)、 $R_L = 5k\Omega$
出力ノイズ・スペクトル密度		64		nV/\sqrt{Hz}	DACコード = ミッドスケール、1kHz
出力電圧ノイズ		6		$\mu V p-p$	DACコード = ミッドスケール、0.1 ~ 10Hz帯域幅
デジタルからアナログへのグリッチ・インパルス		2		nV-s	メジャー・キャリー周辺の1LSBの変化、 $R_L = 5k\Omega$
デジタル・フィードスルー		0.003		nV-s	DACコード = フルスケール
DC出力インピーダンス (ノーマル)		0.015		Ω	出力インピーダンス許容誤差: $\pm 10\%$
DC出力インピーダンス (パワーダウン)					
(出力を1k Ω ネットワークに接続)		1		k Ω	出力インピーダンス許容誤差: $\pm 400\Omega$
(出力を100k Ω ネットワークに接続)		100		k Ω	出力インピーダンス許容誤差: $\pm 20k\Omega$
容量性負荷安定性			1	nF	使用負荷: $R_L = 5k\Omega$ 、 $R_L = 100k\Omega$ 、 $R_L =$
出力スルーレート		1.2		V/ μs	1/4スケールから3/4スケールへのコード遷移 ($\pm 1LSB$ まで)、 $R_L = 5k\Omega$ 、 $C_L = 200pF$
短絡電流		60		mA	DACコード = フルスケール、出力をGNDに短絡、 $T_A = 25$
		45		mA	DACコード = ゼロスケール、出力を V_{DD} に短絡、 $T_A = 25$
DACパワーアップ時間					パワーダウン・モードからノーマル・モードへの復帰時間、クロックの24番目のエッジからDACの最終値の90%まで、出力無負荷
DC電源電圧変動除去比		-92		dB	V_{DD} : $\pm 10\%$ 、DACコード = フルスケール
ワイドバンド・スプリアス・フリー・ダイナミック・レンジ		-67		dB	出力周波数 = 10kHz
リファレンス入出力					
V_{REF} 入力範囲 ⁴	2		$V_{DD} - 50$	mV	
入力電流 (パワーダウン)		± 0.1		μA	ゼロスケール負荷
入力電流 (ノーマル)			± 0.5	μA	
DC入力インピーダンス		1		M Ω	

AD5061

パラメータ	Bグレード ¹			単位	テスト条件 / 備考
	Min	Typ	Max		
ロジック入力					
入力電流 ⁵		±1	±5	μA	
ローレベル入力電圧 (V _{IL})			0.8	V	V _{DD} = 4.5 ~ 5.5V V _{DD} = 2.7 ~ 3.6V
ハイレベル入力電圧 (V _{IH})	2.0		0.8	V	V _{DD} = 2.7 ~ 5.5V
ピン容量	1.8	4		pF	V _{DD} = 2.7 ~ 3.6V
電源条件					
V _{DD}	2.7		5.5	V	すべてのデジタル入力 = 0VまたはV _{DD} DAC動作時 (負荷電流を除く)
I _{DD} (ノーマル・モード) V _{DD} = 2.7 ~ 5.5V		1.0	1.2	mA	V _{IN} = V _{DD} およびV _{IL} = GND、V _{DD} = 5.5V、 V _{REF} = 4.096V、コード = ミッドスケール
		0.89			V _{IN} = V _{DD} およびV _{IL} = GND、V _{DD} = 3.0V、 V _{REF} = 4.096V、コード = ミッドスケール
I _{DD} (すべてのパワーダウン・モード) V _{DD} = 2.5 ~ 5.5V			1	μA	V _{IH} = V _{DD} およびV _{IL} = GND、V _{DD} = 5.5V、 V _{REF} = 4.096V、コード = ミッドスケール
		0.265			V _{IH} = V _{DD} およびV _{IL} = GND、V _{DD} = 3.0V、 V _{REF} = 4.096V、コード = ミッドスケール

¹ Bグレードの温度範囲: -40 ~ +85、25 で測定。Yグレードの温度範囲: -40 ~ +125。

² 直線性はコード範囲を縮小して計算 (160 ~ 65535)。

³ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

⁴ -40 時のさまざまなリファレンス電圧に対する代表的な出力電源ヘッドルーム性能を図27に示します。

⁵ すべてのピンに流入する合計電流。

タイミング特性

$V_{DD} = 2.7 \sim 5.5V$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表3

パラメータ	限界値 ¹	単位	テスト条件 / 備考
t_1^2	33	ns (min)	SCLKサイクル時間
t_2	5	ns (min)	SCLKハイレベル時間
t_3	3	ns (min)	SCLKローレベル時間
t_4	10	ns (min)	\overline{SYNC} からSCLKの立下がりエッジまでのセットアップ時間
t_5	3	ns (min)	データのセットアップ時間
t_6	2	ns (min)	データのホールド時間
t_7	0	ns (min)	SCLKの立下がりエッジから \overline{SYNC} の立上がりエッジまで
t_8	12	ns (min)	最小の \overline{SYNC} ハイレベル時間
t_9	9	ns (min)	\overline{SYNC} の立上がりエッジからSCLKの次の立下がりエッジまで

¹ すべての入力信号は、 $t_r = t_f = 1ns/V$ (V_{DD} の10~90%)で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。

² SCLKの最大周波数は30MHzです。

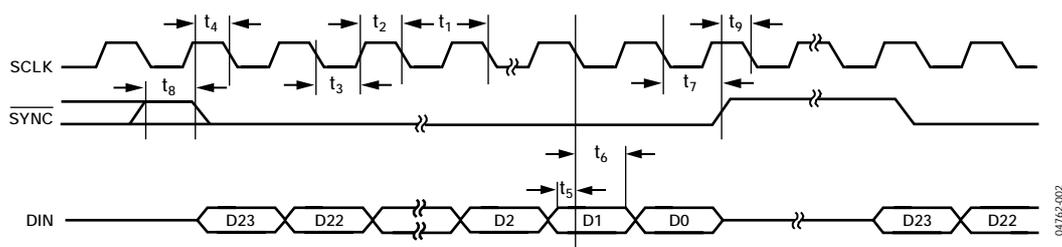


図2. タイミング図

041762-002

AD5061

絶対最大定格

表4

パラメータ	定格値
GNDに対する V_{DD}	- 0.3 ~ + 7.0V
GNDに対するデジタル入力電圧	- 0.3V ~ $V_{DD} + 0.3V$
GNDに対する V_{OUT}	- 0.3V ~ $V_{DD} + 0.3V$
GNDに対する V_{REF}	- 0.3V ~ $V_{DD} + 0.3V$
動作温度範囲	
工業用 (Bグレード)	- 40 ~ + 85
自動車用拡張温度範囲 (Yグレード)	- 40 ~ + 125
保存温度範囲	- 65 ~ + 150
最大ジャンクション温度	150
SOT-23パッケージ	
消費電力	$(T_J \text{ max} - T_A) \theta_{JA}$
θ_{JA} 熱抵抗	206 /W
θ_{JC} 熱抵抗	44 /W
リフロー・ハンダ処理 (鉛フリー)	
ピーク温度	260
ピーク温度時間	10 ~ 40秒
ESD	1.5kV

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

本デバイスは高性能の集積回路です。ESD定格は2kV未満で、ESDの影響を受けやすくなっています。したがって、デバイスの取扱い時や組立て時には、適切な予防措置を講じてください。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明



図3. ピン配置

表5. ピン機能の説明

ピン番号	記号	機能
1	DIN	シリアル・データ入力。このデバイスには24ビットのシフト・レジスタがあります。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
2	V_{DD}	電源入力。このデバイスは2.7~5.5Vで動作します。 V_{DD} をGNDにデカップリングしてください。
3	V_{REF}	リファレンス電圧入力
4	V_{OUT}	DACからのアナログ出力電圧
5	AGND	アナログ回路のグラウンド基準ポイント
6	DACGND	DACへのグラウンド入力
7	\overline{SYNC}	レベル・トリガの制御入力 (アクティブ・ロー)。これは、入力データに対するフレーム同期信号です。 \overline{SYNC} がローレベルになると、入力シフト・レジスタがイネーブルになり、データは後続のクロックの立下がりエッジで転送されます。DACは、24番目のクロック・サイクルの後に更新されます。ただし、このエッジより前に \overline{SYNC} がハイレベルになると、 \overline{SYNC} の立上がりエッジは割込みとして機能し、DACは書き込みシーケンスを無視します。
8	SCLK	シリアル・クロック入力。シリアル・クロック入力の立下がりエッジで、データが入力シフト・レジスタに入力されます。データは最大30MHzのレートで転送できます。

代表的な性能特性

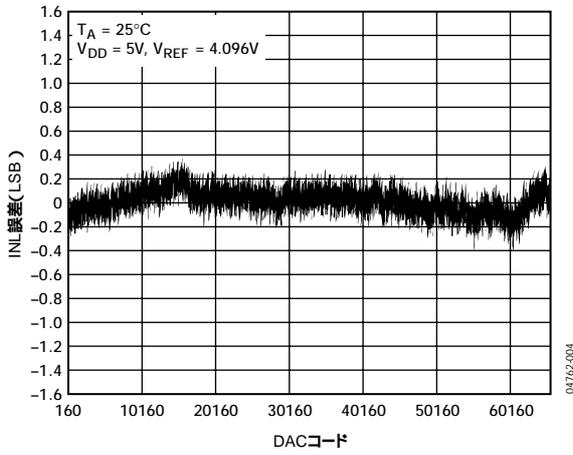


図4. 代表的なINL

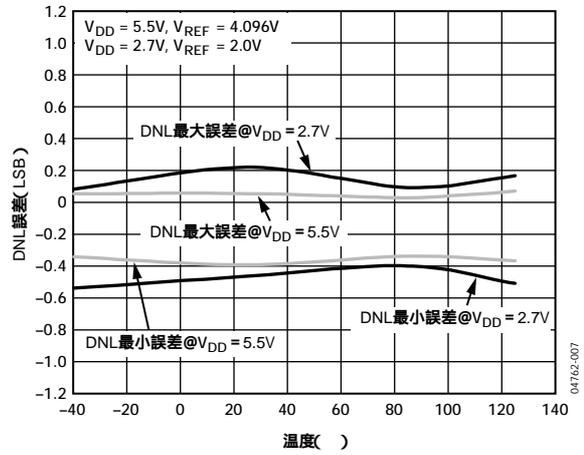


図7. DNLの温度特性

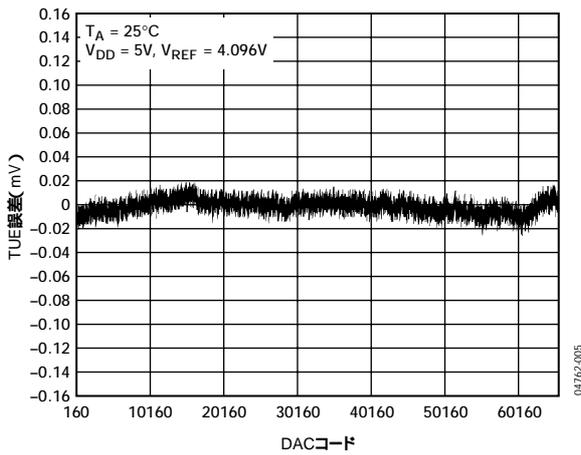


図5. 代表的なTUE

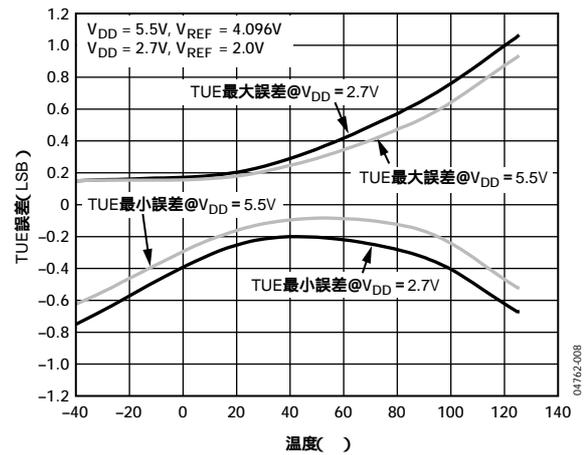


図8. TUEの温度特性

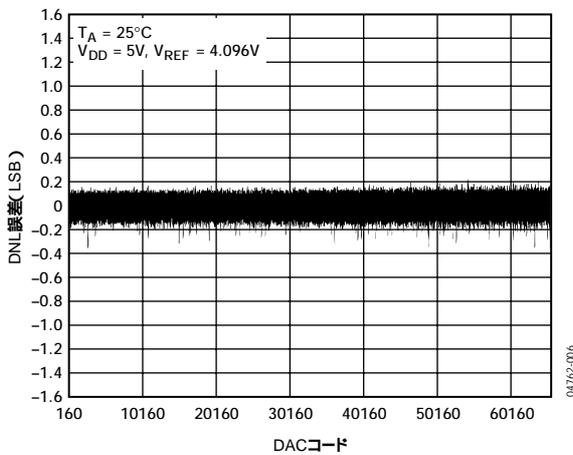


図6. 代表的なDNL

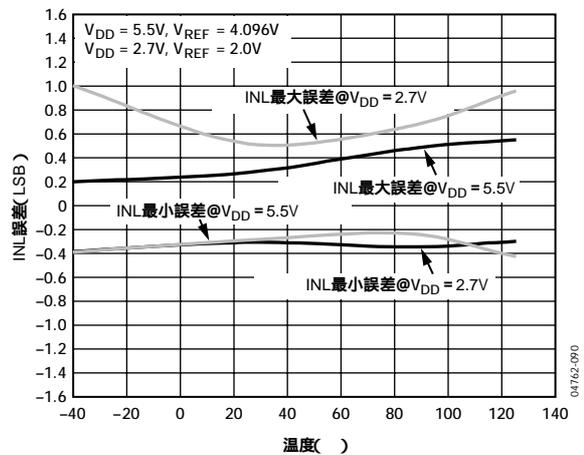


図9. INLの温度特性

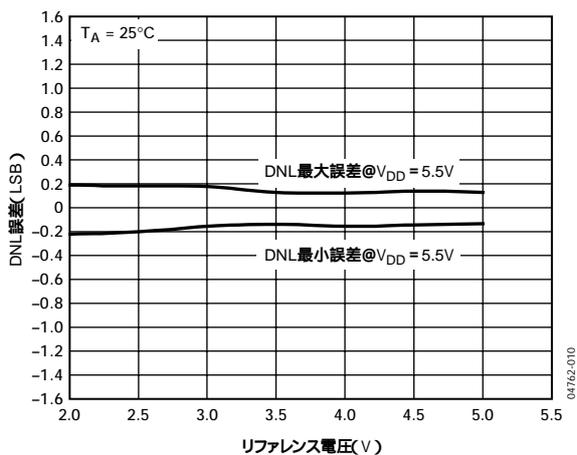


図10. リファレンス入力電圧 対 DNL

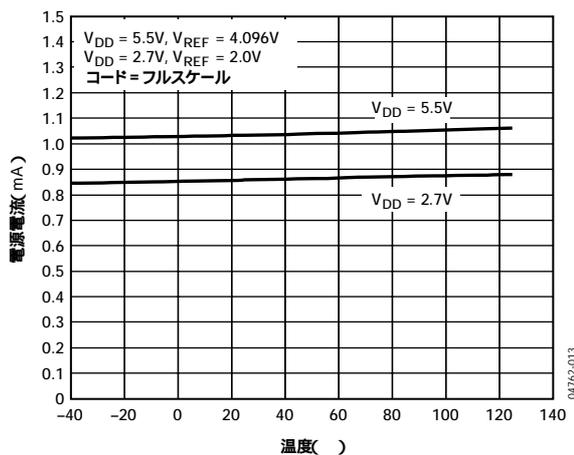


図13. 電源電流の温度特性

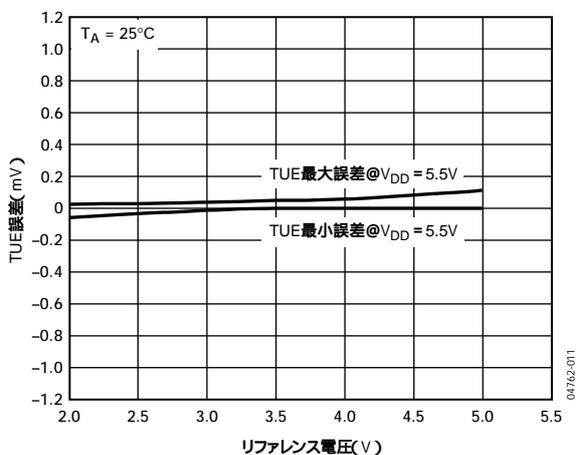


図11. リファレンス入力電圧 対 TUE

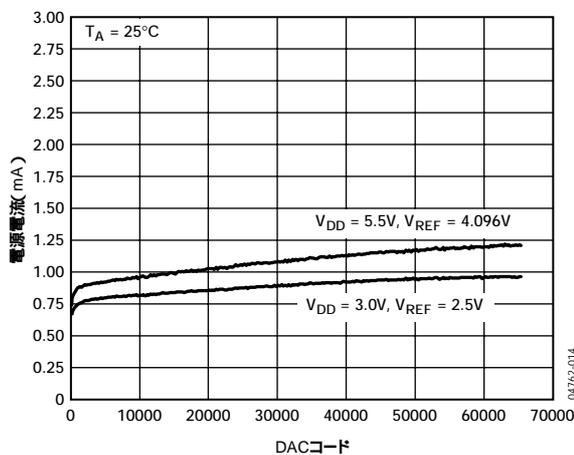


図14. デジタル入力コード 対 電源電流

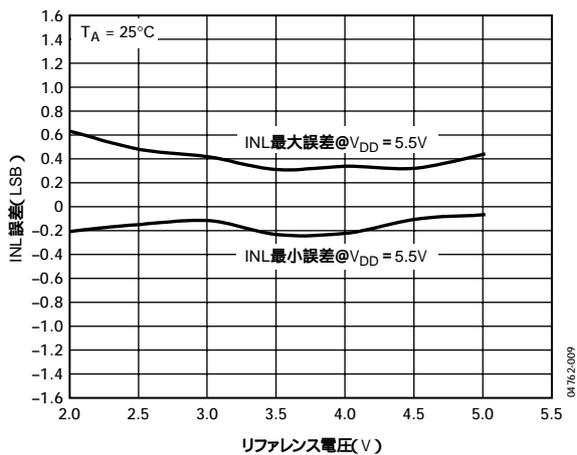


図12. リファレンス入力電圧 対 INL

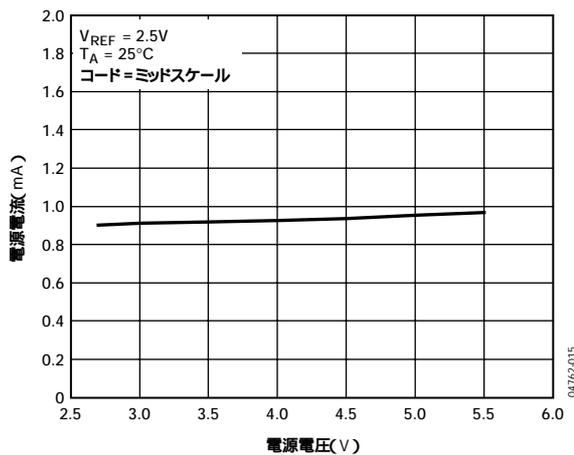


図15. 電源電圧 対 電源電流

AD5061

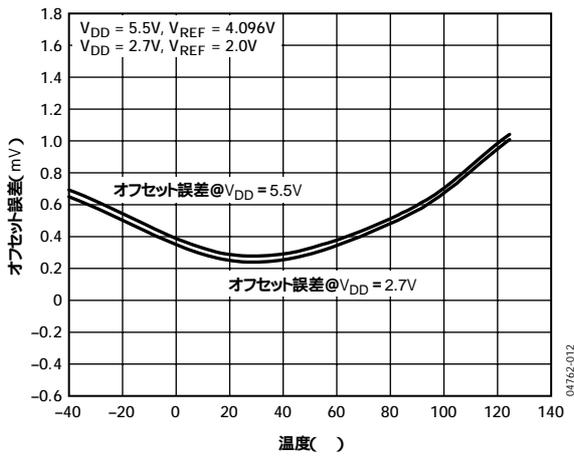


図16. オフセット誤差の温度特性

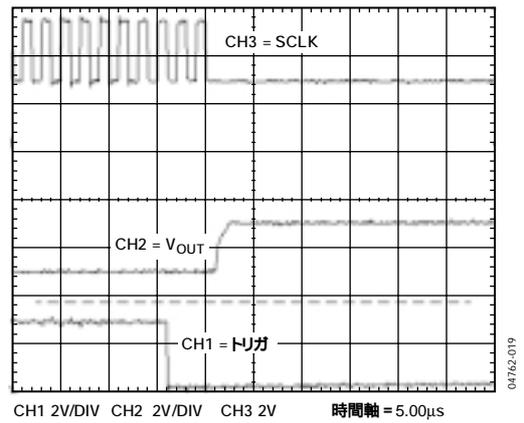


図19. パワーダウンからの復帰(ミッドスケール)

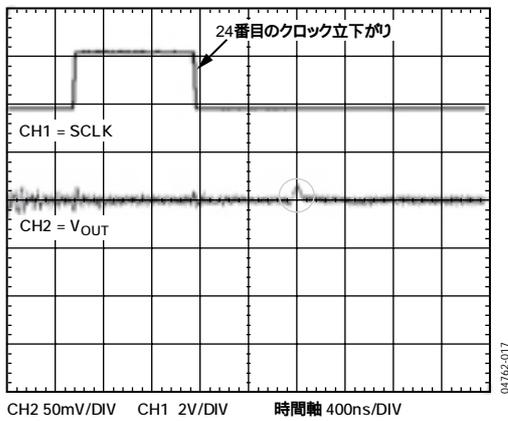


図17. デジタルからアナログへのグリッチ・インパルス(図21を参照)

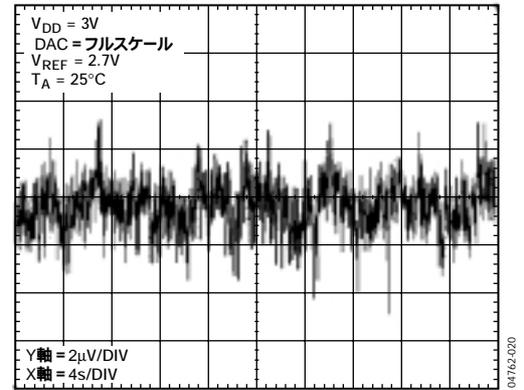


図20. 0.1~10Hzのノイズ

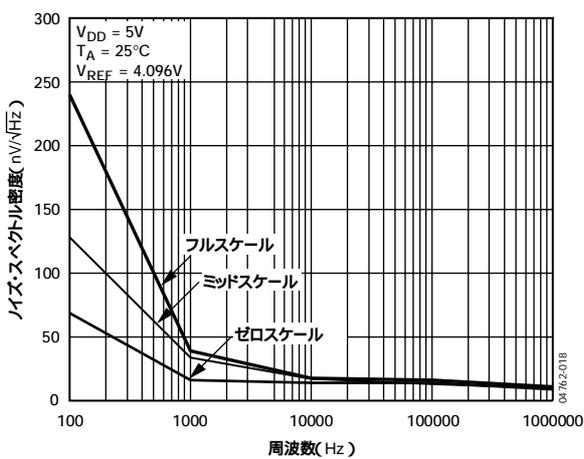


図18. 出力ノイズ・スペクトル密度

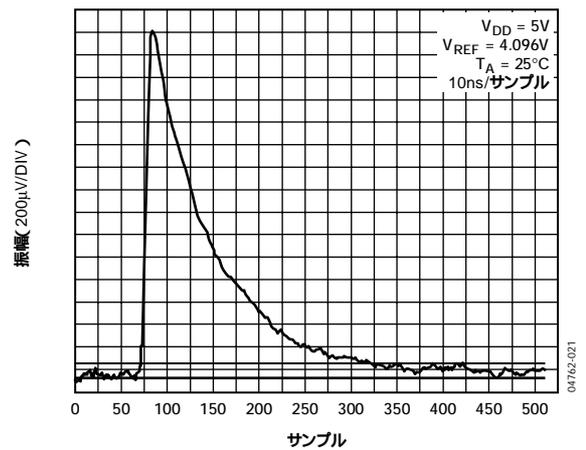


図21. グリッチ・エネルギー

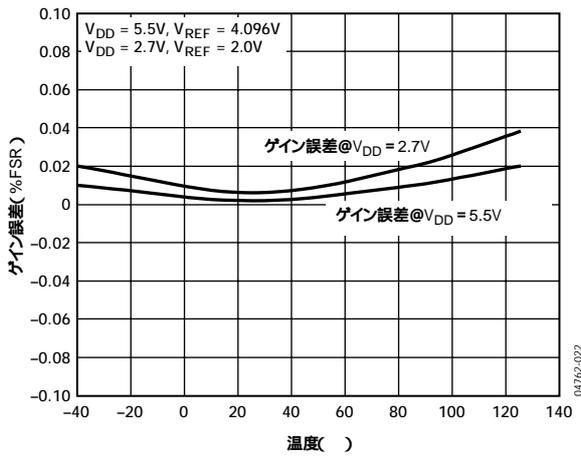


図22. ゲイン誤差の温度特性

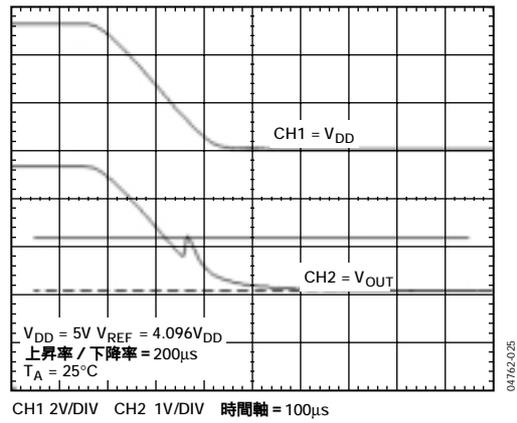


図25. ハードウェアのパワーダウン・グリッチ

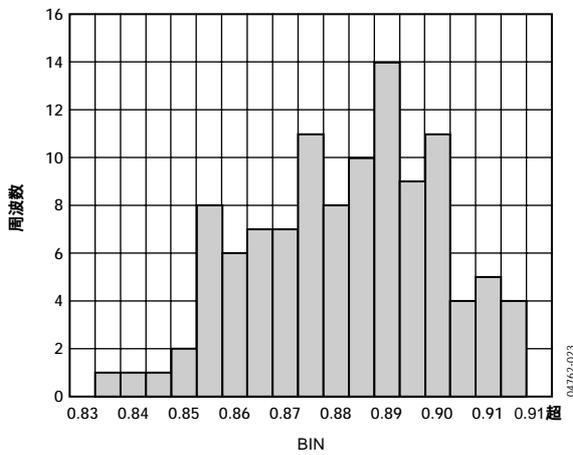


図23. I_{DD}ヒストグラム (V_{DD} = 3V)

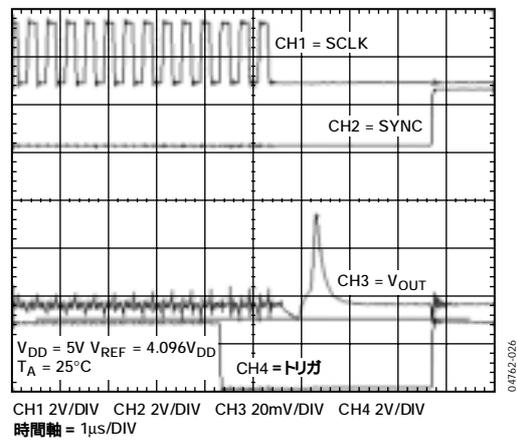


図26. ソフトウェアのパワーダウン・グリッチからの復帰

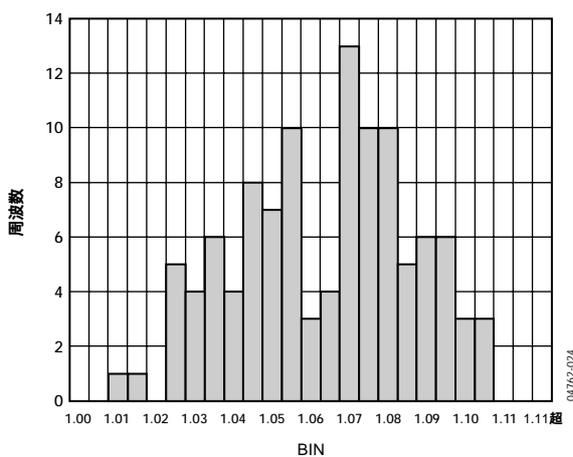


図24. I_{DD}ヒストグラム (V_{DD} = 5V)

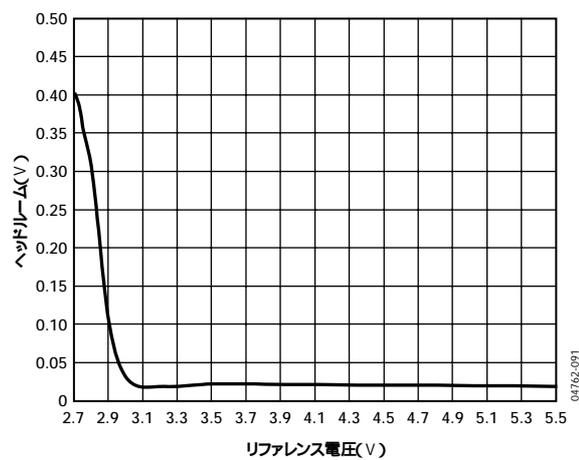


図27. リファレンス電圧 対 V_{DD}ヘッドルーム

AD5061

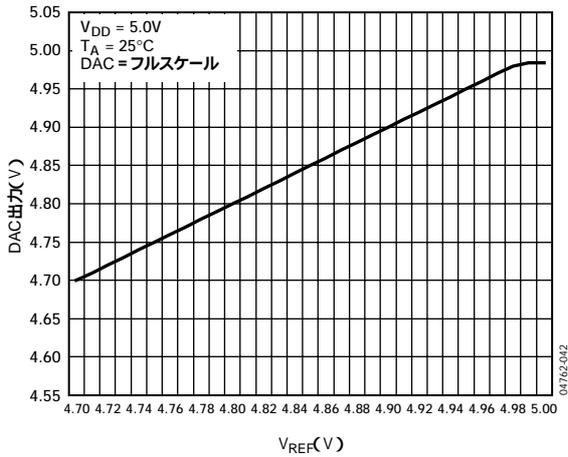


図28. リファレンス電圧 対 代表的な電圧出力

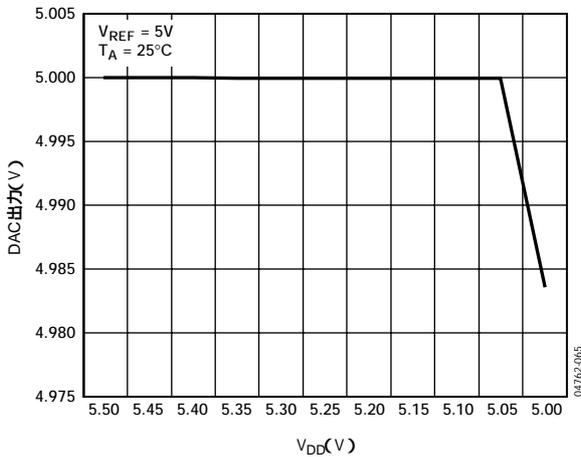


図29. 電源電圧 対 代表的な電圧出力

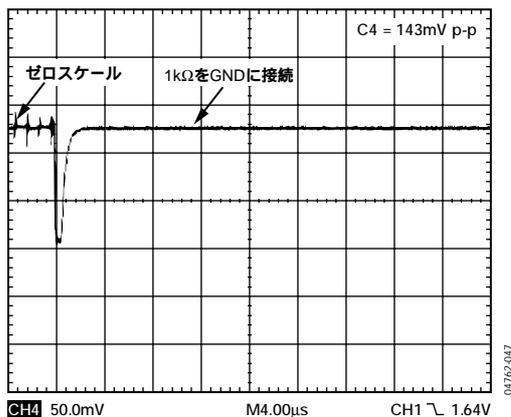


図30. ソフトウェアのパワーダウンからの復帰 (ゼロスケール) 時の代表的なグリッチ

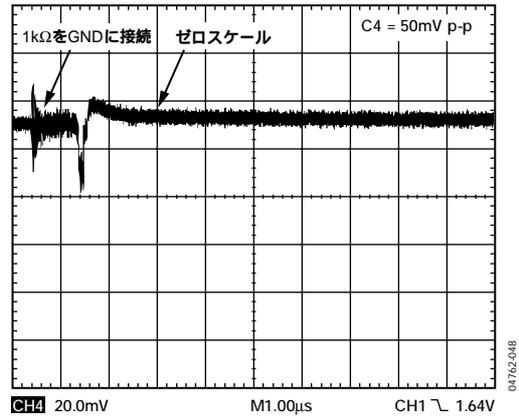


図31. ソフトウェアのパワーダウンからの復帰 (ゼロスケール) 時の代表的なグリッチ

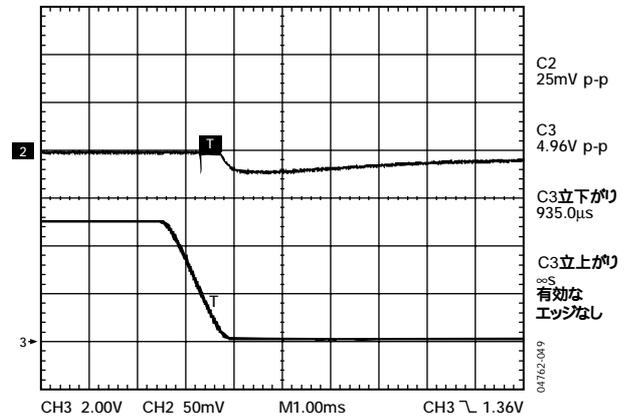


図32. ハードウェアのパワーダウンからの復帰 (スリープ状態) 時の代表的なグリッチ

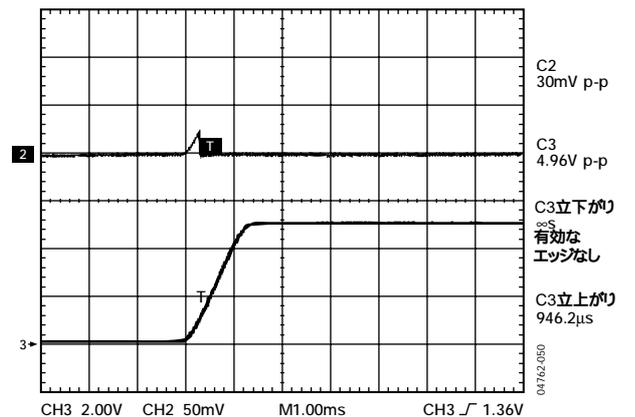


図33. ハードウェアのパワーダウンからの復帰 (ゼロスケール) 時の代表的なグリッチ

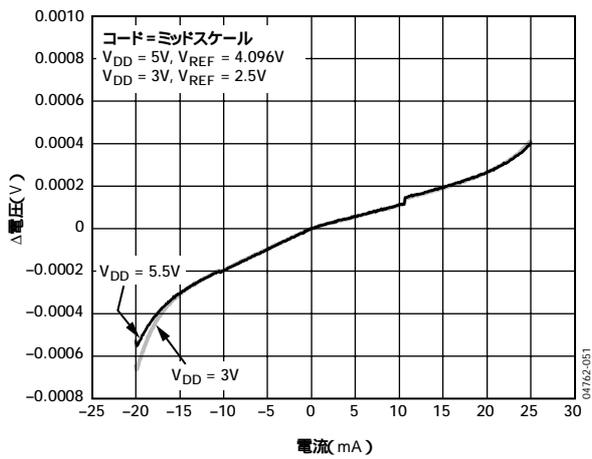


図34. 代表的な出力負荷レギュレーション

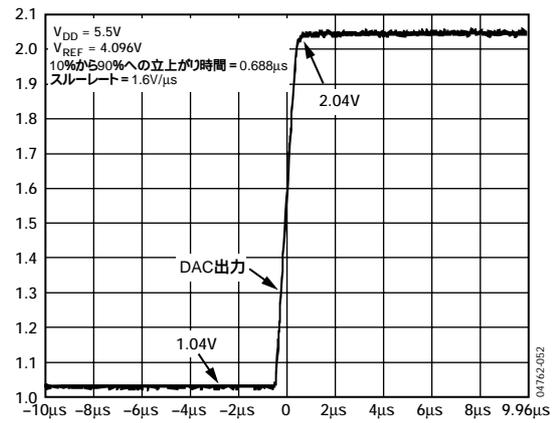


図36. 代表的な出力スルーレート

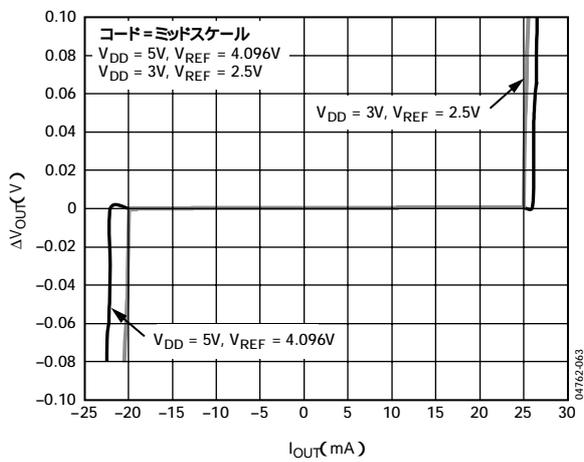


図35. 代表的な電流リミティング

用語の説明

相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。代表的なコードとINLの関係を図4に示します。

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が ± 1 LSB以内の場合は、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。代表的なコードとDNLの関係を図6に示します。

ゼロコード誤差

ゼロコード (0x0000) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上0Vになるはずですが、AD5061ではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロコード誤差はmVの単位で表します。

フルスケール誤差

フルスケール・コード (0xFFFF) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上 $V_{DD} - 1$ LSBになるはずですが、フルスケール誤差は、フルスケール・レンジの%値で表します。

ゲイン誤差

DACのスパン誤差を表します。これはDAC伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの%値で表します。

総合未調整誤差 (TUE)

さまざまな誤差を考慮した出力誤差を表します。TUEとコードの代表的な関係を図5に示します。

ゼロコード誤差ドリフト

温度変化にともなうゼロコード誤差の変化を表し、 $\mu V/$ の単位で表します。

ゲイン誤差ドリフト

温度変化にともなうゲイン誤差の変化を表し、(フルスケール・レンジのppm)/ の単位で表します。

デジタルからアナログへのグリッチ・インパルス

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリアの遷移 (0x7FFFから0x8000) 時に、デジタル入力コードが1LSB変化したときの測定値です。図17と図21を参照してください。図17は、キャリブレーション・ルーチンの完了後に生成されたグリッチを示します。図21は、このグリッチを拡大したものです。

デジタル・フィードスルー

DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

動作原理

AD5061は、シリアル入力のシングル16ビット電圧出力DACで、2.7~5.5Vの電源電圧で動作します。データは、3線式シリアル・インターフェースを介して24ビット・ワード形式でAD5061に書き込まれます。

AD5061に内蔵のパワーオン・リセット回路により、パワーアップ時にDACの出力はゼロスケールまたはミッドスケールにリセットされます。また、ソフトウェア・パワーダウン・モード・ピンにより、消費電流は1 μ A (typ値) 未満に減少します。

DACアーキテクチャ

AD5061のDACアーキテクチャは、整合した2つのDAC部から構成されます。簡単な回路図を図37に示します。16ビット・データワードの4つのMSBがデコードされて、15個のスイッチ (E1~E15) を駆動します。これらの各スイッチは、15本の整合抵抗のいずれかをDACGNDまたは V_{REF} バッファ出力に接続します。残りの12ビットのデータワードは、12ビットの電圧モードR-2Rラダー・ネットワークのスイッチ (S0~S11) を駆動します。

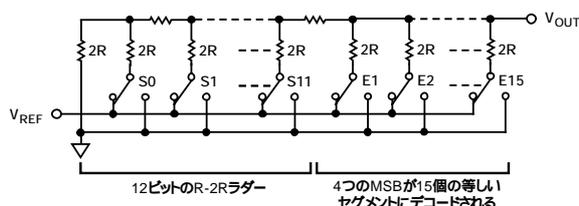


図37. DACのラダー構造

リファレンス・バッファ

AD5061は外部リファレンスで動作します。リファレンス入力 (V_{REF}) の入力範囲は、2V ~ V_{DD} - 50mVです。この入力電圧は、DACコアにバッファ付きリファレンスを提供するために使用されます。

シリアル・インターフェース

AD5061は、SPI、QSPI、MICROWIREの各インターフェース規格、および大半のDSPと互換性をもつ3線式シリアル・インターフェース (SYNC、SCLK、DIN) を備えています。代表的な書き込みシーケンスのタイミング図については、図2を参照してください。

SYNCラインをローレベルにすると、書き込みシーケンスを開始します。DINラインからのデータは、SCLKの立下がりエッジで24ビットのシフト・レジスタに入力されます。シリアル・クロック周波数は最大30MHzまで対応しているため、デバイスは高速DSPと互換性があります。クロックの24番目の立下がりエッジで最後のデータビットが入力され、プログラミングされた機能を実行します (DACレジスタ値の変更や動作モードの変更)。

この時点で、SYNCラインをローレベルに保持するか、ハイレベルにすることができます。いずれの場合でも、次の書き込みシーケンスの前に12ns以上SYNCラインをハイレベルに保持し、SYNCの立下がりエッジで次の書き込みシーケンスが開始できるようにします。SYNCパルスを流れる電流は $V_{IH} = 0.8V$ の場合より $V_{IH} = 1.8V$ の場合の方が大きくなるため、さらにデバイスの消費電力を削減するには、書き込みシーケンス同士の間もSYNCをアイドル・ローレベルに保持してください。ただし、前述のとおり次の書き込みシーケンスの開始前にハイレベルに戻す必要があります。

入力シフト・レジスタ

入力シフト・レジスタは24ビット幅です (図38を参照)。PD1とPD0はコントロール・ビットで、デバイスの動作モードを制御します (ノーマル・モードまたは3種類のパワーダウン・モード)。各モードの詳細については、「パワーダウン・モード」を参照してください。次の16ビットはデータビットで、SCLKの24番目の立下がりエッジでDACレジスタに転送されます。

SYNC 割込み

通常書き込みシーケンスでは、SCLKの少なくとも24個の立下がりエッジの間、SYNCラインがローレベルに保持され、24番目の立下がりエッジでDACが更新されます。ただし、24番目の立下がりエッジの前にSYNCをハイレベルに設定すると、SYNCは書き込みシーケンスへの割込み信号として機能します。このときにシフト・レジスタがリセットされ、書き込みシーケンスは無効と判断されます。DACレジスタのデータ内容は更新されず、また動作モードも変更されません (図41を参照)。

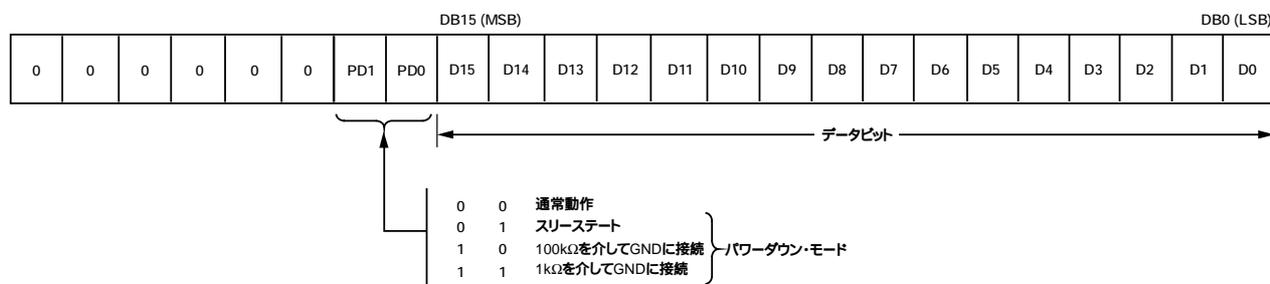


図38. 入力レジスタの内容

AD5061

ゼロスケールまたはミッドスケールへのパワーオン

AD5061は、パワーアップ時の出力電圧を制御するパワーオン・リセット回路を内蔵しています。DACレジスタにはゼロスケールまたはミッドスケールのコードが設定され、出力電圧はゼロスケールまたはミッドスケールになります。DACに有効な書き込みシーケンスが実行されるまでこの状態が保持されます。この機能はデバイスのパワーアップ時にDACの出力状態を把握しておくことが重要なアプリケーションで特に便利です。

ソフトウェア・リセット

デバイスをソフトウェア・リセットするには、DACレジスタの全ビットを「1」に設定します。つまり、ビットD23～ビットD16にも「1」を書き込みます（これは通常の動作モードではありません）。なお、ソフトウェア・リセット・コマンドが開始された場合は、SYNC 割込みコマンドは実行できません。

パワーダウン・モード

AD5061には4つの動作モードがあります。動作モードは、コントロール・レジスタの2つのビット（DB17とDB16）の設定によってソフトウェアで選択できます。表6は、ビットの設定と対応するデバイスの動作モードを示します。

表6. 動作モード

DB17	DB16	動作モード
0	0	通常の動作
0	1	パワーダウン・モード： スリーステート
1	0	100kΩを介してGNDに接続
1	1	1kΩを介してGNDに接続

両ビットを「0」に設定すると、デバイスは通常の消費電流で通常の動作を実行します。しかし、3つのパワーダウン・モードでは、電源電流が5V時に1μA未満（3V時には265nA）まで低下します。電源電流が低下するだけでなく、出力段も内部的にアンプの出力から切り離され、既知の値をもつ抵抗ネットワークに接続されます。これは、デバイスがパワーダウン・モードにある間、デバイスの出力インピーダンスが既知であるという利点があります。出力は、内部で1kΩの抵抗または100kΩの抵抗を経由してGNDに接続されるか、またはオープン（スリーステート）になるかの3種類のオプションがあります。出力段を図39に示します。

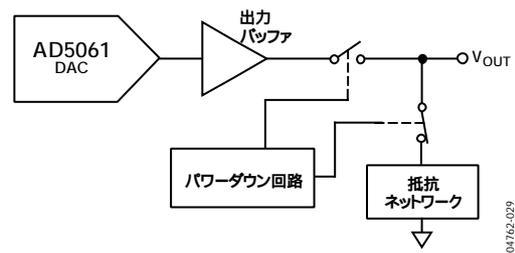


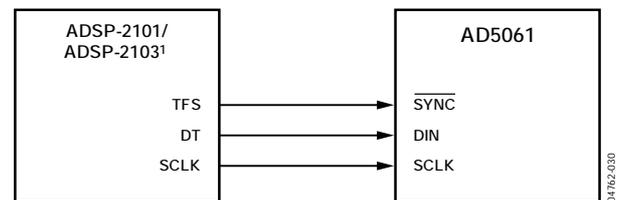
図39. パワーダウン時の出力段

パワーダウン・モードになると、バイアス発生器、DACコア、その他の関係するリニア回路がすべてシャットダウンされます。ただし、DACレジスタの内容はパワーダウンの間も保持されます。なお、パワーダウン・モードからの復帰時間は、 $V_{DD} = 5V$ の場合に2.5μs、 $V_{DD} = 3V$ の場合に5μsです（いずれもtyp値）。図19を参照してください。

マイクロプロセッサとのインターフェース

AD5061とADSP-2101/ADSP-2103とのインターフェース

図40は、AD5061とADSP-2101/ADSP-2103とのシリアル・インターフェースを示します。ADSP-2101/ADSP-2103は、SPORT送信オルタナート・フレーミング・モードで動作するように設定してください。ADSP-2101/ADSP-2103のSPORTは、SPORTコントロール・レジスタでプログラミングし、「内部クロック動作」「アクティブ・ローレベルのフレーミング」「16ビットのワード長」に設定します。SPORTをイネーブルにした後、Txレジスタにワードを書き込むことで送信が開始されます。



¹ わかりやすくするために、他のピンは省略しています。

図40. AD5061とADSP-2101/ADSP-2103とのインターフェース

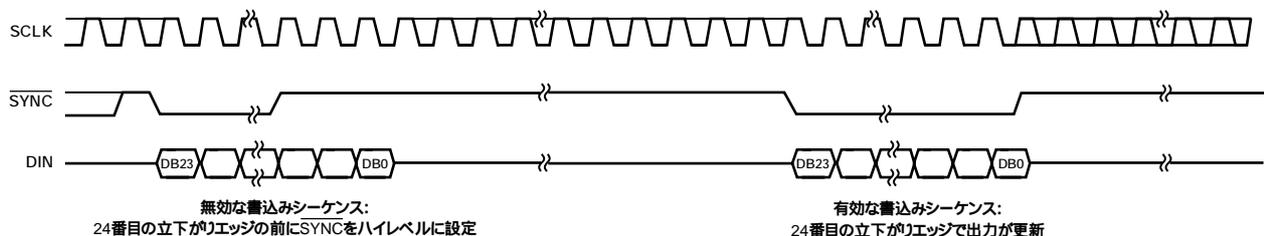
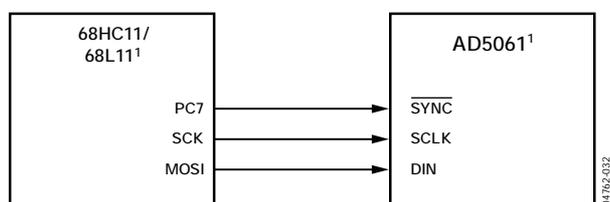


図41. SYNC 割込み機能

AD5061と68HC11/68L11とのインターフェース

図42は、AD5061と68HC11/68L11マイクロコントローラとのシリアル・インターフェースを示します。68HC11/68L11のSCKではAD5061のSCLKピンを駆動しますが、MOSI出力ではDACのシリアル・データ・ラインを駆動します。SYNC信号は、ポート・ライン（PC7）から生成されます。このインターフェースを正常に動作させるには、68HC11/68L11でCPOLビット=0、かつCPHAビット=1となるように設定してください。データがDACに転送されているときは、SYNCラインがローレベルになります（PC7）。68HC11/68L11が上記のように設定された場合は、MOSIに出力されるデータはSCKの立下がりエッジで有効になります。シリアル・データは68HC11/68L11から8ビットのバイトで転送され、送信サイクル内には立下がりクロック・エッジが8個しかありません。データはMSBファーストで転送されます。データをAD5061にロードするときは、最初の8ビットが転送された後もPC7をローレベルのままにして、DACに対して2番目のシリアル書込み動作を実行します。この手順の終わりに、PC7をハイレベルにします。

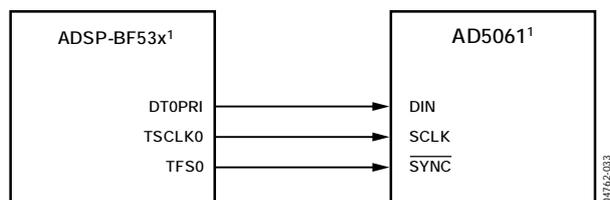


¹ わかりやすくするために、他のピンは省略しています。

図42. AD5061と68HC11/68L11とのインターフェース

AD5061とBlackfin® ADSP-BF53xとのインターフェース

図43は、AD5061とBlackfin ADSP-53xマイクロプロセッサとのシリアル・インターフェースを示します。ADSP-BF53Xファミリのプロセッサには、シリアル通信とマルチプロセッサ通信用に2つのデュアル・チャンネル同期シリアル・ポート（SPORT1とSPORT0）が内蔵されています。SPORT0を用いたAD5061との接続では、次のようにインターフェースがセットアップされます。DTOPRIがAD5061のDINピンを駆動し、TSCLK0がAD5061のSCLKを駆動します。SYNCはTFS0が駆動します。

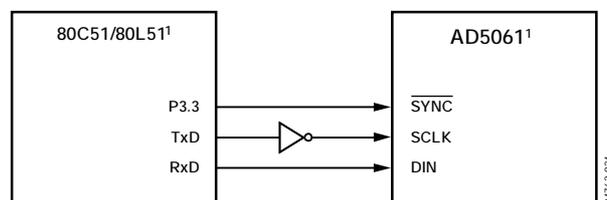


¹ わかりやすくするために、他のピンは省略しています。

図43. AD5061とBlackfin ADSP-BF53xとのインターフェース

AD5061と80C51/80L51とのインターフェース

図44は、AD5061と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。このインターフェースのセットアップでは、80C51/80L51のTxDがAD5061のSCLKを駆動し、RxDがAD5061のシリアル・データ・ラインを駆動します。SYNC信号はこの場合も、ポートのビット・プログラマブルなピンから生成されます。この場合はポート・ラインP3.3を使用します。データがAD5061に転送される時、P3.3はローレベルになります。データは80C51/80L51から8ビットのバイトで転送されるため、送信サイクル内には立下がりクロック・エッジが8個しかありません。データをDACにロードするときは、最初の8ビットが転送された後もP3.3をローレベルのままにして2番目の書込みサイクルを実行すると、データの2番目のバイトの転送が開始されます。このサイクルの完了後にP3.3をハイレベルにします。80C51/80L51はシリアル・データをLSBファーストで出力しますが、AD5061はMSBファーストでデータを受け取る必要があります。80C51/80L51の送信ルーチンは、これを考慮に入れてください。

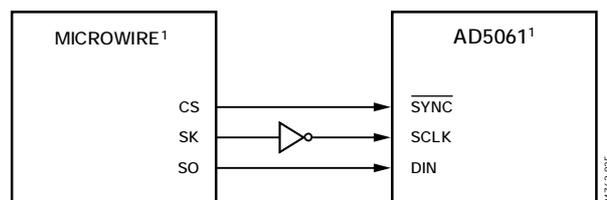


¹ わかりやすくするために、他のピンは省略しています。

図44. AD5061と80C51/80L51とのインターフェース

AD5061とMICROWIREとのインターフェース

図45は、AD5061とMICROWIRE互換の任意のデバイスとのインターフェースを示します。シリアル・データは、シリアル・クロックの立下がりエッジでシフト・アウトされ、SKの立上がりエッジでAD5061に入力されます。



¹ わかりやすくするために、他のピンは省略しています。

図45. AD5061とMICROWIREとのインターフェース

AD5061

アプリケーション

AD5061のリファレンスの選択

AD5061から最適な性能を得るためには、高精度の電圧リファレンスを注意して選ぶ必要があります。AD5061のリファレンス入力は V_{REF} のみです。このリファレンス入力の電圧を、DACの供給電圧として使用します。したがって、リファレンスに少しでも誤差があると、DACにも影響が出ます。

高精度アプリケーション向けの電圧リファレンスの選択に際しては、誤差源として初期精度、ppmドリフト、長期ドリフト、出力電圧ノイズを考慮します。DACの出力電圧の初期精度は、DACのフルスケール誤差を発生させる要因となります。これらの誤差を最小限に抑えるために、初期精度の高いリファレンスを選んでください。また、ADR43xファミリーなどの出力調整機能付きのリファレンスを選択すれば、リファレンス電圧をその公称値以外の電圧に設定してシステム誤差を抑えられます。この調整機能を動作温度で使用すれば他の誤差も抑えられます。

AD5061は、必要とする電源電流が非常に小さいため、低消費電力アプリケーションに最適です。低消費電力アプリケーションに使用する場合は、電圧リファレンスとしてADR395の使用を推奨します。静止電流が100 μ A未満と小さく、必要に応じて1つのシステム内で複数のDACを駆動することもできます。またノイズ性能も、0.1~10Hzの範囲で8 μ Vp-pと非常に優れています。

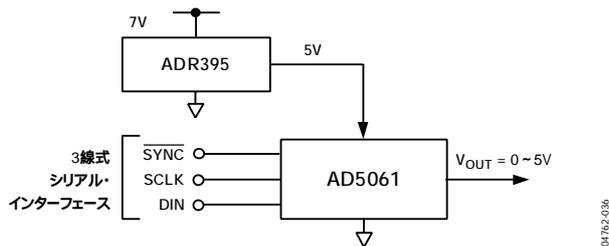


図46. ADR395をAD5061のリファレンスとして使用した場合

長期ドリフトは、リファレンスの経時変化を測定した値です。精度の高い長期ドリフト仕様を備えたリファレンスは、製品寿命を通じて比較的安定した状態に精度が維持されています。リファレンスの出力電圧の温度係数は、INL、DNL、TUEに影響を及ぼします。周囲条件に対するDAC出力電圧の温度依存性を低く抑えるために、精度の高い温度係数仕様を備えたリファレンスを選択してください。

比較的低いノイズが求められる高精度のアプリケーションでは、リファレンスの出力電圧ノイズを考慮に入れる必要があります。要求されるシステム・ノイズ分解能に対して、可能な限り出力ノイズ電圧が低いリファレンスを選択することが重要です。ADR435などの高精度リファレンスは、0.1~10Hzの範囲で出力ノイズが低く抑えられています。AD5061の電源として推奨する高精度リファレンスの例を表7に示します。

表7. AD5061用の高精度リファレンス一覧

製品番号	初期精度 (mV(max))	温度ドリフト (ppm/ (max))	0.1~10Hzの ノイズ (μ Vp-p(typ))
ADR435	± 2	3 (SO-8)	8
ADR425	± 2	3 (SO-8)	3.4
ADR02	± 3	3 (SO-8)	10
ADR02	± 3	3 (SC70)	10
ADR395	± 5	9 (TSOT-23)	8

AD5061を使用したバイポーラ動作

AD5061は単電源動作に設計されていますが、図47に示す回路を使用すると、バイポーラ出力電圧範囲を設定することも可能です。この回路では出力電圧範囲が ± 5 Vとなります。AD8675/AD820/AD8032またはOP196/OP295を使用すると、アンプ出力でのレールtoレール動作が可能になります。

任意の入力コードに対する出力電圧は、次のように算出できます。

$$V_o = \left[V_{DD} \times \left(\frac{D}{65536} \right) \times \left(\frac{R1 + R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

ここで、Dは入力コードと等価な10進値(0~65,536)を表します。

$V_{REF} = 5$ V、 $R1 = R2 = 10$ k Ω のとき、

$$V_o = \left(\frac{10 \times D}{65536} \right) - 5$$

出力電圧範囲は ± 5 Vとなり、0x0000が-5V出力、0xFFFFが+5V出力に相当します。

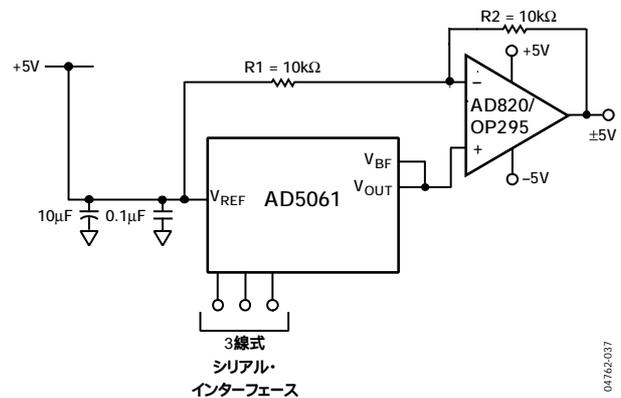


図47. AD5061を使用したバイポーラ動作

デジタル・アイソレータ (iCoupler) を用いた絶縁インターフェース

工業環境のプロセス制御アプリケーションでは、絶縁インターフェースが必要となることがよくあります。それは、DACが動作している環境下で望ましくない同相電圧から制御回路を保護したり、絶縁したりする必要があるからです。iCoupler®は2.5kVを超える絶縁が可能です。AD5061は3線式のシリアル・ロジック・インターフェースを使用しているため、「ADuM130x」ファミリーはDACインターフェースに理想的なデジタル・ソリューションです。

ADuM130xアイソレータは、さまざまなチャンネル設定とデータレートで、3つの独立した絶縁チャンネルを提供します。これらは、2.7~5.5Vの全範囲で動作し、低電圧システムとの互換性を提供し、絶縁バリアにまたがる電圧変換機能を実現します。

図48は、AD5061を使用した代表的な絶縁インターフェース構成を示します。デバイスの電源もトランスを使用して絶縁してください。トランスのDAC側では、AD5061に必要な5V電源は、5Vレギュレータから提供されます。

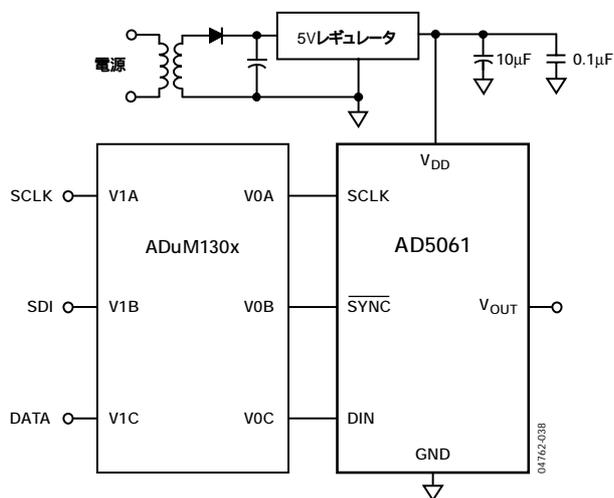


図48. iCouplerを用いた絶縁インターフェース

電源のバイパスとグラウンディング

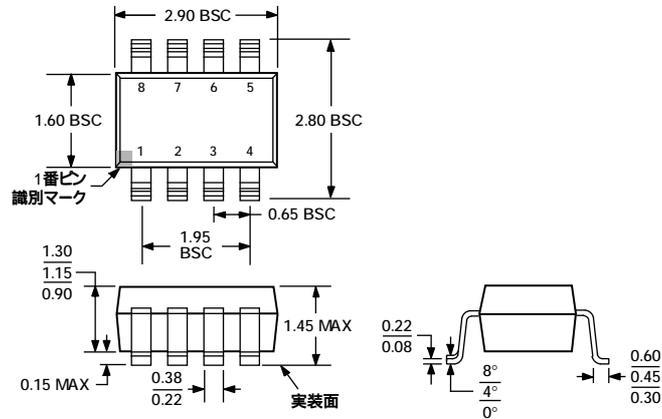
精度が重視される回路では、ボード上の電源とグラウンド・リターンのレイアウトに注意してください。AD5061を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5061を使用する場合は、必ず1ヵ所のみでこの接続を行ってください。グラウンド・ポイントはAD5061のできるかぎり近くに配置してください。

AD5061の電源は、10μFと0.1μFのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1μFのコンデンサは理想的にはデバイスの真上に配置してください。10μFのコンデンサはタンタルのビード型を使います。0.1μFのコンデンサは、セラミック型の等価直列抵抗 (ESR) が小さく、かつ等価直列インダクタンス (ESI) が小さいものを使うことが重要です。この0.1μFのコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させます。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

AD5061

外形寸法



JEDEC規格MO-178-BAに準拠

図49. 8ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23]
(RJ-8)

寸法単位 : mm

オーダー・ガイド

モデル	温度範囲	INL	説明	パッケージ	パッケージ・オプション	マーキング
AD5061BRJZ-1REEL7 ¹	- 40 ~ + 85	4LSB	2.7 ~ 5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D43
AD5061BRJZ-1500RL7 ¹	- 40 ~ + 85	4LSB	2.7 ~ 5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D43
AD5061BRJZ-2REEL7 ¹	- 40 ~ + 85	4LSB	2.7 ~ 5.5V、 ミッドスケールにリセット	8ピンSOT-23	RJ-8	D44
AD5061BRJZ-2500RL7 ¹	- 40 ~ + 85	4LSB	2.7 ~ 5.5V、 ミッドスケールにリセット	8ピンSOT-23	RJ-8	D44
AD5061YRJZ-1500RL7 ¹	- 40 ~ + 125	4LSB	2.7 ~ 5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D6G
AD5061YRJZ-1REEL7 ¹	- 40 ~ + 125	4LSB	2.7 ~ 5.5V、0Vにリセット	8ピンSOT-23	RJ-8	D6G
EVAL-AD5061EB				評価用ボード		

¹ Z=鉛フリー製品