

## AD5428/AD5440/AD5447

### 特長

- 乗算帯域幅: 10MHz
- 高速パラレル・インターフェース(書込みサイクル58MSPS)
- AD7528のアップグレード(AD5428)
- AD7547のアップグレード(AD5447)
- 2.5~5.5V電源動作
- ±10Vリファレンス入力
- 20/24ピンTSSOPパッケージ
- デュアル 8/10/12ビット電流出力DAC
- 単調増加性を保証
- 4象限乗算機能
- パワーオン・リセット
- リードバック機能
- 消費電流: 0.5  $\mu$ A (typ)

### 機能ブロック図

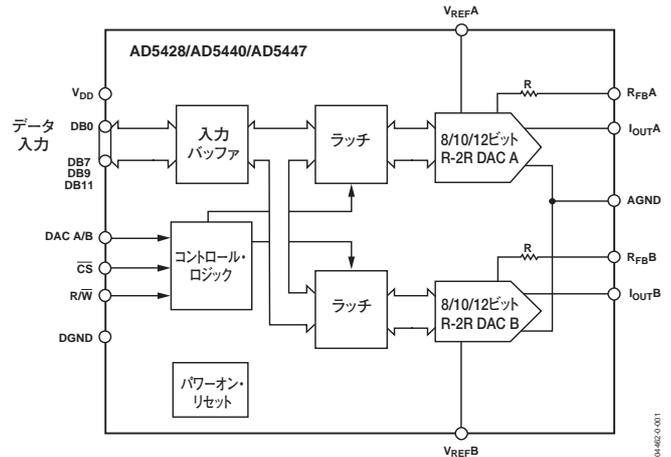


図1. AD5428/AD5440/AD5447

### アプリケーション

- バッテリー駆動の携帯機器
- 波形ジェネレータ
- アナログ信号処理
- 計測器
- プログラマブルなアンプおよび減衰器
- デジタル制御によるキャリブレーション
- プログラマブルなフィルタおよび発振器
- コンポジット・ビデオ
- 超音波
- ゲイン、オフセット、電圧のトリミング

### 概要

AD5428/AD5440/AD5447<sup>1</sup>は、それぞれ8/10/12ビットのデュアルCMOS電流出力D/Aコンバータ(DAC)です。

各製品は2.5~5.5Vの電源で動作するため、バッテリー駆動を始めとするさまざまなアプリケーションに適しています。

DACにはデータ・リードバック機能があり、DBピンを介してDACレジスタの値を読み出すことができます。パワーアップ時には、内部レジスタとラッチにゼロが設定されるため、DAC出力はゼロスケールとなります。

AD5428/AD5440/AD5447はCMOSサブミクロン・プロセスで製造されているため、最大10MHzの大信号乗算帯域幅を持つ優れた4象限乗算機能を提供します。

フルスケール出力電流は、外部リファレンス入力電圧( $V_{REF}$ )により決定されます。内蔵の帰還抵抗( $R_{FB}$ )を外付けのI/V(電流/電圧)変換用高精度アンプと組み合わせて使用すると、温度トラッキングが良好なフルスケール電圧出力が得られます。

AD5428は小型の20ピンTSSOPパッケージ、AD5440/AD5447 DACは小型の24ピンTSSOPパッケージを採用しています。

<sup>1</sup> 米国特許No. 5,689,257

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは、REVISIONが古い場合があります。最新の内容については、英語版をご参照ください。©2004 Analog Devices, Inc. All rights reserved.

# AD5428/AD5440/AD5447

## 目次

仕様	3	DACをデバイダまたはプログラマブル・ゲイン素子として	
タイミング仕様	5	使用する場合	19
絶対最大定格	6	リファレンスの選択	20
ESDに関する注意	6	アンプの選択	20
ピン配置および機能の説明	7	パラレル・インターフェース	20
用語の説明	10	マイクロプロセッサとのインターフェース	20
代表的な性能特性	11	PCボードのレイアウトと電源デカップリング	21
内部構成概要	16	DAC用評価用ボード	21
回路動作	16	評価用ボードの電源	21
単電源アプリケーション	18	部品表 (BOM)	25
正の出力電圧	19	AD54xxデバイスの概要	26
ゲインの追加	19	外形寸法	27
		オーダー・ガイド	28

## 改訂履歴

7/04-レビジョン0：初版

# AD5428/AD5440/AD5447

## 仕様

Yバージョンの温度範囲は-40~+125°C。

$V_{DD}=2.5\sim 5.5V$ 、 $V_{REFA}=V_{REFB}=+10V$ 、 $AGND=0V$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定し、DC性能はOP1177、AC性能はAD8038を使用して測定。

表1

パラメータ	Min	Typ	Max	単位	条件
静的性能					
AD5428					
分解能			8	ビット	
相対精度 (INL)			±0.25	LSB	
微分非直線性 (DNL)			±1	LSB	単調増加性を保証
AD5440					
分解能			10	ビット	
相対精度 (INL)			±0.5	LSB	
微分非直線性 (DNL)			±1	LSB	単調増加性を保証
AD5447					
分解能			12	ビット	
相対精度 (INL)			±1	LSB	
微分非直線性 (DNL)			-1/+2	LSB	単調増加性を保証
ゲイン誤差			±10	mV	
ゲイン誤差温度係数 <sup>T1</sup>		±5		ppm FSR/°C	
出力リーク電流			±10	nA	データ=0000 <sub>H</sub> 、 $T_A=25^\circ C$
			±25	nA	データ=0000 <sub>H</sub> 、 $T_A=125^\circ C$
リファレンス入力 <sup>1</sup>					
リファレンス電圧入力範囲		±10		V	
$V_{REFA}$ 、 $V_{REFB}$ 入力抵抗	8	10	12	k $\Omega$	入力抵抗の温度係数(TC)=-50ppm/°C
$V_{REFA}$ と $V_{REFB}$ 間の入力抵抗の不一致		1.6	2.5	%	Typ=25°C、Max=125°C
$R_{FBA}$ 、 $R_{FBB}$ 入力抵抗	8	10	12	k $\Omega$	入力抵抗(TC)=-50ppm/°C
入力容量					
コード0		3	6	pF	
コード4095		5	8	pF	
デジタル入出力 <sup>1</sup>					
入力ハイレベル電圧 ( $V_{IH}$ )	1.7			V	$V_{DD}=2.5\sim 5.5V$
入力ローレベル電圧 ( $V_{IL}$ )			0.8	V	$V_{DD}=2.7\sim 5.5V$
			0.7	V	$V_{DD}=2.5\sim 2.7V$
入力リーク電流 ( $I_{IL}$ )			2	$\mu A$	
入力容量		4	10	pF	
$V_{DD}=4.5\sim 5.5V$					
出力ローレベル電圧 ( $V_{OL}$ )			0.4	V	$I_{SINK}=200\mu A$
出力ハイレベル電圧 ( $V_{OH}$ )	$V_{DD}-1$			V	$I_{SOURCE}=200\mu A$
$V_{DD}=2.5\sim 3.6V$					
出力ローレベル電圧 ( $V_{OL}$ )			0.4	V	$I_{SINK}=200\mu A$
出力ハイレベル電圧 ( $V_{OH}$ )	$V_{DD}-0.5$			V	$I_{SOURCE}=200\mu A$
動的性能 <sup>1</sup>					
リファレンス入力帯域幅		10		MHz	$V_{REF}=\pm 3.5V$ 、全ビット「1」をDACにロード
出力電圧セトリング時間					$V_{REF}=\pm 10V$ 、 $R_{LOAD}=100\Omega$ 、 $C_{LOAD}=15pF$
					DAC ラッチに全ビット「1」と「0」を交互にロード
AD5428		30	60	ns	フルスケールの±16mVまで
AD5440		35	70	ns	フルスケールの±4mVまで
AD5447		80	120	ns	フルスケールの±1mVまで

# AD5428/AD5440/AD5447

パラメータ	Min	Typ	Max	単位	条件
デジタル遅延		20	40	ns	インターフェース遅延時間
10%から90%へのセトリング時間		15	30	ns	立上がりおよび立下がり時間、 $V_{REF}=10V$ 、 $R_{LOAD}=100\Omega$
デジタルからアナログへのグリッチ・インパルス		2		nV-s	メジャー・キャリヤ付近での1LSB変化、 $V_{REF}=0V$
乗算フィードスルー誤差			-75	dB	DACラッチに全ビット「0」をロード、リファレンス=10kHz
出力容量					
$I_{OUT2}$		22	25	pF	DACラッチに全ビット「0」をロード
		10	12	pF	DACラッチに全ビット「1」をロード
$I_{OUT1}$		12	17	pF	DACラッチに全ビット「0」をロード
		25	30	pF	DACラッチに全ビット「1」をロード
デジタル・フィードスルー		1		nV-s	$\overline{CS}$ がハイレベルで、全ビット「0」と全ビット「1」を交互にロードしたときのDAC出力へのフィードスルー
全高調波歪み (THD)		-81		dB	$V_{REF}=3.5V_{p-p}$ 、全ビット「1」をロード、 $f=1kHz$
出力ノイズ・スペクトル密度		25		nV/ $\sqrt{Hz}$	@1kHz
SFDR 性能 (ワイドバンド)					AD5447、65kコード、 $V_{REF}=3.5V$
クロック=10MHz					
500kHz $f_{OUT}$		55		dB	
100kHz $f_{OUT}$		63		dB	
50kHz $f_{OUT}$		65		dB	
クロック=25MHz					
500kHz $f_{OUT}$		50		dB	
100kHz $f_{OUT}$		60		dB	
50kHz $f_{OUT}$		62		dB	
SFDR 性能 (ナローバンド)					AD5447、65kコード、 $V_{REF}=3.5V$
クロック=10MHz					
500kHz $f_{OUT}$		73		dB	
100kHz $f_{OUT}$		80		dB	
50kHz $f_{OUT}$		87		dB	
クロック=25MHz					
500kHz $f_{OUT}$		70		dB	
100kHz $f_{OUT}$		75		dB	
50kHz $f_{OUT}$		80		dB	
相互変調歪み (IMD)					AD5447、65kコード、 $V_{REF}=3.5V$
クロック=10MHz					
$f_1=400kHz$ 、 $f_2=500kHz$		65		dB	
$f_1=40kHz$ 、 $f_2=50kHz$		72		dB	
クロック=25MHz					
$f_1=400kHz$ 、 $f_2=500kHz$		51		dB	
$f_1=40kHz$ 、 $f_2=50kHz$		65		dB	
電源条件					
電源電圧範囲	2.5		5.5	V	
$I_{DD}$			0.6	$\mu A$	$T_A=25^\circ C$ 。ロジック入力=0Vまたは $V_{DD}$
		0.5	10	$\mu A$	ロジック入力=0Vまたは $V_{DD}$
電源電圧変動感度 <sup>1</sup>			0.001	%/%	$\Delta V_{DD}=\pm 5\%$

<sup>1</sup> 設計により保証。出荷テストは行っていません。

## タイミング仕様

Yバージョンの温度範囲は-40~+125℃。設計および特性評価により保証。出荷テストは行っていません。

すべての入力信号は $t_r=t_f=1\text{ns}$  ( $V_{DD}$ の10%から90%)で規定し、 $(V_{IL}+V_{IH})/2$ の電圧レベルからの時間とします。デジタル出力のタイミングは図3の負荷回路で測定。 $V_{DD}=2.5\sim 5.5\text{V}$ 、 $V_{REF}=10\text{V}$ 、 $I_{OUT2}=0\text{V}$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表2

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ での限界値	単位	条件/コメント
書き込みモード			
$t_1$	0	ns min	R/ $\bar{W}$ から $\bar{CS}$ までのセットアップ時間
$t_2$	0	ns min	R/ $\bar{W}$ から $\bar{CS}$ までのホールド時間
$t_3$	10	ns min	$\bar{CS}$ のローレベル時間
$t_4$	10	ns min	アドレス・セットアップ時間
$t_5$	0	ns min	アドレス・ホールド時間
$t_6$	6	ns min	データのセットアップ時間
$t_7$	0	ns min	データのホールド時間
$t_8$	5	ns min	R/ $\bar{W}$ のハイレベルから $\bar{CS}$ のローレベルまで
$t_9$	7	ns min	$\bar{CS}$ の最小ハイレベル時間
データ・リードバック・モード			
$t_{10}$	0	ns typ	アドレスのセットアップ時間
$t_{11}$	0	ns typ	アドレスのホールド時間
$t_{12}$	5	ns typ	データ・アクセス時間
	25	ns max	
$t_{13}$	5	ns typ	バス開放時間
	10	ns max	

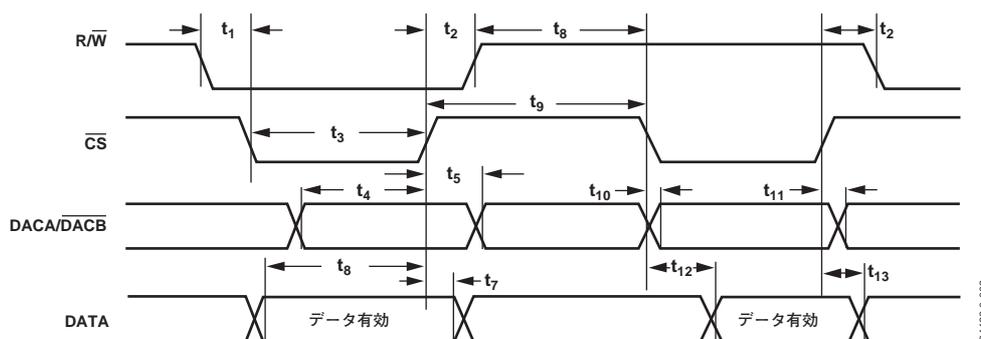


図2. タイミング図

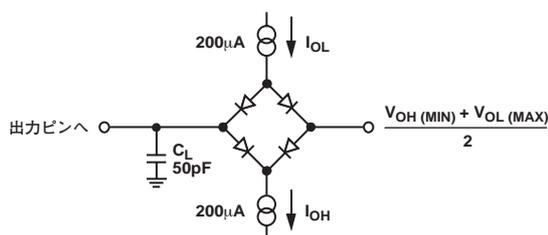


図3. データ出力タイミング仕様の負荷回路

# AD5428/AD5440/AD5447

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表3

パラメータ	定格
GNDに対する $V_{DD}$	-0.3~+7V
DGNDに対する $V_{REFA}$ 、 $V_{REFB}$ 、 $R_{FBA}$ 、 $R_{FBB}$	-12~+12V
DGNDに対する $I_{OUT1}$ 、 $I_{OUT2}$	-0.3~+7V
ロジック入力および出力 <sup>1</sup>	-0.3~ $V_{DD}+0.3\text{V}$
動作温度範囲	-40~+125 $^{\circ}\text{C}$
車載(Yバージョン)	
保存温度範囲	-65~+150 $^{\circ}\text{C}$
ジャンクション温度	150 $^{\circ}\text{C}$
20ピンTSSOP $\theta_{JA}$ 熱抵抗	143 $^{\circ}\text{C}/\text{W}$
24ピンTSSOP $\theta_{JA}$ 熱抵抗	128 $^{\circ}\text{C}/\text{W}$
ピン温度(ハンダ処理、10秒)	300 $^{\circ}\text{C}$
赤外線リフロー時のピーク温度(<20秒)	235 $^{\circ}\text{C}$

<sup>1</sup> DBx、CS、 $\overline{W}/R$ での過電圧は、内部ダイオードでクランプされます。電流は規定された最大定格に制限してください。

## 注意

ESD(静電放電)の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



## ピン配置および機能の説明

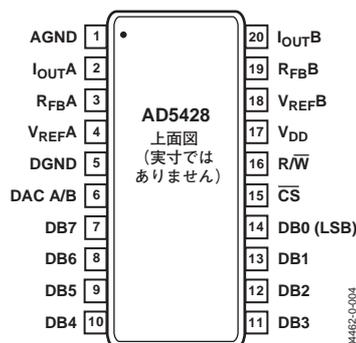


図4. 20ピン TSSOP( RU-20 )のピン配置

表4. AD5428のピン機能の説明

ピン番号	記号	機能
1	AGND	DACグラウンド・ピン。通常、このピンはシステムのアナログ・グラウンドに接続しますが、単電源動作するときはバイアスを加えることもあります。
2、20	IOUTA、IOUTB	DAC電流出力
3、19	RFB A、RFB B	DAC 帰還抵抗ピン。外付けアンプの出力に接続することで、DACの電流出力を電圧に変換します。
4、18	VREF A、VREF B	DACのリファレンス電圧入力端子
5	DGND	デジタル・グラウンド・ピン
6	DAC A/B	DAC AまたはDAC Bを選択。ローレベルでDAC A、ハイレベルでDAC Bを選択します。
7～14	DB7～DB0	パラレル・データ・ビット 7～0
15	$\overline{CS}$	チップ・セレクト入力。アクティブ・ロー。R/Wとともに使用して入力ラッチにパラレル・データをロードしたり、DACレジスタからデータを読み出したりします。
16	R/W	読出し／書込み。ローレベルのとき、 $\overline{CS}$ とともに使用してパラレル・データをロードします。ハイレベルのとき、 $\overline{CS}$ とともに使用してDACレジスタの内容を読み出します。
17	VDD	正電源入力。デバイスは2.5～5.5Vの電源で動作します。

# AD5428/AD5440/AD5447

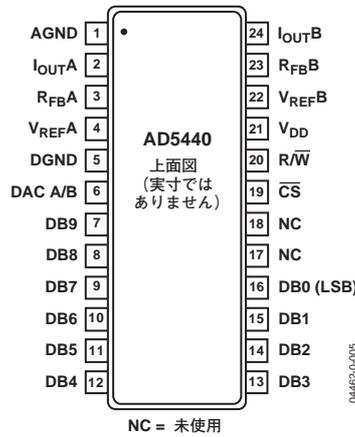


図5. 24ピンTSSOP( RU-24 )のピン配置

表5. AD5440のピン機能の説明

ピン番号	記号	機能
1	AGND	DACグラウンド・ピン。通常、このピンはシステムのアナログ・グラウンドに接続しますが、単電源動作するときはバイアスを加えることもあります。
2、24	IOUTA、IOUTB	DAC 電流出力
3、23	RFB A、RFB B	DAC 帰還抵抗ピン。外付けアンプの出力に接続することで、DACの電流出力を電圧に変換します。
4、22	VREF A、VREF B	DACのリファレンス電圧入力端子
5	DGND	デジタル・グラウンド・ピン
6	DAC A/B	DAC AまたはDAC Bを選択。ローレベルでDAC A、ハイレベルでDAC Bを選択します。
7～16	DB9～DB0	パラレル・データ・ビット 9～0
19	$\overline{CS}$	チップ・セレクト入力。アクティブ・ロー。R/ $\overline{W}$ とともに使用して入力ラッチにパラレル・データをロードしたり、DACレジスタからデータを読み出したりします。
20	R/ $\overline{W}$	読出し／書込み。ローレベルのとき、 $\overline{CS}$ とともに使用してパラレル・データをロードします。ハイレベルのとき、 $\overline{CS}$ とともに使用してDACレジスタの内容を読み出します。
21	VDD	正電源入力。デバイスは2.5～5.5Vの電源で動作します。

# AD5428/AD5440/AD5447

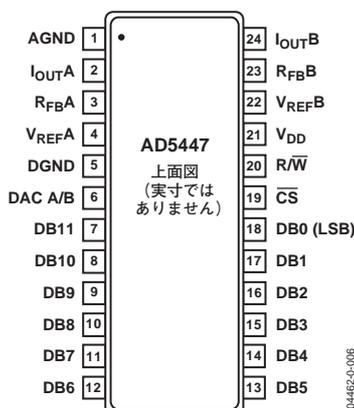


図6. 24ピン TSSOP (RU-24) のピン配置

表6. AD5447のピン機能説明

ピン番号	記号	機能
1	AGND	DAC グラウンド・ピン。通常、このピンはシステムのアナログ・グラウンドに接続しますが、単電源動作するときはバイアスを加えることもあります。
2、24	I <sub>OUTA</sub> 、I <sub>OUTB</sub>	DAC 電流出力
3、23	R <sub>FBA</sub> 、R <sub>FBB</sub>	DAC 帰還抵抗ピン。外付けアンプの出力に接続することで、DACの電流出力を電圧に変換します。
4、22	V <sub>REF A</sub> 、V <sub>REF B</sub>	DACのリファレンス電圧入力端子
5	DGND	デジタル・グラウンド・ピン
6	DAC A/B	DAC AまたはDAC Bを選択。ローレベルでDAC A、ハイレベルでDAC Bを選択します。
7～18	DB11～DB0	パラレル・データ・ビット 11～0
19	$\overline{CS}$	チップ・セレクト入力。アクティブ・ロー。R/ $\overline{W}$ とともに使用して入力ラッチにパラレル・データをロードしたり、DACレジスタからデータを読み出したりします。
20	R/ $\overline{W}$	読出し／書込み。ローレベルのとき、 $\overline{CS}$ とともに使用してパラレル・データをロードします。ハイレベルのとき、 $\overline{CS}$ とともに使用し、DACレジスタの内容を読み出します。
21	V <sub>DD</sub>	正電源入力。このデバイスは2.5～5.5Vの電源で動作することができます。

# AD5428/AD5440/AD5447

## 用語の説明

### 相対精度(INL)

相対精度すなわちエンドポイント非直線性とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差を表します。ゼロスケールおよびフルスケールの調整後に測定し、一般にLSBまたはフルスケールのパーセント値で表します。

### 微分非直線性(DNL)

微分非直線性とは、隣接する2つのコードの間における測定された変化と理想的な1LSB変化との差を表します。微分非直線性の仕様が全動作温度範囲で-1LSB以内の場合、単調増加性が保証されています。

### ゲイン誤差

ゲイン誤差またはフルスケール誤差とは、DACの理想的な出力値とデバイスの実際の出力との間の出力誤差を表します。これらのDACでは、理想的な最大出力は $V_{REF} - 1LSB$ になります。DACのゲイン誤差は、外付け抵抗を使って0に調整できます。

### 出力リーク電流

出力リーク電流は、DACのラダー・スイッチがオフのときに、これらのスイッチに流入する電流を表します。I<sub>OUT1</sub>ピンの場合は、全ビット「0」をDACにロードしてI<sub>OUT1</sub>電流を測定します。DACに全ビット「1」がロードされると、I<sub>OUT2</sub>ラインに流入する電流が最小になります。

### 出力容量

I<sub>OUT1</sub>またはI<sub>OUT2</sub>とAGNDとの間の容量。

### 出力電流セトリング時間

フルスケールの入力変化に対して、出力が規定のレベルまでセトリングするのに要する時間を表します。これらのデバイスの場合、100Ωの抵抗をグラウンドに接続して規定しています。

### デジタルからアナログへのグリッチ・インパルス

入力によって状態が変化したとき、デジタル入力からアナログ出力に注入される電荷の量。通常、グリッチの面積として規定され、グリッチが電流信号と電圧信号のどちらで測定されるかに応じて、それぞれpA-secまたはnV-secで表します。

### デジタル・フィードスルー

デバイスが選択されていないときに、デバイスのデジタル入力での高周波ロジック動作がデバイスを通して容量的に結合され、I<sub>OUT</sub>ピンと後段の回路にノイズとして現れます。このノイズがデジタル・フィードスルーです。

### 乗算フィードスルー誤差

DACに全ビット「0」がロードされたときの、DACのリファレンス入力からDACのI<sub>OUT1</sub>ピンへの容量性フィードスルーに起因する誤差を表します。

### 全高調波歪み(THD)

このDACはACリファレンス駆動が可能です。THDとは、DAC出力の各高調波のrms和と基本波の比を表します。次に示すように、一般に2~5次の高調波のみで表されます。

$$THD = 20 \log \sqrt{\frac{(V_2^2 + V_3^2 + V_4^2 + V_5^2)}{V_1}}$$

### デジタル相互変調歪み(IMD)

2次相互変調歪みは、DACでデジタル的に発生したfaとfbの2トーンと、2fa-fbと2fb-faに発生する2次の歪みとの相対振幅になります。

### スプリアスフリー・ダイナミック・レンジ(SFDR)

基本波信号がスプリアス・ノイズの干渉または歪みの影響を受けなくてすむ、DACで使用できるダイナミック・レンジをいいます。SFDRは、DCからナイキスト周波数(DACサンプリング・レートの1/2、すなわちfs/2)までの高調波または非高調波の最大のスプリアスと基本波との間の振幅差として表されます。ナローバンドのSFDRは、任意のウィンドウ・サイズ(この場合、基本波の50%)で測定したSFDRをいいます。デジタルSFDRは、信号がデジタル的に生成された正弦波の場合に、DACが使用できるダイナミック・レンジです。

## 代表的な性能特性

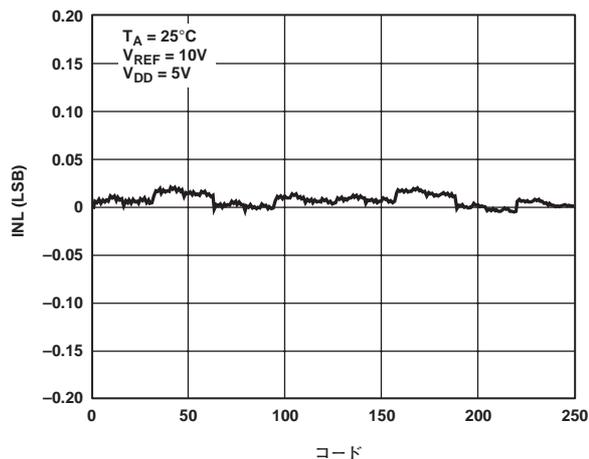


図7. コード対INL(8ビットDAC)

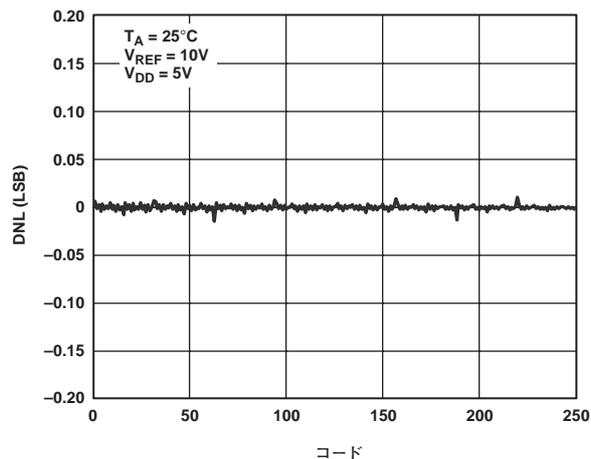


図10. コード対DNL(8ビットDAC)

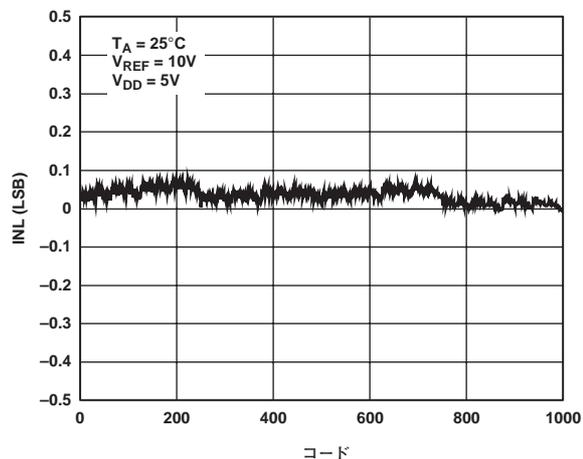


図8. コード対INL(10ビットDAC)

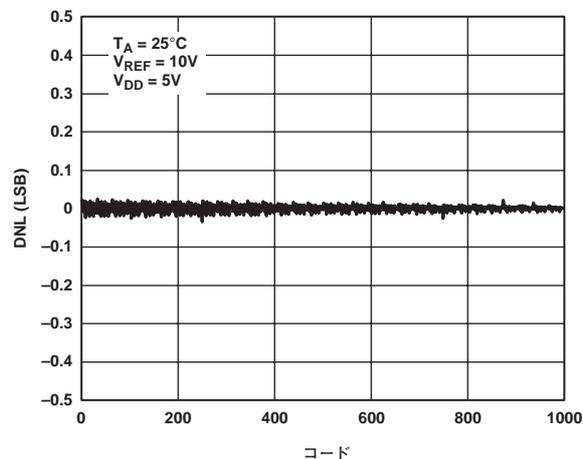


図11. コード対DNL(10ビットDAC)

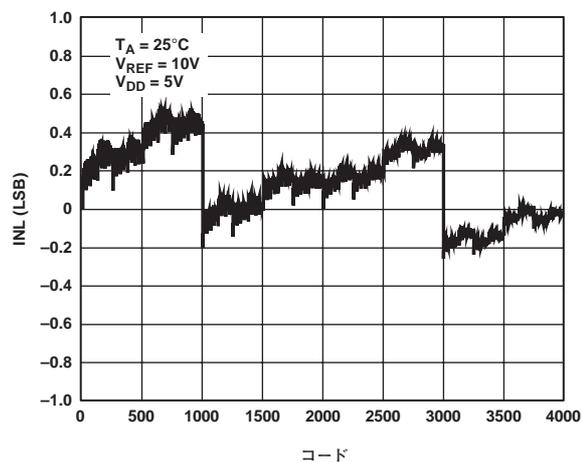


図9. コード対INL(12ビットDAC)

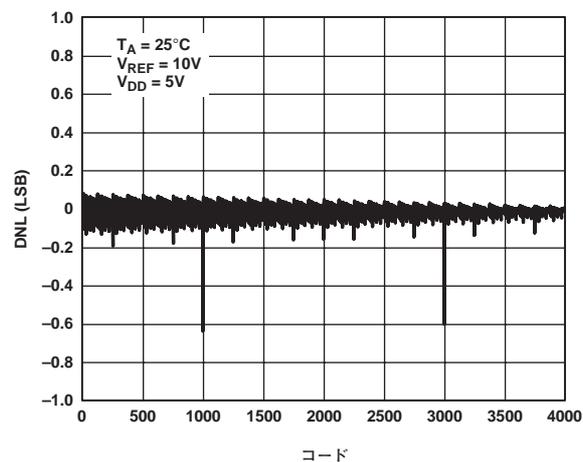


図12. コード対DNL(12ビットDAC)

# AD5428/AD5440/AD5447

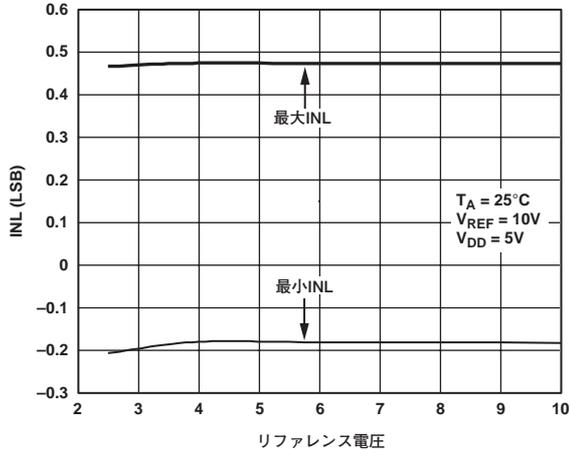


図13. リファレンス電圧 対 INL

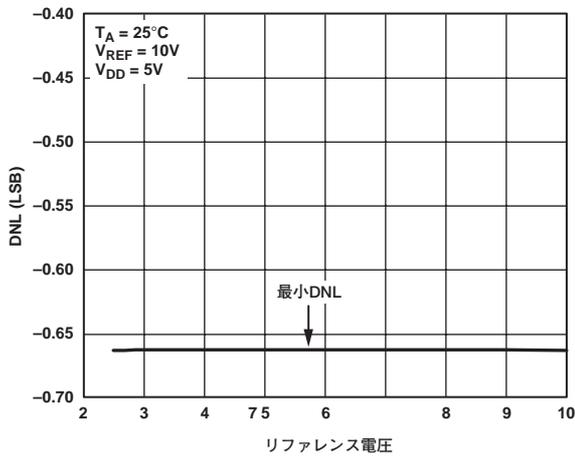


図14. リファレンス電圧 対 DNL

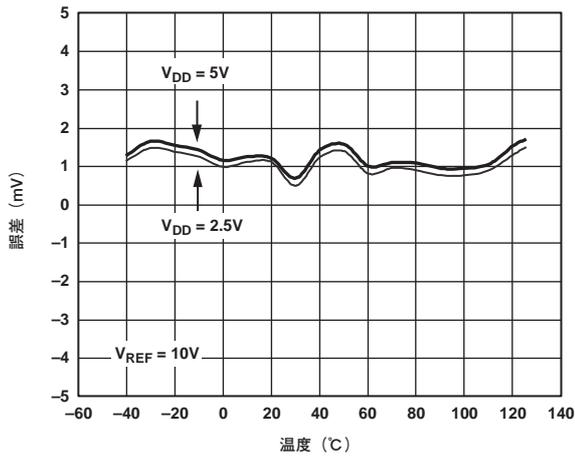


図15. ゲイン誤差の温度特性

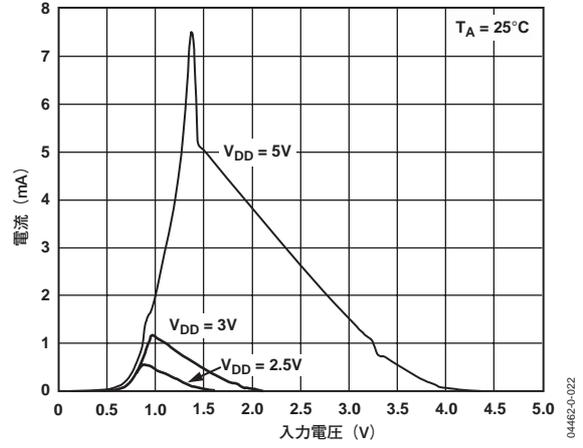


図16. ロジック入力電圧 対 電源電流

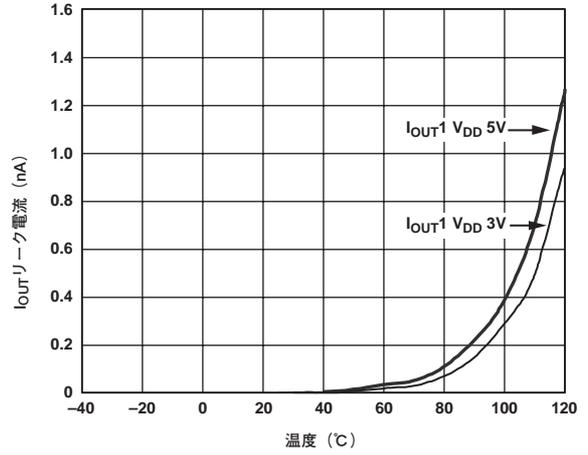


図17.  $I_{OUT1}$ リーク電流の温度特性

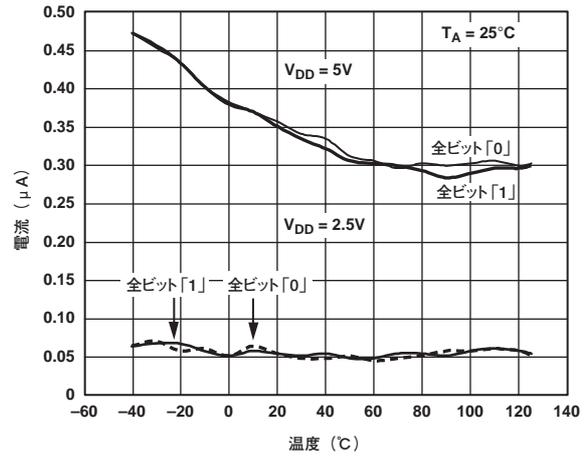


図18. 電源電流の温度特性

# AD5428/AD5440/AD5447

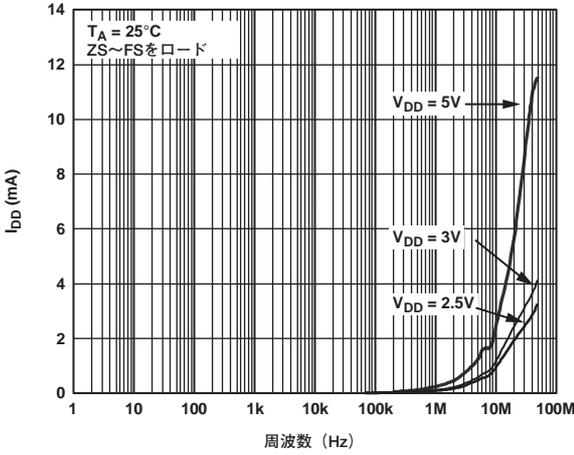


図19. 更新レート 対 電源電流

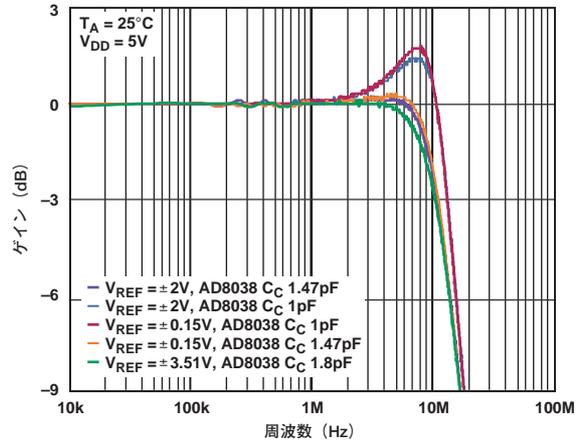


図22. 各補償コンデンサに対する  
リファレンス乗算帯域幅の周波数特性

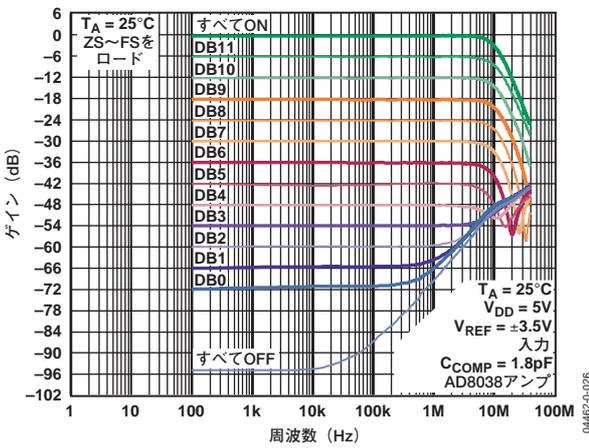


図20. 各コードに対するリファレンス乗算帯域幅の周波数特性

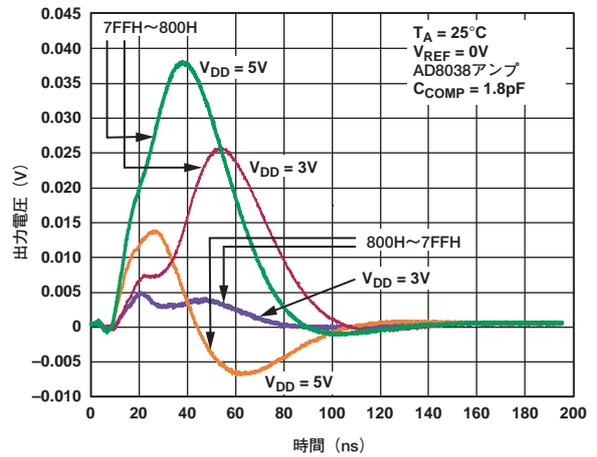


図23. ミッドスケール遷移( $V_{REF} = 0V$ )

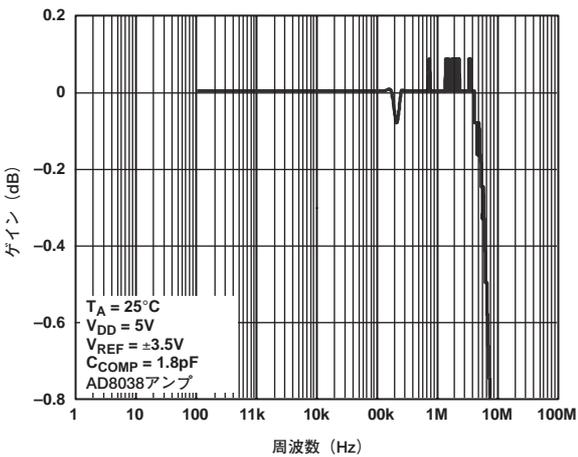


図21. リファレンス乗算帯域幅(全ビット「1」をロード)

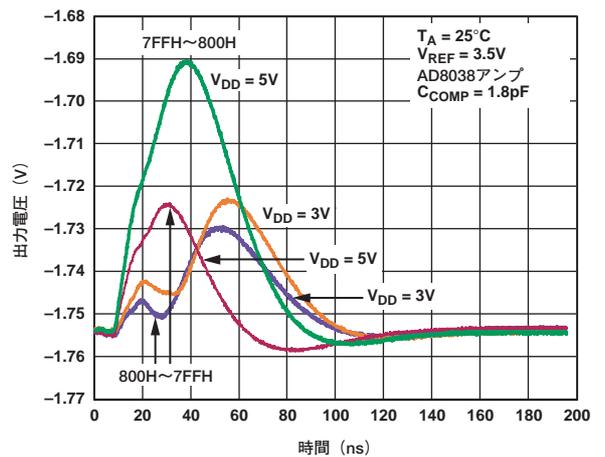


図24. ミッドスケール遷移( $V_{REF} = 3.5V$ )

# AD5428/AD5440/AD5447

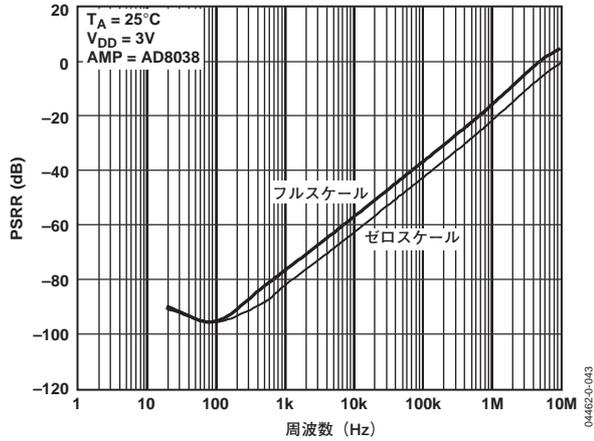


図25. 電源電圧変動除去比の周波数特性

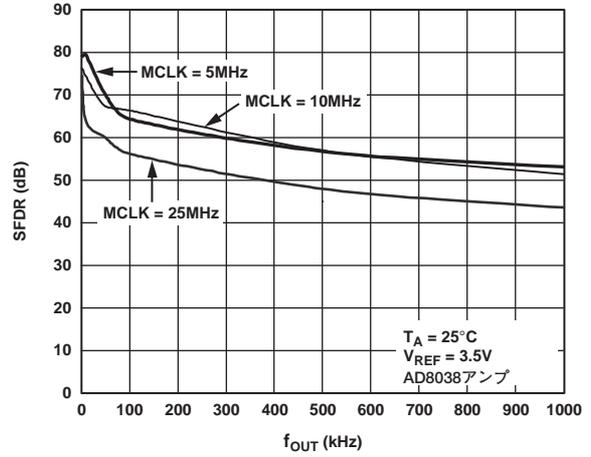


図28.  $f_{OUT}$ 周波数 対 ワイドバンドSFDR

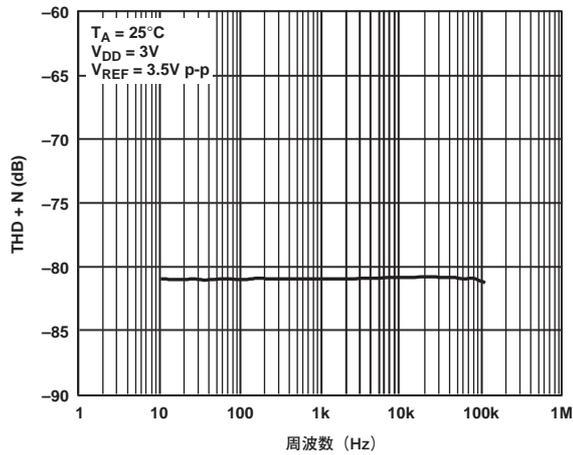


図26. THD + ノイズの周波数特性

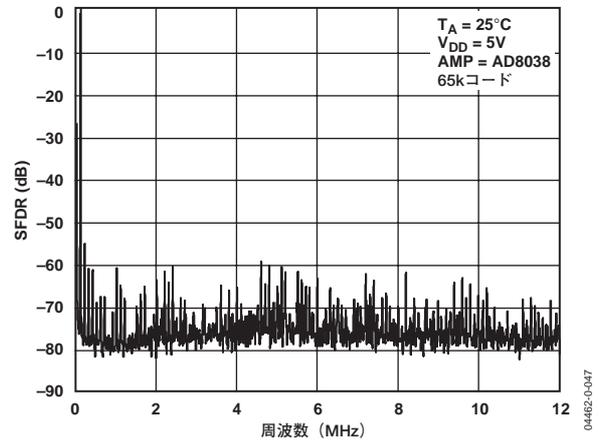


図29. ワイドバンドSFDR( $f_{OUT} = 100\text{kHz}$ , クロック = 25MHz)

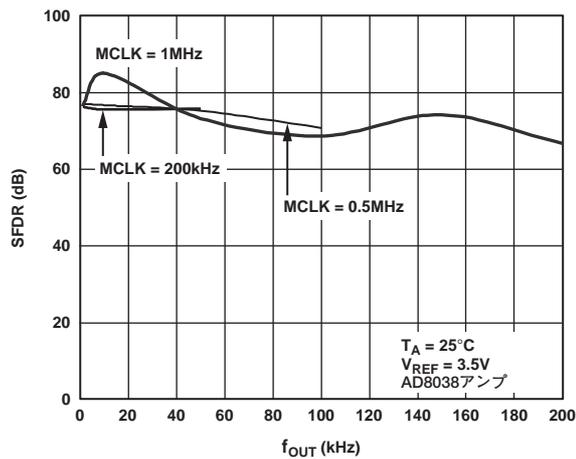


図27.  $f_{OUT}$ 周波数 対 ワイドバンドSFDR

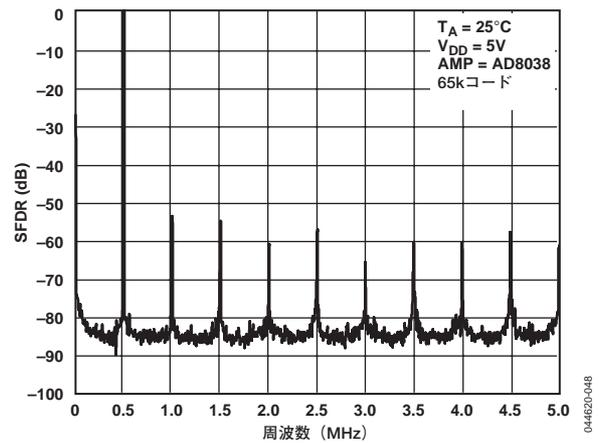


図30. ワイドバンドSFDR( $f_{OUT} = 500\text{kHz}$ , クロック = 10MHz)

# AD5428/AD5440/AD5447

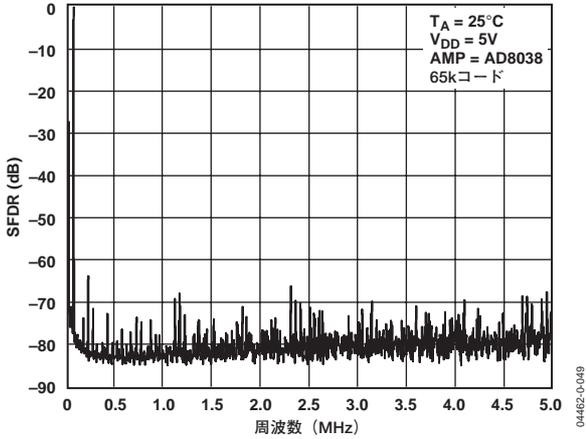


図31. ワイドバンドSFDR( $f_{OUT} = 50\text{kHz}$ , クロック = 10MHz)

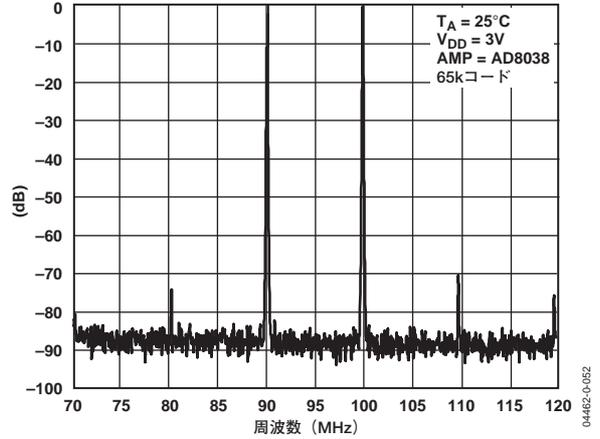


図34. ナローバンドIMD( $f_{OUT} = 90\text{kHz}$ , 100kHz, クロック = 10MHz)

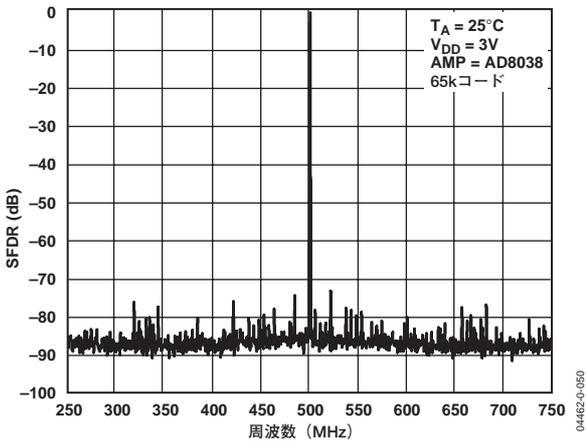


図32. ナローバンドのスペクトル応答( $f_{OUT} = 500\text{kHz}$ , クロック = 25MHz)

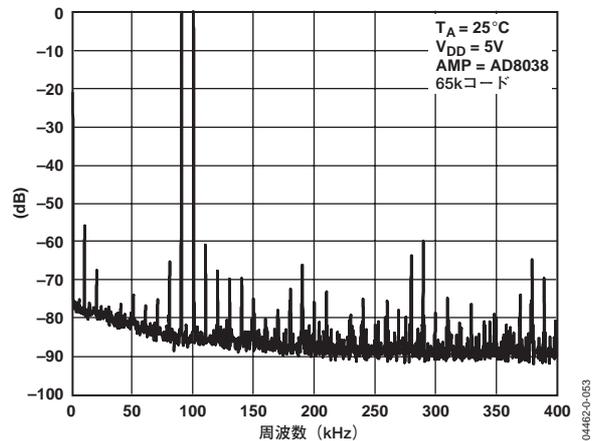


図35. ワイドバンドIMD( $f_{OUT} = 90\text{kHz}$ , 100kHz, クロック = 25MHz)

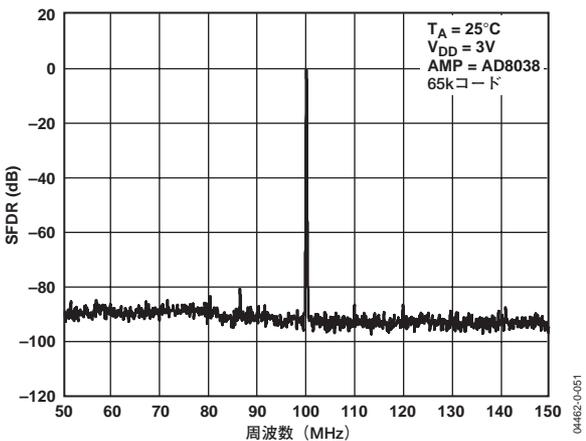


図33. ナローバンドSFDR( $f_{OUT} = 100\text{kHz}$ , クロック = 25MHz)

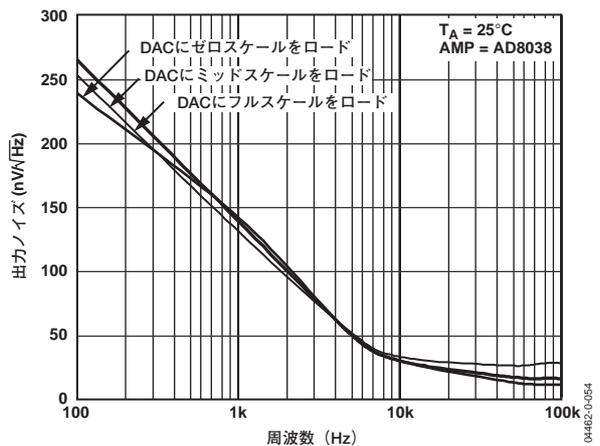


図36. 出力ノイズ・スペクトル密度

# AD5428/AD5440/AD5447

## 内部構成概要

AD5428/AD5440/AD5447は、それぞれ8/10/12ビットのデュアル電流出力DACで、標準の反転R-2Rラダーで構成されています。図37に、8ビットのAD5428の簡略回路図を示します。帰還抵抗 $R_{FB}$ は $R$ と同じ値です。 $R$ の値は通常、10k $\Omega$ （最小8k $\Omega$ 、最大12k $\Omega$ ）です。 $I_{OUT1}$ と $I_{OUT2}$ が同電位に保持されると、デジタル入力コードに関係なく一定の電流が各ラダーに流入します。したがって、 $V_{REF}$ の入力抵抗は常に一定で公称 $R$ となります。DAC出力( $I_{OUT}$ )はさまざまな抵抗値と容量値を生成するコードに依存します。外付けアンプを選択するときは、アンプの反転入力ノードで生じるインピーダンスの変動を考慮する必要があります。

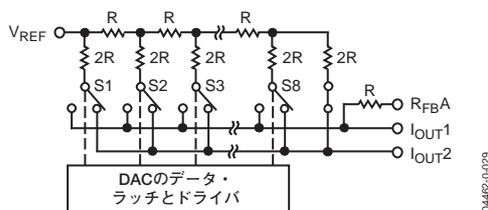


図37. 簡略回路図

DAC AとDAC Bには $V_{REF}$ 、 $R_{FB}$ 、 $I_{OUT}$ の各端子が用意してあるため、きわめて汎用性が高く、たとえば、ユニポーラ出力、バイポーラ・モードでの4象限乗算、単電源動作モードなどの複数の動作モードの設定が可能です。内蔵の $R_{FB}$ 帰還抵抗に対して直列にマッチング・スイッチが使用されていることに注意してください。 $R_{FB}$ を測定する際には、 $V_{DD}$ に電源を接続して連続性を維持する必要があります。

## 回路動作

### ユニポーラ・モード

オペアンプを1個使うと、図38に示す2象限乗算動作すなわちユニポーラ出力電圧振幅を持つようにデバイスを容易に構成できます。出力アンプをユニポーラ・モードで接続した場合、出力電圧は次式で得られます。

$$V_{OUT} = -V_{REF} \times D/2^n$$

ここで、 $D$ はDACにロードされたデジタル値(デシマル)で、 $n$ はDACの分解能です。

$$\begin{aligned} D &= 0 \sim 255 \text{ (8ビットAD5428)} \\ &= 0 \sim 1023 \text{ (10ビットAD5440)} \\ &= 0 \sim 4095 \text{ (12ビットAD5447)} \end{aligned}$$

なお、出力電圧の極性は、DCリファレンス電圧の $V_{REF}$ 極性と反対になります。これらのDACは、正または負のリファレンス電圧で動作するように設計されています。 $V_{DD}$ 電源ピンは、内部デジタル・ロジックがDACスイッチのオン状態とオフ状態を駆動するときのみ使います。

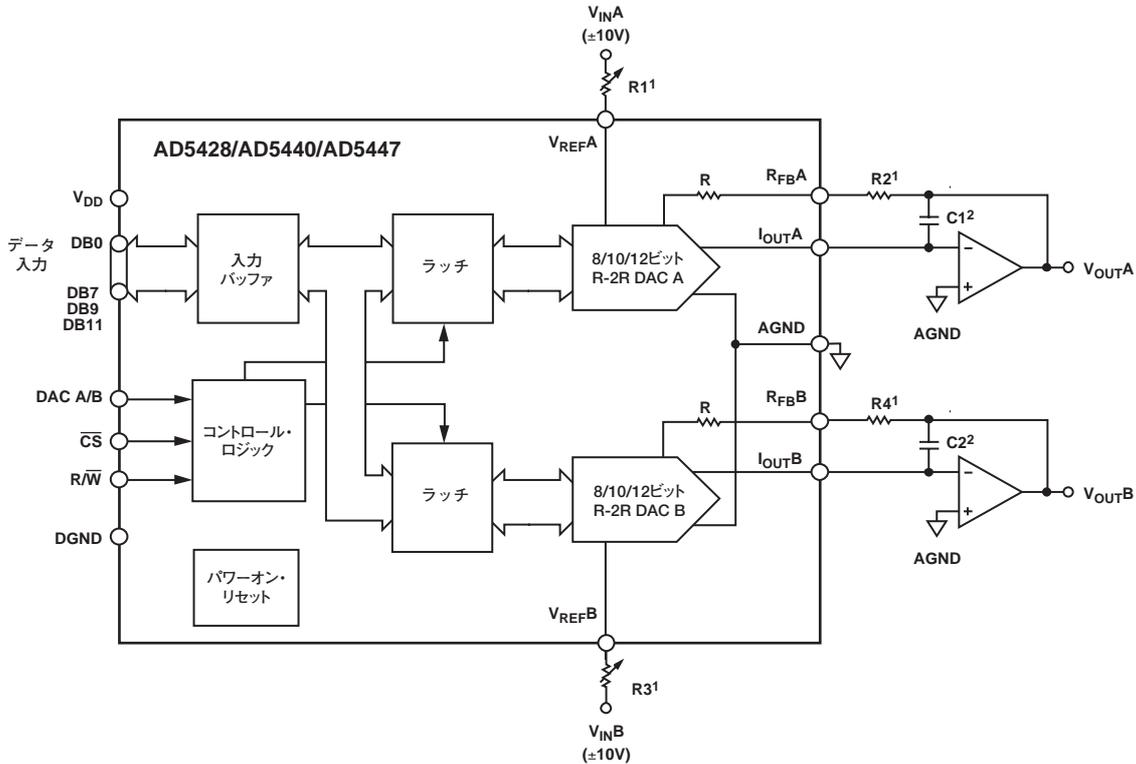
これらのDACは、 $-10 \sim +10V$ のACリファレンス信号も入力できるように設計されています。

リファレンスが10Vに固定されている場合、図38の回路は $0 \sim -10V$ のユニポーラ出力電圧振幅になります。 $V_{IN}$ がAC信号である場合、この回路は2象限乗算を実行します。

次表に、ユニポーラ動作におけるデジタル・コードと予測される出力電圧との関係を示します(AD5428、8ビット)。

表7. ユニポーラのコード表

デジタル入力	アナログ出力(V)
1111 1111	$-V_{REF} (255/256)$
1000 0000	$-V_{REF} (128/256) = -V_{REF}/2$
0000 0001	$-V_{REF} (1/256)$
0000 0000	$-V_{REF} (0/256) = 0$



- 注:
1. R1, R2およびR3, R4は、ゲイン調整が必要な場合のみ使用。
  2. 高速アンプを使うときは、リングングまたは発振を防止するために位相補償のC1, C2 (1~2pF) が必要。

044620-030

図38. ユニポーラ動作

## バイポーラ動作

アプリケーションによっては、フル4象限乗算動作やバイポーラ出力振幅が必要になることもあります。これは、外付けのアンプを1個と外付けの抵抗をいくつか追加することにより容易に実現できます(図39)。この回路では、2つめのアンプA2がゲイン2を提供します。リファレンス電圧からのオフセットを使って外付けアンプにバイアスをかけると、4象限乗算動作が得られます。この回路の伝達関数は、入力データ(D)がコード・ゼロ ( $V_{OUT} = -V_{REF}$ ) → ミッドスケール ( $V_{OUT} = 0V$ ) → フルスケール ( $V_{OUT} = +V_{REF}$ ) にインクリメントするのに対応して、負と正の両出力電圧が発生することを示しています。バイポーラ・モードで接続すると、出力電圧は次式で得られます。

$$V_{OUT} = (V_{REF} \times D/2^{n-1}) - V_{REF}$$

ここで、DはDACにロードされるデジタル値(デシマル)で、nはビット数です。

$$\begin{aligned} D &= 0 \sim 255 \text{ (AD5428)} \\ &= 0 \sim 1023 \text{ (AD5440)} \\ &= 0 \sim 4095 \text{ (AD5447)} \end{aligned}$$

$V_{IN}$ がAC信号のとき、この回路は4象限乗算を実行します。表8に、バイポーラ動作におけるデジタル・コードと予測される出力電圧との関係を示します(AD5428、8ビット)。

表8. バイポーラ・コード表

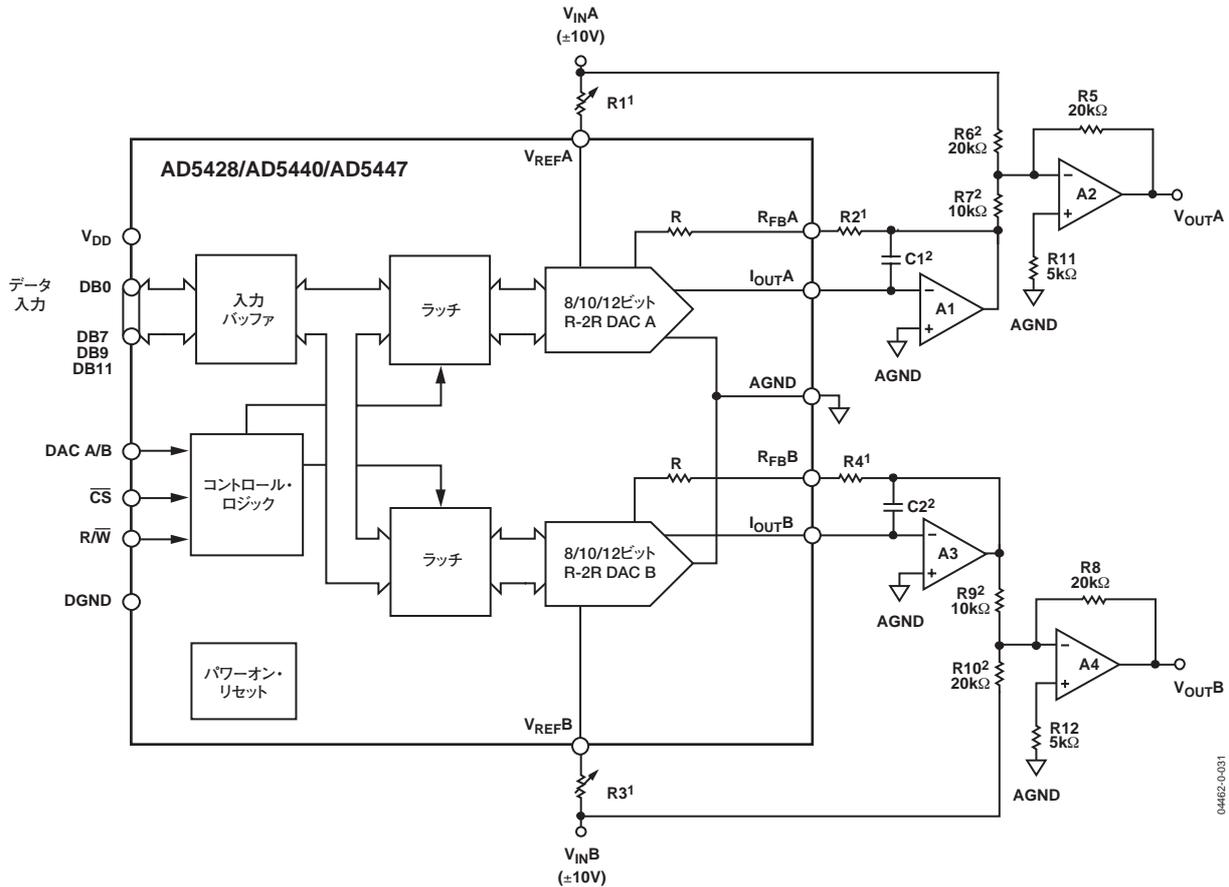
デジタル入力		アナログ出力(V)
1111	1111	$+V_{REF}$ (127/128)
1000	0000	0
0000	0001	$-V_{REF}$ (127/128)
0000	0000	$-V_{REF}$ (128/128)

## 安定性

I/V変換の構成では、DACの $I_{OUT}$ とオペアンプの反転ノードをできるだけ短い配線で接続する必要があり、適確なPCボードのレイアウトが必要です。各コード変化はステップ関数に対応するため、オペアンプのゲイン帯域幅積(GB積)が制限されていて反転ノードの寄生容量が大きい場合に、ゲイン・ピーキングが発生することがあります。この寄生容量によりオープン・ループ応答に極が生じるため、クローズド・ループ・アプリケーション回路でリングングが発生したり、回路が不安定になったりすることがあります。

安定性を得るために、オプションで補償コンデンサC1を $R_{FB}$ と並列に接続することもできます(図38と図39)。しかし、C1の値が小さすぎると出力でリングングが発生し、大きすぎるとセトリング時間に悪影響を与えます。C1の値は経験的に求められますが、一般に1~2pFで十分な補償が得られます。

# AD5428/AD5440/AD5447



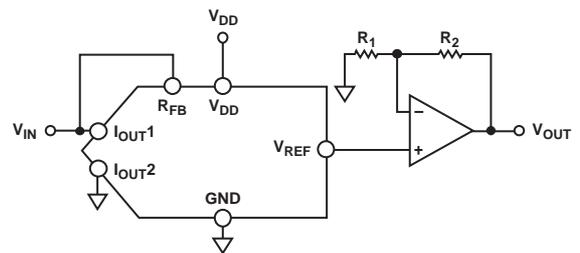
- 注：
1. R1、R2およびR3、R4は、ゲイン調整が必要な場合のみ使用。コード10000000をDAC Aラッチにロードして、 $V_{OUTA}=0V$ になるようにR1を調整します。コード10000000をDAC Bラッチにロードして、 $V_{OUTB}=0V$ になるようにR3を調整します。
  2. 抵抗ペアR6とR7およびR9とR10にはマッチングとトラッキングが不可欠です。
  3. A1/A3が高速アンプの場合、位相補償のC1、C2 (1~2pF) が必要になることもあります。

図39. バイポーラ動作(4象限乗算)

## 単電源アプリケーション

### 電圧スイッチング・モード

図40に、電圧スイッチング・モードで動作するDACを示します。リファレンス電圧 $V_{IN}$ は $I_{OUT1}$ ピンに印加され、 $I_{OUT2}$ はAGNDに接続され、出力電圧は $V_{REF}$ ピンから得られます。この構成では、正のリファレンス電圧から正の出力電圧が得られ、単電源動作が可能となります。DACからの出力は一定のインピーダンス(DACラダー抵抗)をもつ電圧であり、オペアンプによって出力電圧をバッファリングする必要があります。リファレンス入力( $V_{REF}$ )のインピーダンスは一定ではなく、コードに依存して変化します。したがって、電圧入力には低インピーダンス信号源から駆動する必要があります。



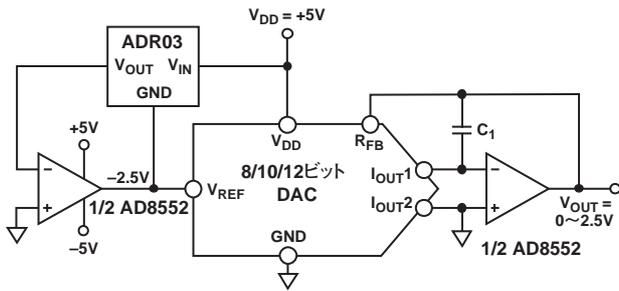
- 注：
1. わかりやすくするために他のピンは省略しています。
  2. A1が高速アンプの場合、位相補償のC1 (1~2pF) が必要になることもあります。

図40. 単電源の電圧スイッチング・モード

DACラダー内のスイッチは同じソース-ドレイン電圧をもたなくなるので、 $V_{IN}$ が低電圧に制限されることに注意してください。その結果、それらのオン抵抗が異なり、DACの積分直線性が損なわれます。また、 $V_{IN}$ は $-0.3V$ 以下にならないようにする必要があります。そうしないと、内部ダイオードがオンになり、デバイスの最大定格を超えてしまいます。このタイプのアプリケーションでは、乗算機能は失われます。

## 正の出力電圧

出力電圧の極性は、DCリファレンス電圧の $V_{REF}$ 極性の反対になります。正の電圧出力を得るには、抵抗値の誤差の影響を受けやすい反転アンプを使った出力の反転より、DACの入りに負のリファレンス電圧を接続したほうがよいでしょう。負のリファレンス電圧を生成するには、リファレンス回路の $V_{OUT}$ ピンが仮想グラウンド、 $GND$ ピンが $-2.5V$ になるように、オペアンプを使ってリファレンスをレベル・シフトすることができます(図41)。



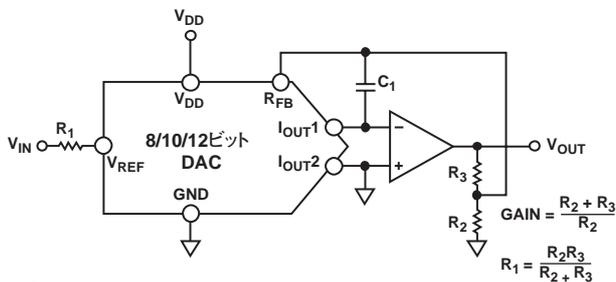
注：  
1. わかりやすくするために他のピンは省略しています。  
2. A1が高速アンプの場合、位相補償の $C_1$  (1~2pF) が必要になることもあります。

04462-0-034

図41. 最少の部品による正の電圧出力

## ゲインの追加

$V_{IN}$ より大きい出力電圧が必要なアプリケーションでは、外付けアンプを追加してゲインを増やすか、あるいは1段でゲインの増加を行います。DACの薄膜抵抗の温度係数の影響を考慮することが重要です。単に $R_{FB}$ 抵抗に直列に抵抗を接続するだけでは温度係数のミスマッチが生じて、大きなゲイン温度係数誤差が生じてしまいます。代わりに、図42に示す回路を使用して、回路のゲインを増やすことを推奨します。 $R_1$ 、 $R_2$ 、 $R_3$ はすべて同じ温度係数を持つ必要がありますが、DACの温度係数に一致させる必要はありません。この方法は、1より大きいゲインを必要とする回路に推奨されます。



注：  
1. わかりやすくするために他のピンは省略しています。  
2. A1が高速アンプの場合、位相補償の $C_1$  (1~2pF) が必要になることもあります。

04462-0-035

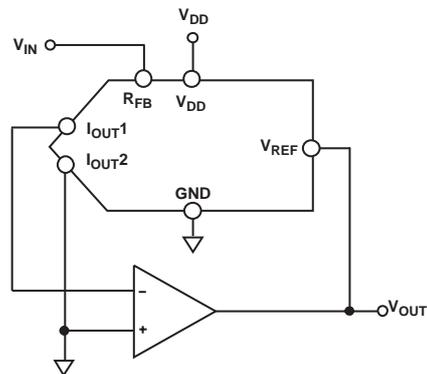
図42. 電流出力DACのゲインの増加

## DACをデバイダまたはプログラマブル・ゲイン素子として使用する場合

電流切替え型のDACは非常に柔軟であるため、さまざまなアプリケーションで活用できます。図43に示すように、このタイプのDACをオペアンプの帰還素子として接続し、 $R_{FB}$ を入力抵抗として使用する場合、出力電圧はデジタル入力値 $D$ に反比例します。

$D = 1 - 2^n$  の場合、出力電圧は次式で得られます。

$$V_{OUT} = -V_{IN} / D = -V_{IN} / (1 - 2^n)$$



注：  
わかりやすくするために他のピンは省略してあります。

04462-0-040

図43. デバイダまたはプログラマブル・ゲイン素子として使用した電流切替え型DAC

$D$ が減少するにつれて、出力電圧が増加します。デジタル値 $D$ が小さい場合は、アンプが飽和しないことと、必要な精度を満たすことが大切です。たとえば、図43の回路で2進コード $0 \times 10$  (00010000)、すなわち10進数の16で駆動する8ビットDACでは、出力電圧が $16 \times V_{IN}$ になります。しかし、DACに $\pm 0.5$ LSBの直線性がある場合、実際には $D$ の重みは $15.5/256 \sim 16.5/256$ の範囲になるため、可能な出力電圧は $15.5V_{IN} \sim 16.5V_{IN}$ の範囲になります。つまり、たとえDACそのものの最大誤差が0.2%であっても、誤差は3%になります。

DACのリーク電流も、デバイダ回路における誤差源になります。リーク電流は、DACを介してオペアンプから供給される逆向きの電流により相殺する必要があります。 $V_{REF}$ ピンは $D$ に依存する電流だけが $I_{OUT1}$ ピンに流れるため、出力電圧は次のように変化します。

DACのリーク電流に起因する出力誤差電圧 = (リーク電流  $\times R$ ) /  $D$

ここで、 $R$ は $V_{REF}$ ピンでのDAC抵抗、10nAのDACリーク電流、 $R = 10k \Omega$ 、ゲイン = 16 (すなわち $1/D$ ) に対して、誤差電圧は1.6mVになります。

# AD5428/AD5440/AD5447

## リファレンスの選択

AD54xxシリーズの電流出力DACで使用するリファレンスを選択する際には、リファレンスの出力電圧温度係数の仕様に注意する必要があります。このパラメータはフルスケール誤差に影響を及ぼすだけでなく、直線性性能 (INLとDNL)にも影響することがあります。リファレンス電圧の温度係数は、システムの精度仕様に一致させる必要があります。たとえば、0~50℃の温度範囲で全体仕様が1LSB以内に維持する必要のある8ビット・システムの場合、システムの最大温度ドリフトは78ppm/℃未満にする必要があります。同じ温度範囲で全体仕様が2LSB未満に保つ必要のある12ビット・システムでは、最大ドリフトを10ppm/℃にする必要があります。この誤差源を最小に抑えるには、低出力温度係数の高精度リファレンスを選択してください。表9に、この範囲の電流出力DACに使用できるアナログ・デバイゼのリファレンス製品を示します。

## アンプの選択

電流切替えモードに対する基本的な条件は、入力バイアス電流と入力オフセット電圧が小さいアンプを使うことです。オペアンプの入力オフセット電圧は、回路の変換ゲイン(コードに依存するDAC出力抵抗によりゲインが変化)で乗算されます。隣接する2つのデジタル値の間でこのノイズ・ゲインが変化すると、アンプの入力オフセット電圧により出力電圧にステップ変化が生じます。この出力電圧の変化が2つのコード間の出力の変化に重畳され、微分直線性誤差を発生させます。この誤差がかなり大きいと、DACの単調増加性が失われます。一般に、入力オフセット電圧は1/4 LSB未満に抑え、各コード間で単調増加性が得られるようにしてください。

オペアンプの入力バイアス電流も、帰還抵抗 $R_{FB}$ にバイアス電流が流入する結果、電圧出力にオフセットを発生させます。しかし、ほとんどのオペアンプは入力バイアス電流が十分に低いので、12ビット・アプリケーションで大きな誤差を発生させることはありません。

電圧スイッチング回路では、回路の電圧出力でコード依存性誤差が生じることから、オペアンプの同相ノイズ除去性能が重要となります。ほとんどのオペアンプは、8/10/12ビット分解能での使用に適した十分な同相ノイズ除去性能があります。

DACスイッチがワイドバンドの低インピーダンス信号源 ( $V_{IN}$ とAGND)から駆動される場合は、セトリング時間は短くなります。したがって、電圧スイッチングDAC回路のスルーレートとセトリング時間は、主として出力オペアンプによって決まります。この構成で最小のセトリング時間を実現するには、DACの $V_{REF}$ ノード(このアプリケーションでは電圧出力ノード)の容量を可能な限り小さくすることが重要です。そのためには、低入力容量をもつバッファ・アンプを使用するとともに、ボードの設計に注意する必要があります。

ほとんどの単電源回路ではグラウンドがアナログ信号の範囲に含まれますが、そのためにはレールtoレール信号を処理できるアンプが必要となります。アナログ・デバイゼでは、広範囲な単電源アンプを提供しています。

## パラレル・インターフェース

データは、8/10/12ビットのパラレル・ワードのフォーマットでAD5428/AD5440/AD5447にロードされます。コントロール・ライン $\overline{CS}$ と $R/\overline{W}$ を使用し、DACレジスタとの間でデータの読出し/書込みを行うことができます。 $\overline{CS}$ と $R/\overline{W}$ をローレベルにすると書込みイベントが発生します。データライン上のデータがシフト・レジスタに書き込まれ、 $\overline{CS}$ の立上がりエッジでデータがラッチされ、このラッチされたデータワードがDACレジスタに転送されます。DACラッチはトランスベアレントではありません。そのため、データがDACレジスタにロードされ、対応するアナログ値がDAC出力に反映されるようにするため、書込みシーケンスは $\overline{CS}$ の立下がりエッジと立上がりエッジから構成される必要があります。

$R/\overline{W}$ がハイレベルに保持され、かつ $\overline{CS}$ がローレベルになると、読出しイベントが発生します。今度は、データがDACレジスタから入力レジスタに戻され、データラインに送られます。ここから、コントローラにデータを読み出し、確認や診断を行うことができます。これらのデバイスの入力レジスタとDACレジスタはトランスベアレントでないため、各データワードをロードするために $\overline{CS}$ の立下がりと立上がりエッジが必要です。

## マイクロプロセッサとのインターフェース

AD5428/AD5440/AD5447は、さまざまな16ビットのマイクロコントローラまたはDSPプロセッサとインターフェースすることができます。図44に、AD54xx DACと一般的な16ビット・マイクロコントローラ/DSPプロセッサとのインターフェースを示します。マイクロプロセッサとこのDACファミリーとのインターフェースは、マイクロコントローラおよびDSPプロセッサと互換の標準プロトコルを採用したデータ・バスを介して行います。アドレス・デコーダは、DAC AまたはDAC Bの選択に使用します。また、パラレル・データを入力ラッチにロードしたり、ANDゲートを使用してDACからデータを読み出したりするときにもアドレス・デコーダを使用します。

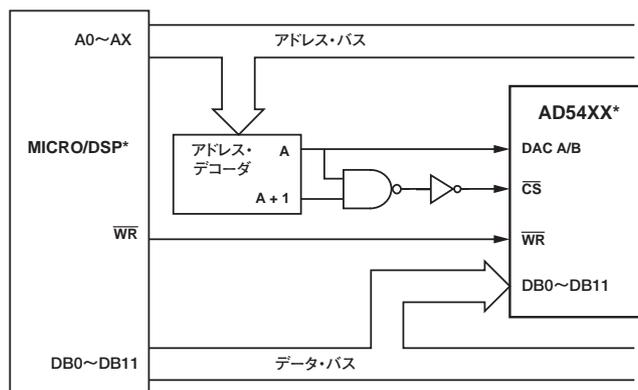


図44. AD54xxのパラレル・インターフェース

# AD5428/AD5440/AD5447

## PCボードのレイアウトと電源デカップリング

精度が重要な回路では、定格の性能を得るために電源とグラウンド・リターンレイアウトに注意する必要があります。AD5428/AD5440/AD5447を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステムでDACを使用する場合は、この接続は1カ所のみで行います。できるだけデバイスの近くにスター結線してください。

これらのDACでは、パッケージのできるだけ近い所(理想的にはデバイスの真上)に10  $\mu$ Fと0.1  $\mu$ Fのコンデンサを並列接続することにより十分な電源バイパスを持たせてください。0.1  $\mu$ Fコンデンサは、高周波でグラウンドに低インピーダンス・パスを提供する一般的なセラミック型のような等価直列抵抗(ESR)が小さく、かつ等価直列インダクタンス(ESL)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。ESRが小さい1~10  $\mu$ Fのタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧を抑え、かつ低周波リップルを除去する必要があります。

クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部分へノイズを放出しないようにし、リファレンス入力付近を通らないようにします。

デジタル信号とアナログ信号は交差しないようにしてください。ボードの両面のパターンは、互いに直角になるように配置します。これにより、ボードを通過するフィードスルーの影響を削減できます。マイクロストリップ技術は最善ですが、両面ボードでは必ずしも使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配線します。

レイアウトは、リード長をできるだけ短くしたコンパクトな設計を推奨します。入力までの配線はできるだけ短くして、IR電圧降下と浮遊インダクタンスを小さくする必要があります。

$V_{REF}$ と $R_{FB}$ の間のPCボードのメタル・パターンも、ゲイン誤差を小さくするためにマッチングさせる必要があります。最大の高周波性能を得るには、I/Vアンプをできるだけデバイスの近くに配置する必要があります。

## DAC用評価用ボード

評価用ボードは、DACとI/Vアンプ「AD8065」で構成されています。評価用ボードには、10Vリファレンス「ADR01」が実装されていますが、外付けのリファレンスもSMB入力に接続できます。

評価用キットには、DACを制御する自己インストール型のPCソフトウェアのCD-ROMが含まれています。このソフトウェアを使うと、デバイスへのコードの書き込みを容易に行うことができます。

## 評価用ボードの電源

ボードには $\pm 12V$ と $+5V$ の電源が必要です。 $+12V$ の $V_{DD}$ と $V_{SS}$ は出力アンプの電源として、 $+5V$ はDAC( $V_{DDI}$ )とトランシーバ( $V_{CC}$ )の電源として使います。

両電源は、10  $\mu$ Fのタンタル・コンデンサと0.1  $\mu$ Fのセラミック・コンデンサでそれぞれのグラウンド・プレーンにデカップリングされています。

表9. AD5428/AD5440/AD5447の各DACに推奨するADIの高精度リファレンス

リファレンス	出力電圧	初期精度	温度ドリフト	0.1~10Hzのノイズ	パッケージ
ADR01	10V	0.1%	3ppm/ $^{\circ}C$	20 $\mu$ V p-p	SC70, TSOT, SOIC
ADR02	5V	0.1%	3ppm/ $^{\circ}C$	10 $\mu$ V p-p	SC70, TSOT, SOIC
ADR03	2.5V	0.2%	3ppm/ $^{\circ}C$	10 $\mu$ V p-p	SC70, TSOT, SOIC
ADR425	5V	0.04%	3ppm/ $^{\circ}C$	3.4 $\mu$ V p-p	MSOP, SOIC

表10. AD5428/AD5440/AD5447の各DACに推奨するADIの高精度オペアンプ

製品番号	最大電源電圧(V)	$V_{OS}$ (max) $\mu$ V	$I_B$ (max) nA	GBP (MHz)	スルーレート(V/ $\mu$ s)
OP97	$\pm 20$	25	0.1	0.9	0.2
OP1177	$\pm 18$	60	2	1.3	0.7
AD8551	+6	5	0.05	1.5	0.4

表11. AD5428/AD5440/AD5447の各DACに推奨するADIの高速オペアンプ

製品番号	最大電源電圧V	BW @ $A_{CL}$ MHz	スルーレート(V/ $\mu$ s)	$V_{OS}$ (max) $\mu$ V	$I_B$ (max) nA
AD8065	$\pm 12$	145	180	1500	0.01
AD8021	$\pm 12$	200	100	1000	1000
AD8038	$\pm 5$	350	425	3000	0.75

# AD5428/AD5440/AD5447

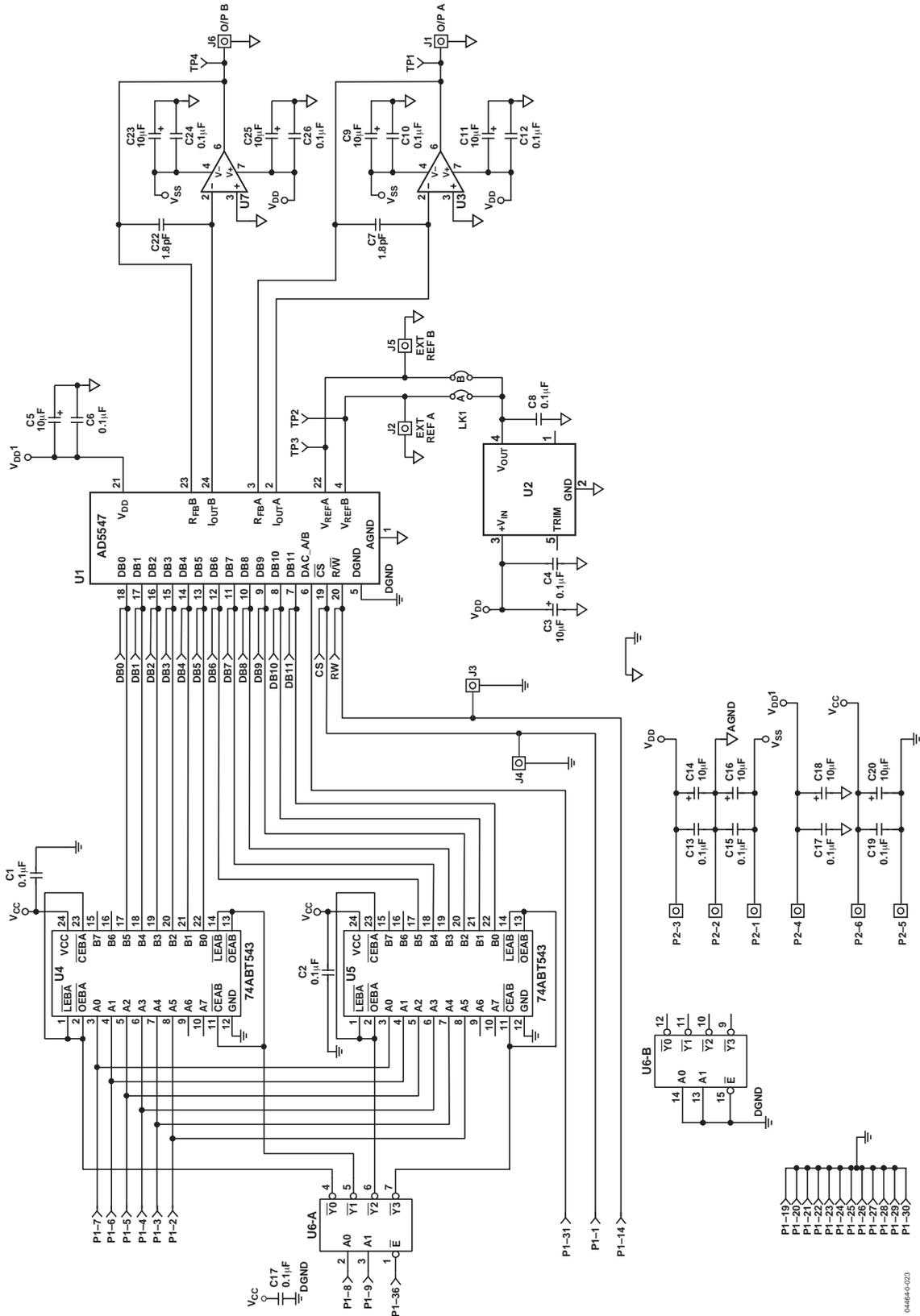
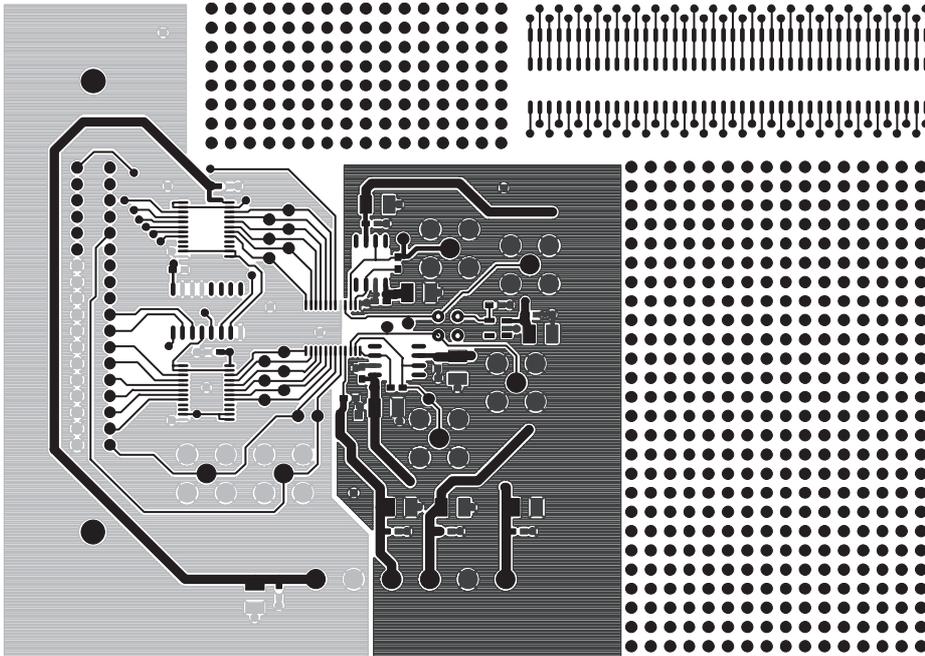
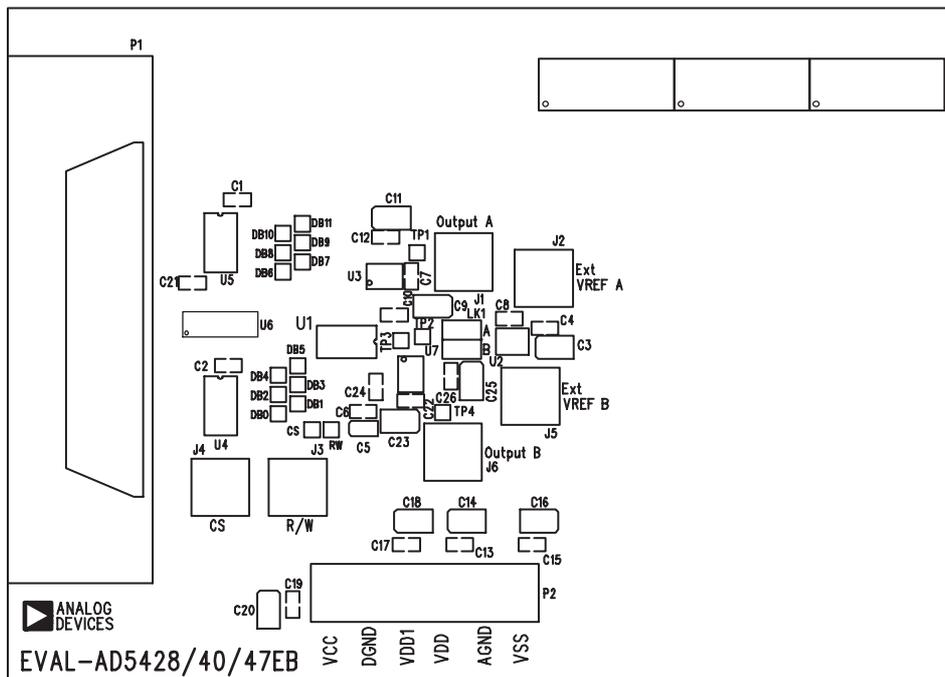


図45. AD5428/AD5440/AD5447 評価用ボードの回路図



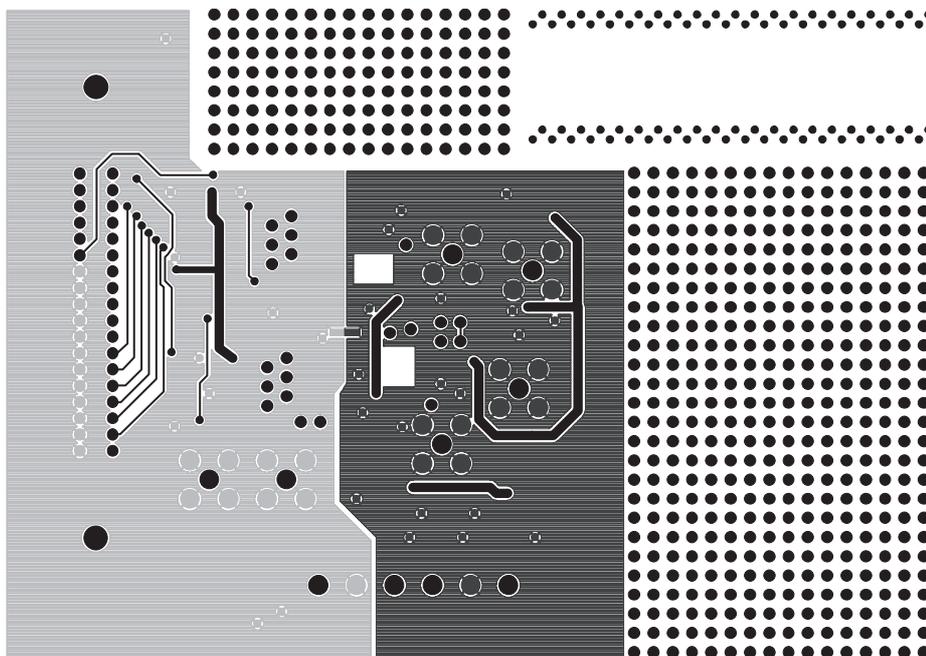
04462-0-038

図46. 部品面のアートワーク



04462-0-038

図47. シルクスクリーン 部品面(上面)



04462-03B

図48. ハンダ面のアートワーク

# AD5428/AD5440/AD5447

## 部品表(BOM)

表12

名称	部品説明	値	偏差(%)	ストック・コード
C1	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C2	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C3	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 20V	10	FEC 197-427
C4	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C5	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 10V	10	FEC 197-130
C6	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C7	NPO セラミック・コンデンサ	1.8pF	10	FEC 721-876
C8	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C9	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 20V	10	FEC 197-427
C10	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C11	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 20V	10	FEC 197-427
C12	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C13	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C14	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 20V	10	FEC 197-427
C15	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C16	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 20V	10	FEC 197-427
C17	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C18	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 20V	10	FEC 197-427
C19	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C20	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 20V	10	FEC 197-427
C21	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C22	NPO セラミック・コンデンサ	1.8pF	10	FEC 721-876
C23	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 20V	10	FEC 197-427
C24	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
C25	タンタル・コンデンサ—Tajシリーズ	10 $\mu$ F 20V	10	FEC 197-427
C26	X7R セラミック・コンデンサ	0.1 $\mu$ F	10	FEC 499-675
CS, DB0~11	テストポイント(赤)			FEC 240-345 (パック)
J1~6	SMB ソケット			FEC 310-682
J2	SMB ソケット			FEC 310-682
J3	SMB ソケット			FEC 310-682
J4	SMB ソケット			FEC 310-682
J5	SMB ソケット			FEC 310-682
J6	SMB ソケット			FEC 310-682
LK1	3ピン・ヘッダ (2x2)			FEC 511-791&528-456
P1	36ピンのセントロニクス・コネクタ			FEC 147-753
P2	6ピンの端子ブロック			FEC 151-792
R/W	テストポイント(赤)			FEC 240-345 (パック)
TP1~4	テストポイント(赤)			FEC 240-345 (パック)
U1	AD5428/AD5440/AD5447			AD5428YRU/AD5440YRU/ AD5447YRU
U2	ADR01			ADR01AR
U3	AD8065			AD8065AR
U4, U5	74ABT543			Fairchild 74ABT543CMTC
U6	74139			CD74HCT139M
U7	AD8065			AD8065AR
各コーナー	脚にゴムを装着			FEC 148-922

# AD5428/AD5440/AD5447

## AD54xx デバイスの概要

表13

製品番号	分解能	DAC数	INL (LSB)	インターフェース	パッケージ	機能
AD5424	8	1	±0.25	パラレル	RU-16、CP-20	10MHz BW、17ns $\overline{CS}$ パルス幅
AD5426	8	1	±0.25	シリアル	RM-10	10MHz BW、50MHzシリアル
AD5428	8	2	±0.25	パラレル	RU-20	10MHz BW、17ns $\overline{CS}$ パルス幅
AD5429	8	2	±0.25	シリアル	RU-10	10MHz BW、50MHzシリアル
AD5450	8	1	±0.25	シリアル	RJ-8	10MHz BW、50MHzシリアル
AD5432	10	1	±0.5	シリアル	RM-10	10MHz BW、50MHzシリアル
AD5433	10	1	±0.5	パラレル	RU-20、CP-20	10MHz BW、17ns $\overline{CS}$ パルス幅
AD5439	10	2	±0.5	シリアル	RU-16	10MHz BW、50MHzシリアル
AD5440	10	2	±0.5	パラレル	RU-24	10MHz BW、17ns $\overline{CS}$ パルス幅
AD5451	10	1	±0.25	シリアル	RJ-8	10MHz BW、50MHzシリアル
AD5443	12	1	±1	シリアル	RM-10	10MHz BW、50MHzシリアル
AD5444	12	1	±0.5	シリアル	RM-8	10MHz BW、50MHzシリアル
AD5415	12	2	±1	シリアル	RU-24	10MHz BW、58MHzシリアル
AD5445	12	2	±1	パラレル	RU-20、CP-20	10MHz BW、17ns $\overline{CS}$ パルス幅
AD5447	12	2	±1	パラレル	RU-24	10MHz BW、17ns $\overline{CS}$ パルス幅
AD5449	12	2	±1	シリアル	RU-16	10MHz BW、50MHzシリアル
AD5452	12	1	±0.5	シリアル	RJ-8、RM-8	10MHz BW、50MHzシリアル
AD5446	14	1	±1	シリアル	RM-8	10MHz BW、50MHzシリアル
AD5453	14	1	±2	シリアル	UJ-8、RM-8	10MHz BW、50MHzシリアル
AD5553	14	1	±1	シリアル	RM-8	4MHz BW、50MHzシリアル・クロック
AD5556	14	1	±1	パラレル	RU-28	4MHz BW、20ns $\overline{WR}$ パルス幅
AD5555	14	2	±1	シリアル	RM-8	4MHz BW、50MHzシリアル・クロック
AD5557	14	2	±1	パラレル	RU-38	4MHz BW、20ns $\overline{WR}$ パルス幅
AD5543	16	1	±2	シリアル	RM-8	4MHz BW、50MHzシリアル・クロック
AD5546	16	1	±2	パラレル	RU-28	4MHz BW、20ns $\overline{WR}$ パルス幅
AD5545	16	2	±2	シリアル	RU-16	4MHz BW、50MHzシリアル・クロック
AD5547	16	2	±2	パラレル	RU-38	4MHz BW、20ns $\overline{WR}$ パルス幅

## 外形寸法

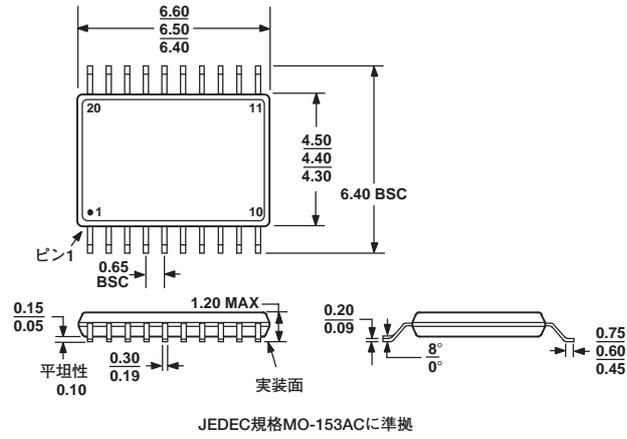


図49. 20ピンTSSOP (RU-20)  
寸法単位:mm

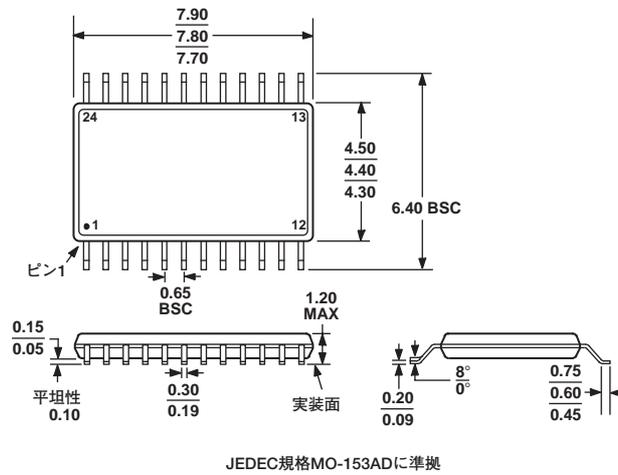


図50. 24ピン TSSOP (RU-24)  
寸法単位:mm

# AD5428/AD5440/AD5447

## オーダー・ガイド

製品モデル	分解能	INL (LSB)	温度範囲	パッケージ	パッケージ・オプション
AD5428YRU	8	±0.5	-40~+125℃	TSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-20
AD5428YRU-REEL	8	±0.5	-40~+125℃	TSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-20
AD5428YRU-REEL7	8	±0.5	-40~+125℃	TSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-20
AD5440YRU	10	±0.5	-40~+125℃	TSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-24
AD5440YRU-REEL	10	±0.5	-40~+125℃	TSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-24
AD5440YRU-REEL7	10	±0.5	-40~+125℃	TSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-24
AD5447YRU	12	±1	-40~+125℃	TSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-24
AD5447YRU-REEL	12	±1	-40~+125℃	TSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-24
AD5447YRU-REEL7	12	±1	-40~+125℃	TSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-24
EVAL-AD5428EB				評価用キット	
EVAL-AD5440EB				評価用キット	
EVAL-AD5447EB				評価用キット	

TDS06/2005/PDF