

AD5582/AD5583

特長

- AD5582: 12ビットの直線性と単調性
- AD5583: 10ビットの直線性と単調性
- 広い動作レンジ: +5V~+15Vの単電源または±5Vの両電源
- ユニポーラ動作またはバイポーラ動作
- ダブル・バッファ付きレジスタにより、独立または同時にマルチチャンネル更新が可能
- レール to レールのリファレンス入力を各チャンネル用4本装備
- パラレル・インターフェース
- データ・リードバック機能
- セトリング・タイム: 5 μs
- バッファ付き出力
- 内蔵マッチング抵抗により負のリファレンスが容易
- 小型フットプリント: TSSOP-48
- 拡張温度レンジ: -40°C~+125°C

アプリケーション

- プロセス制御装置
- クローズ・ループ・サーボ制御
- データ・アキュイジション・システム
- デジタル制御のキャリブレーション
- モーター制御
- 光ネットワーク制御ループ

概要

12ビット/10ビット電圧出力のクワッドD/AコンバータAD5582/AD5583ファミリーは、+5V~+15Vの単電源または±5Vの両電源で動作するようにデザインされています。この高性能DACは高度なBiCMOSプロセスで製造されているため、経済的かつ小型です。単電源システムまたは両電源システムで容易に使用できます。

外部入力リファレンス V_{REF} により、フル・スケール出力電圧が決定されます。有効な V_{REF} 値は $V_{SS} < V_{REF} < V_{DD}$ であり、フル・スケール出力の選択レンジが広がっています。乗算アプリケーションおよび広いダイナミックレンジのアプリケーション向けに、ACリファレンス入力は $V_{DD} - V_{SS1}$ まで高くすることができます。2本の精密トリム抵抗を内蔵し、四象限乗算機能を容易に実現することができます。

ダブル・バッファ付きパラレル・インターフェースにより、25Mbpsのデータ負荷レイトが可能です。広く使われているレベル検出のロードDACストロープ(LDAC)入力を使うと、全DAC出力をロード済み入力レジスタの値で同時に更新することができます。外部非同期リセット(\overline{RS})を使うと、全レジスタがMSB=0のときにはゼロ・コード状態に、MSB=1のときにはミッド・スケール状態に設定されます。

AD5582/AD5583のピン配置は同じなので、PCBレイアウトの変更なしで、アプリケーションに合わせて分解能を選択することができます。

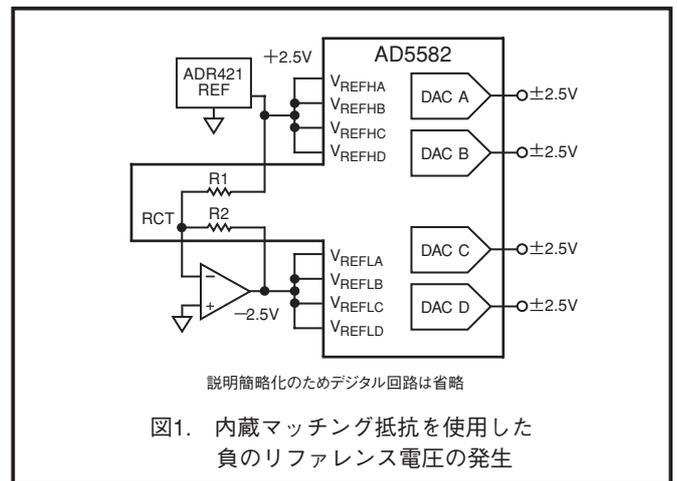
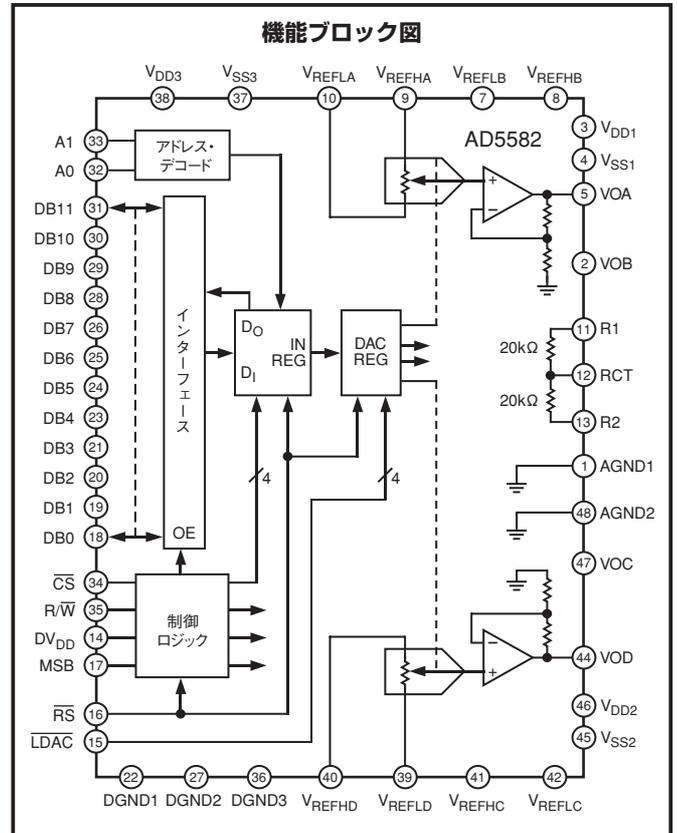


図1. 内蔵マッチング抵抗を使用した負のリファレンス電圧の発生

AD5582は、中電圧のアプリケーションを新規デザインする際に、DAC8412の置き換えとして最適です。

AD5582/AD5583は拡張工業用温度レンジ(-40°C~+125°C)で仕様規定されており、小型かつ薄型の1.1mm TSSOP-48パッケージを採用しています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または引用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

AD5582/AD5583—仕様

電気的特性 (特に指定のない限り、 $V_{DD}=+5V$ 、 $V_{SS}=-5V$ 、 $DV_{DD}=+5V\pm 10\%$ 、 $V_{REFH}=+2.5V$ 、 $V_{REFL}=-2.5V$ 、 $-40^{\circ}C < T_A < +125^{\circ}C$)

パラメータ	記号	条件	Min	Typ ¹	Max	単位
スタティック性能						
分解能 ²	N	AD5582 AD5583		12 10		ビット ビット
相対精度 ³	INL		-1		+1	LSB
微分非直線性 ³	DNL	単調	-1			LSB
ゼロ・スケール誤差	V_{ZSE}	DATA=000 _H (AD5582およびAD5583)	-2		+2	LSB
ゲイン誤差	V_{GE}	DATA=FFF _H (AD5582) および3FF _H (AD5583)	-2		+2	LSB
ゲイン誤差 フル・スケール温度係数 ⁴	V_{GE} TCV _{FS}	$V_{DD}=2.7V\sim 4.5V$	-4		+4	LSB ppm/ $^{\circ}C$
リファレンス入力						
V_{REFH} 入力レンジ	V_{REFH}		$V_{REFL}+0.5$		V_{DD}	V
V_{REFL} 入力レンジ ⁵	V_{REFL}		V_{SS}		$V_{REFH}-0.5$	V
入力抵抗	R_{REF}	DATA=555 _H (最小 R_{REF} 、AD5582) および155 _H (AD5583)	12	20		$k\Omega^1$
入力容量 ⁴	C_{REF}			80		pF
REF入力電流	I_{REF}	DATA=555 _H (AD5582)			500	μA
REF乗算帯域幅	BW_{REF}	CODE=フル・スケール			1.3	MHz
R1-R2間マッチング	R1/R2	AD5582 AD5583			± 0.025 ± 0.100	% %
アナログ出力						
出力電流 ⁶	I_{OUT}	DATA=800 _H (AD5582)および 200 _H (AD5583)、 $\Delta V_{OUT}\leq 4mV$			± 2	mA
容量負荷 ⁴	C_L	発振なし		2000		pF
ロジック入力						
ロジック入力ローレベル電圧	V_{IL}	$DV_{DD}=5V\pm 10\%$ $DV_{DD}=3V\pm 10\%$			0.8 0.4	V V
ロジック入力ハイレベル電圧	V_{IH}	$DV_{DD}=5V\pm 10\%$ $DV_{DD}=3V\pm 10\%$	2.4 2.1			V V
入力リーク電流	I_{IL}			0.01	1	μA
入力容量 ⁴	C_{IL}			5		pF
ハイレベル出力電圧	V_{OH}	$I_{OH}=-0.8mA$	2.4			V
ローレベル出力電圧	V_{OL}	$I_{OL}=1.2mA$ 、 $T_A=85^{\circ}C$ $I_{OL}=0.6mA$ 、 $DV_{DD}=3V$ $I_{OL}=1.0mA$ 、 $T_A=125^{\circ}C$ 、 $I_{OL}=0.5mA$ 、 $DV_{DD}=3V$			0.4 0.4	V V
AC特性						
出力スルーレート	SR	DATA=ゼロ・スケール→フル・スケール→ゼロ・スケール		2		V/ μs
セトリング時間 ⁷	t_s	フル・スケールの $\pm 0.1\%$ へ整定		5		μs
DACのグリッチ	Q	コード7FF _H →800 _H →7FF _H (AD5582) および1FF _H →200 _H →1FF _H (AD5583)		100		nVs
デジタル・フィードスルー	V_{OUT}/t_{CS}	DATA=ミッド・スケール、 \overline{CS} は $f=16MHz$ でトグル		5		nVs
アナログ・クロストーク	V_{OUT}/V_{REF}	$V_{REF}=1.5V$ dc+1V p-p、 DATA=000 _H 、 $f=100kHz$		-80		dB
出力ノイズ	e_N	$f=1kHz$		33		nV/\sqrt{Hz}

AD5582/AD5583

パラメータ	記号	条件	Min	Typ ¹	Max	単位
電源特性						
単電源の電圧レンジ	V _{DD}	V _{SS} =0V	3		18	V
両電源の電圧レンジ	V _{DD} /V _{SS}	V _{DD} =+2.7V~+6.5V, V _{SS} =-6.5V~-2.7V	-9		+9	V
デジタル・ロジック電源	DV _{DD}		2.7		8	V
正電源電流 ⁶	I _{DD}	V _{IL} =0V、無負荷		1.7	3	mA
負電源電流	I _{SS}	V _{IL} =0V、無負荷		1.5	3	mA
消費電力	P _{DISS}	V _{IL} =0V、無負荷		16	30	mW
対電源感度	P _{SS}	ΔV _{DD} =±5%		30		ppm/V

注

- Typ値は、25℃での平均測定値。
- DACの出力式： $V_{OUT} = V_{REFL} + [(V_{REFH} - V_{REFL}) \times D / 2^N]$ 、ここでDは対応するDACレジスタA、B、C、Dに負荷されたデータ。Nはビット数を表し、AD5582=12ビット、AD5583=10ビット。1LSBステップ電圧= $(V_{REFH} - V_{REFL}) / 4096$ (AD5582の場合)および $(V_{REFH} - V_{REFL}) / 1024$ (AD5583の場合)。
- AD5583は最初の2コード(000_H、001_H)を、AD5582は最初の4コード(000_H、001_H、002_H、003_H)を、単電源動作における直線性誤差の測定から除外してあります。
- 設計上保証しますが、出荷テストは行いません。
- 両電源動作でのV_{REFL}=V_{SS}では、INL誤差とDNL誤差に対してAD5582の場合は小さい方の8コードを、AD5583の場合は小さい方の2コードを除外してあります。
- 短絡出力電流および電源電流は、それぞれ24mAおよび25mAです。
- 単電源動作では、セトリング時間仕様はグラウンドから最後の3LSB以内の負側への変化に適用しません。

仕様は予告なく変更されることがあります。

電気的特性 (特に指定のない限り、V_{DD}=+15V、V_{SS}=0V、DV_{DD}=+5V±10%、V_{REFH}=+10V、V_{REFL}=0V、-40℃ < T_A < +125℃)

パラメータ	記号	条件	Min	Typ ¹	Max	単位
スタティック性能						
分解能 ²	N	AD5582 AD5583		12 10		ビット ビット
相対精度 ³	INL		-1		+1	LSB
微分非直線性 ³	DNL	単調	-1			LSB
ゼロ・スケール誤差	V _{ZSE}	DATA=000 _H (AD5582およびAD5583)	-2		+2	LSB
ゲイン誤差	V _{GE}	DATA=FFF _H (AD5582) および3FF _H (AD5583)	-2		+2	LSB
フル・スケール温度係数 ⁴	TCV _{FS}			1.5		ppm/℃
リファレンス入力						
V _{REFH} 入力レンジ	V _{REFH}		V _{REFL} +0.5		V _{DD}	V
V _{REFL} 入力レンジ ⁵	V _{REFL}		V _{SS}		V _{REFH} -0.5	V
入力抵抗	R _{REF}	DATA=555 _H (最小R _{REF} 、AD5582) および155 _H (AD5583)	12	20		kΩ ¹
入力容量 ⁴	C _{REF}			80		pF
REF入力電流	I _{REF}	DATA=555 _H (AD5582)			1000	μA
REF乗算帯域幅	BW _{REF}	CODE=フル・スケール			1.3	MHz
R1-R2間マッチング	R1/R2	AD5582 AD5583			±0.025 ±0.100	% %
アナログ出力						
出力電流 ⁶	I _{OUT}	DATA=800 _H (AD5582)および 200 _H (AD5583)、ΔV _{OUT} ≤4mV			2	mA
容量負荷 ⁴	C _L	発振なし		2000		pF
ロジック入力/出力						
ロジック入力ローレベル電圧	V _{IL}	DV _{DD} =3V±10%			0.8 0.4	V V
ロジック入力ハイレベル電圧	V _{IH}	DV _{DD} =3V±10%	2.4 2.1			V V
入力リーク電流	I _{IL}					μA
入力容量 ⁴	C _{IL}					pF
ハイレベル出力電圧	V _{OH}	I _{OH} =-0.8mA	2.4			V
ローレベル出力電圧	V _{OL}	I _{OL} =1.2mA、T _A =85℃ I _{OL} =0.6mA、DV _{DD} =3V			0.4	V
	V _{OL}	I _{OL} =1.0mA、T _A =125℃ I _{OL} =0.5mA、DV _{DD} =3V			0.4	V

AD5582/AD5583

電気的特性(続き)

パラメータ	記号	条件	Min	Typ ¹	Max	単位
AC特性						
出力スルーレート	SR	DATA=ゼロ・スケール→フル・スケール →ゼロ・スケール		2		V/ μ s
セトリング時間 ⁷	t _S	フル・スケールの±0.1%へ整定		14		μ s
DACグリッチ	Q	コード7FF _H →800 _H →7FF _H (AD5582) および1FF _H →200 _H →1FF _H (AD5583)		100		nVs
デジタル・フィードスルー	V _{OUT} /t _{CS}	DATA=ミッド・スケール、 \overline{CS} はf=16MHzでトグル		5		nVs
アナログ・クロストーク	V _{OUT} /V _{REF}	V _{REF} =1.5V dc+1V p-p、 DATA=000 _H 、f=100kHz		-80		dB
出力ノイズ	e _N	f=1kHz		33		nV/ $\sqrt{\text{Hz}}$
電源特性						
単電源の電圧レンジ	V _{DD}	V _{SS} =0V	3		16.5	V
両電源の電圧レンジ	V _{DD} /V _{SS}	V _{DD} =+2.7V~+6.5V、 V _{SS} =-6.5V~-2.7V	-6.5		+6.5	V
デジタル・ロジック電源	DV _{DD}		2.7		6.5	V
正電源電流 ⁶	I _{DD}	V _{IL} =0V、無負荷		2.3	3.5	mA
消費電力	P _{DISS}	V _{IL} =0V、無負荷		34.5	52.5	mW
対電源感度	PSS	$\Delta V_{DD}=\pm 5\%$		30		ppm/V

注

- Typ値は、25°Cでの平均測定値。
- DACの出力式： $V_{OUT}=V_{REFL}+[(V_{REFH}-V_{REFL})\times D/2^N]$ 、ここでDは対応するDACレジスタA、B、C、Dに負荷された十進数データ。Nはビット数を表し、AD5582=12ビット、AD5583=10ビット。1LSBステップ電圧=($V_{REFH}-V_{REFL}$)/4096V (AD5582の場合)および($V_{REFH}-V_{REFL}$)/1024V (AD5583の場合)。
- AD5583は最初の2コード(000_H、001_H)を、AD5582は最初の4コード(000_H、001_H、002_H、003_H)を、単電源動作における直線性誤差の測定から除外してあります。
- 設計上保証しますが、出荷テストは行いません。
- 両電源動作でのV_{REFL}=V_{SS}では、INL誤差とDNL誤差に対してAD5582の場合は小さい方の8コードを、AD5583の場合は小さい方の2コードを除外してあります。
- 短絡出力電流および電源電流は、それぞれ24mAおよび25mAです。
- 単電源動作では、セトリング時間仕様はグラウンドから最後の3LSB以内の負側への変化に適用しません。

仕様は予告なく変更されることがあります。

AD5582/AD5583

タイミング特性 (特に指定のない限り、 $V_{DD}=15V$ または $5V$ 、 $V_{SS}=0V$ 、 $DV_{DD}=5V \pm 10\%$ 、 $V_{REFH}=10V$ 、 $V_{REFL}=0V$ 、 $-40^{\circ}C < T_A < +125^{\circ}C$)

パラメータ	記号	条件	Min	Typ	Max	単位
インターフェース・タイミング*						
クロック周波数	f _{CLK}				25	MHz
チップ・セレクト書き込みパルス幅	t _{WCS}		20			ns
チップ・セレクト読み出しパルス幅	t _{RCS}		130			ns
書き込みのセットアップ	t _{WS}		0			ns
書き込みのホールド	t _{WH}		0			ns
アドレスのセットアップ	t _{AS}		0			ns
アドレスのホールド	t _{AH}		0			ns
負荷のセットアップ	t _{LS}		0			ns
負荷のホールド	t _{LH}		0			ns
データ書き込みのセットアップ	t _{WDS}		0			ns
データ書き込みのホールド	t _{WDH}		0			ns
データロードのパルス幅	t _{LDW}		20			ns
リセットのパルス幅	t _{RESET}		20			ns
データ読み出しのホールド	t _{RDH}		0			ns
データ読み出しのセットアップ	t _{RDS}		0			ns
データからHi-Zまで	t _{DZ}	$C_L=10pF$			100	ns
チップ・セレクトからデータまで	t _{CSD}	$C_L=10pF$			100	ns
チップ・セレクト繰り返しパルス幅	t _{CSP}		10			ns
ダブル・バッファモードでのロード・セットアップ	t _{LDS}		20			ns
データロードのホールド	t _{LDH}		0			ns

*すべての入力制御信号は $t_r=t_f=2ns$ (3Vの10%から90%)で規定され、1.5Vの電圧レベルからの時間とします。

仕様は予告なく変更されることがあります。

タイミング特性 (特に指定のない限り、 $V_{DD}=15V$ または $5V$ 、 $V_{SS}=0V$ 、 $DV_{DD}=3V \pm 10\%$ 、 $V_{REFH}=10V$ 、 $V_{REFL}=0V$ 、 $-40^{\circ}C < T_A < +125^{\circ}C$)

パラメータ	記号	条件	Min	Typ	Max	単位
インターフェース・タイミング*						
クロック周波数	f _{CLK}				14	MHz
チップ・セレクト書き込みパルス幅	t _{WCS}		35			ns
チップ・セレクト読み出しパルス幅	t _{RCS}		130			ns
書き込みのセットアップ	t _{WS}		0			ns
書き込みのホールド	t _{WH}		0			ns
アドレスのセットアップ	t _{AS}		0			ns
アドレスのホールド	t _{AH}		0			ns
負荷セットアップ	t _{LS}		0			ns
負荷ホールド	t _{LH}		0			ns
データ書き込みのセットアップ	t _{WDS}		0			ns
データ書き込みのホールド	t _{WDH}		0			ns
データロードのパルス幅	t _{LDW}		35			ns
リセットのパルス幅	t _{RESET}		35			ns
データ読み出しのホールド	t _{RDH}		0			ns
データ読み出しのセットアップ	t _{RDS}		0			ns
データからHi-Zまで	t _{DZ}	$C_L=10pF$	80		100	ns
チップ・セレクトからデータまで	t _{CSD}	$C_L=10pF$	80		100	ns
チップ・セレクト繰り返しパルス幅	t _{CSP}		20			ns
ダブル・バッファモードでのロード・セットアップ	t _{LDS}		35			ns
データロードのホールド	t _{LDH}		0			ns

*すべての入力制御信号は $t_r=t_f=2ns$ (3Vの10%から90%)で規定され、1.5Vの電圧レベルからの時間とします。

仕様は予告なく変更されることがあります。

AD5582/AD5583

絶対最大定格*

V _{SS} 基準のV _{DD}	-0.3V ~ +18V
GND基準のV _{DD}	-0.3V ~ +18V
GND基準のV _{SS}	+0.3V ~ -9V
V _{REF+} 基準のV _{DD}	-0.3V ~ (V _{DD} - V _{SS})
V _{SS} 基準のV _{REF-}	-0.3V ~ (V _{DD} - V _{SS})
V _{REFL} 基準のV _{REFH}	-0.3V ~ (V _{DD} - V _{SS})
GND基準のDV _{DD}	8V
GND基準のロジック入力	V _{SS} - 0.3V, V _{DD} + 0.3V
GND基準のV _{OUT}	V _{SS} - 0.3V, V _{DD} + 0.3V
GNDへの短絡I _{OUT}	24mA
接合-周囲間熱抵抗、 θ_{JA}	115°C/W

ジャンクション-ケース間熱抵抗、 θ_{JC}	42°C/W
最大ジャンクション温度(T _J Max)	150°C
パッケージ消費電力 = (T _J Max - T _A) / θ_{JA}	
動作温度範囲	-40°C ~ +125°C
保存温度範囲	-65°C ~ +150°C
ピン温度RV-48 (ハンダ処理、60秒)	300°C

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

オーダー・ガイド*

製品モデル	分解能 (ビット)	温度レンジ	パッケージ	パッケージ・オプション	コンテナ数量	上面マーキング
AD5582YRV-REEL	12	-40°C ~ +125°C	TSSOP-48	RV-48	2500	AD5582Y
AD5583YRV-REEL	10	-40°C ~ +125°C	TSSOP-48	RV-48	2500	AD5583Y
AD5582YRV	12	-40°C ~ +125°C	TSSOP-48	RV-48	39	AD5582Y
AD5583YRV	10	-40°C ~ +125°C	TSSOP-48	RV-48	39	AD5583Y

*AD5582のトランジスタ数は4116個、チップ・サイズは108mil×144milです。

上の表にはマーキングの最初の行を記載してあります。マーキングの2行目はYYWWフォーマットで表したデート・コード、3行目はロット番号です。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vにおよぶ高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD防止措置をとるようお奨めします。



AD5582のピン配置



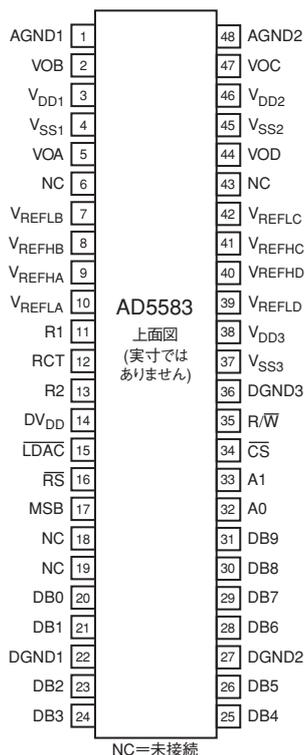
AD5582のピン機能説明 *

ピン番号	記号	説明	ピン番号	記号	説明
1	AGND1	DAC AおよびDAC Bのアナログ・グラウンド	25	DB6	データ・ビット6
2	VOB	DAC Bの出力	26	DB7	データ・ビット7
3	V _{DD1}	DAC AとDAC Bの正電源	27	DGND2	デジタル・グラウンド2
4	V _{SS1}	DAC AとDAC Bの負電源	28	DB8	データ・ビット8
5	VOA	DAC Aの出力	29	DB9	データ・ビット9
6	NC	未接続	30	DB10	データ・ビット10
7	V _{REFLB}	DAC Bリファレンス電圧のロー・ピン	31	DB11	データ・ビット11
8	V _{REFHB}	DAC Bリファレンス電圧のハイ・ピン	32	A0	アドレス入力0
9	V _{REFHA}	DAC Aリファレンス電圧のハイ・ピン	33	A1	アドレス入力1
10	V _{REFLA}	DAC Aリファレンス電圧のロー・ピン	34	\overline{CS}	チップ・セレクト、アクティブ・ロー
11	R1	R1ピン(負リファレンス用)	35	R/ \overline{W}	リード/ライト・モード・セレクト
12	RCT	センター・タップ・ピン(負リファレンス用)	36	DGND3	デジタル・グラウンド3
13	R2	R2ピン(負リファレンス用)	37	V _{SS3}	内部アナログ・スイッチの負電源
14	DV _{DD}	デジタル回路の電源	38	V _{DD3}	内部アナログ・スイッチの正電源
15	\overline{LDAC}	DACレジスタ・ロード、アクティブ・ローレベル検出	39	V _{REFLD}	DAC Dリファレンス電圧のロー・ピン
16	\overline{RS}	リセット・ストローブ	40	V _{REFHD}	DAC Dリファレンス電圧のハイ・ピン
17	MSB	MSB=0の時、000 _H にリセット。MSB=1の時、800 _H にリセット。	41	V _{REFHC}	DAC Cリファレンス電圧のハイ・ピン
18	DB0	データ・ビット0	42	V _{REFLC}	DAC Cリファレンス電圧のロー・ピン
19	DB1	データ・ビット1	43	NC	未接続
20	DB2	データ・ビット2	44	VOD	DAC Dの出力
21	DB3	データ・ビット3	45	V _{SS2}	DAC CとDAC Dの負電源
22	DGND1	デジタル・グラウンド1	46	V _{DD2}	DAC CとDAC Dの正電源
23	DB4	データ・ビット4	47	VOC	DAC Cの出力
24	DB5	データ・ビット5	48	AGND2	DAC CおよびDAC Dのアナログ・グラウンド

*AD5582ではチップ面積を小さくするため内部レイアウト・デザインを最適化しています。このためすべての電源電圧ピンを外部で接続する必要があります。図5参照。

AD5582/AD5583

AD5583のピン配置



AD5583のピン機能説明 *

ピン番号	記号	説明	ピン番号	記号	説明
1	AGND1	DAC AおよびDAC Bのアナログ・グラウンド	25	DB4	データ・ビット4
2	VOB	DAC Bの出力	26	DB5	データ・ビット5
3	V _{DD1}	DAC AとDAC Bの正電源	27	DGND2	デジタル・グラウンド2
4	V _{SS1}	DAC AとDAC Bの負電源	28	DB6	データ・ビット6
5	VOA	DAC Aの出力	29	DB7	データ・ビット7
6	NC	未接続	30	DB8	データ・ビット8
7	V _{REFLB}	DAC Bリファレンス電圧のロー・ピン	31	DB9	データ・ビット9
8	V _{REFHB}	DAC Bリファレンス電圧のハイ・ピン	32	A0	アドレス入力0
9	V _{REFHA}	DAC Aリファレンス電圧のハイ・ピン	33	A1	アドレス入力1
10	V _{REFLA}	DAC Aリファレンス電圧のロー・ピン	34	\overline{CS}	チップ・セレクト、アクティブ・ロー
11	R1	R1ピン(負リファレンス用)	35	R/ \overline{W}	リード/ライト・モード・セレクト
12	RCT	センター・タップ・ピン(負リファレンス用)	36	DGND3	デジタル・グラウンド3
13	R2	R2ピン(負リファレンス用)	37	V _{SS3}	内部アナログ・スイッチの負電源
14	DV _{DD}	デジタル回路の電源	38	V _{DD3}	内部アナログ・スイッチの正電源
15	\overline{LDAC}	DACレジスタ・ロード、アクティブ・ローレベル検出	39	V _{REFLD}	DAC Dリファレンス電圧のロー・ピン
16	\overline{RS}	リセット・ストローブ	40	V _{REFHD}	DAC Dリファレンス電圧のハイ・ピン
17	MSB	MSB=0の時、000 _H にリセット。MSB=1の時、200 _H にリセット。	41	V _{REFHC}	DAC Cリファレンス電圧のハイ・ピン
18	NS	未接続	42	V _{REFLC}	DAC Cリファレンス電圧のロー・ピン
19	NS	未接続	43	NC	未接続
20	DB0	データ・ビット0	44	VOD	DAC Dの出力
21	DB1	データ・ビット1	45	V _{SS2}	DAC CとDAC Dの負電源
22	DGND1	デジタル・グラウンド1	46	V _{DD2}	DAC CとDAC Dの正電源
23	DB2	データ・ビット2	47	VOC	DAC Cの出力
24	DB3	データ・ビット3	48	AGND2	DAC CおよびDAC Dのアナログ・グラウンド

*AD5583ではチップ面積を小さくするため内部レイアウト・デザインを最適化しています。このためすべての電源電圧ピンを外部で接続する必要があります。図5参照。

タイミング図

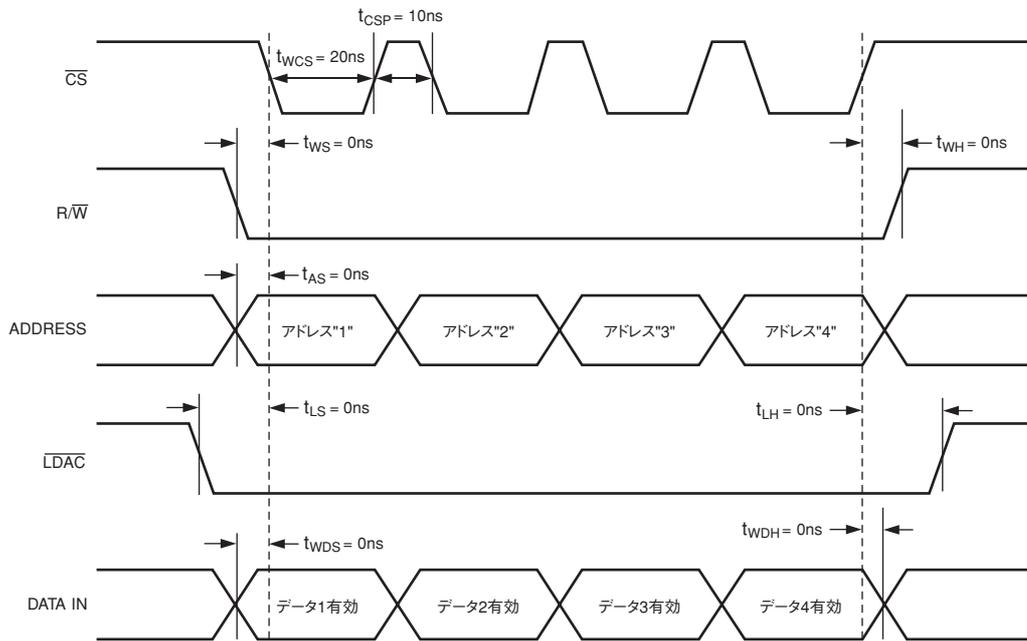


図2a. シングル・バッファモード、出力を個別に更新、 $DV_{DD} = 5V$

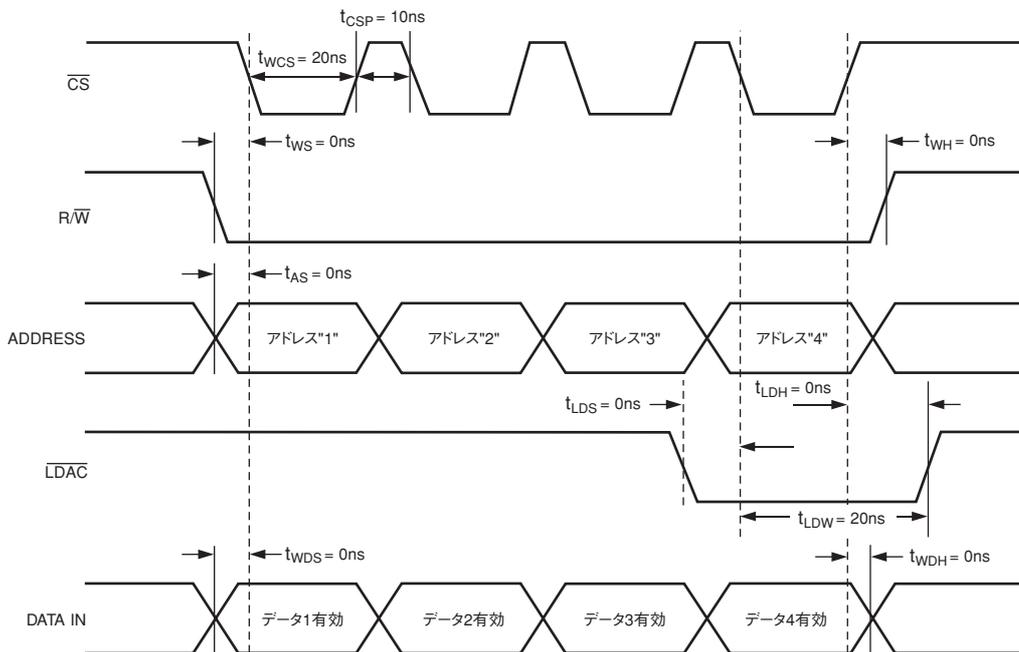


図2b. ダブル・バッファモード、出力を同時に更新、 $DV_{DD} = 5V$

AD5582/AD5583

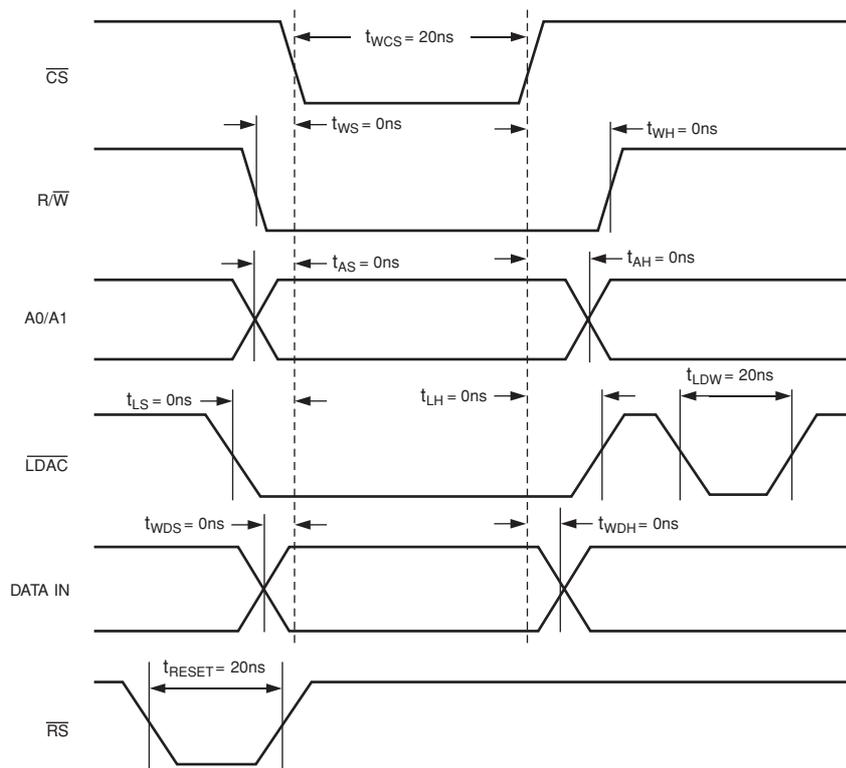


図2c. データ書き込み(入力レジスタおよび出力レジスタ)タイミング

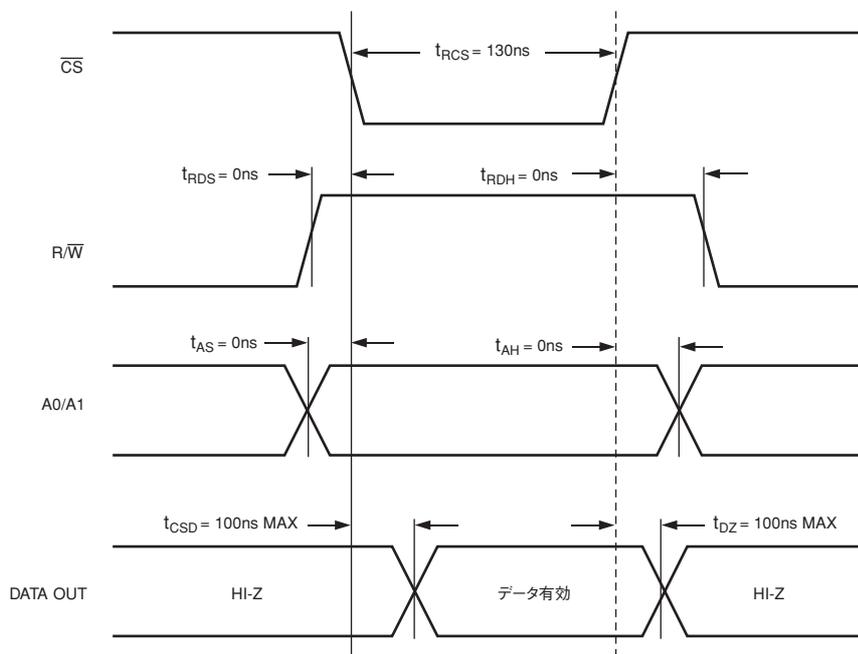
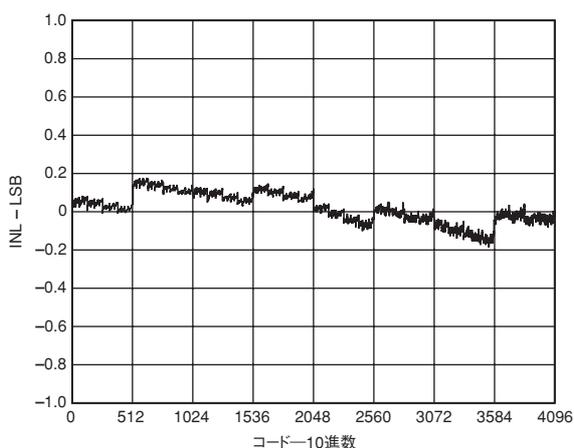
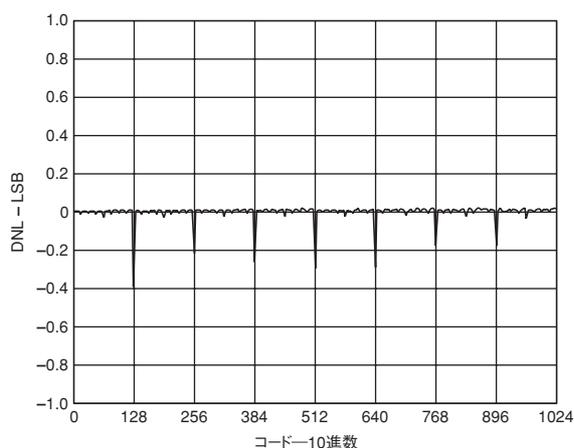


図2d. データ出力(読み出し)タイミング

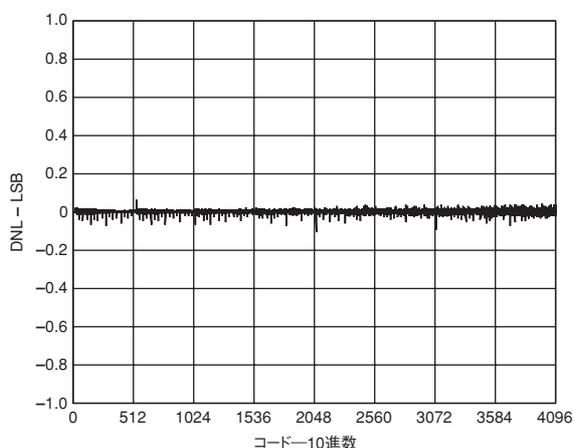
代表的な性能特性—AD5582/AD5583



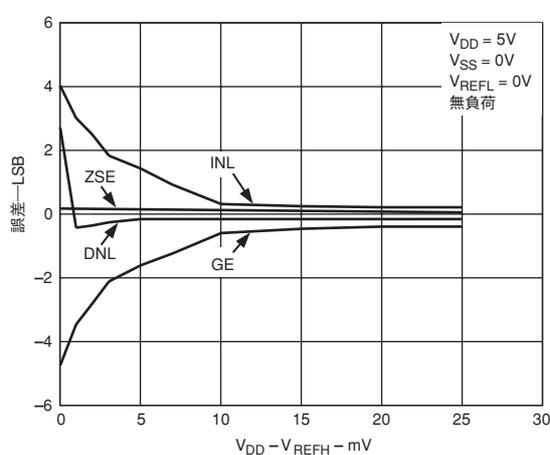
特性 1. AD5582の積分非直線性誤差



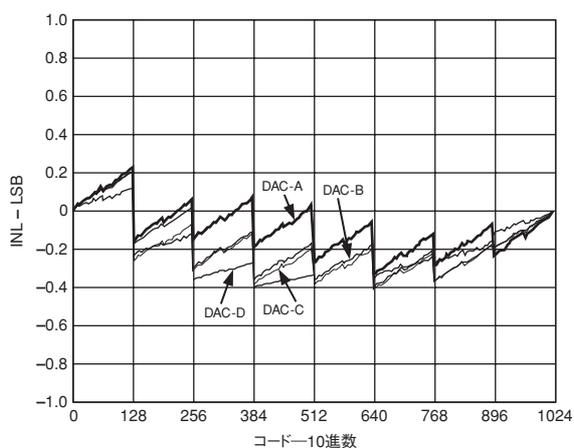
特性 4. AD5583の微分非直線性誤差



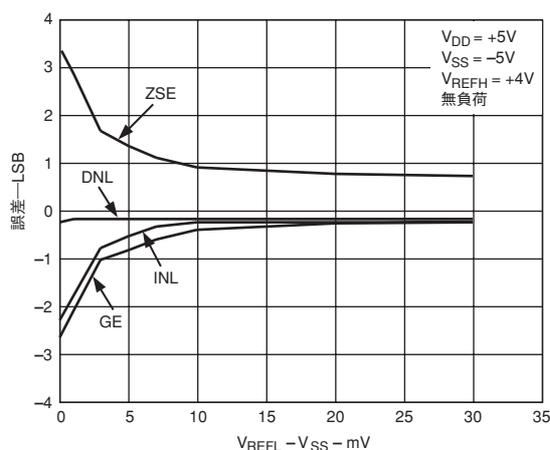
特性 2. AD5582の微分非直線性誤差



特性 5. AD5582の正側レールtoレール動作におけるINL、DNL、ZSE、GE

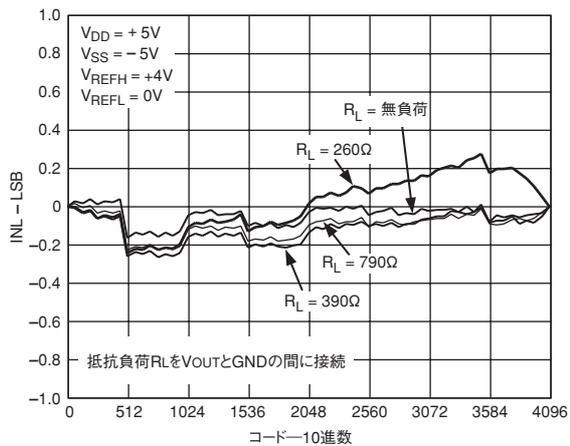


特性 3. AD5583の積分非直線性誤差

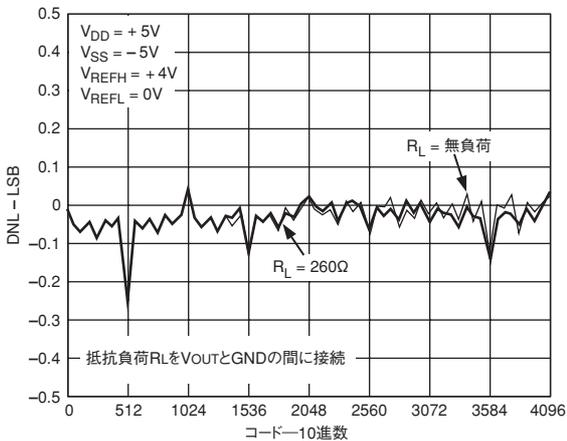


特性 6. AD5582の負側レールtoレール動作におけるINL、DNL、GE、ZSE

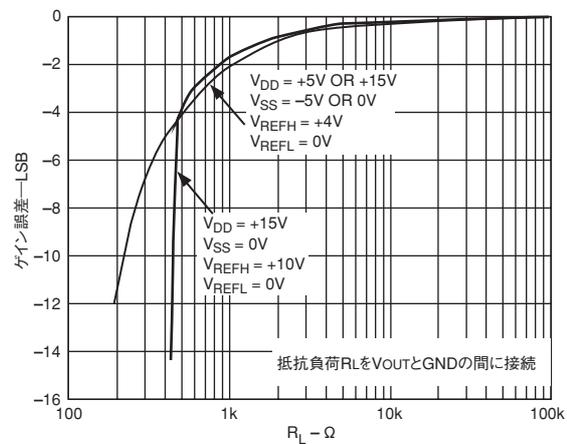
AD5582/AD5583



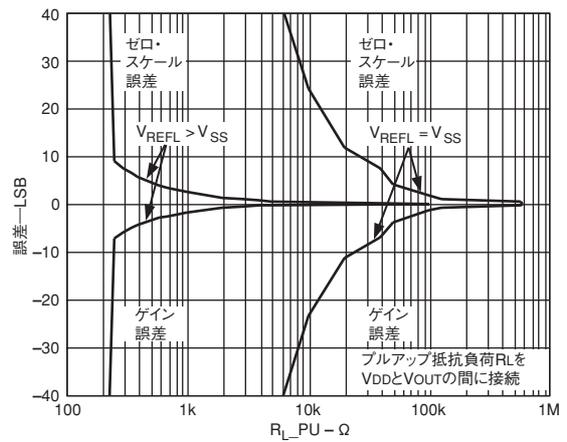
特性 7. 様々な抵抗負荷におけるAD5582のINL



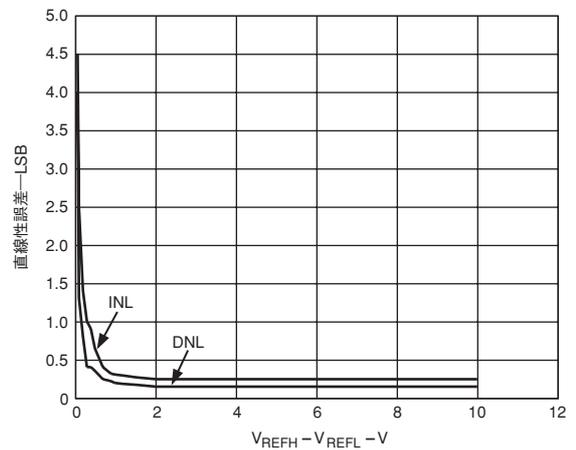
特性 8. 様々な抵抗負荷におけるAD5582のDNL



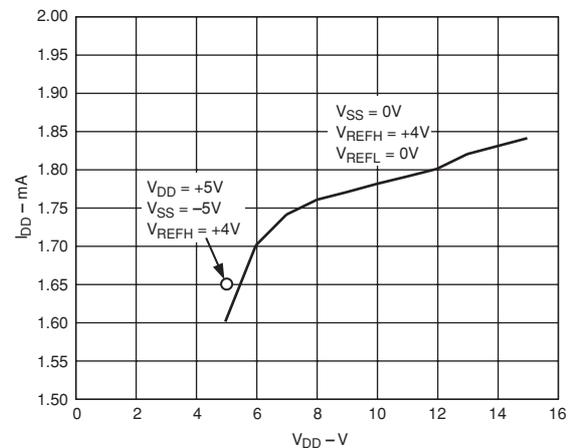
特性 9. AD5582のゲイン誤差対抵抗負荷



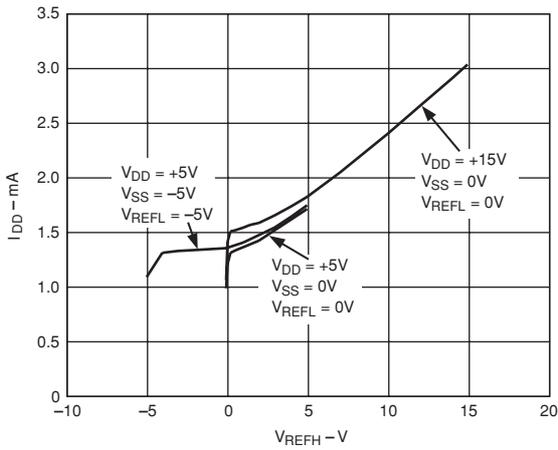
特性 10. AD5582のゲインおよびゼロ・スケール誤差
対プルアップ抵抗負荷



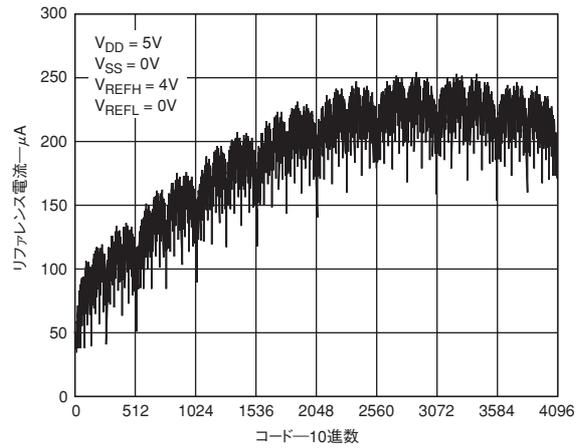
特性 11. AD5582の直線性誤差
対差動リファレンス・レンジ



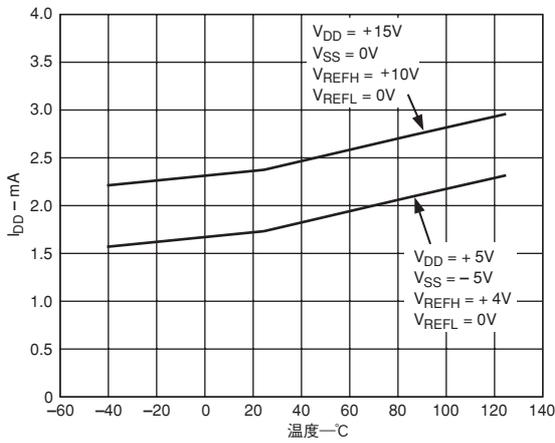
特性 12. AD5582の電源電流対電源電圧



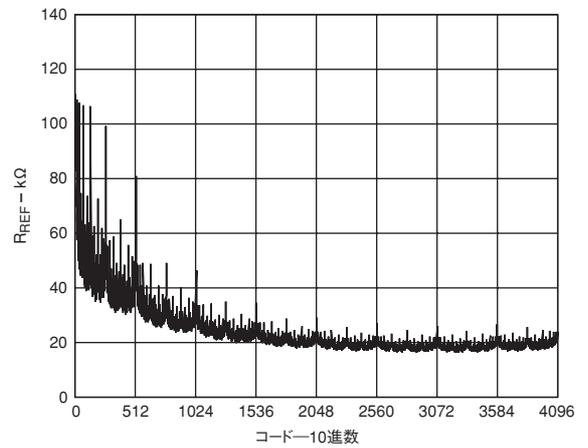
特性 13. AD5582の電源電流対リファレンス電圧



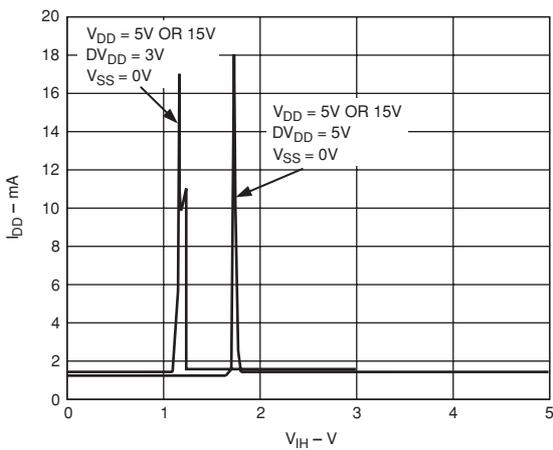
特性 16. AD5582のリファレンス電流



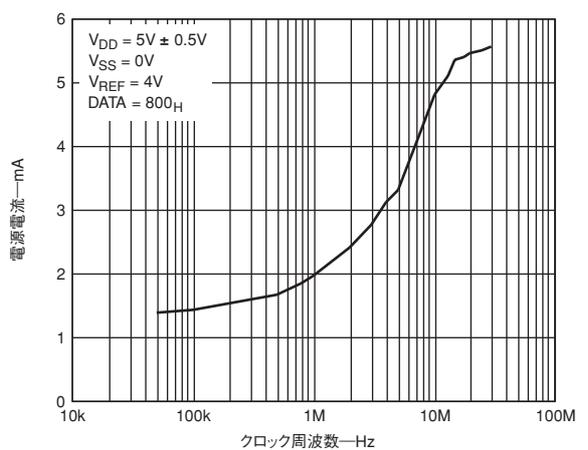
特性 14. AD5582の電源電流対温度



特性 17. AD5582のリファレンス入力抵抗

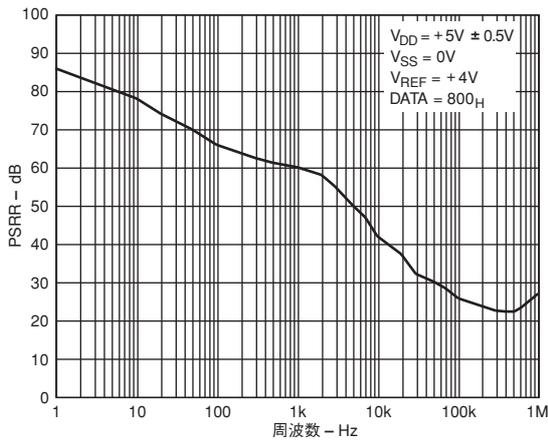


特性 15. AD5582の電源電流対ロジック入力電圧

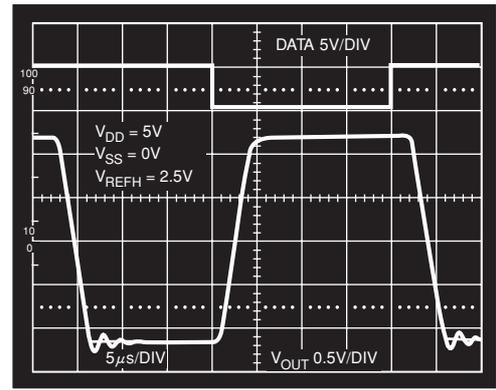


特性 18. AD5582の電源電流対クロック周波数

AD5582/AD5583

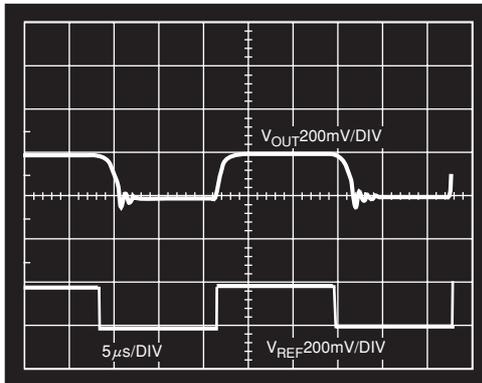


特性 19. AD5582のPSRR対周波数

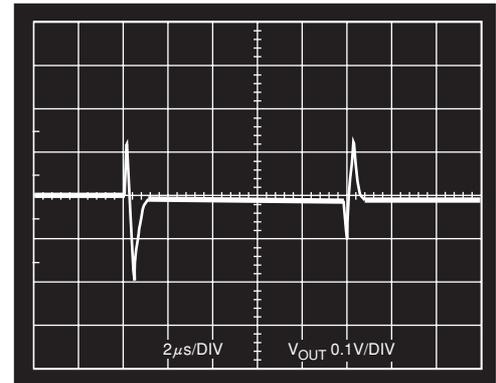


GRAPH <1> : $C_L = 0$
GRAPH <2> w/RINGING : $C_L = 10\text{nF}$

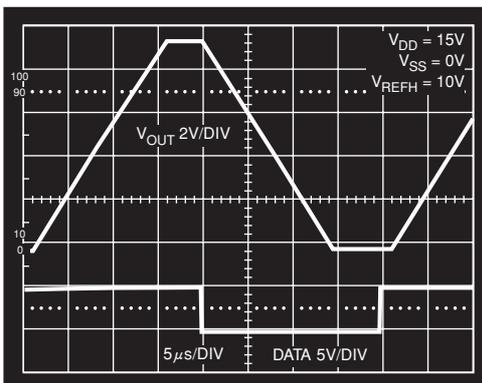
特性 22. 負荷時の大信号セトリング(テスト回路1参照)



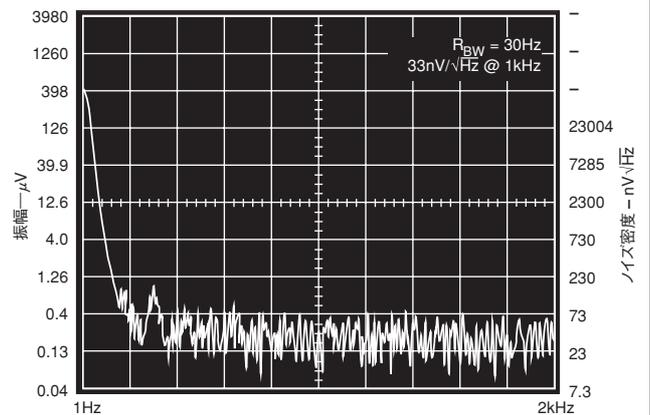
特性 20. レール電圧付近の小信号応答、
 $C_L = 2\text{ nF}$ (テスト回路1参照)



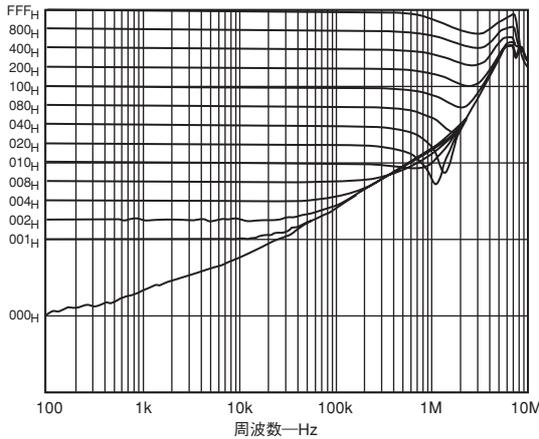
特性 23. ミッド・スケール変化時のグリッチ



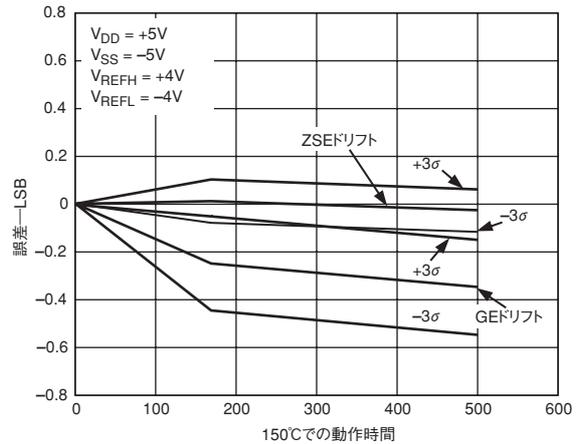
特性 21. 大信号セトリング



特性 24. AD5582の出力ノイズ密度

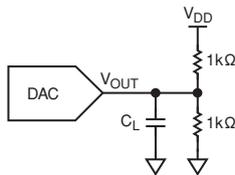


特性 25. AD5582の乗算帯域幅



特性 26. AD5582長時間ドリフト

テスト回路



テスト回路1

動作原理

AD5582/AD5583は、電圧出力、12ビット/10ビット・パラレル入力のクワッドDACで、小型のTSSOP-48パッケージを採用しています。

各DACは、電圧スイッチとチップ面積と精度を最適化したセグメントから成る、ハイ・インピーダンス($R=20k\Omega$)のR-2Rラダーとの構成です。図3に、セグメント構成の詳細を省いた、簡略なR-2R構造を示します。抵抗 $2R$ を V_{REFH} と V_{REFL} の間で切り替えて、右端のラダー・ノードから出力を取り出します。可能な全ての状態でコードが入力されると、このノードの電圧が最低の V_{REFL} から最高の $V_{REFH} - DUTLSB$ まで、 $(2/3V_{REFH} - V_{REFL}) / (2^N - 1)$ ステップで変化します。ゲイン=1.5のアンプでこの出力をバッファリングすると、出力は次のようになります。

$$V_{OUT} = \frac{D}{2^N - 1} (V_{REFH} - V_{REFL}) + (V_{REFL}) \quad (1)$$

ここで、 D はデータ・ビットに対応する10進値で、 N はビット数です。 $V_{REFL} = V_{REFH} = V_{REF}$ の場合には、 V_{OUT} は次のように簡単になります。

$$V_{OUT} = \left(\frac{D}{2047} - 1 \right) V_{REF} \quad (\text{AD5582}) \quad (2)$$

$$V_{OUT} = \left(\frac{D}{511} - 1 \right) V_{REF} \quad (\text{AD5583}) \quad (3)$$

この方式の利点は、DACが、差動リファレンスの2電圧間を補間することと、シングル・エンド・リファレンスも可能である点です。

これらのDACはダブル・バッファ機能を持っているため、同期チャンネルと非同期チャンネルの両方の更新が可能になります。また別にリードバック機能もあります。これらのデバイスは、 \overline{RS} ピンとMSBピンによって制御され、ゼロ・スケールまたはミッド・スケールにリセットすることができます。 \overline{RS} がアクティブのとき、MSB=0にするとDACはゼロ・スケールに、MSB=1にするとDACはミッド・スケールにリセットされます。乗算用バイポーラ・リファレンスを使い、+5V~+15Vまたは±5Vの広い電源電圧レンジで動作できることは、これらのDACのもう1つの重要な特長です。

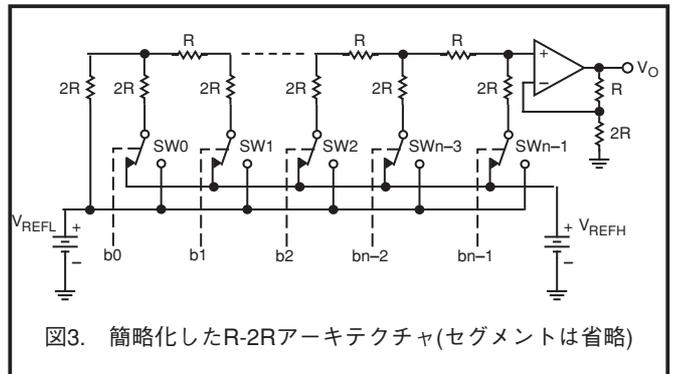


図3. 簡略化したR-2Rアーキテクチャ(セグメントは省略)

電源

これらのDACの動作には3種類の電源が必要です。両電源動作の場合は、 $V_{SS} = -6.5V \sim -2.7V$ に、 $V_{DD} = +2.7V \sim +6.5V$ に設定することができます。単電源動作の場合は、 $V_{SS} = 0V$ に、 $V_{DD} = 3V \sim 16.5V$ に設定しますが、単電源 V_{DD} を4.5Vより低くすると、デバイスの全体精度に悪影響を与えることがあります。

AD5582/AD5583

これらのDACは高い電圧で動作することができるため、デジタル信号レベルは V_{DD} によって個別に制御できます。 V_{DD} は2.7V~6.5Vのレンジに設定することができます。このため、DACは広範囲なマイクロコントローラ、FPGA、信号プロセッサなどから発生されたローレベルのデジタル信号に対しても動作することができます。

リファレンス入力

4チャンネルのすべてのDACで、独立した差動リファレンス電圧を使用することができます。このリファレンス電圧の柔軟性により、各チャンネルに独自のリファレンス電圧を入力することができます。同様に、差動リファレンスに対してバイポーラ・リファレンスを入力することもできます。最適な精度を維持するには、 V_{REFH} と V_{REFL} との間の電位差を1Vより大きく維持する必要があります。特性 11を参照してください。

これらのリファレンス入力に接続した電圧によってDACの全4チャンネルの出力電圧限界が設定されるため、 V_{REFH} は常に V_{REFL} より高く設定する必要があります。 V_{REFH} は $V_{REFL} + 0.5V \sim V_{DD}$ のレンジの任意の電圧に、 V_{REFL} は $V_{SS} \sim V_{REFH} - 0.5V$ のレンジの任意の電圧に設定することができます。さらに、内蔵の高精度抵抗対R1とR2を使い、かつ反転モードのオペアンプを外付けすると、対称な負リファレンスを容易に発生することができます。これらの抵抗は、AD5582の場合は $\pm 0.025\%$ の精度で、AD5583の場合は0.1%の精度で一致しています。これらの精度は、1LSB未満の誤差に相当します。図3に、簡略化した構成を示します。

4チャンネルすべてに共通のリファレンスまたは個別のリファレンスを入力することができますが、各リファレンス・ピンの近くに $0.1 \mu F$ セラミック・コンデンサを接続してデカップリングする必要があります。

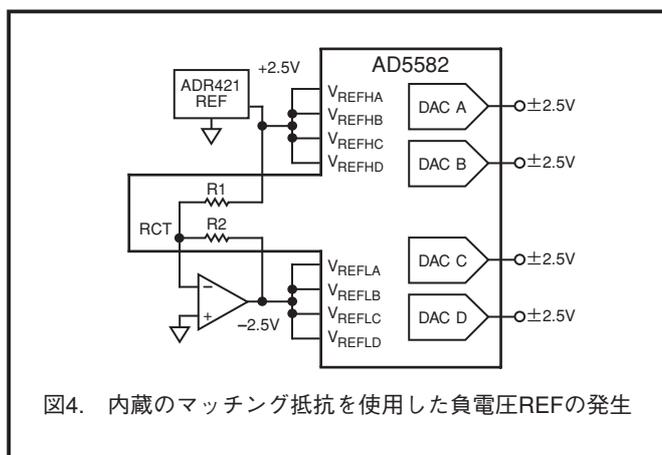


図4. 内蔵のマッチング抵抗を使用した負電圧REFの発生

デジタルI/O

デジタルI/Oは、12ビット/10ビットの双方向データ・バス、2本のレジスタ・セレクト入力(A0とA1)、 R/\overline{W} 入力、リセット(\overline{RS})、チップ・セレクト(\overline{CS})、ロードDAC (\overline{LDAC})入力から構成されています。DACとバス方向の制御は、表Iに示す入力により決定されます。すべてのデジタル・ピンはTTL/CMOS互換であり、すべての内部レジスタはレベル・トリガーです。

レジスタが、入力A0とA1を選択します。レジスタのデコーディング機能は、 \overline{CS} 入力によりイネーブルされます。 \overline{CS} がハイレベルのときは、デコーディング機能がイネーブルされず、入力レジスタの読み込みと書き出しはイネーブルされません。レジスタの2番目のバンクに対するロードは、非同期的 \overline{LDAC} 入力により制御されます。 \overline{CS} イネーブル中に \overline{LDAC} をローレベルにすると、各チャンネルはシングル・バッファモードとして更新されます(図2a)。 \overline{CS} がシーケンシャルにイネーブルされて全入力レジスタにデータがロードされると、後続の \overline{LDAC} パルスにより、全チャンネルがダブル・バッファ・モードとして同時に更新されます(図2b)。

R/\overline{W} は、入力レジスタに対する読み書きを制御します。

リセット

\overline{RS} 機能は、パワーアップ時または動作中の任意のタイミングで使うことができます。 \overline{RS} 機能は、他のどのデジタル入力より高い優先順位を持っています。このピンはアクティブ・ローレベルであり、MSBの状態に応じてDAC出力レジスタをゼロ・スケールまたはミッド・スケールに設定します。DACがバイポーラ・リファレンスの場合に、ミッド・スケールへのリセットは便利で、出力は0Vにリセットされます。

出力アンプ

AD5582/AD5583は他の多くの電圧出力DACと異なり、バッファ付きの電圧出力を持っています。各出力は $\pm 2mA$ のソース/シンク能力を持っているため、500pFまでの容量負荷を発振なしで駆動する際に外付けバッファが不要です。これらのアンプには短絡保護も備えています。

グリッチ

AD5582/AD5583は、グリッチを最小化するように特別にデザインされています。例えば、AD5582のワーストケース・グリッチはミッド・スケール(1000 0000B)からミッド・スケールより1だけ小さいレベル(0111 1111B)への変化および、その逆向きの変化で発生します。このグリッチ・エネルギーの測定値は $100mV \times 1 \mu s$ すなわち $100nVs$ です。このグリッチの継続時間はセリング・タイムより短く、したがって、多くのアプリケーションではデングリッチャなしで許容できるでしょう。

レイアウトと電源のバイパス

小型かつ最短の線によるPCBレイアウト・デザインが大切です。入力までの配線はできるだけ短くして、IR電圧降下と浮遊インダクタンスを小さくする必要があります。

最適な安定性を得るため、高品質のコンデンサを使って電源をバイパスすることも大切です。デバイスへの電源線は、 $0.01 \mu F \sim 0.1 \mu F$ のディスク型またはチップ型セラミック・コンデンサを使ってバイパスする必要があります。小さいESRを持つ $1 \mu F \sim 10 \mu F$ のタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧の影響を抑える必要があります。AD5582/AD5583ではチップ面積を小さくするため内部レイアウト・デザインを最適化しています。このためすべてのアナログ電源電圧ピンを外部で接続する必要があります。図5参照。

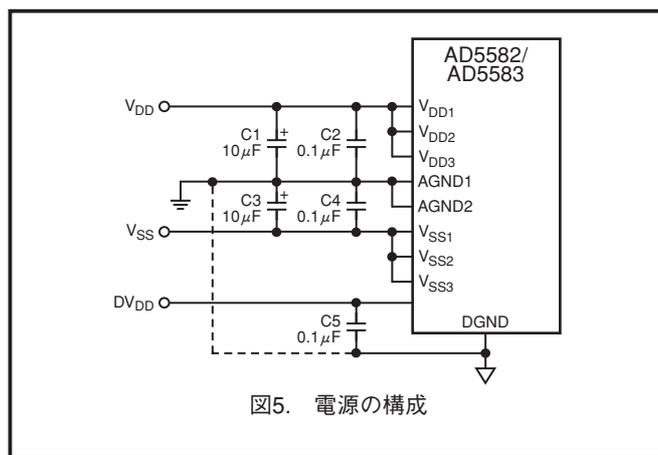


図5. 電源の構成

アプリケーション

プログラマブルな電流源

図6に、Howland電流ポンプを使った多用途V-I変換回路を示します。この回路は高精度の電流変換機能の他に、双方向電流機能と高電圧コンプライアンスも持っています。この電圧コンプライアンスは、主にオペアンプの電源電圧により制限されます。この回路は、最大負荷500Ωまでの4~20mA電流トランスミッタに使うことができます。

AD5582/AD5583

表I. AD5582/AD5583の真理値表

A1	AO	R/W	CS	LDAC	RS	入力レジスタ	DACLレジスタ	動作モード	選択されるDAC
0	0	0	0	0	1	書き込み	トランスペアレント	トランスペアレント	A
0	1	0	0	0	1	書き込み	トランスペアレント	トランスペアレント	B
1	0	0	0	0	1	書き込み	トランスペアレント	トランスペアレント	C
1	1	0	0	0	1	書き込み	トランスペアレント	トランスペアレント	D
0	0	0	0	1	1	書き込み	ホールド	書き込み入力	A
0	1	0	0	1	1	書き込み	ホールド	書き込み入力	B
1	0	0	0	1	1	書き込み	ホールド	書き込み入力	C
1	1	0	0	1	1	書き込み	ホールド	書き込み入力	D
0	0	1	0	1	1	読み出し	ホールド	D0からDNへのリードバック	A
0	1	1	0	1	1	読み出し	ホールド	D0からDNへのリードバック	B
1	0	1	0	1	1	読み出し	ホールド	D0からDNへのリードバック	C
1	1	1	0	1	1	読み出し	ホールド	D0からDNへのリードバック	D
X	X	X	1	0	1	ホールド	全レジスタを更新	全レジスタを更新	すべて
X	X	X	1	1	1	ホールド	ホールド	ホールド	すべて
X	X	X	X	X	0	全レジスタをミッド・スケールまたはゼロ・スケールへリセット		すべて	
X	X	X	1	X	↑	全レジスタをミッド・スケールまたはゼロ・スケールにラッチ		すべて	

MSB=0のときはゼロ・スケールへリセット、MSB=1のときはミッド・スケールへリセット。X: 任意。アサートされると、入力レジスタおよび出力レジスタがトランスペアレントになります。

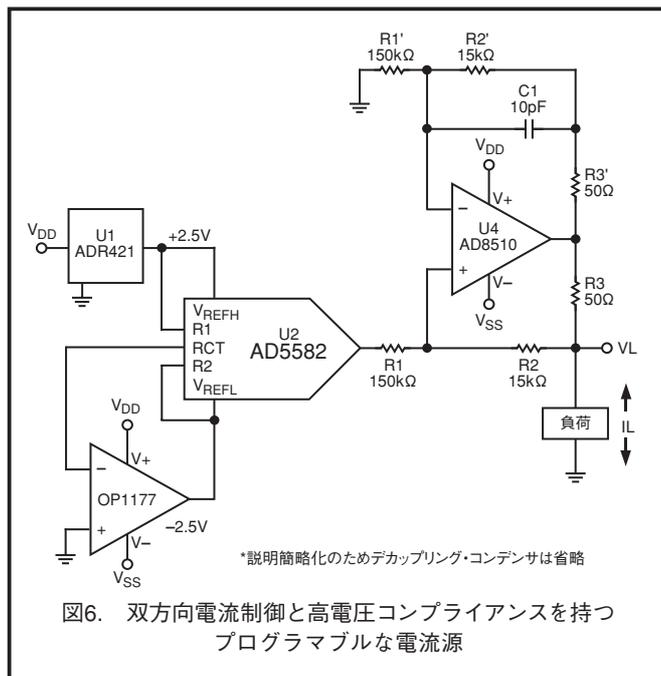


図6に示すように、抵抗ネットワークが一致している場合、負荷電流は次式で与えられます。

$$I_L = \frac{(R_2 + R_3)/R_1}{R_3} V_{IN} \quad (4)$$

理論的にはR3を小さくして、U4の出力電流駆動能力の範囲内で、必要な電流を得ることができます。この回路では、AD8510は両方向に±20mAを供給でき、電圧コンプライアンスは+15Vに近づきます。

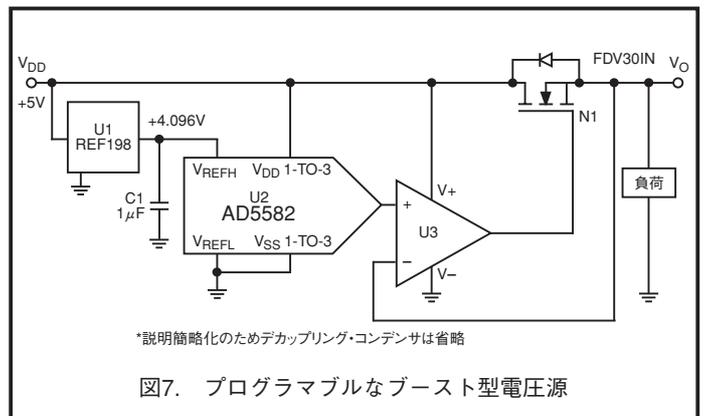
この回路は多くの用途に使うことができますが、補償に注意する必要があります。C1がない場合、出力インピーダンスは次のようになります。

$$Z_o = \frac{R_1' R_3 (R_1 + R_2)}{R_1 (R_2' + R_3') - R_1' (R_2 + R_3)} \quad (5)$$

抵抗が完全に一致している場合は、Z_oは無窮大になり、非常に望ましいことです。これに対して、一致していない場合は、Z_oは正または負になります。後者の場合、S平面の右側に極が存在するため、発振が生じます。したがって、数pFのレンジのC1を接続して、発振を防止する必要があります。クリティカルなアプリケーションでは、過補償にならないC1値を経験的に探す必要があります。

プログラマブルなブースト型電圧源

AD5582/AD5583は、外付けのオペアンプとパワー・トランジスタなしで大きな電流を供給することはできません。図7に、200mAの能力を持つプログラマブルな電源を示します。



AD5582/AD5583

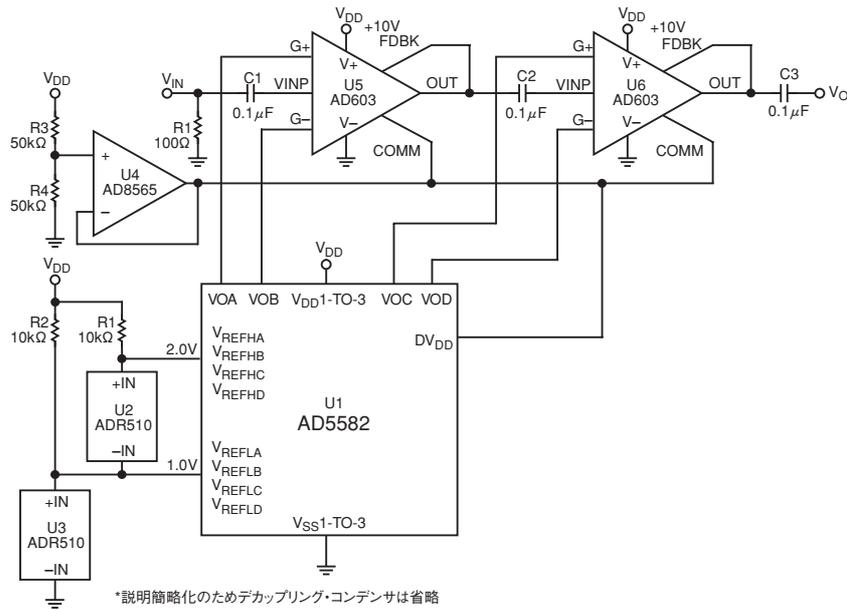


図8. プログラマブルなPGA

この回路では、オペアンプの反転入力 V_O をDAC出力に等しく維持します。負荷電流は、NチャンネルFETのN1を経由して電源から供給されます。U3は、レールtoレール入力タイプである必要があります。 $V_{DD}=5V$ の場合、この回路は4.096Vフル・スケールでは最大200mAを、ミッド・スケールでは100mAを、ゼロ・スケール出力付近では50mAを供給できます。ヒート・シンク付きの大型パッケージのN1を使うと、より大きな電流を得ることができます。

プログラマブルなPGA

AD603はローノイズの電圧制御アンプであり、RFおよびIFのAGC (自動ゲイン制御)システムで使用されます。このデバイスを使うと、90MHzの帯域幅では-11dB~+31dBで、9MHzの帯域幅では9dB~51dBで、正確なゲインの選択がピンを使って可能になります。ピン5とピン7の間に外部抵抗を接続すると、中間のゲインレンジも実現することができます。入力換算のノイズ・スペクトル密度はわずか1.3 nV/ $\sqrt{\text{Hz}}$ と小さく、消費電力は推奨の±5V電源で125mWです。

デシベル・ゲインはdB値で直線になり、正確にキャリブレーションされ、温度と電源に対して安定です。ゲインはハイ・インピーダンス(50M Ω)のロー・バイアス(200nA)差動入力制御されます。スケージングは25mV/dBで、ゲイン制御電圧はゲインレンジの中央部40dBに対して僅か1Vで済みます。選択レンジによらず、1dBまで上限および下限を超えることができます。ゲイン制御の応答時間は、40dBの変化に対して1ms未満です。

差動ゲイン制御インターフェースを使うと、差動またはシングルエンドの正か負の制御電圧を使うことができ、共通・モード・レンジは-1.2V~+2.0Vになります。AD5582/AD5583は、共通・モード・レンジ0V~2V以内で1Vの差動入力レンジを実現するのに最適です。これを実現するには、 $V_{REFH}=2.0V$ かつ $V_{REFL}=1.0V$ に設定し、AD5582の全4096VレベルがAD603のゲイン制御レンジ内に入るようにします。ゲイン制御、レイアウト、動作の詳細については、AD603のデータシートを参照してください。

18ビット・バイポーラDAC

AD5582はマルチチャンネル、高精度、差動リファレンスの機能を持っているため、高分解能構成に最適です。AD5582の4チャンネルの内の3チャンネルをカスケード接続すると、シングル・チャンネルに比べて高いビット分解能を持つ高分解能DACを構成することができます(図9)。

DAC AとDAC Bが連動して粗調整を行い、その出力をDAC Cの差動リファレンスとして使います。DAC Cは12ビットの微調整を行います。Cの調整レンジはDAC AとDAC Bによって設定される差動リファレンスに制限されます。このため、差動リファレンスレンジがこの回路の最終分解能を決定します。12ビット分解能でINLとDNLを1 LSB誤差以内に抑えるために(特性 11参照)、DAC Cの差動リファレンスを156.25mVに設定します。 $V_{REFH}/V_{REFL}=\pm 5.000V$ の場合、DAC AとDAC Bが連動するときは、DAC AとDAC Bのコードは互いに64ステップ離れている必要があります。18ビットの分解能を与える式は次のようになります。

$$V_O = \frac{D_C}{4096} \left[\begin{array}{l} V_{REF} \left(\frac{D_A}{2048} - 1 \right) \\ -V_{REF} \left(\frac{D_B}{2048} - 1 \right) \end{array} \right] + V_{REF} \left(\frac{D_B}{2048} - 1 \right) \quad (6)$$

ここで、 D_A 、 D_B 、 D_C はそれぞれDAC A、DAC B、DAC Cのデータ・ビットに等しい10進値です。このような高分解能を達成して得られる利点がある反面、表IIIに示すような設定の複雑さが付随します。 D は18ビットのデータ・ビットに等しい10進値であり、この値は等価な D_A 、 D_B 、 D_C の設定値に変換する必要があることに注意してください。これは、 D の等式として表すことができます。

$$D = \frac{D_C(D_A - D_B)}{64} + 64D_B - 2^{18} \quad (7)$$

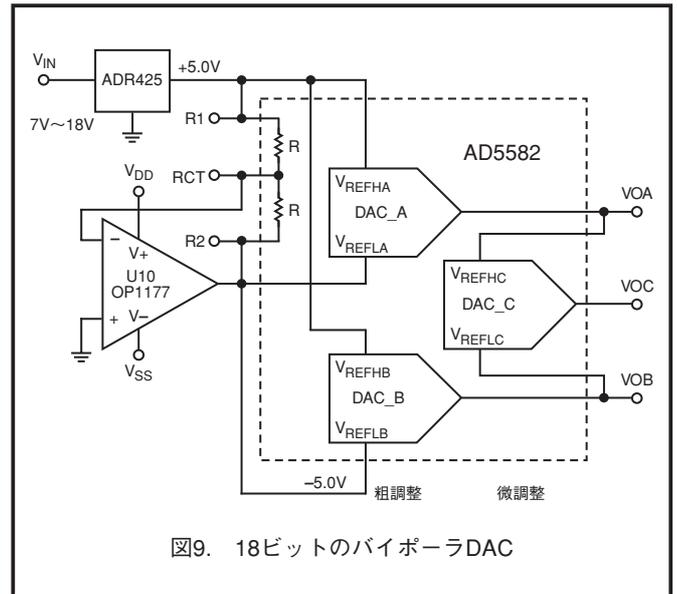
さらに、次の条件も常に満たす必要があります。

$$D_A = D_B + 64 \quad (8)$$

表II. 18ビットDACの設定例

D	D _A	D _B	D _C	V _o
0	64	0	0	-5.00000
2048	64	0	2048	-4.92188
61440	1024	960	0	-2.65625
63488	1024	960	2048	-2.57813
126976	2048	1984	0	-0.15625
129024	2048	1984	2048	-0.07813
257984	4095	4031	0	4.84375
260032	4095	4031	2048	4.920654

DAC A/DAC Bで6ビットの粗調整を行い、各粗調整ステップ内でDAC Cによる12ビットの微調整を行うと、18ビットのバイポーラDACを構成できます。このDACは2¹⁸ステップの調整を可能にしますが、DAC Cの差動リファレンスの制約に起因して、精度は12ビットに留まっていることに注意してください。このため、この回路は、18ビットの調整が必要だが絶対精度は必要としないアプリケーションに適しています。



AD5582/AD5583

外形寸法

48ピン薄型シュリンクSOP(TSSOP) (RV-48)

サイズはmm で示します。

