

AD7273/AD7274

特長

- 高速スループット・レート：3MSPS
- V_{DD} の仕様規定範囲：2.35~3.6V
- 低消費電力：11.4mW (3MSPS、3V電源時)
- 広い入力帯域幅：1MHzの入力周波数時で70dBのS/N比
- フレキシブルなパワー/シリアル・クロック速度マネジメント
- パイプライン遅延なし
- 高速シリアル・インターフェース：
 - SPI®/QSPI™/MICROWIRE™/DSP互換
- 動作温度範囲：-40~+125°C
- パワーダウン・モード：0.1µA (typ値)
- 8ピンTSOTパッケージ
- 8ピンMSOPパッケージ

機能ブロック図

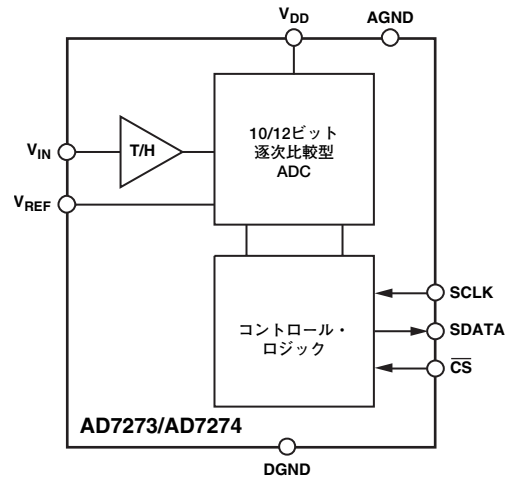


図1

概要

AD7273 (10ビット)、AD7274 (12ビット) は、高速、低消費電力の逐次比較型A/Dコンバータ (ADC) です。2.35~3.6Vの単電源で動作し、最大3MSPSのスループット・レートを実現しています。各デバイスは、55MHzを超える入力周波数を処理できる低ノイズ、広帯域幅のトラック&ホールド・アンプを内蔵しています。

\overline{CS} 入力とシリアル・クロックを使用して変換プロセスとデータ・アクイジションを制御するため、マイクロプロセッサまたはDSPとのインターフェースが可能です。 \overline{CS} 入力の立下がりエッジで入力信号をサンプリングし、これと同時に変換も開始します。変換レートは、SCLKによって決まります。デバイスに関連するパイプライン遅延はありません。

最新の設計技術を採用したAD7273/AD7274は、高速スループット・レートでの消費電力を大幅に低減します。

リファレンス電圧は外部から供給し、1.4V~ V_{DD} の電圧範囲が可能です。このため、ADCへのダイナミック入力レンジを最大化できます。

表1

製品番号	分解能	パッケージ	
		8ピンMSOP	8ピンTSOT
AD7273 ¹	10	8ピンMSOP	8ピンTSOT
AD7274 ¹	12	8ピンMSOP	8ピンTSOT
AD7276	12	8ピンMSOP	8ピンTSOT
AD7277	10	8ピンMSOP	8ピンTSOT
AD7278	8	8ピンMSOP	8ピンTSOT

¹ 外部リファレンス・ピンあり

製品のハイライト

- 8ピンTSOTパッケージを採用した3MSPSのADC
- 低消費電力で高速スループット
- フレキシブルなパワー/シリアル・クロック速度マネジメント
低スループット・レートで最大のパワー効率が可能
- リファレンスは電源電圧まで駆動可能
- パイプライン遅延なし
- 標準の逐次比較型ADCを備え、 \overline{CS} 入力とワンショット変換制御によりサンプリングのタイミングを正確に制御

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

AD7273/AD7274

目次

特長	1	ADC伝達関数	15
概要	1	代表的な接続図	16
機能ブロック図	1	アナログ入力	16
製品のハイライト	1	デジタル入力	16
改訂履歴	2	動作モード	17
仕様	3	ノーマル・モード	17
AD7274の仕様	3	一部パワーダウン・モード	17
AD7273の仕様	5	フル・パワーダウン・モード	17
タイミング仕様	7	パワーアップ時間	18
タイミング例	8	消費電力 対 スループット・レート	20
絶対最大定格	9	シリアル・インターフェース	21
ESDに関する注意	9	マイクロプロセッサとのインターフェース	23
ピン配置と機能の説明	10	アプリケーション情報	24
代表的な性能特性	11	グラウンディングとレイアウト	24
用語の説明	14	AD7273/AD7274の性能評価	24
回路情報	15	外形寸法	25
コンバータの動作	15	オーダー・ガイド	25

改訂履歴

9/05—Revision 0: Initial Version

仕様

AD7274の仕様

特に指定のない限り、 $V_{DD}=2.35\sim 3.6V$ 、 $V_{REF}=2.35V\sim V_{DD}$ 、 $f_{SCLK}=48MHz$ 、 $f_{SAMPLE}=3MSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$

表2

パラメータ	Bグレード ¹	単位 ²	テスト条件/備考
動的性能			
信号/ノイズ&歪み (SINAD) ³	68	dB (min)	$f_{IN}=1MHz$ サイン波
S/N比 (SNR)	69.5	dB (min)	
全高調波歪み (THD) ³	-73	dB (max)	
	-78	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ³	-80	dB (typ)	
相互変調歪み (IMD)			
2次項	-82	dB (typ)	$f_a=1MHz$ 、 $f_b=0.97MHz$
3次項	-82	dB (typ)	$f_a=1MHz$ 、 $f_b=0.97MHz$
アバーチャ遅延	5	ns (typ)	
アバーチャ・ジッタ	18	ps (typ)	
フルパワー帯域幅	55	MHz (typ)	@3dB
	8	MHz (typ)	@0.1dB
電源電圧変動除去比 (PSRR)	82	dB (typ)	
DC精度			
分解能	12	ビット	
積分非直線性 ³	± 1	LSB (max)	12ビットまでノー・ミスコード保証
微分非直線性 ³	± 1	LSB (max)	
オフセット誤差 ³	± 3	LSB (max)	
ゲイン誤差 ³	± 3.5	LSB (max)	
総合未調整誤差 (TUE) ³	± 3.5	LSB (max)	
アナログ入力			
入力電圧範囲	$0\sim V_{REF}$	V	
DCリーク電流	± 1	μA (max)	$-40\sim +85^\circ C$
	± 5.5	μA (max)	$85\sim 125^\circ C$
入力容量	42	pF (typ)	トラック時
	10	pF (typ)	ホールド時
リファレンス入力			
V_{REF} 入力電圧範囲	$1.4\sim V_{DD}$	V (min) /V (max)	
DCリーク電流	± 1	μA (max)	
入力容量	20	pF (typ)	
入力インピーダンス	32	Ω (typ)	
ロジック入力			
ハイレベル入力電圧 (V_{INH})	1.7	V (min)	$2.35V\leq V_{DD}\leq 2.7V$
	2	V (min)	$2.7V<V_{DD}\leq 3.6V$
ローレベル入力電圧 (V_{INL})	0.7	V (max)	$2.35V\leq V_{DD}<2.7V$
	0.8	V (max)	$2.7V\leq V_{DD}\leq 3.6V$
入力電流 (I_{IN})	± 1	μA (max)	$10nA$ (typ)、 $V_{IN}=0V$ または V_{DD}
入力容量 (C_{IN}) ⁴	2	pF (max)	
ロジック出力			
ハイレベル出力電圧 (V_{OH})	$V_{DD} - 0.2$	V (min)	$I_{SOURCE}=200\mu A$ 、 $V_{DD}=2.35\sim 3.6V$
ローレベル出力電圧 (V_{OL})	0.2	V (max)	$I_{SINK}=200\mu A$
フロート状態リーク電流	± 2.5	μA (max)	
フロート状態出力容量 ⁴	4.5	pF (max)	
出力コーディング		ストレート・バイナリ	

AD7273/AD7274

パラメータ	Bグレード ¹	単位 ²	テスト条件/備考
変換レート			
変換時間	291	ns (max)	48MHzのSCLKで14SCLKサイクル
トラック&ホールド・アクイジション時間 ³	60	ns (max)	
スループット・レート	3	MSPS (max)	「シリアル・インターフェース」を参照
電源条件			
V _{DD}	2.35/3.6	V (min) /V (max)	
I _{DD}			デジタルI/P=0VまたはV _{DD}
ノーマル・モード (静止時)	1	mA (typ)	V _{DD} =3V、SCLKオンまたはオフ
ノーマル・モード (動作時)	5	mA (max)	V _{DD} =2.35~3.6V、f _{SAMPLE} =3MSPS
	3.8	mA (typ)	V _{DD} =3V
一部パワーダウン・モード (静止時)	34	μA (typ)	
フル・パワーダウン・モード (静止時)	2	μA (max)	-40~85°C、0.1μA (typ)
	10	μA (max)	85~125°C
消費電力⁵			
ノーマル・モード (動作時)	18	mW (max)	V _{DD} =3.6V、f _{SAMPLE} =3MSPS
	11.4	mW (typ)	V _{DD} =3V
一部パワーダウン	102	μW (max)	V _{DD} =3V
フル・パワーダウン	7.2	μW (max)	V _{DD} =3.6V、-40~+85°C

¹ 温度範囲は-40~+125°C。

² typ仕様は25°C、V_{DD}=3V、V_{REF}=3Vでテストしています。

³ 「用語の説明」を参照。

⁴ 特性により保証。

⁵ 「消費電力対スループット・レート」を参照。

AD7273の仕様

特に指定のない限り、 $V_{DD}=2.35\sim 3.6V$ 、 $V_{REF}=2.35V\sim V_{DD}$ 、 $f_{SCLK}=48MHz$ 、 $f_{SAMPLE}=3MSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$

表3

パラメータ	Bグレード ¹	単位 ²	テスト条件/備考
動的性能			$f_{IN}=1MHz$ サイン波
信号/ノイズ&歪み (SINAD) ³	61	dB (min)	
S/N比 (SNR)	-72	dB (max)	
	-77	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ³	-80	dB (typ)	
相互変調歪み (IMD)			
2次項	-81	dB (typ)	$f_a=1MHz$ 、 $f_b=0.97MHz$
3次項	-81	dB (typ)	$f_a=1MHz$ 、 $f_b=0.97MHz$
アパーチャ遅延	5	ns (typ)	
アパーチャ・ジッタ	18	ps (typ)	
フルパワー帯域幅	74	MHz (typ)	@3dB
	10	MHz (typ)	@0.1dB
電源電圧変動除去比 (PSRR)	82	dB (typ)	
DC精度			
分解能	10	ビット	
積分非直線性 ³	± 0.5	LSB (max)	10ビットまでノー・ミスコード保証
微分非直線性 ³	± 0.5	LSB (max)	
オフセット誤差 ³	± 1	LSB (max)	
ゲイン誤差 ³	± 1.5	LSB (max)	
総合未調整誤差 (TUE) ³	± 2.5	LSB (max)	
アナログ入力			
入力電圧範囲	$0\sim V_{REF}$	V	
DCリーク電流	± 1	μA (max)	$-40\sim +85^\circ C$
	± 5.5	μA (max)	$85\sim 125^\circ C$
入力容量	42	pF (typ)	トラック時
	10	pF (typ)	ホールド時
リファレンス入力			
V_{REF} 入力電圧範囲	$1.4\sim V_{DD}$	V (min) / V (max)	
DCリーク電流	± 1	μA (max)	
入力容量	20	pF (typ)	
入力インピーダンス	32	Ω (typ)	
ロジック入力			
ハイレベル入力電圧 (V_{INH})	1.7	V (min)	$2.35V\leq V_{DD}\leq 2.7V$
	2	V (min)	$2.7V<V_{DD}\leq 3.6V$
ローレベル入力電圧 (V_{INL})	0.7	V (max)	$2.35V\leq V_{DD}< 2.7V$
	0.8	V (max)	$2.7V\leq V_{DD}\leq 3.6V$
入力電流 (I_{IN})	± 1	μA (max)	$10nA$ (typ)、 $V_{IN}=0V$ または V_{DD}
入力容量 (C_{IN}) ⁴	2	pF (max)	
ロジック出力			
ハイレベル出力電圧 (V_{OH})	$V_{DD}-0.2$	V (min)	$I_{SOURCE}=200\mu A$; $V_{DD}=2.35\sim 3.6V$
ローレベル出力電圧 (V_{OL})	0.2	V (max)	$I_{SINK}=200\mu A$
フロート状態リーク電流	± 2.5	μA (max)	
フロート状態出力容量 ⁴	4.5	pF (max)	
出力コーディング		ストレート・バイナリ	
変換レート			
変換時間	250	ns (max)	48MHzのSCLKで12SCLKサイクル
トラック&ホールド・アクイジション時間 ³	60	ns (max)	
スループット・レート	3.45	MSPS (max)	「シリアル・インターフェース」を参照

AD7273/AD7274

パラメータ	Bグレード ¹	単位 ²	テスト条件/備考
電源条件			
V_{DD}	2.35/3.6	V (min) /V (max)	
I_{DD}			デジタルI/P=0Vまたは V_{DD}
ノーマル・モード (静止時)	0.6	mA (typ)	$V_{DD}=3V$ 、SCLKオンまたはオフ
ノーマル・モード (動作時)	5	mA (max)	$V_{DD}=2.35\sim 3.6V$ 、 $f_{SAMPLE}=3MSPS$
一部パワーダウン・モード (静止時)	3.2	mA (typ)	$V_{DD}=3V$
フル・パワーダウン・モード (静止時)	34	μA (typ)	
	2	μA (max)	$-40\sim +85^{\circ}C$ 、 $0.1\mu A$ (typ)
	10	μA (max)	$85\sim 125^{\circ}C$
消費電力 ⁵			
ノーマル・モード (動作時)	18	mW (max)	$V_{DD}=3.6V$ 、 $f_{SAMPLE}=3MSPS$
	9.6	mW (typ)	$V_{DD}=3V$
一部パワーダウン	102	μW (max)	$V_{DD}=3V$
フル・パワーダウン	7.2	μW (max)	$V_{DD}=3.6V$ 、 $-40\sim +85^{\circ}C$

¹ 温度範囲は $-40\sim +125^{\circ}C$ 。

² typ仕様は $25^{\circ}C$ 、 $V_{DD}=3V$ 、 $V_{REF}=3V$ でテストしています。

³ 「用語の説明」を参照。

⁴ 特性により保証。

⁵ 「消費電力対スループット・レート」を参照。

タイミング仕様

特に指定のない限り、 $V_{DD}=2.35\sim 3.6V$ 、 $V_{REF}=2.35\sim V_{DD}$ 、 $T_A=T_{MIN}\sim T_{MAX}$ 。 ¹ 特性により保証。すべての入力信号は、 $t_r=t_f=2ns$ (V_{DD} の10~90%) で仕様規定され、1.6Vの電圧レベルからタイミングがとられます。

表4

パラメータ	T_{MIN} 、 T_{MAX} での限界 AD7273/AD7274	単位	説明
f_{SCLK}^2	500 48	kHz (min) ³ MHz (max)	
$t_{CONVERT}$	$14 \times t_{SCLK}$ $12 \times t_{SCLK}$		AD7274 AD7273
t_{QUIET}	4	ns (min)	バス開放から次の変換の開始までに必要な最小の静止時間
t_1	3	ns (min)	\overline{CS} の最小パルス幅
t_2	6	ns (min)	\overline{CS} からSCLKまでのセットアップ時間
t_3^4	4	ns (max)	\overline{CS} からSDATAのスリーステートがディスエーブルになるまでの遅延
t_4^4	15	ns (max)	SCLKの立下がりエッジ後のデータ・アクセス時間
t_5	$0.4 t_{SCLK}$	ns (min)	SCLKのローレベル・パルス幅
t_6	$0.4 t_{SCLK}$	ns (min)	SCLKのハイレベル・パルス幅
t_7^4	5	ns (min)	SCLKからデータ有効までのホールド時間
t_8	14	ns (max)	SCLKの立下がりエッジからSDATAのスリーステートまで
t_9	5	ns (min)	SCLKの立下がりエッジからSDATAのスリーステートまで
$t_{POWER-UP}^5$	4.2 1	ns (max) μs (max)	\overline{CS} の上上がりエッジからSDATAのスリーステートまで フル・パワーダウンからのパワーアップ時間

¹ 量産開始時のサンプル・テストによりコンプライアンスを保証。すべてのタイミング仕様は、10pFの負荷容量によるものです。負荷容量がこの値より大きい場合は、デジタル・バッファまたはラッチを使用してください。

² SCLK入力のマーク/スペース比は40/60~60/40。

³ 仕様が保証される最小の f_{SCLK} 。

⁴ 出力が V_{IH} または V_{IL} 電圧に達するまでに必要な時間。

⁵ 「パワーアップ時間」を参照。

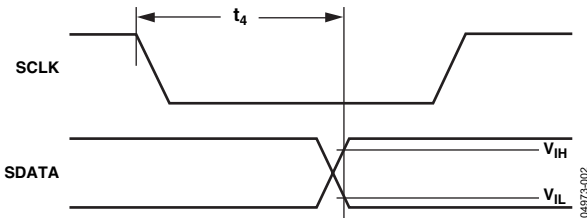


図2. SCLKの立下がりエッジ後のアクセス時間

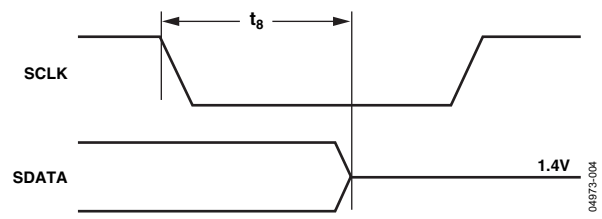


図4. SCLKの立下がりエッジとSDATAのスリーステート

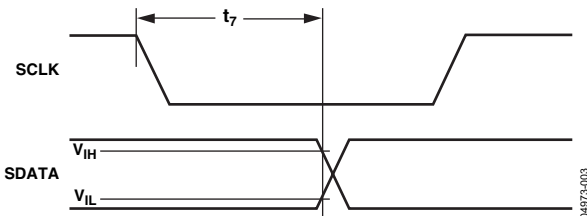


図3. SCLKの立下がりエッジ後のホールド時間

AD7273/AD7274

タイミング例

AD7274では、14番目のSCLK立上がりエッジの間に \overline{CS} をハイレベルにした場合は2つの先行ゼロについで変換された12ビットが得られ、デバイスは、3MSPSという最速のスループット・レートを達成することができます。16番目のSCLK立上がりエッジの間に \overline{CS} をハイレベルにした場合は2つの先行ゼロ、12ビットの変換データについで2つの末尾ゼロが提供され2.97MSPSのスループット・レートが達成できます。これを次の2つのタイミング例で示します。

タイミング例1

図6の例では、14のSCLKサイクル、 $f_{SCLK}=48\text{MHz}$ を使用して、スループットは3MSPSです。これにより、サイクル時間は $t_2 + 12.5(1/f_{SCLK}) + t_{ACQ} = 333\text{ns}$ となります。ここで、 $t_2 = 6\text{ns}$ (min値)、 $t_{ACQ} = 67\text{ns}$ です。これは、 t_{ACQ} の60nsという条件を満たします。図6は、 t_{ACQ} が $0.5(1/f_{SCLK}) + t_9 + t_{QUIET}$ で構成されることも示します。ここで、 $t_9 = 4.2\text{ns}$ (max値)です。これにより、 t_{QUIET} の値は52.8nsとなり、4nsという最小条件を満たします。

タイミング例2

図7の例では、16のSCLKサイクル、 $f_{SCLK}=48\text{MHz}$ を使用して、スループットは2.97MSPSです。これにより、サイクル時間は $t_2 + 12.5(1/f_{SCLK}) + t_{ACQ} = 336\text{ns}$ となります。ここで、 $t_2 = 6\text{ns}$ (min値)、 $t_{ACQ} = 70\text{ns}$ です。図7は、 t_{ACQ} が $2.5(1/f_{SCLK}) + t_8 + t_{QUIET}$ で構成されることを示します。ここで、 $t_8 = 14\text{ns}$ (max値)です。これは t_{QUIET} の4nsという最小条件を満たします。

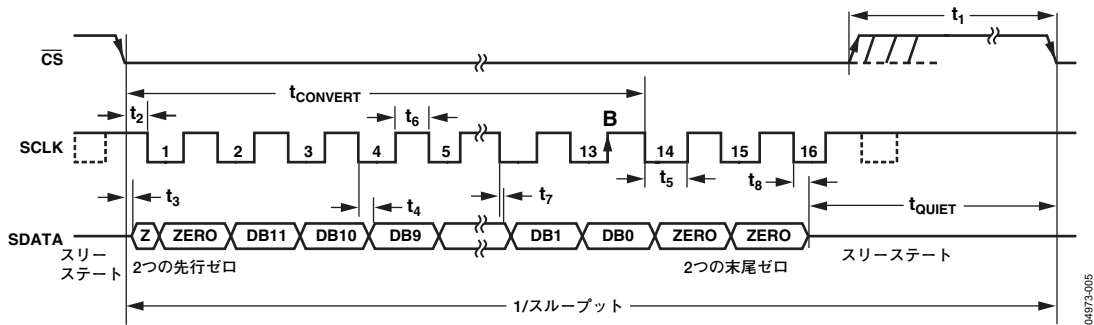


図5. AD7274のシリアル・インターフェースのタイミング (16SCLKサイクル)

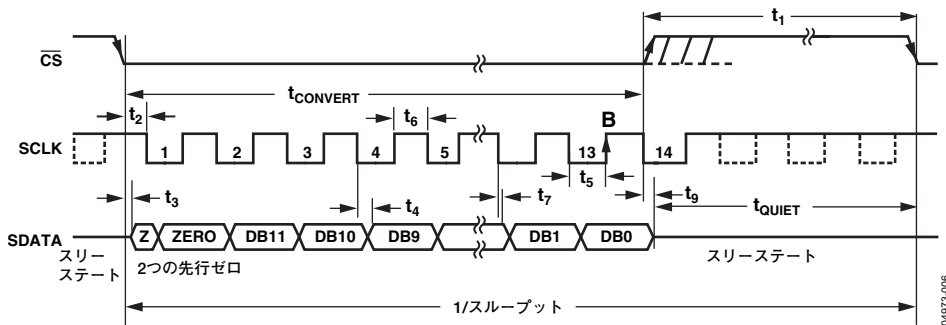


図6. AD7274のシリアル・インターフェースのタイミング (14SCLKサイクル)

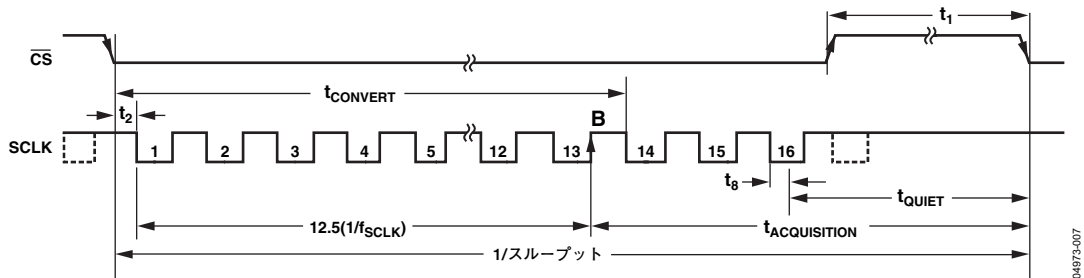


図7. シリアル・インターフェースのタイミング (16SCLKサイクル)

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表5

パラメータ	定格値
AGND/DGNDに対する V_{DD}	$-0.3\sim+6\text{V}$
AGNDに対するアナログ入力電圧	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
DGNDに対するデジタル入力電圧	$-0.3\sim+6\text{V}$
DGNDに対するデジタル出力電圧	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
電源以外のピンへの入力電流 ¹	$\pm 10\text{mA}$
動作温度範囲	
商用 (Bグレード)	$-40\sim+125^{\circ}\text{C}$
保存温度範囲	$-65\sim+150^{\circ}\text{C}$
ジャンクション温度	150°C
6ピンTSOTパッケージ	
θ_{JA} 熱抵抗	$230^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	$92^{\circ}\text{C}/\text{W}$
8ピンMSOPパッケージ	
θ_{JA} 熱抵抗	$205.9^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	$43.74^{\circ}\text{C}/\text{W}$
リード・ピン温度、 ハンダ・リフロー (10~30秒)	255°C
リード・ピン温度、 ハンダ・リフロー (10~30秒)	260°C
ESD	1.5kV

¹ 100mAまでの過渡電流では、SCRラッチアップが発生します。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。1つでもパラメータの絶対最大定格を超えると、デバイスに影響を与える可能性があります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD7273/AD7274

ピン配置と機能の説明



図8. 8ピンMSOPのピン配置

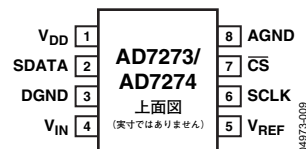


図9. 8ピンTSOTのピン配置

表6. ピン機能の説明

ピン番号		記号	機能
MSOP	TSOT		
1	1	V_{DD}	電源入力。AD7273/AD7274の V_{DD} 範囲は、2.35~3.6Vです。
2	2	SDATA	データ出力。ロジック出力。AD7273/AD7274からの変換結果は、シリアル・データ・ストリームとしてこの出力で提供されます。ビットは、SCLK入力の立下がりエッジでクロック出力されます。AD7274からのデータ・ストリームは、2つの先行ゼロ、12ビットの変換データ、2つの末尾ゼロで構成されます（MSBファースト）。AD7273からのデータ・ストリームは、2つの先行ゼロ、10ビットの変換データ、4つの末尾ゼロで構成されます（MSBファースト）。
3	7	\overline{CS}	チップ・セレクト。アクティブ・ローのロジック入力。この入力には、AD7273/AD7274での変換開始とシリアル・データ転送の制御という2つの機能があります。
4	8	AGND	アナログ・グラウンド。AD7273/AD7274上の全回路に対するグラウンド基準ポイント。全アナログ信号と外部リファレンス信号は、このAGND電圧を基準とします。
5	5	V_{REF}	電圧リファレンス入力。このピンはリファレンス電圧入力になります。外部リファレンスは、このピンに印加します。外部リファレンスの入力範囲は1.4V~ V_{DD} です。このピンとAGNDの間は、10 μ Fコンデンサで接続します。
6	6	SCLK	シリアル・クロック。ロジック入力。SCLKは、デバイスからデータにアクセスするためのシリアル・クロックを提供します。このクロック入力は、AD7273/AD7274の変換プロセス用のクロック源としても使用されます。
7	3	DGND	デジタル・グラウンド。AD7273/AD7274上の全デジタル回路のグラウンド基準ポイント。DGND電圧とAGND電圧は同一電位が理想であり、遷移時でも0.3V以上電位差がないようにしてください。
8	4	V_{IN}	アナログ入力。シングルエンドのアナログ入力チャンネル。入力範囲は0~ V_{REF} です。

代表的な性能特性

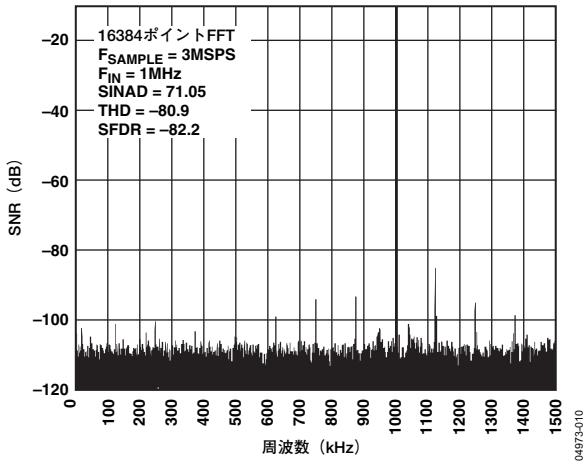


図10. AD7274の動的性能 (3MSPS、入力トーン=1MHz)

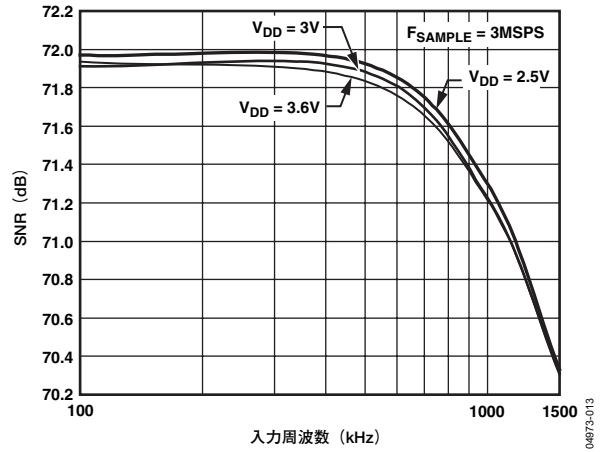


図13. AD7274のアナログ入力周波数 対 S/N比 (3MSPS、各電源電圧、SCLK周波数=48MHz)

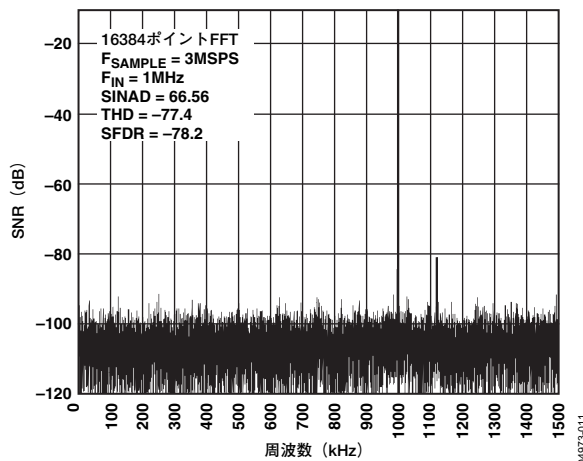


図11. AD7273の動的性能 (3MSPS、入力トーン=1MHz)

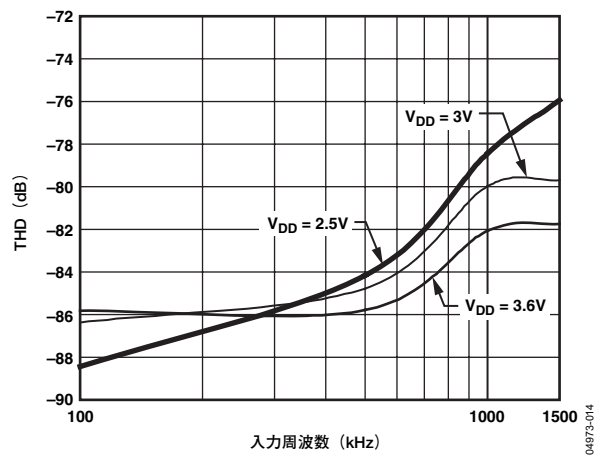


図14. アナログ入力周波数 対 THD (3MSPS、各電源電圧、SCLK周波数=48MHz)

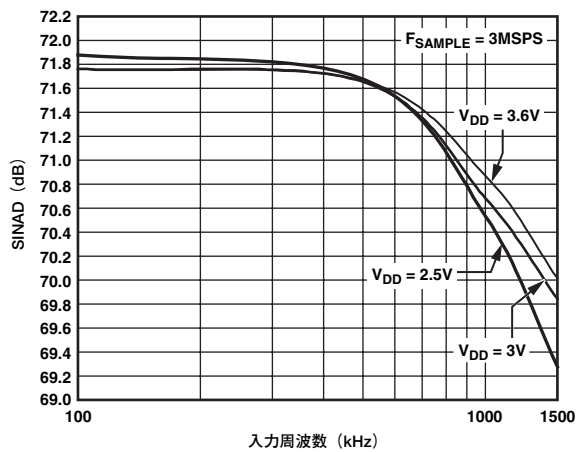


図12. AD7274のアナログ入力周波数 対 SINAD (3MSPS、各電源電圧、SCLK周波数=48MHz)

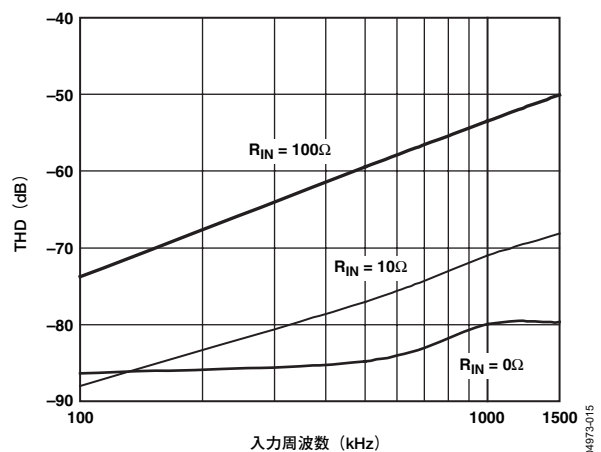


図15. アナログ入力周波数 対 THD (3MSPS、各ソース・インピーダンス、SCLK周波数=48MHz、電源電圧=3V)

AD7273/AD7274

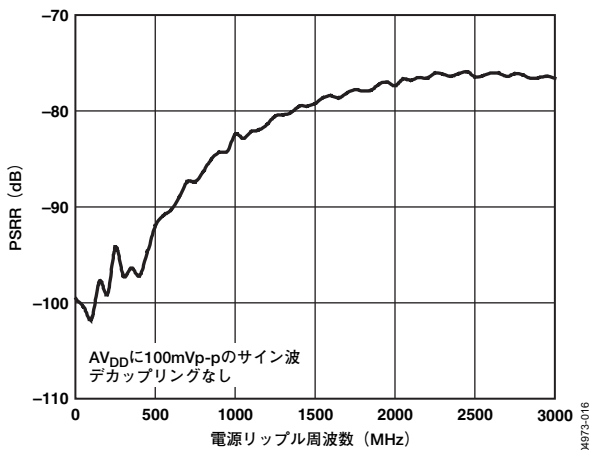


図16. 電源リップル周波数（デカップリングなし）対 電源電圧変動除去比（PSRR）

04973-016

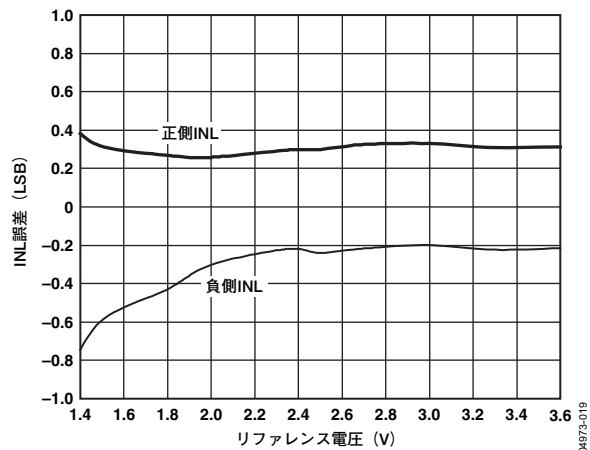


図19. リファレンス電圧 対 INLの変化 (3V電源)

04973-019

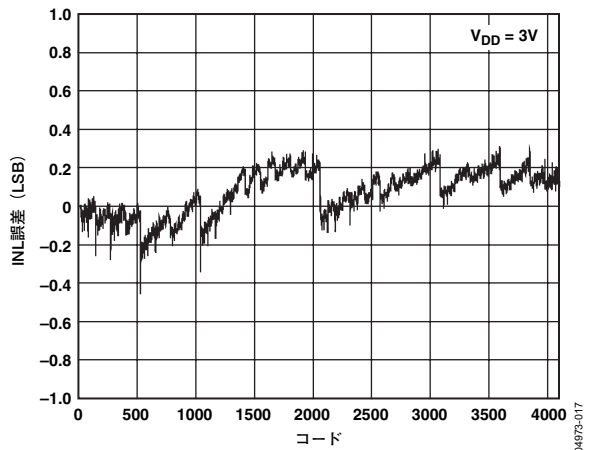


図17. AD7274のINL性能

04973-017

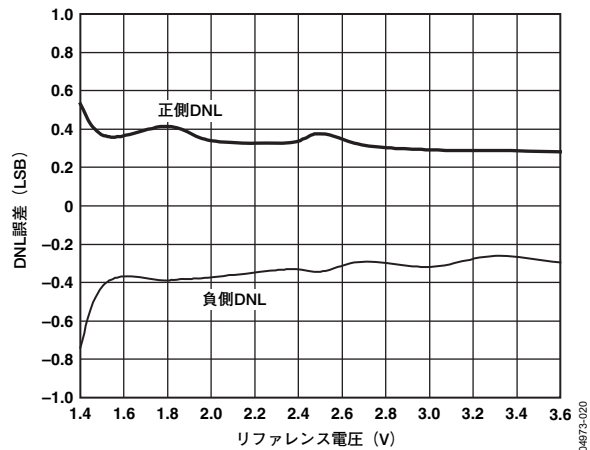


図20. リファレンス電圧 対 DNLの変化 (3V電源)

04973-020

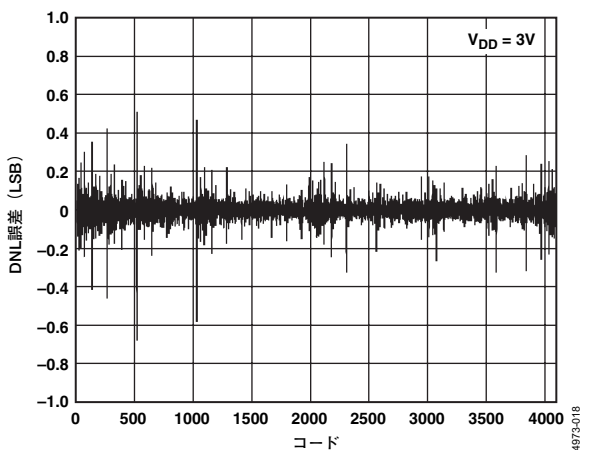


図18. AD7274のDNL性能

04973-018

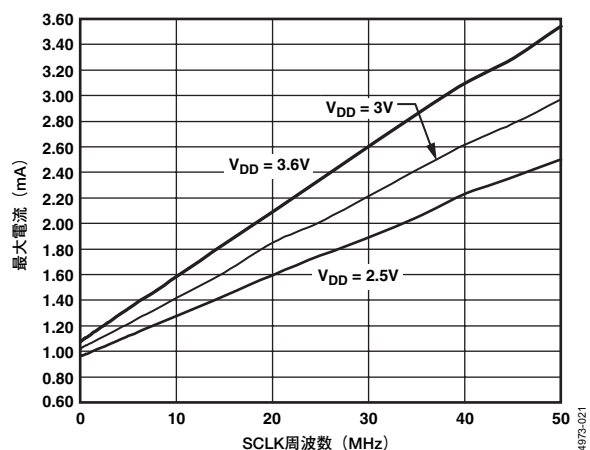


図21. 電源電圧 対 最大電流 (各SCLK周波数)

04973-021

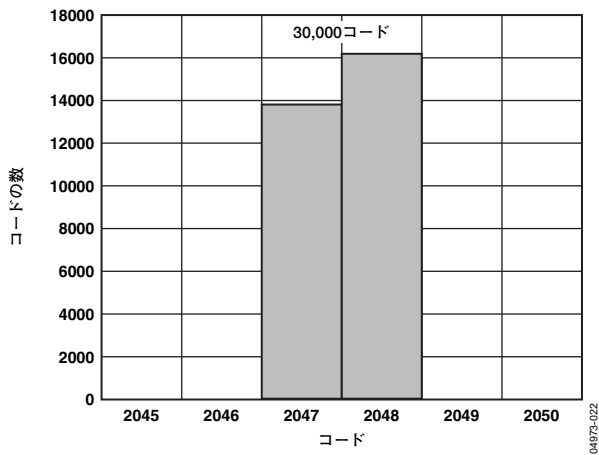


図22. コードのヒストグラム (30,000サンプル)

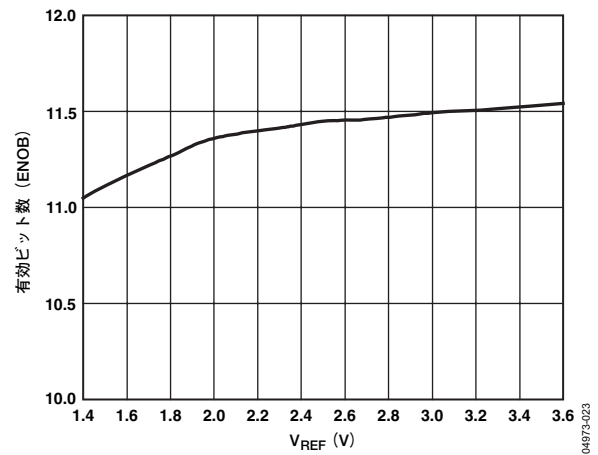


図23. リファレンス電圧 対 ENOB/SINAD

用語の説明

積分非直線性 (INL)

ADC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差をいいます。AD7273/AD7274では、伝達関数のエンドポイントは、最初のコード遷移より0.5LSB低いゼロスケールと最後のコード遷移より0.5LSB高いフルスケールです。

微分非直線性 (DNL)

ADCの隣接する2つのコード間における1LSB変化の測定値と理論値の差です。

オフセット誤差

最初のコード遷移 (00 ... 000から00 ... 001) と理想的な遷移 (AGND+0.5LSB) との偏差です。

ゲイン誤差

オフセット誤差を調整した後の、最後のコード遷移 (111 ... 110から111 ... 111) と理想的な遷移 (VREF-1.5LSB) との偏差です。

総合未調整誤差 (TUE)

ゲイン、直線性、オフセット誤差を含む総合的な仕様です。

トラック & ホールド・アクイジション時間

変換の終了後、トラック & ホールド・アンプの出力が最終値の±0.5LSB範囲内に到達するために必要な時間です。詳細については「シリアル・インターフェース」を参照してください。

信号/ノイズ & 歪み比 (SINAD)

ADCの出力における信号とノイズ & 歪み比の測定値です。信号は基本波のrms振幅です。ノイズは、サンプリング周波数の半分 ($f_s/2$) までのすべての非基本波信号のrms値総和 (DC以外の高調波成分を含む) です。この比はデジタル化プロセスの量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。理想的なNビット・コンバータでは、SINADは次のとおりです。

$$SINAD = 6.02N + 1.76 \text{ dB}$$

この式によれば、SINADは、12ビット・コンバータでは74dB、10ビット・コンバータでは62dBです。しかし、積分非直線性、微分非直線性、内部ACノイズ源など、ADC内のさまざまな誤差源により、SINADの測定値は理論値よりも小さくなります。

全高調波歪み (THD)

高調波のrms値総和と基本波との比であり、次のように定義されます。

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波のrms振幅であり、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次～6次高調波のrms振幅です。

ピーク高調波またはスプリアス・ノイズ (SFDR)

ADC出力スペクトル内で2番目に大きい成分のrms値 (DC成分を除き、 $f_s/2$ まで) と基本波のrms値との比として定義されます。通常、この仕様値は、スペクトル内の最大の高調波によって決定されますが、高調波がノイズ・フロアに埋もれているADCの場合は、ノイズ・ピークによって決定されます。

相互変調歪み (IMD)

2つの周波数 f_a と f_b のサイン波からなる入力を与えると、非直線性を持つアクティブ・デバイスは、 $m f_a \pm n f_b$ という和と差の周波数で歪み成分を発生させます。ここで、 m 、 $n=0$ 、1、2、3、...です。相互変調歪み項とは、 m と n が非ゼロの項をいいます。たとえば、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7273/AD7274は、2つの入力周波数を使うCCIF規格によってテストされています (「仕様」の f_a と f_b を参照)。この場合は、2次項は通常、元のサイン波の周波数から離れて位置し、3次項は通常、入力周波数に近い周波数に位置します。その結果、2次項と3次項は別々に指定されます。相互変調歪みの計算はTHDの仕様に従います。つまり、個々の歪み成分のrms総和と基本波の和のrms振幅との比であり、dB単位で表します。

電源電圧変動除去比 (PSRR)

フルスケール周波数 f でのADC出力のパワーと、周波数 f_s のADC V_{DD} 電源に加えられる100mVp-pサイン波のパワーとの比として定義されます。

$$PSRR \text{ (dB)} = 10 \log (P_f/P_{f_s})$$

ここで、 P_f はADC出力における周波数 f でのパワー、 P_{f_s} はADCの V_{DD} 電源にカップリングされる周波数 f_s でのパワーです。

アパーチャ遅延

サンプリング・クロックの立上がりエッジから、ADCが実際にサンプルを取得するまでに要する時間。

アパーチャ・ジッタ

実際のサンプルが取得される有効時点でのサンプル間の変動。

回路情報

AD7273 (10ビット)、AD7274 (12ビット) は、高速、低消費電力、単電源のADCで、2.35~3.6Vの電源で動作します。この範囲内の電源電圧で動作するとき、48MHzのクロックで3MSPSのスループット・レートを実現できます。

AD7273/AD7274は、トラック&ホールドADCとシリアル・インターフェースを内蔵し、他のソリューションに比べて際立った省スペース効果を持つ8ピンTSOTまたは8ピンMSOPパッケージを採用しています。シリアル・クロック入力、デバイスからのデータ読出しと、逐次比較型ADCに対するクロック源として用います。アナログ入力範囲は $0 \sim V_{REF}$ です。ADCには、 $1.4V \sim V_{DD}$ の範囲の外部リファレンスが必要です。

AD7273/AD7274は、各変換動作の合間に消費電力を節約するためのパワーダウン・オプションも備えています。このパワーダウン機能は、「動作モード」で説明するように、標準のシリアル・インターフェースを介して実行されます。

コンバータの動作

AD7273/AD7274は、電荷再配分式DACをベースとする逐次比較型ADCです。図24と図25に、ADCの簡略回路図を示します。図24は、アキュイジション・フェーズのADCです。このとき、SW2は閉じ、SW1はポジションAにあります。コンパレータは平衡状態に保たれ、サンプリング・コンデンサは V_{IN} の信号を取得します。

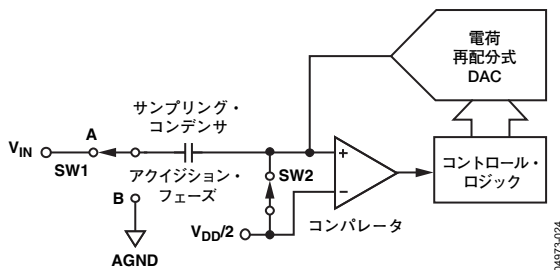


図24. ADCのアキュイジション・フェーズ

ADCが変換を開始すると、SW2が開き、SW1はポジションBに移動し、コンパレータは平衡状態でなくなります(図25を参照)。コントロール・ロジックと電荷再配分式DACを使用し、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換は完了します。コントロール・ロジックはADC出力コードを生成します。図26にはADC伝達関数を示します。

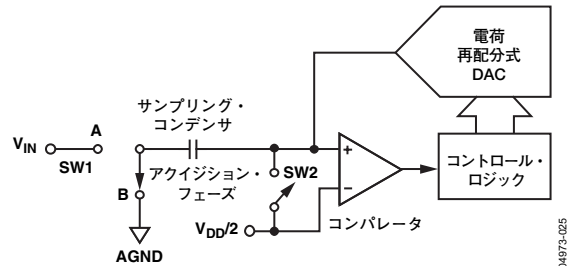


図25. ADCの変換フェーズ

ADC伝達関数

AD7273/AD7274の出力コーディングは、ストレート・バイナリです。設計されたコード遷移は、0.5LSBや1.5LSBなど、連続したLSB整数値の中間で発生します。LSBのサイズは、AD7274で $V_{REF}/4,096$ 、AD7273で $V_{REF}/1,024$ です。図26に、AD7273/AD7274の理想的な伝達特性を示します。

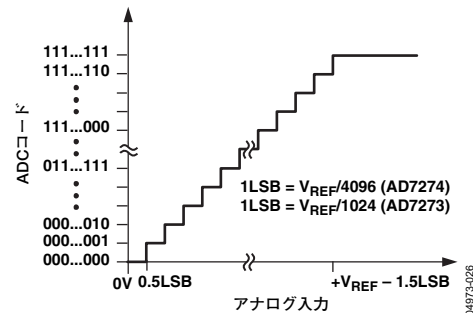


図26. AD7273/AD7274の伝達特性

AD7273/AD7274

代表的な接続図

図27は、AD7273/AD7274の代表的な接続図です。ADCには外部リファレンスを接続してください（このリファレンスは、 $1.4V \sim V_{DD}$ の範囲とします）。REF19xファミリーやADR421など、高精度のリファレンスを使用して、AD7273/AD7274にリファレンス電圧を供給できます。

変換結果は16ビット・ワードで出力され、2つの先行ゼロの後に12ビットまたは10ビットの変換結果が続きます。AD7274からの12ビット変換結果の後には2つの末尾ゼロ、AD7273からの10ビット変換結果の後には4つの末尾ゼロが続きます。

表7は、AD7274に対する同じセットアップ条件のもとで、さまざまなリファレンスによる代表的な性能データを示します。

表7. AD7274の性能（各種リファレンスIC）

電圧リファレンス	AD7274のS/N比性能 1MHz入力
AD780@2.5V	71.3dB
AD780@3V	70.1dB
REF195	70.9dB

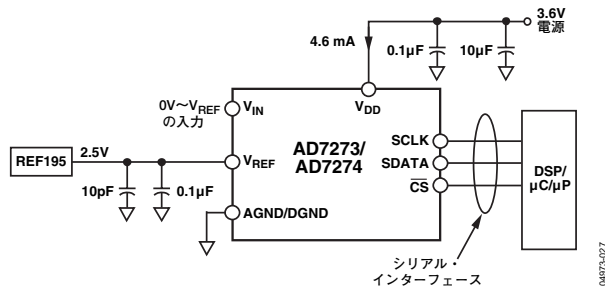


図27. AD7273/AD7274の代表的な接続図

アナログ入力

図28に、AD7273/AD7274のアナログ入力構造の等価回路を示します。2個のダイオード（D1とD2）はアナログ入力に対するESD保護機能を提供します。アナログ入力信号が、絶対に両電源レールを300mV以上超えないように注意してください。信号がこの値を超えると、ダイオードが順方向にバイアスされて、電流が流れるようになります。これらのダイオードは、デバイスに不可逆的な損傷を与えることなく、最大10mAの電流を処理できます。図28のコンデンサC1は約4pF（typ値）で、主に

ピン容量によるものです。抵抗R1は通常約75Ωで、スイッチのオン抵抗から構成されます。コンデンサC2は通常32pFで、ADCサンプリング・コンデンサです。ACアプリケーションでは、該当するアナログ入力ピンにバンドパス・フィルタを使用して、アナログ入力信号から高周波成分を除去してください。高調波歪みやS/N比が重要なアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動してください。ソース・インピーダンスが大きいと、ADCのAC性能に大きな影響があります。このため、入力バッファ・アンプの使用が必要になることもあります。AD8021オペアンプは、このデバイスと互換性があります。しかし、オペアンプはアプリケーションに応じて選択してください。

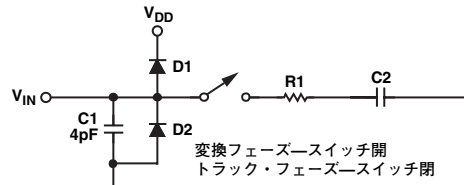


図28. 等価なアナログ入力回路

アンプを使わずにアナログ入力を駆動する場合は、ソース・インピーダンスを低い値に制限する必要があります。最大ソース・インピーダンスは、許容可能なTHDの大きさに依存します。ソース・インピーダンスが増加するとTHDが大きくなるため、性能が低下します。図14に、3Vの電源電圧を使用し、3MSPSのレートでサンプリングする場合の、さまざまなソース・インピーダンスに対するTHDとアナログ入力周波数の関係を示します。

デジタル入力

AD7273/AD7274に印加されるデジタル入力は、アナログ入力を制限する最大定格によって制限されることはありません。代わりに、デジタル入力は6Vまで印加でき、アナログ入力の $V_{DD} + 0.3V$ 限界によって制限されることはありません。たとえば、AD7273/AD7274が3Vの V_{DD} で動作する場合、デジタル入力には5Vのロジック・レベルを使用できます。ただし、 $V_{DD} = 3V$ の場合、SDATAでのデータ出力のロジック・レベルは依然として3Vであることに注意してください。SCLKとCSが $V_{DD} + 0.3V$ 限界によって制限されないことのもう一つの利点は、電源シーケンスの問題が起きないことです。たとえば、アナログ入力の場合とは異なり、デジタル入力では、 V_{DD} よりも前にCSやSCLKに電圧が印加された場合でも、ラッチアップの危険性はありません。

動作モード

AD7273/AD7274の動作モードを選択するには、変換時に \overline{CS} 信号のロジック状態を制御します。ノーマル・モード、一部パワーダウン・モード、フル・パワーダウン・モードの3つの動作モードがあります。変換の開始後に \overline{CS} をハイレベルにするポイントによって、デバイスがどのパワーダウン・モードに入るかを決定します。同様に、デバイスがすでにパワーダウン・モードにある場合、通常動作に戻るかパワーダウン・モードにとどまるかも \overline{CS} によって制御できます。これらの動作モードは、電源管理に柔軟性をもたすように設計されており、さまざまなアプリケーション条件に合わせてモードを選択し、消費電力/スループット・レート比率を最適化できます。

ノーマル・モード

このモードでは、AD7273/AD7274が常時動作しているためパワーアップ時間を気にする必要がなく、最高のスループット・レートで動作させることができます。図29に、このモードでのAD7273/AD7274の動作概念を示します。

「シリアル・インターフェース」で説明するように、変換は \overline{CS} の立下がりエッジで開始します。デバイスを常時パワーアップさせておくには、 \overline{CS} の立下がりエッジの後、少なくともSCLKの立下がりエッジが10個経過するまで、 \overline{CS} をローレベルに保ってください。10番目のSCLKの立下がりエッジの後で、かつ16番目のSCLKの立下がりエッジの前の任意のタイミングで \overline{CS} をハイレベルにすると、デバイスはパワーアップ状態を維持しますが、変換は終了して、SDATAはスリーステートに戻ります。

変換を完了して完全な変換結果にアクセスするには、AD7274ではシリアル・クロックで最小14サイクル、AD7273では最小12サイクルが必要です。

\overline{CS} は、次の変換までアイドル・ハイにするか、または次の変換の前に \overline{CS} がハイレベルに戻るまでアイドル・ロー（実質的に \overline{CS} はアイドル・ロー）にできます。データ転送が完了してSDATAがスリーステートに戻ると、静止時間 t_{QUIET} が経過した後で、 \overline{CS} を再度ローレベルにして次の変換を開始できます。

一部パワーダウン・モード

このモードは、低スループット・レートが求められるアプリケーションで使用します。一例として、各変換の合間にADCをパワーダウンする場合や、一連の変換を高スループット・レートで実行してから、このようなパースト的な変換の合間にADCを比較的長時間にわたってパワーダウンする場合などがあります。

AD7273/AD7274が一部パワーダウン・モードにあると、バイアス生成回路を除き、すべてのアナログ回路がパワーダウンされます。

一部パワーダウン・モードに入るには、図30に示すように、SCLKの2番目と10番目の立下がりエッジの間に \overline{CS} をハイレベルにして変換プロセスを中断します。SCLKのこのウィンドウ内で \overline{CS} をハイレベルにすると、デバイスは一部パワーダウン・モードに入り、 \overline{CS} の立下がりエッジで開始された変換が終了して、SDATAはスリーステート状態に戻ります。SCLKの2番目の立下がりエッジの前に \overline{CS} をハイレベルにすると、デバイスはノーマル・モードにとどまり、パワーダウンしません。この機能によって、 \overline{CS} ライン上のグリッチによる偶発的なパワーダウンが防止されます。

この動作モードを終了してAD7274/AD7273をパワーアップするには、ダミー変換を実行します。デバイスは、 \overline{CS} の立下がりエッジでパワーアップを開始し、 \overline{CS} がローレベルに保持されている限りSCLKの10番目の立下がりエッジ後までパワーアップを続けます。デバイスは、SCLKの16サイクルの経過後に完全にパワーアップし、次の変換から有効なデータ結果が得られます（図31を参照）。SCLKの10番目の立下がりエッジの前に \overline{CS} をハイレベルにすると、AD7274/AD7273はフル・パワーダウン・モードに入ります。したがって、デバイスは \overline{CS} の立下がりエッジでパワーアップを開始できますが、SCLKの10番目の立下がりエッジの前に \overline{CS} の立上がりエッジが発生すると、そのとき再度パワーダウンに戻ります。

AD7273/AD7274がすでに一部パワーダウン・モードにあり、SCLKの10番目の立下がりエッジの前に \overline{CS} がハイレベルになった場合、デバイスは、フル・パワーダウン・モードに入ります。さまざまな設定での一部パワーダウン・モードに関連するパワーアップ時間の詳細については、「パワーアップ時間」を参照してください。

フル・パワーダウン・モード

このモードは、一部パワーダウン・モードでのスループット・レートよりも遅いスループット・レートが求められるアプリケーションで使用します。フル・パワーダウンからのパワーアップでは、一部パワーダウンからの場合に比べてかなり長い時間が必要なためです。このモードは、一連の変換が比較的高スループット・レートで実行されてから、長期間のアイドル状態、したがってパワーダウンが続くアプリケーションに適しています。

AD7273/AD7274がフル・パワーダウン・モードにあると、すべてのアナログ回路がパワーダウンします。フル・パワーダウン・モードに入るには、SCLKの2番目と10番目の立下がりエッジの間に \overline{CS} をハイレベルにして、デバイスを一部パワーダウン・モードにします。次の変換サイクルで、SCLKの10番目の立下がりエッジの前に \overline{CS} をハイレベルにして、変換プロセスを中断します（図32を参照）。SCLKのこのウィンドウで \overline{CS} がハイレベルになると、デバイスは完全にパワーダウンします。なお、いずれのパワーダウン・モードに入るにも、 \overline{CS} がハイレベルになったら、SCLKの16サイクルを完了させる必要はありません。フル・パワーダウン・モードに入ると、グリッチ保護は使用できません。

フル・パワーダウン・モードを終了して、AD7273/AD7274を再びパワーアップするには、一部パワーダウン・モードからのパワーアップの場合と同様に、ダミー変換を実行します。デバイスは、 \overline{CS} の立下がりエッジでパワーアップを開始し、 \overline{CS} がローレベルに保持されている限り、10番目のSCLKの立下がりエッジ後までパワーアップを続けます。図33に示すように、変換を開始するには、その前に所定のパワーアップ時間が経過する必要があります。AD7273/AD7274に関連するパワーアップ時間については、「パワーアップ時間」を参照してください。

AD7273/AD7274

パワーアップ時間

AD7273/AD7274には、「動作モード」で詳しく説明したように、一部パワーダウンとフル・パワーダウンという、2つのパワーダウン・モードがあります。ここでは、これらのモードを終了するために必要なパワーアップ時間について説明します。

一部パワーダウン・モードからパワーアップするには、1サイクルを要します。したがって、48MHzまでのSCLK周波数でデバイスが一部パワーダウン・モードからパワーアップするには、1ダミー・サイクルあれば十分です。このダミー・サイクルが完了すると、ADCは完全にパワーアップし、入力信号は正しく取得されます。ダミー変換後にバスがスリーステートに戻った時点から \overline{CS} の次の立下がりエッジまでは、静止時間 t_{QUIET} を確保する必要があります。

フル・パワーダウンからパワーアップするには、図33に $I_{\text{POWER-UP}}$ として示すように、 \overline{CS} の立下がりエッジから約1 μs を確保してください。なお、一部パワーダウン・モードからのパワーアップ時には、トラック&ホールド（デバイスのパワーダウン中にはホールド・モード）は、 \overline{CS} の立下がりエッジ後に最初のSCLKエッジを受信した後でトラック・モードに戻ります（図31のポイントA）。

AD7273/AD7274に電源が最初に印加されたとき、ADCはパワーダウン・モード（両方）からでも、ノーマル・モードからでもパワーアップできます。このため、デバイスが完全にパワーアップしてから有効な変換を行うには、1ダミー・サイクル経過するまで待ってください。同様に、電源が印加された直後にデバイスを一部パワーダウン・モードに保持したい場合は、2つのダミー・サイクルを開始してください。最初のダミー・サイクルでは、10番目のSCLK立下がりエッジの後まで \overline{CS} をローレベルに保持します（図29を参照）。2番目のサイクルでは、2番目と10番目のSCLK立下がりエッジの間で \overline{CS} をハイレベルにします（図30を参照）。

あるいは、電源が印加された後でデバイスをフル・パワーダウン・モードにする場合は、3つのダミー・サイクルを開始してください。最初のダミー・サイクルでは、10番目のSCLK立下がりエッジの後まで \overline{CS} をローレベルに保持します（図29を参照）。2番目と3番目のダミー・サイクルでは、デバイスをフル・パワーダウン・モードにします（図32を参照）。「動作モード」も参照してください。

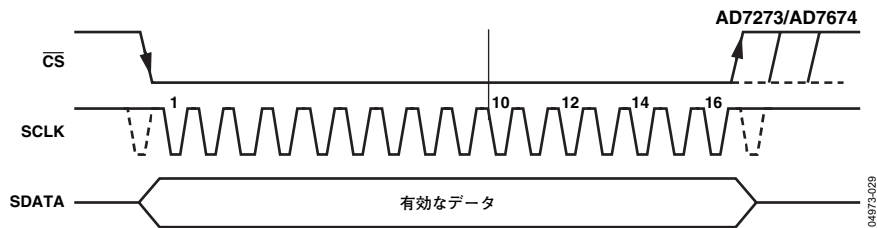


図29. ノーマル・モードの動作

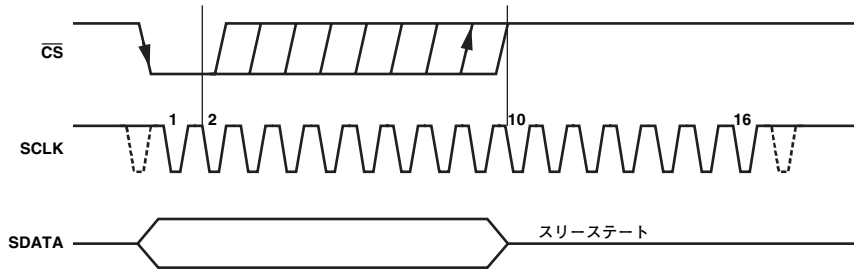


図30. 一部パワーダウン・モードの開始

04973-030

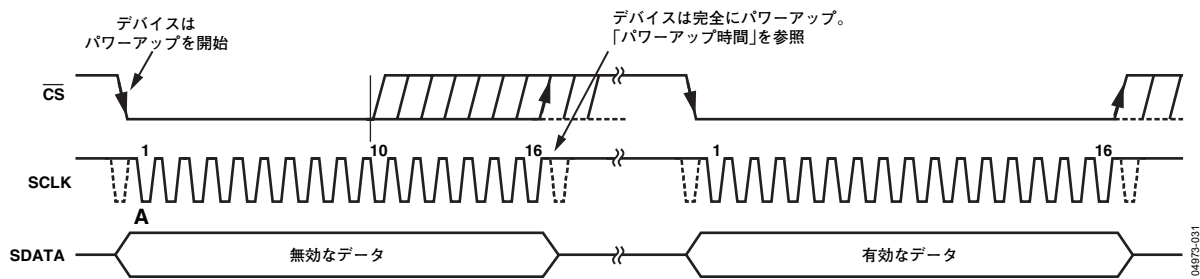


図31. 一部パワーダウン・モードの終了

04973-031

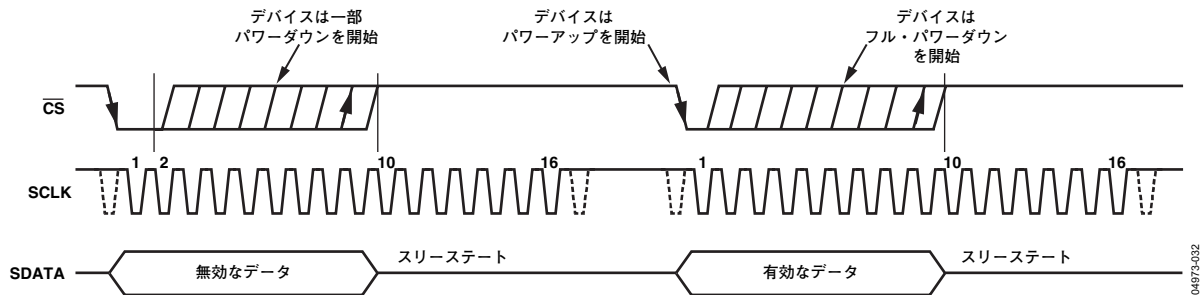


図32. フル・パワーダウン・モードの開始

04973-032

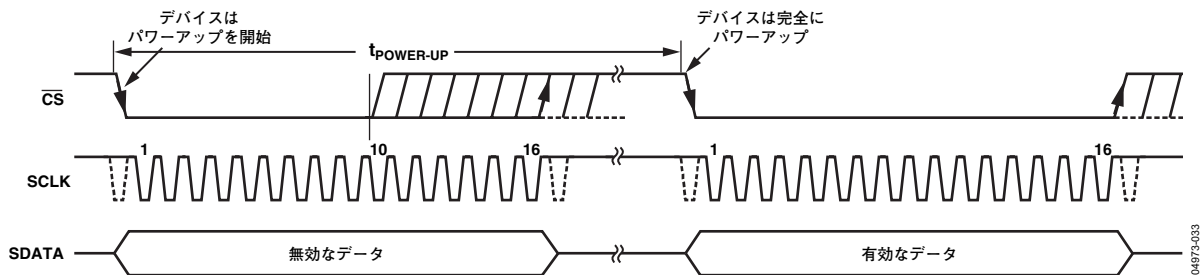


図33. フル・パワーダウン・モードの終了

04973-033

AD7273/AD7274

消費電力 対 スループット・レート

図34に、ノーマル・モード（デバイスはパワーダウンしない）でのデバイスの消費電力を示します。変換を実行しないときにAD7273/AD7274のパワーダウン・モードを使用することにより、ADCの平均消費電力は、スループット・レートが低下するにつれて減少します。

図35に示すように、スループット・レートが低下すると、デバイスはパワーダウン状態にとどまる時間が長くなり、それに応じて平均消費電力が小さくなります。たとえば、AD7273/AD7274が連続サンプリング・モードで動作し、スループット・レート=200kSPS、SCLK=48MHz ($V_{DD}=3V$) であり、デバイスが変換の合間にパワーダウン・モードになる場合は、消費電力は次のように求められます。通常動作時の消費電力は、11.6mW ($V_{DD}=3V$) です。パワーアップ時間が1ダミー・サイクル (333ns)、残りの変換時間が290nsである場合、AD7273/AD7274は、各変換サイクル中に623nsにわたって11.6mWを消費することになります。スループット・レートが200kSPSの場合、サイクル時間は5 μ sで、各サイクルで消費される平均電力は、 $623/5,000 \times 11.6mW = 1.42mW$ です。図35は、3Vで変換の合間に一部パワーダウン・モードを使用するときの消費電力対スループット・レートの関係を示します。パワーダウン・モードは、600kSPS未満のスループット・レートで使用できるようになっています。サンプリング・レートが高くなると、パワーダウン・モードを使用しても節電にならないためです。

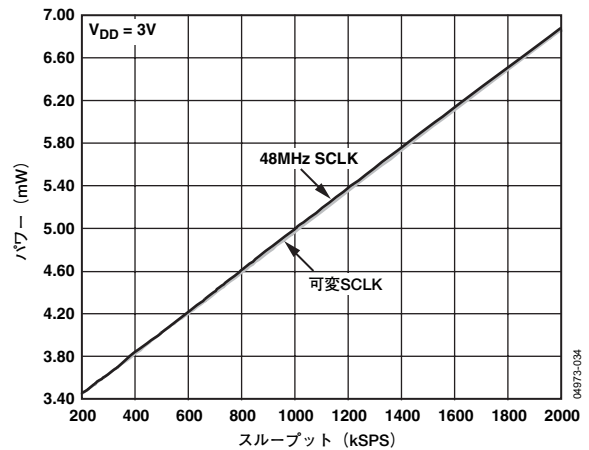


図34. スループット 対 消費電力（ノーマル・モード）

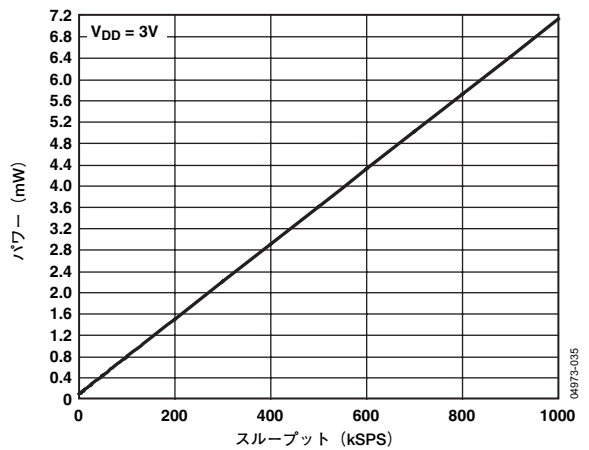


図35. スループット 対 消費電力（一部パワーダウン・モード）

シリアル・インターフェース

図36～38に、AD7274とAD7273のシリアル・インターフェースの詳細タイミング図を示します。シリアル・クロックは変換クロックを提供し、さらに変換中のAD7273/AD7274からの情報転送も制御します。

\overline{CS} 信号はデータ転送と変換プロセスを開始させます。 \overline{CS} の立下がりエッジでは、トラック&ホールドはホールド・モードになり、バスはスリーステートから抜け出します。この時点でアナログ入力がサンプリングされ、変換が開始されます。

AD7274では、変換完了にはSCLKで14サイクル必要です。13個のSCLK立下がりエッジが経過すると、トラック&ホールドは次のSCLKの立上がりエッジでトラック・モードに戻ります(図36のポイントB)。SCLKの14サイクルが経過する前に \overline{CS} の立上がりエッジが発生すると、変換は中止され、SDATAラインがスリーステートに戻ります。このサイクル内にSCLKの16サイクルが想定される場合は、最後の2ビットはゼロであり、図37に示すように、SDATAはSCLKの16番目の立下がりエッジでスリーステートに戻ります。

AD7273では、変換完了にはSCLKで12サイクル必要です。11個のSCLK立下がりエッジが経過すると、トラック&ホールドは次のSCLKの立上がりエッジでトラック・モードに戻ります(図38のポイントB)。SCLKの12サイクルが経過する前に \overline{CS} の立上がりエッジが発生すると、変換は中止され、SDATAラインがスリーステートに戻ります。このサイクル内にSCLKの16サイクルが想定される場合は、AD7273は、最後の4ビットとして4つの末尾ゼロをクロック出力し、図38に示すように、SDATAはSCLKの16番目の立下がりエッジでスリーステートに戻ります。

AD7273/AD7274に対してSCLKで14サイクルのシリアル・インターフェースを用いる場合は、SCLKの14番目の立下がりエッジの後で \overline{CS} をハイレベルにしてください。そうすれば、最後の2つの末尾ゼロが無視され、SDATAはスリーステートに戻ります。この場合、48MHzのクロック周波数を使用すると3MSPSのスループットを達成できます。

\overline{CS} がローレベルになると、マイクロコントローラやDSPが読み出す最初の先行ゼロがクロック出力されます。その後、残りのデータは、それ以降のSCLK立下がりエッジにより2番目の先行ゼロからクロック出力されます。したがって、シリアル・クロック上の最初の立下がりクロック・エッジでは、最初の先行ゼロを提供し、2番目の先行ゼロをクロック出力します。データ転送の最終ビットは、16番目の立下がりエッジで有効です。なぜなら、これは前(15番目)の立下がりエッジでクロック出力されるからです。

低速のSCLKを使用するアプリケーションでは、SCLKの各立上がりエッジでデータを読み出すことができます。このような場合、SCLKの最初の立下がりエッジで、2番目の先行ゼロをクロック出力し、最初の立上がりエッジで読み出すことができます。しかし、最初の立下がりエッジで読み出された場合は、 \overline{CS} がローレベルになったときにクロック出力された最初の先行ゼロは捕捉されません。SCLKの15番目の立下がりエッジでは最終ビットをクロック出力し、SCLKの15番目の立上がりエッジで読み出すことができます。

SCLKの1個の立下がりエッジが経過した直後に \overline{CS} がローレベルになった場合は、 \overline{CS} では最初の先行ゼロをクロック出力し、SCLKの立上がりエッジで読み出すことができます。SCLKの次の立下がりエッジでは、2番目の先行ゼロをクロック出力し、次の立上がりエッジで読み出すことができます。

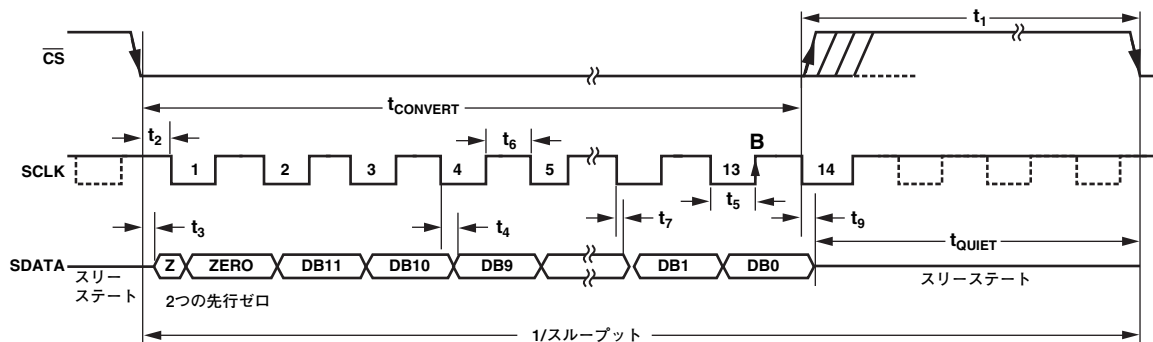


図36. AD7274のシリアル・インターフェースのタイミング図 (14SCLKサイクル)

AD7273/AD7274

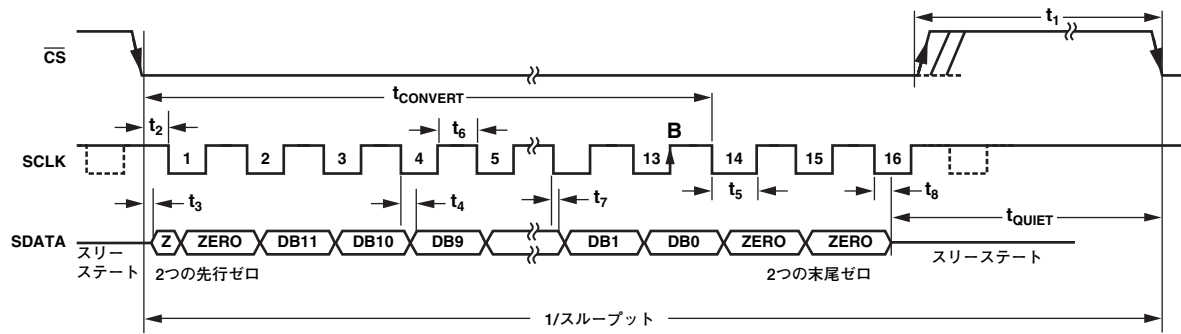


図37. AD7274のシリアル・インターフェースのタイミング図 (16SCLKサイクル)

04973-037

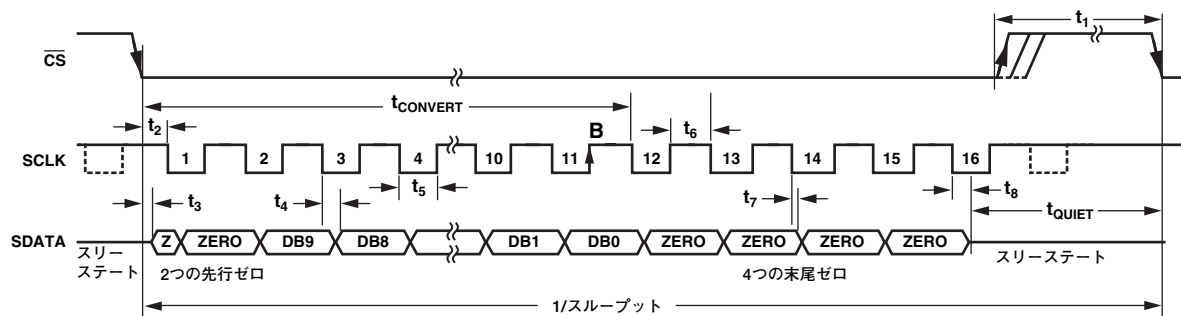
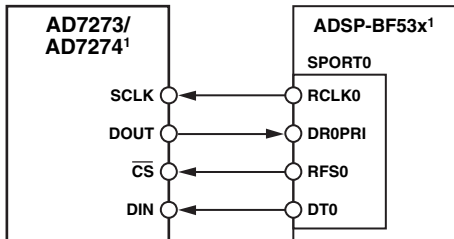


図38. AD7273のシリアル・インターフェースのタイミング図

04973-038

マイクロプロセッサとのインターフェース AD7273/AD7274とADSP-BF53x

ADSP-BF53xファミリーのDSPは、グルー・ロジックを必要とせずに、AD7273/AD7274と直接インターフェースをとります。SPORT0受信設定1レジスタは、表8に示すように設定してください。



¹わかりやすくするために、他のピンは省略しています。

図39. ADSP-BF53xとのインターフェース

表8. SPORT0受信設定1レジスタ (SPORT0_RCR1)

設定	説明
RCKFE=1	RSCLKの立下がりエッジでデータをサンプリング
LRFS=1	ワードごとのフレーム
RFSR=1	ワードごとのフレーム
IRFS=1	内部RFSを使用
RLSBIT=0	MSBファーストで受信
RDTYPE=00	ゼロフィル
IRCLK=1	内部受信クロック
RSPEN=1	受信イネーブル
SLEN=1111	16ビットのデータワード (14ビットのデータワードでは、1101に設定可能)
TFSR=RFSR=1	

パワーダウン・モードを実行するには、SLENを1001に設定して8ビットのSCLKバーストを発生させます。

アプリケーション情報

グラウンディングとレイアウト

AD7273/AD7274を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。そうすると、分離が容易なグラウンド・プレーンの使用が可能になります。

グラウンド・プレーンに最適なシールドを提供するには、エッチング部分を最小化するのが一般に最もよい方法です。AD7273/AD7274のすべてのAGNDピンは、AGNDプレーンにシンクさせてください。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは、1点で接続する必要があります。複数のデバイスがAGNDとDGNDの接続を必要とするシステムでAD7273/AD7274を使用する場合でも、接続は1ヶ所で行います。AD7273/AD7274のグラウンド・ピンのできるだけ近くでスター結線してください。

チップにノイズが混入するのを防ぐため、デジタル・ラインがデバイスの真下を通らないようにします。しかし、ノイズの混入を防止するため、AD7273/AD7274の下はアナログ・グラウンド・プレーンとします。AD7273/AD7274への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減します。

ボードの他の部分へのノイズの放射を防ぐため、クロックなどの高速スイッチング信号を持つ部品は、デジタル・グラウンドでシールドして、アナログ入力の近くを通らないようにしてください。デジタル信号とアナログ信号が交差しないようにしてください。ボード内でのフィードスルーの影響を減らすには、ボードの反対側のパターンが互いに直角になるように配置します。マイクロストリップ技術を使うのが最もよい方法ですが、両面ボードでは常に可能とは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

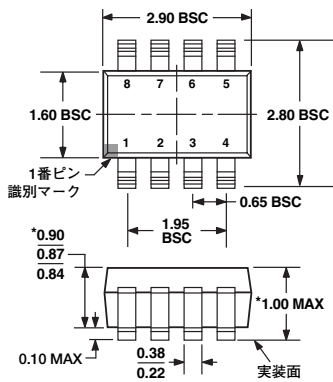
デカップリングを正しく行うことも重要です。すべてのアナログ電源とAGND/DGNDとの間には、10 μ Fのセラミック・コンデンサと0.1 μ Fのコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスのすぐ隣に配置します。0.1 μ Fのコンデンサには、一般的なセラミック・タイプや表面実装タイプのコンデンサのように、等価直列抵抗（ESR）および等価直列インダクタンス（ESL）の低いものを使用することが重要です。ESRとESLの低いコンデンサは、高周波に対してグラウンドへの低いインピーダンス・パスを構成するため、内部ロジックのスイッチングによる過渡電流に対処できます。

AD7273/AD7274の性能評価

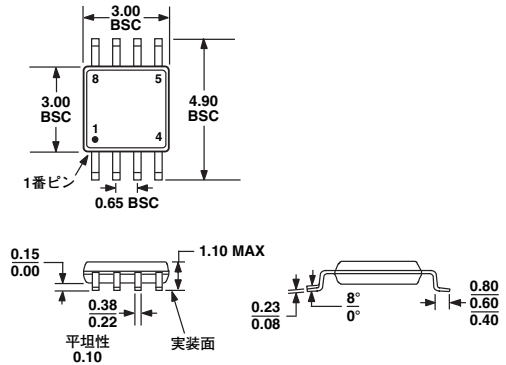
AD7273/AD7274の推奨レイアウトの概要は、評価用ボードの付属資料に記載してあります。評価用ボードのパッケージには、テスト済みの評価用ボード（組立不要）、付属資料、評価用ボード・コントローラを介してPCからボードを制御するソフトウェアが同梱されています。評価用ボード・コントローラは、AD7273/AD7274評価用ボードをはじめ、多くのアナログ・デバイスの評価用ボード（製品番号末尾にCBが付くもの）と組み合わせて、AD7273/AD7274のAC性能とDC性能のデモ/評価を行うことができます。

ソフトウェアを使えば、AD7273/AD7274のACテスト（高速フーリエ変換）とDCテスト（コードのヒストグラム）が行えます。ソフトウェアとドキュメントは、評価用ボードに添付のCDにあります。

外形寸法



* パッケージの高さと厚さを除きJEDEC規格MO-193-BAに準拠
 図40. 8ピン薄型スモール・アウトライン・トランジスタ・パッケージ [TSOT] (UJ-8)
 寸法単位：mm



JEDEC規格MO-187-AAに準拠
 図41. 8ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-8)
 寸法単位：mm

D04973-0-9/05(0)-J

オーダー・ガイド

モデル	温度範囲	直線性誤差 (LSB) ¹	パッケージ	パッケージ・オプション	マーキング
ADAD7274BRM	-40~+125°C	±1 (max)	8ピン・ミニ・スモール・アウトライン・パッケージ (MSOP)	RM-8	C1V
AD7274BRMZ ²	-40~+125°C	±1 (max)	8ピン・ミニ・スモール・アウトライン・パッケージ (MSOP)	RM-8	C34
AD7274BRMZ-REEL ²	-40~+125°C	±1 (max)	8ピン・ミニ・スモール・アウトライン・パッケージ (MSOP)	RM-8	C34
AD7274BUJ-500RL7	-40~+125°C	±1 (max)	8ピン・ミニ・スモール・アウトライン・パッケージ (MSOP)	UJ-8	C1V
AD7274BUJZ-500RL7 ²	-40~+125°C	±1 (max)	8ピン薄型スモール・アウトライン・トランジスタ・パッケージ (TSOT)	UJ-8	C34
AD7274BUJZ-REEL7 ²	-40~+125°C	±1 (max)	8ピン薄型スモール・アウトライン・トランジスタ・パッケージ (TSOT)	UJ-8	C34
AD7273BRMZ ²	-40~+125°C	±0.5 (max)	8ピン・ミニ・スモール・アウトライン・パッケージ (MSOP)	RM-8	C33
AD7273BRMZ-REEL ²	-40~+125°C	±0.5 (max)	8ピン・ミニ・スモール・アウトライン・パッケージ (MSOP)	RM-8	C33
AD7273BUJ-REEL7	-40~+125°C	±0.5 (max)	8ピン薄型スモール・アウトライン・トランジスタ・パッケージ (TSOT)	UJ-8	C1U
AD7273BUJZ-500RL7 ²	-40~+125°C	±0.5 (max)	8ピン薄型スモール・アウトライン・トランジスタ・パッケージ (TSOT)	UJ-8	C33
EVAL-AD7274CB ³			評価用ボード		
EVAL-AD7273CB ³			評価用ボード		
EVAL-CONTROL BRD ²⁴			コントロール・ボード		

¹ ここでの直線性誤差は、積分非直線性誤差をいいます。

² Z=鉛フリー製品

³ このボードは、評価/デモンストレーション用に、単独の評価用ボードとして使用したり、EVAL-CONTROLボードと組み合わせて使用できます。

⁴ このコントロール・ボードは完全なユニットとなっているため、製品番号末尾にCBの付いたアナログ・デバイス製評価用ボード全製品の制御と通信をPCで行うことが可能です。評価用キット一式を注文する場合、特定のADC評価用ボード (EVAL-AD7273CB/AD7274CBなど)、EVAL-CONTROL BRD2、12Vのトランスを発注してください。詳細については、関連する評価用ボードの「テクニカル・ノート」を参照してください。