

特長

- 符号付き12ビットSAR ADC
- 真のバイポーラ入力範囲
- 入力範囲がソフトウェアから選択可能
±10 V、±5 V、±2.5 V、0 V～+10 V
- スループット・レート: 1 MSPS
- チャンネル・シーケンサ付きアナログ入力チャンネル×8
- シングルエンド、真の差動、疑似差動の各アナログ入力が可能
- 高アナログ入力インピーダンス
- 低消費電力: 21 mW
- 温度インジケータを内蔵
- フル・パワー信号帯域幅: 22 MHz
- 内蔵リファレンス電圧: 2.5 V
- 高速シリアル・インターフェース
- パワーダウン・モード
- 20ピンTSSOPパッケージを採用
- iCMOS™プロセス技術を採用

概要

AD7328¹は、iCMOS (工業用CMOS)製造プロセス用にデザインされた8チャンネルの符号付き12ビット逐次比較型ADCです。iCMOSは、高電圧シリコン、サブミクロンCMOS、相補バイポーラの各技術を組み合わせたものです。この技術は、前世代の高電圧では実現できなかったフットプリントで33 V動作が可能な広範囲な高性能アナログICの開発を可能にしました。iCMOS デバイスは、従来型CMOSプロセスを採用したアナログICとは異なり、バイポーラ入力信号に対応できると同時に、性能の強化、大幅な消費電力の削減、パッケージの小型化が可能になりました。

AD7328は真のバイポーラ・アナログ入力信号を処理することができます。AD7328は、±10 V、±5 V、±2.5 V、0 V～+10 Vのソフトウェアから選択可能な4種類の入力範囲に対応しています。各アナログ入力チャンネルには、独立に4種類の入力範囲を設定することができます。AD7328のアナログ入力チャンネルは、シングルエンド、真の差動、または疑似差動に設定することができます。

ADCは2.5 Vのリファレンス電圧を内蔵しています。また、AD7328では外付けのリファレンス電圧での動作も可能です。3 Vのリファレンス電圧をREFIN/OUTピンに接続すると、AD7328は真の±12 Vバイポーラ・アナログ信号を入力することができます。±12 Vの入力範囲に対して、最小±12 VのV_{DD}電源とV_{SS}電源が必要です。このADCは、最大1 MSPSのスループット・レートで動作できる高速シリアル・インターフェースを内蔵しています。

機能ブロック図

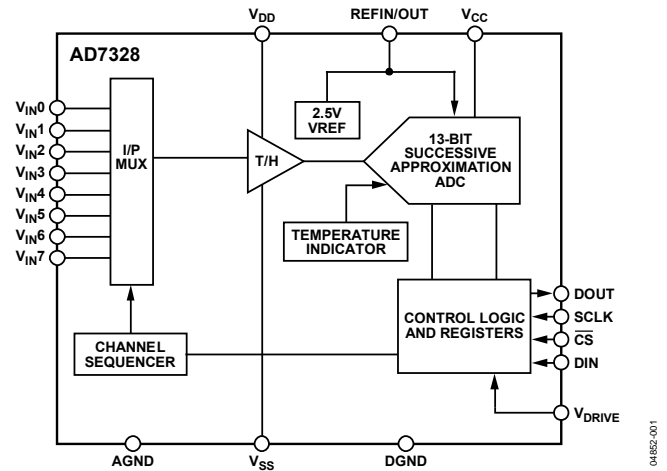


図1.

製品のハイライト

1. AD7328には、±10 V、±5 V、±2.5 Vの真のバイポーラ・アナログ信号と0 V～+10 Vのユニポーラ信号を入力することができます。
2. 8個のアナログ入力、8個のシングルエンド入力、4個の真の差動入力対、4個の疑似差動入力、または7個の疑似差動入力に設定することができます。
3. 1 MSPSのシリアル・インターフェースを内蔵しています。SPI®/QSPI™/DSP/MICROWIRE™互換インターフェースとして機能します。
4. 1 MSPSの最大スループット・レートで30 mWの低消費電力です。
5. チャンネル・シーケンサを内蔵しています。

表1.類似製品

Device Number	Throughput Rate	Number of Bits	Number of Channels
AD7329	1000 kSPS	12-bit plus sign	8
AD7327	500 kSPS	12-bit plus sign	8
AD7324	1000 kSPS	12-bit plus sign	4
AD7323	500 kSPS	12-bit plus sign	4
AD7322	1000 kSPS	12-bit plus sign	2
AD7321	500 kSPS	12-bit plus sign	2

¹ 米国特許 No. 6,731,232 により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2006 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長	1	コントロール・レジスタ	22
概要	1	シーケンス・レジスタ	24
機能ブロック図	1	レンジ・レジスタ	24
製品のハイライト	1	シーケンスの動作	25
改訂履歴	2	リファレンス電圧	27
仕様	3	V _{DRIVE}	27
タイミング仕様	6	温度インジケータ	27
絶対最大定格	7	動作モード	28
ESDの注意	7	ノーマル動作モード	28
ピン配置およびピン機能説明	8	フル・シャットダウン・モード	28
代表的な性能特性	9	自動シャットダウン・モード	29
用語	13	自動スタンバイ・モード	29
動作原理	15	消費電力とスループット・レートとの関係	30
回路説明	15	シリアル・インターフェース	31
コンバータの動作	15	マイクロプロセッサ・インターフェース	32
アナログ入力構造	16	AD7328 と ADSP-21xx とのインターフェース	32
代表的な接続図	18	AD7328 と ADSP-BF53x とのインターフェース	32
アナログ入力	18	アプリケーション情報	33
ドライバ・アンプの選択	20	レイアウトとグラウンド接続	33
レジスタ	21	外形寸法	34
レジスタのアドレス指定	21	オーダー・ガイド	34

改訂履歴

6/06—Rev. 0 to Rev. A

Changes to Table 1	1
Changes to Specifications	3
Added Thermal Hysteresis to Terminology Section	14
Change to Figure 42	20
Change to Control Register Section	23

10/05—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 12\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -12\text{ V} \sim -16.5\text{ V}$ 、 $V_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 2.5\text{ V} \sim 3.0\text{ V}$ 内部/外部、 $f_{SCLK} = 20\text{ MHz}$ 、 $f_s = 1\text{ MSPS}$ 、 $T_A = T_{MAX} \sim T_{MIN}$ 。さらに、 $V_{CC} < 4.75\text{ V}$ 、すべての仕様は typ 値。

表2.

Parameter ¹	B Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
DYNAMIC PERFORMANCE					
Signal-to-Noise Ratio (SNR) ²	76			dB	$f_{IN} = 50\text{ kHz}$ sine wave Differential mode
	72.5			dB	Single-ended/pseudo differential mode
Signal-to-Noise + Distortion (SINAD) ²	75			dB	Differential mode; $\pm 2.5\text{ V}$ and $\pm 5\text{ V}$ ranges
		76		dB	Differential mode; 0 V to +10 V and $\pm 10\text{ V}$ ranges
Total Harmonic Distortion (THD) ²		72		dB	Single-ended/pseudo differential mode; $\pm 2.5\text{ V}$ and $\pm 5\text{ V}$ ranges
				dB	Single-ended/pseudo differential mode; 0 V to +10 V and $\pm 10\text{ V}$ ranges
			-80	dB	Differential mode; $\pm 2.5\text{ V}$ and $\pm 5\text{ V}$ ranges
			-82	dB	Differential mode; 0 V to +10 V and $\pm 10\text{ V}$ ranges
Peak Harmonic or Spurious Noise (SFDR) ²			-77	dB	Single-ended/pseudo differential mode; $\pm 2.5\text{ V}$ and $\pm 5\text{ V}$ ranges
			-80	dB	Single-ended/pseudo differential mode; 0 V to +10 V and $\pm 10\text{ V}$ ranges
			-80	dB	Differential mode; $\pm 2.5\text{ V}$ and $\pm 5\text{ V}$ ranges
Intermodulation Distortion (IMD) ²			-82	dB	Differential mode; 0 V to +10 V and $\pm 10\text{ V}$ ranges
			-78	dB	Single-ended/pseudo differential mode; $\pm 2.5\text{ V}$ and $\pm 5\text{ V}$ ranges
			-79	dB	Single-ended/pseudo differential mode; 0 V to +10 V and $\pm 10\text{ V}$ ranges
Second-Order Terms		-88		dB	$f_a = 50\text{ kHz}$, $f_b = 30\text{ kHz}$
Third-Order Terms		-90		dB	
Aperture Delay ³		7		ns	
Aperture Jitter ³		50		ps	
Common-Mode Rejection Ratio (CMRR) ²		-79		dB	Up to 100 kHz ripple frequency; see Figure 17
Channel-to-Channel Isolation ²		-72		dB	f_{IN} on unselected channels up to 100 kHz; see Figure 14
Full Power Bandwidth		22		MHz	At 3 dB
		5		MHz	At 0.1 dB
DC ACCURACY⁴					
Resolution	13			Bits	All specifications are typical for 0 V to 10 V mode.
No Missing Codes	12-bit plus sign			Bits	Differential mode
	11-bit plus sign			Bits	Single-ended/pseudo differential mode
Integral Nonlinearity ²			± 1.1	LSB	Differential mode
			± 1	LSB	Single-ended/pseudo differential mode
			-0.7/+1.2	LSB	Single-ended/pseudo differential mode (LSB = FSR/8192)
Differential Nonlinearity ²			-0.9/+1.5	LSB	Differential mode; guaranteed no missing codes to 13 bits
			± 0.9	LSB	Single-ended mode; guaranteed no missing codes to 12 bits
			-0.7/+1	LSB	Single-ended/pseudo differential mode (LSB = FSR/8192)
Offset Error ^{2,5}			-4/+9	LSB	Single-ended/pseudo differential mode
			-7/+10	LSB	Differential mode
Offset Error Match ^{2,5}			± 0.6	LSB	Single-ended/pseudo differential mode
			± 0.5	LSB	Differential mode

Parameter ¹	B Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
Gain Error ^{2,5}			±8	LSB	Single-ended/pseudo differential mode
			±14	LSB	Differential mode
Gain Error Match ^{2,5}			±0.5	LSB	Single-ended/pseudo differential mode
			±0.5	LSB	Differential mode
Positive Full-Scale Error ^{2,6}			±4	LSB	Single-ended/pseudo differential mode
			±7	LSB	Differential mode
Positive Full-Scale Error Match ^{2,6}			±0.5	LSB	Single-ended/pseudo differential mode
			±0.5	LSB	Differential mode
Bipolar Zero Error ^{2,6}			±8.5	LSB	Single-ended/pseudo differential mode
			±7.5	LSB	Differential mode
Bipolar Zero Error Match ^{2,6}			±0.5	LSB	Single-ended/pseudo differential mode
			±0.5	LSB	Differential mode
Negative Full-Scale Error ^{2,6}			±4	LSB	Single-ended/pseudo differential mode
			±6	LSB	Differential mode
Negative Full-Scale Error Match ^{2,6}			±0.5	LSB	Single-ended/pseudo differential mode
			±0.5	LSB	Differential mode
ANALOG INPUT					
Input Voltage Ranges (Programmed via Range Register)		±10		V	Reference = 2.5 V; see Table 6 V _{DD} = 10 V min, V _{SS} = -10 V min, V _{CC} = 2.7 V to 5.25 V
		±5		V	V _{DD} = 5 V min, V _{SS} = -5 V min, V _{CC} = 2.7 V to 5.25 V
		±2.5		V	V _{DD} = 5 V min, V _{SS} = -5 V min, V _{CC} = 2.7 V to 5.25 V
		0 to 10		V	V _{DD} = 10 V min, V _{SS} = AGND min, V _{CC} = 2.7 V to 5.25 V
Pseudo Differential V _{IN(-)} Input Range		±3.5		V	V _{DD} = 16.5 V, V _{SS} = -16.5 V, V _{CC} = 5 V; see Figure 40 and Figure 41
		±6		V	Reference = 2.5 V; range = ±10 V
		±5		V	Reference = 2.5 V; range = ±5 V
		+3/-5		V	Reference = 2.5 V; range = ±2.5 V
DC Leakage Current			±200	nA	Reference = 2.5 V; range = 0 V to +10 V
Input Capacitance ³		13.5		pF	V _{IN} = V _{DD} or V _{SS}
		16.5		pF	When in track, ±10 V range
		21.5		pF	When in track, ±5 V and 0 V to +10 V ranges
		3		pF	When in track, ±2.5 V range
					When in hold, all ranges
REFERENCE INPUT/OUTPUT					
Input Voltage Range	2.5		3	V	For 1000 hours
Input DC Leakage Current			±1	μA	
Input Capacitance		10		pF	
Reference Output Voltage		2.5		V	
Long Term Stability		150		ppm	
Output Voltage Hysteresis ²		50		ppm	
Reference Output Voltage Error @ 25°C			±5	mV	
Reference Output Voltage T _{MIN} to T _{MAX}			±10	mV	
Reference Temperature Coefficient			25	ppm/°C	
Reference Output Impedance		6		ppm/°C	
		7		Ω	
LOGIC INPUTS					
Input High Voltage, V _{INH}	2.4			V	V _{CC} = 4.75 V to 5.25 V V _{CC} = 2.7 to 3.6 V V _{IN} = 0 V or V _{DRIVE}
Input Low Voltage, V _{INL}			0.8	V	
			0.4	V	
Input Current, I _{IN}			±1	μA	
Input Capacitance, C _{IN} ³		10		pF	

Parameter ¹	B Version			Unit	Test Conditions/Comments
	Min	Typ	Max		
LOGIC OUTPUTS					
Output High Voltage, V_{OH}	$V_{DRIVE} - 0.2$			V	$I_{SOURCE} = 200 \mu A$
Output Low Voltage, V_{OL}			0.4	V	$I_{SINK} = 200 \mu A$
Floating-State Leakage Current			± 1	μA	
Floating-State Output Capacitance ³		5		pF	
Output Coding		Straight natural binary Twos complement			Coding bit set to 1 in control register Coding bit set to 0 in control register
CONVERSION RATE					
Conversion Time			800	ns	16 SCLK cycles with SCLK = 20 MHz
Track-and-Hold Acquisition Time ^{2,3}			305	ns	Full-scale step input; see the Terminology section
Throughput Rate			1 770	MSPS kSPS	See the Serial Interface section; $V_{CC} = 4.75 V$ to $5.25 V$ $V_{CC} < 4.75 V$
POWER REQUIREMENTS					
V_{DD}	12		16.5	V	Digital inputs = 0 V or V_{DRIVE} See Table 6
V_{SS}	-12		-16.5	V	See Table 6
V_{CC}	2.7		5.25	V	See Table 6; typical specifications for $V_{CC} < 4.75 V$
V_{DRIVE}	2.7		5.25	V	
Normal Mode (Static)		0.9		mA	$V_{DD}/V_{SS} = \pm 16.5 V$, $V_{CC}/V_{DRIVE} = 5.25 V$
Normal Mode (Operational)					$f_{SAMPLE} = 1 MSPS$
I_{DD}			360	μA	$V_{DD} = 16.5 V$
I_{SS}			410	μA	$V_{SS} = -16.5 V$
I_{CC} and I_{DRIVE}			3.2	mA	$V_{CC}/V_{DRIVE} = 5.25 V$
Autostandby Mode (Dynamic)					$f_{SAMPLE} = 250 kSPS$
I_{DD}			200	μA	$V_{DD} = 16.5 V$
I_{SS}			210	μA	$V_{SS} = -16.5 V$
I_{CC} and I_{DRIVE}			1.3	mA	$V_{CC}/V_{DRIVE} = 5.25 V$
Autoshutdown Mode (Static)					SCLK on or off
I_{DD}			1	μA	$V_{DD} = 16.5 V$
I_{SS}			1	μA	$V_{SS} = -16.5 V$
I_{CC} and I_{DRIVE}			1	μA	$V_{CC}/V_{DRIVE} = 5.25 V$
Full Shutdown Mode					SCLK on or off
I_{DD}			1	μA	$V_{DD} = 16.5 V$
I_{SS}			1	μA	$V_{SS} = -16.5 V$
I_{CC} and I_{DRIVE}			1	μA	$V_{CC}/V_{DRIVE} = 5.25 V$
POWER DISSIPATION					
Normal Mode			30	mW	$V_{DD} = 16.5 V$, $V_{SS} = -16.5 V$, $V_{CC} = 5.25 V$
		21		mW	$V_{DD} = 12 V$, $V_{SS} = -12 V$, $V_{CC} = 5 V$
Full Shutdown Mode			38.25	μW	$V_{DD} = 16.5 V$, $V_{SS} = -16.5 V$, $V_{CC} = 5.25 V$

¹ 温度範囲は $-40^{\circ}C \sim +85^{\circ}C$ 。

² 用語のセクションを参照してください。

³ 初期リリース時はサンプル・テストにより適合性を保証。

⁴ 特に指定がない限り、DC 精度仕様の場合、差動モード LSB サイズは FSR/8192。シングルエンド・モード/疑似差動モードの場合、LSB サイズは FSR/4096。

⁵ 0 V ~ 10 V のユニポーラ範囲で、ストレート・バイナリ出力コーディング。

⁶ バイポーラ範囲、2 の補数出力コーディング。

タイミング仕様

$V_{DD} = 1.2\text{ V} \sim 1.6.5\text{ V}$, $V_{SS} = -12\text{ V} \sim -16.5\text{ V}$, $V_{CC} = 2.7\text{ V} \sim 5.25\text{ V}$, $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$, $V_{REF} = 2.5\text{ V} \sim 3.0\text{ V}$ 内部/外部、 $T_A = T_{MAX} \sim T_{MIN}$ 。特に指定がない限り、タイミング仕様は、32 pF 負荷に適用¹。

表3.

Parameter	Limit at T_{MIN}, T_{MAX}		Unit	Description $V_{DRIVE} \leq V_{CC}$
	$V_{CC} < 4.75\text{ V}$	$V_{CC} = 4.75\text{ V to } 5.25\text{ V}$		
f_{SCLK}	50	50	kHz min	
	14	20	MHz max	
$t_{CONVERT}$	$16 \times t_{SCLK}$	$16 \times t_{SCLK}$	ns max	$t_{SCLK} = 1/f_{SCLK}$
t_{QUIET}	75	60	ns min	Minimum time between end of serial read and next falling edge of \overline{CS}
t_1	12	5	ns min	Minimum \overline{CS} pulse width
t_2^2	25	20	ns min	\overline{CS} to SCLK set-up time; bipolar input ranges ($\pm 10\text{ V}$, $\pm 5\text{ V}$, $\pm 2.5\text{ V}$)
	45	35	ns min	Unipolar input range (0 V to 10 V)
t_3	26	14	ns max	Delay from \overline{CS} until DOUT three-state disabled
t_4	57	43	ns max	Data access time after SCLK falling edge
t_5	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK low pulse width
t_6	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK high pulse width
t_7	13	8	ns min	SCLK to data valid hold time
t_8	40	22	ns max	SCLK falling edge to DOUT high impedance
	10	9	ns min	SCLK falling edge to DOUT high impedance
t_9	4	4	ns min	DIN set-up time prior to SCLK falling edge
t_{10}	2	2	ns min	DIN hold time after SCLK falling edge
t_{POWER_UP}	750	750	ns max	Power up from autostandby
	500	500	μs max	Power up from full shutdown/autoshtutdown mode, internal reference
	25	25	μs typ	Power up from full shutdown/autoshtutdown mode, external reference

¹ 初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は $t_r = t_f = 5\text{ ns}$ (V_{DRIVE} の 10% から 90%) で規定し、1.6V の電圧レベルからの時間とします。

² 0 V ~ 10 V ユニポーラ範囲を使い、1 MSPS のスループット・レート、 $t_2 = 20\text{ ns}$ で動作させる場合は、マーク/スペース比を 50:50 に制限する必要があります。

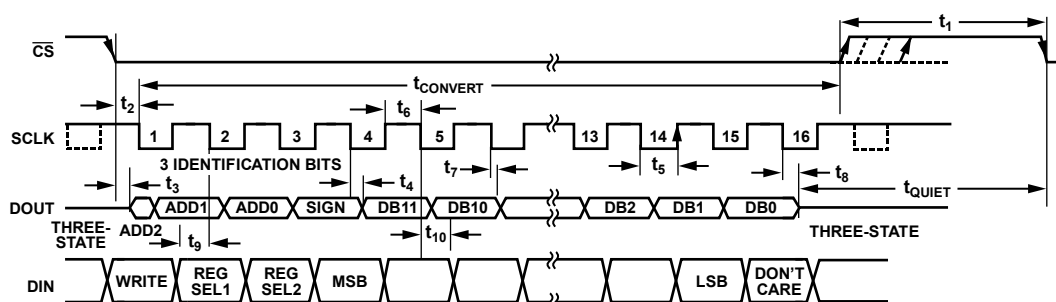


図2. シリアル・インターフェースのタイミング図

04852-002

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表4.

Parameter	Rating
V_{DD} to AGND, DGND	-0.3 V to +16.5 V
V_{SS} to AGND, DGND	+0.3 V to -16.5 V
V_{DD} to V_{CC}	$V_{CC} - 0.3$ V to +16.5 V
V_{CC} to AGND, DGND	-0.3 V to +7 V
V_{DRIVE} to AGND, DGND	-0.3 V to +7 V
AGND to DGND	-0.3 V to +0.3 V
Analog Input Voltage to AGND ¹	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V
Digital Input Voltage to DGND	-0.3 V to +7 V
Digital Output Voltage to GND	-0.3 V to $V_{DRIVE} + 0.3$ V
REFIN to AGND	-0.3 V to $V_{CC} + 0.3$ V
Input Current to Any Pin Except Supplies ²	± 10 mA
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
TSSOP Package	
θ_{JA} Thermal Impedance	143°C/W
θ_{JC} Thermal Impedance	45°C/W
Pb-Free Temperature, Soldering	
Reflow	260(0)°C
ESD	2.5 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

¹アナログ入力を別の V_{DD} 電源回路と V_{SS} 電源回路から駆動する場合は、AD7328 の V_{DD} 電源と V_{SS} 電源に直列にショットキ・ダイオードを接続する必要があります。

²最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

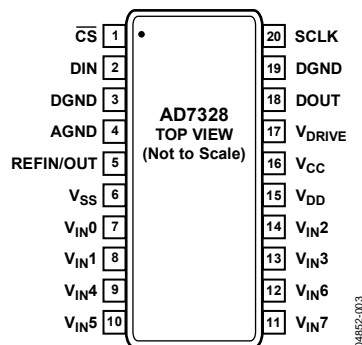


図3.TSSOPのピン配置

表5.ピン機能の説明

ピン番号	記号	説明
1	CS	チップ・セレクト。アクティブ・ローのロジック入力。この入力は、AD7328 上での変換開始機能とシリアル・データ転送フレーミング機能により共用されています。
2	DIN	データ入力。内蔵レジスタに書き込むデータはこのピンに入力され、SCLKの立ち下がりがエッジでレジスタに入力されます(レジスタのセクション参照)。
3, 19	DGND	デジタル・グラウンド。AD7328 のすべてのデジタル回路のグラウンド基準ポイント。DGND 電圧と AGND 電圧は理想的には同電位である必要があります、過渡的であっても差が 0.3 V を超えないようにする必要があります。
4	AGND	アナログ・グラウンド。AD7328 のすべてのアナログ回路のグラウンド基準ポイント。全アナログ入力信号と外付けリファレンス信号はこの AGND 電圧を基準とします。AGND 電圧と DGND 電圧は理想的には同電位である必要があります、過渡的であっても差が 0.3 V を超えないようにする必要があります。
5	REFIN/OUT	リファレンス電圧入力/出力。AD7328 の外部での用途にこのピンから内蔵リファレンス電圧が出力されます。公称内蔵リファレンス電圧は 2.5 V で、このピンに出力されます。このピンに 680 nF のコンデンサを接続する必要があります。代わりに内蔵リファレンス電圧をディスエーブルして、外付けリファレンス電圧をこの入力に接続することができます。パワーアップ時のこのピンのデフォルト設定は、外付けリファレンス・モードになっています(リファレンス電圧のセクション参照)。
6	V _{SS}	負電源電圧。このピンは、アナログ入力セクションの負電源電圧です。
7, 8, 14, 13, 9, 10, 12, 11	V _{IN0} to V _{IN7}	アナログ入力 0~アナログ入力 7。アナログ入力はマルチプレクスされて内蔵のトラック・アンド・ホールドに入力されます。変換するアナログ入力チャンネルの選択は、コントロール・レジスタ内でチャンネル・アドレス・ビット ADD2~Bit ADD0 を選択することにより行われます。入力は、8 個のシングルエンド入力、4 個の真の差動入力対、4 個の疑似差動入力、または 7 個の疑似差動入力に設定することができます。アナログ入力の構成は、コントロール・レジスタ内でビット・モード 1 とビット・モード 0 を設定することにより選択されます。各入力チャンネルの入力範囲は、レンジ・レジスタを設定することにより制御されます。+2.5 V のリファレンス電圧を使用した場合、各アナログ入力チャンネルで入力範囲 ±10 V、±5 V、±2.5 V、0 V ~ +10 V を選択することができます(リファレンス電圧のセクション参照)。
15	V _{DD}	正側電源電圧。このピンは、アナログ入力セクションの負電源電圧です。
16	V _{CC}	2.7 V ~ 5.25 V のアナログ電源電圧。これは AD7328 の ADC コアの電源電圧です。この電源は AGND にデカップリングする必要があります。V _{CC} = 4.75 V ~ 5.25 V の仕様が適用されます。ロジック電源入力。このピンに入力された電圧が、インターフェースで使用する電圧を決定します。このピンは DGND にデカップリングする必要があります。このピンの電圧は、V _{CC} の電圧と異なることができますが、V _{CC} を 0.3V 以上上回ることはできません。
17	V _{DRIVE}	ロジック電源入力。このピンに入力された電圧が、インターフェースで使用する電圧を決定します。このピンは DGND にデカップリングする必要があります。このピンの電圧は、V _{CC} の電圧と異なることができますが、V _{CC} を 0.3V 以上上回ることはできません。
18	DOUT	シリアル・データ出力。変換出力データがこのピンにシリアル・データ・ストリームとして出力されます。データは SCLK 入力の立ち下がりがエッジで出力され、データをアクセスするためには 16 個の SCLK が必要です。データ・ストリームは、3 ビットのチャンネル識別ビット、符号ビット、12 ビットの変換データから構成されます。データは MSB ファーストです(シリアル・インターフェースのセクション参照)。
20	SCLK	シリアル・クロック、ロジック入力。シリアル・クロック入力は、AD7328 からデータをアクセスする際に SCLK として使います。このクロックは、変換プロセスのクロック・ソースとしても使われます。

代表的な性能特性

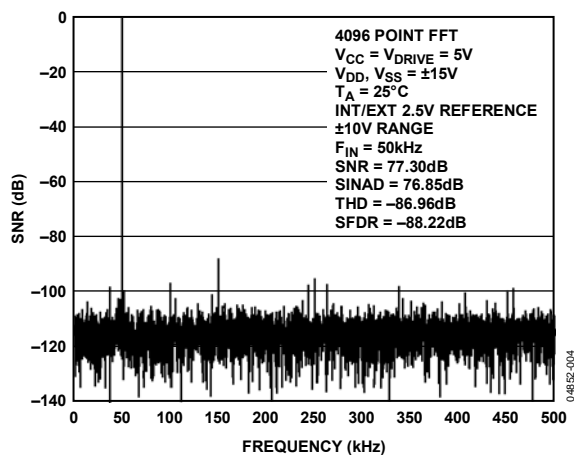


図4.FFT、真の差動モード

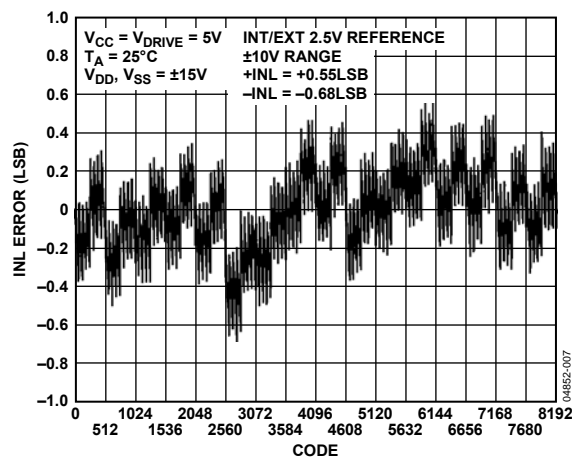


図7.INL(typ)、真の差動モード

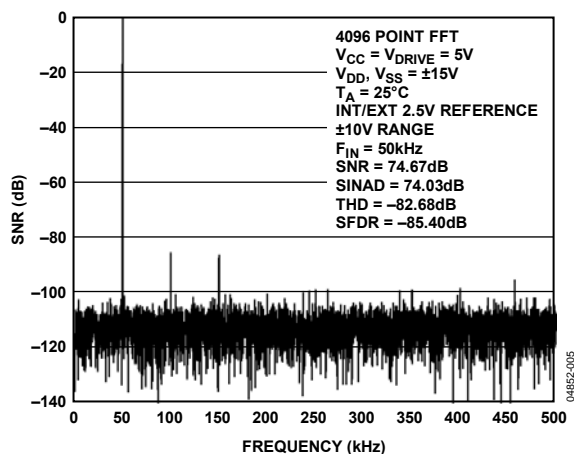


図5.FFT、シングルエンド・モード

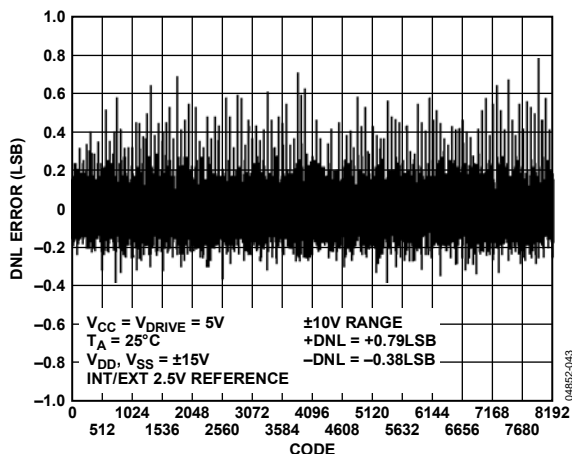


図8.DNL(typ)、シングルエンド・モード

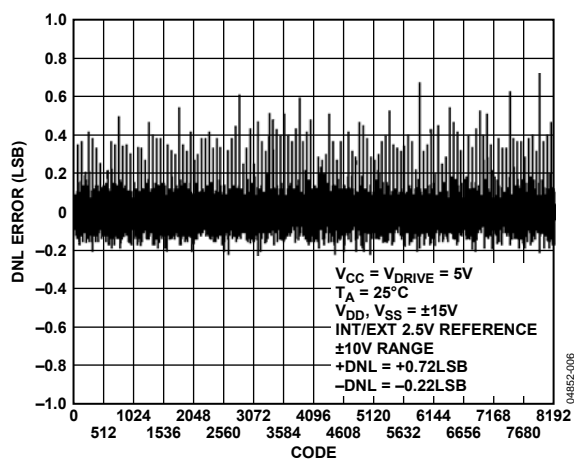


図6.DNL(typ)、真の差動モード

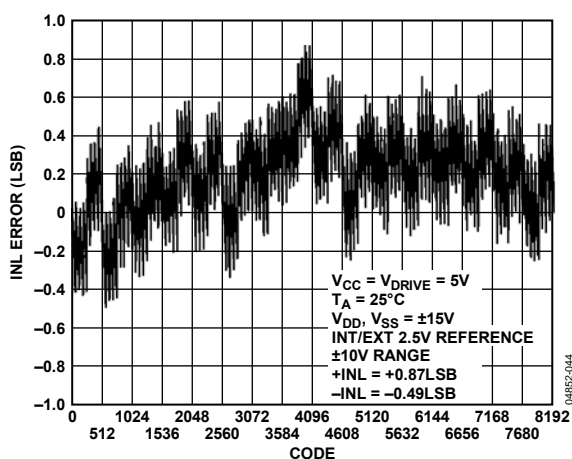


図9.INL(typ)、シングルエンド・モード

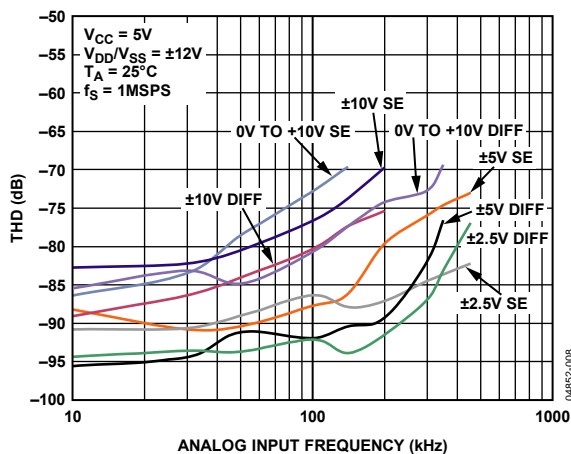


図10. THD 対アナログ入力周波数、シングルエンド(SE)と真の差動モード(Diff)、5 V V_{CC}

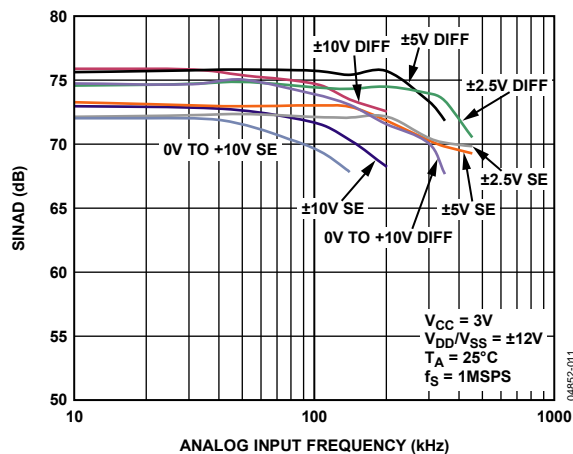


図13. SINAD 対アナログ入力周波数、シングルエンド(SE)と差動モード(Diff)、3 V V_{CC}

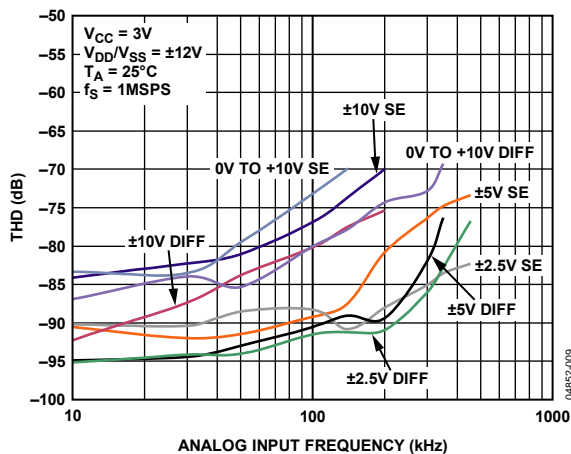


図11. THD 対アナログ入力周波数、シングルエンド(SE)と真の差動モード(Diff)、3 V V_{CC}

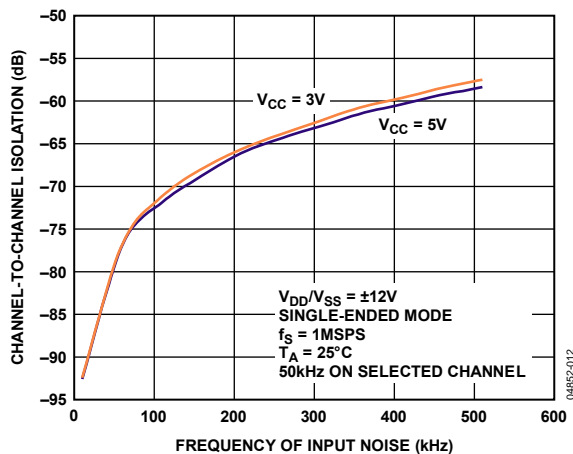


図14. チャンネル間アイソレーション

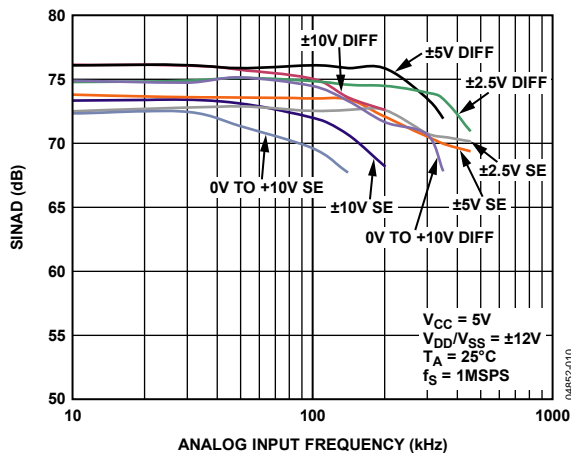


図12. SINAD 対アナログ入力周波数、シングルエンド(SE)と差動モード(Diff)、5 V V_{CC}

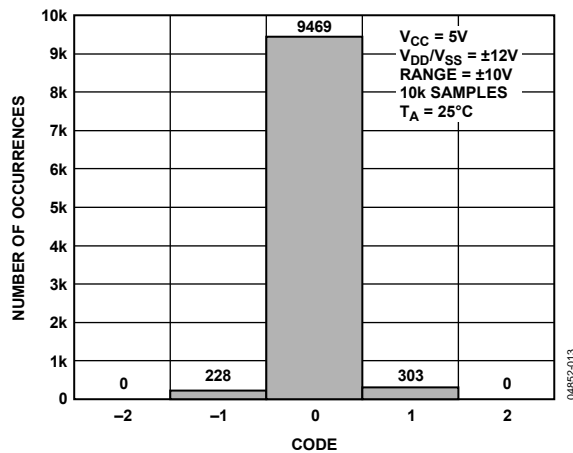


図15. コードのヒストグラム、真の差動モード

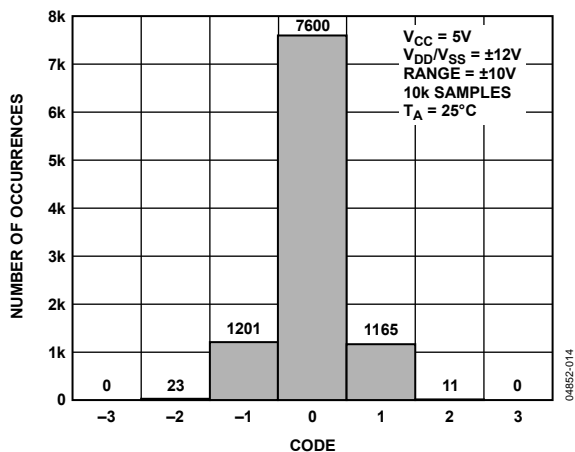


図16.コードのヒストグラム、シングルエンド・モード

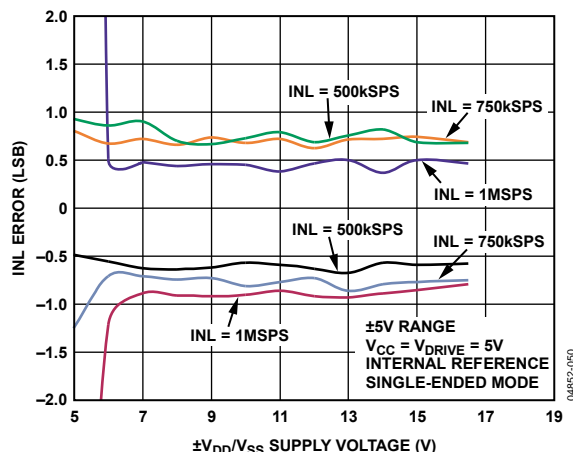


図19.INL 誤差対電源電圧、500 kSPS、750 kSPS、1 MSPS

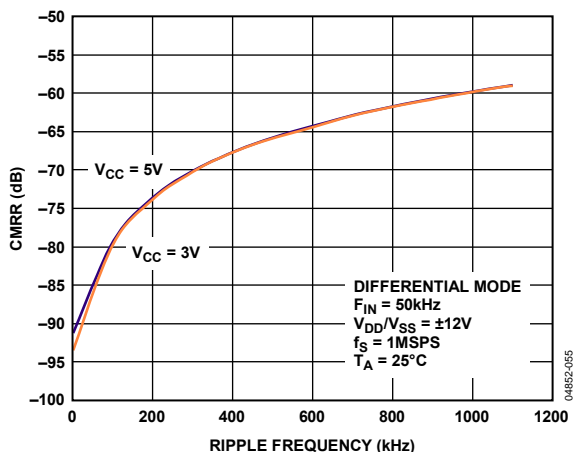


図17.CMRR 対同相モード・リップル周波数

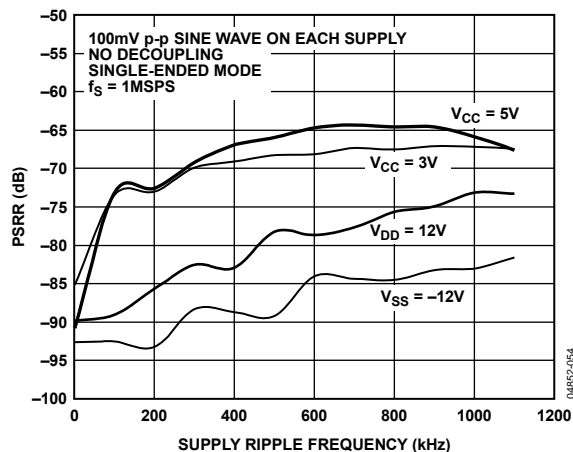


図20.PSRR 対電源リップル周波数、電源デカップリングなし

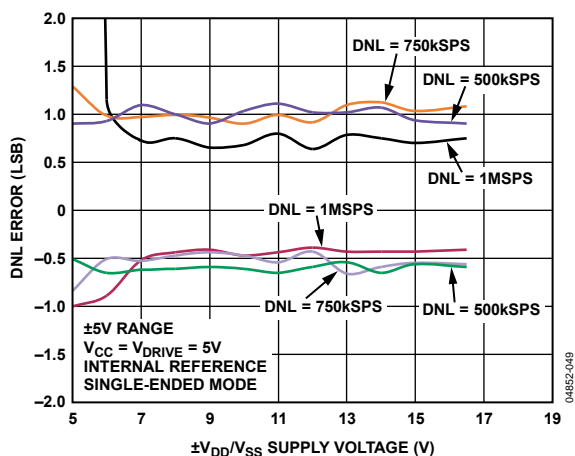


図18.DNL 誤差対電源電圧、500 kSPS、750 kSPS、1 MSPS

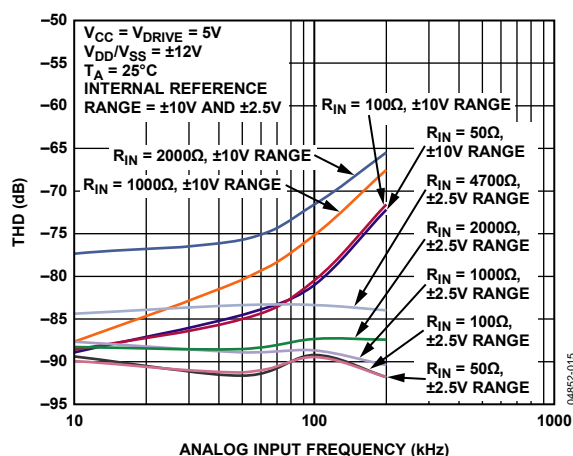


図21.種々のソース・インピーダンスでの THD 対アナログ入力周波数、真の差動モード

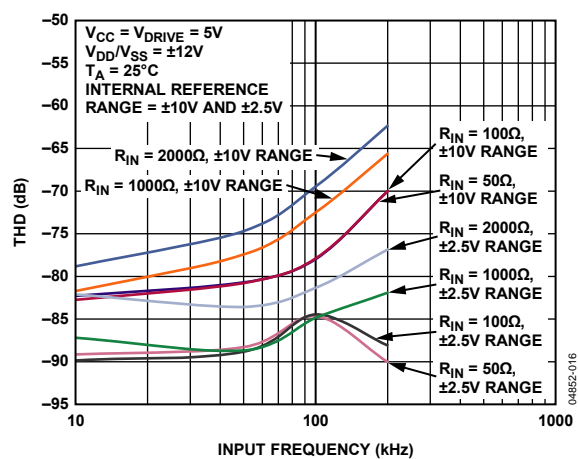


図22.種々のソース・インピーダンスでのTHD対アナログ入力周波数、シングルエンド・モード

用語

微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

積分非直線性

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード遷移より 1LSB 下のポイント)とフル・スケール(最後のコード遷移より 1LSB 上のポイント)をいいます。

オフセット・コード・エラー

これはストレート・バイナリ出力コーディングを使ったときに適用されます。理論値 $AGND + 1\text{LSB}$ と最初のコード遷移((00 ... 000)から(00 ... 001))との差をいいます。

オフセット誤差マッチ

これは、任意の 2 チャンネル間のオフセット誤差の差です。

ゲイン誤差

これはストレート・バイナリ出力コーディングを使ったときに適用されます。オフセット誤差調整後の最後のコード変化((111...110)から(111...111))と理論値($4 \times V_{REF} - 1\text{LSB}$, $2 \times V_{REF} - 1\text{LSB}$, $V_{REF} - 1\text{LSB}$)との差をいいます。

ゲイン誤差のマッチング

これは、任意の 2 チャンネル間のゲイン誤差の差です。

バイポーラ・ゼロ・コード・エラー

これは、2 の補数出力コーディングとバイポーラ・アナログ入力を使う場合に適用されます。ミッドスケール変化(全ビット 1 から全ビット 0 への変化)の理論入力電圧 ($AGND - 1\text{LSB}$)からの差を意味します。

バイポーラ・ゼロ・コード・エラーのマッチ

任意の 2 入力チャンネル間のバイポーラ・ゼロ・コード・エラーの差を意味します。

正のフル・スケール誤差

これは、2 の補数出力コーディングとバイポーラ・アナログ入力範囲を使う場合に適用されます。バイポーラ・ゼロ・コード・エラー補正後の最後のコード遷移((011 ... 110)から(011 ... 111))と理論値($4 \times V_{REF} - 1\text{LSB}$, $2 \times V_{REF} - 1\text{LSB}$, $V_{REF} - 1\text{LSB}$)の差を意味します。

正のフル・スケール誤差マッチ

任意の 2 入力チャンネル間の正のフル・スケール誤差の差を意味します。

負のフル・スケール誤差

これは、2 の補数出力コーディングとバイポーラ・アナログ入力範囲を使う場合に適用されます。バイポーラ・ゼロ・コード・エラー補正後の最初のコード遷移((10 ... 000)から(10 ... 001))と理論値($-4 \times V_{REF} + 1\text{LSB}$, $-2 \times V_{REF} + 1\text{LSB}$, $-V_{REF} + 1\text{LSB}$)との差を意味します。

負のフル・スケール誤差マッチ

任意の 2 入力チャンネル間の正のフル・スケール誤差の差を意味します。

トラック・アンド・ホールド・アキュイジション・タイム

SCLK の 14 番目の立ち上がり後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アキュイジション・タイムは、変換終了後にトラック・アンド・ホールド・アンプが最終値の $\pm 1/2\text{LSB}$ 以内に出力が収まるために要する時間です。 $\pm 2.5\text{V}$ 範囲の場合、規定のアキュイジション・タイムは、トラック・アンド・ホールド・アンプが $\pm 1\text{LSB}$ 以内に安定するのに要する時間です。

信号対(ノイズ+歪み)比

これは、A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは $1/2$ サンプリング周波数($f_s/2$)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存します。レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02N + 1.76)\text{dB}$$

13 ビット・コンバータの場合、80.02 dB になります。

総合高調波歪み

総合高調波歪み(THD)は、高調波の rms 値総和と基本波の比です。AD7328 の場合、次式で与えられます。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波の rms 振幅で、 V_2 , V_3 , V_4 , V_5 , V_6 は 2 次～6 次高調波の rms 振幅です。

ピーク高調波またはスプリアス・ノイズ

高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の(DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。一般に、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、最大の高調波はノイズ・ピークになります。

チャンネル間アイソレーション

チャンネル間アイソレーションは、2つのチャンネル間でのクロストークのレベルの大きさを表します。フル・スケールの 100 kHz 正弦波信号をすべての非選択入力チャンネルに入力し、50 kHz 信号を使って選択したチャンネルで信号の減衰を測定することにより決定します。図 14 に、AD7328 の全 8 チャンネル間でのワーストケースを示します。アナログ入力範囲は、全チャンネルで同じに設定します。

相互変調歪み

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 m 、 $n=0$ 、1、2、3、... です。相互変調歪項とは、 m と n が非ゼロの項をいいます。たとえば、2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7328 は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。この場合、2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

PSR (電源除去比)

電源変動はフル・スケール変化に影響しますが、コンバータの直線性には影響を与えません。PSR は、電源電圧の公称値からの変化で発生するフル・スケール変化ポイントの最大変化を表します(代表的な性能特性のセクション

参照)。

熱ヒステリシス

サーマル・ヒステリシスは、次のいずれかの温度サイクルを加えた後のリファレンス出力電圧の絶対最大変化として定義されます。

$$T_{_HYS+} = +25^{\circ}\text{C} \rightarrow T_{MAX} \rightarrow +25^{\circ}\text{C}$$

または

$$T_{_HYS-} = +25^{\circ}\text{C} \rightarrow T_{MIN} \rightarrow +25^{\circ}\text{C}$$

この値は次式を使って ppm で表されます。

$$V_{HYS} (ppm) = \left| \frac{V_{REF}(25^{\circ}\text{C}) - V_{REF}(T_{_HYS})}{V_{REF}(25^{\circ}\text{C})} \right| \times 10^6$$

ここで、

$V_{REF}(25^{\circ}\text{C})$ は、 25°C での V_{REF} 。

$V_{REF}(T_{_HYS})$ は、 $T_{_HYS+}$ または $T_{_HYS-}$ での V_{REF} の最大変化。

CMRR (同相モード除去比)

CMRR は、ADC 出力でのフル・スケール周波数 f の電力と、 V_{IN+} と V_{IN-} の同相モード電圧に加えられた周波数 f_s の 100 mV 正弦波の電力との比として定義されます。

$$CMRR (dB) = 10 \log(P_f/P_{f_s})$$

ここで、

P_f = ADC 出力における周波数 f の電力

P_{f_s} = ADC 出力での周波数 f_s の電力 (図 17 参照)。

動作原理

回路説明

AD7328 は、8 チャンネルの符号付きバイポーラ入力高速 12 ビット・シリアル A/D コンバータです。AD7328 には、バイポーラ入力範囲 ($\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 、 $\pm 2.5\text{ V}$ など) とユニポーラ入力範囲 ($0\text{ V}\sim+10\text{ V}$) を入力することができます。内蔵レジスタを使って、各アナログ入力チャンネルに種々のアナログ入力範囲を設定することができます。AD7328 は、最大 1 MSPS のスループット・レートで動作できる高速シリアル・インターフェースを内蔵しています。

AD7328 には、高電圧アナログ入力構造に対する V_{DD} と V_{SS} の 2 つの電源が必要です。これらの電源はアナログ入力電圧以上である必要があります。各アナログ入力範囲に対するこれらの電源の条件については、表 6 を参照してください。AD7328 の ADC コアには、低電圧 $2.7\text{ V}\sim 5.25\text{ V}$ の V_{CC} 電源が必要です。

表 6. リファレンス電圧と各アナログ入力範囲に対する電源条件

Selected Analog Input Range (V)	Reference Voltage (V)	Full-Scale Input Range (V)	V_{CC} (V)	Minimum V_{DD}/V_{SS} (V)
± 10	2.5	± 10	3/5	± 10
	3.0	± 12	3/5	± 12
± 5	2.5	± 5	3/5	± 5
	3.0	± 6	3/5	± 6
± 2.5	2.5	± 2.5	3/5	± 5
	3.0	± 3	3/5	± 5
0~10	2.5	0~+10	3/5	+10/AGND
	3.0	0~+12	3/5	+12/AGND

選択したアナログ入力範囲に対して最小 V_{DD} 電源と最小 V_{SS} 電源を使うように AD7328 を設定した場合に性能仕様を満たすためには、スループット・レートを最大スループット範囲より低くする必要があります(代表的な性能特性のセクション参照)。図 18 と図 19 に、 V_{DD} と V_{SS} の電圧が変わったときの INL と DNL の変化を示します。最大スループット・レートで動作させる場合、 V_{DD} と V_{SS} の電源電圧を低くすると、INL 誤差と DNL 誤差が大きくなりますが、最小 V_{DD} 電源と最小 V_{SS} 電源でスループット・レートが低下すると、INL 誤差と DNL 誤差が小さくなります。

図 31 に、 V_{DD} と V_{SS} の電源電圧が低下したときの、THD の変化を示します。最大スループット・レートでは、 V_{DD} と V_{SS} が低下すると、THD が大幅に低下します。したがって、最小 V_{DD} 電源と最小 V_{SS} 電源を使う場合、THD の低下を小さくし、仕様性能を維持するために、スループット・レートを下げる必要があります。性能低下は、 V_{DD} 電源電圧と V_{SS} 電源電圧を低くすると、入力マルチプレクサのオン抵抗が大きくなるために発生します。

アナログ入力は、8 個のシングルエンド入力、4 個の真の差動入力対、4 個の疑似差動入力、または 7 個の疑似差動入力に設定することができます。選択は、コントロール・レジスタ内でビット・モード 0 とビット・モード 1 を設定することにより行われます。

シリアル・クロック入力は、デバイスからのデータ読み出しに使用し、さらに逐次比較型 A/D コンバータのクロック・ソースとしても使われます。AD7328 は、 2.5 V のリファレンス電圧を内蔵していますが、外付けリファレンス電圧で動作することもできます。パワーアップ時、外部リファレンス動作がデフォルトで選択されます。内部リファレンス電圧を使う場合は、コントロール・レジスタのリファレンス・ビットに書き込みを行って内部リファレンス動作を選択する必要があります。

AD7328 はパワーダウン・オプションを持っているため、変換と変換の間で消費電力を節約することができます。パワーダウン・モードは、動作モードのセクションで説明するように、内蔵コントロール・レジスタに書き込みを行うことにより選択されます。

コンバータの動作

AD7328 は、2 個の容量型 DAC を採用した逐次比較型 A/D コンバータです。図 23 と図 24 に、それぞれアキュイジション・フェーズと変換フェーズでの ADC (シングルエンド・モード) の簡略化した回路図を示します。図 25 と図 26 に、それぞれアキュイジション・フェーズと変換フェーズでの ADC (差動モード) の簡略化した回路図を示します。

ADC は、コントロール・ロジック、SAR、容量型 DAC から構成されています。図 23 (アキュイジション・フェーズ) では、SW2 は閉じて、SW1 は位置 A にあり、コンパレータは平衡状態にあり、サンプリング・コンデンサ・アレイは入力から信号を取得します。

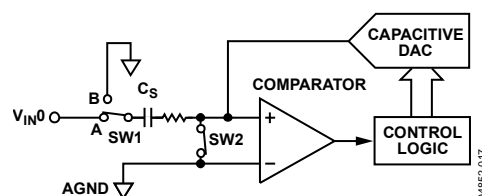


図 23. ADC アキュイジション・フェーズ(シングルエンド)

ADC が変換を開始すると(図 24)、SW2 が開いて、SW1 が位置 B に移動して、コンパレータが不平衡状態になります。コントロール・ロジックと電荷再配分型 DAC を使って、容量型 DAC に対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。

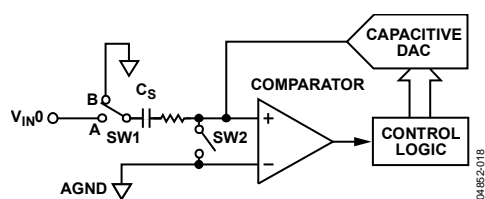


図24.ADC変換フェーズ(シングルエンド)

図 25 に、アキュイジション・フェーズでの差動構成を示します。変換フェーズでは、SW3が開いて、SW1とSW2が位置Bに移動します(図 26参照)。VIN+ピンとVIN-ピンを駆動する信号源の出力インピーダンスを一致させる必要があります。そうしないと、両入力ピンのセットリング時間が異なり誤差が発生します。

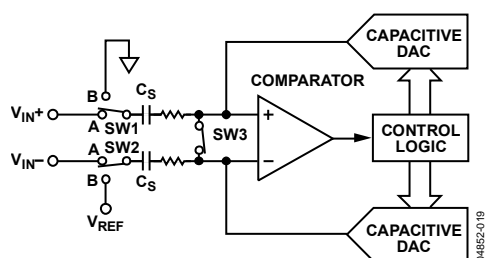


図25.アキュイジション・フェーズでのADC差動構成

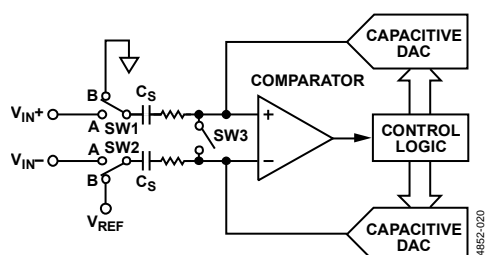


図26.変換フェーズでのADC差動構成

出力コーディング

AD7328のデフォルト出力コーディングは2の補数に設定されています。出力コーディングは、コントロール・レジスタのコーディング・ビットにより制御されます。出力コーディングをストレート・バイナリ・コーディングに変更するときは、コントロール・レジスタのコーディング・ビットをセットする必要があります。シーケンス・モードで動作する場合、シーケンス内の各チャンネルの出力コーディングは、直前にコントロール・レジスタのコーディング・ビットへ書き込まれた値になります。

伝達関数

コード変化はLSBの連続する整数倍値(1 LSB、2 LSBなど)で発生します。LSBサイズは選択したアナログ入力範囲に依存します。

表7.各アナログ入力範囲に対するLSBサイズ

Input Range	Full-Scale Range/8192 Codes	LSB Size
±10 V	20 V	2.441 mV
±5 V	10 V	1.22 mV
±2.5 V	5 V	0.61 mV
0 V to +10 V	10 V	1.22 mV

図 27に、2の補数コーディングが選択されたときのAD7328の理論伝達特性を示します。図 28に、ストレート・バイナリ・コーディングが選択されたときのAD7328の理論伝達特性を示します。

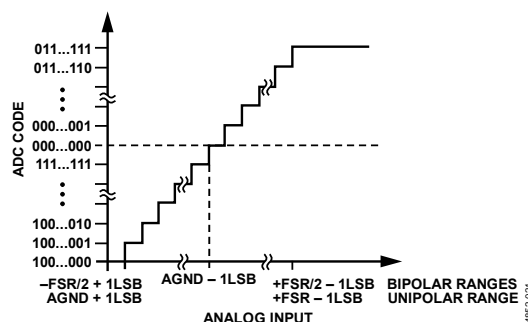


図27.2の補数の伝達関数(バイポーラ範囲)

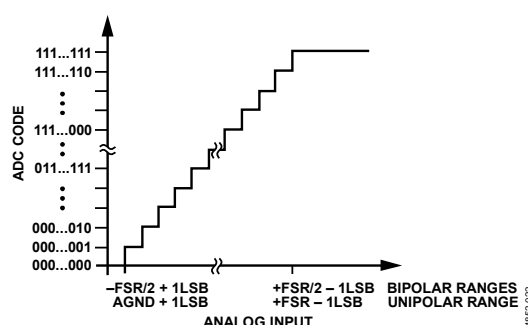


図28.ストレート・バイナリ伝達特性(バイポーラ範囲)

アナログ入力構造

AD7328のアナログ入力は、コントロール・レジスタのモード・ビットを使ってシングルエンド、真の差動、または疑似差動に設定することができます(表 10参照)。AD7328は真のバイポーラ入力信号を処理することができます。パワーアップ時、アナログ入力は8チャンネルのシングルエンド・アナログ入力として動作します。真の差動または疑似差動が必要な場合は、パワーアップ後にコントロール・レジスタに書き込みを行って変更する必要があります。

図 29に、シングルエンド・モードのAD7328の等価アナログ入力回路を示します。図 30に、差動モードの等価アナログ入力構造を示します。2個のダイオードがアナログ入力に対してESD保護機能を提供します。

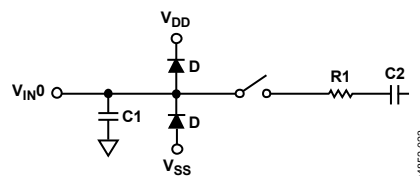


図29.等価アナログ入力回路(シングルエンド)

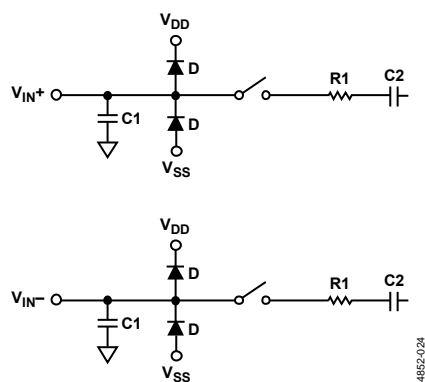


図30.等価アナログ入力回路(差動)

アナログ入力信号は V_{DD} と V_{SS} の電源レールより 300mV 以上高くないよう注意する必要があります。この値を超えると、これらのダイオードが順方向にバイアスされて、 V_{DD} または V_{SS} の電源レールに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は 10 mA です。

図 29 と 図 30 で、コンデンサ $C1$ は 4 pF (typ) で、主にピン容量になります。抵抗 $R1$ は集中定数部品であり、トラック・アンド・ホールド・スイッチと入力マルチプレクサのオン抵抗から構成されます。コンデンサ $C2$ はサンプリング・コンデンサで、容量は選択したアナログ入力範囲に応じて変わります(仕様のセクション参照)。

トラック・アンド・ホールド部分

AD7328 のトラック/ホールド・アンプにより、ADC はフルスケール振幅の入力正弦波を正確に 13 ビット精度で変換することができます。トラック・アンド・ホールドの入力帯域幅は、ADC のナイキスト・レートより広がっています。AD7328 は最大 22 MHz の周波数を処理することができます。

トラック・アンド・ホールドは、 \overline{CS} の立ち下がりエッジの後の 14 番目の SCLK の立ち上がりエッジでトラックング・モードになります。トラック・アンド・ホールド・アンプが入力信号を取り込むときに要する時間は、サンプリング・コンデンサを充電する速度に依存します。ゼロ・ソース・インピーダンスでは、305 ns で十分に 13 ビット・レベルの信号を入力することができます。 ± 10 V、 ± 5 V、 0 V \sim $+10$ V の範囲に対するアキュイジション・タイム ($\pm 1/2$ LSB 以内に整定) は 200 ns (typ) です。

必要とされるアキュイジション・タイムは次式で計算されます。

$$t_{ACQ} = 10 \times ((R_{SOURCE} + R) C)$$

ここで、 C はサンプリング容量、 R は入力からトラック・アンド・ホールド・アンプを見た抵抗。

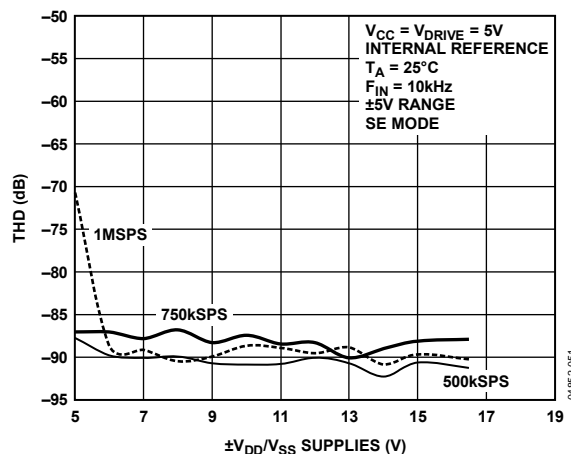
AD7328 では、 R の値入力マルチプレクサのオン抵抗が含まれ、300 Ω (typ) です。 R_{SOURCE} には、アナログ入力のその他のソース・インピーダンスも含む必要があります。

AD7328 は、SCLK の 14 番目の立ち上がりエッジでトラック・モードになります。AD7328 が 20 MHz SCLK 信号、1 MSPS のスループット・レートで動作するとき、ADC はアナログ入力信号の取得にほぼ次の時間を要します。

$$1.5 \text{ SCLK} + t_8 + t_{QUIET}$$

ADC は、 \overline{CS} の立ち下がりエッジでホールド・モードに戻ります。

V_{DD}/V_{SS} 電源電圧が低くなると、入力マルチプレクサのオン抵抗が大きくなります。このため、 t_{ACQ} の式により、AD7328 のアキュイジション・タイムを大きくすることが必要となり、このために全体のスループット・レートが低下します。図 31 に、 V_{DD} と V_{SS} の最小電圧で動作するとき、スループット・レートが低下しても、規定の THD 性能が維持されることを示します。

図31.TH D 対 $\pm V_{DD}/V_{SS}$ 電源電圧、500 kSPS、750 kSPS、1 MSPS

AD7328 には、他のバイポーラ ADC とは異なり、抵抗アナログ入力構造がありません。AD7328 では、バイポーラ・アナログ信号が直接サンプリング・コンデンサへサンプルされます。このため、AD7328 のアナログ入力インピーダンスは高くなります。アナログ入力インピーダンスは次式で計算できます。

$$Z = 1/(f_s \times C_s)$$

ここで、 f_s はサンプリング周波数、 C_s はサンプリング・コンデンサ値です。

C_s は選択したアナログ入力範囲に依存します(仕様のセクション参照)。1 MSPS の動作では、 ± 10 V 範囲に対するアナログ入力インピーダンスは 75 k Ω (typ) です。サンプリング周波数が低くなると、アナログ入力インピーダンスはさらに大きくなります。アナログ入力インピーダンスが大きくなると、アナログ入力の駆動に必要な電流は減少します。

代表的な接続図

図 32 に、AD7328 の一般的な接続図を示します。この接続では、AGND ピンはシステムのアナログ・グラウンド・プレーンに接続され、DGND ピンはシステムのデジタル・グラウンド・プレーンに接続されています。AD7328 のアナログ入力は、シングルエンド、真の差動、または疑似差動の各モードで動作することができます。また、AD7328 は内蔵または外付けのリファレンス電圧で動作することができます。図 32 では、AD7328 は内部 2.5 V リファレンス電圧で動作するように構成されています。内部リファレンス電圧で動作するときは、680 nF のデカップリング・コンデンサが必要です。

V_{CC} ピンは、3 V または 5 V の電源電圧に接続することができます。高電圧アナログ入力構造に対して V_{DD} と V_{SS} の 2 つの電源が必要です。これらのピンの電圧は、アナログ入力チャンネルで選択された最大のアナログ入力範囲以上である必要があります(詳細については、表 6 を参照してください)。 V_{DRIVE} ピンは、マイクロプロセッサの電源電圧に接続されています。 V_{DRIVE} 入力へ加えられる電圧が、シリアル・インターフェースの電圧を制御します。 V_{DRIVE} は 3 V または 5 V に設定することができます。

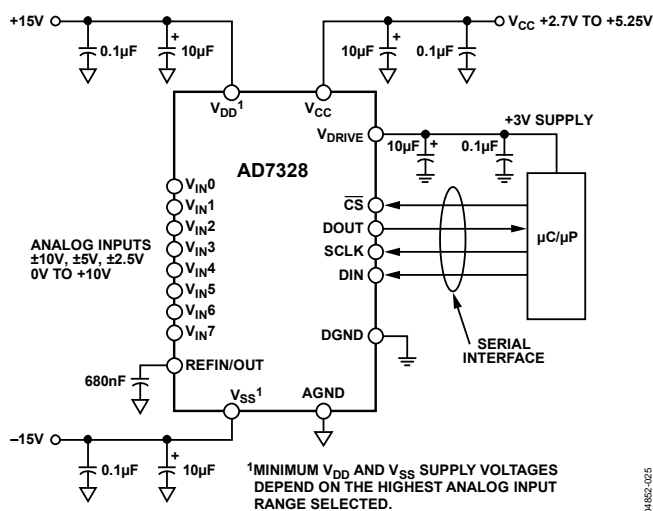


図32. 代表的な接続図

アナログ入力

シングルエンド入力

AD7328 には、シングルエンド・モードで動作する場合、合計 8 個のアナログ入力があります。各アナログ入力は独立に、4 種類のアナログ入力範囲の 1 つに設定することができます。信号ソースが高インピーダンスのアプリケーションでは、アナログ入力をバッファした後に ADC へ入力することが推奨されます。図 33 に、シングルエンド・モードでの AD7328 の構成を示します。

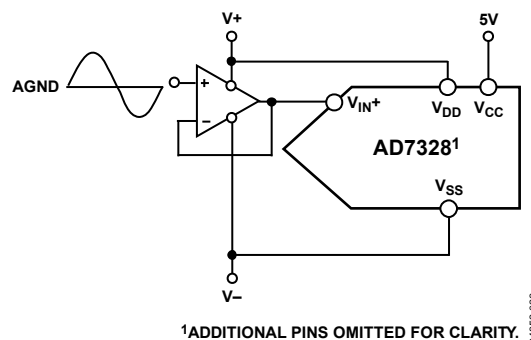


図33. シングルエンド・モードでの一般的な接続図

真の差動モード

AD7328 は、4 個の真の差動アナログ入力対を持つことができます。差動信号はシングルエンド信号に比べて、デバイスの同相モード除去比に基づくノイズ耐性、歪性能の改善などの幾つかの利点を持っています。図 34 に、AD7328 の真の差動アナログ入力の構成を示します。

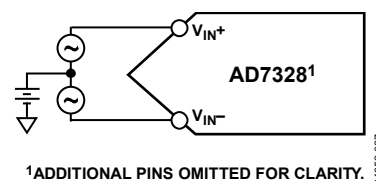


図34. 真の差動入力

差動信号の振幅は、各差動対の V_{IN+} ピンと V_{IN-} ピンに加えられた信号の差 ($V_{IN+} - V_{IN-}$) です。 V_{IN+} と V_{IN-} は、選択された入力範囲に応じて、それぞれ等しい振幅で位相差が 180° の 2 つの信号で同時に駆動される必要があります。 $\pm 4 \times V_{REF}$ モードの場合、同相モードに無関係に、差動信号の振幅は $-20 \text{ V} \sim +20 \text{ V p-p}$ ($2 \times 4 \times V_{REF}$) になります。

同相モードは 2 つの信号の平均です。

$$(V_{IN+} + V_{IN-})/2$$

この電圧を中心に、2 つの入力信号が変化します。

この電圧は外部から設定されるため、リファレンス電圧に応じてその範囲が変わります。リファレンス電圧が大きくなると、同相モード範囲は小さくなります。アンプで差動入力を駆動するときは、実際の同相モード範囲はアンプの出力電圧振幅で決定されます。差動入力をアンプから駆動しない場合、同相モード範囲は V_{DD} ピンと V_{SS} ピンの電源電圧により決定されます。

変換が行われると、同相モードが除去されて、デジタル・コード $-4096 \sim +4095$ に対応する振幅 $-2 \times (4 \times V_{REF}) \sim +2 \times (4 \times V_{REF})$ のノイズのない信号が得られます。

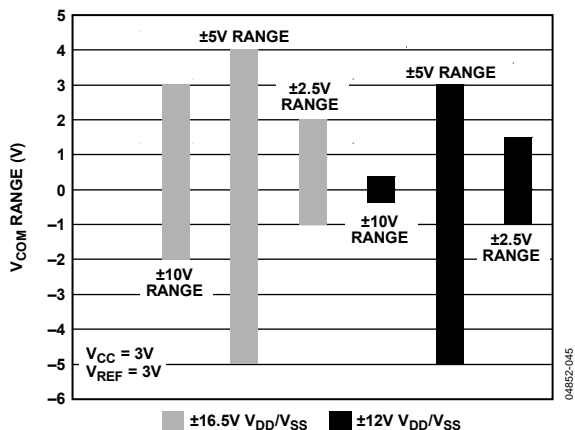


図35. V_{CC} = 3 V、REFIN/OUT = 3 V の場合の同相モード範囲

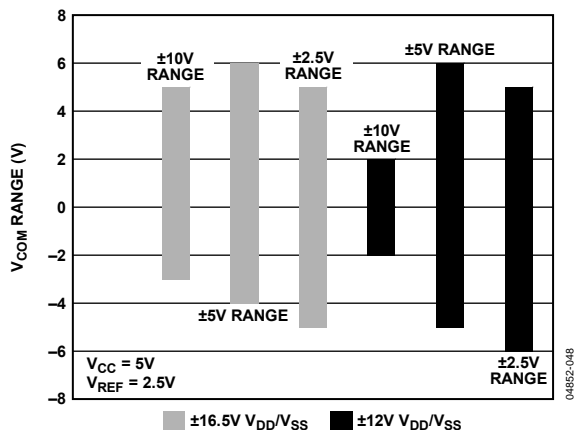


図38. V_{CC} = 5 V、REFIN/OUT = 2.5 V の場合の同相モード範囲

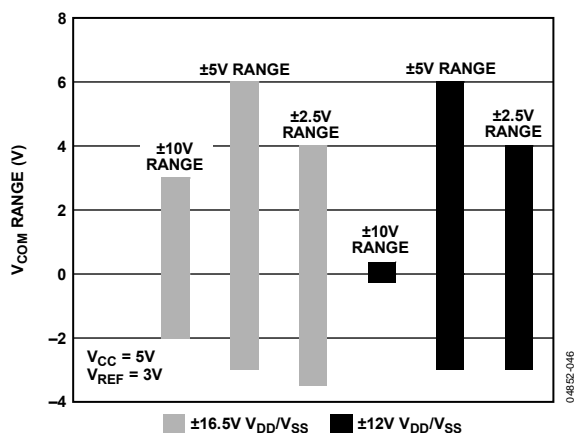


図36. V_{CC} = 5 V、REFIN/OUT = 3 V の場合の同相モード範囲

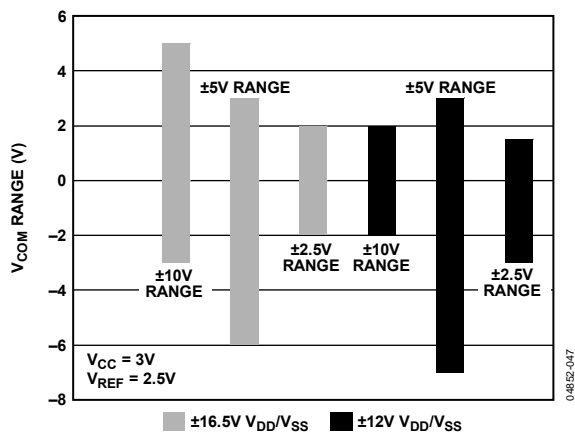


図37. V_{CC} = 3 V、REFIN/OUT = 2.5 V の場合の同相モード範囲

疑似差動入力

AD7328 は、4 個の疑似差動対、または共通の V_{IN-} ピンを基準とする 7 個の疑似差動入力を持つことができます。V_{IN+} 入力には信号ソースに接続され、レンジ・レジスタに設定されたそのチャンネル範囲内の振幅を持つ必要があります。V_{IN-} ピンには DC 入力に加えられます。この入力に加えられる電圧が、グラウンドからのオフセットすなわち V_{IN+} 入力に対する疑似グラウンドを提供します。疑似差動入力は、アナログ入力信号のグラウンドを ADC グラウンドから分離するため、DC 同相モード電圧を相殺します。図 39 に、疑似差動モードでの AD7328 の構成を示します。変換が行われると、疑似グラウンドがコード -4096 に、最大振幅がコード +4095 に、それぞれ対応します。

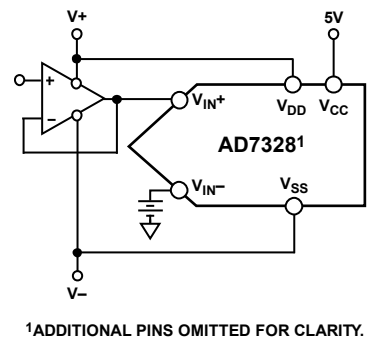
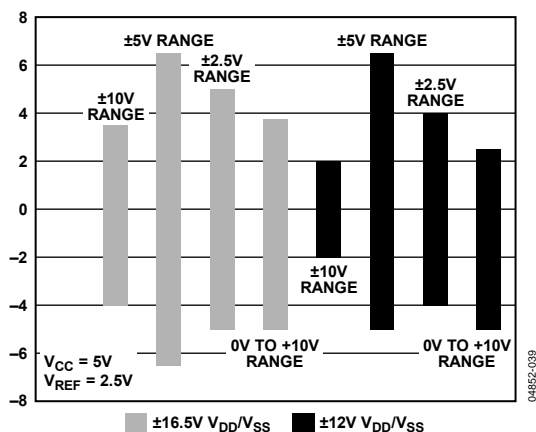
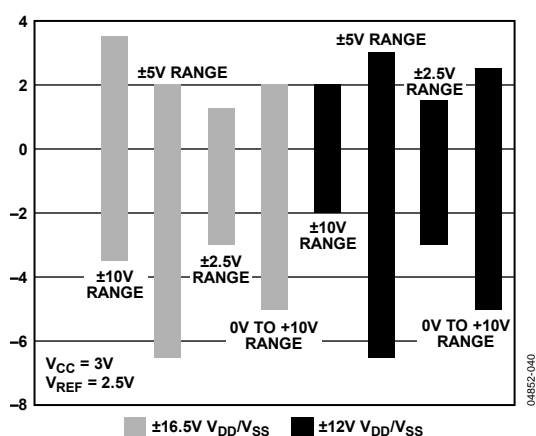


図39.疑似差動入力

図 40 と 図 41 に、疑似差動モードに構成した場合の種々のアナログ入力範囲に対する V_{IN-} ピンの代表的な電圧範囲を示します。

たとえば、AD7328 を疑似差動モードで動作するように設定し、V_{DD}/V_{SS} = ±16.5 V、V_{CC} = 5 V として、±5 V 範囲を選択すると、V_{IN-} ピンの電圧は -6.5 V ~ +6.5 V の範囲で変化することができます。

図40. $V_{CC} = 5V$ での疑似入力範囲図41. $V_{CC} = 3V$ での疑似入力範囲

ドライバ・アンプの選択

高調波歪みと信号対ノイズ比が重要な仕様となるアプリケーションでは、AD7328のアナログ入力を低インピーダンス・ソース・ソースで入力する必要があります。ソース・インピーダンスが大きいと、ADCのAC性能に大きな影響を与えるため、入力バッファ・アンプの使用が必要になります。

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、アプリケーションの許容可能なTHDの大きさに依存します。ソース・インピーダンスが増加するとTHDが大きくなるため、性能が低下します。図21と図22に、種々のソース・インピーダンスに対して、THDとアナログ入力周波数の関係を示します。AD7328は、入力範囲と選択したアナログ入力設定に応じて、最大4.7kΩのソース・インピーダンスをTHDの性能低下に至らずに処理することができます。

AD7328のアナログ入力が選択可能である性質から、入力の駆動に使用するオペアンプの選択は、特定のアプリケーションによって決まり、入力構成と選択したアナログ入力電圧範囲に依存します。

ドライバ・アンプは、フル・スケール・ステップに対してAD7328の規定されたアキュイジション・タイム内に13ビット・レベル(0.0122%)にセトリングできる必要があります。AD8021のようなオペアンプは、シングルエンド・モードで動作するときこの条件を満たします。AD8021には外部補償NPOタイプのコンデンサが必要です。AD8022は、デュアル・バージョンが必要とされる高周波アプリケーションでも使用することができます。低周波アプリケーションに対しては、AD797、AD845、AD8610のようなオペアンプとシングルエンド・モード構成のAD7328を組み合わせて使用することができます。

差動動作では、 V_{IN+} と V_{IN-} を180度位相がずれている2つの等しい振幅の信号で駆動する必要があります。同相モードは、AD7328の外部で設定する必要があります。同相モード範囲は、REFIN/OUT電圧、 V_{CC} 電源電圧、アナログ入力の駆動に使用する特定のアンプにより決定されます。差動モード(AC結合入力またはDC結合入力)は、広い周波数範囲で最適なTHD性能を提供します。すべてのアプリケーションが差動動作に信号を予めコンデショニングしていないため、シングルエンドから差動への変換が必要になることがあります。このシングルエンドから差動への変換は、オペアンプ対を使って行うことができます。オペアンプ対の代表的な接続図を図42と図43に示します。図42では、同相モード信号が2つ目のアンプの非反転入力に加えられます。

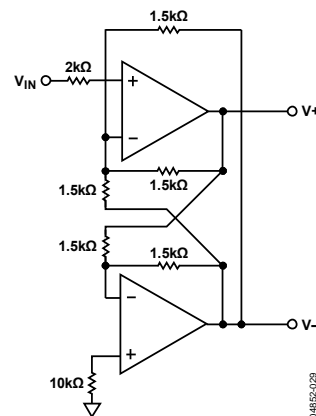


図42.AD845を使用したシングルエンドから差動への変換構成

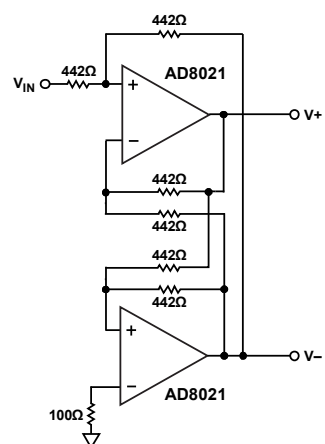


図43.AD8021を使用したシングルエンドから差動への変換構成

レジスタ

AD7328には、コントロール・レジスタ、シーケンス・レジスタ、レンジ・レジスタ1、レンジ・レジスタ2の4個のプログラマブルなレジスタがあります。これらのレジスタは書き込み専用レジスタです。

レジスタのアドレス指定

AD7328のシリアル転送は、SCLKの16サイクルで構成されています。SCLKの16サイクルによる転送時にDINライン上の上位3ビットをデコードして、アドレス指定されたレジスタを知ります。この上位3ビットは、書き込みビット、レジスタ・セレクト1ビット、レジスタ・セレクト2ビットから構成されています。レジスタ・セレクト・ビットを調べて、4個の内蔵レジスタのいずれが選択されたかを知ります。書き込みビットは、DINライン上でレジスタ・セレクト・ビットの後ろに続くデータがアドレス指定されたレジスタに書き込まれるか否かを指定します。書き込みビットが1とき、レジスタ・セレクト・ビットでアドレス指定されたレジスタにビットが書き込まれます。書き込みビットが0のときは、DINラインのデータはレジスタに書き込まれません。

表8. レジスタ・セレクト・ビットと書き込みビットのデコーディング

Write	Register Select 1	Register Select 2	Description
0	0	0	Data on the DIN line during this serial transfer is ignored.
1	0	0	This combination selects the control register. The subsequent 12 bits are loaded into the control register.
1	0	1	This combination selects Range Register 1. The subsequent 8 bits are loaded into Range Register 1.
1	1	0	This combination selects Range Register 2. The subsequent 8 bits are loaded into Range Register 2.
1	1	1	This combination selects the sequence register. The subsequent 8 bits are loaded into the sequence register.

コントロール・レジスタ

コントロール・レジスタを使って、アナログ入力チャンネル、アナログ入力構成、リファレンス電圧、コーディング、パワー・モードを選択します。コントロール・レジスタは、書き込み専用の12ビット・レジスタです。DINラインからロードされるデータが、次の変換のAD7328設定に対応します。シーケンス・レジスタを使用する場合、レンジ・レジスタとシーケンス・レジスタを初期化した後に、データをコントロール・レジスタにロードする必要があります。コントロール・レジスタのビット機能を表9に示します(全ビットのパワーアップ時ステータスは0です)。

MSB													LSB		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Write	Register Select 1	Register Select 2	ADD2	ADD1	ADD0	Mode 1	Mode 0	PM1	PM0	Coding	Ref	Seq1	Seq2	Weak/Three-State	0

表9. コントロール・レジスタの詳細

Bit	Mnemonic	Description
12, 11, 10	ADD2, ADD1, ADD0	These three channel address bits are used to select the analog input channel for the next conversion if the sequencer is not being used. If the sequencer is being used, the three channel address bits are used to select the final channel in a consecutive sequence.
9, 8	Mode 1, Mode 0	These two mode bits are used to select the configuration of the eight analog input pins, V_{IN0} to V_{IN7} . These pins are used in conjunction with the channel address bits. On the AD7328, the analog inputs can be configured as eight single-ended inputs, four fully differential input pairs, four pseudo differential inputs, or seven pseudo differential inputs (see Table 10).
7, 6 5	PM1, PM0 Coding	The power management bits are used to select different power mode options on the AD7328 (see Table 11). This bit is used to select the type of output coding the AD7328 uses for the next conversion result. If the coding = 0, the output coding is twos complement. If the coding = 1, the output coding is straight binary. When operating in sequence mode, the output coding for each channel is the value written to the coding bit during the last write to the control register.
4	Ref	The reference bit is used to enable or disable the internal reference. If Ref = 0, the external reference is enabled and used for the next conversion, and the internal reference is disabled. If Ref = 1, the internal reference is used for the next conversion. When operating in sequence mode, the reference used for each channel is the value written to the Ref bit during the last write to the control register.
3, 2 1	Seq1/Seq2 Weak/Three-State	The Sequence 1 and Sequence 2 bits are used to control the operation of the sequencer (see Table 12). This bit selects the state of the DOUT line at the end of the current serial transfer. If the bit is set to 1, the DOUT line is weakly driven to Channel Address Bit ADD2 of the following conversion. If this bit is set to 0, DOUT returns to three-state at the end of the serial transfer (see the Serial Interface section).

8個のアナログ入力チャンネルは、7個の疑似差動アナログ入力、4個の疑似差動入力、4個の真の差動入力対、または8個のシングルエンド・アナログ入力として構成することができます。

表10. アナログ入力構成の選択

Channel Address Bits			Mode 1 = 1, Mode 0 = 1		Mode 1 = 1, Mode 0 = 0		Mode 1 = 0, Mode 0 = 1		Mode 1 = 0, Mode 0 = 0	
			7 Pseudo Differential I/Ps		4 Fully Differential I/Ps		4 Pseudo Differential I/Ps		8 Single-Ended I/Ps	
ADD2	ADD1	ADD0	V_{IN}^+	V_{IN}^-	V_{IN}^+	V_{IN}^-	V_{IN}^+	V_{IN}^-	V_{IN}^+	V_{IN}^-
0	0	0	V_{IN0}	V_{IN7}	V_{IN0}	V_{IN1}	V_{IN0}	V_{IN1}	V_{IN0}	AGND
0	0	1	V_{IN1}	V_{IN7}	V_{IN0}	V_{IN1}	V_{IN0}	V_{IN1}	V_{IN1}	AGND
0	1	0	V_{IN2}	V_{IN7}	V_{IN2}	V_{IN3}	V_{IN2}	V_{IN3}	V_{IN2}	AGND
0	1	1	V_{IN3}	V_{IN7}	V_{IN2}	V_{IN3}	V_{IN2}	V_{IN3}	V_{IN3}	AGND
1	0	0	V_{IN4}	V_{IN7}	V_{IN4}	V_{IN5}	V_{IN4}	V_{IN5}	V_{IN4}	AGND
1	0	1	V_{IN5}	V_{IN7}	V_{IN4}	V_{IN5}	V_{IN4}	V_{IN5}	V_{IN5}	AGND
1	1	0	V_{IN6}	V_{IN7}	V_{IN6}	V_{IN7}	V_{IN6}	V_{IN7}	V_{IN6}	AGND
1	1	1	Temperature indicator		V_{IN6}	V_{IN7}	V_{IN6}	V_{IN7}	V_{IN7}	AGND

表11. パワー・モードの選択

PM1	PM0	Description
1	1	Full Shutdown Mode. In this mode, all internal circuitry on the AD7328 is powered down. Information in the control register is retained when the AD7328 is in full shutdown mode.
1	0	Autoshutdown Mode. The AD7328 enters autoshutdown on the 15 th SCLK rising edge when the control register is updated. All internal circuitry is powered down in autoshutdown.
0	1	Autostandby Mode. In this mode, all internal circuitry is powered down, excluding the internal reference. The AD7328 enters autostandby mode on the 15 th SCLK rising edge after the control register is updated.
0	0	Normal Mode. All internal circuitry is powered up at all times.

表12. シーケンサの選択

Seq1	Seq2	Description
0	0	The channel sequencer is not used. The analog channel, selected by programming the ADD2 to ADD0 bits in the control register, selects the next channel for conversion.
0	1	Uses the sequence of channels that were previously programmed in the sequence register for conversion. The AD7328 starts converting on the lowest channel in the sequence. The channels are converted in ascending order. If uninterrupted, the AD7328 keeps converting the sequence. The range for each channel defaults to the range previously written into the corresponding range register.
1	0	This configuration is used in conjunction with the channel address bits in the control register. This allows continuous conversions on a consecutive sequence of channels, from Channel 0 through a final channel selected by the channel address bits in the control register. The range for each channel defaults to the range previously written into the corresponding range register.
1	1	The channel sequencer is not used. The analog channel, selected by programming the ADD2 bit to ADD0 bit in the control register, selects the next channel for conversion.

シーケンス・レジスタ

AD7328 のシーケンス・レジスタは、8 ビットの書き込み専用レジスタです。8 個の各アナログ入力チャンネルは、シーケンス・レジスタ内に対応する 1 ビットを持っています。シーケンスに含めるチャンネルを選択するときは、シーケンス・レジスタ内に対応するチャンネル・ビットに 1 を設定します。

MSB											LSB				
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
Write	Register Select 1	Register Select 2	V _{IN0}	V _{IN1}	V _{IN2}	V _{IN3}	V _{IN4}	V _{IN5}	V _{IN6}	V _{IN7}	0	0	0	0	0

レンジ・レジスタ

レンジ・レジスタを使って、アナログ入力チャンネルあたり 1 つのアナログ入力範囲を設定します。レンジ・レジスタ 1 は、チャンネル 0～チャンネル 3 の設定に使います。これは 8 ビットの書き込み専用レジスタで、チャンネル 0～チャンネル 3 の各アナログ入力チャンネルに対して 2 ビットのレンジ・ビットを持っています。アナログ入力範囲は、±10 V、±5 V、±2.5 V、0 V～+10 V の 4 種類があります。レンジ・レジスタ 1 への書き込みを選択するときは、書き込みビットに 1 を設定し、レンジ・セレクト・ビットに 0 と 1 を設定します。レンジ・レジスタ 1 への初期書き込みの後アナログ入力を選択される毎に、AD7328 はレンジ・レジスタ 1 の指定に従ってアナログ入力を該当するレンジに自動的に設定します。デフォルトでは、各アナログ入力チャンネルで±10 V の入力範囲が選択されます(表 13 参照)。

MSB											LSB				
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
Write	Register Select 1	Register Select 2	V _{IN0A}	V _{IN0B}	V _{IN1A}	V _{IN1B}	V _{IN2A}	V _{IN2B}	V _{IN3A}	V _{IN3B}	0	0	0	0	0

レンジ・レジスタ 2 は、チャンネル 4～チャンネル 7 の設定に使います。これは 8 ビットの書き込み専用レジスタで、チャンネル 4～チャンネル 7 の各アナログ入力チャンネルに対して 2 ビットのレンジ・ビットを持っています。アナログ入力範囲は、±10 V、±5 V、±2.5 V、0 V～+10 V の 4 種類があります。レンジ・レジスタ 2 への初期書き込みの後アナログ入力を選択される毎に、AD7328 はレンジ・レジスタ 2 の指定に従ってアナログ入力を該当するレンジに自動的に設定します。デフォルトでは、各アナログ入力チャンネルで±10 V の入力範囲が選択されます(表 13 参照)。

MSB											LSB				
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
Write	Register Select 1	Register Select 2	V _{IN4A}	V _{IN4B}	V _{IN5A}	V _{IN5B}	V _{IN6A}	V _{IN6B}	V _{IN7A}	V _{IN7B}	0	0	0	0	0

表13. レンジの選択

V _{INxA}	V _{INxB}	Description
0	0	This combination selects the ±10 V input range on V _{INx} .
0	1	This combination selects the ±5 V input range on V _{INx} .
1	0	This combination selects the ±2.5 V input range on V _{INx} .
1	1	This combination selects the 0 V to +10 V input range on V _{INx} .

シーケンサの動作

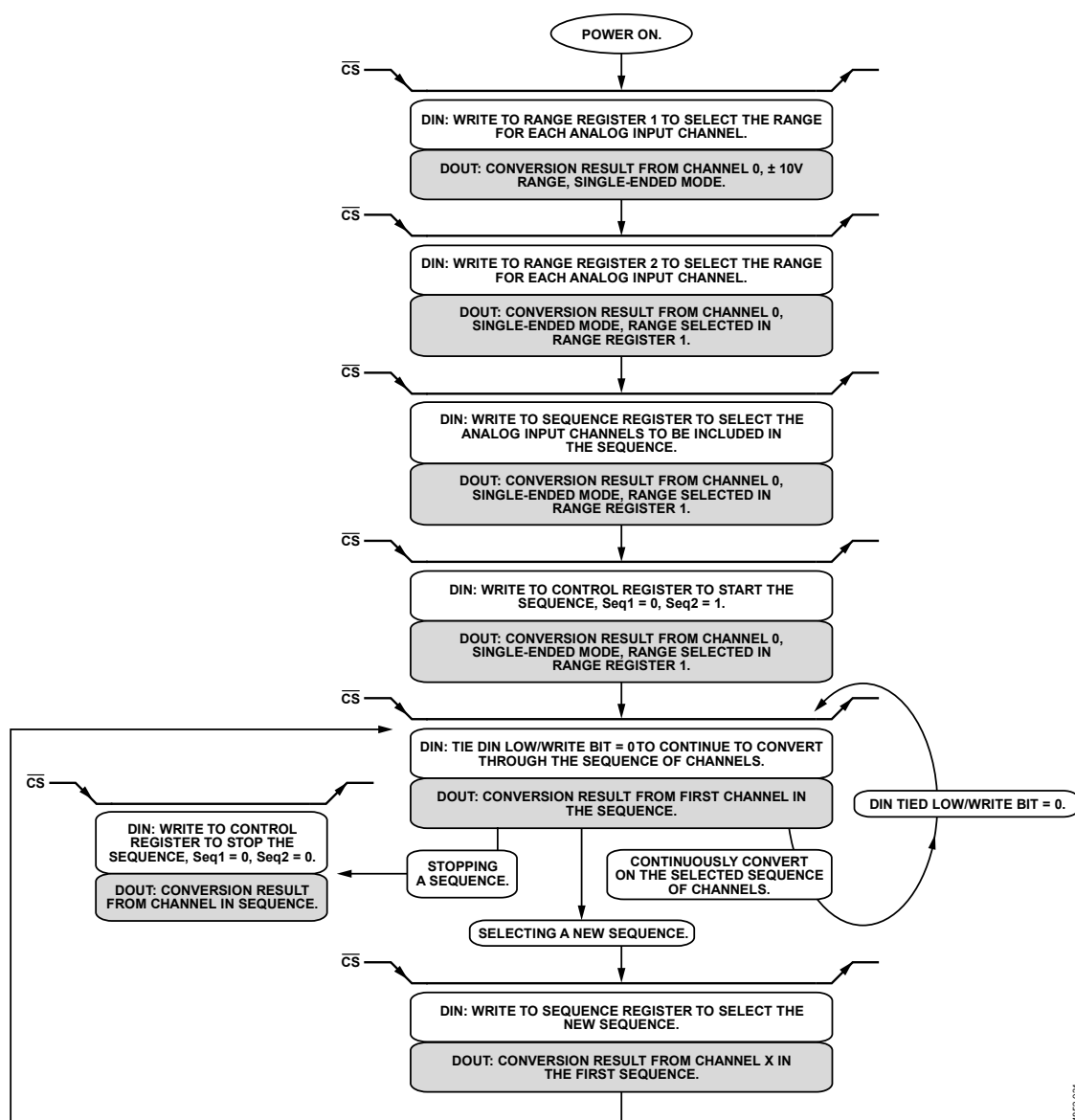


図44. プログラマブルなシーケンスのフローチャート

AD7328 は、複数の選択したチャンネルを自動的に繰り返すように設定することができます。チャンネルの選択は、コントロール・レジスタのSeq1 ビットとSeq2 ビットを使って内蔵シーケンス・レジスタにより行います。図44に、シーケンス・モードで動作するようにAD7328 レジスタを設定する方法を示します。

パワーアップ後、4個の全内蔵レジスタにはデフォルト値が設定されます。各アナログ入力にはデフォルトの入力範囲 $\pm 10\text{V}$ を持っています。別のアナログ入力範囲が必要な場合は、レンジ・レジスタへの書き込みが必要です。これを、図44の最初の2回のシリアル転送で示します。

これらの2回の初期シリアル転送は、デフォルト・レンジ以外の入力範囲が必要な場合にのみ必要です。アナログ入力範囲を設定した後、シーケンスに含めるチャンネルを選択するため、シーケンス・レジスタへの書き込み

が必要です。シーケンスのチャンネルを選択した後、コントロール・レジスタへ書き込みを行い、Seq1 に0をSeq2 に1をそれぞれ設定することによりシーケンスを開始することができます。シーケンス・レジスタに変更がなく、コントロール・レジスタでSeq1 = 0かつSeq2 = 1が維持されるかぎり、AD7328 は選択されたシーケンスの変換を中断することなく続けます。

シーケンス中にレンジ・レジスタの1つに書き込みを行う必要がある場合には、まずコントロール・レジスタに書き込みを行い、Seq1 に0を、Seq2 に0をそれぞれ設定して、シーケンスを停止させる必要があります。次に、レンジ・レジスタへ書き込みを行って、必要な範囲の変更を行うことができます。次に、コントロール・レジスタに書き込みを行い、Seq1 に0を、Seq2 に1を、それぞれ設定することにより、予め選択しておいたシーケンス

を再開させる必要があります。ADCはシーケンス内の最初のチャンネルを変換します。

AD7328は、連続チャンネルのシーケンスを変換するように設定することができます(図45参照)。このシーケンスではチャンネル0から変換を開始し、コントロール・レジスタのビットADD2～ビットADD0で選択された最終チャンネルで変換を終わります。この設定では、シーケンス・レジスタへの書き込みは不要です。AD7328をこのモードで動作させるときは、コントロール・レジスタのSeq1に1を、Seq2に0をそれぞれ設定して、次にコントロール・レジスタのビットADD2～ビットADD0を設定して、シーケンス内の最終チャンネルを選択します。

AD7328をこのモードで動作させるようにコントロール・レジスタを設定したら、DINラインをロー・レベルにするか、または書き込みビットに0を設定することが

できます。従来型マルチチャンネル動作に変えるときは、コントロール・レジスタへの書き込みを行ってSeq1に0を、Seq2に0をそれぞれ設定する必要があります。

Seq1とSeq2の両方に0または1が設定されると、AD7328は従来型マルチチャンネル・モードで動作するように設定されます。この場合、コントロール・レジスタのチャンネル・アドレスのビットADD2～ビットADD0に書き込みを行うことにより、次に変換するチャンネルを選択します。

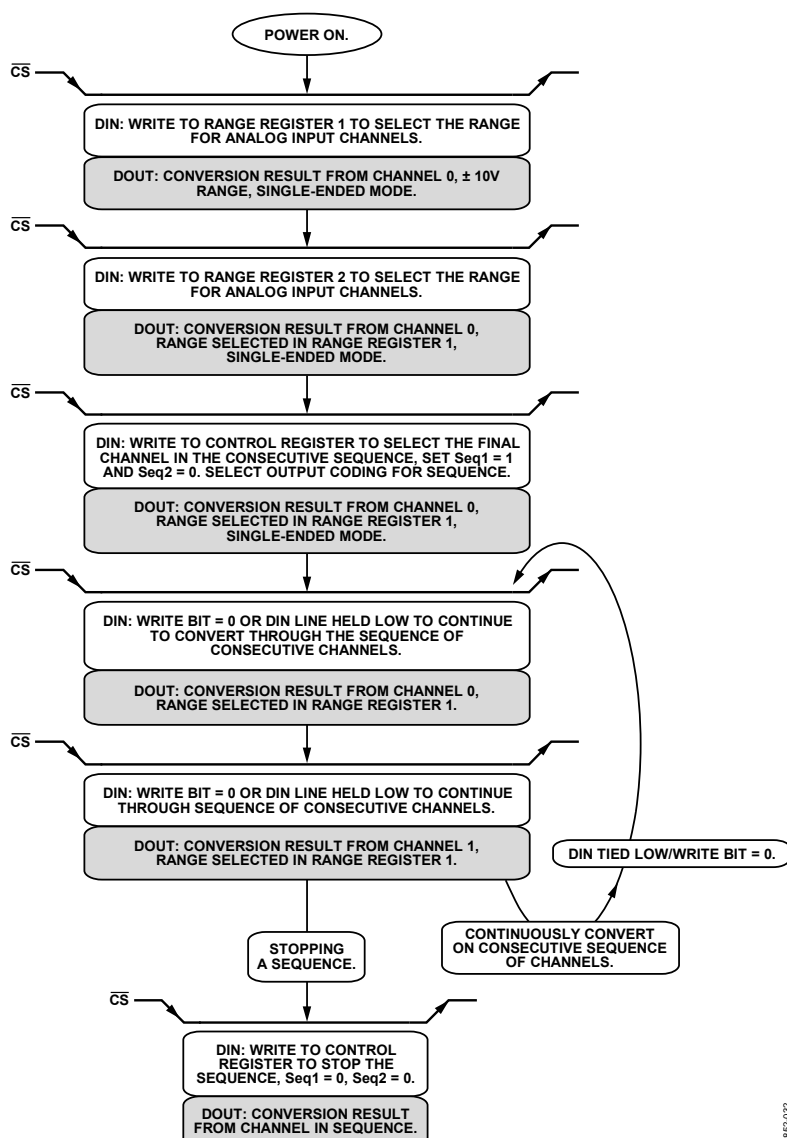


図45.チャンネルの連続シーケンスのフローチャート

04652-032

リファレンス電圧

AD7328 は、2.5 V の内蔵リファレンス電圧または外付けリファレンス電圧で動作することができます。コントロール・レジスタの Ref ビットに 1 を設定すると、内蔵リファレンス電圧が選択されます。パワーアップ時、Ref ビットに 0 が設定されて、AD7328 の変換に対して外付けリファレンス電圧が選択されます。AD7328 の適切なリファレンス・ソースとしては、AD780、AD1582、ADR431、REF193、ADR391 があります。

内蔵リファレンス電圧回路は、2.5 V のバンド・ギャップ・リファレンス電圧とリファレンス電圧バッファから構成されています。AD7328 を内蔵リファレンス電圧モードで動作させるときは、2.5 V の内蔵リファレンス電圧が REFIN/OUT ピンから出力されるので、これを 680 nF のコンデンサで AGND ヘドカップリングする必要があります。内蔵リファレンス電圧をシステム内の他の場所で使う前にバッファすることが推奨されます。内蔵リファレンス電圧は、最大 90 μ A の電流を供給することができます。

ADC 変換に内蔵リファレンス電圧の動作が必要な場合は、パワーアップ時にコントロール・レジスタに書き込みを行って、Ref ビットに 1 を設定する必要があります。コントロール・レジスタへの書き込み中、最初の変換結果は無効です。リファレンス電圧バッファは、パワーアップのために 500 μ s を要し、パワーアップ時に 680 nF のデカップリング・コンデンサが充電されます。

AD7328 は、2.5 V ~ 3 V のリファレンス電圧に対して仕様が規定されています。3V のリファレンス電圧を選択すると、範囲は ± 12 V、 ± 6 V、 ± 3 V、0 V ~ +12 V になります。これらの範囲では、 V_{DD} と V_{SS} は選択した最大アナログ入力範囲以上である必要があります。

V_{DRIVE}

AD7328 には、シリアル・インターフェースが動作する電圧を制御する V_{DRIVE} 機能もあります。 V_{DRIVE} を使うと、ADC は 3 V と 5 V のプロセッサに容易にインターフェースすることができます。たとえば、AD7328 が $V_{CC} = 5$ V で動作する場合、 V_{DRIVE} ピンは 3 V 電源に接続することができます。このため、低い電圧のデジタル処理で大きなバイポーラ入力信号を入力することができます。

温度インジケータ

AD7328 は、温度インジケータを内蔵しています。温度インジケータを使って、AD7328 のローカル温度の測定値を提供することができます。温度インジケータをアクセスするときは、チャンネル・ビット (ADD2、ADD1、

ADD0) に 1 を設定し、ADC を疑似差動モード (Mode 1 = Mode 0 = 1) に設定する必要があります。 V_{IN7} は AGND に接続するか、または選択されたアナログ入力範囲の規定の疑似入力範囲内の小さい DC 電圧に接続する必要があります。この設定で変換を開始すると、出力コードは温度を表します (図 46 と 図 47 参照)。AD7328 の温度インジケータを使う場合、デバイスは ± 10 V 範囲で約 50 kSPS や ± 2.5 V 範囲で 30 kSPS などの低いスループット・レートで動作する必要があります。このモードに対する AD7328 のアキュイジション・タイムが大きくなるため、温度インジケータ・モードではスループット・レートが低下します。

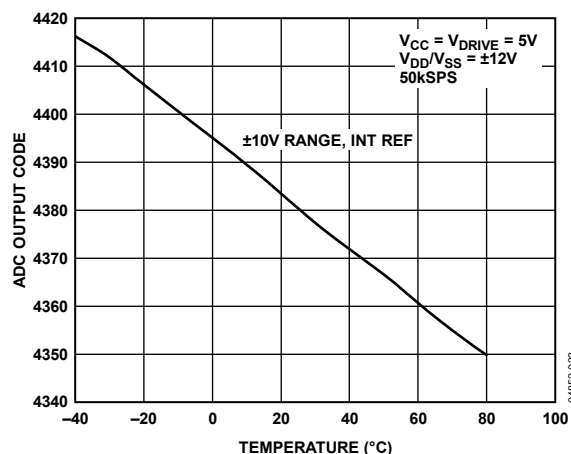


図46. ± 10 V 範囲での温度対 ADC 出力コード

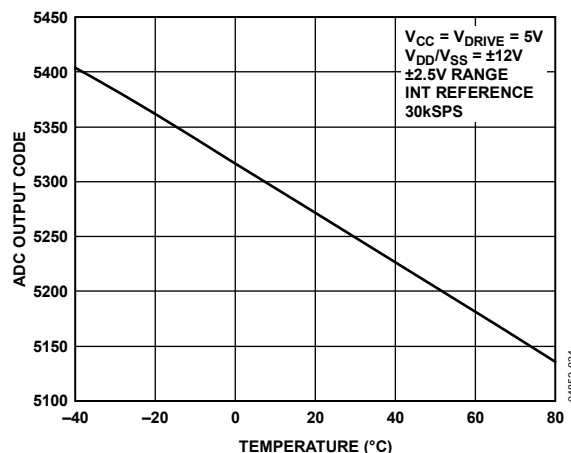


図47. ± 2.5 V 範囲での温度対 ADC 出力コード

動作モード

AD7328は、柔軟なパワー・マネジメント・オプションを提供するためにデザインされた複数の動作モードを持っています。これらのオプションを選択して、さまざまなアプリケーションの要求に対して消費電力/スループット・レート比を最適化することができます。AD7328の動作モードは、コントロール・レジスタのパワー・マネジメント・ビット(ビットPM1とビットPM0)から制御されます(表11参照)。デフォルトのモードはノーマル・モードで、すべての内部回路がフルにパワーアップします。

ノーマル動作モード

(PM1 = PM0 = 0)

このモードは、AD7328のフル・パワーアップ状態で最大スループット・レート性能を持つようにデザインされています。図48に、ノーマル・モードでのAD7328の全体的な動作を示します。

シリアル・インターフェースのセクションで示すように、変換はCSの立ち下がりエッジで開始され、トラック・アンド・ホールドはホールド・モードになります。書き込みビットがセットされている場合、16 SCLKでの転送中にDINライン上のデータが内蔵レジスタの1つにロードされます。レジスタの選択は、レジスタ・セレクト・ビットを設定することにより行います(表8)。

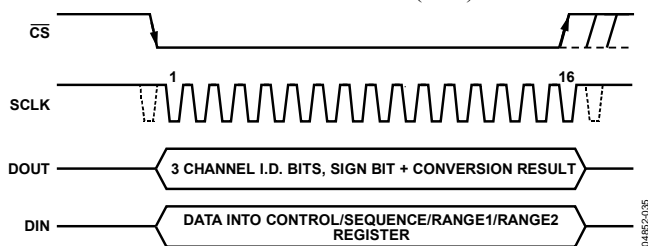


図48. ノーマル動作モード

コントロール・レジスタのPM1とPM0が共に0のとき、AD7328は変換終了時にフル・パワーアップ状態を維持します。

変換を完了して変換結果をアクセスするためには、シリアル・クロックで16サイクルが必要です。変換の終わりに、次の変換までCSはハイ・レベルまたはロー・レベルでアイドルすることができます。

データ転送が完了して休止時間 t_{QUIET} が経過した後に、次の変換を開始することができます。

フル・シャットダウン・モード

(PM1 = PM0 = 1)

このモードでは、AD7328のすべての内部回路がパワーダウンします。デバイスは、フル・シャットダウン中レジスタ内の情報を維持します。コントロール・レジスタのパワー・マネジメント・ビット(ビットPM1とビットPM0)が変更されるまで、AD7328はフル・シャットダウン・モードを維持します。

コントロール・レジスタへ書き込みを行い、PM1 = PM0 = 1に設定すると、デバイスはフル・シャットダウン・モードになります。コントロール・レジスタが更新されると、SCLKの15番目の立ち上がりエッジでAD7328はフル・シャットダウン・モードになります。

フル・シャットダウン・モードでコントロール・レジスタに書き込みを行ってパワー・マネジメント・ビット(ビットPM1とビットPM0)の各ビットを0(ノーマル・モード)に設定すると、コントロール・レジスタが更新されたとき、デバイスはSCLKの15番目の立ち上がりエッジでパワーアップを開始します。図49に、AD7328がフル・シャットダウン・モードから抜け出す方法を示します。AD7328のフル・パワーアップを確実にするため、次のCS立ち下がりエッジの前に $t_{\text{POWER-UP}}$ の経過を待つ必要があります。

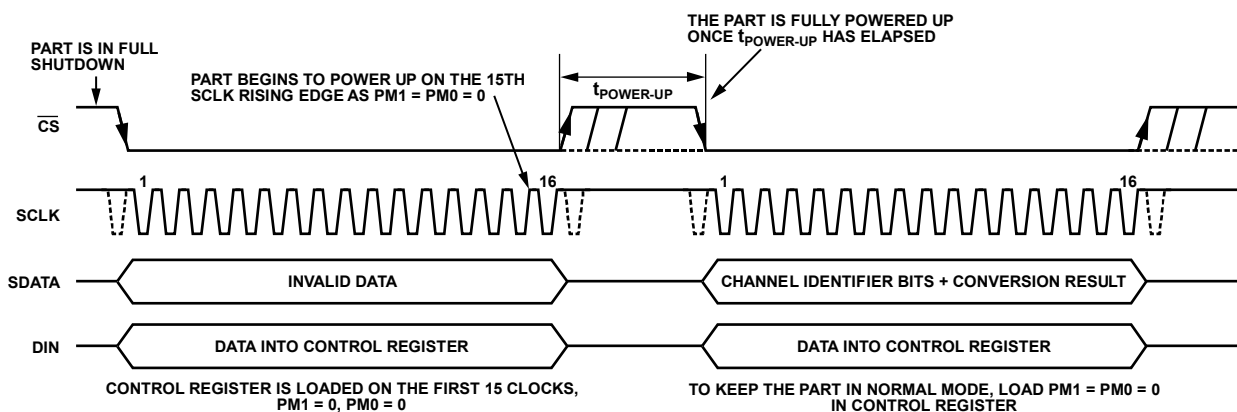


図49. フル・シャットダウン・モードの終了

自動シャットダウン・モード

(PM1 = 1, PM0 = 0)

自動シャットダウン・モードを選択すると、AD7328はSCLKの15番目の立ち上がりエッジで自動的にシャットダウンを開始します。自動シャットダウン・モードでは、すべての内部回路がパワーダウンします。AD7328は、自動シャットダウン中レジスタ内の情報を保持します。トラック・アンド・ホールドは、自動シャットダウン中ホールド・モードになります。シャットダウン中ホールド・モードであったトラック・アンド・ホールドは、CSの立ち上がりエッジで、AD7328がパワーアップを開始するとトラック・モードに戻ります。自動シャットダウンからパワーアップに要する時間は500 μ sです。

コントロール・レジスタを自動シャットダウン・モードになるように設定すると、SCLKの15番目の立ち上がりエッジで自動シャットダウン・モードになります。図50に、デバイスの自動シャットダウン・モードの開始を示します。自動シャットダウン・モードになった後、CS信号をロー・レベルにしてデバイスの自動シャットダウン・モードを維持する必要があります。AD7328は、CSの立ち上がりエッジで自動的にパワーアップを開始します。CS信号をロー・レベルしてから有効な変換が開始されるまでに要する時間は $t_{POWER-UP}$ です。この有効な変換が完了すると、AD7328はSCLKの15番目の立ち上がりエッジで再度パワーダウンします。デバイスの自動シャットダウン・モードを維持するときは、CS信号をロー・レベルに維持する必要があります。

自動スタンバイ・モード

(PM1 = 0, PM0 = 1)

自動スタンバイ・モードでは、AD7328の一部がパワーダウンしますが、内蔵リファレンス電圧は動作したままです。内蔵リファレンス電圧をイネーブルするときは、コントロール・レジスタのリファレンス・ビットを1に設定する必要があります。このモードは自動シャットダウンと同じですが、AD7328のパワーアップを高速化することができます。

自動シャットダウン・モードと同様に、AD7328はコントロール・レジスタが更新されると、SCLKの15番目の立ち上がりエッジでスタンバイ・モードを開始します(図50参照)。AD7328は、スタンバイ中レジスタ内の情報を保持します。AD7328は、CSの立ち上がりエッジを受信するまでスタンバイを維持します。ADCは、CSの立ち上がりエッジでパワーアップを開始します。デバイスのスタンバイ中ホールド・モードであったトラック・アンド・ホールドがCSの立ち上がりエッジでトラック・モードに戻ります。

スタンバイからのパワーアップ時間は700 nsです。有効な変換のためには700 nsが経過した後に、CSをロー・レベルにする必要があります。この有効な変換が完了すると、AD7328はSCLKの15番目の立ち上がりエッジで再度スタンバイに戻ります。デバイス・スタンバイ・モードに維持するときは、CS信号をロー・レベルに維持する必要があります。

図50に、デバイスの自動シャットダウン・モードを示します。イベントのシーケンスは、自動スタンバイ・モードの開始の場合と同じです。図50では、パワー・マネジメント・ビットは自動シャットダウンに設定されています。自動スタンバイ・モードに対しては、パワー・マネジメント・ビットのPM1とPM0にそれぞれ0と1を設定する必要があります。

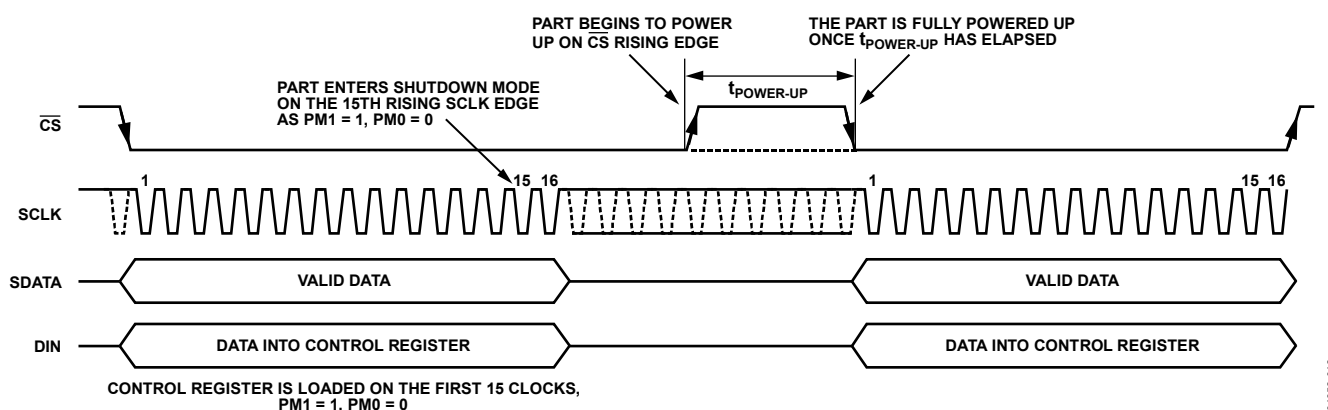


図50.自動シャットダウン/自動スタンバイ・モードの開始

消費電力とスループット・レートとの関係

AD7328 の消費電力はスループット・レートにより変わります。AD7328 のスタティック消費電力は非常に小さいため、スループット・レートを小さくすると、大きな消費電力の節約を行うことができます。図 51 と 図 52 に、それぞれ AD7328 を $V_{CC} = 3V$ と $V_{CC} = 5V$ で動作させたときの消費電力対スループット・レートを示します。両プロットは、サンプル周波数を小さくすると AD7328 の平均消費電力が大幅に減少することを示しています。これは、固定 SCLK 値を使用するか、サンプリング周波数でスケールするかによらず成り立ちます。図 51 と 図 52 に、固定の 20 MHz SCLK とサンプリング周波数でスケールされる可変 SCLK に対して ノーマル・モード で動作するときの消費電力を示します。

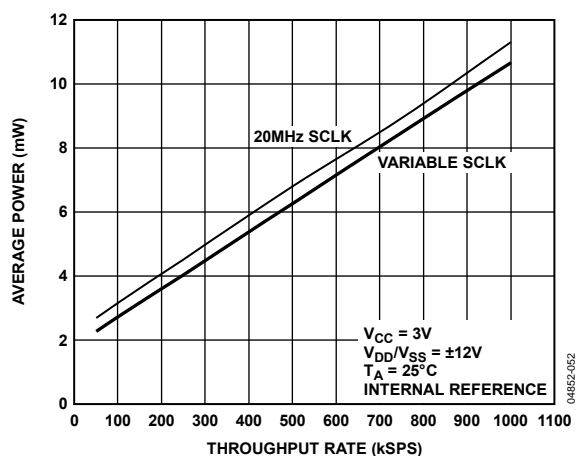


図51.消費電力対スループット・レート、 $V_{CC} = 3V$

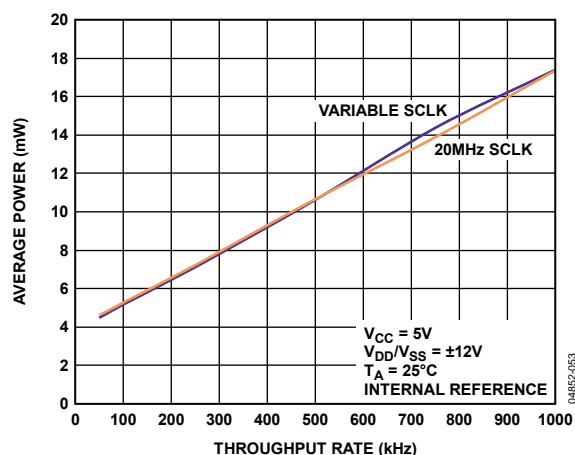


図52. $V_{CC} = 5V$ での消費電力対スループット・レート

シリアル・インターフェース

図 53 に、AD7328 シリアル・インターフェースのタイミング図を示します。シリアル・クロックは変換クロックとして使用され、変換時に AD7328 に入出力される情報の転送制御にも使用されます。

CS 信号が、データ転送と変換プロセスを開始させます。CS の立ち下がりエッジで、トラック・アンド・ホールドがホールド・モードになり、バスはスリー・ステートから抜け出します。次にアナログ入力信号がサンプルされます。変換が開始されてから完了までに SCLK で 16 サイクルが必要です。

SCLK の 14 番目の立ち上がりエッジで、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。SCLK の 16 番目の立ち下がりエッジ、DOUT ラインがスリー・ステートに戻ります。SCLK の 16 サイクルが経過する前に CS の立ち上がりエッジが発生すると、変換は中止されて、DOUT ラインがスリー・ステートに戻ります。CS 信号がハイ・レベルにされるタイミングに応じて、アドレス指定されたレジスタが更新されます。

データは、SCLK の立ち下がりエッジで AD7328 に入力されます。DIN ライン上の上位 3 ビットをデコードして、アドレス指定されたレジスタを選択します。コントロール・レジスタは、12 ビット・レジスタです。コントロール・レジスタが上位 3 ビットでアドレス指定されると、DIN ライン上のデータが SCLK の 15 番目の立ち上がりエッジでコントロール・レジスタに読み込まれます。シーケンス・レジスタまたはいずれかのレンジ・レジスタがアドレス指定されると、DIN ライン上のデータがアドレス指定されたレジスタへ SCLK の 11 番目の立ち下がりエッジでロードされます。

変換データは、SCLK の各立ち下がりエッジで AD7328 から出力されます。DOUT ライン上のデータは、3 ビットのチャンネル識別ビット、1 ビットの符号ビット、12 ビットの変換結果から構成されています。チャンネル識別ビットは、チャンネルと変換結果との対応の表示に使用します。

コントロール・レジスタの Weak/Three-State ビットがセットされると、DOUT ラインは SCLK の 16 番目の立ち下がりエッジで真のスリー・ステートに戻る代わりに、次のシリアル転送の ADD3 に対応するロジック・レベルへ弱くプルアップされます。これは、次のシリアル転送の上位ビットのセットアップが、CS の立ち下がりエッジの最初の SCLK 立ち下がりエッジに間に合うようにするためです。Weak/Three-State ビットに 0 が設定され、かつ DOUT ラインが変換と変換の間に真のスリー・ステートに戻る場合は、AD7328 にインターフェースする特定のプロセッサに応じて、プロセッサが ADD3 ビットを出力するのに間に合うことができ有効になります。Weak/Three-State ビットが 1 に設定される場合は、DOUT ラインは前の変換後に ADD3 に駆動されていますが、弱く駆動されているため、他のデバイスがバスを制御することができます。これによりバス競合の問題は発生しません。これは、たとえば 10 kΩ のプルアップまたはプルダウン抵抗は、ADD3 のロジック・レベルを上書きするのに十分であるためです。Weak/Three-State ビットに 1 が設定される場合は、ADD3 は CS の立ち下がりエッジ後 9 ns (typ) で有効になります。これは、変換後に DOUT ラインがスリー・ステートに戻る際の 14 ns と対照的です。

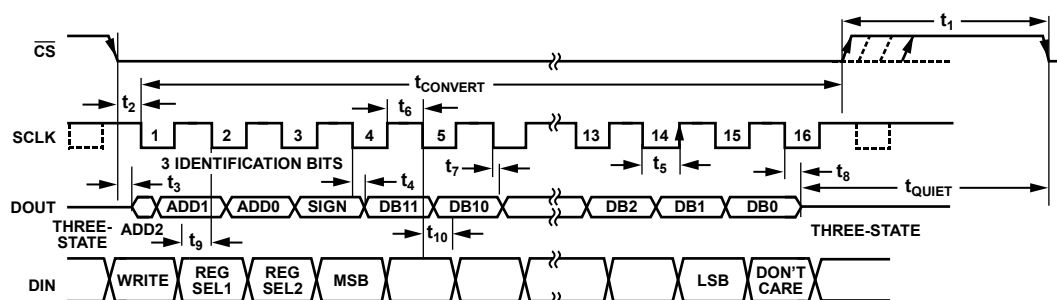


図53.シリアル・インターフェースのタイミング図(コントロール・レジスタの書き込み)

マイクロプロセッサ・インターフェース

7328 に内蔵されているシリアル・インターフェースを使うと、さまざまなマイクロプロセッサにデバイスを直接接続することができます。この節では、AD7328 を一般的な幾つかのマイクロコントローラや DSP のシリアル・インターフェース・プロトコルとインターフェースさせる方法について説明します。

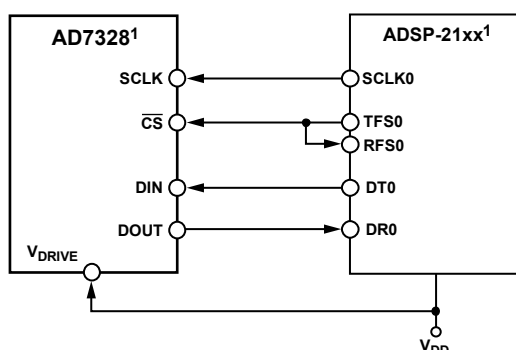
AD7328 と ADSP-21XX とのインターフェース

ADSP-21xx ファミリーの DSP は外付けロジックなしで直接 AD7328 にインターフェースすることができます。AD7328 の V_{DRIVE} ピンでは、ADSP-21xx と同じ電源電圧を使います。この方法により、必要に応じて、ADC はシリアル・インターフェースより高い電圧で動作することが可能になります。ADSP-21xx の SPORT0 は、表 14 に示すように設定する必要があります。

表14.SPORT0 コントロール・レジスタのセットアップ

Setting	Description
TFSW = RFSW = 1	Alternative framing
INVRFS = INVTFS = 1	Active low frame signal
DTYPE = 00	Right justify data
SLEN = 1111	16-bit data-word
ISCLK = 1	Internal serial clock
TFSR = RFSR = 1	Frame every word
IRFS = 0	
ITFS = 1	

接続図を図 54 に示します。ADSP-21xx では TFS0 と RFS0 を接続します。TFS0 は出力として、RFS0 は入力として、それぞれ設定します。DSP は交番フレーミング・モードで動作し、SPORT0 コントロール・レジスタは表 14 のように設定します。TFS 上で発生されるフレーム同期信号は CS に接続され、すべての信号処理アプリケーションと同様に等間隔サンプリングが必要です。ただし、この例では、タイマ割り込みを使って、ADC のサンプリング・レートを制御するため、ある条件下で、等間隔サンプリングにならないことがあります。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図54.AD7328 と ADSP-21xx とのインターフェース

タイマ・レジスタには、必要とされるサンプル間隔で割り込みを発生させる値が書き込まれます。割り込みを受

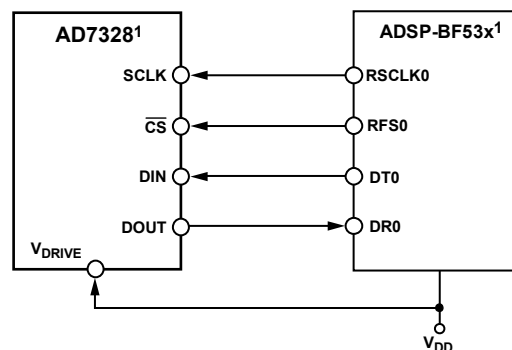
け付けると、値は TFS/DT (ADC コントロール・ワード) と一緒に転送されます。TFS を使って RFS すなわちデータの読み込みを制御します。

シリアル・クロックの周波数は SCLKDIV レジスタに設定されます。TFS と一緒に送信する命令が与えられると (AX0 = TX0)、シリアル・クロックの状態がチェックされます。SCLK がハイ・レベル、ロー・レベル、ハイ・レベルに変化するのを DSP が待った後に送信が開始されます。送信命令が SCLK の立ち上がりエッジまたはその近傍で発生するようにタイマと SCLK の値が設定されると、データが直ちに送信されるか、または次のクロック・エッジで送信されます。

たとえば、ADSP-2111 は 16 MHz のマスター・クロック周波数を持っています。SCLKDIV レジスタに値 3 を書き込むと、SCLK = 2 MHz が得られ、各 1 SCLK 周期は 8 マスター・クロック周期に等しくなります。タイマ・レジスタに値 803 を書き込んだ場合、割り込みの間に、さらにその後送信命令の間に 100.5 サイクルの SCLK が経過します。この場合、SCLK のエッジで送信命令が発生するため、不等間隔サンプリングになります。割り込みの間の SCLK 数が整数 N である場合、DSP により等間隔サンプリングが設定されます。

AD7328 と ADSP-BF53X とのインターフェース

ADSP-BF53x ファミリーの DSP は外付けロジックなしで直接 AD7328 にインターフェースすることができます (図 55 参照)。SPORT0 受信コンフィギュレーション 1 レジスタは、表 15 に示すように設定する必要があります。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図55.AD7328 と ADSP-BF53x とのインターフェース

表15.SPORT0 受信コンフィギュレーション 1 レジスタ

Setting	Description
RCKFE = 1	Sample data with falling edge of RSCLK
LRFS = 1	Active low frame signal
RFSR = 1	Frame every word
IRFS = 1	Internal RFS used
RLSBIT = 0	Receive MSB first
RDTYPE = 00	Zero fill
IRCLK = 1	Internal receive clock
RSPEN = 1	Receive enable
SLEN = 1111	16-bit data-word
TFSR = RFSR = 1	

アプリケーション情報

レイアウトとグラウンド接続

AD7328 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすると、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。

最適なシールド効果を実現するためには、一般にエッチング部分を最小にすることが最適です。AD7328 のすべての AGND ピンは AGND プレーンに接続する必要があります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 ヶ所で接続する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD7328 を使用する場合は、この接続は 1 ヶ所行う必要があります。AD7328 のグラウンド・ピンのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

電源プレーンとグラウンド・プレーンへの接続はしっかり行う必要があります。これは、各電源と各グラウンド・ピンに 1 個または複数のビアを使って行うことができます。

ノイズがチップに混入するので、AD7328 デバイスの真下をデジタル・ラインが通らないようにしてください。ただし、ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7328 の下を通過することは可能です。AD7328 デバイスの電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグ

リッチによる影響を軽減させます。

クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。パターンは、互いに右角度となるように配置して、ボード内のフィードスルー効果を減少させます。マイクロストリップ技術の使用は最適な方法ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号は反対面に配線します。

デカップリングを正しく行うことも重要です。すべてのアナログ電源と AGND の間に $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。 $0.1\mu\text{F}$ のコンデンサは、一般的なセラミック型コンデンサや表面実装型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使う必要があります。これらの低 ESR で低 ESI のコンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。

外形寸法

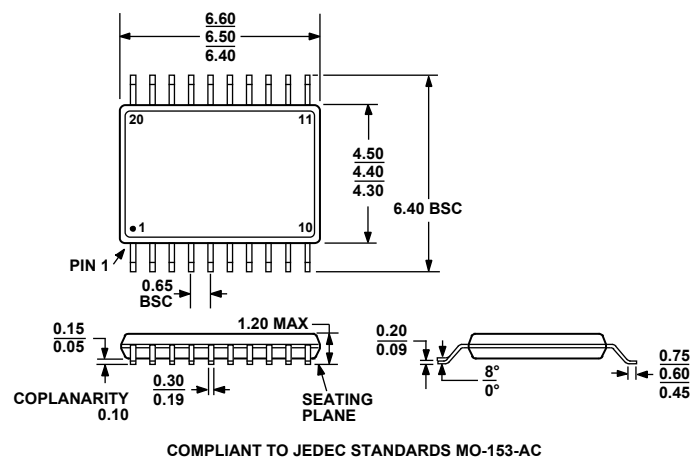


図56.20 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]

(RU-20)

寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7328BRUZ ¹	-40°C to +85°C	20-Lead TSSOP	RU-20
AD7328BRUZ-REEL ¹	-40°C to +85°C	20-Lead TSSOP	RU-20
AD7328BRUZ-REEL7 ¹	-40°C to +85°C	20-Lead TSSOP	RU-20
EVAL-AD7328CB ²		Evaluation Board	
EVAL-CONTROL BRD2 ³		Controller Board	

¹Z = 鉛フリー・デバイス。²これは単独の評価ボードとして、または評価/デモ目的の EVAL-CONTROL ボードと組み合わせて使用することができます。³本ボードを使うと、PCからの制御とCBサフィックスが付くすべてのアナログ・デバイス評価ボードとの通信が可能です。評価キット全体を注文するときは、特定のADC評価ボード(例えばEVAL-AD7328CB)、EVAL-CONTROL BRD2、12Vトランスも注文する必要があります。詳細については、関連評価ボードのテクニカル・ノートをご覧ください。