



6ピンSOT-23パッケージの1.6V、 マイクロパワー12/10/8ビットA/Dコンバータ

AD7466/AD7467/AD7468*

特長

$V_{DD}=1.6\sim 3.6V$ で仕様規定

低消費電力:

電源3V、100kSPSで0.62mW (typ)

電源3.6V、50kSPSで0.48mW (typ)

電源1.6V、100kSPSで0.12mW (typ)

高速スループット・レート: 200 kSPS

広入力帯域幅:

30kHz入力周波数に対してS/N比71dB

電源/シリアル・クロック速度の柔軟な管理

パイプライン遅延なし

高速シリアル・インターフェース:

SPI®/QSPI™/MICROWIRE™/DSPコンパチブル

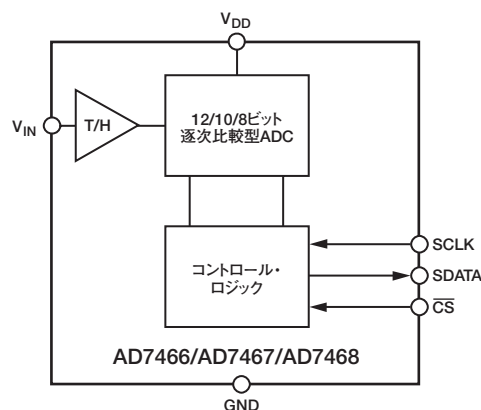
自動パワーダウン

パワーダウン・モード: 8nA (typ)

6ピンSOT-23パッケージ

8ピンMSOPパッケージ

機能ブロック図



アプリケーション

バッテリー電源システム

医療機器

遠隔データ・アクイジション

絶縁データ・アクイジション

概要

AD7466/AD7467/AD7468は、それぞれ12ビット、10ビット、8ビットの高速、低消費電力の逐次比較型A/Dコンバータです。単電源1.6~3.6Vで動作し、200kSPSまでのスループット・レートを実現します。また、3MHzを超える入力周波数を処理できる低ノイズ、広帯域のトラック/ホールド・アンプを備えています。

変換プロセスとデータ・アクイジションを $\overline{CS}$ とシリアル・クロックを使って制御しているため、マイクロプロセッサまたはDSPとのインターフェースが可能です。入力信号は $\overline{CS}$ の立ち下がりエッジでサンプル処理され、変換もこの時点から開始されます。AD7466/AD7467/AD7468にはパイプライン遅延がありません。

デバイスは、高速スループット・レートで低消費電力を実現するために、先端的な設計技術を用いています。

デバイスのリファレンスは、内部の V_{DD} から得ます。これによって、最大の入力ダイナミック・レンジが可能になり、アナログ入力範囲は0V~ V_{DD} になります。変換レートはSCLKで決まります。

製品のハイライト

1. 電源電圧1.6~3.6Vで仕様規定
2. SOT-23パッケージの12/10/8ビットADC
3. 低消費電力で高いスループットを実現。3V、100kSPS、ノーマル・モードの動作における消費電力は最大0.9mW
4. 電力/シリアル・クロック速度の柔軟な管理
変換レートはシリアル・クロックで決定されるので、シリアル・クロックが高速なほど、変換時間は短くなります。変換後の自動パワーダウンにより、パワーダウン時の平均消費電力が小さくなります。現在の消費電力は最大0.1 μ Aで、パワーダウン時には代表値で8nAになります。
5. 電源をリファレンスに使用
6. パイプライン遅延なし
 $\overline{CS}$ 入力から正確に変換のタイミングを制御する標準的な逐次比較型A/Dコンバータを搭載しています。

* 特許申請中

REV. 0

アナログ・デバイセズ株式会社

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。記載の商標および登録商標は、それぞれの企業が所有するものです。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

AD7466/AD7467/AD7468

AD7466 — 仕様¹ (特に指定のない限り、 $V_{DD}=1.6\sim 3.6V$ 、 $f_{SCLK}=3.4MHz$ 、 $f_{SAMPLE}=100kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$)

パラメータ	Bバージョン	単位	テスト条件／備考
ダイナミック特性			$f_{IN}=30kHz$ サイン波
信号対 (ノイズ+歪み) 比 (SINAD) ²	69	dB (min)	$1.8V \leq V_{DD} \leq 2V$
	70	dB (min)	$2.5V \leq V_{DD} \leq 3.6V$
	70	dB (typ)	$V_{DD}=1.6V$
S/N比 (SNR) ²	70	dB (min)	$1.8V \leq V_{DD} \leq 2V$
	71	dB (typ)	$1.8V \leq V_{DD} \leq 2V$
	71	dB (min)	$2.5V \leq V_{DD} \leq 3.6V$
	70.5	dB (typ)	$V_{DD}=1.6V$
全高調波歪み (THD) ²	-83	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ²	-85	dB (typ)	
相互変調歪み (IMD) ²			$f_a=29.1kHz$ 、 $f_b=29.9kHz$
2次成分	-84	dB (typ)	
3次成分	-86	dB (typ)	
アパーチャ遅延	10	ns (typ)	
アパーチャ・ジッタ	40	ps (typ)	
フルパワー帯域	3.2	MHz (typ)	3dBで、 $2.5V \leq V_{DD} \leq 3.6V$
	1.9	MHz (typ)	3dBで、 $1.6V \leq V_{DD} \leq 2.2V$
	750	kHz (typ)	0.1dBで、 $2.5V \leq V_{DD} \leq 3.6V$
	450	kHz (typ)	0.1dBで、 $1.6V \leq V_{DD} \leq 2.2V$
DC精度			$V_{DD}=1.6V$ のとき、最大仕様規定ではなく代表値として適用
分解能	12	ビット	
積分非直線性 ²	± 1.5	LSB (max)	
微分非直線性 ²	$-0.9/+1.5$	LSB (max)	12ビットでノー・ミスコード保証
オフセット誤差 ²	± 1	LSB (max)	
ゲイン誤差 ²	± 1	LSB (max)	
全無調整誤差 (TUE) ²	± 2	LSB (max)	
アナログ入力			
入力電圧範囲	$0 \sim V_{DD}$	V	
DCリーク電流	± 1	μA (max)	
入力容量	20	pF (typ)	
ロジック入力			
入力ハイ電圧、 V_{INH}	$0.7 \times V_{DD}$	V (min)	$1.6V \leq V_{DD} < 2.7V$
	2	V (min)	$2.7V \leq V_{DD} \leq 3.6V$
入力ロー電圧、 V_{INL}	$0.2 \times V_{DD}$	V (max)	$1.6V \leq V_{DD} < 1.8V$
	$0.3 \times V_{DD}$	V (max)	$1.8V \leq V_{DD} < 2.7V$
	0.8	V (max)	$2.7V \leq V_{DD} \leq 3.6V$
入力電流、 I_{IN} 、SCLKピン	± 1	μA (max)	代表値で20nA、 $V_{IN}=0V$ または V_{DD}
入力電流、 I_{IN} 、 $\overline{CS}$ ピン	± 1	μA (typ)	
入力容量、 C_{IN} ³	10	pF (max)	
ロジック出力			
出力ハイ電圧、 V_{OH}	$V_{DD}-0.2$	V (min)	$I_{SOURCE}=200\mu A$ ； $V_{DD}=1.6\sim 3.6V$
出力ロー電圧、 V_{OL}	0.2	V (max)	$I_{SINK}=200\mu A$
フローティング状態リーク電流	± 1	μA (max)	
フローティング状態出力容量 ³	10	pF (max)	
出力コーディング	ストレート・バイナリ (自然2進数)		
変換レート			
変換時間	4.70	μs (max)	16SCLKサイクル (3.4MHz SCLK)
スループット・レート	200	kSPS (max)	シリアル・インターフェースのセクションを参照

AD7466 — 仕様¹ (続き)

パラメータ	Bバージョン	単位	テスト条件／備考
電源要求	1.6/3.6	V (min/max)	デジタルI/P=0VまたはV _{DD}
V _{DD}			V _{DD} =3V、f _{SAMPLE} =100kSPS
I _{DD}	300	μA (max)	V _{DD} =3V、f _{SAMPLE} =50kSPS
ノーマル・モード (動作時) ⁴	110	μA (typ)	V _{DD} =3V、f _{SAMPLE} =10kSPS
	20	μA (typ)	
	240	μA (max)	V _{DD} =2.5V、f _{SAMPLE} =100kSPS
	80	μA (typ)	V _{DD} =2.5V、f _{SAMPLE} =50kSPS
	16	μA (typ)	V _{DD} =2.5V、f _{SAMPLE} =10kSPS
	165	μA (max)	V _{DD} =1.8V、f _{SAMPLE} =100kSPS
	50	μA (typ)	V _{DD} =1.8V、f _{SAMPLE} =50kSPS
	10	μA (typ)	V _{DD} =1.8V、f _{SAMPLE} =10kSPS
パワーダウン	0.1	μA (max)	SLCKオン／オフ、代表値で8nA
消費電力 ⁵			
ノーマル・モード (動作時)	0.9	mW (max)	V _{DD} =3V、f _{SAMPLE} =100kSPS
	0.6	mW (max)	V _{DD} =2.5V、f _{SAMPLE} =100kSPS
	0.3	mW (max)	V _{DD} =1.8V、f _{SAMPLE} =100kSPS
パワーダウン	0.3	μW (max)	V _{DD} =3V

注

¹ Bバージョンの温度範囲：-40～+85℃² 用語解説を参照。³ 適合性を得るために25℃でサンプル・テストを実施。⁴ 特性10を参照。⁵ 消費電力のセクションを参照。

仕様は予告なく変更されることがあります。

AD7467 — 仕様¹ (特に指定のない限り、V_{DD}=1.6～3.6V、f_{SCLK}=3.4MHz、f_{SAMPLE}=100kSPS、T_A=T_{MIN}～T_{MAX})

パラメータ	Bバージョン	単位	テスト条件／備考
ダイナミック特性			V _{DD} =1.6Vのとき、最大／最小仕様規定ではなく代表値として適用 f _{IN} =30kHzサイン波
信号対 (ノイズ+歪み) 比 (SINAD) ²	61	dB (min)	
全高調波歪み (THD) ²	-72	dB (max)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ²	-74	dB (max)	
相互変調歪み (IMD) ²			fa=29.1kHz、fb=29.9kHz
2次成分	-83	dB (typ)	
3次成分	-83	dB (typ)	
アバーチャ遅延	10	ns (typ)	
アバーチャ・ジッタ	40	ps (typ)	
フルパワー帯域	3.2	MHz (typ)	3dBで、2.5V≤V _{DD} ≤3.6V
	1.9	MHz (typ)	3dBで、1.6V≤V _{DD} ≤2.2V
	750	kHz (typ)	0.1dBで、2.5V≤V _{DD} ≤3.6V
	450	kHz (typ)	0.1dBで、1.6V≤V _{DD} ≤2.2V
DC精度			V _{DD} =1.6Vのとき、最大仕様規定ではなく代表値として適用
分解能	10	ビット	
積分非直線性 ²	±0.5	LSB (max)	
微分非直線性 ²	±0.5	LSB (max)	10ビットでノーマス・コード保証
オフセット誤差 ²	±0.2	LSB (max)	
ゲイン誤差 ²	±0.2	LSB (max)	
全無調整誤差 (TUE) ²	±1	LSB (max)	
アナログ入力			
入力電圧範囲	0～V _{DD}	V	
DCリーク電流	±1	μA (max)	
入力容量	20	pF (typ)	

AD7466/AD7467/AD7468

AD7467 — 仕様¹ (続き)

パラメータ	Bバージョン	単位	テスト条件／備考
ロジック入力 入力ハイ電圧、 V_{INH} 入力ロー電圧、 V_{INL} 入力電流、 I_{IN} 、 $\overline{SCLK}$ ピン 入力電流、 I_{IN} 、 $\overline{CS}$ ピン 入力容量、 C_{IN} ³	$0.7 \times V_{DD}$ 2 $0.2 \times V_{DD}$ $0.3 \times V_{DD}$ 0.8 ± 1 ± 1 10	V (min) V (min) V (max) V (max) V (max) μA (max) μA (typ) pF (max)	$1.6V \leq V_{DD} < 2.7V$ $2.7V \leq V_{DD} \leq 3.6V$ $1.6V \leq V_{DD} < 1.8V$ $1.8V \leq V_{DD} < 2.7V$ $2.7V \leq V_{DD} \leq 3.6V$ 代表値で20nA、 $V_{IN}=0V$ または V_{DD}
ロジック出力 出力ハイ電圧、 V_{OH} 出力ロー電圧、 V_{OL} フローティング状態リーク電流 フローティング状態出力容量 ³ 出力コーディング	$V_{DD}-0.2$ 0.2 ± 1 10 ストレート・バイナリ (自然2進数)	V (min) V (max) μA (max) pF (max)	$I_{SOURCE}=200\mu A$ ； $V_{DD}=1.6\sim 3.6V$ $I_{SINK}=200\mu A$
変換レート 変換時間 スループット・レート	3.52 275	μs (max) kSPS (max)	12 SCLKサイクル (3.4MHz SCLK) シリアル・インターフェースのセクションを参照
電源要求 V_{DD} I_{DD} ノーマル・モード (動作時) パワーダウン 消費電力 ⁴ ノーマル・モード (動作時) パワーダウン	1.6/3.6 210 170 140 0.1 0.63 0.42 0.25 0.3	V (min/max) μA (max) μA (max) μA (max) μA (max) mW (max) mW (max) mW (max) μW (max)	デジタルI/P=0Vまたは V_{DD} $V_{DD}=3V$ 、 $f_{SAMPLE}=100kSPS$ $V_{DD}=2.5V$ 、 $f_{SAMPLE}=100kSPS$ $V_{DD}=1.8V$ 、 $f_{SAMPLE}=100kSPS$ SLCKオン／オフ、代表値で8nA $V_{DD}=3V$ 、 $f_{SAMPLE}=100kSPS$ $V_{DD}=2.5V$ 、 $f_{SAMPLE}=100kSPS$ $V_{DD}=1.8V$ 、 $f_{SAMPLE}=100kSPS$ $V_{DD}=3V$

注
¹ Bバージョンの温度範囲：-40～+85℃
² 用語解説を参照。
³ 適合性を得るために25℃でサンプル・テストを実施。
⁴ 消費電力のセクションを参照。

仕様は予告なく変更されることがあります。

AD7468 — 仕様¹ (特に指定のない限り、 $V_{DD}=1.6\sim 3.6V$ 、 $f_{SCLK}=3.4MHz$ 、 $f_{SAMPLE}=100kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$)

パラメータ	Bバージョン	単位	テスト条件／備考
ダイナミック特性 信号対 (ノイズ+歪み) 比 (SINAD) ² 全高調波歪み (THD) ² ピーク高調波またはスプリアス・ノイズ (SFDR) ² 相互変調歪み (IMD) ² 2次成分 3次成分 アバーチャ遅延 アバーチャ・ジッタ フルパワー帯域	 49 -66 -66 -77 -77 10 40 3.2 1.9 750 450	 dB (min) dB (max) dB (max) dB (typ) dB (typ) ns (typ) ps (typ) MHz (typ) MHz (typ) kHz (typ) kHz (typ)	$V_{DD}=1.6V$ 、 $f_{IN}=30kHz$ サイン波のとき、最大／最小仕様規定ではなく代表値として適用 $f_a=29.1kHz$ 、 $f_b=29.9kHz$ 3dBで、 $2.5V \leq V_{DD} \leq 3.6V$ 3dBで、 $1.6V \leq V_{DD} \leq 2.2V$ 0.1dBで、 $2.5V \leq V_{DD} \leq 3.6V$ 0.1dBで、 $1.6V \leq V_{DD} \leq 2.2V$

AD7468 — 仕様¹ (続き)

パラメータ	Bバージョン	単位	テスト条件／備考
DC精度			$V_{DD}=1.6V$ のとき、最大仕様規定ではなく代表値として適用
分解能	8	ビット	
積分非直線性 ²	± 0.2	LSB (max)	
微分非直線性 ²	± 0.2	LSB (max)	8ビットでノー・ミスコード保証
オフセット誤差 ²	± 0.1	LSB (max)	
ゲイン誤差 ²	± 0.1	LSB (max)	
全無調整誤差 (TUE) ²	± 0.3	LSB (max)	
アナログ入力			
入力電圧範囲	$0 \sim V_{DD}$	V	
DCリーク電流	± 1	μA (max)	
入力容量	20	pF (typ)	
ロジック入力			
入力ハイ電圧、 V_{INH}	$0.7 \times V_{DD}$	V (min)	$1.6V \leq V_{DD} < 2.7V$
	2	V (min)	$2.7V \leq V_{DD} \leq 3.6V$
入力ロー電圧、 V_{INL}	$0.2 \times V_{DD}$	V (max)	$1.6V \leq V_{DD} < 1.8V$
	$0.3 \times V_{DD}$	V (max)	$1.8V \leq V_{DD} < 2.7V$
	0.8	V (max)	$2.7V \leq V_{DD} \leq 3.6V$
入力電流、 I_{IN} 、SCLKピン	± 1	μA (max)	代表値で20nA、 $V_{IN}=0V$ または V_{DD}
入力電流、 I_{IN} 、 $\overline{CS}$ ピン	± 1	μA (typ)	
入力容量、 C_{IN} ³	10	pF (max)	
ロジック出力			
出力ハイ電圧、 V_{OH}	$V_{DD} - 0.2$	V (min)	$I_{SOURCE} = 200\mu A$; $V_{DD} = 1.6 \sim 3.6V$
出力ロー電圧、 V_{OL}	0.2	V (max)	$I_{SINK} = 200\mu A$
フローティング状態リーク電流	± 1	μA (max)	
フローティング状態出力容量 ³	10	pF (max)	
出力コーディング	ストレート・バイナリ (自然2進数)		
変換レート			
変換時間	2.94	μs (max)	10 SCLKサイクル (3.4MHz SCLK)
スループット・レート	320	kSPS (max)	シリアル・インターフェースのセクションを参照
電源要求			
V_{DD}	1.6/3.6	V (min/max)	デジタルI/P=0Vまたは V_{DD}
I_{DD}			$V_{DD}=3V$ 、 $f_{SAMPLE}=100kSPS$
ノーマル・モード (動作時)	190	μA (max)	$V_{DD}=2.5V$ 、 $f_{SAMPLE}=100kSPS$
	155	μA (max)	$V_{DD}=1.8V$ 、 $f_{SAMPLE}=100kSPS$
	120	μA (max)	SLCKオン/オフ、代表値で8nA
パワーダウン	0.1	μA (max)	
消費電力 ⁴			
ノーマル・モード (動作時)	0.57	mW (max)	$V_{DD}=3V$ 、 $f_{SAMPLE}=100kSPS$
	0.4	mW (max)	$V_{DD}=2.5V$ 、 $f_{SAMPLE}=100kSPS$
	0.2	mW (max)	$V_{DD}=1.8V$ 、 $f_{SAMPLE}=100kSPS$
パワーダウン	0.3	μW (max)	$V_{DD}=3V$

注

¹ Bバージョンの温度範囲：-40～+85℃² 用語解説を参照。³ 適合性を得るために25℃でサンプル・テストを実施。⁴ 消費電力のセクションを参照。

仕様は予告なく変更されることがあります。

AD7466/AD7467/AD7468

タイミング仕様¹ (特に指定のない限り、 $V_{DD}=1.6\sim 3.6V$ 、 $T_A=T_{MIN}\sim T_{MAX}$)

パラメータ	AD7466/AD7467/AD7468 T_{MIN} 、 T_{MAX} における限界	単位	解説
f_{SCLK}^2	3.4 10 20 150	MHz (max) kHz (min) ³ kHz (min) ³ kHz (min) ³	$1.6V \leq V_{DD} \leq 3V$ $V_{DD} = 3.3V$ $V_{DD} = 3.6V$
$t_{CONVERT}$	$16 \times t_{SCLK}$ $12 \times t_{SCLK}$ $10 \times t_{SCLK}$		AD7466 AD7467 AD7468
アクイジション時間 ⁴	780 640	ns (max) ns (max)	アクイジション時間/パワーダウンからのパワーアップ時間 $V_{DD} = 1.6V$ $1.8V \leq V_{DD} \leq 3.6V$
t_{QUIET}	10	ns (min)	バスの開放から次の変換の開始までに必要な最小静止時間
t_1	10	ns (min)	最小 $\overline{CS}$ パルス幅
t_2^5	55	ns (min)	$\overline{CS}$ からSCLKまでのセットアップ時間
t_3^6	55	ns (max)	$\overline{CS}$ からSDATAのスリーステート状態がディセーブルになるまでの遅延時間
t_4^6	140	ns (max)	SCLKの立ち下がりエッジの後のデータ・アクセス時間
t_5	$0.4t_{SCLK}$	ns (min)	SCLKロー・パルス幅
t_6	$0.4t_{SCLK}$	ns (min)	SCLKハイ・パルス幅
t_7^6	10	ns (min)	SCLKからデータが有効となるまでのホールド時間
t_8^7	60 7	ns (max) ns (min)	SCLKの立ち下がりエッジからSDATAスリーステート状態まで SCLKの立ち下がりエッジからSDATAスリーステート状態まで

注

¹ 適合性を得るために25℃でサンプル・テストを実施。すべての入力信号の仕様は、 $tr=tf=5ns$ (V_{DD} の10～90%) に対するもので、1.4Vの電圧レベルから時間を計測したものです。

² SCLK入力のMark/Space比は40/60～60/40です。

³ 仕様が保証される最小の f_{SCLK} 。

⁴ 用語解説を参照。アクイジション時間は、デバイスが $\pm 1LSB$ 内のフルスケール・ステップ入力値、または $\pm 0.5LSB$ 内の30kHz AC入力値を取得するために必要な時間です。

⁵ $V_{DD}=1.6V$ 、 $f_{SCLK}=3.4MHz$ の場合は、アクイジション時間の最大値を満たすために $t_2=192ns$ (min) にする必要があります。

⁶ 図1の負荷回路で測定したもので、出力が電圧 V_{IH} または V_{IL} を超えるのに必要な時間と定義されます。

⁷ t_8 は、図1の回路に負荷を加えた場合に、データ出力が0.5V変化するために必要な時間から求められます。50pFコンデンサの充電/放電の影響を除外するために、測定された数値は外挿されています。つまり、タイミング特性に示されている時間 t_8 はバス開放の真の時間であり、バスの負荷には影響されないことを意味します。

仕様は予告なく変更されることがあります。

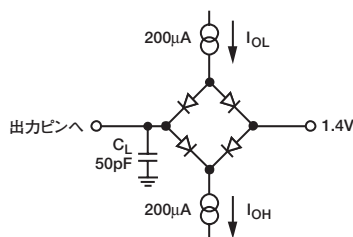


図1. デジタル出力タイミング仕様の負荷回路

図2と図3は、タイミング仕様のセクションに記載したタイミング・パラメータの一部です。

タイミング例1

図3では、 $f_{\text{SCLK}}=3.4\text{MHz}$ 、 100kSPS のスループットの場合、サイクル時間は $t_{\text{CONVERT}}+t_8+t_{\text{QUIET}}=10\mu\text{s}$ となります。 $V_{\text{DD}}=1.8\text{V}$ 、 $t_{\text{CONVERT}}=t_2+15(1/f_{\text{SCLK}})=55\text{ns}+4.41\mu\text{s}=4.46\mu\text{s}$ 、 $t_8=60\text{ns}$ (max) とすれば、 $t_{\text{QUIET}}=5.48\mu\text{s}$ となり、 t_{QUIET} の 10ns の要求を満たします。ポイントAで、デバイスがフルパワーアップされ、完全に信号を取得します。すなわち、アキュイジション/パワーアップ時間は $t_2+2(1/f_{\text{SCLK}})=55\text{ns}+588\text{ns}=643\text{ns}$ で、パワーアップ時間の要件である最大値 640ns を満たすことになります。

タイミング例2

AD7466は、もっと遅いクロック周波数で動作することもできます。図3で、 $V_{\text{DD}}=1.8\text{V}$ 、 $f_{\text{SCLK}}=2\text{MHz}$ 、スループットが 50kSPS とすると、サイクル時間は $t_{\text{CONVERT}}+t_8+t_{\text{QUIET}}=20\mu\text{s}$ となります。 $t_{\text{CONVERT}}=t_2+15(1/f_{\text{SCLK}})=55\text{ns}+7.5\mu\text{s}=7.55\mu\text{s}$ 、 $t_8=60\text{ns}$ (max) とすれば、 $t_{\text{QUIET}}=12.39\mu\text{s}$ となり、 t_{QUIET} の 10ns の要求を満たします。ポイントAで、デバイスがフルパワーアップされ、完全に信号を取得します。すなわち、アキュイジション/パワーアップ時間は $t_2+2(1/f_{\text{SCLK}})=55\text{ns}+1\mu\text{s}=1.05\mu\text{s}$ で、パワーアップ時間の要件である最大値 640ns を満たすことになります。この例やほかのもっと遅いクロック値を使用した場合と同様、デバイスは完全にパワーアップされ、3番目のSCLK立ち上がりエッジの前でもう信号を取得します。ただし、トラック/ホールドがホールド・モードになるのはそのポイント以降です。この例の場合、図3のポイントBあたりでデバイスがパワーアップされ、信号を完全に取得します。

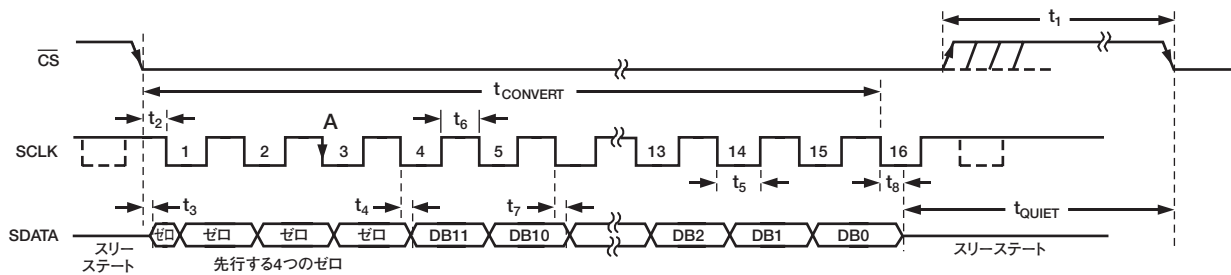
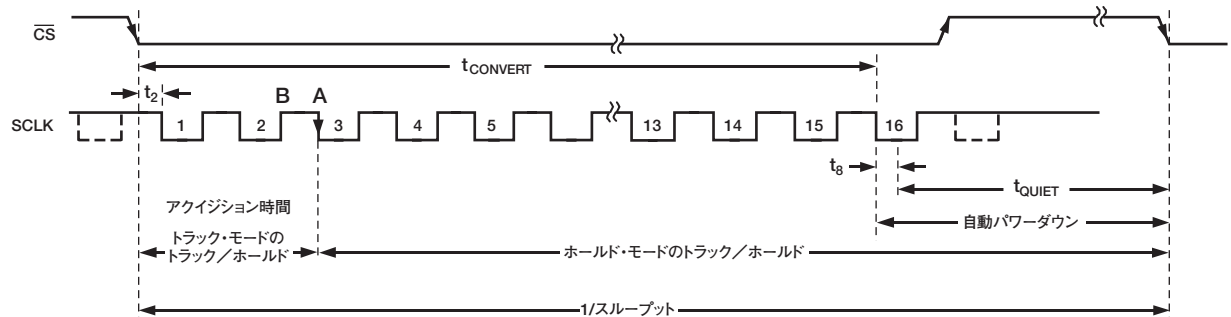


図2. AD7466シリアル・インターフェースのタイミング図



ポイントA：ここで、デバイスがフルパワーアップされ、 V_{IN} を完全に取得します。

図3. AD7466シリアル・インターフェースのタイミング例

AD7466/AD7467/AD7468

絶対最大定格¹

(特に指定のない限り、 $T_A = 25^\circ\text{C}$)

$V_{DD} \sim \text{GND}$	$-0.3 \sim +7\text{V}$
アナログ入力電圧 $\sim \text{GND}$	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
デジタル入力電圧 $\sim \text{GND}$	$-0.3 \sim +7\text{V}$
デジタル出力電圧 $\sim \text{GND}$	$-0.3\text{V} \sim V_{DD} + 0.3\text{V}$
電源ピンを除くピンへの入力電流 ²	$\pm 10\text{mA}$
動作温度範囲	
商業用 (Bバージョン)	$-40 \sim +85^\circ\text{C}$
保管温度範囲	$-65 \sim +150^\circ\text{C}$
ジャンクション温度	$+150^\circ\text{C}$

SOT-23パッケージ

θ_{JA} 熱抵抗	229.6°C/W
θ_{JC} 熱抵抗	91.99°C/W

MSOPパッケージ

θ_{JA} 熱抵抗	205.9°C/W
θ_{JC} 熱抵抗	43.74°C/W
ピン温度、ハンダ付け	
蒸着 (60秒)	215°C
赤外線 (15秒)	220°C
ESD	3.5kV

注

¹ 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態にすると、デバイスの信頼性に影響を与えることがあります。

² 最大100mAまでの過渡電流では、SCRラッチアップは発生しません。

オーダー・ガイド

モデル	温度範囲	線形誤差 (LSB) ¹	パッケージ・オプション ²	ブランド情報
AD7466BRT-REEL	$-40 \sim +85^\circ\text{C}$	± 1.5 (max)	RT-6	CLB
AD7466BRT-REEL7	$-40 \sim +85^\circ\text{C}$	± 1.5 (max)	RT-6	CLB
AD7466BRT-RL2	$-40 \sim +85^\circ\text{C}$	± 1.5 (max)	RT-6	CLB
AD7466BRM	$-40 \sim +85^\circ\text{C}$	± 1.5 (max)	RM-8	CLB
AD7466BRM-REEL	$-40 \sim +85^\circ\text{C}$	± 1.5 (max)	RM-8	CLB
AD7466BRM-REEL7	$-40 \sim +85^\circ\text{C}$	± 1.5 (max)	RM-8	CLB
AD7467BRT-REEL	$-40 \sim +85^\circ\text{C}$	± 0.5 (max)	RT-6	CMB
AD7467BRT-REEL7	$-40 \sim +85^\circ\text{C}$	± 0.5 (max)	RT-6	CMB
AD7467BRT-RL2	$-40 \sim +85^\circ\text{C}$	± 0.5 (max)	RT-6	CMB
AD7467BRM	$-40 \sim +85^\circ\text{C}$	± 0.5 (max)	RM-8	CMB
AD7467BRM-REEL	$-40 \sim +85^\circ\text{C}$	± 0.5 (max)	RM-8	CMB
AD7467BRM-REEL7	$-40 \sim +85^\circ\text{C}$	± 0.5 (max)	RM-8	CMB
AD7468BRT-REEL	$-40 \sim +85^\circ\text{C}$	± 0.2 (max)	RT-6	CNB
AD7468BRT-REEL7	$-40 \sim +85^\circ\text{C}$	± 0.2 (max)	RT-6	CNB
AD7468BRT-RL2	$-40 \sim +85^\circ\text{C}$	± 0.2 (max)	RT-6	CNB
AD7468BRM	$-40 \sim +85^\circ\text{C}$	± 0.2 (max)	RM-8	CNB
AD7468BRM-REEL	$-40 \sim +85^\circ\text{C}$	± 0.2 (max)	RM-8	CNB
AD7468BRM-REEL7	$-40 \sim +85^\circ\text{C}$	± 0.2 (max)	RM-8	CNB
EVAL-AD7466CB ³			評価ボード	
EVAL-AD7467CB ³			評価ボード	
EVAL-CONTROL BRD ^{2,4}				

注

¹ ここで直線性誤差は積分非直線性誤差を指します。

² RT=SOT-23、RM=MSOP

³ スタンドアロンの評価ボードとしても、評価/デモンストレーション用にEVAL-CONTROL BRD2と組み合わせても使用できます。

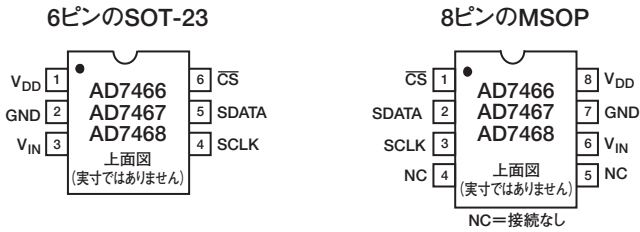
⁴ このボードは、末尾記号がCBのすべてのアナログ・デバイス社の評価ボードをPCによって制御または通信できる完全なユニットです。完全な評価キットを注文するには、特定のADC評価ボード (たとえばEVAL-AD7466CB)、EVAL-CONTROL BRD2、12V ACトランスを注文する必要があります。詳細については、関連する評価ボードのテクニカル・ノートを参照してください。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電放電が容易に蓄積され、検知されないまま放電されます。AD7466/AD7467/AD7468は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置



ピン機能の解説

ピン記号	機能
$\overline{CS}$	チップ・セレクト アクティブ・ローのロジック入力。この入力、AD7466/AD7467/AD7468のデータ変換の開始とシリアル・データ転送のフレーミングの両方に使用されます。
V_{DD}	電源入力 AD7466/AD7467/AD7468の V_{DD} 範囲は1.6～3.6Vです。
GND	アナログ・グラウンド AD7466/AD7467/AD7468のすべての回路のグラウンド・リファレンスで、全アナログ入力信号はこのグラウンド電圧を基準としなければなりません。
V_{IN}	アナログ入力 シングル・エンド・アナログ入力チャンネルで、入力範囲は0V～ V_{DD} です。
SDATA	データ出力 ロジック出力。AD7466/AD7467/AD7468の変換結果は、シリアル・データ・ストリームとしてこの出力に供給されます。このビットは、SCLK入力の立ち下がりがエッジでクロック出力されます。データ・ストリームは先行する4つの0にMSBファーストの変換データが続きます。変換データは、AD7466が12ビット、AD7467が10ビット、AD7468が8ビットです。
SCLK	シリアル・クロック ロジック入力。データにアクセスするためのシリアル・クロックを供給します。このクロック入力、AD7466/AD7467/AD7468の変換プロセスのクロック・ソースとしても使用されます。
NC	接続なし

AD7466/AD7467/AD7468

用語解説

積分非直線性 (INL)

A/Dコンバータの伝達関数の終点を通過する直線からの最大偏差です。AD7466/AD7467/AD7468の場合、伝達関数の終点はゼロスケールで最初のコード遷移から1LSB下回る点、およびフルスケールで最後のコード遷移を1LSB上回る点です。

微分非直線性 (DNL)

A/Dコンバータの任意の隣接する2コード間の1LSB変化の理想値と実際の測定値との差です。

オフセット誤差

(00...000) から (00...001) への最初のコード遷移の理想値 (例: アナログ・グラウンド+1LSB) からの偏差です。

ゲイン誤差

(111...110) から (111...111) への最後のコード遷移の理想値 (例: VREF-1LSB) からの偏差で、オフセット誤差を除去した値です。

トラック／ホールド・アクイジション時間

トラック／ホールド・アクイジション時間は、±1LSB以内のフルスケール・ステップ入力値または±0.5LSB以内の30kHz A C 入力値を取得するために必要な時間です。AD7466/AD7467/AD7468の場合、デバイスはCSの立ち下がりエッジでトラック・モードに入り、3番目のSCLKの立ち下がりエッジでホールド・モードに戻ります。ホールド・モードは、次のCSの立ち下がりエッジまで維持されます。詳細については、図3とシリアル・インターフェースのセクションを参照してください。

S/N比 (SNR)

A/Dコンバータの出力で測定した信号対ノイズ (S/N) の比です。信号はサイン波入力のrms値です。ノイズは、ナイキスト帯域幅 ($f_s/2$) 内の量子化誤差のrms値です。サイン波のrms値は、ピークtoピーク値の半分を $\sqrt{2}$ で割った値で、量子化ノイズのrms値は $q/\sqrt{12}$ です。この比は、デジタル化プロセスにおける量子化レベルの数に依存し、レベルの数が多いほど量子化ノイズが小さくなります。

理想的なNビットのコンバータの場合、S/N比は次式で得られます。

$$S/N \text{ 比} = 6.02N + 1.76 \text{ dB}$$

12ビットのコンバータでは74dB、10ビットのコンバータでは62dB、8ビットのコンバータでは50dBになります。

ただし、実際には、A/Dコンバータのさまざまな誤差ソースによって、測定されたS/N比は理論値より小さくなります。これらの誤差は、積分非線形性、微分非線形性、内部のACノイズ・ソースなどによって発生します。

信号対 (ノイズ+歪み) 比 (SINAD)

A/Dコンバータの出力で測定した信号対 (ノイズ+歪み) の比です。信号はサイン波のrms値で、ノイズはサンプリング周波数の半分 ($f_s/2$) までの、基本波以外の波形の合計のrms値です。これには高調波は含まれますが、直流成分は含まれません。

全無調整誤差 (TUE)

ゲイン誤差、線形性誤差、オフセット誤差を含む包括的な仕様値です。

全高調波歪み (THD)

全高調波歪みは、すべての高調波のrms合計値の基本波に対する比です。AD7466/AD7467/AD7468のTHDは、次式で定義されます。

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波の振幅のrms値であり、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、第2次から第6次までの高調波振幅のrms値です。

ピーク高調波またはスプリアス・ノイズ (SFDR)

ピーク高調波またはスプリアス・ノイズは、A/Dコンバータの出力スペクトルのうち2番目に大きい成分 ($f_s/2$ までで、直流成分を除いたもの) のrms値と、基本波のrms値との比です。通常、この仕様の値はスペクトル中の最大の高調波で決まりますが、高調波がノイズのフロアに埋もれてしまうようなA/Dコンバータでは、ノイズのピークとなります。

相互変調歪み (IMD)

2つの周波数 f_a および f_b のサイン波で構成される入力の場合、非直線性を持つアクティブなデバイスではすべて、 $m f_a \pm n f_b$ の周波数の合計と差異について歪み成分が生成されます。ここで、 m 、 $n=0$ 、1、2、3...です。相互変調歪みの項は、 m と n のいずれも0にならない場合に限られます。たとえば、2次の項に (f_a+f_b) と (f_a-f_b) があり、3次の項には $(2f_a+f_b)$ 、 $(2f_a-f_b)$ 、 (f_a+2f_b) 、 (f_a-2f_b) がある場合です。

AD7466/AD7467/AD7468は、2つの入力周波数を用いるCCIF基準に基づきテストされています。この場合、通常、2次の項は元のサイン波から離れた周波数に設定され、3次の項は入力周波数に近い周波数に設定されます。このため、2次および3次の項が別個に規定されることになります。相互変調歪みの計算は、THD仕様と同じく、各歪み成分のrms合計値と基本波の合計rms振幅の比をdB単位で表したものになります。

代表的な性能特性 — AD7466/AD7467/AD7468

特性曲線

ダイナミック特性曲線

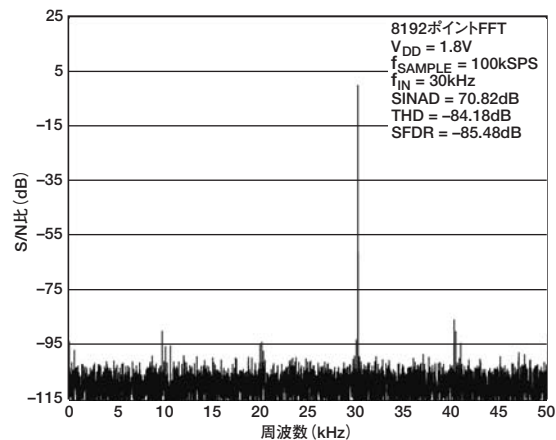
特性1、特性2、特性3はそれぞれ、サンプル・レート100kSPS、入力周波数30kHzにおけるAD7466、AD7467、AD7468の代表的なFFTプロットです。

特性4は、AD7466について、サンプリング周波数100kSPS、SCLK周波数3.4MHzで、さまざまな電源電圧における信号対（ノイズ+歪み）比と入力周波数の関係を示しています。

特性5は、AD7466について、サンプリング周波数100kSPS、SCLK周波数3.4MHzで、さまざまな電源電圧におけるS/N比と入力周波数の関係を示しています。

特性6は、AD7466について、サンプリング周波数100kSPS、SCLK周波数3.4MHzで、さまざまな電源電圧における全高調波歪みとアナログ入力周波数の関係を示しています。

特性7は、AD7466について、電源電圧2.7V、SCLK周波数3.4MHz、サンプリング周波数100kSPSを使用したときの、さまざまなソース・インピーダンスにおける全高調波歪みとアナログ入力周波数の関係を示しています。アナログ入力セクションを参照してください。



特性1. 100kSPSでのAD7466のダイナミック特性

DC精度曲線

特性8と特性9は、AD7466の代表的なINLおよびDNL特性を示しています。

電源要求曲線

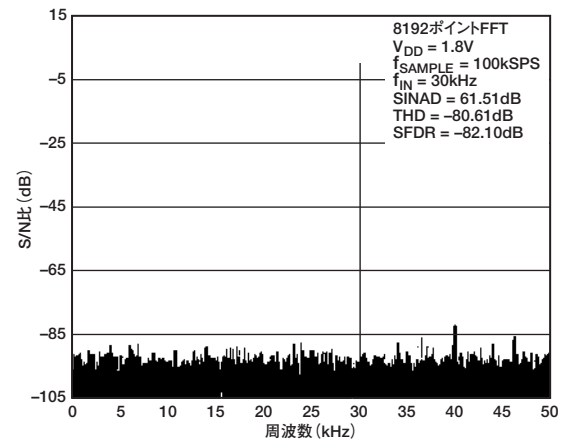
特性10は、温度-40℃、+25℃、+85℃、SCLK周波数3.4MHz、サンプリング周波数100kSPSにおけるAD7466の電源電流と電源電圧の関係を示しています。

特性11は、いくつかのSCLK周波数におけるAD7466の最大電流と電源電圧の関係を示しています。

特性12は、シャットダウン電流と電源電圧の関係を示しています。

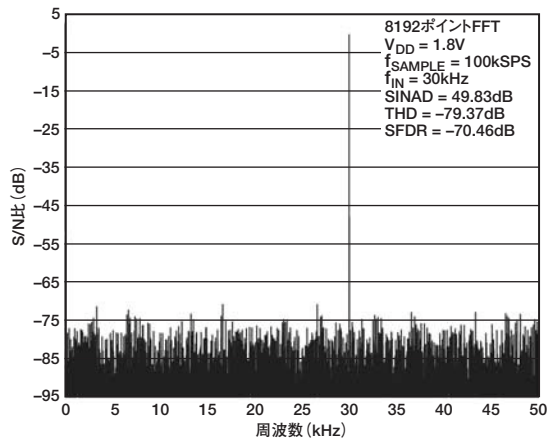
特性13は、3.4MHzのSCLKといくつかの電源電圧におけるAD7466の消費電力とスループット・レートの関係を示しています。

詳細については、消費電力のセクションを参照してください。

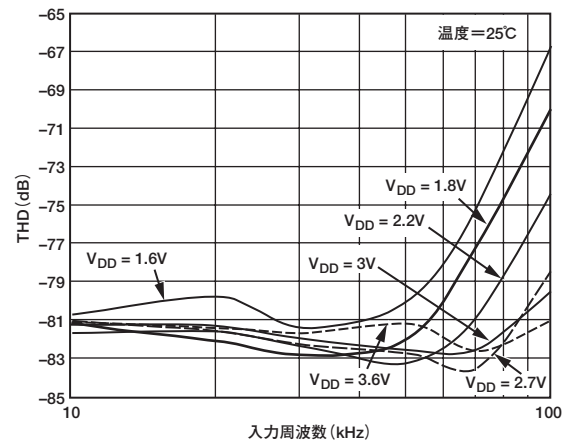


特性2. 100kSPSでのAD7467のダイナミック特性

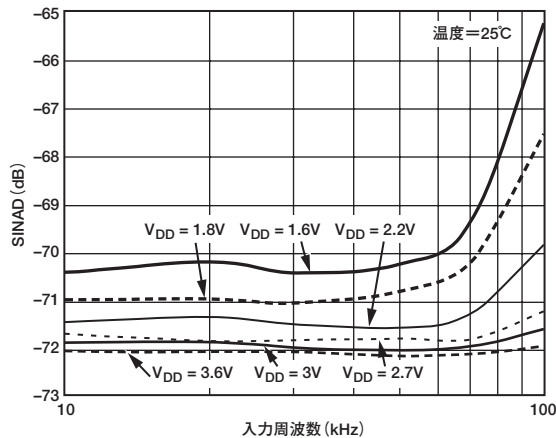
AD7466/AD7467/AD7468



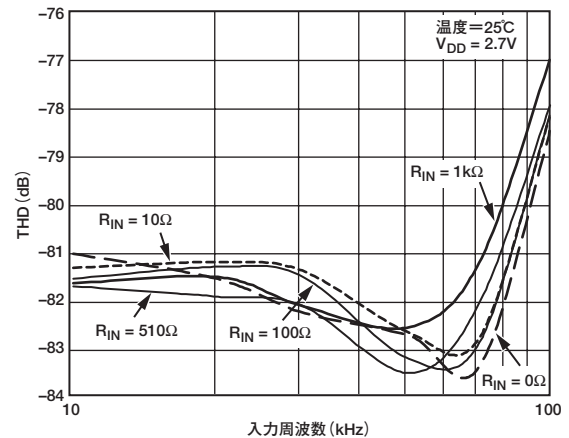
特性3. 100kSPSでのAD7468のダイナミック特性



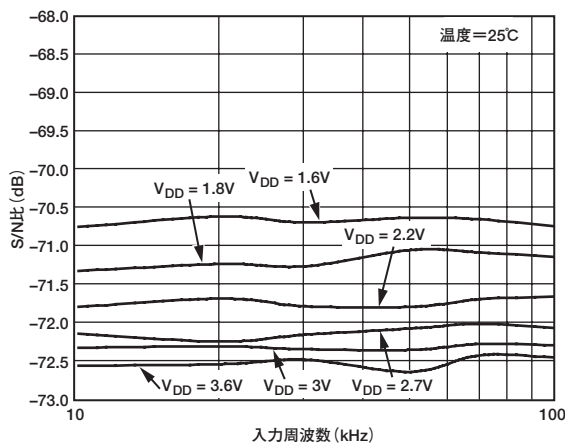
特性6. さまざまな電源電圧における100kSPSでのAD7466のTHDとアナログ入力周波数の関係



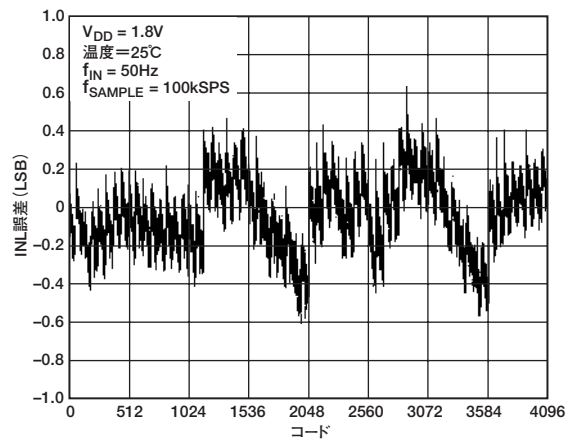
特性4. さまざまな電源電圧における100kSPSでのAD7466のSINADとアナログ入力周波数の関係



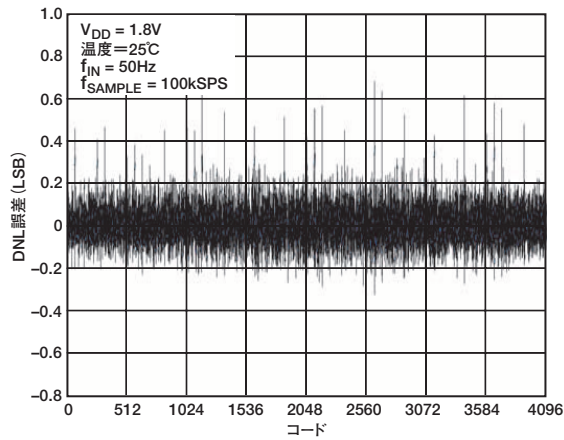
特性7. さまざまなソース・インピーダンスにおけるTHDとアナログ入力周波数の関係



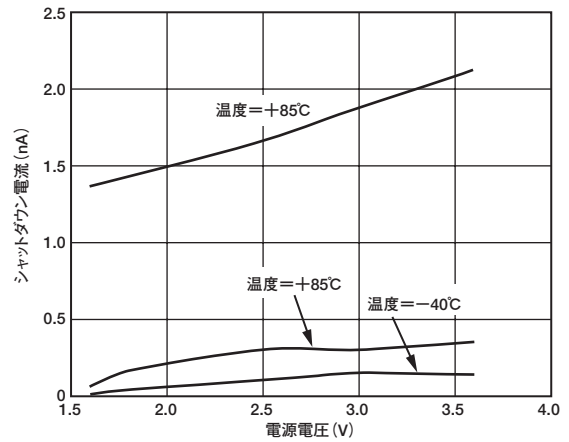
特性5. さまざまな電源電圧における100kSPSでのAD7466のS/N比とアナログ入力周波数の関係



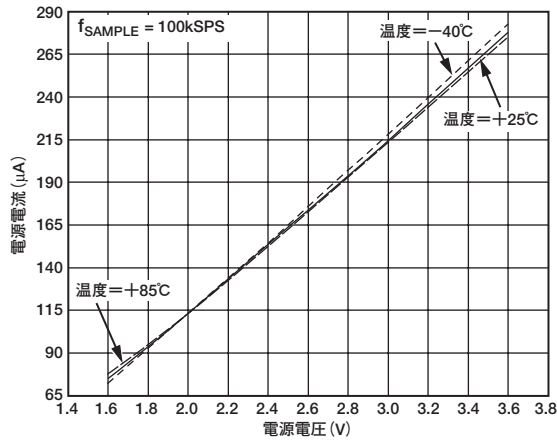
特性8. AD7466のINL特性



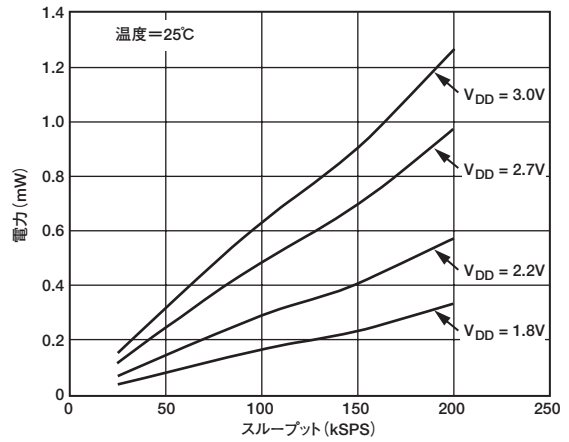
特性9. AD7466のDNL特性



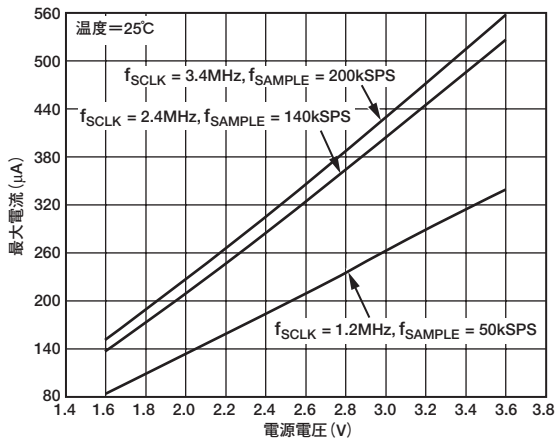
特性12. シャットダウン電流と電源電圧との関係



特性10. SCLK 3.4MHzでの電源電流と電源電圧との関係



特性13. SCLK 3.4MHzでの消費電力とスループット・レートとの関係



特性11. SCLK周波数が異なる場合の最大電流と電源電圧との関係

AD7466/AD7467/AD7468

回路情報

AD7466/AD7467/AD7468は、それぞれ12ビット、10ビット、8ビットの高速マイクロパワーのA/Dコンバータで、動作電源範囲は1.6~3.6Vです。この範囲内の任意の電源電圧で動作させた場合、3.4MHzのクロック供給で200kSPSのスループット・レートを実現します。

AD7466/AD7467/AD7468は、小型の6ピンSOT-23パッケージまたは8ピンMSOPパッケージにトラック/ホールド、A/Dコンバータ、シリアル・インターフェースを内蔵し、代替ソリューションに比べて大幅にスペースを削減できます。シリアル・クロック入力によりデータのアクセスが可能になるとともに、逐次比較型A/Dコンバータに対するクロック・ソースを提供します。アナログ入力範囲は、0V~ V_{DD} です。ADCは外部リファレンス電圧が不要で、内蔵リファレンス也没有ありません。デバイスのへのリファレンス電圧は電源から取るため、最大の入力ダイナミック・レンジが得られます。

AD7466/AD7467/AD7468には、変換と変換の間で消費電力を節約する自動パワーダウン・モードのオプションもあります。このパワーダウン機能は、動作モードのセクションで解説するように、標準のシリアル・インターフェースで使用できます。

コンバータの動作

AD7466/AD7467/AD7468は、電荷再配分式DACをベースにした逐次比較型A/Dコンバータです。図4と図5は、A/Dコンバータの概略図です。図4は、アキュイジション状態でのADCを示したものです。SW2が閉じ、SW1が位置Aにあり、コンパレータがバランス状態に保たれ、サンプリング・コンデンサが V_{IN} から信号を読み取ります。

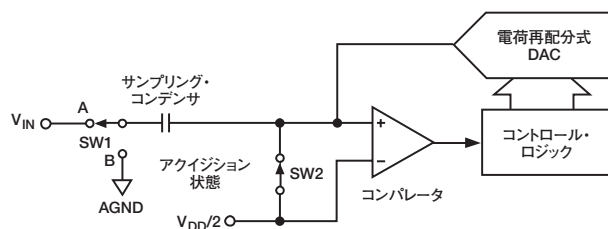


図4. ADCのアキュイジション状態

A/Dコンバータが変換を開始すると（図5）、SW2が開き、SW1が位置Bに移動して、コンパレータがアンバランスになります。コントロール・ロジックと電荷再配分式DACが、サンプリング・コンデンサに一定量の電荷を加算/減算して、コンパレータをバランス状態に戻します。コンパレータがバランス状態に戻ると、変換が完了します。コントロール・ロジックは、A/Dコンバータの出力コードを生成します。図6に、A/Dコンバータの伝達関数を示します。

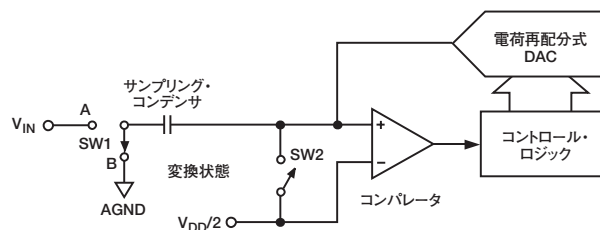


図5. ADC変換状態

A/Dコンバータの伝達関数

AD7466/AD7467/AD7468の出力コードは、ストレート・バイナリで行われます。コード遷移は、連続する整数のLSB値（たとえば、1LSB、2LSBなど）で行われるように設計されています。LSBの大きさは、AD7466で $V_{DD}/4096$ 、AD7467で $V_{DD}/1024$ 、AD7468で $V_{DD}/256$ です。AD7466/AD7467/AD7468の理想的な伝達特性を図6に示します。

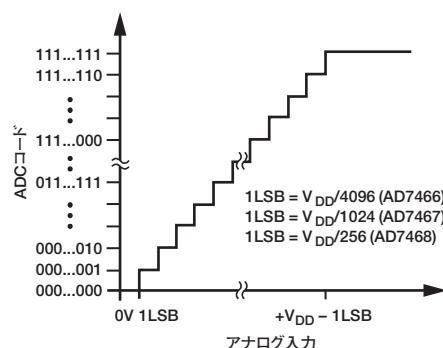


図6. AD7466/AD7467/AD7468の伝達特性

代表的な接続例

図7に、AD7466/AD7467/AD7468の代表的な接続例を示します。 V_{REF} は、 V_{DD} から内部的に取り込みます。したがって V_{DD} は正しくデカップリングされる必要があります。アナログ入力範囲は $0V \sim V_{DD}$ となります。

変換結果は、先行する4ビットのゼロと後続の12ビット、10ビット、または8ビット（それぞれAD7466、AD7467、AD7468の場合）のMSBで構成されています。シリアル・インターフェースのセクションを参照してください。必要とする電源電流が小さいため、高精度リファレンスをAD7466/AD7467/AD7468の電源として使用することができます。

REF19xシリーズは、低ドロップアウトの高精度マイクロパワー・リファレンスです。AD7466/AD7467/AD7468の電圧範囲の動作をサポートするために、REF193、REF192、REF191がそれぞれ3V、2.5V、2.048Vを供給することにより、ADCに必要な電圧を提供することができます（図7を参照）。この構成は、電源のノイズが非常に大きい場合や、システムの電源電圧が3Vや2.5V以外（5Vなど）のときに特に効果的です。REF19xは、AD7466/AD7467/AD7468に安定した電圧を出力します。低ドロップアウトのREF192を使用する場合、AD7466コンバータが100kSPSのレートで変換を行うときに、REF192から最大240 μ Aの電流をAD7466に供給する必要があります。REF192の負荷規定の代表値は10ppm/mA（REF192、 $V_S=5V$ ）なので、240 μ Aの電流が引き出されたときに2.4ppm（6 μ V）の誤差が生じます。これは、REF192からの2.5V電源を使用するAD7466では、0.0098LSBの誤差に相当します。消費電力が重要な問題となるアプリケーションでは、ADCの自動パワーダウン・モードと、REF19xリファレンスのスリープ・モードを使用して電力特性を改善できます。動作モードのセクションを参照してください。

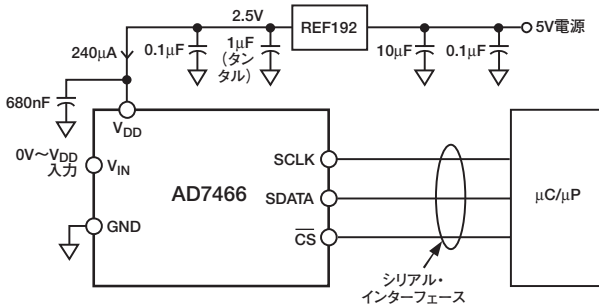


図7. AD7466の電源にREF192を使用する場合

表Iは、同じ設定条件でさまざまなリファレンスを V_{DD} ソースとして使用した場合の代表的な特性を示しています。たとえば、ADR318は、1.8Vのバンド・ギャップ電圧リファレンスです。小さなフットプリント、低消費電力、追加のシャットダウン機能といった優れた特性を備えたADR318は、バッテリー電源アプリケーションに最適です。

表I. さまざまな電圧リファレンスICを使用した場合のAD7466の特性

V_{DD} に接続されたリファレンス	AD7466のS/N比 (dB)
ADR318 (1.8Vで)	70.73
ADR370 (2.048Vで)	70.72
ADR421 (2.5Vで)	71.13
ADR423 (3Vで)	71.44

アナログ入力

図8に、AD7466/AD7467/AD7468のアナログ入力部の等価回路を示します。D1およびD2の2つのダイオードが、アナログ入力をESDから保護します。アナログ入力電圧が電源電圧レールを300mV以上超えないように注意してください。その値を超えると、ダイオードが順方向にバイアスされて、サブストレートに電流が導通してしまいます。図8のコンデンサC1は、一般的には約4pFであり、主としてピンの容量によって決まります。抵抗R1は、スイッチのオン抵抗の集合からなるコンポーネントで、一般に約200 Ω です。コンデンサC2は、ADCのサンプル・コンデンサで、一般的な容量は20pFです。

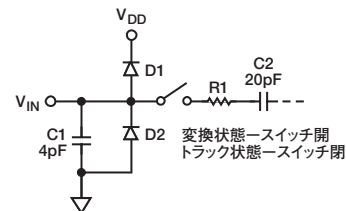


図8. 等価アナログ入力回路

ACアプリケーションでは、適切なアナログ入力ピンにバンドパス・フィルタを設けて、アナログ入力信号から高周波数成分を除去することを推奨します。高調波歪みやS/N比が問題となるアプリケーションでは、アナログ入力を低インピーダンス・ソースで駆動します。大きなソース・インピーダンスは、ADCのAC特性に大きな影響を与えます。このようなことから、入力バッファ・アンプが必要となる場合もあります。オペアンプを採用するかどうかは、それぞれのアプリケーションの性質によって異なります。

AD7466/AD7467/AD7468

表IIは、一定の設定条件でさまざまなオペアンプを入力バッファとして使用した場合の代表的な特性を示しています。

表II. さまざまな入力バッファを使用した場合のAD7466の特性

入力バッファのオペアンプ	AD7466のS/N比 (dB) 30kHz入力、 $V_{DD}=1.8V$
AD8510	70.75
AD8610	71.45
AD797	71.42

アナログ入力をドライブするアンプがないときは、ソース・インピーダンスを低い値に制限してください。ソース・インピーダンスの最大値は、全高調波歪み（THD）の許容量に依存します。THDはソース・インピーダンスの増大につれて増加し、特性が劣化します。特性7は、電源電圧2.7V、サンプル・レート100kSPSを使用するときの、さまざまなソース・インピーダンスにおけるTHDとアナログ入力周波数の関係を示しています。

デジタル入力

AD7466/AD7467/AD7468に対するデジタル入力は、アナログ入力を制限する最大定格によって制限されません。可能なデジタル入力は7Vまで許容され、アナログ入力に課される $V_{DD}+0.3V$ の限界はありません。たとえば、AD7466/AD7467/AD7468が $V_{DD}=3V$ で動作する場合でも、5Vのロジック・レベルをデジタル入力に使用できます。しかし、 $V_{DD}=3V$ の場合、SDATAのデータ出力のロジック・レベルは依然として3Vです。SCLKおよび $\overline{CS}$ が $V_{DD}+0.3V$ の限界に制約されないことによるもう1つの利点は、電源のシーケンスの問題が回避できることです。 $\overline{CS}$ またはSCLKが V_{DD} の前に与えられる場合でも、アナログ入力と異なり、0.3Vを超える信号（7Vを超えてはなりません）が V_{DD} の前に与えられた場合にも、ラッチアップの危険がありません。

動作モード

AD7466/AD7467/AD7468は、変換が終了するたびに自動的にパワーダウン・モードに入ります。この動作モードは、柔軟なパワー・マネジメントのオプションを提供し、低消費電力アプリケーションの要件を満たすために電力消費/スループット・レート比を最適化することができます。図9の動作の概略図に示されているように、AD7466/AD7467/AD7468は、 $\overline{CS}$ の立ち

下がりエッジでパワーアップを開始し、パワーダウン状態の間ホールド・モードにあったトラック/ホールドがトラック・モードに入ります。この時点で変換も開始されます。 $\overline{CS}$ の立ち下がりエッジの後に発生するSCLKの3番目の立ち下がりエッジで、トラック/ホールドはホールド・モードに戻ります。

AD7466の場合、変換を完了して完全な変換結果にアクセスするには、16サイクルのシリアル・クロックが必要です。AD7466は、SCLKの16番目の立ち下がりエッジで自動的にパワーダウン・モードに入ります。

AD7467の場合、変換を完了して完全な変換結果にアクセスするには、14サイクルのシリアル・クロックが必要です。AD7467は、SCLKの14番目の立ち下がりエッジで自動的にパワーダウン・モードに入ります。

AD7468の場合、変換を完了して完全な変換結果にアクセスするには、12サイクルのシリアル・クロックが必要です。AD7468は、SCLKの12番目の立ち下がりエッジで自動的にパワーダウン・モードに入ります。

$\overline{CS}$ がSCLKの16番目の立ち下がりエッジの前の任意のタイミングでハイにされた場合も、AD7466はパワーダウン・モードになります。 $\overline{CS}$ の立ち下がりエッジで開始された変換は終了し、SDATAがスリーステートの状態に戻ります。これはAD7467やAD7468にも当てはまります。変換が完了する前に $\overline{CS}$ がハイになると（AD7467の場合はSCLKの14番目の立ち下がりエッジ、AD7468の場合はSCLKの12番目の立ち下がりエッジで）、デバイスはパワーダウン・モードになって、変換が終了し、SDATAがスリーステートの状態に戻ります。

$\overline{CS}$ は消費電力の節約のために次の変換までの間アイドル・ハイまたはアイドル・ローの状態にすることができますが、変換が終了したら $\overline{CS}$ をハイにすることをお勧めします。

電源を最初にAD7466/AD7467/AD7468に供給するときは、デバイスが確実にパワーダウン・モードに、トラック/ホールドがホールド・モードに、またSDATAがスリーステートの状態になるように、ダミー変換を実行します。

データ転送が終了（SDATAがスリーステート状態に戻る）したら、 $\overline{CS}$ を再度ローにし、静止時間（ t_{QUIET} ）の経過後に次の変換を開始することができます。

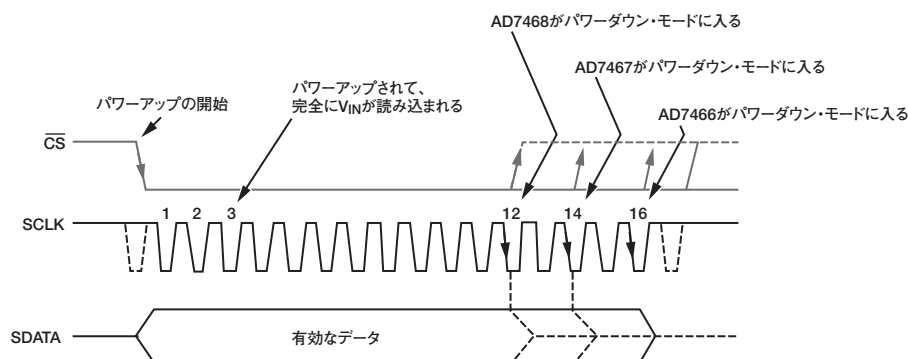


図9. ノーマル・モードの動作

電力消費

AD7466/AD7467/AD7468は、変換が終了するたびに、あるいはCSが変換終了前にハイになると自動的にパワーダウン・モードに入ります。

パワーダウン・モードになると、すべてのアナログ回路がパワーダウンされ、電流消費は代表値で8nAになります。

消費電力を最小限にするためにユーザが留意しなければならない事柄がいくつかあります。

変換時間は、シリアル・クロック周波数によって決まります。SCLK周波数が速いほど、変換時間は短くなります。すなわち、周波数が増大すると、変換時に電力を消費する時間が短くなり、スループット・レートまたはサイクル時間に対するデバイスのパワーダウン・モード時間の割合が大きくなります。

図11に、異なる2つの周波数SCLK AとSCLK B（SCLK Aの方が高いクロック周波数を持つ）で動作する2個のAD7466を示します。スループット・レートが同じ場合、SCLK BよりSCLK Aを使用するAD7466の方が、変換時間が短くなり、パワーダウン・モードの時間が長くなります。パワーダウン・モード時の消費電流はきわめて少ないため、平均消費電力が大幅に低減します。

このことは図10で確認することができます。この図は、スループット・レート100kSPSの場合の、さまざまな電源電圧におけ

る電源電流とSCLK周波数の関係を示しています。固定のスループット・レートの場合、電源電流（平均電流）はSCLK周波数の増大に伴って小さくなります。これは、デバイスが大部分の時間パワーダウン・モードになるためです。また、この図からは、電源電圧が低下するにつれて電源電流が小さくなることも確認できます。

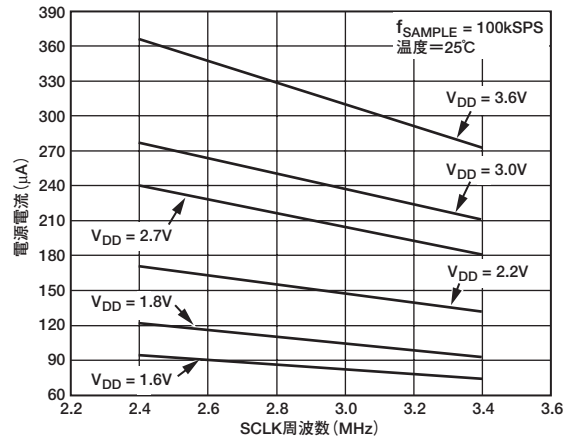


図10. 固定のスループット・レートとさまざまな電源電圧における電源電流とSCLK周波数の関係

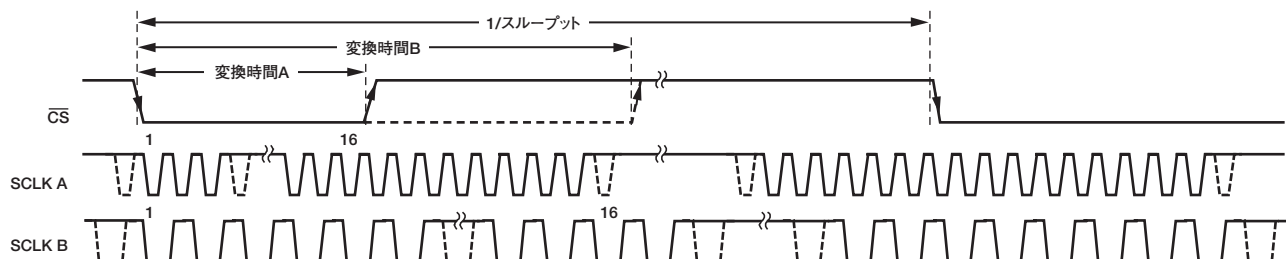


図11. 固定のスループット・レートと2つのSCLK周波数における変換時間の比較

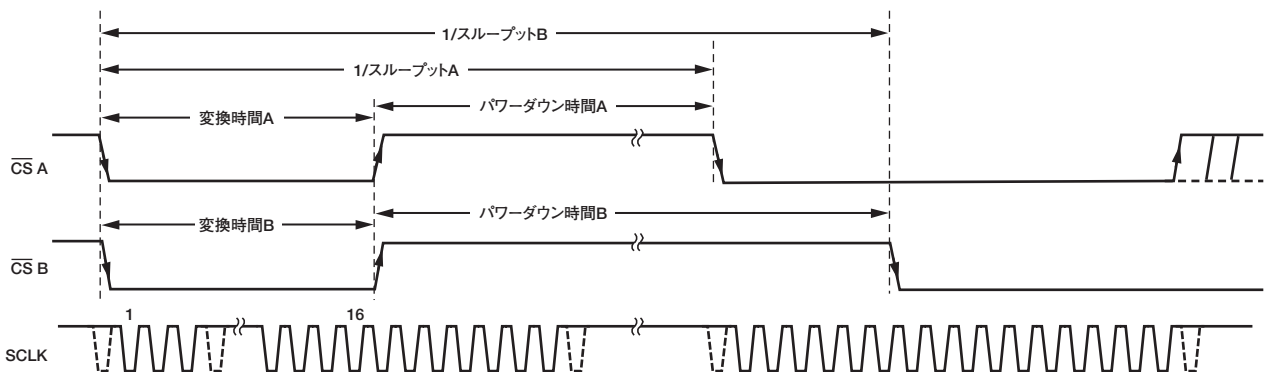


図12. 異なるスループット・レートと固定のSCLK周波数における変換時間とパワーダウン時間の関係

AD7466/AD7467/AD7468

特性13は、3.4MHzのSCLKの場合の消費電力とスループット・レートの関係を示しています。ここでは、SCLK周波数が固定のパラメータなので、変換時間はあらゆる場合について同じです。低いスループット・レートで、パワーダウン・モードの時間的な比率が高くなると、消費電流も小さくなります。図12に、SCLK周波数が同じでスループット・レートが異なる場合の2つのAD7466の動作を示します。スループット・レートAは、スループット・レートBより高くなっています。スループット・レートが遅くなると、デバイスのパワーダウン・モードの時間が長くなり、それに従って平均消費電力も小さくなります。

図13は、さまざまな電源電圧とSCLK周波数における消費電力とスループット・レートの関係を示しています。このプロットでは、前に説明した消費電力に関するすべての要素（SCLK周波数の影響、スループット・レートの影響、電源電圧の影響）を考慮しています。

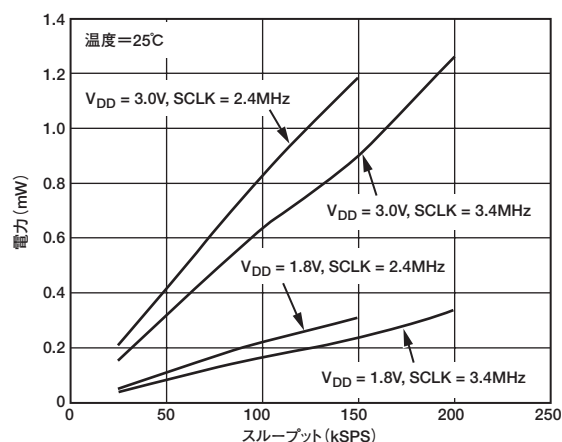


図13. さまざまなSCLKと電源電圧における消費電力とスループット・レートの関係

次の2つの例では、これまでに述べたことを計算式を使って説明します。

消費電力の例1

この例は、スループット・レートが固定の場合にSCLKの周波数を増大すると平均消費電力が小さくなることを示しています。図11に示したSCLK A=3.4MHz、SCLK B=1.2MHz、スループット・レート=50kSPS（サイクル時間=20μsになります）から、次の値が得られます。

変換時間A=16×(1/SCLK A)=4.7μs（サイクル時間の23.5%）

パワーダウン時間A=（1/スループット）－変換時間A=20μs－4.7μs=15.3μs（サイクル時間の76.5%）

変換時間B=16×(1/SCLK B)=13μs（サイクル時間の65%）

パワーダウン時間B=（1/スループット）－変換時間B=20μs－13μs=7μs（サイクル時間の35%）

平均消費電力には、変換時に消費される電力とパワーダウン・モード時に消費される電力が含まれます。変換時に消費される平均電力は、変換時に要したサイクル時間の割合に変換中の最大電流を掛けた値として求められます。パワーダウン・モード時に消費される平均電力は、パワーダウン・モード時に要したサイクル時間の割合にパワーダウン・モード時の電流値を掛けた値として求められます。平均消費電力の値を求めるには、これらの項に電圧を掛ける必要があります。

ここでは、V_{DD}=1.8Vの場合の各SCLK周波数の最大電流を考えます。

$$\text{消費電力A} = ((4.7/20) \times 186\mu\text{A} + (15.3/20) \times 100\text{nA}) \times 1.8\text{V} = (43.71 + 0.076)\mu\text{A} \times 1.8\text{V} = 78.8\mu\text{W} = 0.07\text{mW}$$

$$\text{消費電力B} = ((13/20) \times 108\mu\text{A} + (7/20) \times 100\text{nA}) \times 1.8\text{V} = (70.2 + 0.035)\mu\text{A} \times 1.8\text{V} = 126.42\mu\text{W} = 0.126\text{mW}$$

これらのことから、スループット・レートが固定の場合は、SCLK周波数の増大に伴って平均消費電力が小さくなることがわかります。

消費電力の例2

この例は、SCLKの周波数が固定の場合にスループット・レートが低下すると平均消費電力が小さくなることを示しています。図12に示したSCLK A=3.4MHz、スループットA=100kSPS（サイクル時間=10μsになります）、スループットB=50kSPS（サイクル時間=20μsになります）からは、次の値が得られます。

変換時間A=16×（1/SCLK A）=4.7μs（スループット=100kSPSの場合はサイクル時間の47%）

パワーダウン時間A=（1/スループットA）－変換時間A=10μs－4.7μs=5.3μs（サイクル時間の53%）

変換時間B=16×（1/SCLK A）=4.7μs（スループット=50kSPSの場合はサイクル時間の23.5%）

パワーダウン時間B=（1/スループットB）－変換時間B=20μs－4.7μs=15.3μs（サイクル時間の76.5%）

平均消費電力は、「消費電力の例1」の場合と同じように計算します。この例では、V_{DD}=1.8V、SCLK周波数3.4MHzの場合の最大電流を考えます。

$$\text{消費電力A} = ((4.7/10) \times 186\mu\text{A} + (5.3/10) \times 100\text{nA}) \times 1.8\text{V} = (87.42 + 0.053)\mu\text{A} \times 1.8\text{V} = 157.4\mu\text{W} = 0.157\text{mW}$$

$$\text{消費電力B} = ((4.7/20) \times 186\mu\text{A} + (15.3/20) \times 100\text{nA}) \times 1.8\text{V} = (43.7 + 0.076)\mu\text{A} \times 1.8\text{V} = 78.79\mu\text{W} = 0.078\text{mW}$$

これらのことから、SCLKの周波数が固定の場合、スループット・レートの低下に伴って平均消費電力が小さくなることがわかります。

シリアル・インターフェース

図14、15、16に、AD7466/AD7467/AD7468のシリアル・インターフェースのタイミング図を示します。シリアル・クロックが変換クロックを提供するとともに、変換中のA/Dコンバータからの情報の転送を制御します。

デバイスは、 $\overline{CS}$ の立ち下がりエッジでパワーアップを開始します。この立ち下がりエッジにより、トラック／ホールドがトラック・モードになり、バスがスリーステート状態から解放されます。変換もこの時点で開始されます。図14のポイントBに示されているように、 $\overline{CS}$ の立ち下がりエッジの後の3番目のSCLK立ち下がりエッジで、完全にパワーアップされ、トラック／ホールドがホールド・モードに戻ります。

AD7466では、SDATAラインがSCLKの16番目の立ち下がりエッジでスリーステート状態に戻り、パワーダウンに入ります。16回のSCLKを経過する前に $\overline{CS}$ の立ち上がりエッジが発生すると、変換が終了して、SDATAがスリーステート状態に戻り、デバイスはパワーダウンとなります。それ以外の場合は、図14に示すように、SDATAはSCLKの16番目の立ち下がりエッジでスリーステートに戻ります。変換プロセスを実行してAD7466のデータにアクセスするには、16シリアル・クロック・サイクルが必要になります。

AD7467では、SDATAラインがSCLKの14番目の立ち下がりエッジでスリーステート状態に戻り、パワーダウンに入ります。14回のSCLKを経過する前に $\overline{CS}$ の立ち上がりエッジが発生すると、変換が終了して、SDATAがスリーステート状態に戻り、デバイスはパワーダウンとなります。それ以外の場合は、図15に示すように、SDATAはSCLKの14番目の立ち下がりエッジでスリーステートに戻ります。変換プロセスを実行して

AD7467のデータにアクセスするには、14シリアル・クロック・サイクルが必要になります。

AD7468では、SDATAラインがSCLKの12番目の立ち下がりエッジでスリーステート状態に戻り、パワーダウンに入ります。12回のSCLKを経過する前に $\overline{CS}$ の立ち上がりエッジが発生すると、変換が終了して、SDATAがスリーステート状態に戻り、デバイスはパワーダウンとなります。それ以外の場合は、図16に示すように、SDATAはSCLKの12番目の立ち下がりエッジでスリーステートに戻ります。変換プロセスを実行してAD7467のデータにアクセスするには、12シリアル・クロック・サイクルが必要になります。

$\overline{CS}$ がローになることにより、マイクロプロセッサまたはDSPによって最初の先行ゼロが読み出されます。次に、残りのデータが後続のSCLKの立ち下がりエッジによって、2番目の先行ゼロからクロック出力されます。このように、シリアル・クロックの最初の立ち下がりエッジによって最初の先行ゼロが読み出され、さらに、次のゼロがクロック出力されます。AD7466の場合、データ転送の最後のビットは16番目の立ち下がりエッジで有効になり、直前の（15番目）の立ち下がりエッジでクロック出力されます。

遅いSCLKを用いたアプリケーションでは、個々のSCLKの立ち上がりエッジでデータを読み出すことができます。つまり、 $\overline{CS}$ の立ち下がりエッジ後の最初のSCLKの立ち上がりエッジで2番目の先行ゼロがクロック出力され、次の立ち上がりエッジで読み出しが可能となります。 $\overline{CS}$ の立ち下がりエッジの後の最初のSCLKエッジが立ち下がりエッジの場合は、 $\overline{CS}$ がローのときにクロック出力された最初の先行ゼロは、SCLKの最初の立ち下がりエッジで読み出されていない限り失われてしまいます。

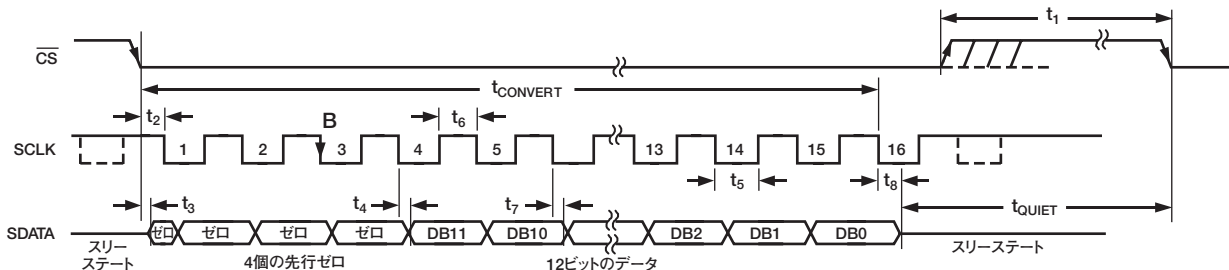


図14. AD7466シリアル・インターフェースのタイミング図

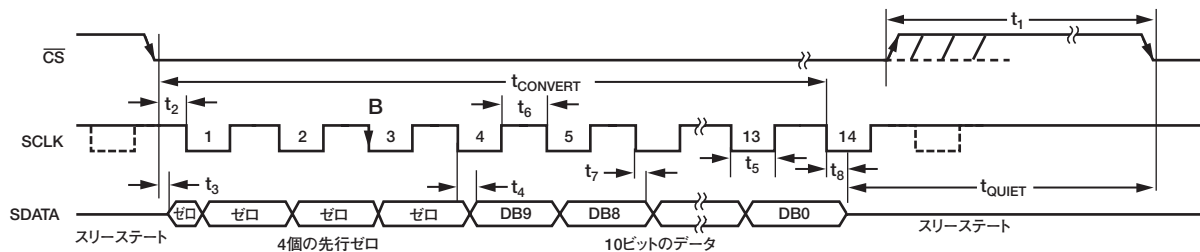


図15. AD7467シリアル・インターフェースのタイミング図

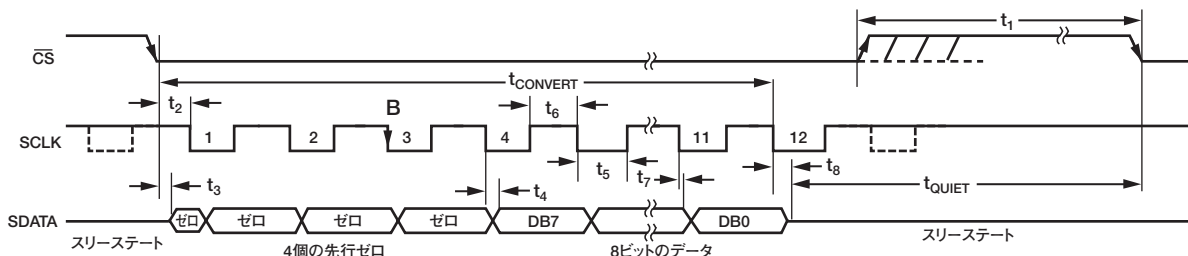


図16. AD7468シリアル・インターフェースのタイミング図

AD7466/AD7467/AD7468

SCLKの15番目の立ち下がりエッジで最後のビットがクロック出力され、SCLKの次の立ち上がりエッジで読み出しが可能になります。

$\overline{CS}$ の立ち下がりエッジの後の最初のSCLKエッジが立ち上がりエッジの場合は、前のように $\overline{CS}$ によって最初の先行ゼロがクロック出力され、SCLKの立ち上がりエッジで読み出しが可能となります。SCLKの次の立ち下がりエッジで、2番目の先行ゼロがクロック出力され、次の立ち上がりエッジでその読み出しが可能になります。

マイクロプロセッサのインターフェース

シリアル・インターフェースを備えたAD7466/AD7467/AD7468は、さまざまなマイクロプロセッサと直接接続できます。このセクションでは、もっと一般的なマイクロプロセッサやDSPのシリアル・インターフェース・プロトコルによるAD7466/AD7467/AD7468とのインターフェースについて解説します。

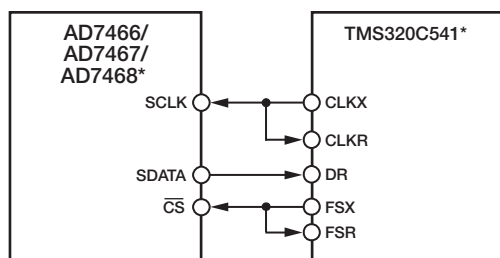
AD7466/AD7467/AD7468とTMS320C541のインターフェース

TMS320C541のシリアル・インターフェースは、連続的なシリアル・クロックとフレーム同期信号を使って、AD7466/AD7467/AD7468などの周辺デバイスとのデータ転送動作を同期させます。 $\overline{CS}$ 入力により、接続のためのロジックなしで、TMS320C541とAD7466/AD7467/AD7468のインターフェースを簡単に確立することができます。TMS320C541のシリアル・ポートは、内部のCLKX (SPC (シリアル・ポート・コントロール) レジスタのMCM=1) と内部フレーム信号 (SPCレジスタのTXM=1) によってバースト・モードSPCレジスタ内のFSM=1) で動作するように設定されているため、この2つのピンは出力に使用されます。AD7466の場合、ワード長は16ビットに設定します (SPCレジスタのFO=0)。DSPの標準同期シリアル・ポート・インターフェースでは、ワード長=16ビットまたは8ビットのフレームのみが可能です。したがって、それぞれ14ビットと12ビットが必要なAD7467とAD7468の場合も、FOビットを16ビットに設定します。この場合は、SDATAラインがSCLKの14番目と12番目の立ち下がりエッジでスリーステート状態に戻るため、最後の2ビット (AD7467) または4ビット (AD7468) が無効になります。

SPCレジスタ値は、要約すると次のようになります。

FO=0
FSM=1
MCM=1
TXM=1

図17に接続図を示します。信号処理のアプリケーションでは、TMS320C541からのフレーム同期信号で等間隔のサンプリングを行わなければなりません。



* 分かりやすくするために他のピンは省略してあります

図17. TMS320C541とのインターフェース

AD7466/AD7467/AD7468とADSP-218xのインターフェース

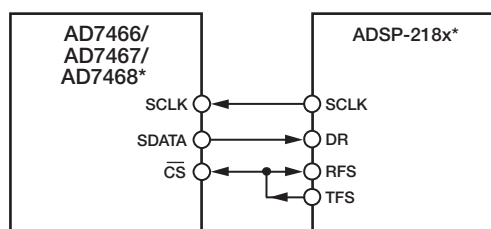
ADSP-218xファミリーのDSPは、接続のためのロジックなしで、AD7466/AD7467/AD7468との直接のインターフェースが可能です。SPORTコントロール・レジスタを以下のように設定する必要があります。

TFSW=RFSW=1、オルタネート・フレーミング
INVRFS=INVTF=1、アクティブ・ロー・フレーム信号
DTYPE=00、右側正規化データ
ISCLK=1、内部シリアル・クロック
TFSR=RFSR=1、ワード単位フレーム
IRFS=0、RFSを入力に設定
ITFS=1、TFSを出力に設定
SLEN=1111、AD7466の場合は16ビット
SLEN=1101、AD7467の場合は14ビット
SLEN=1011、AD7468の場合は12ビット

図18に接続図を示します。ADSP-218x側では、SPORTのTFSとRFSを接続し、TFSを出力、RFSを入力に設定しています。DSPはオルタネート・フレーミング・モードで動作し、SPORTコントロール・レジスタを上記のように設定します。TFSで生成されるフレーム同期信号は $\overline{CS}$ に接続され、すべての信号処理アプリケーションがそうであるように等間隔のサンプリングをしなければなりません。ただし、この例ではADCのサンプリング・レートを制御するためにタイマー割り込みを使用するため、状況によっては等間隔のサンプリングができないことがあります。

たとえば、タイマー・レジスタなどに、必要なサンプル間隔での割り込みを発生させるような値をロードします。割り込みを受け付けると、TFS/DT (ADC制御ワード) が値を転送します。TFSを使用してRFSを制御し、データの読み出しをコントロールします。シリアル・クロックの周波数は、SCLKDIVレジスタに設定します。TFSによって転送を行う命令 (AX0=TX0) があると、SCLKの状態がチェックされます。DSPは、SCLKが順にハイ、ロー、ハイになってから送信を開始するまで待機します。SCLKの立ち上がりエッジかその近くで送信の命令が発生するようにタイマーとSCLKの値が選択されている場合は、データが送信されるか、または次のクロックのエッジまで待機します。

たとえば、ADSP-2111には、16MHzのマスター・クロックがあります。SCLKDIVレジスタに値3がロードされている場合には、2MHzのSCLKが得られ、SCLK周期ごとに8回のマスター・クロック周期が経過します。タイマー・レジスタに値803がロードされている場合には、100.5回のSCLKが割り込みと次の割り込みの間で発生し、次いで送信命令と次の送信命令の間で発生します。この場合には、送信命令がSCLKのいずれかのエッジで発生するため、サンプリングが等間隔になりません。割り込みと次の割り込みの間のSCLKの数が完全な整数の値Nである場合には、DSPは等間隔のサンプリングを行います。



* 分かりやすくするために他のピンは省略してあります

図18. ADSP-218xとのインターフェース

AD7466/AD7467/AD7468とDSP563xxのインターフェース

図19の接続図は、AD7466/AD7467/AD7468をMotorola社製DSP563xxファミリーのSSI（シンクロナス・シリアル・インターフェース）に接続する方法を示したものです。SSIは、TxおよびRxの両方に対して内部生成されたワード・フレーム同期（CRB（コントロール・レジスタB）のビットFSL1=0、FSL0=0）によって同期ノーマル・モード（CRBのSYN=1、MOD=0）で動作します。AD7466の場合は、CRA（コントロール・レジスタA）でWL2=0、WL1=1、WL0=0にしてワード長を16ビットに設定してください。AD7468の場合は、ワード長を12ビットに設定できます（WL2=0、WL1=0、WL0=1）。このDSPには14ビット・ワード長のオプションがないので、AD7467でも、AD7466と同じようにワード長を16ビットに設定します。この場合は、SDATAがSCLKの14番目の立ち下がりエッジでスリーステート状態に戻るので、最後の2ビットが無効データになります。

CRBのFSP（フレーム同期極性）ビットは1に設定できます。この場合、フレームがローになって、変換が開始します。同様に、CRBのSCD2、SCKD、SHFDビットを使って、シリアル・ポートのピンSC2（フレーム同期信号）とSCKを出力に設定し、MSBが最初にシフトされるように設定します。

これらのレジスタ値を要約すると次のようになります。

MOD=0

SYN=1

WL2、WL1、WL0はワード長により異なります。

FSL1=0、FSL0=0

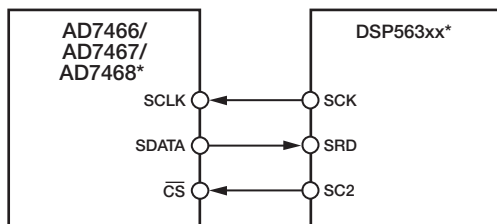
FSP=1、負のフレーム同期

SCD2=1

SCKD=1

SHFD=0

信号処理アプリケーションでは、DSP563xxからのフレーム同期信号で等間隔のサンプリングをサポートする必要があります。



* 分かりやすくするために他のピンは省略してあります

図19. DSP563xxとのインターフェース

アプリケーションのヒント

グラウンド接続とレイアウト

AD7466/AD7467/AD7468を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボード内にそれぞれまとめて配置するように設計してください。こうすれば、グラウンド・プレーンを使用して簡単に分離できるようになります。一般に、グラウンド・プレーンには、最善のシールド効果が得られるように最小のエッチング法を使用するのが最適です。デジタルとアナログのグラウンド・プレーンは、1点だけで接続するようにします。複数のデバイスでAGNDとDGNDの接続が必要となるシステムにAD7466/AD7467/AD7468を実装する場合も、接続は1点だけで行うようにし、AD7466/AD7467/AD7468のできるだけ近くに星型のグラウンド・ポイントを構成してください。

デバイスの裏面にデジタル・ラインを配線するとノイズがチップに混入するので、このような配線は避けてください。アナログ・グラウンド・プレーンの方は、ノイズの混入を避けるために、AD7466/AD7467/AD7468の裏面に配置してください。デバイスに入力する電源ラインはできるだけ太くしてバスのインピーダンスを小さくし、電源ライン上のグリッチの影響を低減してください。クロックのような高速スイッチング信号はデジタル・グラウンドでシールドして、ボードの他の部分にノイズが拡散しないようにし、クロック信号をアナログ入力の上に配線しないようにします。デジタル信号とアナログ信号の交叉は避けてください。ボードの反対面のパターンは互いに直角をなすように配線します。これにより、ボードを垂直に通過する結合の影響を小さくすることができます。マイクロストリップ技術は最適ですが、両面ボードでは常に可能とは限りません。この技術では、ボードの部品面をグラウンド・プレーンに使用し、信号はハンダ面に配線します。

優れたデカップリングも非常に重要です。すべてのアナログ電源を10μFタンタル・コンデンサと0.1μFコンデンサの並列接続でAGNDにデカップリングする必要があります。また、すべてのデジタル電源には、DGNDとの間に0.1μFセラミック・ディスク・コンデンサを挿入する必要があります。これらのデカップリング部品で最善の効果を得るために、デカップリング・コンデンサとV_{DD}およびGNDとの間をできる限り狭くして、短いパターンで各ピンを接続します。

AD7466/AD7467の性能評価

評価ボード・パッケージには、完全に組み立てが終わったテスト済み評価ボード、説明書、評価ボード・コントローラを経由してPCからボードを制御するためのソフトウェアが含まれています。評価ボード・コントローラをAD7466/AD7467CB評価ボードやその他の末尾にCBが付く多くのアナログ・デバイス評価ボードと組み合わせて使えば、AD7466/AD7467のAC性能とDC性能についてデモンストレーションおよび評価ができます。

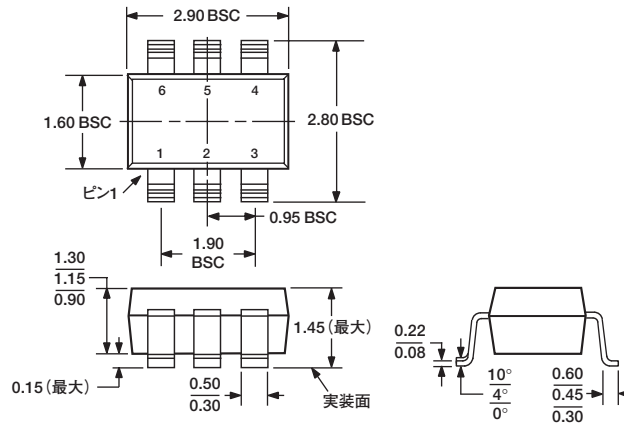
このソフトウェアを使えば、AD7466/AD7467のACテスト（高速フーリエ変換）とDCテスト（コードのヒストグラム）を行うことができます。詳細については、評価ボードのアプリケーション・ノートを参照してください。

AD7466/AD7467/AD7468

外形寸法

6ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23] (RT-6)

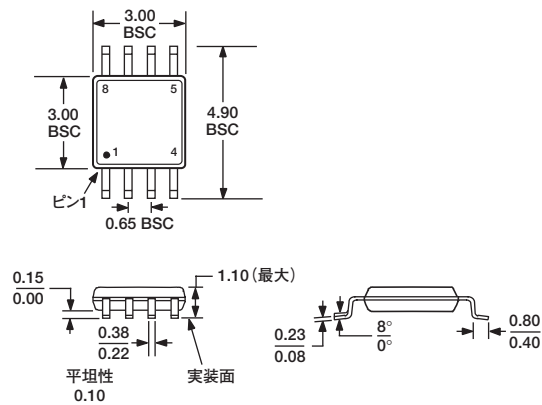
寸法はミリメートル単位で表示



JEDEC標準MO-178ABに準拠

8ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-8)

寸法はミリメートル単位で表示



JEDEC標準MO-187AAIに準拠

