

## AD7470/AD7472

### 特長

$V_{DD} + 2.7 \sim +5.25V$ で仕様規定

AD7470 (10ビット) は1.75MSPS動作

AD7472 (12ビット) は1.5MSPS動作

低消費電力

AD7470 : 3V電源、1.5MSPS動作で3.34mW typ  
5V電源、1.75MSPS動作で7.97mW typ

AD7472 : 3V電源、1.2MSPS動作で3.54mW typ  
5V電源、1.5MSPS動作で8.7mW typ

広い入力帯域幅

入力周波数500kHzでS/N比70dB typ

フレキシブルな電力 / 処理速度制御

パイプライン遅延なし

高速パラレル・インターフェース

スリープモード時 : 50nA typ

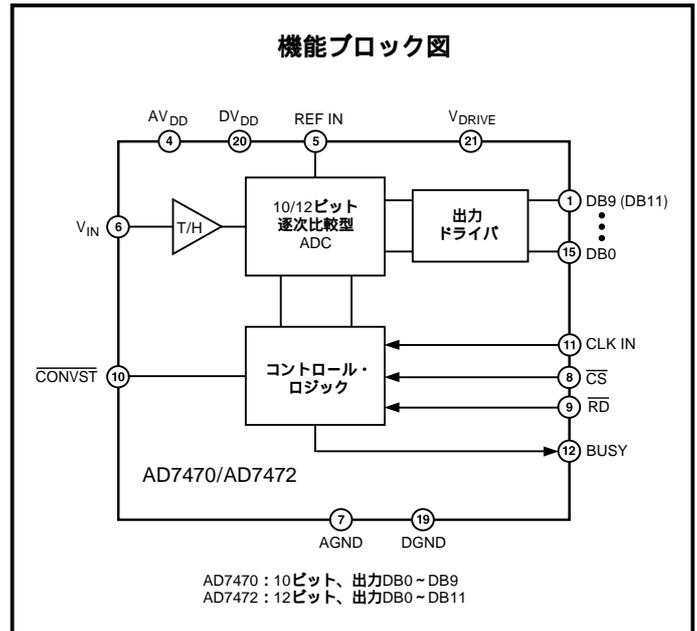
24ピンSOIC / TSSOPパッケージ

### 概要

AD7470/AD7472は、10/12ビットの高速、低消費電力、逐次比較型A/Dコンバータです。単電源  $+2.7 \sim +5.25V$  で動作し、AD7472 (12ビット) は最高1.5MSPS、AD7470 (10ビット) は最高1.75MSPSの高速処理が特長です。1MHzを超える入力周波数を処理できる、ローノイズ、広帯域幅のトラック / ホールド・アンプを内蔵しています。

変換プロセスとデータ・アクイジションの制御には、マイクロプロセッサやDSPと容易にインターフェースできる標準制御入力を使います。入力信号は、 $\overline{CONVST}$ ピンの立ち下がりエッジでサンプリングされ、変換もこの地点から開始します。BUSYピンは、変換の開始でハイになり、 $\overline{CONVST}$ の立ち下がりエッジの531.66ns後にローになり (AD7472、クロック周波数26MHz時) 変換の終了を知らせます。AD7470/AD7472には、パイプライン遅延がありません。変換の結果には、標準CS、RD信号によって、高速パラレル・インターフェースでアクセスできます。

AD7470/AD7472は、高速処理で、極めて低消費電力を実現する、最新設計技術を用いています。AD7470の消費電力は、3V電源で処理速度1.5MSPSの場合、わずか1.1mA typです。5V電源1.75MSPSでは、1.6mA typです。また、AD7470/AD7472は、フレキシブルな電力・スループット管理が可能です。AD7470を3V電源、処理速度500kSPSで動作させた場合、消費電力を713  $\mu A$  に減らせます。5V電源、500kSPSでは944  $\mu A$  になります。



す。

自動スリープモードでの動作も可能で、この場合は、変換時にウェイク・アップになり、変換が終わると自動的にスリープモードに入ります。この方法では、処理速度を低速にして、大幅に消費電力を実現できます。このモードでのAD7472の消費電力は、+3V電源、100kSPS動作で、わずか124  $\mu A$  typです。+5V電源、100kSPSでは171  $\mu A$  typです。AD7470/7472のアナログ入力範囲は、0 ~ REF INです。+2.5Vリファレンスは、REF INピン経由で外部から印加できます。変換速度は、外部クロックで制御します。

製品のハイライト

1. 低消費電力で高速。AD7470は1.75MSPS、AD7472は1.5MSPSの高速スループットを、消費電力4mWで実現します。
2. フレキシブルな電力・処理速度管理。外付けクロックで変換速度を決定し、変換速度が下がると、電力も抑えます。また、低速スループット時の電力効率を最大限に引き出す自動スリープモードも備えています。
3. パイプライン遅延なし。 $\overline{CONVST}$ 入力経路の精密なサンプリング制御と、一時変換オフ制御を備えた、標準の逐次比較A/Dコンバータを内蔵しています。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# AD7470 - 仕様<sup>1</sup> ( $V_{DD} = +2.7 \sim +5.25V^2$ , $REF\ IN = +2.5V$ , $f_{CLKIN} = 30MHz@ +5V$ , $24MHz@ +3V$ 。 特に指示がない限り $T_A = T_{MIN} \sim T_{MAX}^3$ )

パラメータ	Aバージョン <sup>1</sup>		単位	条件 / 備考
ダイナミック性能	+5V	+3V		$f_s = 1.75MSPS@5V$ , $f_s = 1.5MSPS@3V$
信号対ノイズ + 歪み (SINAD)	60	60	dB min	$f_{IN} = 500kHz$ サイン波
	60	60		$f_{IN} = 100kHz$ サイン波
S/N比 (SNR)	60	60	dB min	$f_{IN} = 500kHz$ サイン波
	60	60		$f_{IN} = 100kHz$ サイン波
全高調波歪み (THD)	- 83	- 83	dB typ	$f_{IN} = 500kHz$ サイン波
	- 75	- 75	dB max	$f_{IN} = 100kHz$ サイン波
ピーク高調波、スプリアス・ノイズ (SFDR)	- 85	- 85	dB typ	$f_{IN} = 500kHz$ サイン波
	- 75	- 75	dB max	$f_{IN} = 100kHz$ サイン波
相互変換歪み (IMD)				
第2ターム	- 79	- 75	dB typ	$f_{IN} = 500kHz$ サイン波
	- 75	- 75	dB max	$f_{IN} = 100kHz$ サイン波
第3ターム	- 77	- 75	dB typ	$f_{IN} = 500kHz$ サイン波
	- 75	- 75	dB max	$f_{IN} = 100kHz$ サイン波
アパーチャ遅延	5	5	ns typ	
アパーチャ・ジッター	15	15	ps typ	
フルパワー帯域幅	20	20	MHz typ	
DC精度				$f_s = 1.75MSPS@5V$ , $f_s = 1.5MSPS@3V$
分解能	10	10	ビット	
積分非直線性	$\pm 1$	$\pm 1$	LSB max	
微分非直線性	$\pm 0.9$	$\pm 0.9$	LSB max	10ビットまでノーマス・コード保証
オフセット誤差	$\pm 2.5$	$\pm 2.5$	LSB max	
ゲイン誤差	$\pm 1$	$\pm 1$	LSB max	
アナログ入力				
入力電圧範囲	0 ~ REF IN	0 ~ REF IN	V	
DCリーク電流	$\pm 1$	$\pm 1$	$\mu A$ max	
入力キャパシタンス	33	33	pF typ	
リファレンス入力				
REF IN入力電圧範囲	2.5	2.5	V	仕様性能の $\pm 1\%$
DCリーク電流	$\pm 1$	$\pm 1$	$\mu A$ max	
入力キャパシタンス	10/20	10/20	pF typ	トラック / ホールド・モード
ロジック入力				
入力ハイ電圧、 $V_{INH}$	2.4	2.4	V min	
入力ロー電圧、 $V_{INL}$	0.4	0.4	V max	
入力電流、 $I_{IN}$	$\pm 1$	$\pm 1$	$\mu A$ max	10nA typ, $V_{IN} = 0V$ , $V_{DD}$
入力キャパシタンス、 $C_{IN}^4$	10	10	pF max	
ロジック出力				
出力ハイ電圧、 $V_{OH}$	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	V min	$I_{SOURCE} = 200 \mu A$
出力ロー電圧、 $V_{OL}$	0.4	0.4	V max	$I_{SINK} = 200 \mu A$
フロート状態リーク電流	$\pm 10$	$\pm 10$	$\mu A$ max	$V_{DD} = 2.7V \sim 5.25V$
フロート状態出力キャパシタンス	10	10	pF max	
出力コード化	ストレーク(ナチュラル)バイナリ			
変換速度				
変換時間	12	12	CLK IN サイクル (max)	
トラック / ホールド・アキュイジション時間	135	135	ns min	
スループット	1.75	1.5	MSPS max	変換時間 + アキュイジション時間 CLK IN = 30MHz@5V, 24MHz@3V
電源条件				
$V_{DD}$	+ 2.7 / + 5.25		V min/max	
$I_{DD}^5$				デジタルI/P = 0V, $DV_{DD}$
通常モード	2.4		mA max	$V_{DD} = 4.75 \sim 5.25V$ , $f_s = 1.75MSPS$ , 2mA typ
静止電流	900		$\mu A$ max	$V_{DD} = 4.75 \sim 5.25V$ , $f_s = 1.75MSPS$
通常モード	1.5		mA max	$V_{DD} = 2.7 \sim 3.3V$ , $f_s = 1.5MSPS$ , 1.3mA typ
静止電流	800		$\mu A$ max	$V_{DD} = 2.7 \sim 3.3V$ , $f_s = 1.5MSPS$
スリープモード	1		$\mu A$ max	CLK IN = 0V, $DV_{DD}$
消費電力 <sup>5</sup>				デジタルI/P = 0V, $DV_{DD}$
通常モード	12		mW max	$V_{DD} = 5V$
	4.5		mW max	$V_{DD} = 3V$
スリープモード	5		$\mu W$ max	$V_{DD} = 5V$ , CLK IN = 0V, $DV_{DD}$
	3		$\mu W$ max	$V_{DD} = 3V$ , CLK IN = 0V, $DV_{DD}$

## 注記

1 温度範囲: Aバージョン - 40 ~ +85

2 AD7470は、+2.35Vで機能的に動作。+25 °Cでの一般的な仕様は、S/N比 (100kHz) = 59dB, THD (100kHz) = -84dB, INL  $\pm 0.8$ LSB

3 AD7470は一般に、CLKを20MHz@5V, 16MHz@3Vに低減した状態で、125 °CまでAグレード性能を維持します。125 °Cでのスリープモード電流は700nA typです。

4 確認のため、+25 °Cでサンプル・テスト済み。

5 電力対スループットの項を参照。

仕様は予告なく変更することがあります。

# AD7472 - 仕様<sup>1</sup> ( $V_{DD} = +2.7 \sim +5.25V^2$ , REF IN = 2.5V, $f_{CLKIN} = 26MHz@5V$ , $20MHz@3V$ .)

特に指示がない限り  $T_A = T_{MIN} \sim T_{MAX}^3$ )

パラメータ	Aバージョン <sup>1</sup>		Bバージョン <sup>1</sup>		単位	条件 / 備考
ダイナミック性能	5V	3V	5V	3V		$f_s = 1.5MSPS@5V$ , $f_s = 1.2MSPS@3V$
信号対ノイズ + 歪み (SINAD)	69	69	69	69	dB typ	$f_{IN} = 500kHz$ サイン波
	68	68	68	68	dB min	$f_{IN} = 100kHz$ サイン波
S/N比 (SNR)	70	70	70	70	dB typ	$f_{IN} = 500kHz$ サイン波
	68	68	68	68	dB min	$f_{IN} = 100kHz$ サイン波
全高調波歪み (THD)	-83	-78	-83	-78	dB typ	$f_{IN} = 500kHz$ サイン波
	-83	-84	-83	-84	dB typ	$f_{IN} = 100kHz$ サイン波
	-75	-75	-75	-75	dB max	$f_{IN} = 100kHz$ サイン波
ピーク高調波、スプリアス・ノイズ (SFDR)	-86	-81	-86	-81	dB typ	$f_{IN} = 500kHz$ サイン波
	-86	-86	-86	-86	dB typ	$f_{IN} = 100kHz$ サイン波
	-76	-76	-76	-76	dB max	$f_{IN} = 100kHz$ サイン波
相互変換歪み (IMD)						
第2ターム	-77	-77	-77	-77	dB typ	$f_{IN} = 500kHz$ サイン波
	-86	-86	-86	-86	dB typ	$f_{IN} = 100kHz$ サイン波
第3ターム	-77	-77	-77	-77	dB typ	$f_{IN} = 500kHz$ サイン波
	-86	-86	-86	-86	dB typ	$f_{IN} = 100kHz$ サイン波
アパーチャ遅延	5	5	5	5	ns typ	
アパーチャ・ジッター	15	15	15	15	ps typ	
フルパワー帯域幅	20	20	20	20	MHz typ	
DC精度						$f_s = 1.5MSPS@5V$ , $f_s = 1.2MSPS@3V$
分解能	12	12	12	12	ビット	
積分非直線性	$\pm 2$	$\pm 2$	$\pm 1$	$\pm 1$	LSB max	11ビットまでノーマス・コード保証 (Aバージョン)
微分非直線性	$\pm 1.8$	$\pm 1.8$	$\pm 0.9$	$\pm 0.9$	LSB max	12ビットまでノーマス・コード保証 (Bバージョン)
オフセット誤差	$\pm 10$	$\pm 10$	$\pm 10$	$\pm 10$	LSB max	
ゲイン誤差	$\pm 2$	$\pm 2$	$\pm 2$	$\pm 2$	LSB max	
アナログ入力						
入力電圧範囲	0 ~ REF IN	0 ~ REF IN	0 ~ REF IN	0 ~ REF IN	V	
DCリーク電流	$\pm 1$	$\pm 1$	$\pm 1$	$\pm 1$	$\mu A$ max	
入力キャパシタンス	33	33	33	33	pF typ	
リファレンス入力						
REF IN入力電圧範囲	2.5	2.5	2.5	2.5	V	仕様性能の $\pm 1\%$
DCリーク電流	$\pm 1$	$\pm 1$	$\pm 1$	$\pm 1$	$\mu A$ max	
入力キャパシタンス	10/20	10/20	10/20	10/20	pF typ	トラック / ホールド・モード
ロジック入力						
入力ハイ電圧、 $V_{INH}$	2.4	2.4	2.4	2.4	V min	
入力ロー電圧、 $V_{INL}$	0.4	0.4	0.4	0.4	V max	
入力電流、 $I_{IN}$	$\pm 1$	$\pm 1$	$\pm 1$	$\pm 1$	$\mu A$ max	10nA typ, $V_{IN} = 0V$ , $V_{DD}$
入力キャパシタンス、 $C_{IN}^4$	10	10	10	10	pF max	
ロジック出力						
出力ハイ電圧、 $V_{OH}$	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	V min	$I_{SOURCE} = 200 \mu A$
出力ロー電圧、 $V_{OL}$	0.4	0.4	0.4	0.4	V max	$I_{SINK} = 200 \mu A$
フロート状態リーク電流	$\pm 10$	$\pm 10$	$\pm 10$	$\pm 10$	$\mu A$ max	$V_{DD} = 2.7 \sim 5.25V$
フロート状態出力キャパシタンス	10	10	10	10	pF max	
出力コード化	ストレート(ナチュラル)バイナリ	ストレート(ナチュラル)バイナリ	ストレート(ナチュラル)バイナリ	ストレート(ナチュラル)バイナリ		
変換速度						
変換時間	14	14	14	14	CLK INサイクル(max)	
トラック / ホールド・アキュイジション時間	135	135	135	135	ns min	
スループット	1.5	1.2	1.5	1.2	MSPS max	変換時間 + アキュイジション時間 CLK INは26MHz@5V、20MHz@3V
電源条件						
$V_{DD}$	+2.7 / +5.25	+2.7 / +5.25	+2.7 / +5.25	+2.7 / +5.25	V min/max	
$I_{DD}^5$						デジタルI/P = 0V, $DV_{DD}$
通常モード	2.4	2.4	2.4	2.4	mA max	$V_{DD} = 4.75 \sim 5.25V$ , $f_s = 1.5MSPS$ , 2mA typ
静止電流	900	900	900	900	$\mu A$ max	$V_{DD} = 4.75 \sim 5.25V$ , $f_s = 1.5MSPS$
通常モード	1.5	1.5	1.5	1.5	mA max	$V_{DD} = 2.7 \sim 3.3V$ , $f_s = 1.2MSPS$ , 1.3mA typ
静止電流	800	800	800	800	$\mu A$	$V_{DD} = 2.7 \sim 3.3V$ , $f_s = 1.2MSPS$
スリープモード	1	1	1	1	$\mu A$ max	CLK IN = 0V, $DV_{DD}$
消費電力 <sup>5</sup>						デジタルI/P = 0V, $DV_{DD}$
通常モード	12	12	12	12	mW max	$V_{DD} = 5V$
	4.5	4.5	4.5	4.5	mW max	$V_{DD} = 3V$
スリープモード	5	5	5	5	$\mu W$ max	$V_{DD} = 5V$ , CLK IN = 0V, $DV_{DD}$
	3	3	3	3	$\mu W$ max	$V_{DD} = 3V$ , CLK IN = 0V, $DV_{DD}$

## 注記

1 温度範囲 : A, Bバージョン - 40 ~ +85

2 AD7472は、+2.35Vで機能的に動作。+25 での一般的な仕様は、S/N比 (100kHz) = 68dB、THD (100kHz) = -84dB、INL  $\pm 0.8LSB$

3 AD7472は一般に、CLKを18MHz@5V、14MHz@3Vに低減した状態で、125 までAグレード性能を維持します。125 でのスリープモード電流は700nA typです。

4 確認のため、+25 でサンプル・テスト済み。

5 電力対スループットの項を参照。

仕様は予告なく変更することがあります。

# AD7470/AD7472

## タイミング仕様<sup>1</sup> ( $V_{DD} = +2.7 \sim +5.25V$ 、 $REF\ IN = 2.5V$ 。特に指示がない限り $T_A = T_{MIN} \sim T_{MAX}$ )

パラメータ	T <sub>MIN</sub> 、T <sub>MAX</sub> での限界値		単位	条件 / 備考
	AD7470	AD7472		
fCLK <sup>2</sup>	10	10	kHz min	
	30	26	MHz max	
t <sub>CONVERT</sub>	436.42	531.66	ns max	t <sub>CLK</sub> = 1/f <sub>CLK IN</sub>
t <sub>WAKEUP</sub>	1	1	μs max	ウェイク・アップ時間
t <sub>1</sub>	10	10	ns min	CONVSTパルス幅
t <sub>2</sub> <sup>3</sup>	10	10	ns max	CONVST ~ BUSYの遅延、V <sub>DD</sub> = 5V
	30	30	ns max	CONVST ~ BUSYの遅延、V <sub>DD</sub> = 3V
t <sub>3</sub>	0	0	ns max	BUSY ~ CSのセットアップ時間
t <sub>4</sub> <sup>4</sup>	0	0	ns max	CS ~ RDのセットアップ時間
t <sub>5</sub>	20	20	ns min	RDパルス幅
t <sub>6</sub> <sup>4</sup>	15	15	ns min	RDの立ち下がりエッジ後のデータ・アクセス時間
t <sub>7</sub> <sup>5</sup>	8	8	ns max	RDの立ち上がりエッジ後のバス解放時間
t <sub>8</sub>	0	0	ns max	CS ~ RDのホールド時間
t <sub>9</sub>	135	135	ns min	アクイジション時間
t <sub>10</sub>	100	100	ns min	静止時間

### 注記

1 正確性を高めるために +25 °C でサンプル・テスト済み。すべての入力信号は  $t_r = t_f = 5ns$  ( $V_{DD}$  の 10 ~ 90%) で規定され、電圧レベル 1.6V でタイミング調整されます。図1参照。

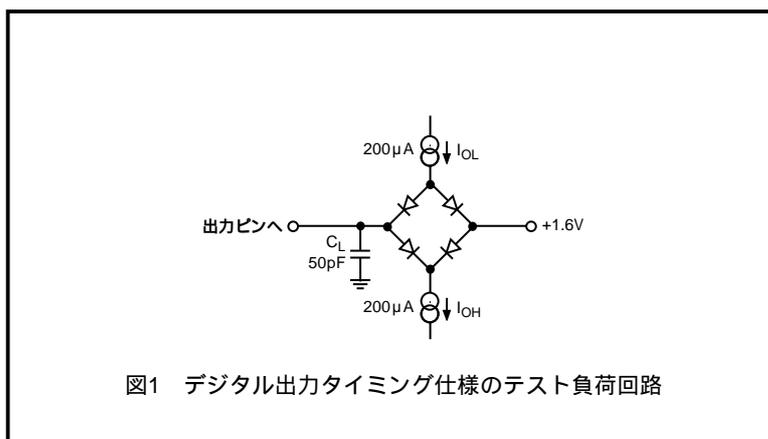
2 CLK入力のマーク/スペース比は、40/60 ~ 60/40。最初のCLKパルスは、CONVSTの立ち下がりエッジから 10ns minにすること。

3  $t_2$ は 35ns @ +125 °C。

4 図1の負荷回路で測定し、出力が 0.8V もしくは 2.0V に達するのに必要な時間として定義。

5  $t_7$ は、図1の回路に負荷を与えたとき、データ出力が 0.5V 変化するのに要する測定時間から導き出します。次に、測定値から外部の 50pF コンデンサの充/放電の影響を取り除いて補正します。つまりこのタイミング特性で示される時間  $t_7$ は、製品の実際のバス放棄時間で、外部バスの負荷容量は考慮に入れていません。

仕様は、予告なく変更することがあります。



# AD7470/AD7472

## 絶対最大定格<sup>1</sup>

(とくに指示がない限り  $T_A = +25$  )

$AV_{DD} \sim AGND/DGND$	- 0.3 ~ + 7V
$DV_{DD} \sim AGND/DGND$	- 0.3 ~ + 7V
$V_{DRIVE} \sim AGND/DGND$	- 0.3 ~ + 7V
$AV_{DD} \sim DV_{DD}$	- 0.3 ~ + 0.3V
$V_{DRIVE} \sim DV_{DD}$	- 0.3V ~ $DV_{DD} + 0.3V$
$AGND \sim DGND$	- 0.3 ~ + 0.3V
アナログ入力電圧 ~ $AGND$	- 0.3V ~ $AV_{DD} + 0.3V$
デジタル入力電圧 ~ $DGND$	- 0.3V ~ $DV_{DD} + 0.3V$
$REF IN \sim AGND$	- 0.3V ~ $AV_{DD} + 0.3V$
電源を除く任意のピンへの入力電流 <sup>2</sup>	$\pm 10mA$

## 動作温度範囲

商業用 ( A, Bバージョン ) - 40 ~ + 85

保管温度範囲 - 65 ~ + 150

接合温度 + 150

SOIC、TSSOPパッケージ

ワット損 + 450mW

$J_A$ 熱インピーダンス 75  $\mu W$  ( SOIC )

115  $\mu W$  ( TSSOP )

$J_C$ 熱インピーダンス 25  $\mu W$  ( SOIC )

35  $\mu W$  ( TSSOP )

ピン温度、ハンダ付け

蒸着 ( 60秒 ) + 215

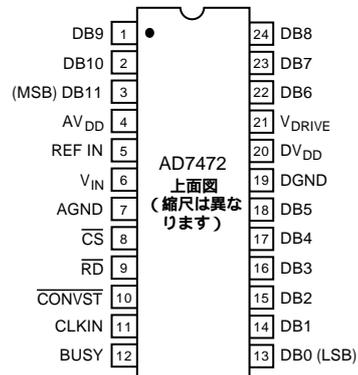
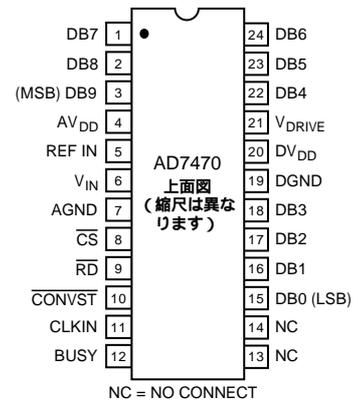
赤外線 ( 15秒 ) + 220

## 注記

1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

2 最大100mAまでの過渡電流では、SCRラッチアップは発生しません。

## ピン配置



## オーダー・ガイド

モデル	温度範囲	分解能 (ビット)	パッケージ・オプション <sup>1</sup>
AD7470ARU	- 40 ~ + 85	10	RU-24
AD7472AR	- 40 ~ + 85	12	R-24
AD7472BR	- 40 ~ + 85	12	R-24
AD7472ARU	- 40 ~ + 85	12	RU-24
AD7472BRU	- 40 ~ + 85	12	RU-24
EVAL-AD7470CB <sup>2</sup>			評価ボード
EVAL-AD7472CB <sup>2</sup>			評価ボード
EVAL-CONTROL BOARD <sup>3</sup>			コントローラ・ボード
HSC-INTERFACE BOARD			評価高速インターフェース・ボード

## 注記

1 R = SOIC, RU = TSSOP

2 評価 / デモ用に、単独、EVAL-CONTROL BOARDとの組み合わせの両方で使用可能。

3 品番末尾がCBの当社の評価ボードと、PCで制御 / 接続できる完全なユニットです。

## 注意

ESD ( 静電放電 ) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



# AD7470/AD7472

## ピン機能説明

記号	機能
$\overline{CS}$	チップセレクト。 $\overline{RD}$ ピンと組み合わせて、変換結果にアクセスするために用いられる、アクティブなロー・ロジック入力です。変換結果は、 $\overline{CS}$ ピンと $\overline{RD}$ ピン両方の立ち下がりエッジの後のデータバスに配置されます。 $\overline{CS}$ ピンと $\overline{RD}$ ピンは、ともに入力の同じANDゲートに接続されるので、信号が互換できます。 $\overline{CS}$ ピンは、ハード設定で恒久的にローにできます。
$\overline{RD}$	読み込み入力。変換結果にアクセスするため、 $\overline{CS}$ ピンと組み合わせて用いるロジック入力。変換結果は、 $\overline{CS}$ ピンと $\overline{RD}$ ピン両方の立ち下がりエッジの後のデータバスに配置されます。 $\overline{CS}$ ピンと $\overline{RD}$ ピンは、ともに入力の同じANDゲートに接続されるので、信号が互換できます。 $\overline{CS}$ ピンと $\overline{RD}$ ピンは恒久的にローにハード設定でき、この場合、データバスは常にアクティブで、新しい変換の結果は、BUSYラインがローになる直前にクロック出力されます。
$\overline{CONVST}$	変換スタート入力。変換の開始に用いるロジック入力。入力トラック/ホールド・アンプは、 $\overline{CONVST}$ ピンの立ち下がりエッジでトラックモードからホールドモードへ移り、この時点で変換プロセスが開始します。変換入力は、15nsまで狭められます。 $\overline{CONVST}$ 入力に変換中ずっとローに保たれ変換終了後もローの場合、デバイスは自動的にスリープモードになります。スリープモードに入ったデバイスは、 $\overline{CONVST}$ ピンの次の立ち上がりエッジでウェイク・アップします。ウェイク・アップ時間は1 $\mu$ s typです。
CLKIN	マスター・クロック入力。変換プロセスのクロックソースはこのピンに印可されます。AD7472の変換時間は14クロックサイクルで、AD7470の変換時間は12クロックサイクルです。このため、マスター・クロック入力の周波数が、変換時間および可能な処理速度を決定します。A/Dコンバータが変換していない間は、クロック入力パッドは3ステートになり、部品にクロックは入力されません。
BUSY	BUSY出力。変換プロセスの状態を示すロジック出力。BUSY信号は、 $\overline{CONVST}$ ピンの立ち下がりエッジ後ハイになり、変換中はハイ状態を保ちます。変換が終了し、変換結果が出力レジスタに入力されると、BUSYラインはローに戻ります。トラック/ホールド・アンプは、BUSYピンの立ち下がりエッジの直前でトラックモードに移り、BUSYがローになるとアクイジション時間が開始します。BUSYピンがローになっても、 $\overline{CONVST}$ 入力がローのままだと、デバイスはBUSYの立ち下がりエッジで、スリープモードに入ります。
REFIN	リファレンス入力。外部リファレンスはこのピンから入力します。外部リファレンスの電圧範囲は、2.5V $\pm$ 1%と仕様規定されています。
AV <sub>DD</sub>	アナログ電源。+2.7 ~ +5.25V。AD7470/7472の全アナログ回路で唯一の電源電圧です。AV <sub>DD</sub> とDV <sub>DD</sub> 電圧は同じ電位が理想で、遷移時でも、0.3V以上離れてはいけません。この電源は、AGNDとデカップリングします。
DV <sub>DD</sub>	デジタル電源。+2.7 ~ +5.25V。出力ドライバを別とした、AD7470/7472の全デジタル回路における電源電圧です。AV <sub>DD</sub> 、DV <sub>DD</sub> の両電圧は同じ電位が理想で、遷移バイアスでも0.3V以上の差がないようにします。DGNDとデカップリングする必要があります。
AGND	アナログ・グラウンド。AD7470/7472の全アナログ回路のグラウンド・リファレンス・ポイントです。全アナログ入力信号と、外部リファレンス信号の基準になります。AGNDとDGNDの両電圧は同じ電位が理想で、遷移バイアスでも0.3V以上の差がないようにします。
DGND	デジタル・グラウンド。AD7470/7472の全デジタル回路のグラウンド・リファレンス・ポイントです。DGNDとAGNDの両電圧は同じ電位が理想で、遷移バイアスでも0.3V以上の差がないようにします。
V <sub>IN</sub>	アナログ入力。シングルエンド・アナログ入力チャンネル。入力範囲は0V ~ REF INです。アナログ入力によって、高いDC入力インピーダンスが得られます。
V <sub>DRIVE</sub>	出力ドライバの電源電圧で、範囲は+2.7 ~ +5.25Vです。この電圧は、データ出力ピンの出力ハイ電圧を決定します。これにより、AV <sub>DD</sub> とDV <sub>DD</sub> が5Vで動作でき（A/Dコンバータのダイナミック性能が最大になる）、デジタル出力が3Vロジックとインターフェースできます。
DB0 ~ DB9/11	データ・ビット0 ~ 9（AD7470）と、データ・ビット0 ~ 11（AD7472）。変換結果を提供するパラレル・デジタル出力です。 $\overline{CS}$ 、 $\overline{RD}$ ピン経由で制御される3ステート出力です。これらの出力の出力ハイ電圧レベルは、V <sub>DRIVE</sub> 入力決定されます。

## 用語説明

### 積分非直線性

A/DC変換関数の実際の両端を結ぶ直線からの最大偏差です。変換関数の両端とは、最初のコード遷移より1/2LSB下のゼロ・スケールと、最後のコード遷移より1/2LSB上のフル・スケールです。

### 微分非直線性

A/Dコンバータの任意の2つの隣接コード間における1LSB遷移の測定値と理想値の差です。

### オフセット誤差

最初のコード遷移（00...000から00...001への変化）の理想値（AGND + 0.5LSB）からの偏差です。

### ゲイン誤差

最後のコード遷移は、公称フルスケールの1/2LSB下のアナログ値で発生し、最初の遷移は、フルスケールの下限の1/2LSB上で発生します（AD7470/7472の場合はゼロ）。ゲイン誤差は、オフセット誤差を除去した状態での、最初と最後のコード遷移の差の、理想値からの偏差です。

### トラック/ホールド・アクイジション時間

トラック/ホールド・アンプは、変換の終了後トラックモードへ戻ります。トラック/ホールド・アクイジション時間は、変換終了後にトラック/ホールド・アンプ出力が、最終値 $\pm 1$ LSB以内に達するまでに要する時間です。

### 信号対（ノイズ+歪み）比

A/Dコンバータの出力で測定された信号と（ノイズ+歪み）の比です。信号は、基本波のrms振幅で、ノイズはサンプル周波数の1/2（ $f_s/2$ ）までの、DCと基本波を除く全信号のrms値の総和です。この比は、量子化プロセスの量子化レベル数によって決まります。レベルが大きいくほど、量子化ノイズは少なくなります。サイン波入力を備えるNビット・コンバータの信号対（ノイズ+歪み）比の理論値は、次式で表せます。

信号対（ノイズ+歪み）比 =  $(6.02N + 1.76)$  dB  
従って、12ビット・コンバータでは74dB、10ビット・コンバータでは、62dBとなります。

### 全高調波歪み

全高調波歪み（THD）は、高調波のrms値の総計と基本波との比です。AD7470/7472の場合、次式で表されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1}$$

ここで、 $V_1$ は、基本波のrms振幅で、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は、2～6次高調波のrms振幅です。

### ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、A/Dコンバータ出力スペクトラム（DCを除き、最大 $f_s/2$ ）内で2番目に大きい成分のrms値と基本波のrms値の比と定義されます。通常、この値は、スペクトラムの最大高調波により決定されますが、高調波がノイズフロアに埋もれているA/DCの場合は、ノイズ・ピークにより決定されます。

### 相互変調歪み

2つの周波数 $f_a$ と $f_b$ を持つサイン波を入力することにより、非直線性を持つすべてのアクティブ・デバイスは、 $m f_a \pm n f_b$ （ $n=0, 1, 2, 3, \dots$ ）周波数の和と差で表される歪み積を発生します。相互変調項は、 $m$ と $n$ がどちらも非ゼロの項です。例えば、2次タームには、 $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7470/7472はCCIF規格に従い、入力帯域幅上限に近い2つの入力周波数を使ってテストされています。この場合、一般に2次タームは元のサイン波から離れた周波数になりますが、3次タームは入力周波数に近い周波数になります。そのため、2次タームと3次タームは別々に規定されます。相互変調歪みの計算は、個々の歪み成分のrms総和と基本波の和のrms振幅の比（単位dBs）で、THD仕様と同様に行います。

### アパーチャ遅延

サンプル/ホールド・アンプで、ホールド後にスイッチが充分に開くまでに要する時間です。実際、この間隔の分だけサンプル処理が遅延するので、正確なタイミングを得るためには、ホールド命令を遅延の分だけ進める必要があります。

### アパーチャ・ジッター

アパーチャ・ジッターは、アパーチャ遅延の変動の範囲です。言い換えると、サンプル処理の時期に関する不確実性のことです。ジッターは、ホールド命令の位相を変調するノイズが引き起こします。この仕様によって最終的なタイミング誤差が確定し、決められた分解能での最高サンプリング周波数が確定します。この誤差は、入力 $dV/dt$ の増大に比例します。

# AD7470/AD7472

## 回路の概要

### コンバータの動作

AD7470/7472は、容量性D/Aコンバータ・ベースの10/12ビット逐次比較型A/Dコンバータです。AD7470/7472は、アナログ入力信号を、 $0V \sim V_{REF}$ の範囲で変換できます。図2は、A/Dコンバータの簡略図です。制御ロジックと、SAR、容量性D/Aコンバータを使用して、サンプリング・コンデンサから一定量の電荷を加減し、コンパレータをバランス状態に戻しています。

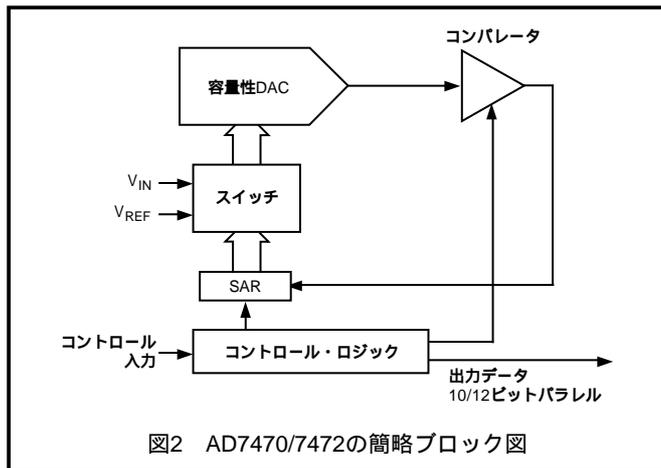


図3は、アキュイジション中のA/Dコンバータを表します。SW2は閉じ、SW1は位置Aにあります。コンパレータは、バランス状態にあり、サンプリング・コンデンサは、 $V_{IN}$ の信号を収集します。

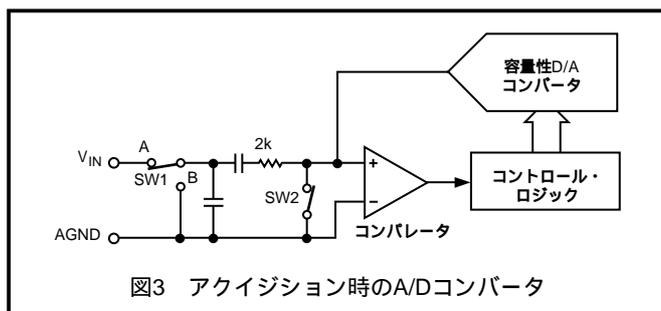
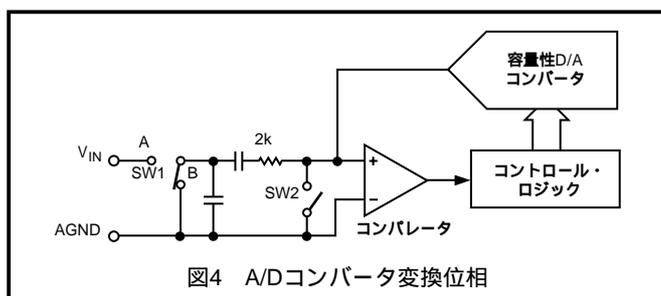


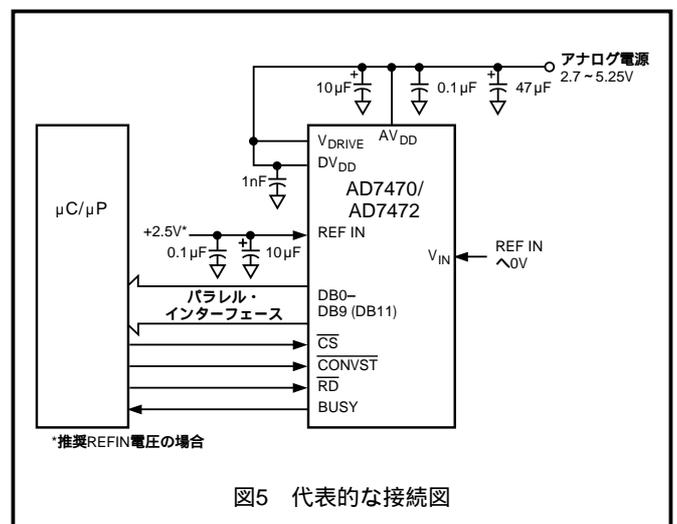
図4は、変換動作中のA/Dコンバータです。変換が始まると、SW2が開いて、SW1が位置Bに移動し、コンパレータがアンバランスになります。A/Dコンバータは、逐次比較処理を実行し、コンパレータをバランス状態に戻します。コンパレータがバランス状態に戻ると、変換結果がSARレジスタに現れます。



## 代表的な接続図

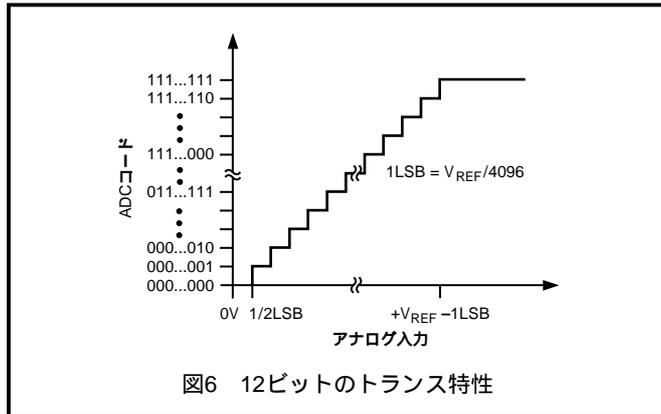
図5は、AD7470/7472の代表的な接続図です。変換は、 $\overline{CONVST}$ ピンの立ち上がりエッジから開始されます。 $\overline{CONVST}$ が一度ローになると、BUSY信号がハイになり、変換の最後に、割込サービス・ルーティンを起動するために、BUSYの立ち上がりエッジが使われます。続いて、10または12データ・ビットを読み込むために、 $\overline{CS}$ と $\overline{RD}$ ラインを平行に動作させます。推奨REF IN電圧2.5Vでのアナログ入力範囲は0~2.5Vで、AD7470/7472はユニポーラA/Dになります。最初の変換結果は不正確になりがちなので、電源立ち上げ後にダミー変換を行うことを推奨します。これによって、正しい動作モードが実現します。電源投入時には $\overline{CONVST}$ ピンをフロート状態にしないでください。 $\overline{CONVST}$ ピンが立ち上がらない可能性があります。

図5では、 $V_{DRIVE}$ ピンは $DV_{DD}$ に接続され、その結果、ロジック出力電圧値が0V、または $DV_{DD}$ になります。 $V_{DRIVE}$ に加えられる電圧によって、出力ロジック信号の電圧値が制御されます。たとえば、 $DV_{DD}$ の電源電圧が5Vで、 $V_{DRIVE}$ の電圧が3Vの場合、ロジック出力電圧レベルは0Vか3Vになります。この特長によって、5V電源で信号をA/D変換する一方で、3V動作のデバイスとのインターフェースが可能なのです。



## A/Dコンバータのトランス機能

AD7470/7472の出力コードはストレート・バイナリです。設計されたコード遷移は、連続整数LSB値(1LSB、2LSBなど)で発生します。LSBの大きさは、AD7472が $(REF\ IN)/4096$ 、AD7470が $(REF\ IN)/1024$ です。AD7472の理想的なトランス特性を、図6に示します。



## ACアキュイジション時間

ACアプリケーションでは、アナログ入力信号は常にバッファすることを推奨します。A/Dコンバータのアキュイジション時間を最短にするためには、ドライブ回路の電源インピーダンスは、できるだけ低く抑えます。A/DコンバータのVINピンのインピーダンス値が大きいと、高入力周波数を劣化させるTHD(全高調波歪み)が発生します。

入力 バッファ	AD7470/ 7472の ダイナミック性能		アンプの消費 電流 (typ)
	S/N比 500kHz	THD 500kHz	
AD8047	70	78	5.8mA
AD9631	69.5	80	17mA
AD8051	68.6	78	4.4mA
AD797	70	84	8.2mA

図7 推奨入力バッファ

## リファレンス入力

AD7470/7472に最適なリファレンスは以下の通りです。

- ADR291
- AD780
- AD192

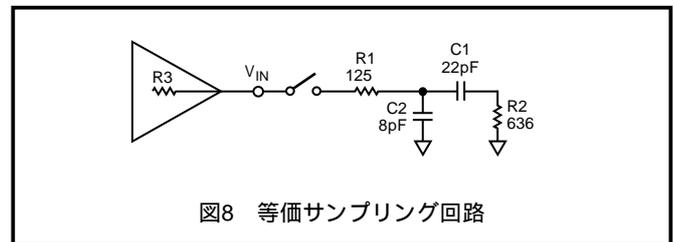
最適な性能を得るには、2.5Vリファレンスを推奨します。AD7470/7472は、2~3V範囲のリファレンス範囲で機能できますが、その場合、性能は低下します。

## DCアキュイジション時間

A/Dコンバータは、変換の終了時に新たなアキュイジションを開始し、CONVST信号の立ち下がりがエッジで終了します。変換の最後には、サンプリング回路と関係するセトリング時間が掛かります。このセトリング時間は約135nsです。VINのアナログ信号も、このセトリング時間中に取得されます。そのため、必要な最低アキュイジション時間は約135nsです。

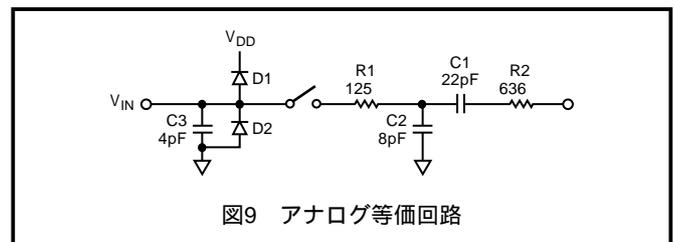
図8は、A/Dコンバータがアキュイジション中のサンプリング・コンデンサの等価充電回路を表します。R3は、バッファアンプの電源インピーダンス、または抵抗ネットワークです。R1は、内部スイッチ抵抗、R2は、帯域幅コントロール、C1は、サンプリング・コンデンサです。C2は、バックプレートの容量とスイッチの寄生容量です。

アキュイジションの間、サンプリング・コンデンサは、最終値の1LSB以内まで充電する必要があります。



## アナログ入力

図9は、AD7470/7472のアナログ入力構造の等価回路です。2つのダイオード、D1とD2は、アナログ入力のESD保護を行います。コンデンサC3は、一般に4pF程度で、主にピン容量によります。抵抗R1は、内部スイッチ抵抗で、一般に125程度です。C1は、R2が帯域幅コントロールに使われる一方で、サンプリング・コンデンサとして機能します。



## クロックソース

AD7470の最高CLK仕様は30MHz、AD7472は26MHzです。これらの周波数は、標準のオフ・ザ・シェルフ型オシレータにはありません。この周波数に近いオシレータ・モジュールは多くのメーカーが製造しています。代表的なものは、IQD社の25.175MHzの製品があります。AEL Crystals社は、25MHzのオシレータ・モジュールを、各種パッケージで生産しています。クリスタル・オシレータのメーカーでも、26MHzと30MHzのオシレータを注文生産しています。もちろん、クリスタル・オシレータに限らず、全タイプのクロックソースが使用できます。

# AD7470/AD7472

## パラレル・インターフェース

AD7470/7472のパラレル・インターフェースは、それぞれ10/12ビット幅です。出力データ・バッファは、 $\overline{CS}$ と $\overline{RD}$ ピンの両方がロジック・ローのときに動作します。データ・レジスタの中身は、この時点でデータバスに配置されます。図10は、パラレル・ポートのタイミング図です。

図11は、 $\overline{CS}$ と $\overline{RD}$ が恒久的にローに固定された場合のタイミング図です。この設定では、一度BUSYラインがハイからローになれば、変換プロセスが終了します。データは、BUSYの立ち下がりエッジの直前に、出力バスで得られます。

重要なポイントとして、A/DCの変換中にはデータバスのステートが変えられないことに留意してください。これを行うと、進行中の変換に悪影響が及ぶからです。データ出力ラインは、 $\overline{RD}$ または $\overline{CS}$ ラインがハイになると再び3ステートになります。このように、 $\overline{CS}$ を永久ローに固定して、 $\overline{RD}$ ラインが変換結果アクセスを制御するようにしておけます。出力電圧レベルについては、 $V_{DRIVE}$ の項を参照してください。

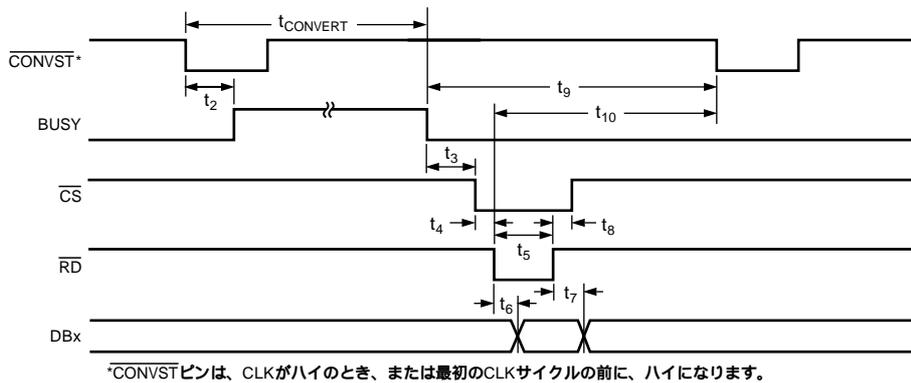


図10 パラレル・ポート・タイミング

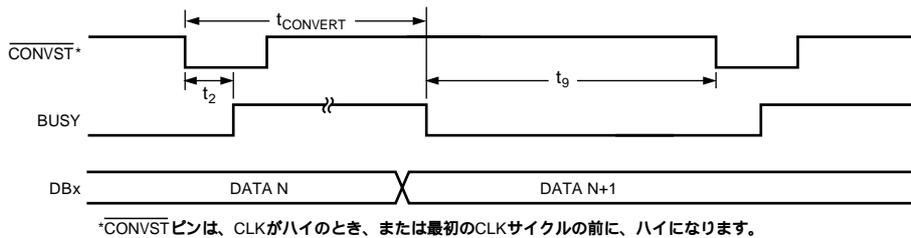


図11  $\overline{CS}$ と $\overline{RD}$ をローに固定したときのパラレル・ポート・タイミング

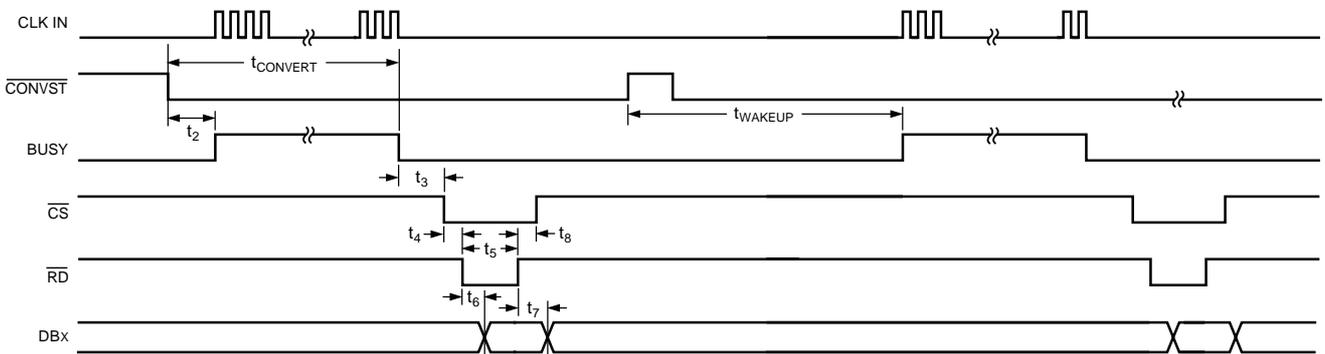


図12 ウェイク・アップ・タイミング図 (バーストクロック)

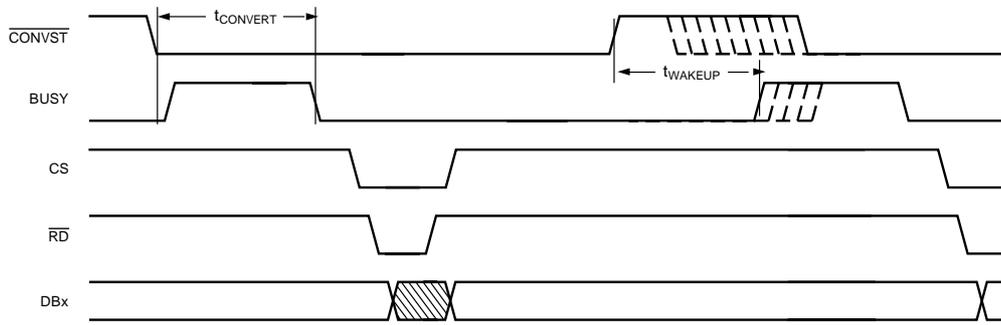


図13 モード2での動作

### 動作モード

AD7470/7472は、変換終了時の $\overline{\text{CONVST}}$ パルスの状態により、動作モード1、モード2が選択できます。CLKINピンには、連続クロックがあります。

#### モード1（高速サンプリング）

この動作モードでは、変換の終了の前、つまりBUSYピンがローになる前に $\overline{\text{CONVST}}$ パルスがハイになります。(図10参照)。BUSYがハイの間に $\overline{\text{CONVST}}$ ピンがハイからローになると、変換が再開されます。このモードで動作中は、BUSYがローになってから135ns後まで、新たな変換を開始しないでください。このアキュイジション時間によって、トラック/ホールド回路が正確に入力信号を取得できます。先述のとおり、変換中に読み出しを行わないでください。このモードでは、AD7470/7472で最速の処理時間が実現します。

#### モード2（スリープモード）

図13は、変換後にA/Dコンバータがスリープモードに入る、モード2でのAD7470/7472を表します。 $\overline{\text{CONVST}}$ ラインがローになると変換を開始し、変換の終了後までローを保ちます。BUSYがハイの間に、 $\overline{\text{CONVST}}$ がハイになって再びローになると、変換が再開されます。BUSYラインがハイからローになると $\overline{\text{CONVST}}$ ラインの状態が確認され、ローならばスリープモードに入ります。

デバイスは $\overline{\text{CONVST}}$ の立ち上がりエッジで、再びウェイク・アップします。 $\overline{\text{CONVST}}$ の立ち上がりエッジ後、BUSYラインがハイになって変換の開始を知らせるまで、一般に1 $\mu\text{s}$ のウェイク・アップ時間があります。BUSYは、 $\overline{\text{CONVST}}$ がローになってはじめて、ハイになります。 $\overline{\text{CONVST}}$ ラインは、このウェイク・アップ時間中にハイからローになりますが、変換は、1 $\mu\text{s}$ のウェイク・アップ時間後まで、開始されません。この動作モードでは、変換を実行する時だけAD7470/7472をウェイク・アップして、優れた電源性能を達成できます。

#### バースト・モード

AD7470/7472のバースト・モードには、さらにモード1とモード2があり、クロックは非連続です。図12は、モード2でのA/Dコンバータの動作を表します。クロックは、変換中にスイッチを入れるだけで発生し、AD7470は最低12クロック・サイクル、AD7472は14クロック・サイクルです。変換していないインターバルではクロックがオフになり、システム電源が節約できます。BUSY信号は、CLKINパルスのゲート制御に用います。BUSYがハイになってから最初のCLKIN立ち上がりエッジまで、A/Dコンバータは変換プロセスを

開始しません。 $\overline{\text{CONVST}}$ アクティブ・エッジから2クロック・サイクル以内にクロックをスタートさせないと、INLが低下します。例えば、クロック周波数が28MHzの場合、 $\overline{\text{CONVST}}$ がローになって71.4ns以内にクロックをスタートさせる必要があります。図12では、変換が終了するとA/Dコンバータがスリープモードに入り、 $\overline{\text{CONVST}}$ の立ち上がりエッジで再びウェイク・アップします。A/Dコンバータのサンプリング速度を低下させないように、ウェイク・アップ時間に注意してください。

#### $V_{\text{DRIVE}}$

$V_{\text{DRIVE}}$ ピンは出力ドライバへの電圧電源として用いられる、 $AV_{\text{DD}}$ と $DV_{\text{DD}}$ から独立した電源です。出力ドライバに独立した電源を用いるのは、出力ハイ電圧 $V_{\text{OH}}$ を、AD7470/7472の $V_{\text{DD}}$ 電源と別に変更できるようにするためです。例えば、 $AV_{\text{DD}}$ と $DV_{\text{DD}}$ が5V電源を用いている場合でも、 $V_{\text{DRIVE}}$ ピンの電源を3Vにできます。A/Dコンバータは、3V電源より5Vで優れたダイナミック性能を発揮します。3V部品にインターフェースしながら、5Vで動作することによって、AD7470/7472は高性能10/12ビットA/Dコンバータとしてトップの製品となっています。もちろん、A/Dコンバータは、 $V_{\text{DRIVE}}$ ピンと $DV_{\text{DD}}$ ピンと一緒に接続することもでき、3Vまたは5V電源にもできます。

すべての出力、つまりデータ出力ピンとBUSYピンは、 $V_{\text{DRIVE}}$ から電源を取ります。 $\overline{\text{CONVST}}$ 、 $\overline{\text{CS}}$ 、 $\overline{\text{RD}}$ 、CLKIN信号は、 $DV_{\text{DD}}$ 電圧に関係します。

#### 電源立ち上げ

最初の変換結果は不正確になることがあるので、電源立ち上げ後にダミー変換を行うことを推奨します。これによって、部品が確実に正しい動作モードになります。推奨する電源立ち上げ手順は以下の通りです。

- 1 > GND
- 2 >  $V_{\text{DD}}$
- 3 >  $V_{\text{DRIVE}}$
- 4 > デジタル入力
- 5 > REF IN
- 6 >  $V_{\text{IN}}$

#### 電力対スルーブット

AD7470/7472の2つの動作モード（モード1、モード2）では、電力対処理量が異なります。詳しくは、データシートの動作モードの項を参照してください。モード2はスリープモードで、最適な電力性能を達成します。

# AD7470/AD7472

## モード1

図14は、モード1、処理速度500kSPS、クロック周波数26MHzでのAD7472の変換を表しています。5V電源では、変換時の消費電流は2mA、静止電流は650  $\mu$ Aです。531.66nsの変換時間で、以下の通り、1サイクルの全消費電力のうち2.658mWを消費します。

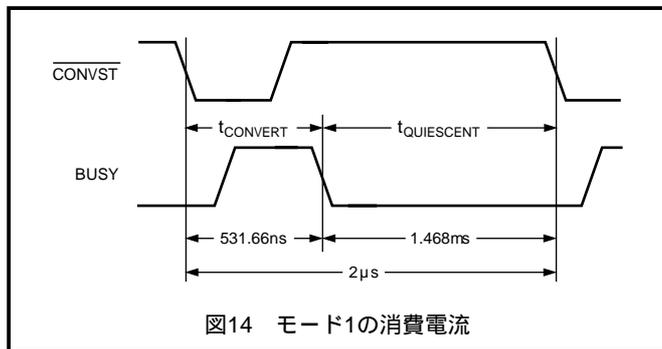
$$(531.66\text{ns}/2\ \mu\text{s}) \times (5 \times 2\text{mA}) = 2.658\text{mW}$$

サイクルの残りの1.468  $\mu$ sでの全消費電力に占めるのは2.38mW。

$$(1.468\ \mu\text{s}/2\ \mu\text{s}) \times (5 \times 650\ \mu\text{A}) = 2.38\text{mW}$$

従って、各サイクルで消費する電力は、

$$2.658\text{mW} + 2.38\text{mW} = 5.038\text{mW}$$



## モード2

図15は、モード2、処理速度500kSPS、クロック周波数26MHzでのAD7472の変換を表しています。5V電源では、変換時の消費電流は2mAですが、スリープ電流は最大1  $\mu$ Aです。このパワー・ダウン状態で消費する電力は極めて少ないので、電力全体での考慮は不要です。ウェイク・アップ状態では、AD7472は650  $\mu$ Aを消費します。1サイクルの全消費電力は、

$$(531.66\text{ns}/2\ \mu\text{s}) \times (5 \times 2\text{mA}) + (1\ \mu\text{s}/2\ \mu\text{s}) \times (5 \times 650\ \mu\text{A}) = 4.283\text{mW}$$

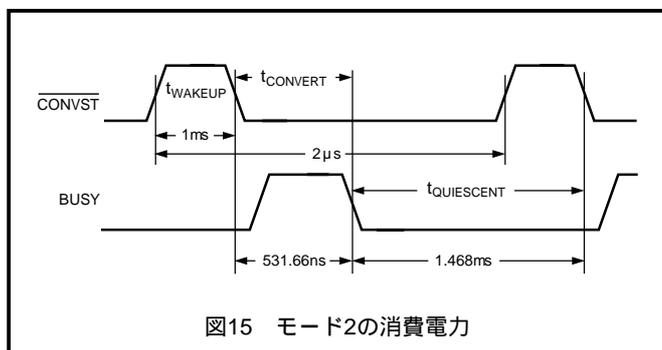
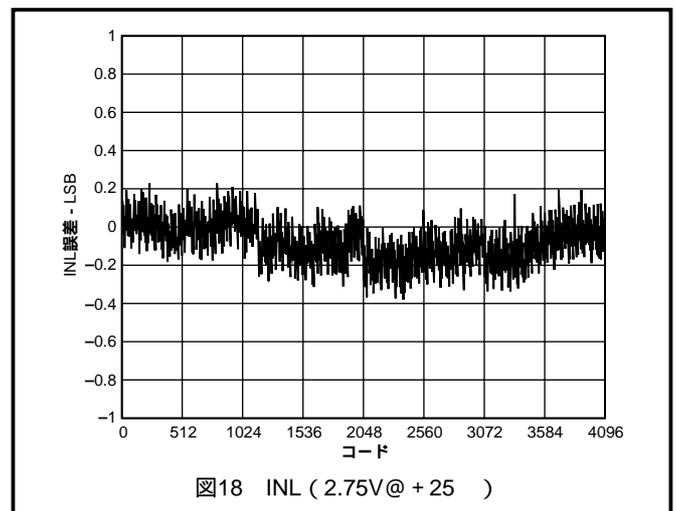
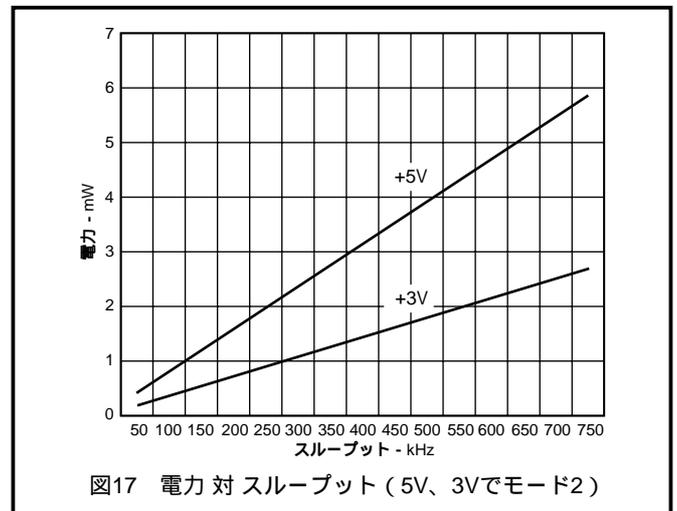
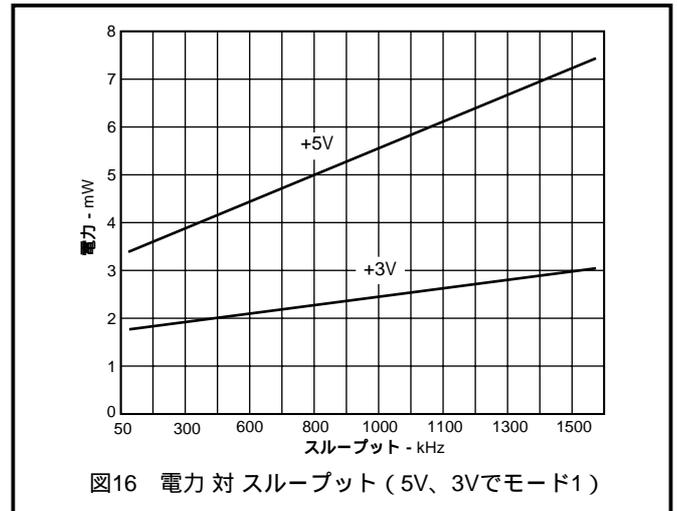


図16、図17は、5V、3V電源でモード1、2での、AD7472の電力対処理量のグラフです。



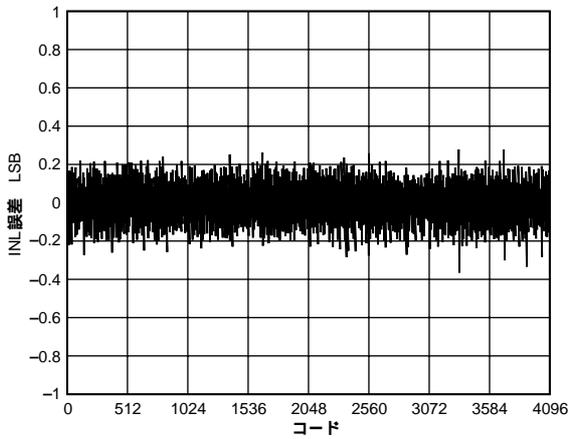


図19 DNL (2.75V @ +25 )

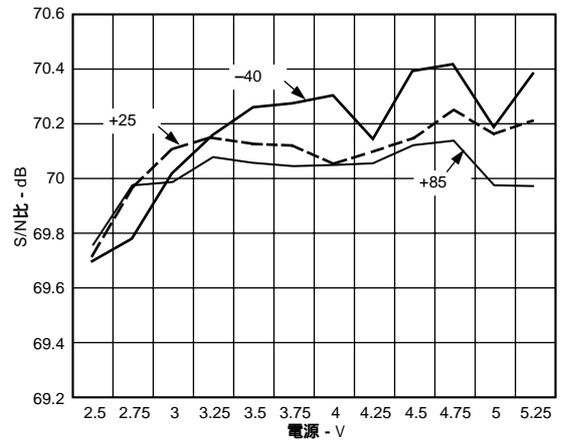


図22 S/N比 対 電源

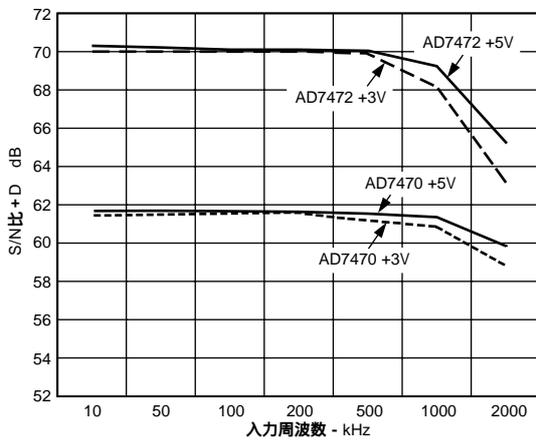


図20 S/N比 + D 対 入力トーン

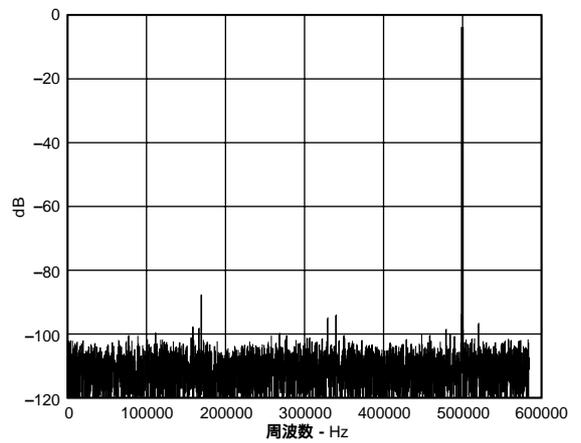


図23 S/N比 (入力トーン500kHz)

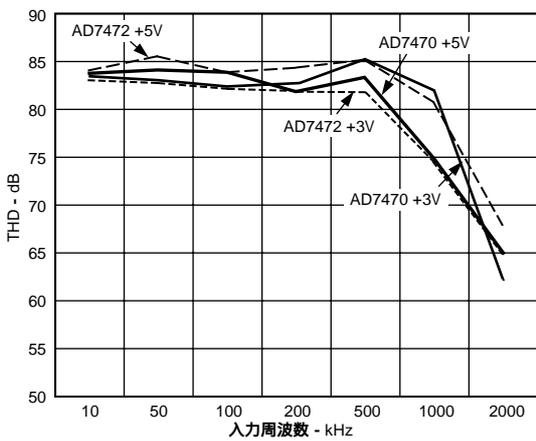


図21 THD 対 入力トーン

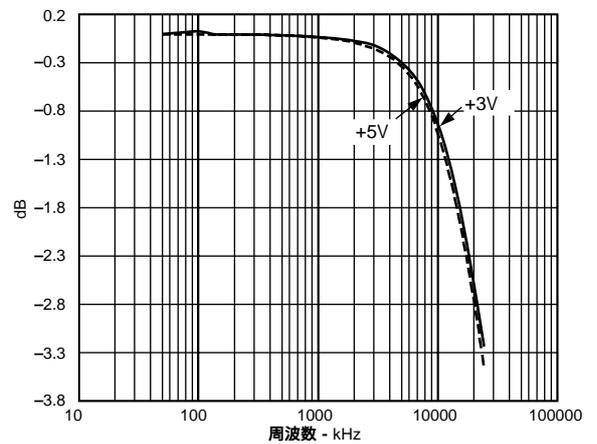


図24 帯域幅

# AD7470/AD7472

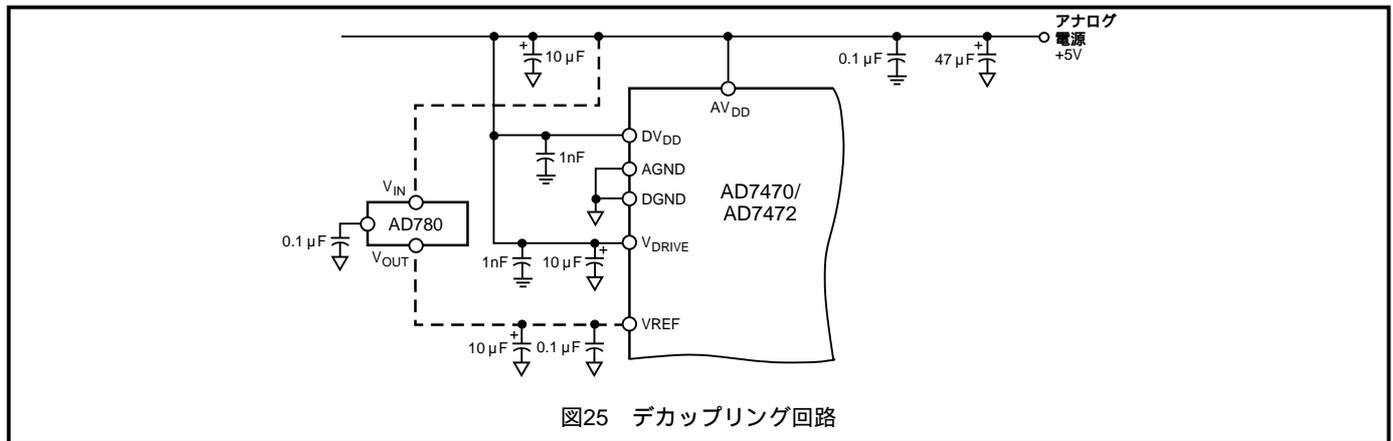


図25 デカップリング回路

## 接地とレイアウト

アナログとデジタルの電源は独立し、デバイス内のアナログ部とデジタル部のカップリングを最小にするために、離してピン出力しています。AD7470/7472の優れたノイズ性能を補完するため、PCBのレイアウトは慎重にしてください。図25は、AD7470/7472の推奨される接続図です。

AD7470/7472の全グラウンド・ピンは、直列インダクタンスを最小にするため、接地面に直接ハンダ付けしてください。AV<sub>DD</sub>、DV<sub>DD</sub>、V<sub>DRIVE</sub>ピンは、アナログとデジタルの両接地面とデカップリングします。大きい値のコンデンサは、低周波数ノイズをアナログ接地面とデカップリングし、小さい値のコンデンサは、高周波数ノイズをデジタル接地面とデカップリングします。すべてのデジタル電源ピンは、デジタル接地面とデカップリングしてください。接地面を使用して、影響を受けやすいアナログ成分を、ノイズの多いデジタル・システムから物理的に分離できます。2つの接地面は、両者の容量カップリングを最小にするため、1点だけで接続して重ならないようにします。複数デバイスがAGNDとDGNDの接続を必要とするシステムの場合でも、接続を一個所の星形グラウンド地点にし、できるだけAD7470/7472に近づけます。

PCBレイアウトでは、いくつか簡単なルールを適用して、ノイズを最小にできます。アナログ信号をデジタル信号から遠ざける。クロックなどの高速スイッチ信号はデジタル・グラウンドから遮蔽し、ボードの他の部分へノイズが伝播しないようにし、アナログ入力近くにクロック信号を通さない。ノイズがダイに伝わらないように、デバイスの下にデジタル・ラインを通さない。AD7470/7472への電源ラインは、できるだけ大きいトレース(パターン)を使用して低インピーダンス通路を確保し、電源ラインへのグリッチの影響を低減します。デジタルとアナログ信号の交差を防ぎ、相互に正しい角度で、基盤の反対側にあるトレース(パターン)を配置します。

アナログ電源ラインへのノイズは、図25のような複数のデカップリング・コンデンサを使用すると、さらに削減できます。デカップリング・コンデンサはPCBへの電源入力に直接、AD7470/7472の電源ピンの出来るだけ近くに配置します。PCB上の他のICにも同じデカップリング方法を用い、コンデンサのリード線はできるだけ短くして、リード線のインダクタンスを最小にします。

## 電源

AV<sub>DD</sub>とDV<sub>DD</sub>の電源は別々が望ましいが、必要なら、DV<sub>DD</sub>の電源接続をAV<sub>DD</sub>が共有することもできます。通常動作で、デジタル電源(DV<sub>DD</sub>)がアナログ電源(AV<sub>DD</sub>)を0.3V以上超えないようにしてください。

## マイクロプロセッサとのインターフェース

### AD7470/7472とADSP-2185のインターフェース

図26は、AD7470/7472とADSP-2185の一般的なインターフェースです。ADSP-2185プロセッサには、フルメモリ・モードとホスト・モードの、2つのメモリ・モードがあります。モードCピンが、プロセッサの動作するモードを決定します。図26のインターフェースは、フルメモリ・モードでプロセッサが動作するように構成し、外部アドレス指定能力をフルにします。

AD7470/7472が変換を終了すると、BUSYラインが、 $\overline{IRQ2}$ による割り込みを要求します。 $\overline{IRQ2}$ 割り込みは、エッジ・センシティブとして、割り込み制御レジスタに組み込む必要があります。DM<sub>S</sub>(データメモリ選択)ピンは、A/D<sub>C</sub>のアドレスをアドレス・デコーダにラッチします。こうして読み出し動作が開始されます。

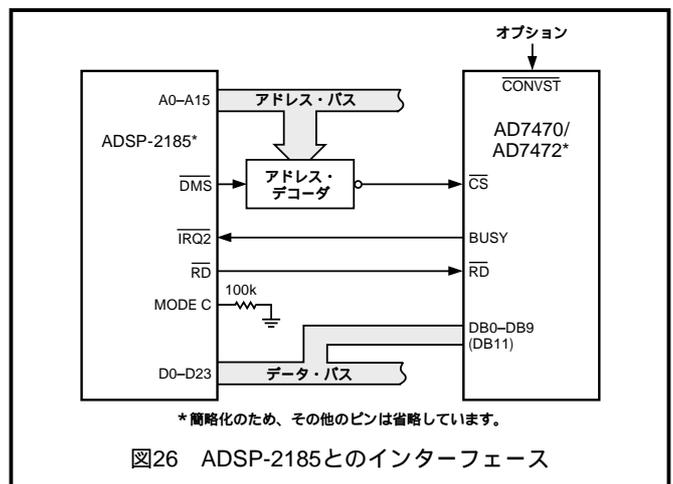
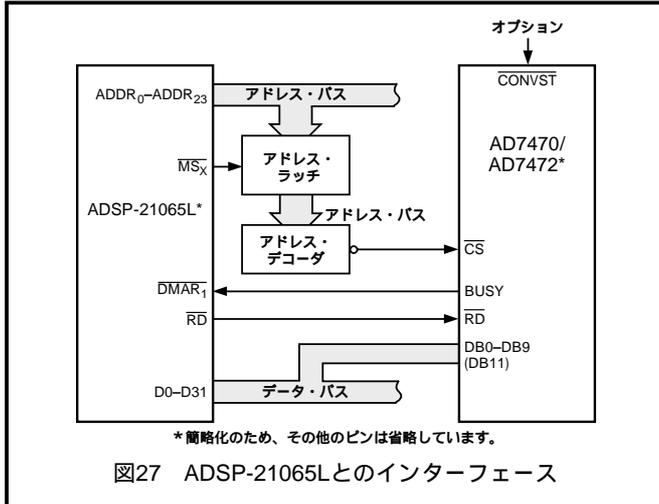


図26 ADSP-2185とのインターフェース

### AD7470/7472とADSP-21065のインターフェース

図27は、AD7470/7472とSHARCプロセッサADSP-21065Lの、代表的なインターフェースです。このインターフェースは、3つのDMAハンドシェイク・モードの1例です。 $\overline{MSx}$ 制御ラインは、実際

は3つのメモリ選択ラインです。内部のADDR25-24は $\overline{MS}_{3:0}$ にデコードされ、これらのラインがチップ選択を要求します。 $\overline{DMAR}_1$  (DMA要求1)は、この構成では、変換の信号終了への割り込みとして用いられます。残りのインターフェースは、標準のハンドシェイク動作です。

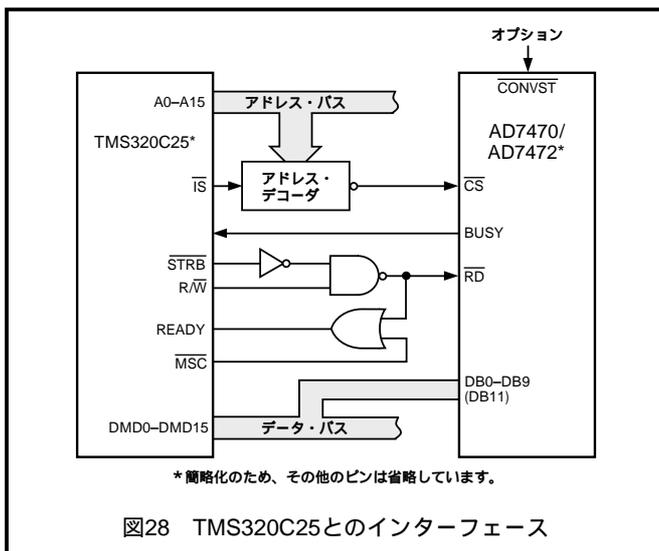


### AD7470/7472とTMS320C25のインターフェース

図28は、AD7470/7472とTMS320C25のインターフェースです。CONVST信号は、TMS320C25から、または外部ソースから供給できます。BUSYラインは、変換が終わるとデジタル信号プロセッサに割り込みます。TMS320C25には、AD7470/7472の $\overline{RD}$ 入力を直接ドライブできる、別のRD出力がありません。従って、何らかのロジックを追加して、プロセッサのSTRBと $R/\overline{W}$ 出力から生成する必要があります。 $\overline{RD}$ 信号は、読み出しサイクルに必要なWAITサイクルを提供するためにMSC信号とORゲート制御され、正しいインターフェース・タイミングを実現します。AD7470/7472の変換結果を読み出すには、以下の命令を用います。

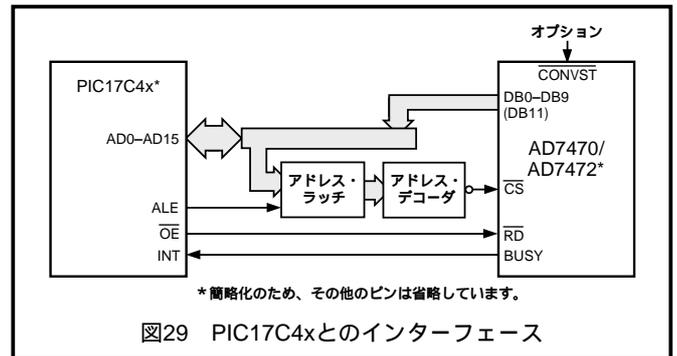
IND, ADC

Dはデータ・メモリー・アドレス、ADCは、AD7470/7472のアドレスです。変換中には、読み出し動作を行わないでください。



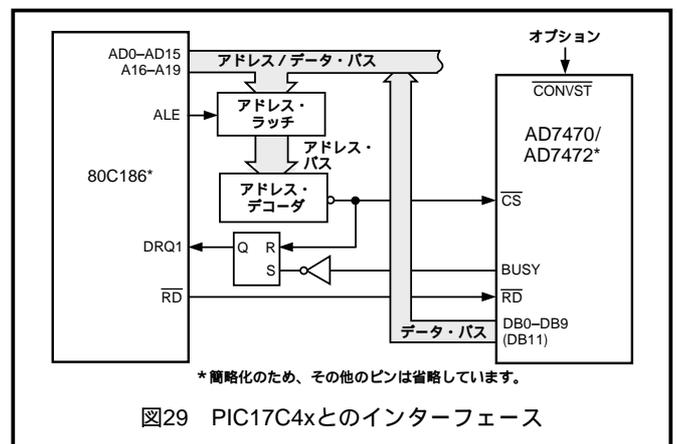
### AD7470/7472とPIC17C4xのインターフェース

図29は、AD7470/7472とPIC17C42/43/44の、代表的なパラレル・インターフェースです。マイクロコントローラは、A/Dコンバータを、メモリー・マップに固有のメモリー・アドレスを有する、別のメモリー・デバイスと見なします。 $\overline{CONVST}$ 信号は、マイクロコントローラまたは外部ソースで制御できます。BUSY信号は、変換が終わるとマイクロコントローラに、割り込み要求を出します。PIC17C42/43/44のINTピンは、負のエッジでアクティブになるよう構成する必要があります。マイクロコントローラのPORTCとPORTDは、双方向でAD7470/7472をアドレス指定するのに用い、10ビット(AD7470)、12ビット(AD7472)データの読み込むにも用います。PICの $\overline{OE}$ ピンは、AD7470/7472の出力バッファをイネーブルにして読み出し動作を行うのに用います。



### AD7470/7472と80C186のインターフェース

図30は、AD7470/7472とマイクロプロセッサ80C186のインターフェースを表します。80C186のDMAコントローラは、メモリーとI/Oスペース間でのデータ転送を発生させる、2つの独立した高速DMAチャンネルを提供します。(AD7470/7472は、これらのI/Oスペースの内1つを占有します) 各データ転送は、2つのバス・サイクルを使います。1つのサイクルがデータをとりだし、もう1つが保存します。AD7470/7472が変換を終えると、BUSYラインがチャンネル1(DRQ1)にDMA要求を出します。割り込みの結果、プロセッサはDMAの読み出し動作を行い、割り込みラッチをリセットします。次の変換の終了前に、DMA要求が処理されるよう、DMAチャンネルに十分な優先を割り当てます。この構造は、6MHzと8MHzの80C186プロセッサで使用されます。

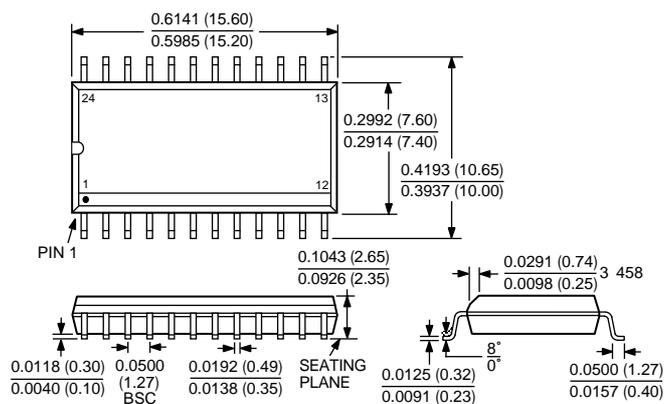


# AD7470/AD7472

## 外形寸法

サイズはインチと (mm) で示します。

### 24ピン SOIC (R-24)



### 24ピン TSSOP (RU-24)

