

特長

- 高速スループット・レート: 3MSPS
- 広い入力帯域幅: 40MHz
- パイプライン遅延のないSAR ADC
- 優れたDC精度性能
- 2種類の平行・インターフェース・モード
- 低消費電力: 90mW (フルパワー)
- 2.5mW (NAPモード)
- スタンバイ・モード: 最大2 μ A
- 5V単電源動作
- 2.5Vリファレンス内蔵
- フルスケール・オーバーレンジ・モード (15番目のビットを使用)
- ユーザー・アクセス可能なオフセット・レジスタによりシステム・オフセットを除去
- レンジ・シフト機能による公称0V~2.5Vの入力
- 12ビット製品AD7482のピン・コンパチブルなアップグレード品

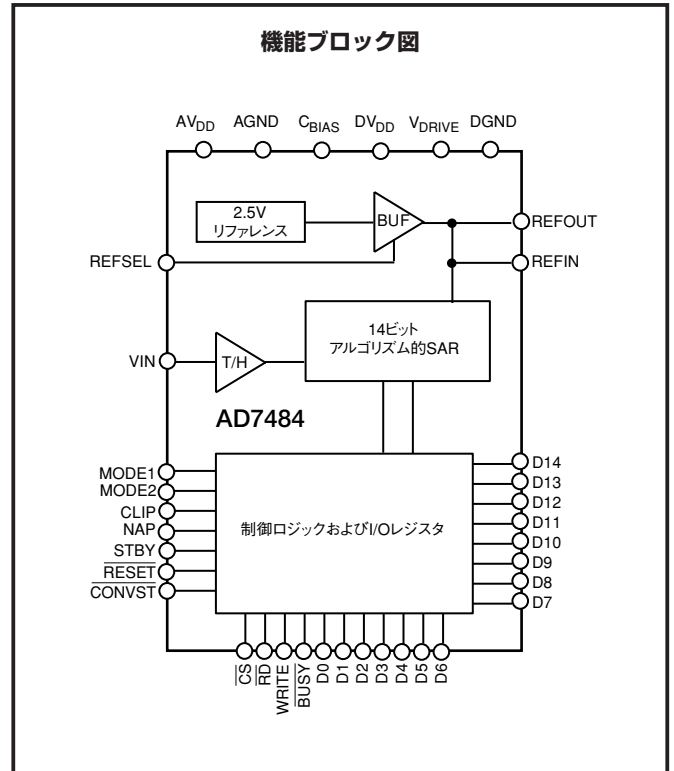
概要

AD7484は、高速かつ低消費電力の14ビット逐次比較型ADCであり、最大3MSPSのスループット・レートを持つ平行・インターフェースを内蔵しています。また、40MHzを超える入力周波数を処理できるローノイズ広帯域のトラック/ホールド・アンプも内蔵しています。

変換プロセスは、パイプライン遅延のない当社独自のアルゴリズム的逐次比較技術を採用しています。CONVST信号の立ち下がりエッジで入力信号がサンプルされて、変換が開始されます。変換プロセスは、内部で調整されたオシレータを使って制御されます。インターフェースでは標準の平行信号ラインを使うため、デバイスはマイクロコントローラやDSPと直接接続可能です。

AD7484は優れたACおよびDC性能仕様を提供します。出荷時に高いDC精度で調整を行うため、INL、オフセット、ゲイン誤差が非常に小さくなっています。

AD7484は高度な設計技術を使って、高いスループット・レートで非常に小さい消費電力を可能にしています。ノーマル動作モードでの消費電力は90mWです。2種類の省電力モードがあり、NAPモードでは迅速なパワーアップを可能にするためにリファレンス電圧回路を動作させたままにするので、消費電力は2.5mWになります。一方スタンバイ・モードでは消費電力をわずか10 μ Wに減少させます。



AD7484は2.5Vのリファレンス電圧を内蔵していますが、外部から2.5Vのリファレンス電圧を入力することもできます。公称アナログ入力範囲は0V~2.5Vですが、オフセット・シフト機能を使うと、この公称範囲を ± 200 mVまでシフトさせることができます。この機能により、信号範囲の基準点の下限を柔軟に設定できるため、単電源のオペアンプを使う場合には便利です。

AD7484は、15番目のビットを使うことにより、8%までのオーバーレンジ機能も提供しています。アナログ入力範囲が公称値の最大8%まで外側にあっても、15番目のビットを使って、信号を正確に変換することができます。

AD7484の電源範囲は4.75V~5.25Vです。AD7484は、デジタル・インターフェース・ラインの電圧レベルを設定するV_{DRIVE}ピンを用意しており、その入力範囲は2.7V~5.25Vです。製品は48ピンLQFPパッケージを採用しており、-40 $^{\circ}$ C~+85 $^{\circ}$ Cの温度範囲で仕様規定されています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

AD7484—仕様¹

(特に指定のない限り、 $V_{DD}=5V\pm 5\%$ 、 $AGND=DGND=0V$ 、 V_{REF} =外部、 $f_{SAMPLE}=3MSPS$ ；全仕様を $T_{MIN}\sim T_{MAX}$ で規定、有効
 $V_{DRIVE}=2.7V\sim 5.25V$)

パラメータ	仕様	単位	テスト条件/備考
ダイナミック特性 ^{2, 3} S/N+歪み比 (SINAD) ⁴	76.5 78 79 77	dB min dB typ dB typ dB typ	$F_{IN}=1MHz$ $F_{IN}=1MHz$ $F_{IN}=1MHz$ 、拡張入力 $F_{IN}=1MHz$ 、内部リファレンス
全高調波歪み (THD) ⁴	-90 -95 -92	dB max dB typ dB typ	内部リファレンス電圧
ピーク高調波またはスプリアス・ノイズ (SFDR) ⁴ 相互変調歪み (IMD) ⁴	-90	dB max	
2次項	-96	dB typ	$F_{IN1}=95.053kHz$ 、 $F_{IN2}=105.329kHz$
3次項	-94	dB typ	
アパーチャ遅延	10	ns typ	
フルパワー帯域幅	40 3.5	MHz typ MHz typ	@ 3dB @ 0.1 dB
DC精度			
分解能	14	ビット	
積分非直線性 ⁴	± 1 ± 0.5	LSB max LSB typ	14ビットのノー・ミスコードを保証
微分非直線性 ⁴	± 0.75 ± 0.3	LSB max LSB typ	
オフセット誤差 ⁴	± 6	LSB max	
ゲイン誤差 ⁴	0.036 ± 6	%FSR max LSB max	
	0.036	%FSR max	
アナログ入力			
入力電圧	-200 +2.7	mV min V max	$V_{IN}=0V\sim 2.7V$ $V_{IN}=-200mV$
DCリーク電流	± 1 ± 2	μA max μA typ	
入力容量 ⁵	35	pF typ	
リファレンス入/出力			
V_{REFIN} 入力電圧	+2.5	V	仕様性能に対して $\pm 1\%$
V_{REFIN} 入力DCリーク電流	± 1	μA max	
V_{REFIN} 入力容量 ⁵	25	pF typ	外部リファレンス
V_{REFIN} 入力電流	220	μA typ	
V_{REFOUT} 出力電圧	+2.5	V typ	
V_{REFOUT} 誤差@ 25°C	± 50	mV typ	
V_{REFOUT} 誤差 $T_{MIN}\sim T_{MAX}$	± 100	mV max	
V_{REFOUT} 出力インピーダンス	1	Ω typ	
ロジック入力			
入力ハイレベル電圧、 V_{INH}	$V_{DRIVE}-1$	V min	
入力ローレベル電圧、 V_{INL}	0.4	V max	
入力電流、 I_{IN}	± 1	μA max	
入力容量、 C_{IN}^5	10	pF max	
ロジック出力			
出力ハイレベル電圧、 V_{OH}	$0.7\times V_{DRIVE}$	V min	
出力ローレベル電圧、 V_{OL}	$0.3\times V_{DRIVE}$	V max	
フローティング状態リーク電流	± 10	μA max	
フローティング状態出力容量 ⁵	10	pF max	
出力コーディング	ストレート・バイナリ		
変換レート			
変換時間	300	ns max	サイン波入力
トラック/ホールド・アンプ・アキュイジション時間 (t_{ACQ})	70	ns max	
	70	ns max	
スループット・レート	2.5 3	MSPS max MSPS max	フルスケール・ステップ入力 パラレル・モード1 パラレル・モード2

仕様（続き）（特に指定のない限り、 $V_{DD}=5V\pm 5\%$ 、 $AGND=DGND=0V$ 、 V_{REF} =外部、 $f_{SAMPLE}=3MSPS$ ；全仕様を $T_{MIN}\sim T_{MAX}$ で規定、有効 $V_{DRIVE}=2.7V\sim 5.25V$ ）

パラメータ	仕様	単位	テスト条件/備考
電源条件			
V_{DD}	5	V	$\pm 5\%$
V_{DRIVE}	2.7	V min	
	5.25	V max	
I_{DD}			\overline{CS} および \overline{RD} =ロジック1
ノーマル・モード（スタティック）	12	mA max	
ノーマル・モード（動作時）	18	mA max	
NAPモード	0.5	mA max	
スタンバイ・モード	2	μA max	
	0.5	μA typ	
消費電力			
ノーマル・モード（動作時）	90	mW max	
NAPモード	2.5	mW max	
スタンバイ・モード ⁶	10	μW max	

注

- 1 温度範囲：-40℃～+85℃
- 2 引用したS/N比とSINADには、外部アナログ入力回路のノイズ成分が約1dB含まれています。
- 3 使用したアナログ入力回路については、代表的な性能特性の節を参照してください。
- 4 用語の節を参照してください。
- 5 25℃でのサンプル・テストにより適合性を保証。
- 6 デジタル入力レベルはGNDまたは V_{DRIVE0}

仕様は予告なく変更されることがあります。

タイミング特性*（特に指定のない限り、 $V_{DD}=5V\pm 5\%$ 、 $AGND=DGND=0V$ 、 V_{REF} =外部；全仕様を $T_{MIN}\sim T_{MAX}$ で規定、有効 $V_{DRIVE}=2.7V\sim 5.25V$ ）

パラメータ	記号	Min	Typ	Max	単位
データの読み出し					
変換時間	t_{CONV}			300	ns
変換開始前の休止時間	t_{QUIET}	100			ns
\overline{CONVST} パルス幅	t_1	5			ns
\overline{CONVST} の立ち下がりエッジから \overline{BUSY} の立ち下がりエッジまで	t_2			20	ns
\overline{CS} の立ち下がりエッジから \overline{RD} の立ち下がりエッジまで	t_3	0			ns
データ・アクセス時間	t_4			25	ns
\overline{CONVST} の立ち下がりエッジから新しいデータ有効まで	t_5			30	ns
\overline{BUSY} の立ち上がりエッジから新しいデータ有効まで	t_6			5	ns
バス開放時間	t_7		10		ns
\overline{RD} の立ち上がりエッジから \overline{CS} の立ち上がりエッジまで	t_8	0			ns
\overline{CS} パルス幅	t_{14}	30			ns
\overline{RD} パルス幅	t_{15}	30			ns
データの書き込み					
WRITEパルス幅	t_9	5			ns
データ・セットアップ・タイム	t_{10}	2			ns
データ・ホールド・タイム	t_{11}	6			ns
\overline{CS} の立ち下がりエッジからWRITEの立ち下がりエッジまで	t_{12}	5			ns
WRITEの立ち下がりエッジから \overline{CS} の立ち上がりエッジまで	t_{13}	0			ns

* 上記タイミング仕様はすべて、負荷容量25pFの場合です。この値より大きい負荷容量では、デジタル・バッファまたはラッチを使う必要があります。

仕様は予告なく変更されることがあります。

AD7484

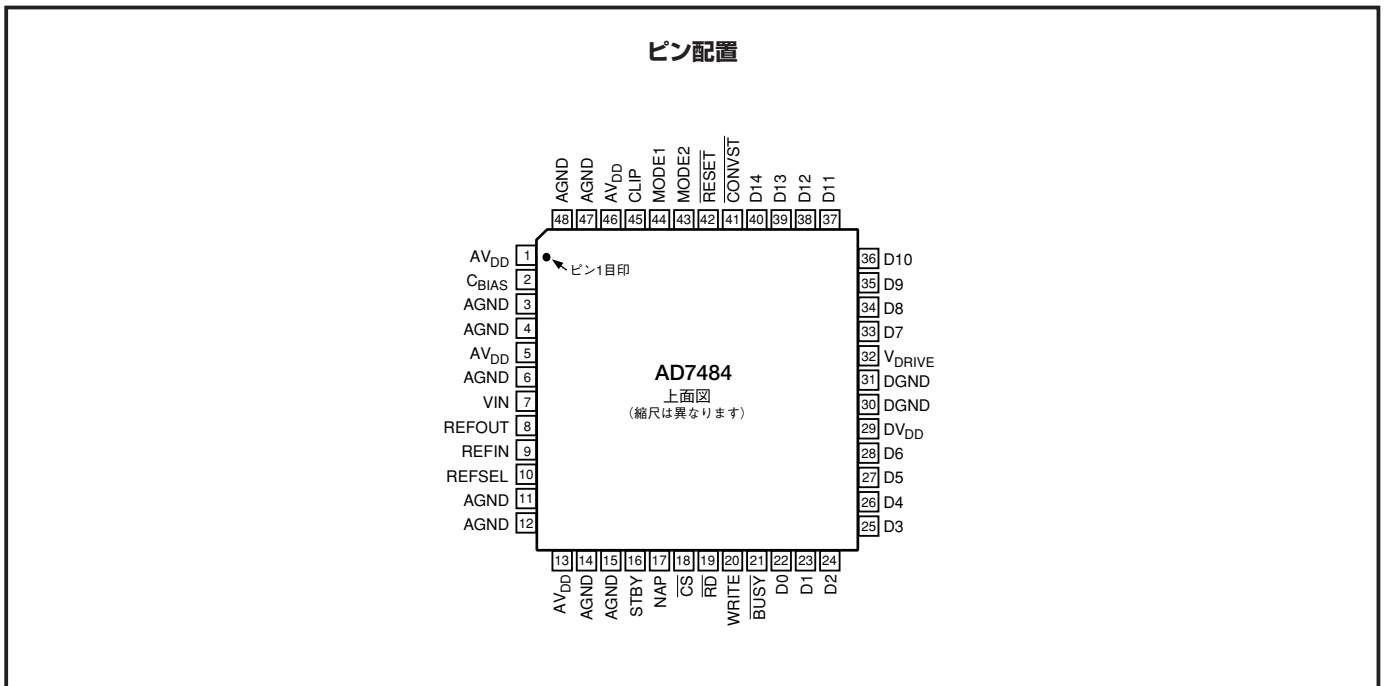
絶対最大定格*

(特に指定のない限り、 $T_A=25^\circ\text{C}$)

$V_{DD}\sim\text{GND}$ $-0.3\text{V}\sim+7\text{V}$
 $V_{DRIVE}\sim\text{GND}$ $-0.3\text{V}\sim+7\text{V}$
 アナログ入力電圧 $\sim\text{GND}$ $-0.3\text{V}\sim\text{AV}_{DD}+0.3\text{V}$
 デジタル入力電圧 $\sim\text{GND}$ $-0.3\text{V}\sim V_{DRIVE}+0.3\text{V}$
 $\text{REFIN}\sim\text{GND}$ $-0.3\text{V}\sim\text{AV}_{DD}+0.3\text{V}$
 電源ピン以外の全ピンの入力電流 $\pm 10\text{mA}$
 動作温度範囲
 民生品 $-40^\circ\text{C}\sim+85^\circ\text{C}$
 保管温度範囲 $-65^\circ\text{C}\sim+150^\circ\text{C}$
 接合温度 150°C

θ_{JA} 熱インピーダンス $50^\circ\text{C}/\text{W}$
 θ_{JC} 熱インピーダンス $10^\circ\text{C}/\text{W}$
 ピン温度、ハンダ処理
 蒸着 (60秒) 215°C
 赤外線 (15秒) 220°C
 ESD 1kV

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。



オーダー・ガイド

製品	温度範囲	パッケージ	パッケージ・オプション
AD7484AST	$-40^\circ\text{C}\sim+85^\circ\text{C}$	ロープロファイル・クワッド・フラット・パック	ST-48
EVAL-AD7484CB ¹ EVAL-CONTROL BRD ²		評価ボード コントローラ・ボード	

注

- これは単独の評価ボードとして、または評価/デモ目的のEVAL-CONTROL BRDと組み合わせて使用することができます。
- 本ボードを使うと、PCからの制御とCBサフィックスが付くすべてのアナログ・デバイス評価ボードとの通信が可能です。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vにおよぶ高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD防止措置をとるようお勧めします。



ピン機能の説明

ピン番号	記号	説明
1、5、13、46	AV _{DD}	アナログ回路の正電源。
2	C _{BIAS}	内部バイアス電圧に対するデカップリング・ピン。このピンとAGNDとの間に1 nFのコンデンサを接続します。
3、4、6、11、12、14、15、47、48	AGND	アナログ回路の電源グラウンド。
7	VIN	アナログ入力。シングル・エンド・アナログ入力チャンネル。
8	REFOUT	リファレンス電圧出力。REFOUTは、内部2.5Vリファレンス電圧バッファの出力に接続されます。このピンとAGNDとの間に470 nFのコンデンサを接続する必要があります。
9	REFIN	リファレンス電圧入力。このピンとAGNDとの間に470 nFのコンデンサを接続する必要があります。外部リファレンス電圧源を使うときは、リファレンス電圧をこのピンに接続します。
10	REFSEL	リファレンス電圧デカップリング・ピン。内部リファレンス電圧を使うときは、このピンとAGNDとの間に1 nFのコンデンサを接続する必要があります。外部リファレンス電圧源を使うときは、このピンを直接AGNDに接続します。
16	STBY	スタンバイ・ロジック入力。このピンがロジック・ハイ・レベルのとき、デバイスはスタンバイ・モードになります。 詳細については、省電力の節を参照してください。
17	NAP	NAPロジック入力。このピンがロジック・ハイ・レベルのとき、デバイスは非常に消費電力の小さいモードになります。 詳細については、省電力の節を参照してください。
18	\overline{CS}	チップ・セレクト・ロジック入力。このピンは変換結果にアクセスするときに、 \overline{RD} と組み合わせて使います。 \overline{CS} と \overline{RD} の両立ち下がりエッジの後にデータ・バスはスリー・ステート状態から抜け出して、出力レジスタの現在値がデータ・ラインへ出力されます。 \overline{CS} はオフセット・レジスタに対する書き込みを行うときにもWRITEと組み合わせて使います。 \overline{CS} はLowにハードワイヤ接続しておくこともできます。
19	\overline{RD}	読み出しロジック入力。変換結果にアクセスするときに、 \overline{CS} と組み合わせて使います。
20	WRITE	書き込みロジック入力。オフセット・レジスタに書き込みを行うときに、 \overline{CS} と組み合わせて使用します。目的のオフセット・ワードをデータ・バスに出力して、WRITEラインにハイレベルのパルスを出力します。このパルスの立ち下がりエッジで、オフセット・レジスタにそのワードがラッチされます。
21	\overline{BUSY}	ビジー・ロジック出力。このピンは、変換プロセスのステータスを表示します。 \overline{BUSY} 信号は \overline{CONVST} の立ち下がりエッジの後にローレベルになり、変換が続いている間ローレベルを維持します。パラレル・モード1では、変換結果が出力レジスタにラッチされた後に \overline{BUSY} 信号がハイレベルに戻ります。パラレル・モード2では、変換が完了すると直ちに \overline{BUSY} 信号がハイレベルに戻りますが、次の \overline{CONVST} パルスの立ち下がりエッジまで変換結果は出力レジスタにラッチされません。
22～28、33～39	D0～D13	データI/Oビット (D13がMSB)。 \overline{CS} 、 \overline{RD} 、WRITEにより制御されるスリー・ステート・ピンです。これらのピンの動作電圧レベルはV _{DRIVE} 入力により決定されます。
29	DV _{DD}	デジタル回路の正電源。
30、31	DGND	デジタル回路のグラウンド基準。
32	V _{DRIVE}	ロジック電源入力。このピンに入力される電圧が、デバイスのインターフェース・ロジックが動作する電圧を決定します。
40	D14	オーバーレンジのデータ出力ビット。オーバーレンジ機能を使わない場合は、このピンは100kΩの抵抗を介してDGNDに接続しておく必要があります。
41	\overline{CONVST}	変換開始ロジック入力。 \overline{CONVST} 信号の立ち下がりエッジで変換が開始されます。入力トラック/ホールド・アンプはトラック・モードからホールド・モードに変わり、変換プロセスが開始されます。
42	\overline{RESET}	リセット・ロジック入力。このピンの立ち下がりエッジで内部ステート・マシンがリセットされて、進行中の変換も終了します。このエッジで、オフセット・レジスタの値もクリアされます。このピンをローレベルに維持すると、デバイスはリセット状態に維持されます。
43	MODE2	動作モード・ロジック入力。詳細については、表IIIを参照してください。
44	MODE1	動作モード・ロジック入力。詳細については、表IIIを参照してください。
45	CLIP	ロジック入力。このピンがハイレベルになると、出力クリップ機能がイネーブルにされます。このモードでは、正側フルスケールを超える入力電圧または負側フルスケールを下回る入力電圧が、それぞれ全ビット“1”または全ビット“0”にクリップされます。詳細については、オフセット/オーバーレンジの節を参照してください。

AD7484

用語集

積分非直線性

ADC伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロスケール(最初のコード遷移より1/2 LSB下のポイント)とフルスケール(最後のコード遷移より1/2 LSB上のポイント)をいいます。

微分非直線性

ADCの2つの隣接コード間における1LSB変化の測定値と理論値の差をいいます。

オフセット誤差

理論値(例:AGND+0.5 LSB)と最初のコード遷移((00...000)から(00...001))との差をいいます。

ゲイン誤差

オフセット誤差調整後の最後のコード遷移((111...110)から(111...111))と理論値($V_{REF}-1.5$ LSB)との差をいいます。

トラック/ホールド・アクイジション時間

トラック/ホールド・アンプ・アクイジション時間は、変換終了後(トラック/ホールド・アンプがトラック・モードに戻るポイント)にトラック/ホールド・アンプが最終値の±1/2 LSB以内に出力が収まるために要する時間です。

信号対(ノイズ+歪み)比

これは、A/Dコンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波のrms振幅で表し、ノイズは1/2サンプリング周波数($f_s/2$)までの全高調波の和で表します(DCを除く)。この比はデジタル化プロセスの量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。サイン波を入力した場合の、理想Nビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02N + 1.76) \text{ dB}$$

したがって、14ビット・コンバータの場合、86.04dBになります。

全高調波歪み

全高調波歪み(THD)は、高調波のrms値総和と基本波の比です。AD7484の場合、次式で得られます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波のrms振幅で、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次～6次高調波のrms振幅です。

ピーク高調波またはスプリアス・ノイズ

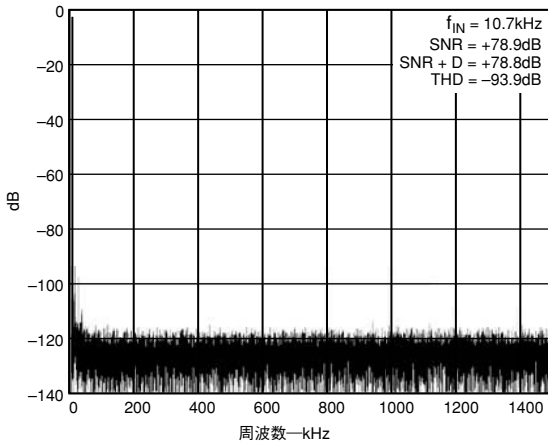
高調波またはスプリアス・ノイズは、ADC出力スペクトル内の(DCを除いて $f_s/2$ まで)次に大きい成分のrms値の、基本波rms値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大高調波により決定されますが、高調波がノイズ・フロアに埋もれているADCの場合は、ノイズ・ピークにより決定されます。

相互変調歪み

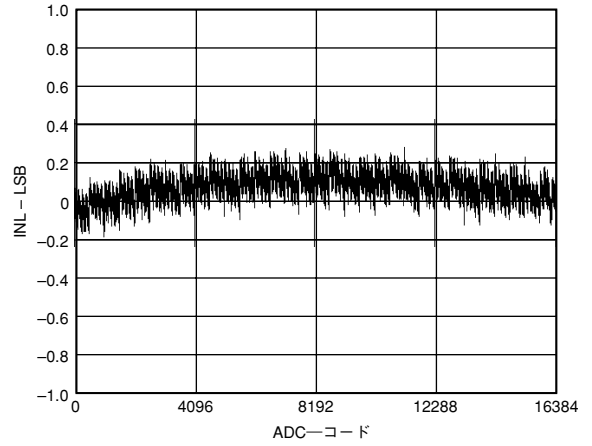
非直線性を持つアクティブ・デバイスに2つの周波数 f_a および f_b を含むサイン波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 m 、 $n=0$ 、1、2、3...です。相互変調歪項とは、 m と n が非ゼロの項をいいます。例えば、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7484は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF標準を使ってテストされています。この場合、2次項は通常、元のサイン波の周波数から離れて位置し、3次項は通常、入力周波数に近い周波数に位置します。そのため、2次項と3次項は個別に指定されます。相互変調歪みの計算はTHDの仕様に従います。すなわち、dBで表した個々の歪み成分のrms総和の、基本波の和のrms振幅に対する比になります。

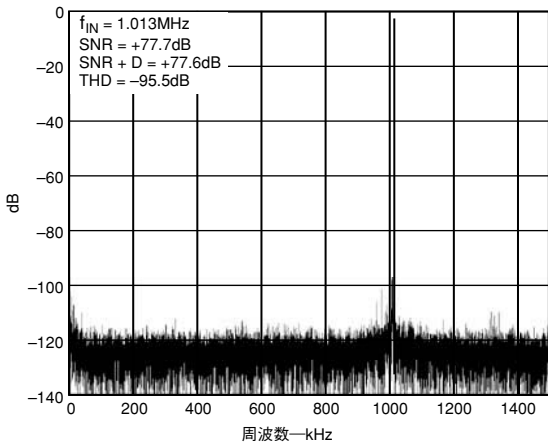
代表的な性能特性—AD7484



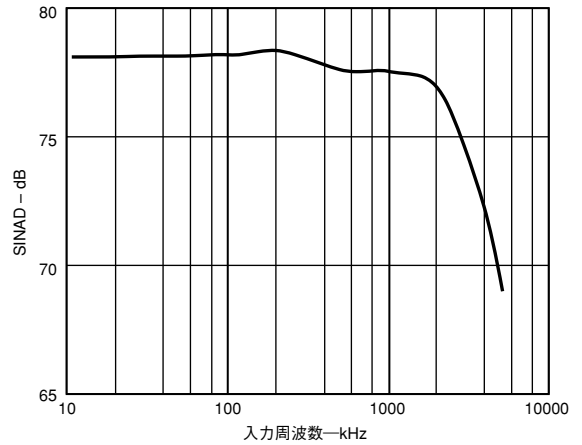
特性1 10kHz入力に対する64k FFTプロット



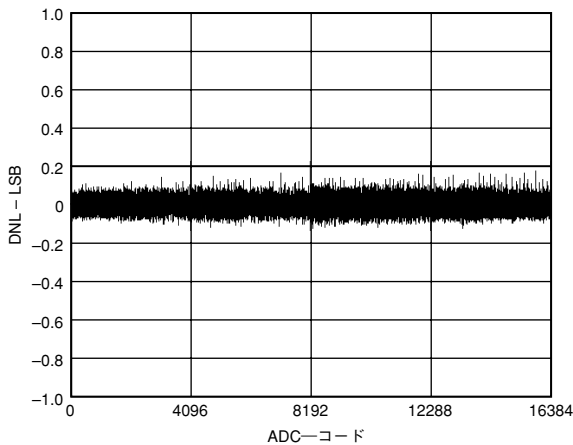
特性4 INLの代表値



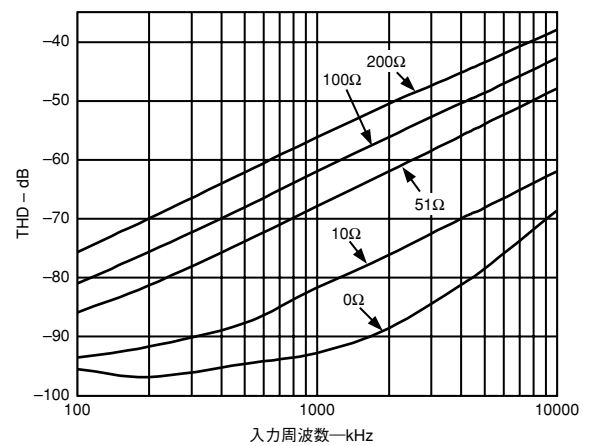
特性2 1MHz入力に対する64k FFTプロット



特性5 SINAD 対 入力周波数 (AD8021入力回路)

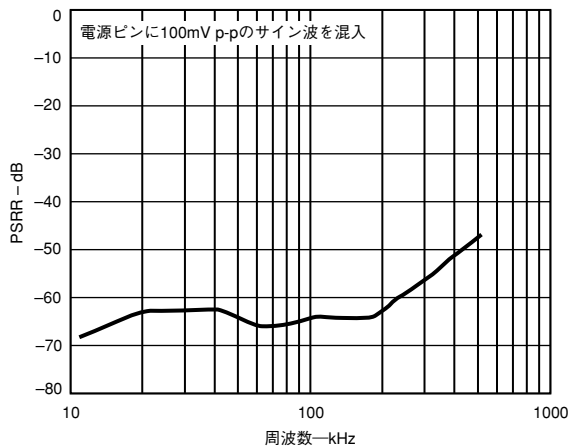


特性3 DNLの代表値

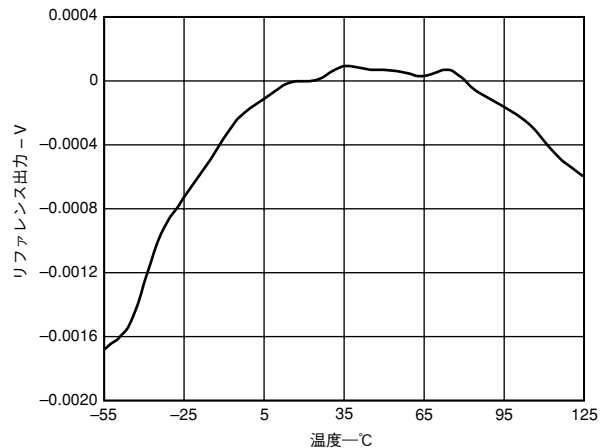


特性6 さまざまな入力抵抗に対するTHD 対 入力周波数

AD7484



特性7 デカップリングなし時のPSRR



特性8 リファレンス誤差

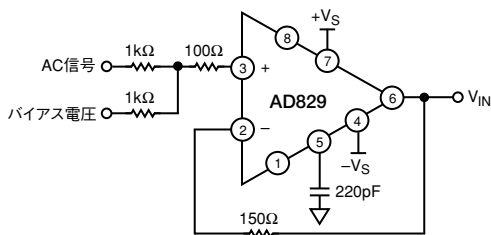


図1 10kHz入力に対して使用したアナログ入力回路

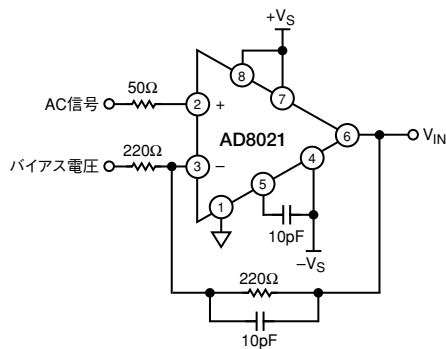


図2 1MHz入力に対して使用したアナログ入力回路

図1に、特性1に示すFFTプロットのデータを取得するときに使った、アナログ入力回路を示します。この回路はアナログ・デバイセズのAD829オペアンプを入力バッファとして使っています。図示のバイポーラ・アナログ信号が、ラベル表示されたピンに接続された安定したローノイズDC電圧によりバイアスして、入力されています。AD829のピン5とアナログ・グラウンド・プレーンとの間に220pFの補償コンデンサが接続されています。AD829には、+12Vと-12Vの電源が接続されています。電源ピンはデバイスのできるだけ近くで各ピンに接続したコンデンサ0.1 μ Fと10 μ Fによりデカップリングされています。両ケースとも、2個のコンデンサの内0.1 μ Fの方をデバイス側に接続します。AD829の詳細については、アナログ・デバイセズのWebサイトをご覧ください。

さらに入力帯域幅が広いアプリケーションに対しては、AD7484の駆動にアナログ・デバイセズのAD8021オペアンプ(デュアルのAD8022も使用可能)の使用をお勧めします。図2に、特性2に示すFFTプロットのデータを取得するときに使ったアナログ入力回路を示します。安定したローノイズDC電圧によりバイアスして、図示のようにバイポーラ・アナログ信号が入力されています。AD8021のピン5と負電源との間に10pFの補償コンデンサが接続されています。前の回路と同様に、AD8021には+12Vと-12Vの電源が接続されています。電源ピンはデバイスのできるだけ近くで各ピンに接続したコンデンサ0.1 μ Fと10 μ Fによりデカップリングされています。どちらの場合も、2個のコンデンサの内0.1 μ Fの方をデバイス側に接続します。AD8021ロジック・リファレンス・ピンはアナログ・グラウンドに、DISABLEピンは正電源に、それぞれ接続されています。AD8021の詳細については、アナログ・デバイセズのWebサイトをご覧ください。

回路の説明

コンバータの動作

AD7484は、容量性DACを中心とした14ビットのアルゴリズム的逐次比較A/Dコンバータです。トラック／ホールド・アンプ、リファレンス電圧、A/Dコンバータ、多機能のインターフェース・ロジック機能を内蔵しています。AD7484が変換できる通常のアナログ入力信号範囲は0V～2.5Vです。ADCのオフセット機能とオーバーレンジ機能を使うと、AD7484は5Vの単電源動作で、-200mV～+2.7Vの範囲のアナログ入力信号を変換することができます。このデバイスは2.5Vリファレンス電圧を必要とし、内蔵リファレンス電圧または外付けのリファレンス電圧を使うことができます。図3に、簡略化したADCの回路図を示します。コントロール・ロジックと容量性DACを使って、サンプリング・キャパシタに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。

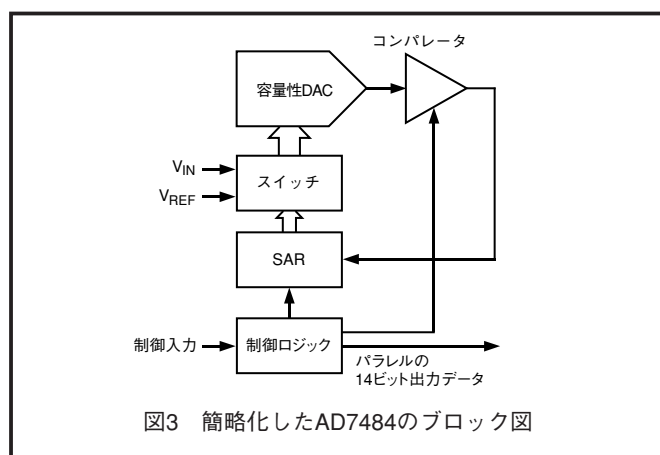


図3 簡略化したAD7484のブロック図

$\overline{\text{CONVST}}$ にパルスを入力するとAD7484上で変換が開始されます。 $\overline{\text{CONVST}}$ の立ち下がりエッジで、トラック／ホールド・アンプがトラック・モードからホールド・モードに変わり、変換シーケンスが開始されます。このデバイスの変換時間は300nsです。図4に、変換中のADCを示します。変換が開始されると、SW2が開いて、SW1が位置Bに移動して、コンパレータが不平衡状態になります。ADCは逐次比較ルーチンを実行して、コンパレータを平衡状態に戻します。コンパレータが平衡状態になると、変換結果がSARレジスタに得られます。

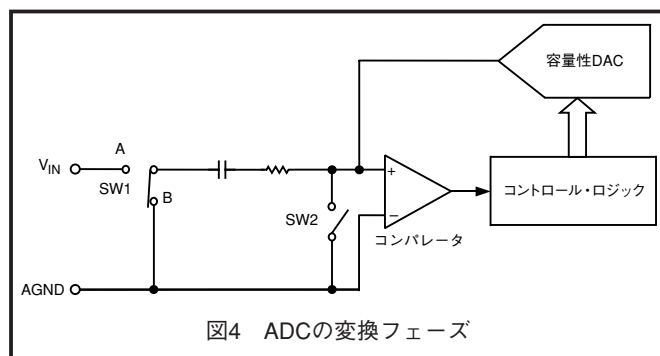


図4 ADCの変換フェーズ

変換の終わりに、トラック／ホールド・アンプがトラック・モードに戻り、アキュイジション時間が開始されます。トラック／ホールド・アンプ・タイムのアキュイジション時間は40nsです。図5に、アキュイジション・フェーズにあるADCを示します。SW2は閉じて、SW1は位置Aにあり、コンパレータは平衡状態にあり、サンプリング・コンデンサは V_{IN} 上の信号を取得します。

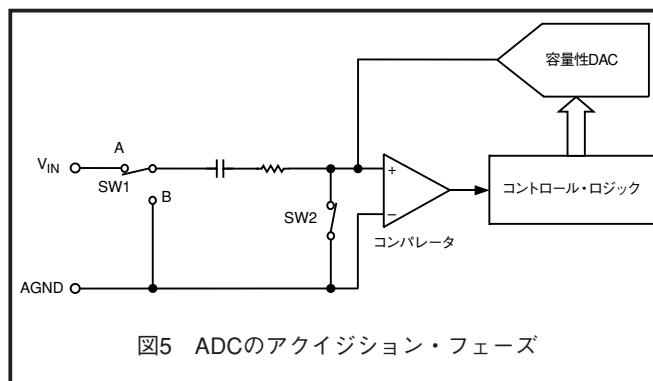


図5 ADCのアキュイジション・フェーズ

ADCの伝達関数

AD7484の出力コーディングはストレート・バイナリです。デザイン上のコード遷移は連続するLSB整数値の中間 (1/2 LSB、3/2 LSBなど) で発生します。LSBサイズは $V_{\text{REF}}/16384$ です。AD7484の公称伝達特性を図6に示します。この伝達特性はオフセット／オーバーレンジの節で説明するように、シフトすることができます。

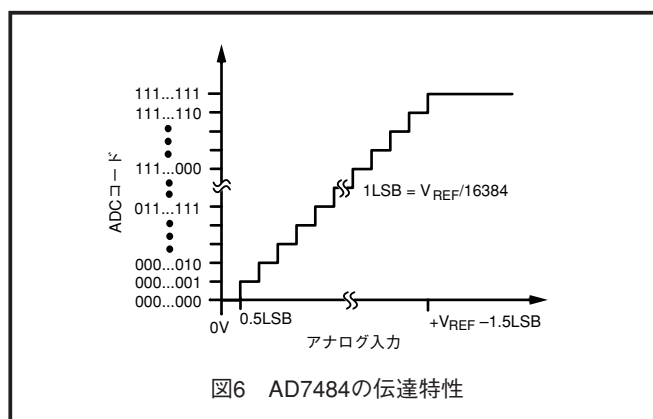


図6 AD7484の伝達特性

省電力

AD7484では高度な設計技術を使って、高いスループット・レートで非常に小さい消費電力を可能にしています。この他に、AD7484にはNAPとスタンバイの2つの省電力モードがあります。これらのモードは、それぞれNAPピンまたはSTBYをハイレベルにして選択することができます。

AD7484が通常のフルパワー・モードで動作しているときの電流消費は、変換時に18mA、静止時に12mAです。スループット・レート1MSPSで動作しているとき、変換時間は300nsであり、全体消費電力に対して27mWを占めます。

$$(300\text{ns}/1\mu\text{s}) \times (5\text{V} \times 18\text{mA}) = 27\text{mW}$$

サイクルの残りの700ns間は、AD7484は42mWの低消費電力になります。

$$(700\text{ns}/1\mu\text{s}) \times (5\text{V} \times 12\text{mA}) = 42\text{mW}$$

AD7484

したがって、各サイクルの消費電力は次式で得られます。

$$27\text{mW} + 42\text{mW} = 69\text{mW}$$

図7に、通常モードで動作するAD7484の変換シーケンスを示します。

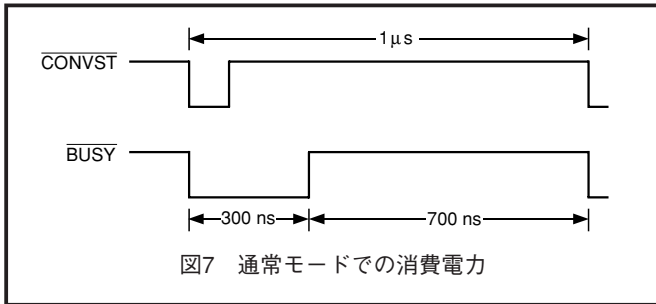


図7 通常モードでの消費電力

NAPモードでは、大部分の内部回路がパワーダウンされます。このモードでの、AD7484の消費電力は2.5mWに削減されます。NAPモードから抜け出した後、外部リファレンス電圧使用時には、変換を開始する前に最小300nsの待ち時間が必要です。パワーアップ後内部回路が安定するため、およびトラック/ホールド・アンプが正常にアナログ入力信号を取得できるようになるために、この時間が必要になります。内部リファレンス電圧は、NAPモードと組み合わせて使用することはできません。

各変換後にAD7484をNAPモードにすると、平均消費電力を削減できますが、スループット・レートがパワーアップ時間に制限されます。AD7484をスループット・レート500kSPSで使用し、各変換後にデバイスをNAPモードにすると、平均消費電力は次式のようにになります。

パワーアップ時の部分：

$$(300\text{ns}/2\ \mu\text{s}) \times (5\text{V} \times 12\text{mA}) = 9\text{mW}$$

変換時の部分：

$$(300\text{ns}/2\ \mu\text{s}) \times (5\text{V} \times 18\text{mA}) = 13.5\text{mW}$$

残りのサイクル部分でもNAPモードを続けると、AD7484の消費電力は1.75mWに減少します。

$$(1400\text{ns}/2\ \mu\text{s}) \times (5\text{V} \times 0.5\text{mA}) = 17.5\text{mW}$$

したがって、各サイクルの消費電力は、次式で得られます。

$$9\text{mW} + 13.5\text{mW} + 1.75\text{mW} = 24.25\text{mW}$$

図8に、各変換後にデバイスをNAPモードにする場合のAD7484変換シーケンスを示します。

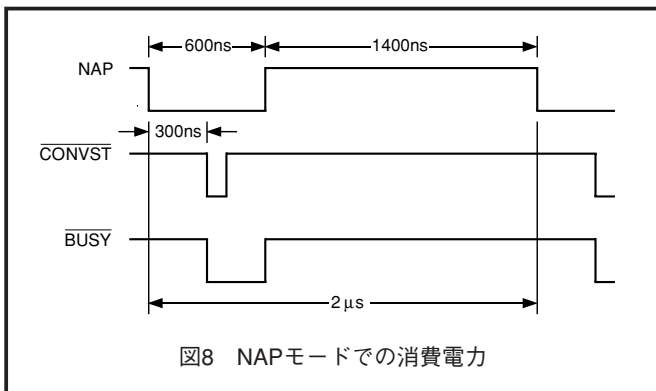


図8 NAPモードでの消費電力

図9と図10に、AD7484の消費電力とスループットの関係を表す代表的なグラフを、それぞれ通常モードとNAPモードについて示します。

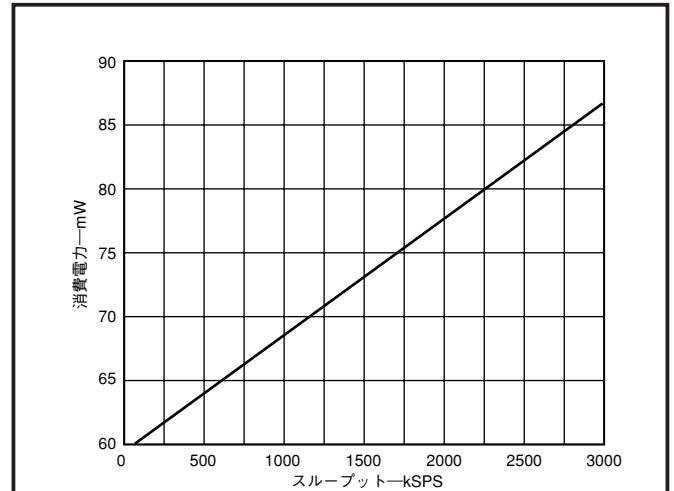


図9 通常モードでの消費電力 対 スループット

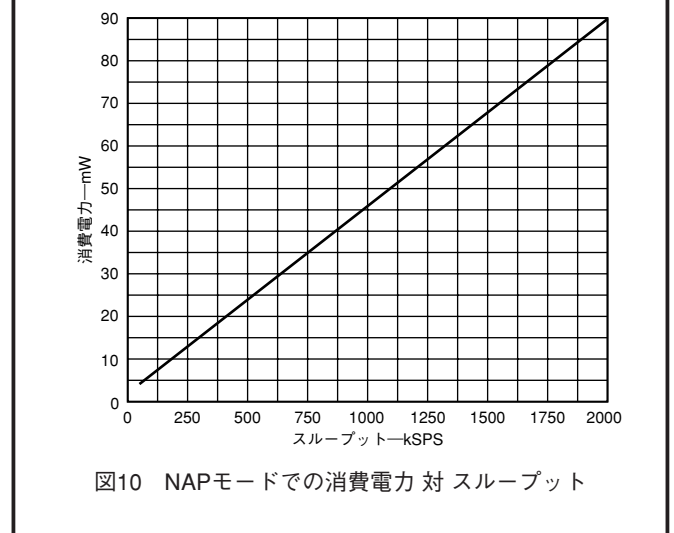


図10 NAPモードでの消費電力 対 スループット

スタンバイ・モードでは、すべての内部回路がパワーダウンされるため、AD7484の消費電力は10 μWまで減少します。多くの内部回路がパワーダウンされているため、変換開始の前に必要となるパワーアップ時間は長くなります。AD7484の内部リファレンス電圧を使う場合、スタンバイ・モードからADCを抜け出させてから500ms経過しなければ、変換を開始させることはできません。必要とされるパワーアップ時間が経過する前に変換を開始すると、正しい変換データが得られません。外部リファレンス電圧源を使い、かつAD7484のスタンバイ・モード中も外部リファレンスがパワーアップ状態を続けている場合には、必要とされるパワーアップ時間は80 μsに短縮されます。

オフセット／オーバーレンジ

AD7484は、±8%のオーバーレンジ機能とプログラマブルなオフセット・レジスタを提供しています。このオーバーレンジ機能は、15番目のビット(D14)とCLIP入力を使って実現されています。CLIP入力が高レベルで、かつオフセット・レジスタ値がゼロの場合は、AD7484は通常の14ビットADCとして動作します。入力電圧がフルスケール電圧を超えると、ADCのデータ出力は全ビット“1”になります。同様に、入力電圧がゼロスケール電圧を下回ると、ADCデータ出力は全ビット“0”になります。この場合、D14はオーバーレンジ・インジケータとして機能します。アナログ入力電圧が公称0V～2.5V範囲の外側にある場合、このビットは“1”に設定されます。

オフセット・レジスタ値が“0”でない場合、変換の終わりに、そのレジスタ値がSARの結果に加算されます。これは図11と図12に示すADC伝達関数をシフトさせる効果を持ちますが、CLIP入力にロジック高レベルに設定されたとき、AD7484から出力される最大コードと最小コードはそれぞれ0x3FFFと0x0000になることに注意してください。詳細は、表Iと表IIに示します。

図11に、オフセット・レジスタに正の値を書き込んだ場合の効果を示します。例えば、オフセット・レジスタ値が1024の場合、ADCの変換結果が全ビット“0”から000...001(最小基準ポイント)へ変化するアナログ入力電圧値は、次式で表されます。

$$0.5\text{LSB} - (1024\text{LSB}) = -156.326\text{mV}$$

この例で、ADC変換結果がフルスケール(0x3FFF)になるアナログ入力電圧は次式で表されます。

$$2.5\text{V} - 1.5\text{LSB} - (1024\text{LSB}) = 2.34352\text{V}$$

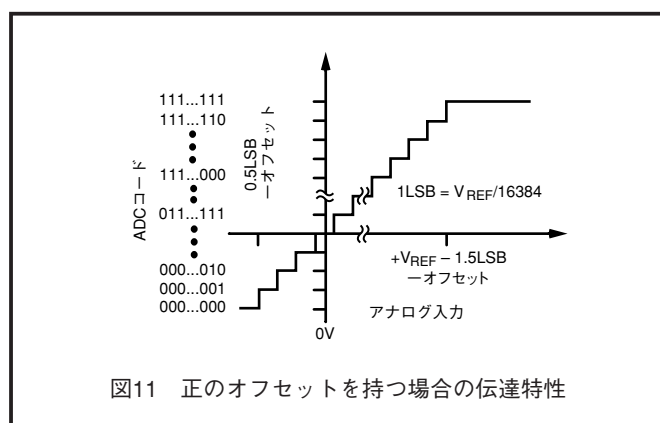


図11 正のオフセットを持つ場合の伝達特性

図12に、負の値をオフセット・レジスタに書き込んだ場合の効果を示します。値-512をオフセット・レジスタに書き込むと、次式に示す基準ポイントの下限になります。

$$0.5\text{LSB} - (-512\text{LSB}) = 78.20\text{mV}$$

この式より、ADCからフルスケール(0x3FFF)を出力するために必要とされるアナログ入力電圧は次のようになります。

$$2.5\text{V} - 1.5\text{LSB} - (-512\text{LSB}) = 2.5779\text{V}$$

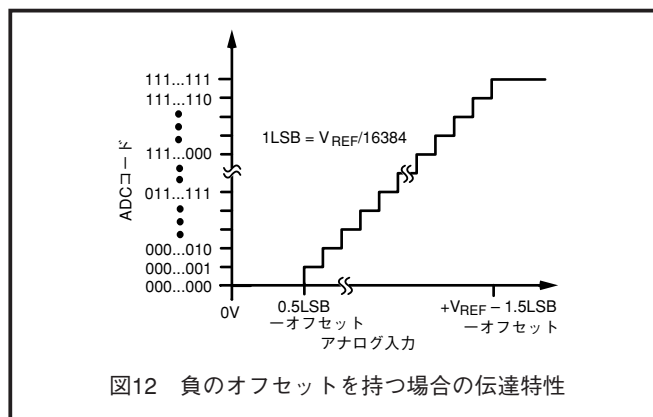


図12 負のオフセットを持つ場合の伝達特性

表Iに、CLIPにロジック高レベルを入力して、さまざまなオフセット値を与えた場合に、与えたアナログ入力電圧に対して予測されるADC変換結果を示します。AD7484のオフセット機能とオーバーレンジ機能の組み合わせによる利点を表IIに示します。表Iに示すアナログ入力およびオフセット値と同じ範囲を示しますが、クリップ機能はディスエーブルにされています。

表I クリップ機能をイネーブルにした場合 (CLIP=1)

オフセット	-512	0	+1024	
V_{IN}	ADCデータ、D[0 : 13]			D14
-200mV	0	0	0	1 1 1
-156.3mV	0	0	0	1 1 0
0V	0	0	1024	1 0 0
+78.2mV	0	512	1536	0 0 0
+2.3435V	14846	15358	16383	0 0 0
+2.5V	15871	16383	16383	0 0 1
+2.5779V	16383	16383	16383	0 1 1
+2.7V	16383	16383	16383	1 1 1

表II クリップ機能をディスエーブルにした場合 (CLIP=0)

オフセット	-512	0	+1024	
V_{IN}	ADCデータ、D[0 : 14]			
-200mV	-1823	-1311	-287	
-156.3mV	-1536	-1024	0	
0V	-512	0	1024	
+78.2mV	0	512	1536	
+2.3435V	14846	15358	16382	
+2.5V	15872	16384	17408	
+2.5779V	16383	16895	17919	
+2.7V	17183	17695	18719	

オフセット・レジスタには-1310～+1310の値を書き込むことができます。これらの値は、オフセット±200mVに対応します。オフセット・レジスタへの書き込みは、パラレル・インターフェースの節で説明するように、13ビット・ワードをデバイスに書き込むことにより行われます。15ビット・ワードの下位12ビットがオフセット値であり、上位3ビットは常に“0”に設定する必要があります。この上位3ビットにゼロを書き込まないと、デバイスは正常に動作しなくなります。

AD7484

パラレル・インターフェース

AD7484には、2つのパラレル・インターフェース・モードがあります。これらのモードは表IIIに示すようにモード・ピンにより選択されます。

表 III 動作モード

	モード2	モード1
使用しない	0	0
パラレル・モード1	0	1
パラレル・モード2	1	0
使用しない	1	1

パラレル・モード1では、出力レジスタのデータが変換の終わりに $\overline{\text{BUSY}}$ の立ち上がりエッジで更新され、直ちに読み出し可能になります。このモードを使うと、最大2.5MSPSのスループット・レートが得られます。変換完了後直ちに交換データが必要な場合は、このモードを使います。このモードを使う例としては、AD7484がNAPモードとともに低スループット・レートで動作し(省電力のため)、かつ入力信号をDSPまたはその他のコントローラ内に設定された規定値と比較する場合があります。規定値を超えた場合、ADCは直ちにフルパワー動作に入り、フル速度でサンプリングを開始します。図17に、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ をローレベルに固定してパラレル・モード1で動作するAD7484のタイミング図を示します。

パラレル・モード2では、出力レジスタのデータは $\overline{\text{CONVST}}$ の次の立ち下がりエッジまで更新されません。1サンプル分の遅延がシステム動作で許容でき、かつ2.5MSPSを超える変換速度が必要な場合に、このモードを使うことができます。例えば、高速で多くのサンプルを取得した後に、入力信号の周波数解析を行うためにFFTを実行するシステムで、このようなことが可能です。図18に、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ をローレベルに固定してパラレル・モード2で動作するAD7484のタイミング図を示します。

AD7484の変換中はデータを読み出さないでください。このため、AD7484が2.5MSPSより高いスループット速度で動作する場合、AD7484の $\overline{\text{CS}}$ ピンと $\overline{\text{RD}}$ ピンをローレベルに固定し、さらにデータ・ラインにバッファを使う必要があります。1回の変換が終わって次の変換の前の休止区間の開始までに、読み出し動作を時間内に完了できないケースでも、同じことが適用できます。

$\overline{\text{BUSY}}$ がローレベルのとき、進行中の変換の誤動作を回避するため、ADC入力での最大スループットを $500\text{V}/\mu\text{s}$ に制限する必要があります。変換中にチャンネルが切り替えられるマルチプレクサ・アプリケーションでは、 $\overline{\text{BUSY}}$ の立ち下がりエッジ後の早い区間にこれが発生します。

AD7484からのデータの読み出し

デバイスからのデータの読み出しは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を使う15ビットのパラレル・データバスを経由して行います。 $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を内部でゲーティングして、変換結果がデータバスに出力されます。

$\overline{\text{CS}}$ と $\overline{\text{RD}}$ が共にローレベルのとき、データ・ラインD0～D14は高インピーダンス状態になります。したがって、必要に応じて $\overline{\text{CS}}$ をローレベルに固定し、 $\overline{\text{RD}}$ 信号を使って変換結果にアクセスすることが

できます。図15に、 t_{QUIET} と呼ばれるタイミング特性を示します。この値は、1つのデータバス動作の後で、かつ次の変換が開始される前に、経過する必要がある時間長を表しています。

AD7484への書き込み

AD7484には、ユーザーからアクセス可能なオフセット・レジスタがあります。このレジスタを使うと、伝達関数の下部を $\pm 200\text{mV}$ だけシフトすることができます。

この機能は、オフセット/オーバーレンジの節で詳しく説明します。

オフセット・レジスタに書き込みを行うときは、2の補数フォーマットのオフセット値を下位12ビットに設定した15ビット・ワードをAD7484に書き込みます。上位3ビットは“0”に固定します。オフセット値は $-1310 \sim +1310$ の範囲である必要があり、オフセット $-200\text{mV} \sim +200\text{mV}$ に対応します。オフセット・レジスタに書き込まれた値は保存されて、デバイスがパワーダウンされるか、またはデバイスがリセットされるまでこの値が使われます。デバイスに別の値を書き込むことにより、保存された値を変換と変換の間に更新することができます。表IVに、オフセット・レジスタ値の幾つかの例とそれに対応するオフセット電圧を示します。図16に、AD7484に対する書き込みのタイミング図を示します。

表IV オフセット・レジスタの例

コード (10進数)	D14～D12	D11～D0 (2の補数)	オフセット (mV)
-1310	000	101011100010	-200
-512	000	111000000000	-78.12
+256	000	000100000000	+39.06
+1310	000	010100011110	+200

$\overline{\text{CONVST}}$ ピンの駆動

AD7484から規定の性能を引き出すためには、 $\overline{\text{CONVST}}$ ピンをジッターの小さい信号源から駆動する必要があります。 $\overline{\text{CONVST}}$ ピンの立ち下がりエッジがサンプリングのタイミングを決定しているので、アナログ入力信号に高周波成分が含まれている場合このエッジのジッターがノイズとして出力されてしまいます。アナログ入力周波数(f_{IN})、タイミング・ジッター(t_j)、S/N比との間の関係は次式で得られます。

$$\text{SNR}_{\text{JITTER}} (\text{dB}) = 10 \log \frac{1}{(2\pi \times f_{\text{IN}} \times t_j)^2}$$

一例として、フルスケール・アナログ入力の最大周波数が1.5MHzの場合に、ジッターに起因するS/N比を100dBにしたいとき、他のすべてのノイズ源を無視すると、許容できる $\overline{\text{CONVST}}$ の立ち下がりエッジのジッターは1.06 psになります。14ビット・コンバータ(理論値S/N比=86.04dB)の場合、許容ジッターは上図より大きくなりますが、高いアナログ入力周波数で14ビット性能を得るためには、 $\overline{\text{CONVST}}$ 回路設計で注意が必要です。

代表的な接続

図13に、パラレル・モード1で動作するAD7484の代表的な接続図を示します。変換は $\overline{\text{CONVST}}$ の立ち下がりエッジで開始されます。 $\overline{\text{CONVST}}$ がローレベルになると、 $\overline{\text{BUSY}}$ 信号がローレベルになり、変換が終わると、 $\overline{\text{BUSY}}$ の立ち上がりエッジを使って割り込みサービス・ルーチンが起動されます。次に $\overline{\text{CS}}$ ラインと $\overline{\text{RD}}$ ラインをアクティブにして、14データビットを読み出します(オーバーレンジ機能を使用する場合は15ビットも)。

図13で、 V_{DRIVE} ピンは DV_{DD} に接続されているため、ロジック出力レベルが0Vまたは DV_{DD} になっています。 V_{DRIVE} に入力される電圧が、出力ロジック信号の電圧値を制御しています。例えば、 DV_{DD} に5V電源が、 V_{DRIVE} に3V電源が、それぞれ接続されている場合、ロジック出力レベルは0Vまたは3Vになります。

この機能を使うと、AD7484は3Vデバイスにインターフェースできるようにすると同時に、ADCの方は5V電源を使って信号を処理することができます。

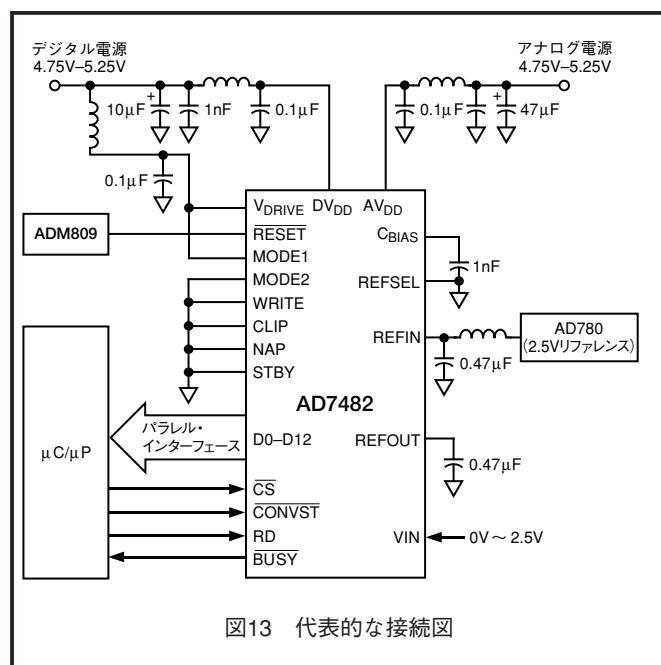


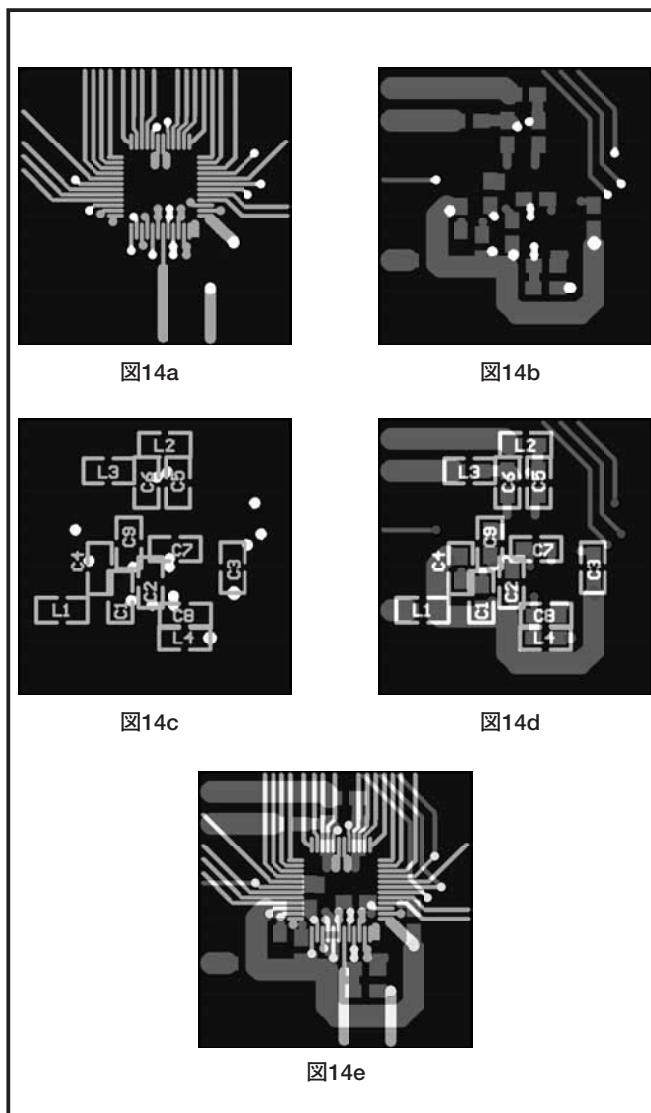
図13 代表的な接続図

ボード・レイアウトとグラウンド

AD7484から最適性能を引き出すためには、少なくとも3層のプリント回路ボードを使うことを推奨します。これらの層の内、可能ならば中間層をグラウンド・プレーンとするのが望ましく、最適なシールド効果を得られます。プリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。この方法を取り、デジタル・ラインとアナログ・ラインを接近させないことに注意すると、デジタル・ノイズのアナログ・ラインへの混入を防ぐことに役立ちます。

AD7484の電源ラインは約3mm幅のパターンにしてインピーダンスを抑え、電源ライン上のグリッチによる影響を軽減させます。適切なデカップリングを用意することも重要です。図13に示すように、フェライトとデカップリング・コンデンサの組み合わせを使う必要があります。デカップリング・コンデンサは電源ピンのできるだけ近くに接続します。多層ボードを使うと、これが容易になります。AD7484ピンに接続される信号パターンには表面層を使い、デカップリング・コンデンサとフェライトは電源パターンがある裏面層に実装することができます。表面と裏面の間にあるグラウンド・プレーンは優れたシールド効果を持ちます。

図14a～図14eに、AD7484周辺ボード領域のレイアウト例を示します。ピン1はデバイスの左下コーナになります。図14aに、AD7484が実装されている表面層を示します(裏面の配線層に対する経路がハイライトして示してあります)。図14bに、電源配線がある裏面層を示します(同じ経路も示してあります)。図14cに、裏面層のシルクスクリーンを示します。この層ではデカップリング部品がデバイスの真下に直接ハンダ付けしてあります。図14dにデカップリング部品のハンダ・パッドに重ねたシルクスクリーンを、図14eに表面と裏面の配線層を重ねた図を、それぞれ示します。各図の黒い領域は、中間層にあるグラウンド・プレーンを表しています。



C1-6: 100nF、C7~8: 470nF、C9: 1nF

L1-4: Meggit-Sigma Chip社のフェライト・ビーズ(BMB2A0600RS2)

AD7484

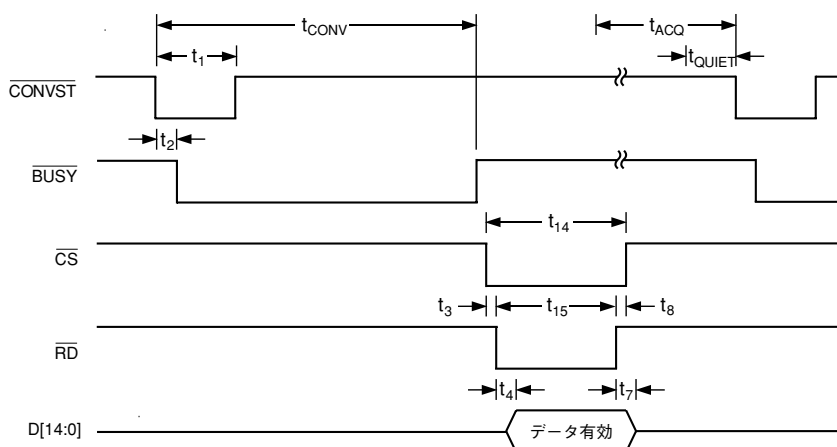


図15 パラレル・モードでの読み出しサイクル

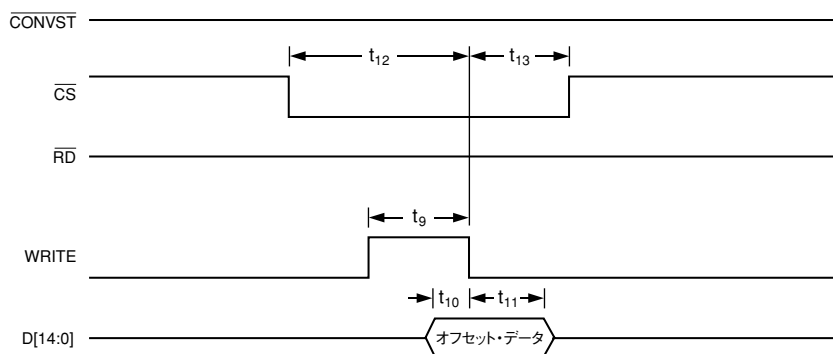


図16 パラレル・モードでの書き込みサイクル

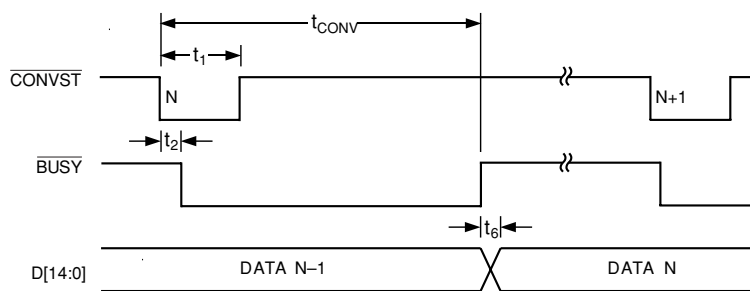


図17 パラレル・モード1での読み出しサイクル

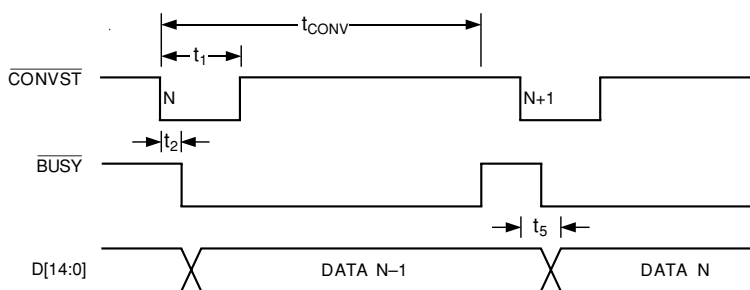


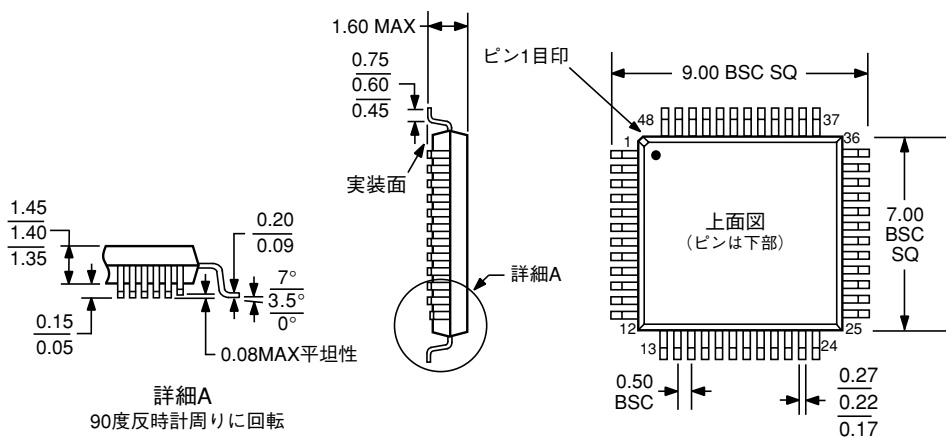
図18 パラレル・モード2での読み出しサイクル

AD7484

外形寸法

48ピン・プラスチック・クワッド・フラットパック [LQFP] (ST-48)

サイズはmmで示します。



JEDEC標準MS-026BBCに準拠

