

特長

- 高速スループット・レート: 1 MSPS
- $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ で仕様を規定
- 最大スループット・レートで低消費電力
870 kSPS、3 V 電源で最大 5.4 mW
- 1 MSPS、5 V 電源で最大 12.5 mW
- シーケンサ付きの 16 (シングルエンド) 入力
- 広い入力帯域幅
50 kHz の入力周波数で 69.5 dB SNR
- フレキシブルな消費電力/シリアル・クロック速度管理
- パイプライン遅延なし
- 高速シリアル・インターフェース、SPI/QSPI™/MICROWIRE™/DSP 互換
- フル・シャットダウン・モード: 最大 0.5 μA
- 28ピン TSSOP パッケージまたは 32ピン LFCSP パッケージを採用

機能ブロック図

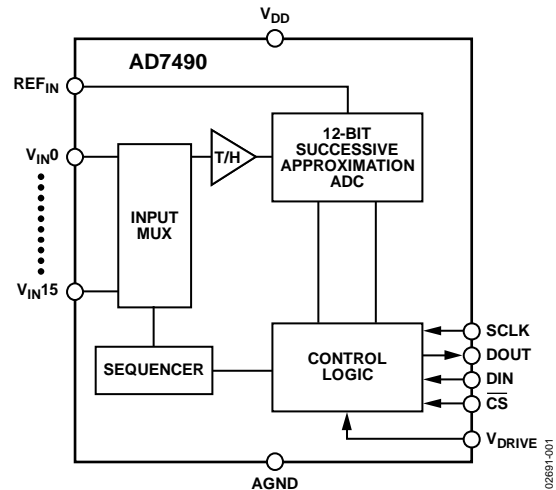


図 1.

概要

AD7490 は、12ビット高速、低消費電力、16チャンネル、逐次比較型 ADC です。このデバイスは 2.7 V~5.25 V の単電源で動作し、1 MSPS の最大スループット・レートを持っています。1 MHz を超える入力周波数を処理できるローノイズ広帯域のトラック・アンド・ホールドも内蔵しています。

変換プロセスとデータ・アキュジション・プロセスは $\overline{\text{CS}}$ とシリアル・クロックを使って制御されるため、マイクロプロセッサまたは DSP に対して容易にインターフェースすることができます。入力信号は $\overline{\text{CS}}$ の立下がりエッジでサンプルされ、この時点で変換も開始されます。このデバイスに対応するパイプライン遅延はありません。

AD7490 では高度なデザイン技術を使って、高いスループット・レートで非常に小さい消費電力を可能にしています。最大スループット・レートでの AD7490 の消費電流は 3 V 電源で 1.8 mA、5 V 電源で 2.5 mA です。

コントロール・レジスタの該当ビットを設定することにより、アナログ入力範囲は 0 V~REF_{IN} 入力または 0 V~2×REF_{IN} 入力を選択可能であり、出力コーディングはストレート・バイナリまたは 2 の補数が選択可能です。AD7490 には、チャンネル・シーケンサ付きのシングルエンド・アナログ入力が 16チャンネルあるため、予め選択したチャンネルで変換をシーケンシャルに行うことができます。変換時間は SCLK 周波数によって決定されます。これはマスタ・クロックとして変換の制御にも使われるためです。

AD7490 は、32ピンの LFCSP パッケージまたは 28ピンの TSSOP パッケージを使用しています。

製品のハイライト

1. AD7490 は最大 1 MSPS スループット・レートを提供します。3 V 電源での最大スループットで、AD7490 消費電力は 5.4 mW です。
2. チャンネルのシーケンスを選択することができ、AD7490 はこのシーケンスを繰り返して変換します。
3. AD7490 は 2.7 V~5.25 V の単電源で動作します。V_{DRIVE} 機能により、シリアル・インターフェースを V_{DD} に無関係に直接 3 V または 5 V プロセッサ・システムに接続することができます。
4. 変換レートはシリアル・クロックで決定されるため、シリアル・クロック速度を上げて変換時間を短くすると、消費電力を減らすことができます。低スループット・レートで電力効率を上げる種々のシャットダウン・モードを持っています。フル・シャットダウンでの最大消費電流は 0.5 μA です。
5. このデバイスは 1 個の標準逐次比較型 ADC を内蔵し、 $\overline{\text{CS}}$ 入力を使用して、またオフの場合には変換制御を使用して、サンプリング時点の正確な制御が可能。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2002-2009 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	シャドウ・レジスタ	14
機能ブロック図	1	動作原理	16
概要	1	回路説明	16
製品のハイライト	1	コンバータの動作	16
改訂履歴	2	ADCの伝達関数	17
仕様	3	代表的な接続図	18
タイミング仕様	5	動作モード	19
絶対最大定格	6	シリアル・インターフェース	22
ESDの注意	6	消費電力とスループット・レートとの関係	23
ピン配置およびピン機能説明	7	マイクロプロセッサ・インターフェース	24
代表的な性能特性	8	アプリケーション情報	25
用語	10	外形寸法	26
内部レジスタ構造	12	オーダー・ガイド	27
コントロール・レジスタ	12		

改訂履歴

6/09—Rev. B to Rev. C

Change to I_{DD} Auto Standby Mode Parameter、Table 14

5/08—Rev. A to Rev. B

Updated Format..... Universal

Changes to Table 13

Changes to Figure 12 and Figure 1314

Changes to Figure 14.....15

Changes to Reference Section19

Updated Outline Dimensions.....26

Changes to Ordering Guide27

10/02—Rev. 0 to Rev. A

Addition to General Description1

Changes to Timing Specification Notes4

Change to Absolute Maximum Ratings5

Addition to Ordering Guide5

Changes to Typical Performance Characteristics8

Added new Figure 9.....8

Changes to Figure 12 and Figure 1411

Changes to Figure 20.....13

Changes to Figure 20 to Figure 26.....14

Addition to Analog Input section.....14

Change to Figure 29 caption18

Change to Figure 30 to Figure 3218

Added Application Hints section20

1/02—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $REF_{IN} = 2.5\text{ V}$ 、 $f_{SCLK}^1 = 20\text{ MHz}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。温度範囲 (B パージョン): $-40^\circ\text{C} \sim +85^\circ\text{C}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
Signal-to-(Noise + Distortion) (SINAD) ²	$f_{IN} = 50\text{ kHz}$ sine wave, $f_{SCLK} = 20\text{ MHz}$				
	$V_{DD} = 5\text{ V}$	69	70.5		dB
	$V_{DD} = 3\text{ V}$	68	69.5		dB
Signal-to-Noise Ratio (SNR) ²		69.5			dB
Total Harmonic Distortion (THD) ²	$V_{DD} = 5\text{ V}$		-84	-74	dB
	$V_{DD} = 3\text{ V}$		-77	-71	dB
Peak Harmonic or Spurious Noise (SFDR) ²	$V_{DD} = 5\text{ V}$		-86	-75	dB
	$V_{DD} = 3\text{ V}$		-80	-73	dB
Intermodulation Distortion (IMD) ²	$f_a = 40.1\text{ kHz}$, $f_b = 41.5\text{ kHz}$				
Second-Order Terms			-85		dB
Third-Order Terms			-85		dB
Aperture Delay			10		ns
Aperture Jitter			50		ps
Channel-to-Channel Isolation ²	$f_{IN} = 400\text{ kHz}$		-82		dB
Full Power Bandwidth	3 dB		8.2		MHz
	0.1 dB		1.6		MHz
DC ACCURACY²					
Resolution		12			Bits
Integral Nonlinearity				± 1	LSB
Differential Nonlinearity	Guaranteed no missed codes to 12 bits			$-0.95/+1.5$	LSB
0 V to REF_{IN} Input Range	Straight binary output coding				
Offset Error			± 0.6	± 8	LSB
Offset Error Match				± 0.5	LSB
Gain Error				± 2	LSB
Gain Error Match				± 0.6	LSB
0 V to $2 \times REF_{IN}$ Input Range	$-REF_{IN}$ to $+REF_{IN}$ biased about REF_{IN} with twos complement output coding offset				
Positive Gain Error				± 2	LSB
Positive Gain Error Match				± 0.5	LSB
Zero Code Error			± 0.6	± 8	LSB
Zero Code Error Match				± 0.5	LSB
Negative Gain Error				± 1	LSB
Negative Gain Error Match				± 0.5	LSB
ANALOG INPUT					
Input Voltage Range	RANGE bit set to 1	0		REF_{IN}	V
	RANGE bit set to 0, $V_{DD} = 4.75\text{ V}$ to 5.25 V for 0 V to $2 \times REF_{IN}$	0		$2 \times REF_{IN}$	V
DC Leakage Current				± 1	μA
Input Capacitance			20		pF
REFERENCE INPUT					
REF_{IN} Input Voltage	$\pm 1\%$ specified performance		2.5		V
DC Leakage Current				± 1	μA
REF_{IN} Input Impedance	$f_{SAMPLE} = 1\text{ MSPS}$		36		k Ω
LOGIC INPUTS					
Input High Voltage, V_{INH}		$0.7 \times V_{DRIVE}$			V
Input Low Voltage, V_{INL}				$0.3 \times V_{DRIVE}$	V
Input Current, I_{IN}	$V_{IN} = 0\text{ V}$ or V_{DRIVE}		± 0.01	± 1	μA
Input Capacitance, C_{IN}^{+3}				10	pF
LOGIC OUTPUTS					
Output High Voltage, V_{OH}	$I_{SOURCE} = 200\text{ }\mu\text{A}$; $V_{DD} = 2.7\text{ V}$ to 5.25 V	$V_{DRIVE} - 0.2$			V
Output Low Voltage, V_{OL}	$I_{SINK} = 200\text{ }\mu\text{A}$			0.4	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Floating State Leakage Current	WEAK/TRI bit set to 0			±10	μA
Floating State Output Capacitance ³	WEAK/TRI bit set to 0			10	pF
Output Coding	Coding bit set to 1 Coding bit set to 0		Straight (Natural) Binary Twos Complement		
CONVERSION RATE					
Conversion Time	16 SCLK cycles, SCLK = 20 MHz			800	ns
Track-and-Hold Acquisition Time ²	Sine wave input			300	ns
	Full-scale step input			300	ns
Throughput Rate	V _{DD} = 5 V (see the Serial Interface section)			1	MSPS
POWER REQUIREMENTS					
V _{DD}		2.7		5.25	V
V _{DRIVE}		2.7		5.25	V
I _{DD} ⁴	Digital inputs = 0 V or V _{DRIVE}				
Normal Mode (Static)	V _{DD} = 2.7 V to 5.25 V, SCLK on or off		600		μA
Normal Mode (Operational)	V _{DD} = 4.75 V to 5.25 V, f _{SCLK} = 20 MHz			2.5	mA
(f _S = Maximum Throughput)	V _{DD} = 2.7 V to 3.6 V, f _{SCLK} = 20 MHz			1.8	mA
Auto Standby Mode	f _{SAMPLE} = 500 kSPS		1.55		mA
	Static			100	μA
Auto Shutdown Mode	f _{SAMPLE} = 250 kSPS		960		μA
	Static			0.5	μA
Full Shutdown Mode	SCLK on or off		0.02	0.5	μA
Power Dissipation⁴					
Normal Mode (Operational)	V _{DD} = 5 V, f _{SCLK} = 20 MHz			12.5	mW
	V _{DD} = 3 V, f _{SCLK} = 20 MHz			5.4	mW
Auto Standby Mode (Static)	V _{DD} = 5 V			460	μW
	V _{DD} = 3 V			276	μW
Auto Shutdown Mode (Static)	V _{DD} = 5 V			2.5	μW
	V _{DD} = 3 V			1.5	μW
Full Shutdown Mode	V _{DD} = 5 V			2.5	μW
	V _{DD} = 3 V			1.5	μW

¹ 仕様は f_{SCLK} が最大 20 MHz まで適用されますが、シリアル・インターフェース条件についてはタイミング仕様のセクションを参照してください。

² 用語のセクションを参照してください。

³ キャラクタライゼーションにより保証。

⁴ 消費電力とスループット・レートの関係のセクションを参照。

タイミング仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} \leq V_{DD}$ 、 $REF_{IN} = 2.5\text{ V}$ ； $T_A = T_{MIN} \sim T_{MAX}$ 。

表 2. タイミング仕様¹

Parameter	Limit at T_{MIN} , T_{MAX}		Unit	Description
	$V_{DD} = 3\text{ V}$	$V_{DD} = 5\text{ V}$		
f_{SCLK}^2	10	10	kHz min	
	16	20	MHz max	
$t_{CONVERT}$	$16 \times t_{SCLK}$	$16 \times t_{SCLK}$		
t_{QUIET}	50	50	ns min	Minimum quiet time required between bus relinquish and start of next conversion
t_2	12	10	ns min	\overline{CS} to SCLK setup time
t_3^3	20	14	ns max	Delay from \overline{CS} until DOUT three-state disabled
t_3b^4	30	20	ns max	Delay from \overline{CS} to DOUT valid
t_4^3	60	40	ns max	Data access time after SCLK falling edge
t_5	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK low pulse width
t_6	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK high pulse width
t_7	15	15	ns min	SCLK to DOUT valid hold time
t_8^5	15/50	15/50	ns min/max	SCLK falling edge to DOUT high impedance
t_9	20	20	ns min	DIN setup time prior to SCLK falling edge
t_{10}	5	5	ns min	DIN hold time after SCLK falling edge
t_{11}	20	20	ns min	16 th SCLK falling edge to \overline{CS} high
t_{12}	1	1	μs max	Power-up time from full power-down/auto shutdown/auto standby modes

¹ キャラクタライゼーションにより保証。すべての入力信号は $t_r = t_f = 5\text{ ns}$ (V_{DD} の 10% から 90%) で規定し、1.6V の電圧レベルからの時間とします(図 2 参照)。3V 動作スパンは 2.7V ~ 3.6V です。5V 動作スパンは 4.75V ~ 5.25V です。

² SCLK 入力のマーク/スペース比は 40/60 ~ 60/40。 $V_{DD} = 3\text{ V}$ でスループット = 870 kSPS のとき最大 SCLK 周波数は 16 MHz。 インターフェースする際にデータ・アクセス時間 t_4 とユーザ・プロセッサに必要なとされるセットアップ時間を考慮するように注意してください。 これら 2 つの時間が、ユーザ・システムが動作できる最大 SCLK 周波数を決定します(シリアル・インターフェースのセクション参照)。

³ 図 2 に示す負荷回路で測定。出力が 0.4V または 0.7V と交叉するまでに必要な時間と定義します。

⁴ t_{3b} は DOUT ラインで ADD3 を使用可能にするワースト・ケース値を表します。すなわち、AD7490 が変換の終わりにスリープ状態に戻り、さらに変換と変換の間に他のデバイスがバス制御を取得する場合、DOUT ライン上で ADD3 が有効になるまで最大時間 t_{3b} の間待つ必要があります。変換と変換の間に DOUT ラインが弱く ADD3 へ駆動される場合、 \overline{CS} の立下がりエッジの後で、かつ DOUT 上に有効な ADD3 が見える前に 3V では 17 ns 間および 5V では 12 ns 間待つ必要があります。

⁵ t_8 は、図 2 に示す負荷回路に接続したとき、データ出力が 0.5V 変化するのに要する時間の測定値から導出しています。測定値は、測定後 25 pF のコンデンサの充電または放電の効果を除去するため外挿して戻しています。これは、タイミング特性で示している時間 t_8 がこのデバイスの真のバス解放時間であることを意味し、バス負荷とは無関係です。

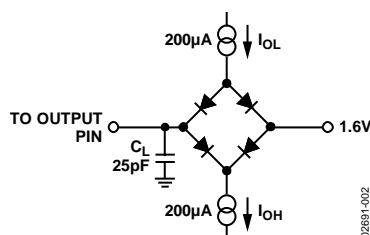


図 2. デジタル出力タイミング仕様の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{DRIVE} to GND	-0.3 V to $V_{DD} + 0.3$ V
Analog Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to +7 V
Digital Output Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
REF_{IN} to GND	-0.3 V to $V_{DD} + 0.3$ V
Input Current to Any Pin Except Supplies ¹	± 10 mA
Operating Temperature Ranges	
Commercial (B Version)	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
LFCSP, TSSOP Package, Power Dissipation	450 mW
θ_{JA} Thermal Impedance	108.2°C/W (LFCSP)
	97.9°C/W (TSSOP)
θ_{JC} Thermal Impedance	32.71°C/W (LFCSP)
	14°C/W (TSSOP)
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
ESD	1 kV

¹ 最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

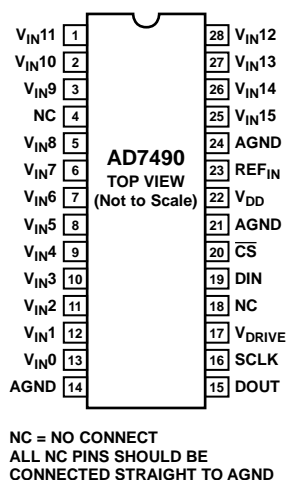


図 3.28 ピン TSSOP のピン配置

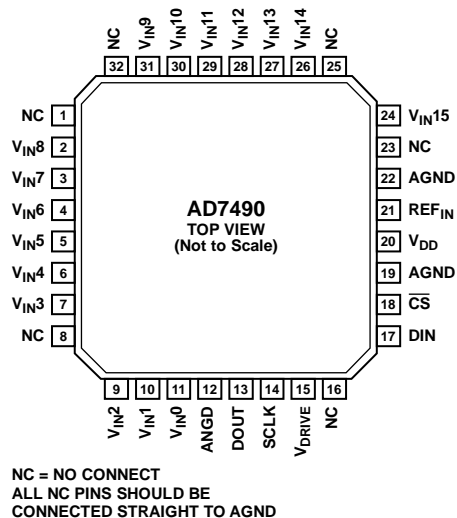


図 4.32 ピン LFCSP のピン配置

表 4. ピン機能の説明

ピン番号		記号	説明
TSSOP	LFCSP		
20	18	CS	チップ・セレクト。アクティブ・ローのロジック入力。この入力は、AD7490の変換開始とシリアル・データ転送制御の2つの機能を持っています。
23	21	REF _{IN}	AD7490のリファレンス電圧入力。外部リファレンス電圧をこの入力に接続する必要があります。外付けリファレンスの電圧範囲は、規定性能に対して $2.5\text{ V} \pm 1\%$ です。
22	20	V _{DD}	電源入力。AD7490のV _{DD} 範囲は2.7V~5.25Vです。0V~2×REF _{IN} 範囲の場合、V _{DD} は4.75V~5.25Vである必要があります。
14、21、24	12、19、22	AGND	アナログ・グラウンド。AD7490上の全回路に対するグラウンド基準ポイント。全アナログ/デジタル入力信号と外付けリファレンス電圧信号はこのAGND電圧を基準とする必要があります。すべてのAGNDピンは互いに接続する必要があります。
13~5、 3~1、 28~25	11~9、 7~2、 31~26、 24	V _{IN0} ~V _{IN15}	アナログ入力0~アナログ入力15。16個のシングルエンド・アナログ入力チャンネルはマルチプレクスされて内蔵のトラック・アンド・ホールドに入力されます。変換するアナログ入力チャンネルの選択は、コントロール・レジスタのチャンネル・アドレス・ビットADD3~ADD0を使って行います。アドレス・ビット、SEQビット、SHADOWビットの組み合わせを使うと、シーケンス・レジスタを設定することができます。すべての入力チャンネルの入力範囲は0V~REF _{IN} または0V~2×REF _{IN} で、コントロール・レジスタのRANGEビットを使って選択します。未使用入力チャンネルはAGNDに接続してノイズの混入を防止する必要があります。
19	17	DIN	データ入力。ロジック入力。AD7490のコントロール・レジスタに書込むデータはこのピンに入力され、SCLKの立下がりエッジでレジスタに入力されます(コントロール・レジスタのセクション参照)。
15	13	DOUT	データ出力。ロジック出力。AD7490の変換結果がシリアル・データ・ストリームとしてこのピンから出力されます。ビットはSCLK入力の立下がりエッジで出力されます。データ・ストリームでは、4ビットのアドレス・ビット(変換結果のチャンネルを指定)と、その後ろに12ビットの変換データがMSBファーストで続きます。出力コーディングは、コントロール・レジスタのCODINGビットを使って、ストレート・バイナリ・コーディングまたは2の補数を選択することができます。
16	14	SCLK	シリアル・クロック。ロジック入力。SCLKは、このデバイスからデータをアクセスする際のシリアル・クロックになります。このクロック入力は、AD7490の変換プロセスのクロック・ソースとしても使われます。
17	15	V _{DRIVE}	ロジック電源入力。このピンに入力された電圧により、AD7490のシリアル・インターフェースが動作する電圧が決定されます。

代表的な性能特性

図 5 に、サンプル・レート 1 MSPS と入力周波数 50 kHz における AD7490 の FFT プロットを示します。

図 7 に、AD7490 の電源リップル周波数対電源除去比を示します。電源変動除去比は、ADC 出力でのフルスケール周波数 f の電力と、ADC の V_{DD} 電源に加えられた周波数 f_s で 200 mV p-p の正弦波の電力との比として定義されます。

$$PSRR(\text{dB}) = 10 \times \log \left(\frac{P_f}{P_{f_s}} \right)$$

ここで、

P_f は ADC 出力での周波数 f の電力。

P_{f_s} は ADC V_{DD} 電源入力に加えられた周波数 f_s での電力。

ここで、200 mV p-p の正弦波が V_{DD} 電源に加えられます。10 nF のデカップリングを電源に使用し、1 μF のデカップリング・コンデンサを REF_{IN} ピンに使用しています。

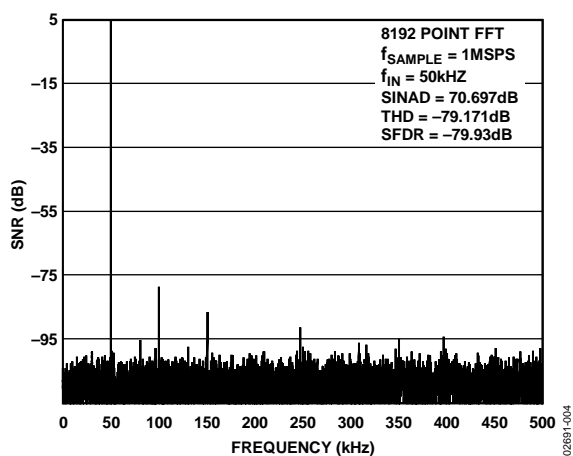


図 5. 1 MSPS でのダイナミック性能

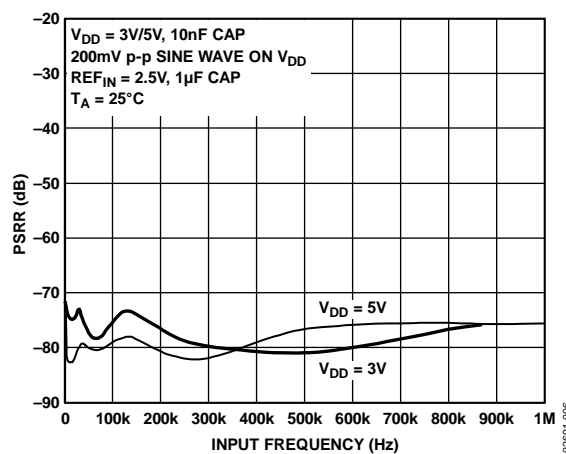


図 7. 電源リップル周波数対 PSRR

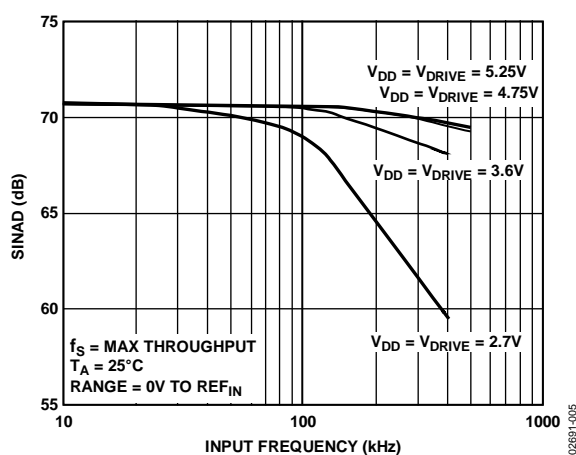


図 6. 様々な電源電圧でのアナログ入力周波数対 SINAD
1 MSPS

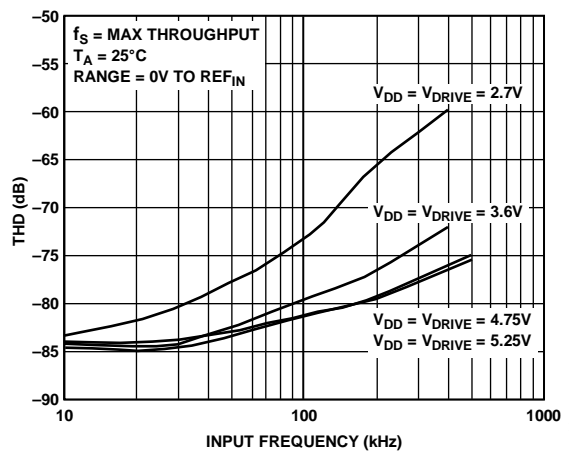


図 8. 様々な電源電圧でのアナログ入力周波数対 THD
1 MSPS

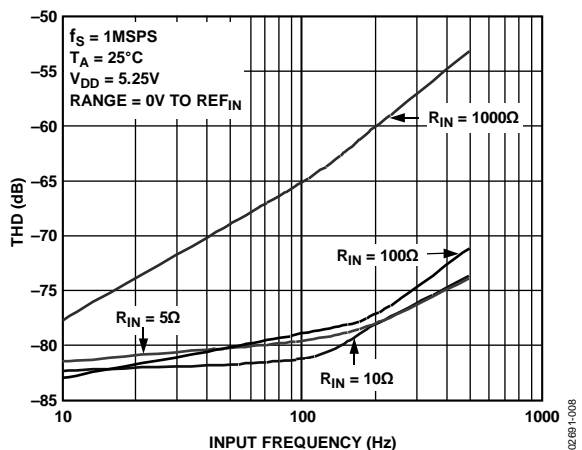


図 9. 様々なアナログ・ソース・インピーダンスでのアナログ入力周波数対 THD

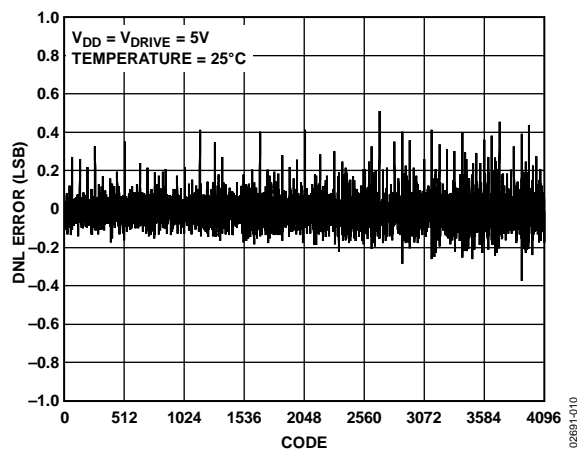


図 11. DNL

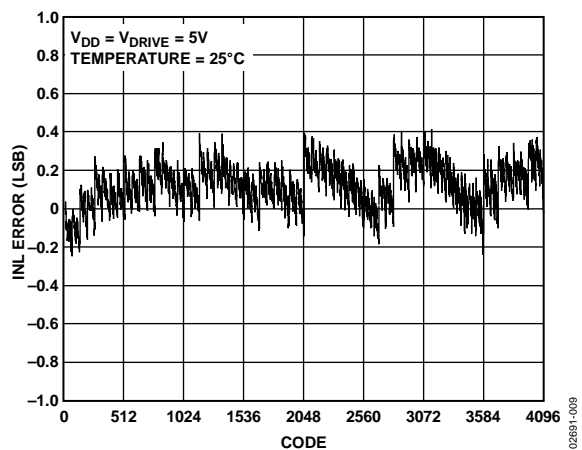


図 10. INL

用語

積分非直線性

ADC 伝達関数の両端を結ぶ直線からの最大偏差を意味します。伝達関数の両端とは、ゼロスケール(最初のコード遷移より 1 LSB 下のポイント)とフルスケール(最後のコード遷移より 1 LSB 上のポイント)を意味します。

微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差を意味します。

オフセット誤差

理論値(AGND + 1 LSB)と最初のコード変化(00 ... 000→00 ... 001)との差を意味します。

オフセット誤差マッチ

これは、任意の 2 チャンネル間のオフセット誤差の差です。

ゲイン誤差

オフセット誤差調整後の最後のコード変化(111...110→111...111)と理論値(REF_{IN} - 1 LSB)との差を意味します。

ゲイン誤差のマッチング

これは、任意の 2 チャンネル間のゲイン誤差の差です。

ゼロ・コード誤差

これは 2 の補数出力コーディング・オプションを使ったときに適用されます。特に、REF_{IN} ポイントを中心とする -REF_{IN} ~ +REF_{IN} バイアス時の 2×REF_{IN} 入力範囲に適用。ミッドスケール変化(全ビット 0→全ビット 1)の理論 V_{IN} 電圧(REF_{IN} - 1 LSB)からの差を意味します。

ゼロ・コード誤差の不一致

これは、任意の 2 チャンネル間のゼロ・コード誤差の差です。

正のゲイン誤差

これは 2 の補数出力コーディング・オプションを使ったときに適用されます。特に、REF_{IN} ポイントを中心とする -REF_{IN} ~ +REF_{IN} バイアス時の 2×REF_{IN} 入力範囲に適用。ゼロ・コード誤差調整後の最後のコード遷移 (011...110→011...111) と理論値(+REF_{IN} - 1 LSB) との差を意味します。

正のゲイン誤差マッチ

これは、任意の 2 チャンネル間の正ゲイン誤差の差です。

負のゲイン誤差

これは 2 の補数出力コーディング・オプションを使ったときに適用されます。特に、REF_{IN} ポイントを中心とする -REF_{IN} ~ +REF_{IN} バイアス時の 2×REF_{IN} 入力範囲に適用。ゼロ・コード誤差調整後の最初のコード遷移 (100...000→100...001) と理論値(-REF_{IN} + 1 LSB) との差を意味します。

負のゲイン誤差マッチ

これは、任意の 2 チャンネル間の負ゲイン誤差の差です。

チャンネル間アイソレーション

チャンネル間アイソレーションは、チャンネル間でのクロストークのレベルの大きさを表します。フルスケールの 400 kHz 正弦波信号をすべての非選択 15 入力チャンネルに入力し、50 kHz 信号を持つ選択したチャンネルで 400 kHz 信号の減衰を測定することにより決定します。この仕様は、AD7490 の全 16 チャンネルのワースト・ケースです。

PSR (電源除去比)

電源変動はフルスケール変化に影響しますが、コンバータの直線性には影響を与えません。PSR は、電源電圧の公称値からの変化で発生するフルスケール変化ポイントの最大変化を表します(代表的な性能特性のセクション参照)。

トラック・アンド・ホールド・アクイジション・タイム

SCLK の 14 番目の立下がり、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アクイジション時間は、加えられた入力信号(入力信号のステップ変化)の±1 LSB 以内に出力が収まるために、トラック・アンド・ホールド・アンプがトラック・モードに留まる必要のある最小時間です。

信号対(ノイズ+歪み)比

これは、A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数(f_s/2)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み) (dB)} = 6.02N + 1.76$$

したがって、12 ビット・コンバータの場合、74 dB になります。

総合高調波歪み

総合高調波歪み(THD)は、高調波の rms 値総和と基本波の比です。AD7490 の場合、次式で与えられます。

$$\text{THD(dB)} = 20 \times \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、V₁ は基本波の rms 振幅で、V₂、V₃、V₄、V₅、V₆ は 2 次～6 次高調波の rms 振幅です。

ピーク高調波またはスプリアス・ノイズ

高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の (DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

相互変調歪み

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、様々な和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 $m, n=0, 1, 2, 3, \dots$ で

す。相互変調歪みの項とは、 m または n がゼロでない項をいいます。例えば、2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7490 は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。この場合、2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

内部レジスタ構造

コントロール・レジスタ

AD7490 のコントロール・レジスタは、12 ビットの書込み専用レジスタです。データは、SCLKの立下がりエッジで、AD7490 のDINピンからロードされます。データはDINラインへ転送され、同時に変換結果がデバイスから読出されます。DINラインへ転送

されるデータは、次の変換用のAD7490 設定に対応します。各データ転送に 16 シリアル・クロックが必要です。 \overline{CS} の立下がりエッジ後の、最初の 12 個の立下がりクロック・エッジで与えられた情報のみが、コントロール・レジスタへロードされます。MSBは、データ・ストリームの先頭ビットです。ビットの機能を表 5 に示します。

表 5. コントロール・レジスタ

MSB										LSB	
11	10	9	8	7	6	5	4	3	2	1	0
WRITE	SEQ	ADD3	ADD2	ADD1	ADD0	PM1	PM0	SHADOW	WEAK/TRI	RANGE	CODING

表 6. コントロール・レジスタ・ビットの機能

Bit	Name	Description
11	WRITE	The value written to this bit of the control register determines whether the following 11 bits are loaded to the control register or not. If this bit is a 1, the following 11 bits are written to the control register; if it is a 0, the remaining 11 bits are not loaded to the control register, and it remains unchanged.
10	SEQ	The SEQ bit in the control register is used in conjunction with the SHADOW bit to control the use of the sequencer function and access the Shadow register (see Table 9).
9 to 6	ADD3 to ADD0	These four address bits are loaded at the end of the present conversion sequence and select which analog input channel is to be converted on in the next serial transfer, or they may select the final channel in a consecutive sequence, as described in Table 9. The selected input channel is decoded as shown in Table 7. The next channel to be converted on is selected by the mux on the 14 th SCLK falling edge. The address bits corresponding to the conversion result are also output on DOUT prior to the 12 bits of data (see the Serial Interface section).
5, 4	PM1, PM0	Power management bits. These two bits decode the mode of operation of the AD7490, as shown in Table 8.
3	SHADOW	The SHADOW bit in the control register is used in conjunction with the SEQ bit to control the use of the sequencer function and access the Shadow register (see Table 9).
2	WEAK/TRI	This bit selects the state of the DOUT line at the end of the current serial transfer. If it is set to 1, the DOUT line is weakly driven to the ADD3 channel address bit of the ensuing conversion. If this bit is set to 0, DOUT returns to three-state at the end of the serial transfer. See the Control Register section for more details.
1	RANGE	This bit selects the analog input range to be used on the AD7490. If it is set to 0, the analog input range extends from 0 V to $2 \times \text{REF}_{\text{IN}}$. If it is set to 1, the analog input range extends from 0 V to REF_{IN} (for the next conversion). For 0 V to $2 \times \text{REF}_{\text{IN}}$, $V_{\text{DD}} = 4.75 \text{ V}$ to 5.25 V.
0	CODING	This bit selects the type of output coding used by the AD7490 for the conversion result. If this bit is set to 0, the output coding for the part is twos complement. If this bit is set to 1, the output coding from the part is straight binary (for the next conversion).

表 7. チャンネルの選択

ADD3	ADD2	ADD1	ADD0	Analog Input Channel
0	0	0	0	V _{IN} 0
0	0	0	1	V _{IN} 1
0	0	1	0	V _{IN} 2
0	0	1	1	V _{IN} 3
0	1	0	0	V _{IN} 4
0	1	0	1	V _{IN} 5
0	1	1	0	V _{IN} 6
0	1	1	1	V _{IN} 7
1	0	0	0	V _{IN} 8
1	0	0	1	V _{IN} 9
1	0	1	0	V _{IN} 10
1	0	1	1	V _{IN} 11
1	1	0	0	V _{IN} 12
1	1	0	1	V _{IN} 13
1	1	1	0	V _{IN} 14
1	1	1	1	V _{IN} 15

表 8. パワー・モードの選択

PM1	PM0	Mode
1	1	Normal operation. In this mode, the AD7490 remains in full power mode, regardless of the status of any of the logic inputs. This mode allows the fastest possible throughput rate from the AD7490.
1	0	Full shutdown. In this mode, the AD7490 is in full shutdown mode, with all circuitry on the AD7490 powering down. The AD7490 retains the information in the control register while in full shutdown. The part remains in full shutdown until these bits are changed in the control register.
0	1	Auto shutdown. In this mode, the AD7490 automatically enters shutdown mode at the end of each conversion when the control register is updated. Wake-up time from shutdown is 1 μ s, and the user should ensure that 1 μ s has elapsed before attempting to perform a valid conversion on the part in this mode.
0	0	Auto standby. In this standby mode, portions of the AD7490 are powered down, but the on-chip bias generator remains powered up. This mode is similar to auto shutdown and allows the part to power up within one dummy cycle, that is, 1 μ s with a 20 MHz SCLK.

シーケンサの動作

コントロール・レジスタのSEQビットとSHADOWビットを使うと、シーケンサ機能の特定の動作モードを選択することができます。表9に、シーケンサの4つの動作モードを示します。

表 9. シーケンス選択

SEQ	SHADOW	Sequence Type
0	0	This configuration means the sequence function is not used. The analog input channel selected for each individual conversion is determined by the contents of the channel address bits ADD0 through ADD3 in each prior write operation. This mode of operation reflects the normal operation of a multichannel ADC, without the sequencer function being used, where each write to the AD7490 selects the next channel for conversion (see Figure 12).
0	1	This configuration selects the Shadow register for programming. After the write to the control register, the following write operation loads the contents of the Shadow register. This programs the sequence of channels to be converted on continuously with each successive valid CS falling edge (see Shadow register, Table 10 and Figure 13). The channels selected need not be consecutive.
1	0	If the SEQ and SHADOW bits are set in this way, the sequence function is not interrupted upon completion of the write operation. This allows other bits in the control register to be altered while in a sequence without terminating the cycle.
1	1	This configuration is used in conjunction with the ADD3 to ADD0 channel address bits to program continuous conversions on a consecutive sequence of channels from Channel 0 through to a selected final channel, as determined by the channel address bits in the control register (see Figure 14).

シャドウ・レジスタ

AD7490 のシャドウ・レジスタは、16 ビットの書き込み専用レジスタです。データは、SCLKの立下がりエッジで、AD7490 のDINピンからロードされます。データはDINラインへ転送され、同時に変換結果がデバイスから読出されます。このデータ転送には 16 シリアル立下がりエッジが必要です。コントロール・レジスタへの前の書き込みでSEQビットとSHADOW ビットがそれぞれ 0、1 の場合、情報がシャドウ・レジスタに入力されます。MSBは、データ・ストリームの先頭ビットです。各ビットはチャンネル 0～チャンネル 15 のアナログ入力を表します。チャンネルのシーケンスを選択することができます。シャドウ・レジスタへの書き込み後の連続する各CS の立下がりエッジで、AD7490 はこの選択したシーケンスを繰り返します。チャンネルのシーケンスを選択するときは、各アナログ入力に対応するチャンネル・ビットをセットする必要があります。AD7490 は選択されたチャンネルを昇順で連続的に繰り返します。SEQビットとSHADOWビットがそれぞれ 1 と 0 に設定された場合を除いて、最小チャンネルから開始し、書き込み動作が発生する(すなわちWRITE ビットを 1 にするまで)まで続きます (表 9 参照)。ビットの機能を表 10 に示します。

図 12 に、マルチチャンネル ADCの通常の動作を示します。この場合、各シリアル転送で変換する次のチャンネルを選択します。この動作モードでは、シーケンサ機能を使いません。

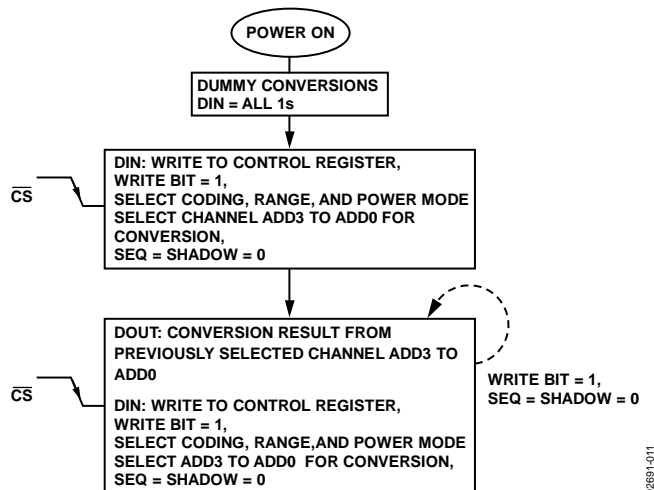


図 12. SEQ ビット = 0、SHADOW ビット = 0 のフローチャート

表 10. シャドウ・レジスタ

MSB														LSB	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
V _{IN0}	V _{IN1}	V _{IN2}	V _{IN3}	V _{IN4}	V _{IN5}	V _{IN6}	V _{IN7}	V _{IN8}	V _{IN9}	V _{IN10}	V _{IN11}	V _{IN12}	V _{IN13}	V _{IN14}	V _{IN15}

図 13 に、AD7490 がチャンネルの特定のシーケンスで連続変換するように、シャドウ・レジスタを使って設定する方法を示します。この動作モードを終了して、マルチチャンネル ADCの通常の動作モード (図 12 参照)に戻るときは、次のシリアル転送でWRITE = 1 とSEQ = SHADOW = 0 を設定します。

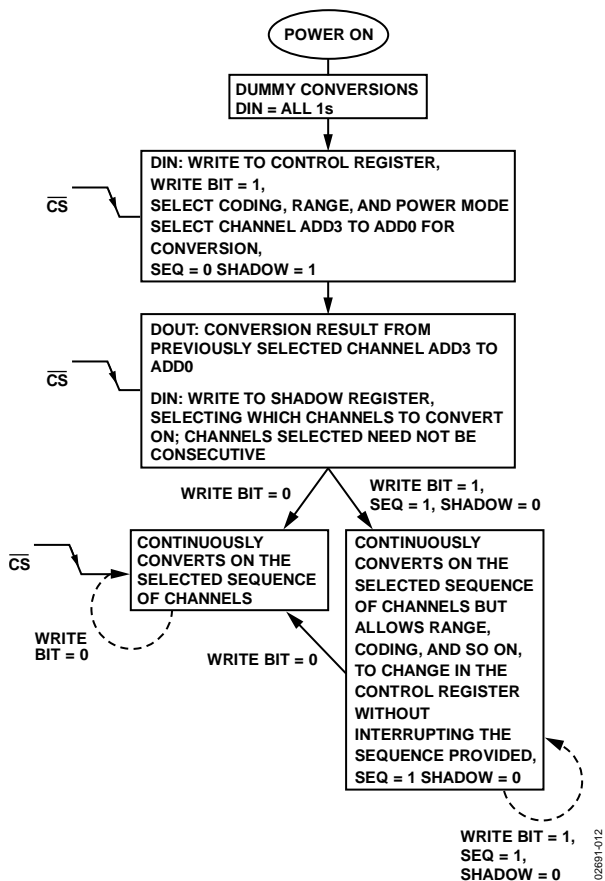


図 13. SEQ ビット = 0、SHADOW ビット = 1 のフローチャート

図 14 に、シャドウ・レジスタを設定しないで、または各シリアル転送でデバイスへの書込みを行わないで、連続チャンネルのシーケンスを変換する方法を示します。ここでも、この動作モード

を終了して、マルチチャンネル ADC の通常の動作モード (図 12 参照) に戻るときは、次のシリアル転送で $WRITE = 1$ と $SEQ = SHADOW = 0$ を設定します。

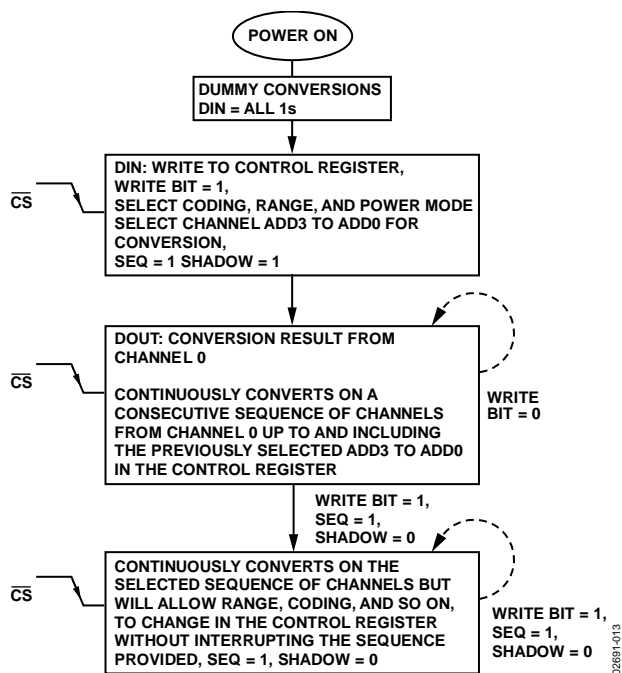


図 14. SEQ ビット = 1、SHADOW ビット = 1 のフローチャート

動作原理

回路説明

AD7490 は、高速、16 チャンネル、12 ビット、単電源、A/D コンバータです。このデバイスは 2.7 V～5.25 V の電源電圧で動作することができます。5 V 電源および 20 MHz クロックで動作させる場合、AD7490 は最大 1 MSPS のスループット・レートが可能です。

AD7490 は、トラック・アンド・ホールド ADC とシリアル・インターフェースを内蔵しており、28 ピン TSSOP パッケージまたは 32 ピン LFCSP を採用しています。AD7490 はチャンネル・シーケンサ付きのシングルエンド入力チャンネルを 16 個内蔵しているため、連続する各 CS 立下がりエッジで ADC が変換を繰り返すチャンネルのシーケンスを選択することができます。シリアル・クロック入力は、デバイスからのデータ読出しに使用し、ADC に書込まれたデータの転送を制御し、さらに逐次比較型 ADC のクロック・ソースとしても使われます。AD7490 のアナログ入力範囲は、コントロール・レジスタのビット 1 のステータスに応じて、 $0\text{ V} \sim \text{REF}_{\text{IN}}$ または $0\text{ V} \sim 2 \times \text{REF}_{\text{IN}}$ になります。 $0\text{ V} \sim 2 \times \text{REF}_{\text{IN}}$ 範囲の場合、デバイスは 4.75 V～5.25 V で動作する必要があります。

AD7490 は、柔軟なパワー・マネジメント・オプションを提供しているため、与えられたスループット・レートに対して最適な消費電力性能を実現することができます。これらのオプションは、コントロール・レジスタのパワー・マネジメント・ビットを設定して選択することができます。

コンバータの動作

AD7490 は、容量型 DAC を採用した 12 ビット逐次比較型 ADC です。AD7490 は、 $0\text{ V} \sim \text{REF}_{\text{IN}}$ または $0\text{ V} \sim 2 \times \text{REF}_{\text{IN}}$ の範囲のアナログ入力信号を変換することができます。図 15 と 図 16 に、ADC の簡略化した回路図を示します。この ADC は、コントロール・ロジック、SAR、容量 DAC から構成されており、これらを使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。図 15 に、アキュイジション・フェーズにある ADC を示します。SW2 は閉じて、SW1 は位置 A にあり、コンパレータは平衡状態にあり、サンプリング・コンデンサは選択された V_{IN} チャンネル上の信号を取得します。

ADC が変換を開始すると(図 16)、SW2 が開いて、SW1 が位置 B に移動して、コンパレータが不平衡状態になります。コントロール・ロジックと容量 DAC を使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを発生します。図 18 に、ADC の伝達関数を示します。

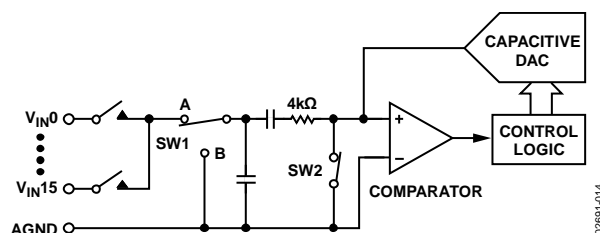


図 15.ADC アキュイジション・フェーズ

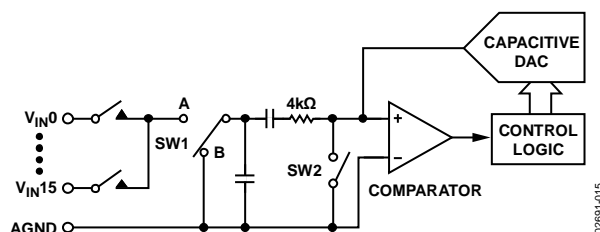


図 16.ADC 変換フェーズ

アナログ入力

図 17 に、AD7490 のアナログ入力構造の等価回路を示します。ダイオード D1 と D2 はアナログ入力に対して ESD 保護機能を提供します。アナログ入力信号が電源レールより 200 mV 以上高くないよう注意する必要があります。超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は 10 mA です。図 17 に示すコンデンサ C1 は約 4 pF (typ) で、主にピン容量に起因します。抵抗 R1 は集中定数部品であり、トラック・アンド・ホールド・スイッチと入力マルチプレクサのオン抵抗から構成されます。この合計抵抗は約 400 Ω (typ) です。コンデンサ C2 は ADC のサンプリング・コンデンサであり、容量は 30 pF (typ) です。

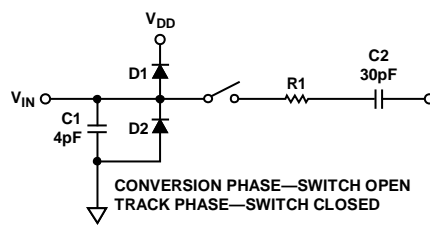


図 17.等価アナログ入力回路

AC アプリケーションの場合、該当するアナログ入力ピンに RC ローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することが推奨されます。高調波歪みと信号対ノイズ比が重要であるアプリケーションでは、アナログ入力を低インピーダンス・ソースで入力する必要があります。ソース・インピーダンスが大きいと、ADC の AC 性能が大きく影響を受けます。このために、入力バッファ・アンプの使用が必要になります。オペ・アンプの選択は、アプリケーションに依存します。

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、許容可能な総合高調波歪み(THD)の大きさに依存します。ソース・インピーダンスが増加するとTHDが大きくなるため、性能が低下します(図9参照)。

ADCの伝達関数

AD7490 の出力コーディングは、コントロール・レジスタのLSB (CODING ビット)を使って、ストレート・バイナリまたは2の補数を選択することができ、デザイン上のコード変化はLSBの連続する値(1 LSB、2 LSBなど)の間で発生します。LSBサイズは $REF_{IN}/4096$ になります。図18に、ストレート・バイナリ・コーディングが選択されたときのAD7490の理論伝達特性を示します。

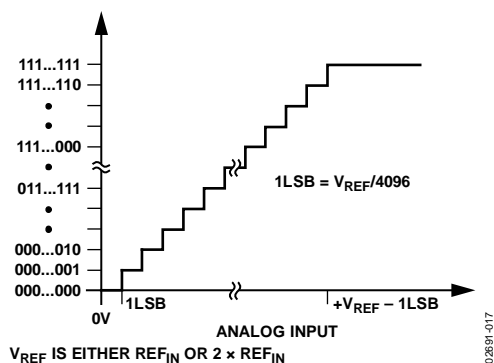


図 18.ストレート・バイナリ伝達特性

バイポーラ入力信号の処理

図 20 に、バイポーラ入力信号の処理に、 $2 \times REF_{IN}$ 入力範囲と2の補数出力コーディング方式の組み合わせが有効であることを示します。バイポーラ入力信号がほぼ REF_{IN} にバイアスされて、2の補数出力コーディングが選択されると、 REF_{IN} がゼロ・コード・ポイントになり、 $-REF_{IN}$ が負側のフルスケールになり、 $+REF_{IN}$ が正側のフルスケールになり、ダイナミック・レンジは $2 \times REF_{IN}$ になります。

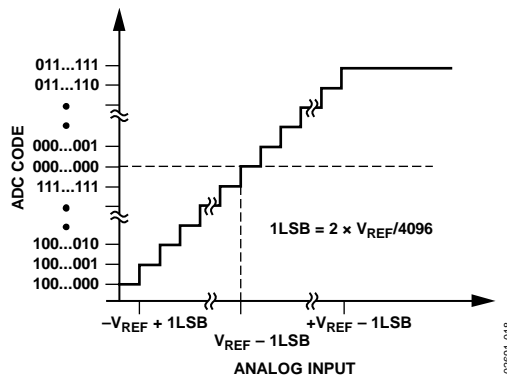


図 19. $REF_{IN} \pm REF_{IN}$ 入力範囲を持つ2の補数伝達特性

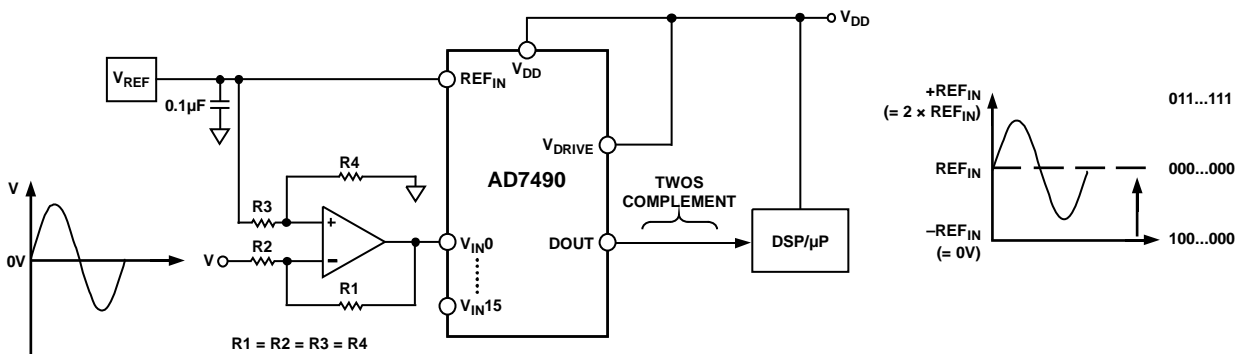


図 20.バイポーラ信号の処理

代表的な接続図

図 21 に、AD7490 の一般的な接続図を示します。この接続では、AGNDピンはシステムのアナログ・グラウンド・プレーンに接続する必要があります。図 21 では、REF_{IN} がリファレンス・ソース AD780 からのデカップリングされた 2.5 V 電源に接続されて、0 V ~ 2.5 V (RANGE ビット = 1) または 0 V ~ 5 V (RANGE ビット = 0) のアナログ入力範囲を提供します。AD7490 は V_{DD} = 5 V に接続されていますが、シリアル・インターフェースは 3 V のマイクロプロセッサに接続されています。AD7490 の V_{DRIVE} ピンはマイクロプロセッサと同じ 3 V 電源に接続されて、3 V ロジック・インターフェースが可能になっています (デジタル入力のセクション参照)。変換結果は 16 ビット・ワードで出力されます。16 ビット・データ・ストリームでは、4 ビットのアドレス・ビット (変換結果のチャンネルを指定) と、その後ろに 12 ビットの変換データが続きます。消費電力が問題となるアプリケーションに対しては、変換の間で、または複数の変換バーストの間でパワーダウン・モードを使って、消費電力性能を向上させることができます (動作モードのセクション参照)。

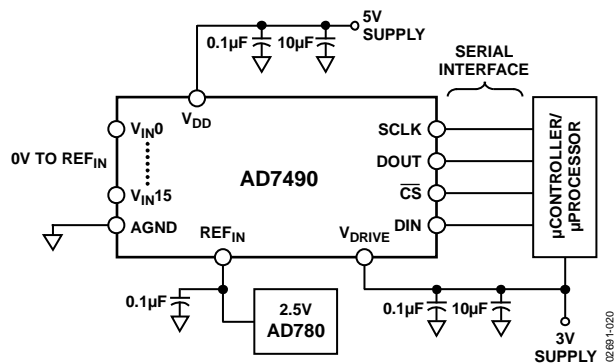


図 21. 代表的な接続図

アナログ入力チャンネル

16 個のアナログ入力チャンネルから変換する 1 チャンネルを選択することができ、この選択はコントロール・レジスタ内でアドレス・ビット ADD3 ~ ADD0 を使ってマルチプレクサを設定することにより行われます。チャンネル構成を表 7 に示します。AD7490 は、選択した多数のチャンネルの変換を自動的に繰り返すように設定することもできます。シーケンサ機能は、コントロール・レジスタの SEQ ビットと SHADOW ビットを使ってアクセスされます (表 9 参照)。AD7490 は、選択したチャンネルを昇順に連続的に変換するように設定することができます。変換するアナログ入力チャンネルのシーケンサの選択は、シャドウ・レジスタ内で該当するビットを設定することにより行われます (表 10 参照)。次に、選択された中の最小チャンネルで変換が実行されることにより設定されたシーケンサに対して、次のシリアル転送が行われます。

次のシリアル転送により、シーケンサ内の次に大きいチャンネルに対する変換が発生し、以後同様に続きます。シーケンサ動作が

開始された後は、コントロール・レジスタへの書き込みは不要です。コントロール・レジスタが偶発的に上書きされないように、またはシーケンサ動作が停止されないようにするため、WRITE ビットを 0 に設定するか、または DIN ラインをロー・レベルにする必要があります。シーケンサ中にコントロール・レジスタが何時でも書込まれる場合は、SEQ ビットと SHADOW ビットをそれぞれ 1、0 に設定して、自動変換シーケンサの中断を回避する必要があります。AD7490 に書き込みが行われて SEQ ビットと SHADOW ビットがそれぞれ 1、0 以外のビット組み合わせに設定されるまで、このパターンが続きます。シーケンサが完了すると、AD7490 シーケンサはシャドウ・レジスタで最初に選択されたチャンネルに戻り、中断されないかぎりシーケンサを繰り返します。

チャンネルの特定シーケンサを選択する代わりに、チャンネル 0 から始まる複数の連続チャンネルを設定することもできます。この設定は、シャドウ・レジスタへの書き込みなしで、コントロール・レジスタだけを使って行います。SEQ ビットと SHADOW ビットをそれぞれ 1、1 に設定すると、この構成が可能になります。そうすると、ADD3 ~ ADD0 チャンネル・アドレス・ビットにより連続シーケンサ内の最終チャンネルが決定されます。次の変換がチャンネル 0、次にチャンネル 1 と続き、ADD3 ~ ADD0 アドレス・ビットを使って選択したチャンネルに到達するまで続きます。WRITE ビット = ロー・レベルの場合、次のシリアル転送でサイクルが再び開始されます。WRITE ビット = ハイ・レベルの場合は SEQ ビットと SHADOW ビットはそれぞれ 1、0 に設定されるため、ADC は予め設定された自動シーケンサを中断することなく続けます。使用するチャンネル選択方法によらず、各変換時の AD7490 からの 16 ビット・ワード出力には、変換結果に対応するチャンネル・アドレスと、その後続く 12 ビット変換結果が常に含まれます (シリアル・インターフェースのセクション参照)。

デジタル入力

AD7490 に入力されるデジタル入力は、アナログ入力を制限する最大定格により制限されません。その代わりに、入力されるデジタル入力は 7 V まで可能で、アナログ入力の場合のように V_{DD} + 0.3 V に制限されません。

SCLK、DIN、 \overline{CS} が V_{DD} + 0.3 V 値により制限されないもう 1 つの利点は、電源シーケンサの問題がないことです。アナログ入力では、0.3 V を超える信号を V_{DD} の前に加えるとラッチアップが生ずることがありますが、V_{DD} の前に \overline{CS} 、DIN、または SCLK を加えても、ラッチアップの危険性はありません。

V_{DRIVE}

AD7490 には V_{DRIVE} 機能もあります。V_{DRIVE} は、シリアル・インターフェースが動作する電圧を制御します。V_{DRIVE} を使うと、ADC は 3 V と 5 V のプロセッサに容易にインターフェースすることができます。例えば、AD7490 が V_{DD} = 5 V で動作する場合、V_{DRIVE} ピンは 3 V 電源に接続することができます。AD7490 は V_{DD} = 5 V で優れたダイナミック性能を持っており、さらに 3 V プロセッサにもインターフェースすることができます。V_{DRIVE} は V_{DD} より 0.3 V 以上高くならないよう注意する必要があります (絶対最大定格のセクション参照)。

リファレンス電圧セクション

AD7490 に 2.5 V のリファレンス電圧を与えるためには外付けのリファレンス電圧源が必要です。リファレンス電圧源の誤差は AD7490 の伝達関数でのゲイン誤差になり、このデバイスのフルスケール誤差規定値に加算されます。0.1 μF のコンデンサを REF_{IN} ピンに接続する必要があります。AD7490 に適切なリファレンス・ソースとしては、AD780、REF192、AD1582、ADR03、ADR381、ADR391、ADR421 などがあります。

2.5 V を REF_{IN} ピンに加える場合、コントロール・レジスタの RANGE ビットに応じて、アナログ入力範囲を 0 V ~ 2.5 V または 0 V ~ 5 V にすることができます。

動作モード

AD7490 には複数の動作モードがあります。これらのモードは、柔軟なパワー・マネジメント・オプションを提供するためにデザインされています。これらのオプションを選択して、様々なアプリケーションの要求に対して消費電力/スループット・レート比を最適化することができます。AD7490 の動作モードは、コントロール・レジスタのパワー・マネジメント・ビット(ビット PM1 とビット PM0)から制御されます(表 7 参照)。電源を最初に AD7450 に加えるときは、デバイスを必要な動作モードにしておくように注意してください(AD7490 のパワーアップのセクション参照)。

ノーマル・モード (PM1 = PM0 = 1)

このモードでは、AD7490 が常時フル・パワーオン状態にあるためパワーアップ時間を気にする必要がないので、最高スループット・レート性能を得ることができます。図 22 に、このモードでの AD7490 動作の全体的な動作図を示します。

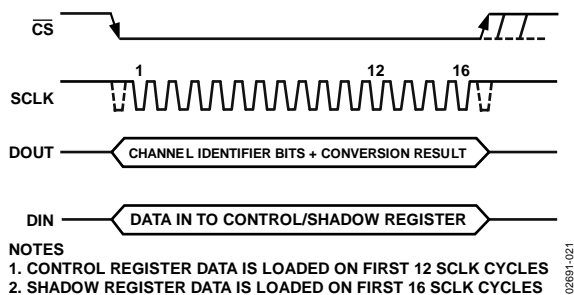


図 22. ノーマル・モード動作

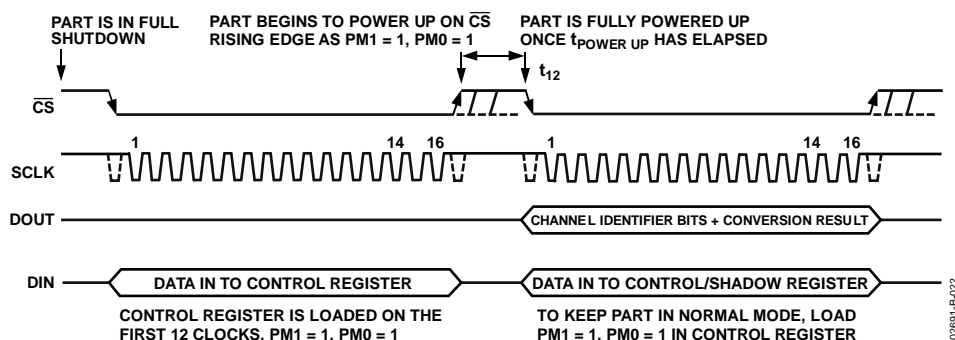


図 23. フル・シャットダウン・モード動作

シリアル・インターフェースのセクションで示すように、変換は $\overline{\text{CS}}$ の立下がりエッジで開始され、トラック・アンド・ホールドはホールド・モードになります。データ転送の最初の 12 クロック・サイクル間に AD7490 に対して DIN ラインに出力されるデータがコントロール・レジスタへロードされます (WRITE ビット = 1 の場合)。

データがシャドウ・レジスタに書込まれると (前の書込みで SEQ = 0、シャドウ = 1)、最初の 16 SCLK サイクルで DIN ラインに出力されるデータがシャドウ・レジスタにロードされます。変換中の書込み転送で PM1 と PM0 が 1 に設定されているかぎり、デバイスはその変換の終わりに通常モードでのフル・パワーアップを維持します。通常モードでの動作を確実に続けるためには、各データ転送で PM1 と PM0 に 1 をロードします。変換を完了して変換結果をアクセスするためには、シリアル・クロックで 16 サイクルが必要です。SCLK の 14 番目の立下がりエッジで、トラック・アンド・ホールドはトラック・モードに戻ります。 $\overline{\text{CS}}$ は次の変換までアイドルのハイ・レベルを維持するか、または次の変換の前に一定時間アイドルのロー・レベルになることができます(実質的に $\overline{\text{CS}}$ はロー・レベルでアイドル)。

データ転送が完了した(DOUT がスリーステート $\overline{\text{WEAK/TRI}}$ ビット = 0 に戻った)後、静止時間 t_{QUIET} が経過した後に $\overline{\text{CS}}$ を再度ロー・レベルにして、次の変換を開始することができます。

フル・シャットダウン (PM1 = 1, PM0 = 0)

このモードでは、AD7490 のすべての内部回路がパワーダウンします。デバイスは、フル・シャットダウン中コントロール・レジスタ内の情報を維持します。コントロール・レジスタのパワー・マネジメント・ビット(ビット PM1 とビット PM0)が変更されるまで、AD7490 はフル・シャットダウン・モードを維持します。

フル・シャットダウン・モードのときコントロール・レジスタに書込みを行ってパワー・マネジメント・ビットを PM0 = PM1 = 1 (ノーマル・モード)に設定すると、デバイスは $\overline{\text{CS}}$ の立上がりエッジでパワーアップを開始します。デバイスのフル・シャットダウン・モード中ホールド・モードであったトラック・アンド・ホールドが、14 番目の SCLK 立下がりエッジでトラック・モードに戻ります。

デバイスのフル・パワーアップを確実にするため、次の $\overline{\text{CS}}$ 立下がりエッジの前に $t_{\text{POWER-UP}}(t_{12})$ の経過を待つ必要があります。図 23 に、このモードの全体図を示します。

自動シャットダウン (PM1 = 0, PM0 = 1)

このモードでは、コントロール・レジスタが更新されたとき、AD7490 は各変換の終わりに自動的にシャットダウンします。デバイスがシャットダウンすると、トラック・アンド・ホールドはホールド・モードになります。図 24 に、このモードでの AD7490 動作の全体的な動作図を示します。

シャットダウン・モードでは、AD7490 のすべての内部回路がパワーダウンします。デバイスは、シャットダウン中コントロール・レジスタ内の情報を維持します。次の \overline{CS} 立下がりエッジが受信されるまで、AD7490 はシャットダウンを維持します。この \overline{CS} 立下がりエッジで、デバイスのシャットダウン・モード中にホールド・モードにあったトラック・アンド・ホールドがトラック・アンド・ホールドに戻ります。自動シャットダウンからのウェイクアップ時間は $1\ \mu\text{s}$ であるため、有効な変換を開始する前に $1\ \mu\text{s}$ の経過を待つ必要があります。AD7490 を 20 MHz クロックで動作させる場合、デバイスのフル・パワーアップには $16 \times \text{SCLK}$ の 1 ダミー・サイクルで十分です。このダミー・サイクルの間、コントロール・レジスタの値を維持する必要があるため、DIN ライン上で WRITE ビットを 0 にする必要があります。このダミー・サイクルは、実質的にデバイスのスループット・レートを 1/2 にするため、変換結果は 1 つおきに有効になります。このモードでは、デバイスは各変換の終わりにシャットダウンするため、デバイスの消費電力が大幅に削減されます。自動シャットダウンになるようにコントロール・レジスタを設定すると、変換の終わりに有効になります。 \overline{CS} 信号を制御すると、ADC での低消費電力状態の開始/終了を制御することができます。

自動スタンバイ (PM1 = PM0 = 0)

このモードでは、コントロール・レジスタが更新されたとき、AD7490 は各変換の終わりに自動的にスタンバイ・モードになります。図 25 に、このモードでの AD7490 動作の全体的な動作図を示します。スタンバイ・モードでは、AD7490 の一部がパワーダウンしますが、内蔵バイアス発生回路は動作したままです。デバイスは、スタンバイ中コントロール・レジスタ内の情報を維持します。次の \overline{CS} 立下がりエッジが受信されるまで、AD7490 はスタンバイを維持します。この \overline{CS} 立下がりエッジで、デバイスのスタンバイ・モード中にホールド・モードにあったトラック・アンド・ホールドがトラック・モードに戻ります。スタンバイからのウェイクアップ時間は $1\ \mu\text{s}$ であるため、このデバイスがモードで有効な変換を開始する前に $1\ \mu\text{s}$ の経過を待つ必要があります。AD7490 を 20 MHz クロックで動作させる場合、デバイスのフル・パワーアップには $16 \times \text{SCLK}$ の 1 ダミー・サイクルで十分です。このダミー・サイクルの間、コントロール・レジスタの値を維持する必要があるため、DIN ライン上で WRITE ビットを 0 にする必要があります。このダミー・サイクルは、実質的にデバイスのスループット・レートを 1/2 にするため、変換結果は 1 つおきに有効になります。このモードでは、デバイスは各変換の終わりにスタンバイ・モードになるため、デバイスの消費電力が大幅に削減されます。自動スタンバイになるようにコントロール・レジスタを設定すると、変換の終わりに有効になります。 \overline{CS} 信号を制御すると、ADC での低消費電力状態の開始/終了を制御することができます。

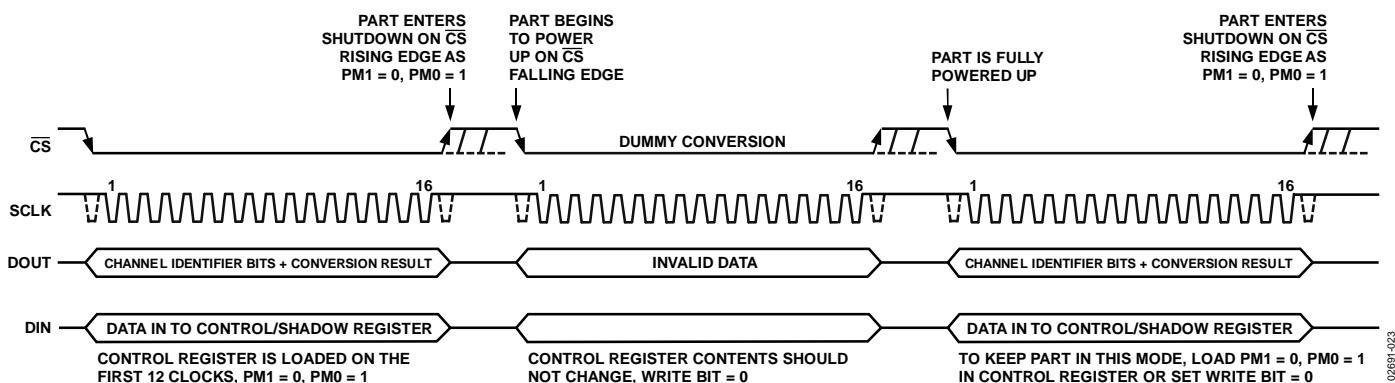


図 24.自動シャットダウン・モードでの動作

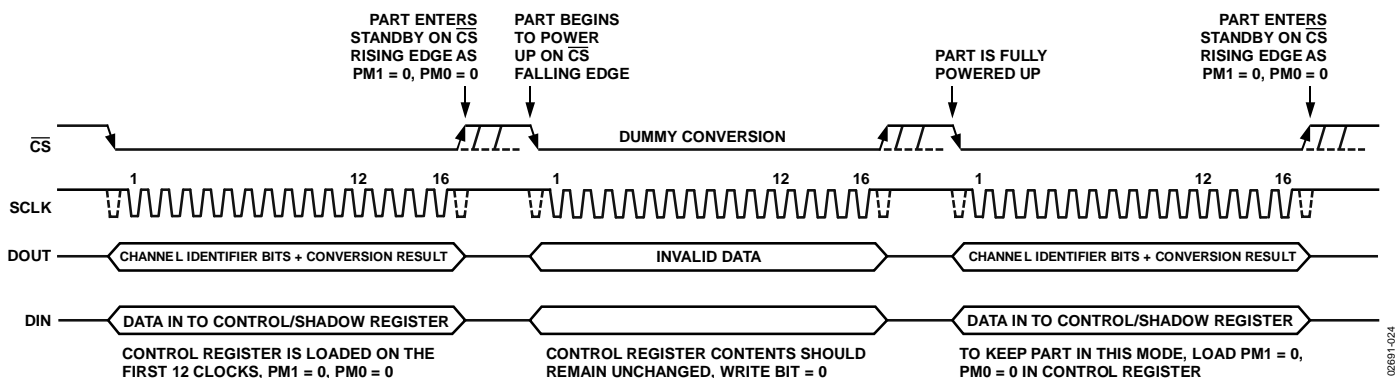


図 25.自動スタンバイ・モードでの動作

AD7490 のパワーアップ

最初にAD7490 に電源を加えるとき、ADCはデバイスの任意の動作モードでパワーアップすることができます。デバイスを確実に必要とする動作モードにするため、図 26 で説明するダミー・サイクル動作を実行する必要があります。

図 26 で説明する 3 つのダミー変換動作を実行して、デバイスをいずれかの自動モードにする必要があります。このダミー・サイクル動作の最初の 2 つの変換は、DIN ラインをハイ・レベルにして実行し、ダミー・サイクル動作の 3 番目の変換では、必要とするコントロール・レジスタ設定をAD7490 に書込んで、デバイスを必要とする自動モードにする必要があります。電源を加えた後の 3 番目の CS 立上がりエッジで、コントロール・レジスタには正しい情報が格納され、次の変換から有効なデータが得られます。

したがって、AD7490 に最初に電源を加えるときに、デバイスを正しい動作モードにするために、DIN ラインをハイ・レベルにして最初に 2 回のシリアル書き込み動作を行う必要があります。3 番目の変換サイクルで、コントロール・レジスタに書き込みを行って、デバイスを任意の動作モードにすることができます。電源を ADC に加えた後の 4 番目の変換サイクルまでシャドウ・レジスタに書き込みを行わないで、コントロール・レジスタに正しいデータが格納されるようにする必要があります。

デバイスを通常モードまたはフル・シャットダウン・モードにするときは、DIN をハイ・レベルにした 2 番目のダミー・サイクルを 図 26 で示した 3 つのダミー変換動作から除くことができます。

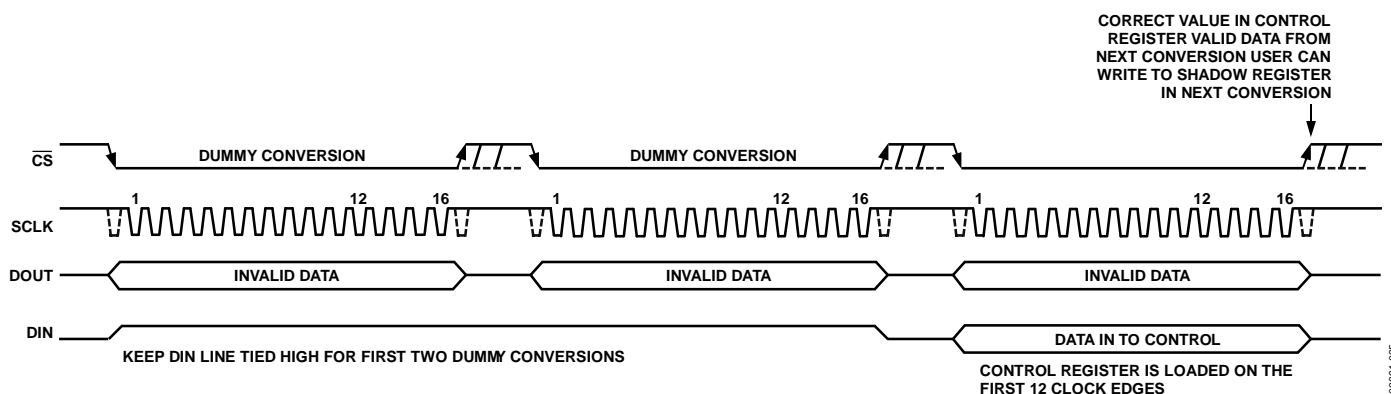


図 26. 電源を加えた後に必要な動作モードを開始させる方法

シリアル・インターフェース

図 27 に、AD7490 シリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックは変換クロックとして使用され、各変換中にAD7490 に入出力される情報の転送制御にも使用されます。

$\overline{\text{CS}}$ 信号が、データ転送と変換プロセスを開始させます。 $\overline{\text{CS}}$ の立下がりエッジで、トラック・アンド・ホールドがホールド・モードになり、バスはスリー・ステートから抜け出します。アナログ入力は、この時点でサンプルされます。変換もこの時点で開始され、完了までにSCLKで 16 サイクルを要します。トラック・アンド・ホールドは 14 番目のSCLK 立下がりエッジでトラック・モードに戻ります(図 27 ではポイント B)。ただし、シャドウ・レジスタへの書き込みの場合は除きます。この場合、トラック・アンド・ホールドは $\overline{\text{CS}}$ の立上がりエッジまで(図 28 ではポイント C)、トラック・モードに戻りません。16 番目のSCLK 立下がりエッジで、DOUT ラインはスリー・ステートに戻ります (WEAK/TRI ビットが 0 に設定されている場合)。変換を完了してAD7490 の変換結果をアクセスするためには、シリアル・クロックで 16 サイクルが必要です。変換データの 12 ビットは 4 ビットのチャンネル・アドレ

ス・ビットADD3~ADD0 の後ろにあり、その変換結果が得られたチャンネルを識別しています。 $\overline{\text{CS}}$ がロー・レベルになると、マイクロプロセッサまたはDSPからADD3 アドレス・ビットを読み出すことができます。残りのアドレス・ビットとデータ・ビットが後続のSCLK 立下がりエッジで出力され、2 番目のアドレス・ビットADD2 から開始されます。したがって、シリアル・クロックの最初のSCLK 立下がりエッジではADD3 アドレス・ビットがあり、アドレス・ビット ADD2 も出力されます。前の(15 番目の)立下がりエッジで出力されたデータ転送の最終ビットは 16 番目の立下がりエッジで有効になります。

コントロール・レジスタへの情報の書き込みは、データ転送内のSCLKの最初の 12 立下がりエッジで行われます(MSBすなわちWRITE ビットが 1 に設定されている場合)。シャドウ・レジスタを使用するようにコントロール・レジスタが設定されている場合には、シャドウ・レジスタへの情報の書き込みは、次のシリアル転送内のすべての 16 SCLK 立下がりエッジで発生します(図 28 参照)。 $\overline{\text{CS}}$ の立上がりエッジでシャドウ・レジスタが更新され、トラック・アンド・ホールドがシーケンス内で選択された最初のチャンネルのトラックを開始します。

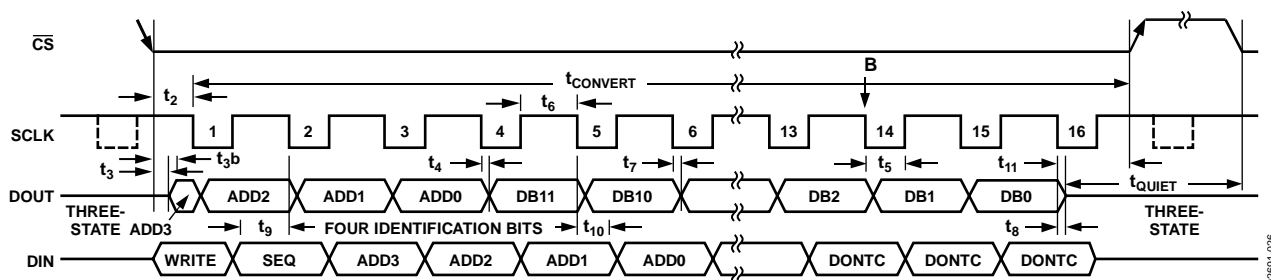


図 27.シリアル・インターフェースのタイミング図

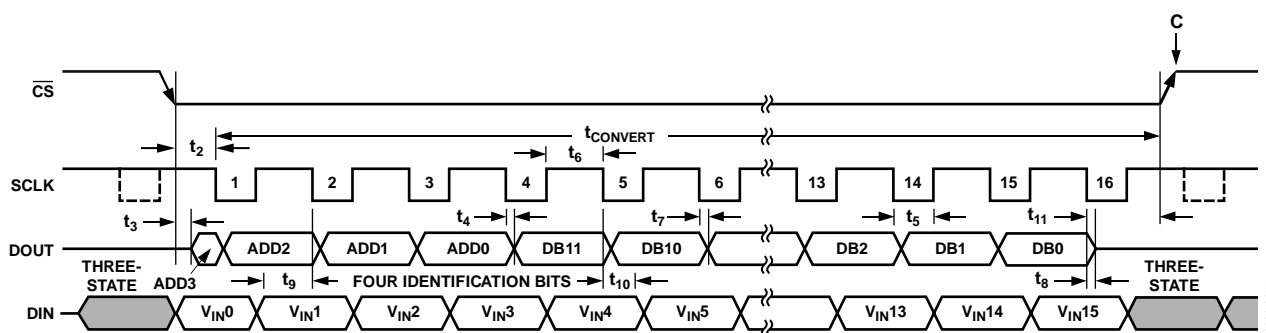


図 28.シャドウ・レジスタ書き込みのタイミング図

コントロール・レジスタの $\overline{\text{WEAK/TRI}}$ ビットがセットされると、DOUT ラインは SCLK の 16 番目の立下がりエッジで真のスリーステートに戻る代わりに、次のシリアル転送の ADD3 に対応するロジック・レベルへ弱くプルされます。これは、次のシリアル転送の上位ビットのセットアップが、CS 立下がりエッジの後の最初の SCLK 立下がりエッジに間に合うようにするためです。変換と変換の間に $\overline{\text{WEAK/TRI}}$ ビットが 0 に設定され、かつ DOUT ラインが既に真のスリー・ステートにある場合、AD7490 にインターフェースしている特定の DSP またはマイクロコントローラに応じて、その DSP/マイクロコントローラが正常に入力するのに間に合うように ADD3 アドレス・ビットのセットアップを行えないことがあります。この場合、ADD3 は CS の立下がりエッジでのみ駆動されて、SCLK の次の立下がりエッジで DSP がこれを入力することになります。ただし、 $\overline{\text{WEAK/TRI}}$ ビットが 1 に設定される場合、最後の変換の後に DOUT は ADD3 アドレス・ビットで駆動されていますが、別のデバイスがバス制御をまだ保持しているほど弱く駆動されています。このためバスの競合が発生しないで (たとえば変換と変換の間に ADD3 のロジック・レベルをオーバードライブするためには 10 k Ω のプルアップ抵抗またはプルダウン抵抗で十分です)、16 チャンネルすべてが識別されます。これが発生して別のデバイスがバス制御をとっている場合には、バス制御が戻されたときに読出し動作に間に合うように DOUT が再び ADD3 にプル駆動されることは保証されません。

この機能は、各変換結果が得られたチャンネルを識別するために自動シーケンス・モードを使う場合に特に便利です。最初の 8 チャンネルのみを使用する場合、アドレス・ビット ADD3 のデコードは不要です。また、このビットを 16 ビット・シリアル転送の MSB として DSP/マイクロコントローラがまだカウントしている限り、それが 1 または 0 として正常に入力されたか否かは重要ではありません。

消費電力とスループット・レートとの関係

AD7490 を自動シャットダウン・モードまたは自動スタンバイ・モードで動作させることにより、低いスループット・レートで ADC の平均消費電力を節約することができます。図 29 に、スループット・レートを減少させたとき、デバイスがシャットダウン状態に留まる時間が長くなるほど、平均消費電流が小さくなる様子を示します。

例えば、AD7490 が連続サンプリング・モードにあり、スループット・レート = 100 kSPS、SCLK = 20 MHz ($V_{DD} = 5\text{ V}$)、PM1 = 0 かつ PM0 = 1 (すなわちデバイスが自動シャットダウン・モード) の場合、消費電力は式 1 のように計算されます。

通常動作時の最大消費電力は 12.5 mW ($V_{DD} = 5\text{ V}$) と計算されます。自動シャットダウンからのパワーアップ時間に 1 ダミー・サイクルすなわち 1 μs を使い、残りの変換時間にもう 1 サイクルすなわち 1 μs 使う場合、AD7490 は各変換サイクルに 2 μs を要し、12.5 mW 消費すると言えます。変換サイクルの残りの 8 μs の間、デバイスはシャットダウン・モードに留まります。AD7490

は変換サイクルの残りの 8 μs の間に 2.5 μW 消費したとすることができます。スループット・レートが 100 kSPS の場合は、サイクル・タイムは 10 μs となり、各サイクルの平均消費電力は、

$$\frac{2}{10} \times 12.5\text{ mW} + \frac{8}{10} \times 2.5\text{ }\mu\text{W} = 2.502\text{ mW} \quad (1)$$

AD7490 が自動スタンバイ・モード (5 V で PM1 = PM0 = 0、100 kSPS) で動作する場合、AD7490 の消費電力は式 2 のように計算されます。

最大消費電力は、通常動作時 5 V で 12.5 mW になります。この場合も、自動スタンバイからのパワーアップ時間は 1 ダミー・サイクル 1 μs で、残りの変換時間はさらに 1 ダミー・サイクル 1 μs です。AD7490 は各変換サイクルで 2 μs の間に 12.5 mW 消費します。変換サイクルの残りの部分 8 μs の間、デバイスはスタンバイ・モードに留まり、8 μs 間に 460 μW 消費します。スループット・レートが 100 kSPS の場合は、サイクル・タイムは 10 μs となり、各変換サイクルの平均消費電力は、

$$\frac{2}{10} \times 12.5\text{ mW} + \frac{8}{10} \times 460\text{ }\mu\text{W} = 2.868\text{ mW} \quad (2)$$

図 29 に、5 V 電源で自動シャットダウン・モードと自動スタンバイ・モードを使う場合のスループット・レート対消費電力を示します。これより低いスループット・レートでは、自動シャットダウン・モードでの消費電力は自動スタンバイ・モードより小さくなり、スタンバイに比べてシャットダウンでは AD7490 の消費電力が小さくなります。ただし、スループット・レートが高くなると、デバイスはパワーダウン状態に留まる時間が短くなり、両モード間での消費電力の差は無視できるようになります。3 V 電源の場合、AD7490 の消費電力は小さくなります。3 V で同様の消費電力計算を行うことができます。

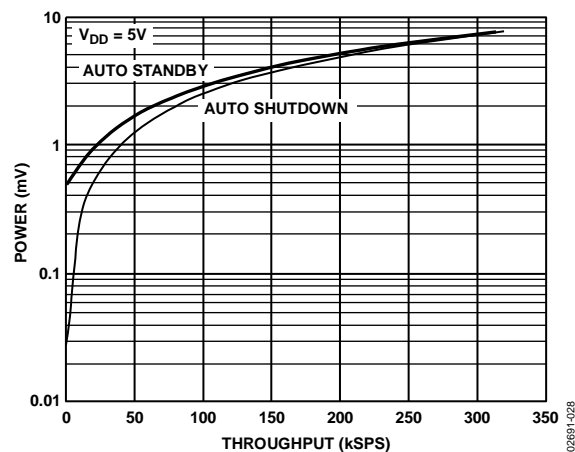


図 29. 自動シャットダウン・モードと自動スタンバイ・モードでのスループット・レート対消費電力

マイクロプロセッサ・インターフェース

AD7490 に内蔵されているシリアル・インターフェースを使うと、様々なマイクロプロセッサにこのデバイスを直接接続することができます。このセクションでは、AD7490 を一般的な幾つかのマイクロコントローラや DSP のシリアル・インターフェース・プロトコルとインターフェースさせる方法について説明します。

AD7490 と TMS320C541 とのインターフェース

TMS320C541 のシリアル・インターフェースでは、連続シリアル・クロックとフレーム同期信号を使って、データ転送動作を AD7490 のようなペリフェラル・デバイスに同期化しています。CS 入力を使うと、外付けロジックなしで、TMS320C541 と AD7490 の間を容易にインターフェースすることができます。TMS320C541 のシリアル・ポートは、内部 CLKX0 (シリアル・ポート 0 の TX シリアル・クロック) と FSX0 (シリアル・ポート 0 からの TX フレーム同期) を使うバースト・モードで動作するように設定します。シリアル・ポート・コントロール・レジスタ (SPC) は、FO = 0、FSM = 1、MCM = 1、TXM = 1 に設定します。接続図を図 30 に示します。信号処理アプリケーションに対しては、TMS320C541 からのフレーム同期信号により等間隔サンプリングを実現することが必須であることに注意してください。AD7490 の V_{DRIVE} ピンでは、TMS320C541 と同じ電源電圧を使います。この方法により、必要に応じて、ADC はシリアル・インターフェースすなわち TMS320C541 より高い電圧で動作することが可能になります。

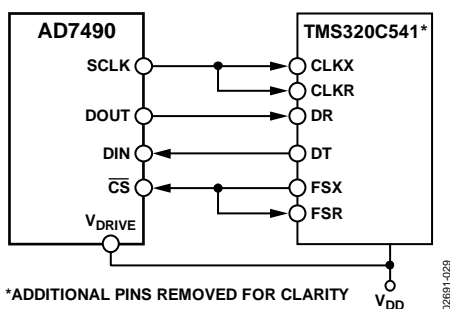


図 30. TMS320C541 とのインターフェース

AD7490 と ADSP-21xx とのインターフェース

ADSP-21xx ファミリーの DSP は外付けロジックなしで直接 AD7490 にインターフェースすることができます。AD7490 の V_{DRIVE} ピンでは、ADSP-218x と同じ電源電圧を使います。この方法により、必要に応じて、ADC はシリアル・インターフェースすなわち ADSP-218x より高い電圧で動作することが可能になります。

SPORT0 コントロール・レジスタは次のように設定します。

- TFSW = RFSW = 1、交番フレーミング
- INVRF = INVTFS = 1、アクティブ・ローのフレーム信号
- DTYPE = 00、データ右詰め
- SLEN = 1111、16 ビット・データ・ワード
- ISCLK = 1、内部シリアル・クロック
- TFSR = RFSR = 1、ワードごとのフレーム
- IRFS = 0
- ITFS = 1

接続図を図 31 に示します。ADSP-218x では SPORT の TFS と RFS が一緒に接続され、TFS が出力に、RFS が入力に、それぞれ設定されています。DSP は交番フレーミング・モードで動作し、SPORT コントロール・レジスタは上記のように設定されます。TFS 上で発生されるフレーム同期化信号は CS に接続され、すべての信号処理アプリケーションと同様に等間隔サンプリングが必要です。ただし、この例では、タイマー割込みを使って、ADC のサンプリング・レートを制御するため、ある条件下で、等間隔サンプリングにならないことがあります。

例えば、タイマー・レジスタには、必要とされるサンプル間隔で割込みを発生させる値が書込まれます。割込みを受け付けると、値は TFS/DT (ADC コントロール・ワード) と一緒に転送されます。TFS を使って RFS すなわちデータの読み込みを制御します。シリアル・クロックの周波数は SCLKDIV レジスタに設定されます。TFS と一緒に送信する命令が与えられると (すなわち AX0 = TX0)、SCLK の状態がチェックされます。SCLK がハイ・レベル→ロー・レベル→ハイ・レベルに変化するのを DSP が待った後に送信が開始されます。送信命令が SCLK の立上がりエッジまたはその近傍で発生するようにタイマーと SCLK の値が設定されると、データが送信されるか、または次のクロック・エッジまで待たされます。

例えば、ADSP-2189 が 20 MHz クリスタルを使っている場合、マスター・クロック周波数は 40 MHz になり、マスター・サイクル時間は 25 ns になります。SCLKDIV レジスタに値 3 を書込むと、SCLK = 5 MHz が得られ、各 1 SCLK 周期は 8 マスター・クロック周期に等しくなります。選択するスルーレートに応じて、タイマー・レジスタに値 803 を書込んだ場合、割込みの間に、さらにその後の送信命令の間に 100.5 サイクルの SCLK が経過します。この場合、SCLK のエッジで送信命令が発生するため、不等間隔サンプリングになります。割込みの間の SCLK 数が値 N である場合、DSP により等間隔サンプリングが設定されます。

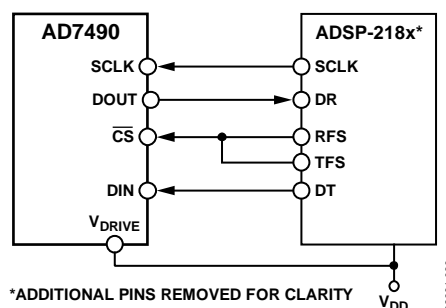


図 31. ADSP-218x とのインターフェース

AD7490 と DSP563xx とのインターフェース

図 32 の接続図に、AD7490 とモトローラ社の DSP563xx ファミリー DSP の ESSI (同期シリアル・インターフェース) との接続方法を示します。各 ESSI (ボードに 2 個内蔵) は同期モードで動作し (CRB レジスタの SYN ビット = 1)、Tx と Rx のワード長フレーム同期を内部で発生します (CRB の FSL1 ビット = 0 かつ FSL0 ビット = 0)。CRB で MOD = 0 を設定して、ESSI の通常動作を選択します。CRA 内で WL1 ビット = 1 かつ WL0 ビット = 0 の設定を行い、ワード長 = 16 に設定します。CRB 内の FSP ビットを 1 に設定して、フレーム同期を反転させます。信号処理アプリケーションに対しては、DSP563xx からのフレーム同期信号により等間隔サンプリングを実現することが必須であることに注意してください。

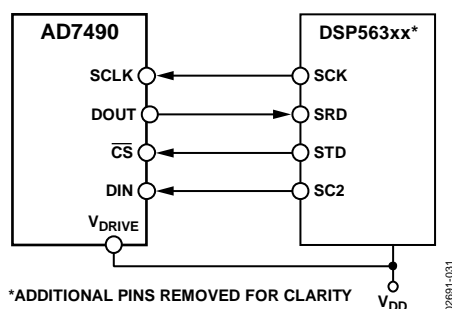


図 32. DSP563xx とのインターフェース

図 32 に示す例では、シリアル・クロックが ESSI から取得されるため、SCK0 ピンを出力 (SCKD = 1) に設定する必要があります。AD7490 の V_{DRIVE} ピンでは、DSP563xx と同じ電源電圧を使用します。この方法により、必要に応じて、ADC はシリアル・インターフェースすなわち DSP563xx より高い電圧で動作することが可能になります。

アプリケーション情報

グラウンド接続とレイアウト

AD7490 は電源リップル周波数対 PSRR のプロット (図 7) に示すように、電源ノイズに対して非常に優れた耐性を持っています。ただし、グラウンド接続とレイアウトについては注意が必要です。

AD7490 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすることにより、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。一般に、エッチング部分を最小すると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。AD7490 の 3 本のすべての AGND ピンを AGND プレーンに接続する必要があります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 点で接続する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD7490 を使用する場合にも、この接続は 1 か所で行う必要があります。すなわち、AD7490 のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7490 の下を通過することは可能です。AD7490 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力付近を通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに直角となるように配置します。これにより、ボードを通

過するフィードスルーの効果を除去することができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

デカップリングを正しく行うことも重要です。すべてのアナログ電源と AGND の間に 10 μ F のコンデンサと 0.1 μ F のコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。0.1 μ F コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型または表面実装型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESL) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

チップ・スケール・パッケージ用の PCB デザイン・ガイドライン

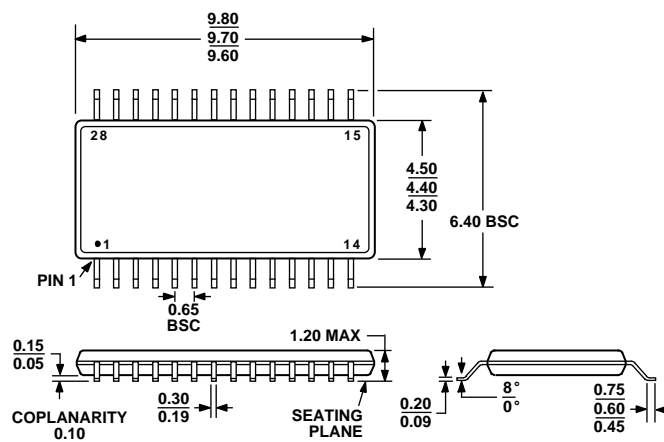
チップ・スケール・パッケージ (CP-32) のランドは長方形です。これらに対するプリント回路ボードのパッドは、パッケージのランド長より 0.1 mm 長く、かつパッケージのランド幅より 0.05 mm 広い必要があります。ランドの中心とパッドの中心は一致している必要があります。これは、ハンダ接続部のサイズを最大にするために必要です。チップ・スケール・パッケージの底面には、中央にサーマル・パッドがあります。プリント回路ボード上のサーマル・パッドは、少なくともこのエクスポーズド・パッドより大きい必要があります。プリント回路ボード上では、サーマル・パッドとパッド・パターンの内側エッジとの間に少なくとも 0.25 mm の間隙を設けてください。これにより、短絡が防止されます。サーマル・ビアをプリント回路ボードのサーマル・パッドに使用すると、パッケージの熱性能を向上させることができます。ビアを使用する場合は、1.2 mm ピッチ・グリッドのサーマル・パッドを使用する必要があります。ビアの直径は 0.3 mm ~ 0.33 mm であり、ビア・パレルは 1 oz. の銅でメッキして、ビアを構成する必要があります。プリント回路ボードのサーマル・パッドは AGND へ接続してください。

AD7490 の性能評価

AD7490 の推奨レイアウトの概要は AD7490 評価用ボード内に示してあります。評価用ボードの梱包には、組み立て済みでテスト済みの評価用ボード、ドキュメント、EVAL-CONTROL BRD2 を介して PC からボードを制御するソフトウェアが添付されています。EVAL-CONTROL BRD2 は、AD7490 評価用ボードや多くのアナログ・デバイセズの評価ボード (終わりに CB 識別マークが付くもの) と組み合わせて使用して、AD7490 の AC 性能と DC 性能のデモ/評価を行うことができます。

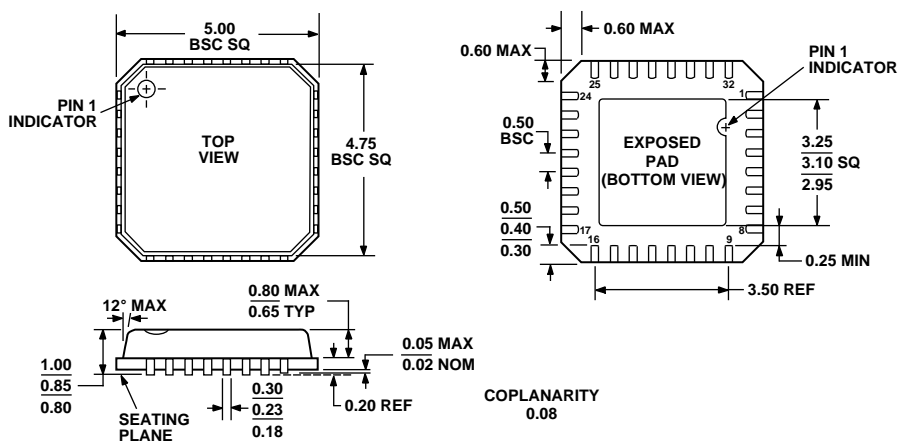
ソフトウェアを使うと、ユーザは AD7490 の AC テスト (高速フーリエ変換) と DC テスト (コードのヒストグラム) を行うことができます。ソフトウェアとドキュメントは、評価用ボードに添付されている CD-ROM で提供しています。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AE

図 33.28 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-28)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

図 34.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
5 mm × 5 mm ボディ、極薄クワッド
(CP-32-2)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Integral Linearity Error (LSB)	Package Description	Package Option
AD7490BCP	-40°C to +85°C	±1	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
AD7490BCP-REEL	-40°C to +85°C	±1	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
AD7490BCP-REEL7	-40°C to +85°C	±1	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
AD7490BCPZ ¹	-40°C to +85°C	±1	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
AD7490BCPZ-REEL ¹	-40°C to +85°C	±1	32-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-32-2
AD7490BRU	-40°C to +85°C	±1	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
AD7490BRU-REEL	-40°C to +85°C	±1	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
AD7490BRU-REEL7	-40°C to +85°C	±1	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
AD7490BRUZ ¹	-40°C to +85°C	±1	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
AD7490BRUZ-REEL ¹	-40°C to +85°C	±1	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
AD7490BRUZ-REEL ¹	-40°C to +85°C	±1	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
EVAL-AD7490CBZ ^{1,2}			Evaluation Board	
EVAL-CONTROL BRD ^{2,3}			Controller Board	

¹ Z = RoHS 準拠製品。

² これは単独の評価用ボードとして、または評価/デモ目的の評価用ボード・コントローラと組み合わせて使用することができます。

³ 本ボードは、PC からの制御と CB サフィックスが付くすべてのアナログ・デバイセス評価ボードとの通信を可能にする完全なユニットです。評価キット全体を注文するときは、特定の ADC 評価用ボード (例えば EVAL-AD7490CBZ)、EVAL-CONTROL-BRD2、12 Vac トランスも注文する必要があります。詳細については、関連評価用ボードのデータシートをご覧ください。