

### 特長

AD7656/AD7657/AD7658 とピンおよびソフトウェア互換でデカップリング条件を軽減

独立な ADC を 6 個内蔵

真のバイポーラ・アナログ入力

ピン/ソフトウェア選択可能なレンジ:  $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$

高速スループット・レート: 250 kSPS

iCMOS プロセス技術を採用

低消費電力

250 kSPS、5 V 電源で 140 mW

広い帯域幅で高いノイズ性能

10 kHz の入力周波数で 88 dB SNR

リファレンス電圧とリファレンス・バッファを内蔵

高速なパラレル、シリアル、ディジーチェーンの各インターフェース・モード

高速シリアル・インターフェース

SPI/QSPI™/MICROWIRE™/DSP 互換

スタンバイ・モード: 最大 315  $\mu\text{W}$

64 ピン LQFP パッケージを採用

### アプリケーション

電源ライン・モニタリングおよび計測システム

計装システムおよび制御システム

多軸ポジショニング・システム

### 機能ブロック図

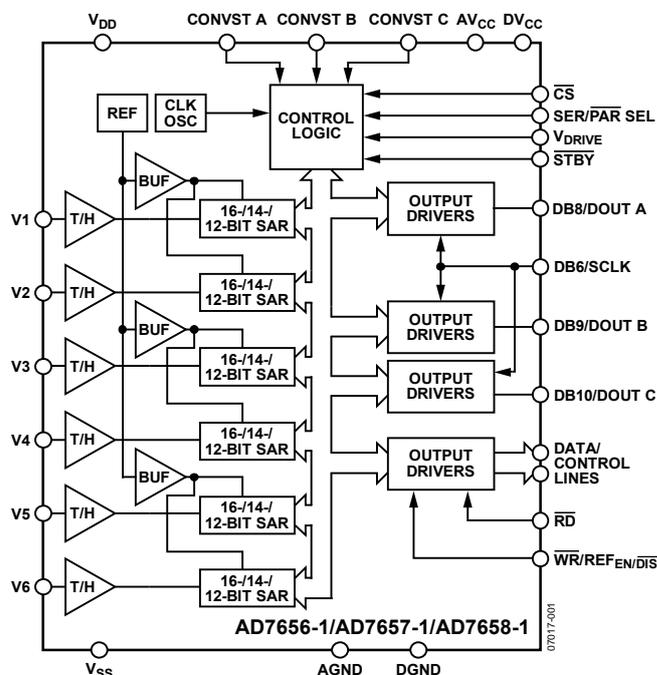


図 1.

### 概要

AD7656-1/AD7657-1/AD7658-1<sup>1</sup>は、AD7656/AD7657/AD7658のデカップリング条件を軽減したピンおよびソフトウェア互換バージョンです。AD7656-1/AD7657-1/AD7658-1デバイスには、6個の16/14/12ビット高速低消費電力逐次比較型ADCを1パッケージに内蔵し、iCMOS<sup>®</sup>製造プロセス(工業用CMOS)向けにデザインされています。iCMOSは、高電圧シリコン、サブミクロンCMOS、相補バイポーラの各技術を組み合わせたものです。この技術は、前世代の高電圧では実現できなかったフットプリントで33 V動作が可能な広範囲な高性能アナログICの開発を可能にしました。iCMOSデバイスでは、従来型CMOSプロセスを採用したアナログICとは異なり、バイポーラ入力信号に対応できると同時に、性能の強化、大幅な消費電力の削減、パッケージの小型化が可能になりました。

AD7656-1/AD7657-1/AD7658-1 は、最大 250 kSPS のスループット・レートで動作します。低ノイズ広帯域のトラック・アンド・ホールド・アンプを内蔵しており、最大 4.5 MHz までの入力周波数を処理することができます。

変換プロセスとデータ・アキュジションは、CONVST信号と内蔵発振器を使って制御されます。3本のCONVSTピン(CONVST A、CONVST B、CONVST C)の使用により、独立に3個のADC対の同時サンプリングが可能です。AD7656-1/AD7657-1/AD7658-1は高速なパラレルおよびシリアル・インターフェースを内蔵しているため、マイクロプロセッサ・システムまたはDSPへインターフェースすることができます。シリアル・インターフェースを選択すると、各デバイスは複数のADCを1本のシリアル・インターフェースに接続できるディジーチェーン機能を持つようになります。AD7656-1/AD7657-1/AD7658-1は、 $\pm 4 \times V_{REF}$ レンジと $\pm 2 \times V_{REF}$ レンジで真のバイポーラ入力信号を処理することができます。また、各AD7656-1/AD7657-1/AD7658-1は2.5 Vのリファレンス電圧も内蔵しています。

### 製品のハイライト

1. 16/14/12 ビットの 250 kSPS ADC を 6 個内蔵。
2. 真のバイポーラ高インピーダンス・アナログ入力を 6 個内蔵。
3. 高速パラレルおよびシリアル・インターフェースを内蔵。
4. AD7656/AD7657/AD7658 デバイスよりデカップリング条件を軽減し、外付け部品数を削減。

<sup>1</sup>米国特許 No. 6,731,232 により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2008–2009 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	動作原理.....	20
アプリケーション.....	1	コンバータの詳細.....	20
機能ブロック図.....	1	ADCの伝達関数.....	20
概要.....	1	内蔵/外付けリファレンス電圧.....	21
製品のハイライト.....	1	代表的な接続図.....	21
改訂履歴.....	2	アナログ入力の駆動.....	22
仕様.....	3	インターフェース・オプション.....	22
AD7656-1.....	3	ADCのソフトウェアからの選択.....	24
AD7657-1.....	5	アナログ入力レンジの変更( $\overline{H/S SEL} = 0$ ).....	25
AD7658-1.....	7	アナログ入力レンジの変更( $\overline{H/S SEL} = 1$ ).....	25
タイミング仕様.....	9	シリアルを読み出し動作.....	25
絶対最大定格.....	10	ディジーチェーン・モード(DCEN = 1, $\overline{SER/\overline{PAR SEL}} = 1$ ).....	27
熱抵抗.....	10	アプリケーション情報.....	29
ESDの注意.....	10	レイアウト.....	29
ピン配置およびピン機能説明.....	11	外形寸法.....	30
代表的な性能特性.....	14	オーダー・ガイド.....	30
用語.....	18		

## 改訂履歴

### 3/09—Rev. 0 to Rev. A

Changes to Features.....	1
Changes to Table 1.....	3
Changes to Table 2.....	5
Changes to Table 3.....	7
Changes to Table 4.....	9
Changes to Absolute Maximum Ratings Table.....	10
Changes to Pin Functions Description Table.....	11
Changes to Figure 9.....	14
Changes to Converter Details Section.....	20
Changes to Internal/External Reference Section.....	21
Changes to Interface Options Section.....	22
Changes to Parallel Interface Section.....	22
Changes to Serial Interface ( $\overline{SER/\overline{PAR SEL}} = 1$ ) Section.....	25
Changes to Daisy-Chain Mode (DCEN = 1, $\overline{SER/\overline{PAR SEL}} = 1$ ).....	27
Changes to Layout Section.....	30
Updated Outline Dimension.....	31
Changes to Ordering Guide.....	31

### 7/08—Revision 0: Initial Version

## 仕様

## AD7656-1

特に指定がない限り、 $V_{REF}$  = 内蔵/外付 2.5 V、 $AV_{CC}$  = 4.75 V~5.25 V、 $DV_{CC}$  = 4.75 V~5.25 V、 $V_{DRIVE}$  = 2.7 V~5.25 V;  $\pm 4 \times V_{REF}$  レンジの場合、 $V_{DD}$  = 10 V~16.5 V、 $V_{SS}$  = -10 V~-16.5 V;  $\pm 2 \times V_{REF}$  レンジの場合、 $V_{DD}$  = 5 V~16.5 V、 $V_{SS}$  = -5 V~-16.5 V;  $f_{SAMPLE}$  = 250 kSPS、 $T_A$  =  $T_{MIN}$ ~ $T_{MAX}$ 。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-(Noise + Distortion) (SINAD) <sup>1</sup>		88		dB	$f_{IN}$ = 10 kHz sine wave
Signal-to-Noise Ratio (SNR) <sup>1</sup>		88		dB	
Total Harmonic Distortion (THD) <sup>1</sup>			-90	dB	
		-105		dB	$V_{DD}/V_{SS}$ = $\pm 5$ V to $\pm 16.5$ V
Peak Harmonic or Spurious Noise (SFDR) <sup>1</sup>		-100		dB	
Intermodulation Distortion (IMD) <sup>1</sup>					$f_a$ = 10.5 kHz, $f_b$ = 9.5 kHz
Second-Order Terms		-112		dB	
Third-Order Terms		-107		dB	
Aperture Delay			10	ns	
Aperture Delay Matching			4	ns	
Aperture Jitter		35		ps	
Channel-to-Channel Isolation <sup>1</sup>		-100		dB	$f_{IN}$ on unselected channels up to 100 kHz
Full-Power Bandwidth		4.5		MHz	@ -3 dB
		2.2		MHz	@ -0.1 dB
<b>DC ACCURACY</b>					
Resolution	16			Bits	
No Missing Codes					
B Version	15			Bits	
Y Version	14			Bits	
Integral Nonlinearity <sup>1</sup>			$\pm 3$	LSB	
		$\pm 1$		LSB	
Positive Full-Scale Error <sup>1</sup>			$\pm 0.8$	% FS	$\pm 0.381\%$ FSR typical
Positive Full-Scale Error Matching <sup>1</sup>			$\pm 0.35$	% FS	
Bipolar Zero-Scale Error <sup>1</sup>					$\pm 0.0137\%$ FSR typical
B Version		$\pm 0.048$		%FS	
Y Version		$\pm 0.048$		%FS	
Bipolar Zero-Scale Error Matching <sup>1</sup>		$\pm 0.038$		% FS	
Negative Full-Scale Error <sup>1</sup>			$\pm 0.8$	% FS	$\pm 0.381\%$ FSR typical
Negative Full-Scale Error Matching <sup>1</sup>			$\pm 0.35$	% FS	
<b>ANALOG INPUT</b>					
Input Voltage Ranges	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	See Table 8 for minimum $V_{DD}/V_{SS}$ for each range
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	RNGx bits or RANGE pin = 0
DC Leakage Current			$\pm 1$	$\mu$ A	RNGx bits or RANGE pin = 1
Input Capacitance <sup>2</sup>		10		pF	$\pm 4 \times V_{REF}$ range when in track
		14		pF	$\pm 2 \times V_{REF}$ range when in track
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Input Voltage Range	2.5		2.5	V	
DC Leakage Current			$\pm 1$	$\mu$ A	
Input Capacitance <sup>2</sup>		18.5		pF	$REF_{EN\overline{DIS}} = 1$
Reference Output Voltage	2.49		2.51	V	
Long-Term Stability		150		ppm	1000 hours
Reference Temperature Coefficient			25	ppm/ $^{\circ}$ C	
		6		ppm/ $^{\circ}$ C	
<b>LOGIC INPUTS</b>					
Input High Voltage ( $V_{INH}$ )	$0.7 \times V_{DRIVE}$			V	
Input Low Voltage ( $V_{INL}$ )			$0.3 \times V_{DRIVE}$	V	
Input Current ( $I_{IN}$ )			$\pm 10$	$\mu$ A	Typically 10 nA, $V_{IN} = 0$ V or $V_{DRIVE}$
Input Capacitance ( $C_{IN}$ ) <sup>2</sup>			10	pF	

# AD7656-1/AD7657-1/AD7658-1

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>LOGIC OUTPUTS</b>					
Output High Voltage ( $V_{OH}$ )	$V_{DRIVE} - 0.2$			V	$I_{SOURCE} = 200 \mu A$
Output Low Voltage ( $V_{OL}$ )			0.2	V	$I_{SINK} = 200 \mu A$
Floating-State Leakage Current			$\pm 10$	$\mu A$	
Floating-State Output Capacitance <sup>2</sup>			10	pF	
Output Coding	Twos complement				
<b>CONVERSION RATE</b>					
Conversion Time			3.1	$\mu s$	
Track-and-Hold Acquisition Time <sup>1,2</sup>			550	ns	
Throughput Rate			250	kSPS	Parallel interface mode only
<b>POWER REQUIREMENTS</b>					
$V_{DD}$	-5		+16.5	V	For the $4 \times V_{REF}$ range, $V_{DD} = 10 V$ to $16.5 V$
$V_{SS}$	-5		-16.5	V	For the $4 \times V_{REF}$ range, $V_{SS} = -10 V$ to $-16.5 V$
$AV_{CC}$	4.75		5.25	V	
$DV_{CC}$	4.75		5.25	V	
$V_{DRIVE}$	2.7		5.25	V	
$I_{TOTAL}$ <sup>3</sup>					Digital inputs = 0 V or $V_{DRIVE}$
Normal Mode—Static			18	mA	$AV_{CC} = DV_{CC} = V_{DRIVE} = +5.25 V$ , $V_{DD} = +16.5 V$ , $V_{SS} = -16.5 V$
Normal Mode—Operational			26	mA	$f_{SAMPLE} = 250 kSPS$ , $AV_{CC} = DV_{CC} = V_{DRIVE} = +5.25 V$ , $V_{DD} = +16.5 V$ , $V_{SS} = -16.5 V$
$I_{SS}$ (Operational)			0.25	mA	$V_{SS} = -16.5 V$ , $f_{SAMPLE} = 250 kSPS$
$I_{DD}$ (Operational)			0.25	mA	$V_{DD} = +16.5 V$ , $f_{SAMPLE} = 250 kSPS$
Partial Power-Down Mode			7	mA	$AV_{CC} = DV_{CC} = V_{DRIVE} = +5.25 V$ , $V_{DD} = +16.5 V$ , $V_{SS} = -16.5 V$
Full Power-Down Mode ( $\overline{STBY}$ Pin)			60	$\mu A$	SCLK on or off, $AV_{CC} = DV_{CC} = V_{DRIVE} = +5.25 V$ , $V_{DD} = +16.5 V$ , $V_{SS} = -16.5 V$
Power Dissipation					$AV_{CC} = DV_{CC} = V_{DRIVE} = +5.25 V$ , $V_{DD} = +16.5 V$ , $V_{SS} = -16.5 V$
Normal Mode—Static			94	mW	
Normal Mode—Operational			140	mW	$f_{SAMPLE} = 250 kSPS$
Partial Power-Down Mode			40	mW	
Full Power-Down Mode ( $\overline{STBY}$ Pin)			315	$\mu W$	

<sup>1</sup>用語のセクションを参照してください。

<sup>2</sup>初期リリース時はサンプル・テストによりコンプライアンスを保証。

<sup>3</sup> $I_{AVCC}$ 、 $I_{VDD}$ 、 $I_{VSS}$ 、 $I_{VDRIVE}$ 、 $I_{DVCC}$ を含みます。

## AD7657-1

特に指定がない限り、 $V_{REF}$  = 内蔵/外付 2.5 V、 $AV_{CC}$  = 4.75 V~5.25 V、 $DV_{CC}$  = 4.75 V~5.25 V、 $V_{DRIVE}$  = 2.7 V~5.25 V;  $\pm 4 \times V_{REF}$  レンジの場合、 $V_{DD}$  = 10 V~16.5 V、 $V_{SS}$  = -10 V~-16.5 V;  $\pm 2 \times V_{REF}$  レンジの場合、 $V_{DD}$  = 5 V~16.5 V、 $V_{SS}$  = -5 V~-16.5 V;  $f_{SAMPLE}$  = 250 kSPS、 $T_A$  =  $T_{MIN}$ ~ $T_{MAX}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-(Noise + Distortion) (SINAD) <sup>1</sup>		82.5		dB	$f_{IN}$ = 10 kHz sine wave
Signal-to-Noise Ratio (SNR) <sup>1</sup>		83.5		dB	
Total Harmonic Distortion (THD) <sup>1</sup>			-90	dB	
			-105	dB	
Peak Harmonic or Spurious Noise (SFDR) <sup>1</sup>		-100		dB	
Intermodulation Distortion (IMD) <sup>1</sup>					$f_a$ = 10.5 kHz, $f_b$ = 9.5 kHz
Second-Order Terms		-109		dB	
Third-Order Terms		-104		dB	
Aperture Delay			10	ns	
Aperture Delay Matching			4	ns	
Aperture Jitter		35		ps	
Channel-to-Channel Isolation <sup>1</sup>		-100		dB	$f_{IN}$ on unselected channels up to 100 kHz
Full-Power Bandwidth		4.5		MHz	@ -3 dB
		2.2		MHz	@ -0.1 dB
<b>DC ACCURACY</b>					
Resolution	14			Bits	
No Missing Codes	14			Bits	
Integral Nonlinearity <sup>1</sup>			$\pm 1$	LSB	
		$\pm 1$			
Positive Full-Scale Error <sup>1</sup>			$\pm 0.95$	% FS	$\pm 0.27\%$ FSR typical
Positive Full-Scale Error Matching <sup>1</sup>			$\pm 0.366$	% FS	
Bipolar Zero-Scale Error <sup>1</sup>			$\pm 0.04$	% FS	$\pm 0.016\%$ FSR typical
Bipolar Zero-Scale Error Matching <sup>1</sup>			$\pm 0.0427$	% FS	
Negative Full-Scale Error <sup>1</sup>			$\pm 0.95$	% FS	$\pm 0.27\%$ FSR typical
Negative Full-Scale Error Matching <sup>1</sup>			$\pm 0.366$	% FS	
<b>ANALOG INPUT</b>					
Input Voltage Ranges	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	See Table 8 for minimum $V_{DD}/V_{SS}$ for each range RNGx bits or RANGE pin = 0
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	RNGx bits or RANGE pin = 1
DC Leakage Current			$\pm 1$	$\mu$ A	
Input Capacitance <sup>2</sup>		10		pF	$\pm 4 \times V_{REF}$ range when in track
		14		pF	$\pm 2 \times V_{REF}$ range when in track
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Input Voltage Range	2.5		2.5	V	
DC Leakage Current			$\pm 1$	$\mu$ A	
Input Capacitance <sup>2</sup>		18.5		pF	$REF_{EN\overline{DIS}} = 1$
Reference Output Voltage	2.49		2.51	V	
Long-Term Stability		150		ppm	1000 hours
Reference Temperature Coefficient			25	ppm/ $^{\circ}$ C	
		6		ppm/ $^{\circ}$ C	
<b>LOGIC INPUTS</b>					
Input High Voltage ( $V_{INH}$ )	$0.7 \times V_{DRIVE}$			V	
Input Low Voltage ( $V_{INL}$ )			$0.3 \times V_{DRIVE}$	V	
Input Current ( $I_{IN}$ )			$\pm 10$	$\mu$ A	Typically 10 nA, $V_{IN} = 0$ V or $V_{DRIVE}$
Input Capacitance ( $C_{IN}$ ) <sup>2</sup>			10	pF	
<b>LOGIC OUTPUTS</b>					
Output High Voltage ( $V_{OH}$ )	$V_{DRIVE} - 0.2$			V	$I_{SOURCE} = 200 \mu$ A
Output Low Voltage ( $V_{OL}$ )			0.2	V	$I_{SINK} = 200 \mu$ A

# AD7656-1/AD7657-1/AD7658-1

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Floating-State Leakage Current			±10	μA	
Floating-State Output Capacitance <sup>2</sup>			10	pF	
Output Coding	Twos complement				
<b>CONVERSION RATE</b>					
Conversion Time			3.1	μs	
Track-and-Hold Acquisition Time <sup>1,2</sup>			550	ns	
Throughput Rate			250	kSPS	Parallel interface mode only
<b>POWER REQUIREMENTS</b>					
V <sub>DD</sub>	-5		+16.5	V	For the 4 × V <sub>REF</sub> range, V <sub>DD</sub> = 10 V to 16.5 V
V <sub>SS</sub>	-5		-16.5	V	For the 4 × V <sub>REF</sub> range, V <sub>SS</sub> = -10 V to -16.5 V
AV <sub>CC</sub>	4.75		5.25	V	
DV <sub>CC</sub>	4.75		5.25	V	
V <sub>DRIVE</sub>	2.7		5.25	V	
I <sub>TOTAL</sub> <sup>3</sup>					Digital inputs = 0 V or V <sub>DRIVE</sub>
Normal Mode—Static			18	mA	AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
Normal Mode—Operational			26	mA	f <sub>SAMPLE</sub> = 250 kSPS, AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
I <sub>SS</sub> (Operational)			0.25	mA	V <sub>SS</sub> = -16.5 V, f <sub>SAMPLE</sub> = 250 kSPS
I <sub>DD</sub> (Operational)			0.25	mA	V <sub>DD</sub> = 16.5 V, f <sub>SAMPLE</sub> = 250 kSPS
Partial Power-Down Mode			7	mA	AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
Full Power-Down Mode (STBY Pin)			60	μA	SCLK on or off, AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
Power Dissipation					AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
Normal Mode—Static			94	mW	
Normal Mode—Operational			140	mW	f <sub>SAMPLE</sub> = 250 kSPS
Partial Power-Down Mode			40	mW	
Full Power-Down Mode (STBY Pin)			315	μW	

<sup>1</sup>用語のセクションを参照してください。

<sup>2</sup>初期リリース時はサンプル・テストによりコンプライアンスを保証。

<sup>3</sup>I<sub>AVCC</sub>、I<sub>VDD</sub>、I<sub>VSS</sub>、I<sub>VDRIVE</sub>、I<sub>DVCC</sub>を含みます。

## AD7658-1

特に指定がない限り、 $V_{REF}$  = 内蔵/外付 2.5 V、 $AV_{CC}$  = 4.75 V~5.25 V、 $DV_{CC}$  = 4.75 V~5.25 V、 $V_{DRIVE}$  = 2.7 V~5.25 V;  $\pm 4 \times V_{REF}$  レンジの場合、 $V_{DD}$  = 10 V~16.5 V、 $V_{SS}$  = -10 V~-16.5 V;  $\pm 2 \times V_{REF}$  レンジの場合、 $V_{DD}$  = 5 V~16.5 V、 $V_{SS}$  = -5 V~-16.5 V;  $f_{SAMPLE}$  = 250 kSPS、 $T_A$  =  $T_{MIN}$ ~ $T_{MAX}$ 。

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-(Noise + Distortion) (SINAD) <sup>1</sup>		73.5		dB	$f_{IN}$ = 10 kHz sine wave
Total Harmonic Distortion (THD) <sup>1</sup>		73.5	-88	dB	
Peak Harmonic or Spurious Noise (SFDR) <sup>1</sup>		-100		dB	
Intermodulation Distortion (IMD) <sup>1</sup>		-97		dB	
Second-Order Terms		-106		dB	$f_a$ = 10.5 kHz, $f_b$ = 9.5 kHz
Third-Order Terms		-101		dB	
Aperture Delay			10	ns	
Aperture Delay Matching			4	ns	
Aperture Jitter		35		ps	
Channel-to-Channel Isolation <sup>1</sup>		-100		dB	$f_{IN}$ on unselected channels up to 100 kHz
Full-Power Bandwidth		4.5		MHz	@ -3 dB
		2.2		MHz	@ -0.1 dB
<b>DC ACCURACY</b>					
Resolution	12			Bits	
No Missing Codes	12			Bits	
Differential Nonlinearity			$\pm 0.7$	LSB	
Integral Nonlinearity <sup>1</sup>			$\pm 0.5$	LSB	
Positive Full-Scale Error <sup>1</sup>			$\pm 0.95$	% FS	$\pm 0.317\%$ FSR typical
Positive Full-Scale Error Matching <sup>1</sup>			$\pm 0.366$	% FS	
Bipolar Zero-Scale Error <sup>1</sup>			$\pm 2$	LSB	$\pm 0.0125\%$ FSR typical
Bipolar Zero-Scale Error Matching <sup>1</sup>			$\pm 2$	LSB	
Negative Full-Scale Error <sup>1</sup>			$\pm 0.95$	% FS	$\pm 0.317\%$ FSR typical
Negative Full-Scale Error Matching <sup>1</sup>			$\pm 0.366$	% FS	
<b>ANALOG INPUT</b>					
Input Voltage Ranges	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	See Table 8 for minimum $V_{DD}/V_{SS}$ for each range RNGx bits or RANGE pin = 0
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	RNGx bits or RANGE pin = 1
DC Leakage Current			$\pm 1$	$\mu$ A	
Input Capacitance <sup>2</sup>		10		pF	$\pm 4 \times V_{REF}$ range when in track
		14		pF	$\pm 2 \times V_{REF}$ range when in track
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Input Voltage Range	2.5		2.5	V	
DC Leakage Current			$\pm 1$	$\mu$ A	
Input Capacitance <sup>2</sup>		18.5		pF	$REF_{EN\overline{DIS}} = 1$
Reference Output Voltage	2.49		2.51	V	
Long-Term Stability		150		ppm	1000 hours
Reference Temperature Coefficient			25	ppm/ $^{\circ}$ C	
		6		ppm/ $^{\circ}$ C	
<b>LOGIC INPUTS</b>					
Input High Voltage ( $V_{INH}$ )	$0.7 \times V_{DRIVE}$			V	
Input Low Voltage ( $V_{INL}$ )			$0.3 \times V_{DRIVE}$	V	
Input Current ( $I_{IN}$ )			$\pm 10$	$\mu$ A	Typically 10 nA, $V_{IN} = 0$ V or $V_{DRIVE}$
Input Capacitance ( $C_{IN}$ ) <sup>2</sup>			10	pF	
<b>LOGIC OUTPUTS</b>					
Output High Voltage ( $V_{OH}$ )	$V_{DRIVE} - 0.2$			V	$I_{SOURCE} = 200 \mu$ A
Output Low Voltage ( $V_{OL}$ )			0.2	V	$I_{SINK} = 200 \mu$ A
Floating-State Leakage Current			$\pm 10$	$\mu$ A	

# AD7656-1/AD7657-1/AD7658-1

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Floating-State Output Capacitance <sup>2</sup>			10	pF	
Output Coding	Twos complement				
<b>CONVERSION RATE</b>					
Conversion Time			3.1	μs	
Track-and-Hold Acquisition Time <sup>1,2</sup>			550	ns	
Throughput Rate			250	kSPS	Parallel interface mode only
<b>POWER REQUIREMENTS</b>					
V <sub>DD</sub>	-5		+16.5	V	For the 4 × V <sub>REF</sub> range, V <sub>DD</sub> = 10 V to 16.5 V
V <sub>SS</sub>	-5		-16.5	V	For the 4 × V <sub>REF</sub> range, V <sub>SS</sub> = -10 V to -16.5 V
AV <sub>CC</sub>	4.75		5.25	V	
DV <sub>CC</sub>	4.75		5.25	V	
V <sub>DRIVE</sub>	2.7		5.25	V	
I <sub>TOTAL</sub> <sup>3</sup>					Digital inputs = 0 V or V <sub>DRIVE</sub>
Normal Mode—Static			18	mA	AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
Normal Mode—Operational			26	mA	f <sub>SAMPLE</sub> = 250 kSPS, AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
I <sub>SS</sub> (Operational)			0.25	mA	V <sub>SS</sub> = -16.5 V, f <sub>SAMPLE</sub> = 250 kSPS
I <sub>DD</sub> (Operational)			0.25	mA	V <sub>DD</sub> = 16.5 V, f <sub>SAMPLE</sub> = 250 kSPS
Partial Power-Down Mode			7	mA	AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
Full Power-Down Mode (STBY Pin)			60	μA	SCLK on or off, AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
Power Dissipation					AV <sub>CC</sub> = DV <sub>CC</sub> = V <sub>DRIVE</sub> = +5.25 V, V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V
Normal Mode—Static			94	mW	
Normal Mode—Operational			140	mW	f <sub>SAMPLE</sub> = 250 kSPS
Partial Power-Down Mode			40	mW	
Full Power-Down Mode (STBY Pin)			315	μW	

<sup>1</sup>用語のセクションを参照してください。

<sup>2</sup>初期リリース時はサンプル・テストによりコンプライアンスを保証。

<sup>3</sup>I<sub>AVCC</sub>、I<sub>VDD</sub>、I<sub>VSS</sub>、I<sub>VDRIVE</sub>、I<sub>DVCC</sub>を含みます。

## タイミング仕様

特に指定がない限り、 $V_{CC}$  および  $DV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DD} = 5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -5\text{ V} \sim -16.5\text{ V}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$  内蔵/外付、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 4.

Parameter <sup>1</sup>	Limit at $t_{MIN}, t_{MAX}$		Unit	Description
	$V_{DRIVE} < 4.75\text{ V}$	$V_{DRIVE} = 4.75\text{ V to } 5.25\text{ V}$		
<b>PARALLEL INTERFACE</b>				
$t_{CONVERT}$	3	3	$\mu\text{s typ}$	Conversion time, internal clock
$t_{QUIET}$	150	150	ns min	Minimum quiet time required between bus relinquish and start of next conversion
$t_{ACQ}$	550	550	ns min	Acquisition time
$t_{10}$	25	25	ns min	Minimum CONVST low pulse
$t_1$	60	60	ns max	CONVST high to BUSY high
$t_{WAKE-UP}$	2	2	ms max	STBY rising edge to CONVST rising edge
	25	25	$\mu\text{s max}$	Partial power-down mode
<b>PARALLEL READ OPERATION</b>				
$t_2$	0	0	ns min	BUSY to $\overline{RD}$ delay
$t_3$	0	0	ns min	$\overline{CS}$ to $\overline{RD}$ setup time
$t_4$	0	0	ns min	$\overline{CS}$ to $\overline{RD}$ hold time
$t_5$	45	36	ns min	$\overline{RD}$ pulse width
$t_6$	45	36	ns max	Data access time after $\overline{RD}$ falling edge
$t_7$	10	10	ns min	Data hold time after $\overline{RD}$ rising edge
$t_8$	12	12	ns max	Bus relinquish time after $\overline{RD}$ rising edge
$t_9$	6	6	ns min	Minimum time between reads
<b>PARALLEL WRITE OPERATION</b>				
$t_{11}$	15	15	ns min	$\overline{WR}$ pulse width
$t_{12}$	0	0	ns min	$\overline{CS}$ to $\overline{WR}$ setup time
$t_{13}$	5	5	ns min	$\overline{CS}$ to $\overline{WR}$ hold time
$t_{14}$	5	5	ns min	Data setup time before $\overline{WR}$ rising edge
$t_{15}$	5	5	ns min	Data hold after $\overline{WR}$ rising edge
<b>SERIAL INTERFACE</b>				
$f_{SCLK}$	18	18	MHz max	Frequency of serial read clock
$t_{16}$	12	12	ns max	Delay from $\overline{CS}$ until DOUTx three-state disabled
$t_{17}^2$	22	22	ns max	Data access time after SCLK rising edge/ $\overline{CS}$ falling edge
$t_{18}$	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK low pulse width
$t_{19}$	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK high pulse width
$t_{20}$	10	10	ns min	SCLK to data valid hold time after SCLK falling edge
$t_{21}$	18	18	ns max	$\overline{CS}$ rising edge to DOUTx high impedance

<sup>1</sup> 初期リリース時はサンプル・テストによりコンプライアンスを保証。すべての入力信号は  $t_r = t_f = 5\text{ ns}$  ( $V_{DD}$  の 10% から 90%) で規定し、1.6V の電圧レベルからの時間とします。

<sup>2</sup> この測定のために、DOUTx ピン (ピン 5 ~ 7) にバッファを使っています。

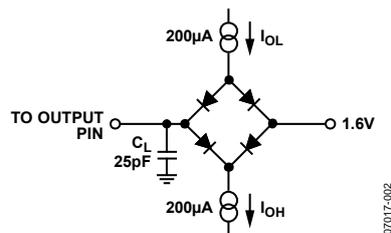


図 2. デジタル出力タイミング仕様の負荷回路

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
$V_{DD}$ to AGND, DGND	-0.3 V to +16.5 V
$V_{SS}$ to AGND, DGND	+0.3 V to -16.5 V
$V_{DD}$ to $AV_{CC}$	$V_{CC} - 0.3$ V to +16.5 V
$AV_{CC}$ to AGND, DGND	-0.3 V to +7 V
$DV_{CC}$ to $AV_{CC}$	-0.3 V to $AV_{CC} + 0.3$ V
$DV_{CC}$ to DGND, AGND	-0.3 V to +7 V
AGND to DGND	-0.3 V to +0.3 V
$V_{DRIVE}$ to DGND	-0.3 V to $DV_{CC} + 0.3$ V
Analog Input Voltage to AGND <sup>1</sup>	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V
Digital Input Voltage to DGND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output Voltage to DGND	-0.3 V to $V_{DRIVE} + 0.3$ V
REFIN/REFOUT to AGND	-0.3 V to $AV_{CC} + 0.3$ V
Input Current to Any Pin Except Supplies <sup>2</sup>	$\pm 10$ mA
Operating Temperature Range	
B Version	-40°C to +85°C
Y Version	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Pb/Sn Temperature, Soldering	
Reflow (10 sec to 30 sec)	240(+0)°C
Pb-Free Temperature, Soldering Reflow	260(+0)°C
ESD	1.5 kV

<sup>1</sup>アナログ入力を別の  $V_{DD}$  電源回路と  $V_{SS}$  電源回路から駆動する場合は、アナログ入力に 240  $\Omega$  の直列抵抗を接続し、さらに AD7656-1/AD7657-1/AD7658-1 の  $V_{DD}$  電源と  $V_{SS}$  電源に直列にショットキー・ダイオードを接続する必要があります。

<sup>2</sup>最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。これらの仕様は 4 層ボードに適用します。

表 6.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
64-Lead LQFP	45	11	°C/W

### ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

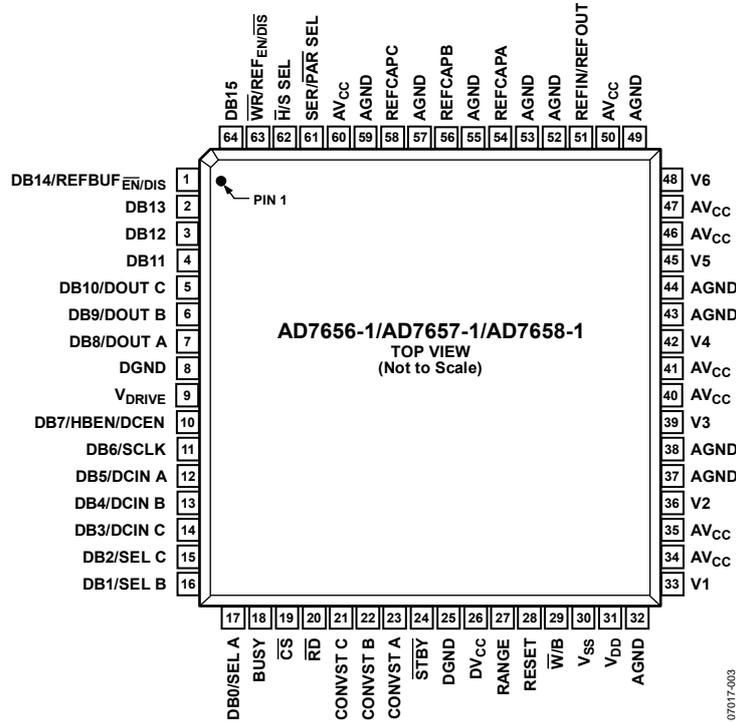


図 3. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
54、56、58	REFCAPA、REFCAPB、REFCAPC	リファレンス・コンデンサ A、リファレンス・コンデンサ B、リファレンス・コンデンサ C。デカップリング・コンデンサをこれらのピンに接続して、各 ADC 対のリファレンス・バッファをデカップリングします。1 $\mu$ F コンデンサを各 REFCAP ピンを AGND ヘデカップリングしてください。
33、36、39、42、45、48	V1~V6	アナログ入力 1~アナログ入力 6。これらのピンはシングルエンド・アナログ入力です。ハードウェア・モードでは、これらのチャンネルのアナログ入力レンジがRANGEピンにより決定されます。ソフトウェア・モードでは、コントロール・レジスタのRNGC~RNGAビットにより決定されます(表 11 参照)。
32、37、38、43、44、49、52、53、55、57、59	AGND	アナログ・グラウンド。このピンが AD7656-1/AD7657-1/AD7658-1 のすべてのアナログ回路のグラウンド基準ポイントになります。すべてのアナログ入力信号と外付けリファレンス信号はこのピンを基準とします。すべての AGND ピンをシステムの AGND プレーンに接続してください。AGND 電圧と DGND 電圧は理想的には同電位である必要があり、過渡的であっても差が 0.3 V を超えないようにする必要があります。
26	DV <sub>CC</sub>	4.75 V~5.25 V のデジタル電源。DV <sub>CC</sub> と AV <sub>CC</sub> 電圧は理想的には同電位である必要があり、過渡的であっても差が 0.3 V を超えないようにする必要があります。DV <sub>CC</sub> ピンに 1 $\mu$ F のデカップリング・コンデンサを接続してこの電源を DGND ヘデカップリングしてください。
9	V <sub>DRIVE</sub>	ロジック電源入力。このピンの電圧により、インターフェースの動作電圧が決定されます。公称は、ホスト・インターフェース電源と同じ電位。
8、25	DGND	デジタル・グラウンド。AD7656-1/AD7657-1/AD7658-1 のすべてのデジタル回路のグラウンド基準ポイント。両 DGND ピンをシステムの DGND プレーンへ接続してください。DGND 電圧と AGND 電圧は理想的には同電位である必要があり、過渡的であっても差が 0.3 V を超えないようにする必要があります。
34、35、40、41、46、47、50、60	AV <sub>CC</sub>	4.75 V~5.25 V のアナログ電源電圧。これは ADC コアの電源電圧です。AV <sub>CC</sub> と DV <sub>CC</sub> の電圧は理想的には同電位である必要があり、過渡的であっても差が 0.3 V を超えないようにする必要があります。
21、22、23	CONVST C、CONVST B、CONVST A	変換開始入力 A、変換開始入力 B、変換開始入力 C。これらのロジック入力を使って ADC 対での変換を開始させます。CONVST A は、V1 と V2 での同時変換を開始させるときに使います。CONVST B は、V3 と V4 での同時変換を開始させるときに使います。CONVST C は、V5 と V6 での同時変換を開始させるときに使います。これらのピンの 1 つがロー・レベルからハイ・レベルへ変化すると、トラック・アンド・ホールドが選択された ADC 対がトラックからホールドに切り替わり、変換が開始されます。これらの入力は、ADC 対をパーシャル・パワーダウン・モードにするときにも使うことができます。

ピン番号	記号	説明
19	CS	チップ・セレクト。このアクティブ・ロー・ロジック入力によりデータ転送をフレーム化します。CSとRDをロジック・ローにし、かつパラレル・インターフェースを選択すると、出力バスがイネーブルされて変換結果がパラレル・データ・バス・ラインへ出力されます。CSとWRをロジック・ローにし、かつパラレル・インターフェースを選択すると、DB[15:8]を使ってデータが内部コントロール・レジスタに書き込まれます。シリアル・インターフェースを選択すると、シリアル読み出し転送がCSを使ってフレーム化されて、シリアル出力データのMSBが出力されます。
20	RD	データの読み出し。CSとRDをロジック・ローにし、かつパラレル・インターフェースを選択すると、出力バスがイネーブルされます。シリアル・インターフェースを選択する場合、RDラインはロー・レベルに維持する必要があります。
63	WR/REF <sub>ENDIS</sub>	書き込みデータ/リファレンス電圧のイネーブルとディスエーブル。H/S SELピンをハイ・レベルにし、かつCSとWRをロジック・ローにすると、DB[15:8]を使ってデータが内部コントロール・レジスタへ書き込まれます。H/S SELピンがロー・レベルのとき、このピンを使って内蔵リファレンス電圧をイネーブルまたはディスエーブルします。H/S SEL=0かつREF <sub>ENDIS</sub> =0のとき、内蔵リファレンス電圧がディスエーブルされるため、外付けリファレンス電圧をREFIN/REFOUTピンに加える必要があります。H/S SEL=0かつREF <sub>ENDIS</sub> =1のとき、内蔵リファレンス電圧がイネーブルされるため、REFIN/REFOUTピンをデカップリングする必要があります。内蔵/外付けリファレンス電圧のセクションを参照してください。
18	BUSY	ビジー出力。変換が開始されると、このピンがハイ・レベルになり、変換が完了し、かつ変換データが出力データ・レジスタへラッチされるまでこの状態を維持します。BUSY信号がハイ・レベルのとき入力されるすべての CONVST エッジが無視されるため、AD7656-1/AD7657-1/AD7658-1 で新しい変換を開始することはできません。
51	REFIN/REFOUT	リファレンス電圧入力/出力。内蔵リファレンス電圧がこのピンに出力されます。代わりに、内蔵リファレンス電圧をディスエーブルして、外付けリファレンス電圧をこの入力に接続することができます。内蔵/外付けリファレンス電圧のセクションを参照してください。内蔵リファレンス電圧をイネーブルする場合、このピンを1 $\mu$ Fのデカップリング・コンデンサでデカップリングする必要があります。
61	SER/PAR SEL	シリアル/パラレル選択入力。このピンをロー・レベルにすると、パラレル・インターフェースが選択されます。このピンをハイ・レベルにすると、シリアル・インターフェースが選択されます。シリアル・インターフェースを選択すると、DB[10:8]はDOUT[C:A]として、DB[0:2]はDOUTとして、DB7はDCENとして、それぞれ機能します。シリアル・インターフェースを選択するときは、DB15とDB[13:11]をDGNDへ接続してください。
17	DB0/SEL A	データ・ビット 0/セレクト DOUT A。SER/PAR SEL=0のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL=1のとき、このピンはSEL Aとして機能し、シリアル・インターフェースの設定に使われます。このピンを1にすると、シリアル・インターフェースは1本、2本、または3本のDOUT出力ピンを使う動作になり、DOUT Aがシリアル出力としてイネーブルされます。シリアル・インターフェースを選択する場合は、常にこのピンを1に設定する必要があります。
16	DB1/SEL B	データ・ビット 1/セレクト DOUT B。SER/PAR SEL=0のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL=1のとき、このピンはSEL Bとして機能し、シリアル・インターフェースの設定に使われます。このピンを1にすると、シリアル・インターフェースは、2本または3本のDOUT出力ピンを使う動作になり、DOUT Bがシリアル出力としてイネーブルされます。このピンを0にすると、DOUT Bがイネーブルされないためシリアル・データ出力ピンとして動作しません。1本のDOUT出力ピン(DOUT A)だけが使用されます。未使用シリアルDOUTピンは解放のままにしておく必要があります。
15	DB2/SEL C	データ・ビット 2/セレクト DOUT C。SER/PAR SEL=0のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL=1のとき、このピンはSEL Cとして機能し、シリアル・インターフェースの設定に使われます。このピンを1にすると、シリアル・インターフェースは、3本のDOUT出力ピンを使う動作になり、DOUT Cがシリアル出力としてイネーブルされます。このピンを0にすると、DOUT Cはイネーブルされないため、シリアル・データ出力ピンとして動作しません。未使用シリアルDOUTピンは解放のままにしておく必要があります。
14	DB3/DCIN C	データ・ビット 3/ディジーチェーン入力 C。SER/PAR SEL=0のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL=1かつDCEN=1のとき、このピンはディジーチェーン入力 Cとして機能します。シリアル・インターフェースを選択し、かつデバイスをディジーチェーン・モードで使用しない場合には、このピンをDGNDへ接続してください。
13	DB4/DCIN B	データ・ビット 4/ディジーチェーン入力 B。SER/PAR SEL=0のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL=1かつDCEN=1のとき、このピンはディジーチェーン入力 Bとして機能します。シリアル・インターフェースを選択し、かつデバイスをディジーチェーン・モードで使用しない場合には、このピンをDGNDへ接続してください。
12	DB5/DCIN A	データ・ビット 5/ディジーチェーン入力 A。SER/PAR SEL=0のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL=1かつDCEN=1のとき、このピンはディジーチェーン入力 Aとして機能します。シリアル・インターフェースを選択し、かつデバイスをディジーチェーン・モードで使用しない場合には、このピンをDGNDへ接続してください。
11	DB6/SCLK	データ・ビット 6/シリアル・クロック。SER/PAR SEL=0のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL=1のとき、このピンはSCLK入力として機能し、シリアル転送での読み出しシリアル・クロックになります。
10	DB7/HBEN/DCEN	データ・ビット 7/ハイ・バイト・イネーブル/ディジーチェーン・イネーブル。パラレル・インターフェースを選択し、かつデバイスをワード・モード(SER/PAR SEL=0、W/B=0)で使用する場合、このピンはデータ・ビット 7として機能します。パラレル・インターフェースを選択し、かつデバイスをバイト・モード(SER/PAR SEL=0、W/B=1)で使用する場合、このピンはHBENとして機能します。HBENピンがロジック・ハイの場合、データはMSBバイト・ファーストでDB[15:8]に出力されます。HBENピンがロジック

# AD7656-1/AD7657-1/AD7658-1

ピン番号	記号	説明
7	DB8/DOUT A	ク・ローの場合、データは LSB バイト・ファーストで DB[15:8]に出力されます。シリアル・インターフェースを選択すると (SER/PAR SEL = 1)、このピンは DCEN として機能します。DCEN ピンがロジック・ハイの場合、デバイスはディジーチェーン・モードで動作し、DB[5:3]は DCIN[A:C]として機能します。シリアル・インターフェースを選択し、かつデバイスをディジーチェーン・モードで使用しない場合は、このピンを DGND に接続する必要があります。
6	DB9/DOUT B	データ・ビット 8/シリアル・データ出力 A。SER/PAR SEL = 0 のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL = 1 かつ SEL A = 1 のとき、このピンは DOUT A として機能し、シリアル変換データを出力します。
5	DB10/DOUT C	データ・ビット 9/シリアル・データ出力 B。SER/PAR SEL = 0 のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL = 1 かつ SEL B = 1 のとき、このピンは DOUT B として機能し、シリアル変換データを出力します。シリアル・インターフェースは 2 本の DOUT 出力ラインを使うように設定されます。
4	DB11	データ・ビット 10/シリアル・データ出力 C。SER/PAR SEL = 0 のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL = 1 かつ SEL C = 1 のとき、このピンは DOUT C として機能し、シリアル変換データを出力します。シリアル・インターフェースは 3 本の DOUT 出力ラインを使うように設定されます。
2、3、64	DB13、DB12、DB15	データ・ビット 11/デジタル・グラウンド。SER/PAR SEL = 0 のとき、このピンはスリー・ステートのパラレル・デジタル出力ピンとして機能します。SER/PAR SEL = 1 のときは、このピンを DGND へ接続してください。
1	DB14/REFBUF <sub>EN</sub> DIS	データ・ビット 12、データ・ビット 13、データ・ビット 15。SER/PAR SEL = 0 のとき、これらのピンはスリー・ステートのパラレル・デジタル入力/出力ピンとして機能します。CS と RD がロー・レベルのとき、これらのピンを使って変換結果が出力されます。CS と WR がロー・レベルのとき、これらのピンを使ってコントロール・レジスタへの書き込みが行われます。SER/PAR SEL = 1 のときは、これらのピンを DGND へ接続してください。AD7657-1 の場合、DB15 に 0 が含まれます。AD7658-1 の場合は、DB15、DB13、DB12 にそれぞれ 0 が含まれます。
28	RESET	データ・ビット 14/リファレンス・バッファ・イネーブルおよびディスエーブル。SER/PAR SEL = 0 のとき、このピンはスリー・ステートのデジタル入力/出力ピンとして機能します。AD7657-1 と AD7658-1 の場合、DB14 に 0 が含まれます。SER/PAR SEL = 1 のとき、このピンを使って、内蔵リファレンス・バッファをイネーブルまたはディスエーブルすることができます。
27	RANGE	リセット入力。このピンをロジック・ハイにすると、AD7656-1/AD7657-1/AD7658-1 がリセットされます。ソフトウェア・モードでは、進行中の変換が停止されて、内部レジスタに全ビット 0 が設定されます。ハードウェア・モードでは、ハードウェア・セレクト・ピンのロジック・レベルに応じて AD7656-1/AD7657-1/AD7658-1 が設定されます。すべてのモードで、デバイスにはパワーアップ後に RESET パルスを入力する必要があります。RESET のハイ・レベル・パルス幅は 100 ns (typ) である必要があります。CONVST ピンは、RESET パルス中ハイ・レベルにすることができます。ただし、RESET パルス中に CONVST ピンをロー・レベルに維持すると、最初の変換を開始するために RESET パルスの後に AD7656-1/AD7657-1/AD7658-1 に完全な CONVST パルスを入力する必要があります。このパルスは、ハイ・レベルからロー・レベルへの CONVST エッジ変化とそれに続くロー・レベルからハイ・レベルへの CONVST エッジ変化から構成される必要があります。ハードウェア・モードでは、変換サイクルと変換サイクルの間に RESET パルスを開始することができます。すなわち、BUSY がハイ・レベルからロー・レベルへ変化してデータを読み出した後にデバイスへ 100 ns 幅の RESET パルスを入力することができます。したがって、RESET は次の完全な CONVST パルスの前に発行することができます。この場合、次の完全な CONVST パルスの前に RESET はロジック・ローに戻る必要があります。
31	V <sub>DD</sub>	アナログ入力レンジ選択。ロジック入力。このピンのロジック・レベルにより、アナログ入力チャンネルの入力レンジが指定されます。このピンが BUSY の立ち下がりエッジでロジック 1 のとき、次の変換のレンジは $\pm 2 \times V_{REF}$ になります。このピンが BUSY の立ち下がりエッジでロジック 0 のとき、次の変換のレンジは $\pm 4 \times V_{REF}$ になります。ハードウェア・セレクト・モードでは、RANGE ピンが BUSY の立ち下がりエッジでチェックされます。ソフトウェア・モード (H/S SEL = 1) では、RANGE ピンを DGND に接続して、入力レンジをコントロール・レジスタの RNGA、RNGB、RNGC ビットで指定することができます。
30	V <sub>SS</sub>	正電源電圧。このピンは、アナログ入力セクションの正電源電圧です。
24	STBY	負電源電圧。このピンは、アナログ入力セクションの負電源電圧です。
62	H/S SEL	スタンバイ・モード入力。このピンを使って、6 個すべての内蔵 ADC をスタンバイ・モードにします。STBY ピンは、通常動作でハイ・レベルに、スタンバイ動作ではロー・レベルにします。
29	W/B	ハードウェア/ソフトウェア・セレクト入力。ロジック入力。H/S SEL = 0 のとき、AD7656-1/AD7657-1/AD7658-1 はハードウェア・セレクト・モードで動作し、同時にサンプルされる ADC 対が CONVST ピンにより選択されます。H/S SEL = 1 のとき、同時にサンプルされる ADC 対はコントロール・レジスタへの書き込みにより選択されます。シリアル・インターフェースを選択した場合、CONVST A を使って、選択された ADC 対で変換が開始されます。
		ワード/バイト入力。このピンがロジック・ローのとき、パラレル・データ・ライン DB[15:0]を使って AD7656-1/AD7657-1/AD7658-1 に対するデータ転送を行うことができます。このピンがロジック・ハイで、かつパラレル・インターフェースを選択したとき、バイト・モードがイネーブルされます。このモードでは、データ・ライン DB[15:8]を使ってデータが転送され、DB 7 は HBEN として機能します。16 ビット変換結果を取得するときは、2 バイト読み出しが必要です。シリアル・インターフェースを選択する場合は、このピンを DGND に接続する必要があります。

代表的な性能特性

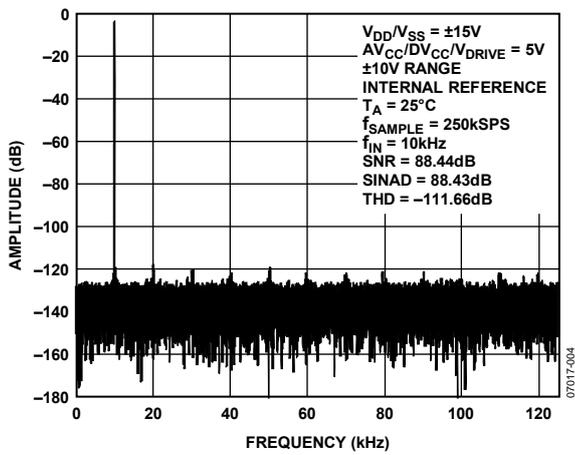


図 4. AD7656-1 の FFT、±5 V レンジ ( $V_{DD}/V_{SS} = \pm 15 V$ )

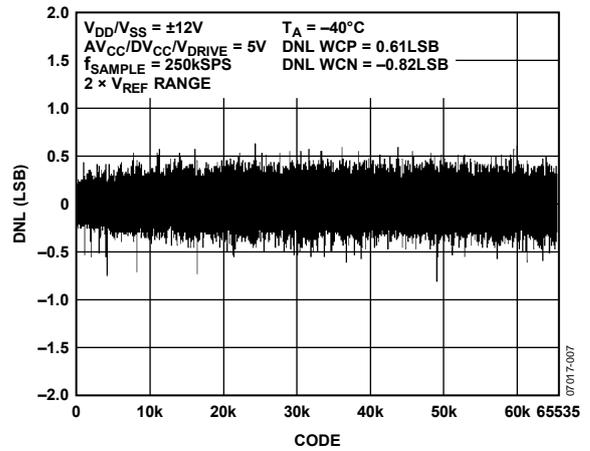


図 7. AD7656-1 の DNL

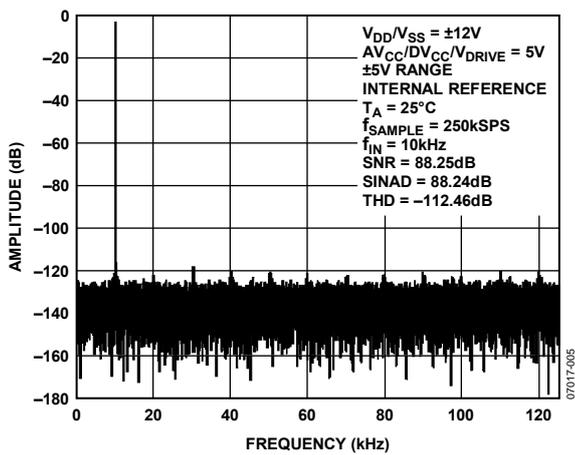


図 5. AD7656-1 の FFT、±5 V レンジ ( $V_{DD}/V_{SS} = \pm 12 V$ )

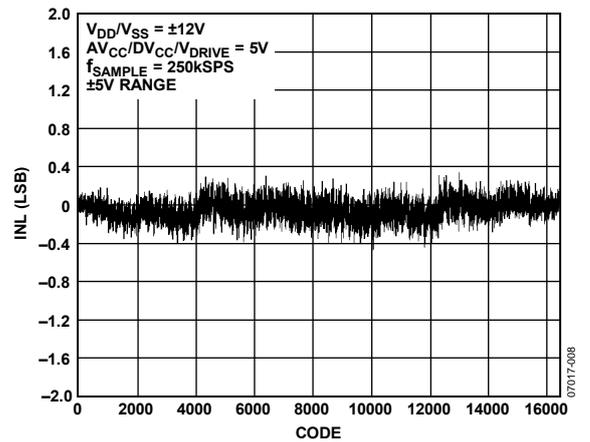


図 8. AD7657-1 の INL

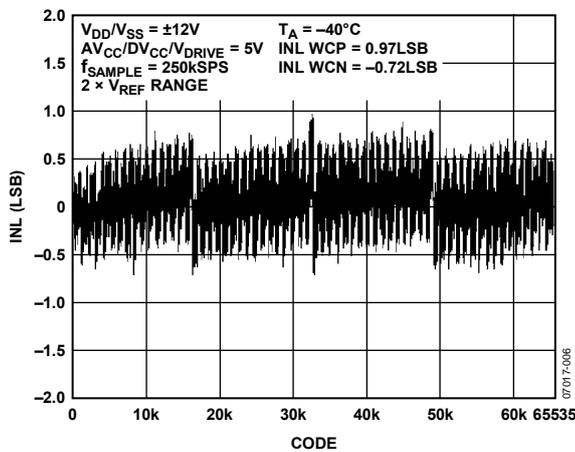


図 6. AD7656-1 の INL

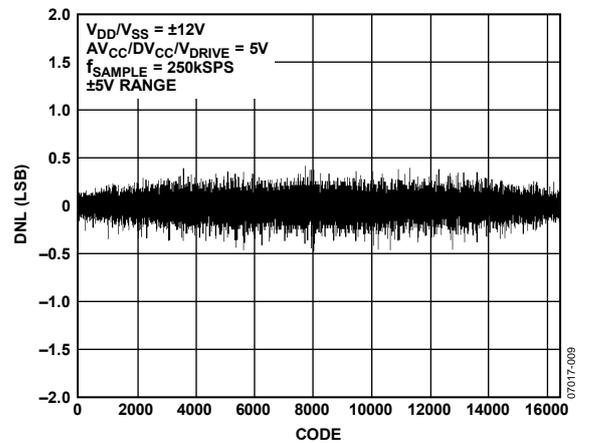


図 9. AD7657-1 の DNL

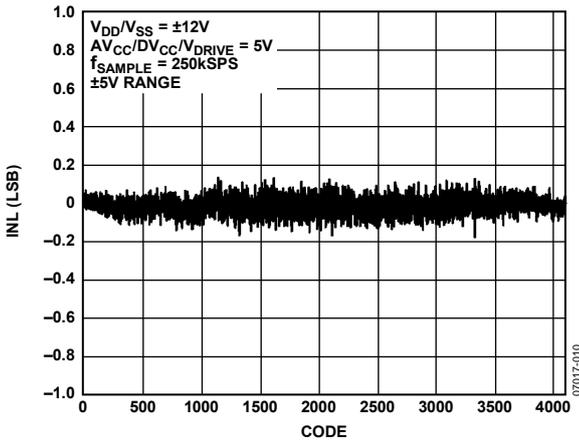


図 10. AD7658-1 の INL

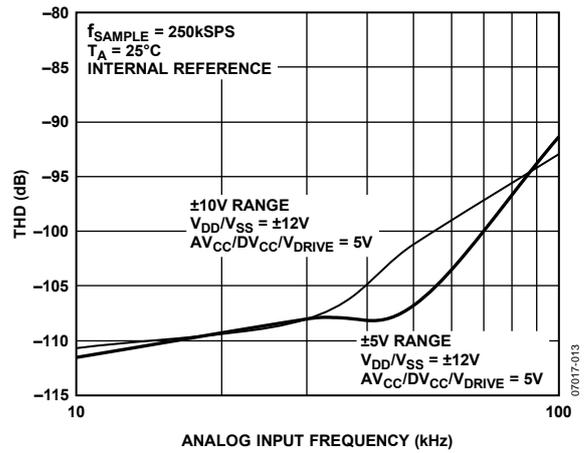


図 13. AD7656-1 アナログ入力周波数対 THD

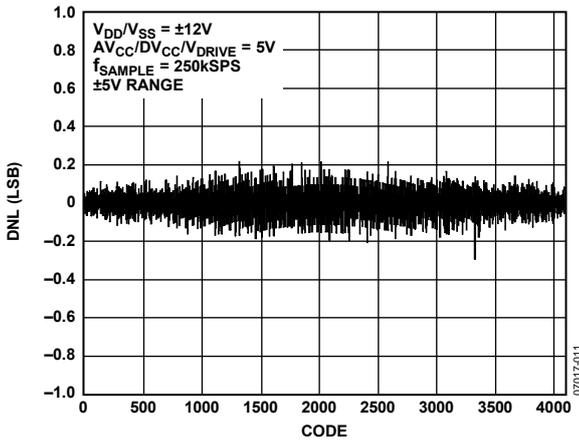


図 11. AD7658-1 の DNL

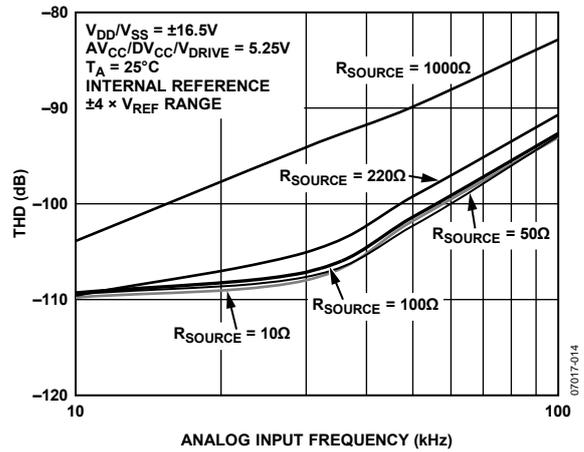


図 14. AD7656-1 様々なソース・インピーダンスでのアナログ入力周波数対 THD、 $\pm 4 \times V_{REF}$  レンジ

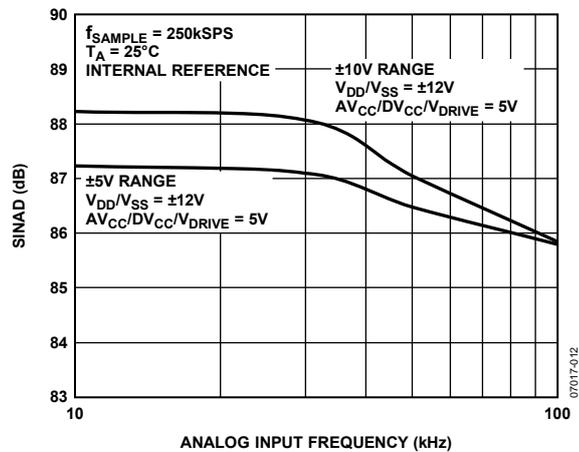


図 12. AD7656-1 アナログ入力周波数対 SINAD

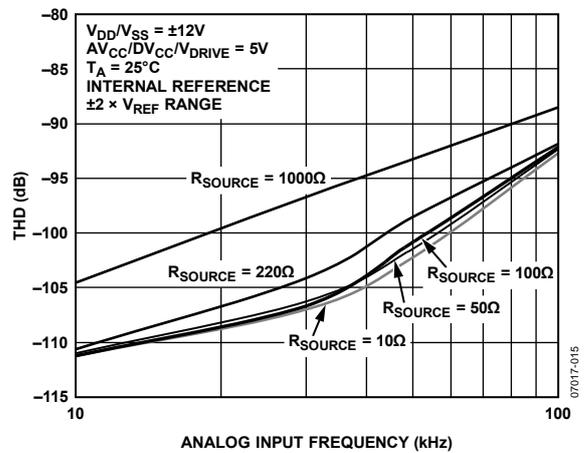


図 15. AD7656-1 様々なソース・インピーダンスでのアナログ入力周波数対 THD、 $\pm 2 \times V_{REF}$  レンジ

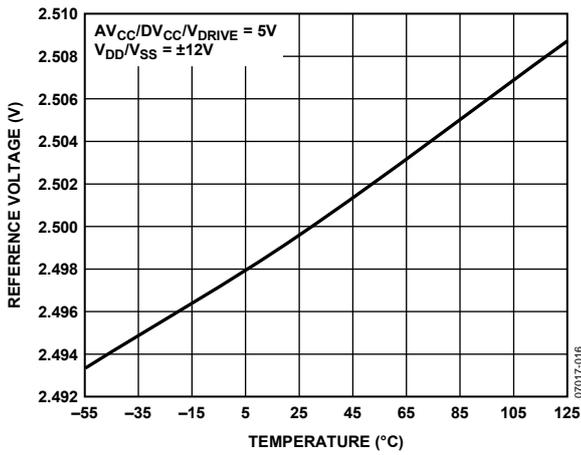


図 16. リファレンス電圧の温度特性

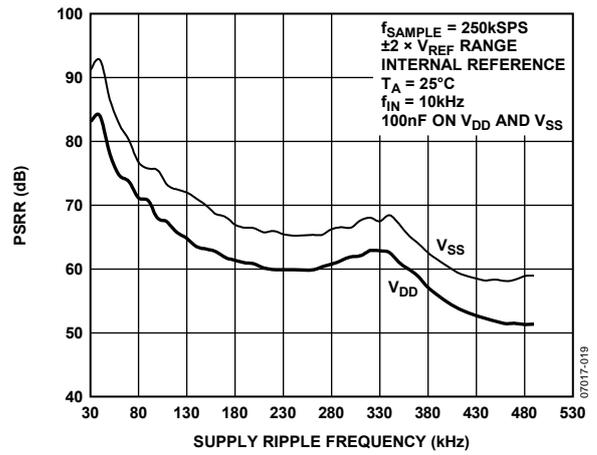


図 19. 電源リップル周波数対 PSRR

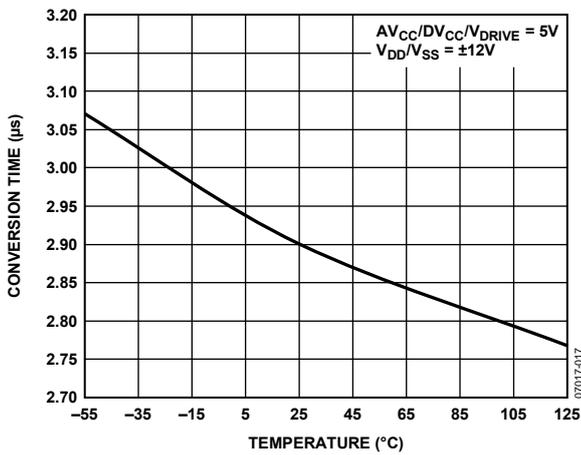


図 17. 変換時間の温度特性

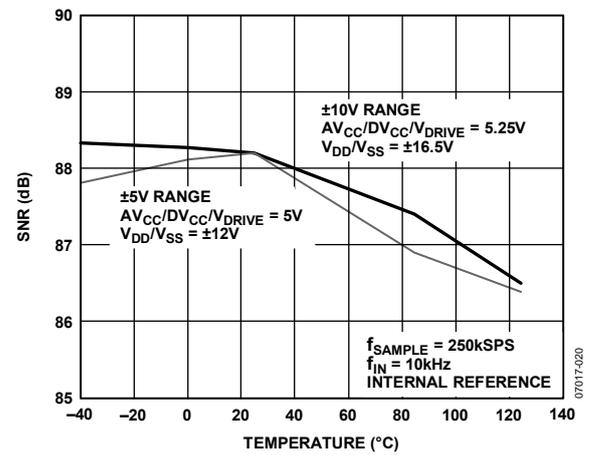


図 20. AD7656-1 SNR の温度特性

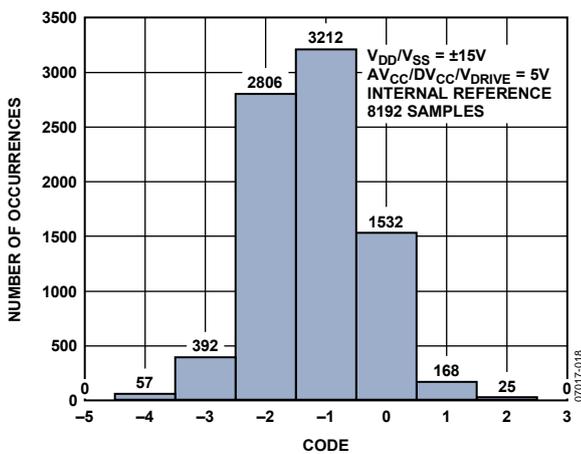


図 18. AD7656-1 コードのヒストグラム

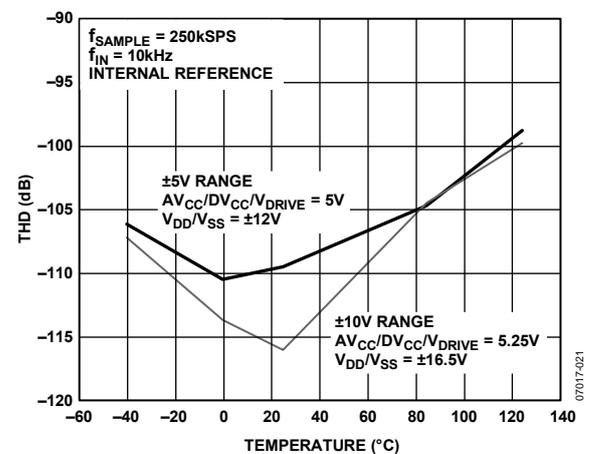


図 21. AD7656-1 THD の温度特性

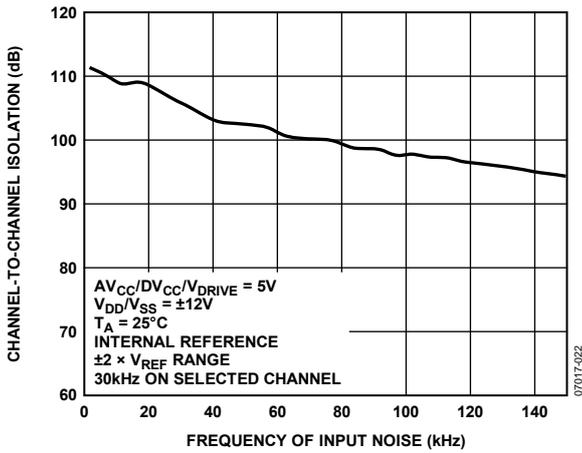


図 22. 入力ノイズ周波数対チャンネル間アイソレーション

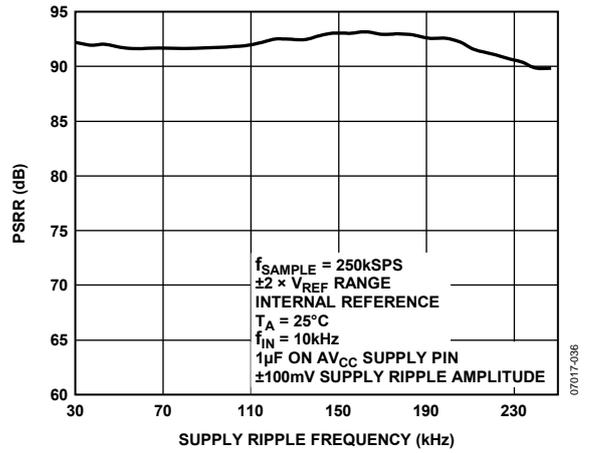


図 24. AV<sub>CC</sub>の電源リップル周波数対 PSRR

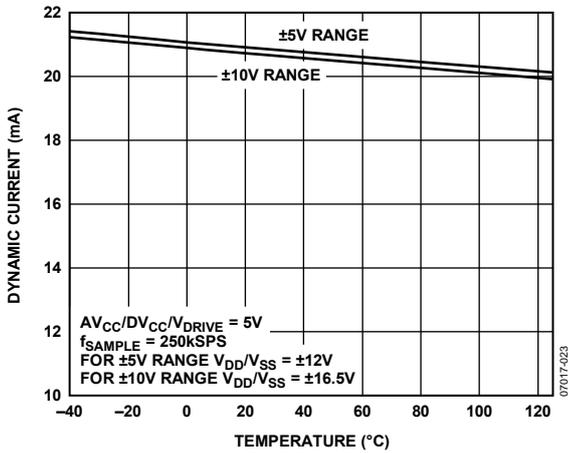


図 23. ダイナミック電流の温度特性

## 用語

### 積分非直線性(INL)

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード遷移より 1/2 LSB 下のポイント)とフル・スケール(最後のコード遷移より 1/2 LSB 上のポイント)をいいます。

### 微分非直線性(DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

### バイポーラ・ゼロ・スケール誤差

ミッドスケール変化(全ビット 1 から全ビット 0 への変化)の理論  $V_{IN}$  電圧(AGND-1 LSB)からの差を意味します。

### バイポーラ・ゼロ・スケール誤差マッチング

任意の 2 入力チャンネル間のバイポーラ・ゼロ・コード誤差の差を意味します。

### 正のフル・スケール誤差

最後のコード変化(011 ... 110→011 ... 111)とバイポーラ・ゼロ・スケール誤差を調整した後の理論値(+4 ×  $V_{REF}$  - 1 LSB、+2 ×  $V_{REF}$  - 1 LSB)との差を意味します。

### 正のフル・スケール誤差マッチング

任意の 2 入力チャンネル間の正のフル・スケール誤差の差を意味します。

### 負のフル・スケール誤差

最初のコード変化(10 ... 000→10 ... 001)とバイポーラ・ゼロ・スケール誤差を調整した後の理論値(-4 ×  $V_{REF}$  + 1 LSB、-2 ×  $V_{REF}$  + 1 LSB)との差を意味します。

### 負のフル・スケール誤差マッチング

任意の 2 入力チャンネル間の負のフル・スケール誤差の差を意味します。

### トラック・アンド・ホールド・アキュイジション・タイム

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アキュイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の±1 LSB以内に出力が収まるために要する時間です。詳細については、トラック・アンド・ホールドのセクションを参照してください。

### 信号対ノイズおよび歪み比(SINAD)

ADC 出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数 ( $f_{SAMPLE}$ )までの全高調波の和で表します(DC を除く)。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合、理論 N ビット・コンバータに対する SINAD の理論値は次式で表されます。

$$SINAD = (6.02 N + 1.76) \text{ dB}$$

したがって、16 ビット・コンバータの場合 SINAD は 98 dB に、14 ビット・コンバータの場合 86.04 dB に、12 ビット・コンバータの場合 74 dB に、それぞれなります。

### 総合高調波歪み(THD)

高調波の rms 値総和と基本波の比です。AD7656-1/AD7657-1/AD7658-1 の場合、次式で与えられます。

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$  は基本波の rms 振幅。

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$  は、2 次～6 次の高調波の rms 振幅。

### ピーク高調波またはスプリアス・ノイズ

ADC 出力スペクトル内の(DC を除いて  $f_{SAMPLE}/2$  まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

### 相互変調歪み(IMD)

非線形性を持つアクティブ・デバイスに 2 つの周波数  $f_a$  および  $f_b$  を含む正弦波を入力すると、様々な和および差の周波数  $m f_a \pm n f_b$  を持つ歪み成分が発生します。ここで、 $m$ 、 $n=0$ 、1、2、3、... です。相互変調歪みは  $m$  と  $n$  が非ゼロの項です。例えば、2 次項には  $(f_a + f_b)$  と  $(f_a - f_b)$  が含まれ、3 次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  が含まれます。

AD7656-1/AD7657-1/AD7658-1 は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。この場合、2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

### チャンネル間アイソレーション

チャンネル間アイソレーションは、2 つのチャンネル間でのクロストークのレベルの大きさを表します。フル・スケールの 100 kHz 正弦波信号をすべての非選択入力チャンネルに入力し、30 kHz 信号を使って選択したチャンネルで信号の減衰を測定することにより決定します。

### 電源除去比(PSR)

電源変動はフル・スケール変化に影響しますが、コンバータの直線性には影響を与えません。PSR は、電源電圧の公称値からの変化で発生するフル・スケール変化ポイントの最大変化を表します。代表的な性能特性のセクションを参照してください。

図 19 に、AD7656-1/AD7657-1/AD7658-1 の電源リップル周波数対電源除去比を示します。電源除去比は、フル・スケール周波数  $f$  の ADC 出力電力と、ADC の  $V_{DD}$  電源と  $V_{SS}$  電源に加えられた周波数 サンプル  $f_{SAMPLE}$  の 200 mV p-p 正弦波電力との比として次式で定義されます。

$$PSRR \text{ (dB)} = 10 \log (P_f/P_{f_s})$$

ここで、

$P_f$  は、ADC 出力での周波数 ( $f$ ) の電力。

$P_{f_s}$  は、 $V_{DD}$  電源と  $V_{SS}$  電源に混入する周波数  $f_{SAMPLE}$  の電力。

## 動作原理

### コンバータの詳細

AD7656-1/AD7657-1/AD7658-1 は、AD7656/AD7657/AD7658 のデカップリング条件を軽減したピンおよびソフトウェア互換バージョンです。さらに、AD7656-1/AD7657-1/AD7658-1 は、6 個の内蔵ADCの同時サンプリングが可能な高速低消費電力のコンバータです。AD7656-1/AD7657-1/AD7658-1 のアナログ入力には真のバイポーラ入力信号を入力することができます。RANGEピンまたはRNGxビットを使って、次の変換の入力レンジとして $\pm 4 \times V_{REF}$ または $\pm 2 \times V_{REF}$ を選択します。

各 AD7656-1/AD7657-1/AD7658-1 は、6 個の SAR ADC、6 個のトラック・アンド・ホールド・アンプ、2.5 V のリファレンス電圧、リファレンス・バッファ、高速パラレルおよびシリアル・インターフェースを内蔵しています。このデバイスでは、3 本の CONVST ピン(CONVST A、CONVST B、CONVST C)を互いに接続すると、6 個すべての ADC の同時サンプリングが可能です。あるいは、6 個の ADC を 3 対にグループ化することができます。各対は対応する CONVST 信号を持ち、この信号を使って各 ADC 対、4 個の ADC、または 6 個すべての ADC の同時サンプリングを開始させます。CONVST A は V1 と V2 での同時サンプリングの開始に、CONVST B は V3 と V4 での同時サンプリングの開始に、CONVST C は V5 と V6 での同時サンプリングの開始に、それぞれ使用します。

AD7656-1/AD7657-1/AD7658-1 での変換は、CONVST 入力にパルスを入力して開始します。CONVST の立ち上がりエッジで、選択された ADC 対のトラック・アンド・ホールド・アンプがホールド・モードになり、変換が開始されます。CONVST の立ち上がりエッジの後に、BUSY 信号がハイ・レベルになって変換中であることを表示します。AD7656-1/AD7657-1/AD7658-1 の変換クロックは内部で発生され、デバイスの変換時間は 3  $\mu$ s です。CONVST A、CONVST B、CONVST C のその後の CONVST 立ち上がりエッジは、BUSY がハイ・レベルの間無視されます。BUSY 信号がロー・レベルに戻るにより、変換の終わりが表示されます。BUSY の立ち下がりエッジで、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。データは、パラレルまたはシリアル・インターフェースを使って出力レジスタから読み出すことができます。

### トラック・アンド・ホールド

AD7656-1/AD7657-1/AD7658-1 のトラック・アンド・ホールド・アンプにより、各 ADC は正確にフルスケール振幅の入力正弦波をそれぞれ 16/14/12 ビット分解能で変換することができます。トラック・アンド・ホールド・アンプの入力帯域幅は、AD7656-1/AD7657-1/AD7658-1 が最大スループット・レートで動作した場合でも、ADC のナイキスト・レートより広がっています。このデバイスは、4.5 MHz までの入力周波数を処理することができます。

トラック・アンド・ホールド・アンプは、それぞれの入力を CONVST の立ち上がりエッジで同時にサンプルします。トラック/ホールドのアーチャ時間(外部からの CONVST 信号とトラック/ホールドの実際のホールド・モード開始との間の遅延時間)は 10 ns です。デバイス内の 6 個すべてのトラック・アンド・ホールド・アンプ間およびデバイス間この時間は一致しています。このために、6 個以上の ADC を同時サンプルすることができます。変換の終わりは、BUSY の立ち下がりエッジで表示され、このポイントでトラック・アンド・ホールド・アンプがトラック・モードに戻り、アキュイジション時間が開始されます。

### アナログ入力

AD7656-1/AD7657-1/AD7658-1 は真のバイポーラ入力電圧を処理することができます。RANGE ピンのロジック・レベルまたはコントロール・レジスタの RNGx ビットに書き込まれた値により、次の変換に対する AD7656-1/AD7657-1/AD7658-1 のアナログ入力レンジが決定されます。RANGE ピンまたは RNGx ビットが 1 のとき、次の変換のアナログ入力レンジは $\pm 2 \times V_{REF}$ になります。RANGE ピンまたは RNGx ビットが 0 のとき、次の変換のアナログ入力レンジは $\pm 4 \times V_{REF}$ になります。

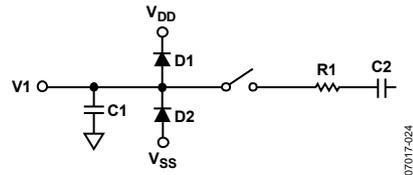


図 25.等価アナログ入力構造

図25 に、AD7656-1/AD7657-1/AD7658-1のアナログ入力構造の等価回路を示します。ダイオードD1とD2はアナログ入力に対してESD保護機能を提供します。アナログ入力信号が $V_{DD}$ と $V_{SS}$ の電源レベルより300 mV以上高くないよう注意する必要があります。この値を超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は10 mAです。図25に示すコンデンサC1は約4 pF(typ)で、主にピン容量に起因します。抵抗R1は集中定数部品であり、トラック・アンド・ホールド・スイッチのオン抵抗から構成されます。この抵抗は約3.5 k $\Omega$  (typ)です。コンデンサC2は10 pF (typ)であり、主にADCサンプリング・コンデンサです。

AD7656-1/AD7657-1/AD7658-1 には、高電圧アナログ入力構造に対する $V_{DD}$ と $V_{SS}$ の 2 つの電源が必要です。これらの電源はアナログ入力レンジ以上である必要があります(各アナログ入力レンジに対するこれらの電源の条件については表 8 を参照してください)。AD7656-1/AD7657-1/AD7658-1 では、ADCコア電源として 4.75 V $\sim$ 5.25 Vの低電圧 $A_{VCC}$ 電源、デジタル電源として 4.75 V $\sim$ 5.25 Vの $DV_{CC}$ 電源、インターフェース電源として 2.7 V $\sim$ 5.25 Vの $V_{DRIVE}$ 電源が必要です。

選択したアナログ入力レンジに対して最小の電源電圧を使うとき、規定性能を満たすためには、最大スループット・レートよりスループット・レートを低下させる必要があることがあります。

表 8.最小  $V_{DD}/V_{SS}$  電源電圧条件

Analog Input Range (V)	Reference Voltage (V)	Full-Scale Input (V)	Minimum $V_{DD}/V_{SS}$ (V)
$\pm 4 \times V_{REF}$	2.5	$\pm 10$	$\pm 10$
$\pm 2 \times V_{REF}$	2.5	$\pm 5$	$\pm 5$

### ADCの伝達関数

AD7656-1/AD7657-1/AD7658-1の出力コーディングは2の補数です。デザイン上のコード変化は、LSBの連続する整数値の midpoint(1/2 LSB、3/2 LSBなど)で発生します。LSBサイズは、AD7656-1ではFSR/65,536に、AD7657-1ではFSR/16,384に、AD7658-1ではFSR/4096に、それぞれなります。理論伝達特性を図26に示します。

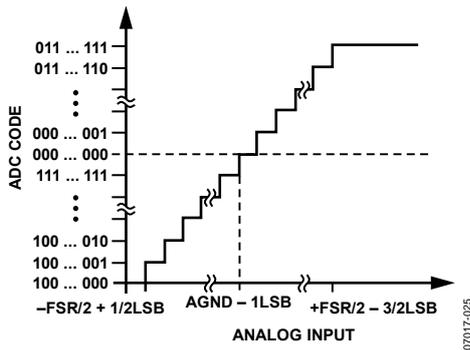


図 26. AD7656-1/AD7657-1/AD7658-1 の伝達特性

LSBサイズは選択したアナログ入力レンジに依存します(表 9 参照)。

### 内蔵/外付けリファレンス電圧

REFIN/REFOUT ピンを使うと、AD7656-1/AD7657-1/AD7658-1 の 2.5 V リファレンス電圧を取り出すことができます。あるいは、外付けリファレンス電圧を接続して変換のリファレンス電源を与えることができます。

AD7656-1/AD7657-1/AD7658-1 では、2.5 V の外付けリファレンス電圧を使うことができます。REFIN/REFOUT ピンから外付けリファレンス電圧を加えると、内蔵リファレンス電圧がディスエーブルされて、リファレンス・バッファがイネーブルされます。あるいは、REFCAPx ピンから外付けリファレンス電圧を加えることができます。この場合、内蔵リファレンス電圧をディスエーブルして、リファレンス・バッファをディスエーブルして消費電力とクロストークを小さくすることが推奨されます。リセット後、AD7656-1/AD7657-1/AD7658-1 は、デフォルトとして外付けリファレンス・モードで動作し、内蔵リファレンス電圧がディスエーブルされ、リファレンス・バッファがイネーブルされます。

内蔵リファレンス電圧は、ハードウェア・モードまたはソフトウェア・モードでイネーブルすることができます。ハードウェア・モードで内蔵リファレンス電圧をイネーブルするときは、 $\overline{H/S SEL}$  ピン = 0、REF<sub>EN<sub>DIS</sub></sub> ピン = 1 に設定します。ソフトウェア・モードで内蔵リファレンス電圧をイネーブルするときは、 $\overline{H/S SEL} = 1$  にし、さらにコントロール・レジスタに書き込みを行ってレジスタの DB9 に 1 を設定します。内蔵リファレンス電圧モードの場合、1  $\mu$ F のコンデンサで REFIN/REFOUT ピンをデカップリングしてください。

表 9. 各アナログ入力レンジに対する LSB サイズ

Parameter	Input Range for AD7656-1		Input Range for AD7657-1		Input Range for AD7658-1	
	$\pm 10$ V	$\pm 5$ V	$\pm 10$ V	$\pm 5$ V	$\pm 10$ V	$\pm 5$ V
LSB Size	0.305 mV	0.152 mV	1.22 mV	0.610 mV	4.88 mV	2.44 mV
FS Range	20 V/65,536	10 V/65,536	20 V/16,384	10 V/16,384	20 V/4096	10 V/4096

各AD7656-1/AD7657-1/AD7658-1 は 3 個のリファレンス・バッファも内蔵しています(図 27 参照)。3 個の各ADC対は対応するリファレンス・バッファを内蔵しています。これらのリファレンス・バッファには、1  $\mu$ F のコンデンサによる、REFCAPA ピン、REFCAPB ピン、REFCAPC ピンでの外部デカップリングが必要です。ソフトウェア・モードでは、内部コントロール・レジスタのビットDB8 に書き込みを行うことにより、内蔵リファレンス・バッファをディスエーブルすることができます。シリアル・インターフェースを選択する場合は、ハードウェア・モードで、DB14/REFBUF<sub>EN<sub>DIS</sub></sub> ピンをハイ・レベルにすることにより内蔵リファレンス・バッファをディスエーブルすることができます。内蔵リファレンス電圧とバッファをディスエーブルする場合、外部でバッファされたリファレンスをREFCAPxピンに接続してください。

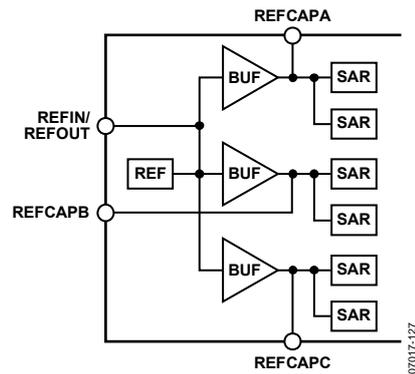


図 27. リファレンス回路

### 代表的な接続図

図 28 に AD7656-1/AD7657-1/AD7658-1 の代表的な接続図を示します。必要とされるデカップリング・コンデンサの個数と値が小さくなっています。各デバイスには 8 本の AV<sub>CC</sub> 電源ピンがあります。AV<sub>CC</sub> 電源は、AD7656-1/AD7657-1/AD7658-1 変換プロセスで使用される電源であるため、十分なデカップリングが必要です。8 本の AV<sub>CC</sub> ピンに接続される AV<sub>CC</sub> 電源は、1 個の 1  $\mu$ F コンデンサだけでデカップリングすることができます。AD7656-1/AD7657-1/AD7658-1 は、内蔵リファレンス電圧または外付けリファレンスで動作することができます。この構成では、デバイスは外付けリファレンス電圧で動作するように設定されています。REFIN/REFOUT ピンは 1  $\mu$ F のコンデンサでデカップリングされています。3 個の内蔵リファレンス・バッファはイネーブルされています。各 REFCAPx ピンは 1  $\mu$ F のコンデンサでデカップリングされています。

AV<sub>CC</sub> 電源と DV<sub>CC</sub> 電源に同じ電源を使用する場合は、各電源ピンの間にフェライトまたは小型の RC フィルタを接続してください。

AGND ピンはシステムの AGND プレーンに接続されています。DGND ピンは、システムのデジタル・グラウンド・プレーンに接続されています。AGND プレーンと DGND プレーンはシステム内の 1 点で接続してください。この接続は、システム内の AD7656-1/AD7657-1/AD7658-1 にできるだけ近い場所で行ってください。

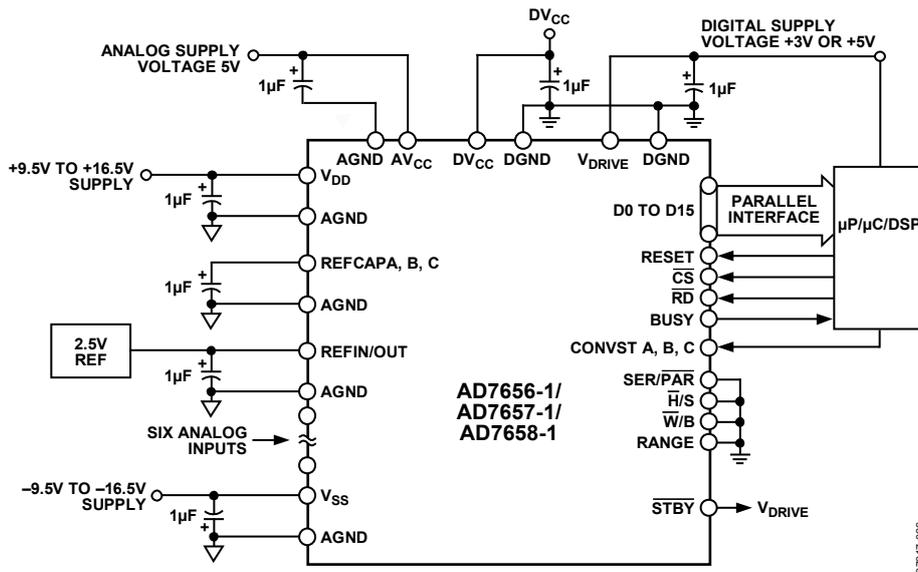


図 28. 代表的な接続図

$V_{DRIVE}$  ピンは、マイクロプロセッサと同じ電源電圧に接続されています。 $V_{DRIVE}$  に入力される電圧が、出力ロジック信号の電圧値を制御しています。

$V_{DD}$  信号と  $V_{SS}$  信号は最小  $1\ \mu\text{F}$  のデカップリング・コンデンサでデカップリングしてください。これらの電源は、AD7656-1/AD7657-1/AD7658-1 アナログ入力の高電圧アナログ入力構造に使われています。

## アナログ入力の駆動

ドライバ・アンプと AD7656-1 のアナログ入力回路は、フル・スケール・ステップ入力に対して AD7656-1 の規定されたアクイジション・タイム  $550\ \text{ns}$  内に 16 ビット・レベル(0.0015%)にセトリグできる必要があります。AD7656-1 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。さらにドライバは、AD7656-1 の THD 性能に見合う THD 性能を持つ必要があります。

AD8021 はこの条件を満たしています。AD8021 には、外付けの補償コンデンサ  $10\ \text{pF}$  が必要です。AD8021 のデュアル・バージョンが必要な場合には、AD8022 を使うことができます。AD8610 と AD797 も、AD7656-1/AD7657-1/AD7658-1 の駆動に使うことができます。

## インターフェース・オプション

AD7656-1/AD7657-1/AD7658-1 は、高速パラレル・インターフェースと高速シリアル・インターフェースの 2 つのインターフェース・オプションを提供しています。インターフェース・モードは、SER/PAR SEL ピンを使って選択します。パラレル・インターフェースは、ワード・モード( $\overline{W/B} = 0$ )またはバイト・モード( $\overline{W/B} = 1$ )で動作することができます。シリアル・モードでは、AD7656-1/AD7657-1/AD7658-1 をディジーチェーン・モードに設定することができます。

パラレル・モードの場合、読み出し動作では直前の変換結果のみがアクセスされます。例えば、CONVST A と CONVST C は同時にトグルされるが、CONVST B が使用されない場合を考えてみます。BUSY がロー・レベルになる変換プロセスの終わりで、読み出しが実行されます。4 個の読み出しパルス(パラレル・モード)が入力されて、V1、V2、V5、V6 からデータが出力されます。

CONVST B はこのサイクルでトグルされないため、V3 と V4 のデータは出力されません。ただし、シリアル・モードでは、変換サイクルに含まれない ADC の変換結果の代わりに全ビット・ゼロが出力されます。詳細については、シリアル・インターフェースのセクションを参照してください。

## パラレル・インターフェース(SER/PAR SEL = 0)

AD7656-1/AD7657-1/AD7658-1 は、それぞれ 6 個の 16/14/12 ビット ADC で構成されています。6 個すべての ADC の同時サンプルは、3 本のすべての CONVST ピン(CONVST A、CONVST B、CONVST C) を互いに接続することにより実行することができます。AD7656-1/AD7657-1/AD7658-1 で変換を開始するためには CONVST パルスの入力が必要です。このパルスは、立ち下がり CONVST エッジとそれに続く立ち上がり CONVST エッジで構成されている必要があります。CONVST の立ち上がりエッジで、選択された ADC の同時変換が開始されます。各 AD7656-1/AD7657-1/AD7658-1 は、変換の実行に使われる発振器を内蔵しています。変換時間  $t_{CONV}$  は  $3\ \mu\text{s}$  です。変換が完了すると、BUSY 信号はロー・レベルになります。BUSY の立ち下がりエッジで、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。

また、AD7656-1/AD7657-1/AD7658-1 では、3 本の CONVST ピンに独立にパルスを入力することにより、6 個の ADC を対にして同時に変換することができます。CONVST A は V1 と V2 での同時変換の開始に、CONVST B は V3 と V4 での同時変換の開始に、CONVST C は V5 と V6 での同時変換の開始に、それぞれ使用します。同時サンプルされた ADC の変換結果は出力データ・レジスタに保持されます。任意の 1 本の CONVST ピンで立ち上がりエッジが発生して変換が開始されると、任意の CONVST ピンでの次の CONVST 立ち上がりエッジは、BUSY がハイ・レベルの間無視されることに注意してください。

AD7656-1/AD7657-1/AD7658-1 からのデータは、標準の  $\overline{CS}$  信号と  $\overline{RD}$  信号を持つパラレル・データ・バスを使って読み出すことができます ( $\overline{W/B} = 0$ )。パラレル・バスを使ってデータを読み出すときは、SER/PAR SEL をロー・レベルに接続してください。CS 入力信号と RD 入力信号が内部でゲーティングされて、変換結果がデータ・バスへ出力されます。データ・ライン DB0~DB15 は、CS と RD がロジック・ローのとき、高インピーダンス状態を維持します。

必要に応じて $\overline{CS}$ をロー・レベルに固定し、 $\overline{RD}$ 信号を使って変換結果をアクセスすることができます。読み出し動作は、BUSY信号がロー・レベルになった後に発生させることができます。読み出し動作の回数は、同時サンプルされるADC数に依存します(図29参照)。CONVST AとCONVST Bを同時にロー・レベルにすると、V1、V2、V3、V4 から変換結果を得るために4回の読み出し動作が必要です。CONVST AとCONVST Cを同時にロー・レベルにすると、V1、V2、V5、V6 から変換結果を得るために4回の読み出し動作が必要です。変換結果は昇順に出力されます。AD7657-1の場合、DB15とDB14には0が含まれ、DB[13:0]に14ビット変換結果が出力されます。AD7658-1の場合、DB[15:12]には4ビットの0が含まれ、DB[11:0]に12ビット変換結果が出力されます。

3本のCONVST信号を使って3個のADC対で独立に変換を開始させる場合、任意のCONVSTピンで立ち上がりエッジが発生して変換が開始されると、任意のCONVSTピンで次にCONVST立ち上がりエッジが発生しても、BUSYがハイ・レベルの間これが無視されます。

読み出しシーケンス中にも変換を開始させることができますが、変換性能に影響を与えるためこの方法は推奨されません。規定性能を得るためには、変換後に読み出しを行うことが推奨されます。

未使用入力チャンネル対については、対応する CONVST ピンを  $V_{DRIVE}$  に接続してください。

使用可能なバスが8ビットである場合には、AD7656-1/AD7657-1/AD7658-1の平行・インターフェースをバイト・モード( $\overline{W/B} = 1$ )で動作するように設定することができます。この設定では、DB7/HBEN/DCEN ピンが HBEN 機能になります。AD7656-1/AD7657-1/AD7658-1の各チャンネルの変換結果は、2回の読み出し動作で取得することができます。データの8ビットは各読み出し動作でDB15~DB8に出力されます(図30参照)。HBENピンにより、読み出し動作で16ビット変換結果の上位バイトまたは下位バイトのいずれを先にアクセスするかが指定されます。DB15~DB8で常に下位バイトを先にアクセスするときは、HBENピンをロー・レベルに接続してください。DB15~DB8で常に上位バイトを先にアクセスするときは、HBENピンをハイ・レベルに接続してください。バイト・モードで、3本のすべてのCONVSTピンにパルスと一緒に入力して6個のすべてのADCで同時変換を開始するときは、6個の16/14/12ビット変換結果をリードバックするためには12回の読み出し動作が必要になります。バイト・モードでは、DB[6:0]を未接続のままにしておく必要があります。

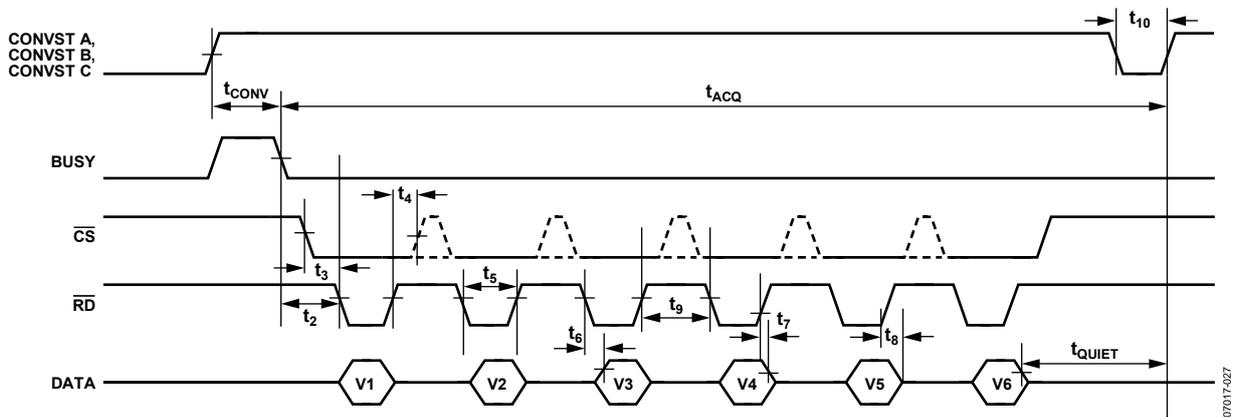


図 29. 平行・インターフェースのタイミング図( $\overline{W/B} = 0$ )

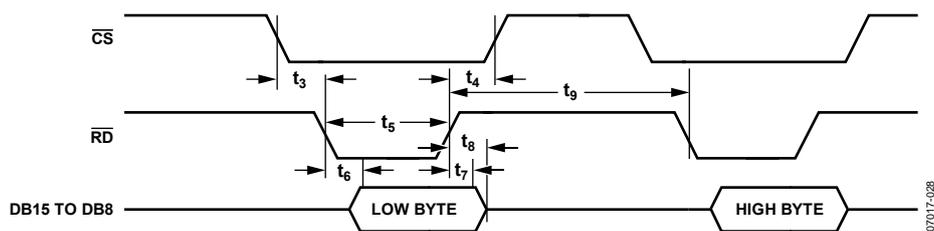


図 30. 平行・インターフェースバイト動作モードでの読み出しサイクル( $\overline{W/B} = 1$ 、HBEN = 0)

### ADCのソフトウェアからの選択

H/S SEL ピンにより、同時にサンプルされる ADC の組み合わせが決定されます。H/S SEL ピンがロジック・ローのとき、同時サンプルされるチャンネル組み合わせは、CONVST A、CONVST B、CONVST C の各ピンにより決定されます。H/S SEL ピンがロジック・ハイのとき、同時サンプルされるチャンネル組み合わせは、コントロール・レジスタの DB15~DB13 の値により決定されます。このモードでは、コントロール・レジスタへの書き込みが必要です。

コントロール・レジスタは8ビットの書き込み専用レジスタです。データは、CSピン、WRピンDB[15:8]データ・ピンを使ってこのレジスタに書き込まれます(図31参照)。表10と表11にコントロール・レジスタを示します。同時サンプルするADC対を選択するときは、書き込み動作時に対応するデータ・ラインをハイ・レベルに設定します。

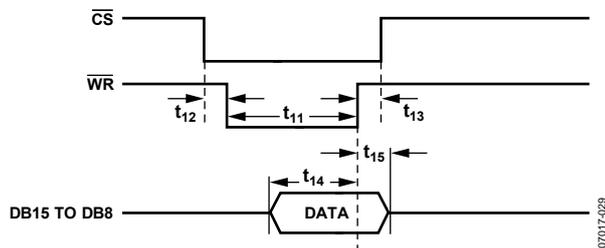


図 31.パラレル・インターフェースワード・モードでの書き込みサイクル(W/B = 0)

AD7656-1/AD7657-1/AD7658-1のコントロール・レジスタを使うと、各ADC対に個別のレンジを設定することができます。コントロール・レジスタのDB12~DB10を使って、各ADC対のレンジを設定します。

AD7656-1/AD7657-1/AD7658-1のリセット時、コントロール・レジスタは全ビット0になります。

CONVST A 信号を使って、コントロール・レジスタから選択したチャンネル組み合わせに対して同時変換を開始させます。ソフトウェア・モードで動作する場合(H/S SEL = 1)、CONVST B 信号と CONVST C 信号をロー・レベルに接続することができます。必要な読み出しパルス数は、コントロール・レジスタから選択したADC数と、デバイスがワード・モードまたはバイト・モードのいずれで動作するかによって依存します。変換結果は昇順に出力されます。

書き込み動作時、データ・バス・ビットDB15~DB8は双方向であり、RDがロジック・ハイ、かつCSとWRがロジック・ローのとき、コントロール・レジスタへの入力になります。DB15~DB8のロジック状態は、WRがロジック・ハイになるときにコントロール・レジスタへラッチされます。

表 10.コントロール・レジスタのビット・マップ<sup>1</sup>

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8
VC	VB	VA	RNGC	RNGB	RNGA	REFEN	REFBUF

<sup>1</sup>デフォルトでは全ビット0。

表 11.コントロール・レジスタ・ビットの機能説明

ビット	記号	説明
DB15	VC	このビットを使って、次に変換するV5とV6のアナログ入力を選択します。このビットを1に設定すると、次のCONVST A立ち上がりエッジでV5とV6が同時変換されます。
DB14	VB	このビットを使って、次に変換するV3とV4のアナログ入力を選択します。このビットを1に設定すると、次のCONVST A立ち上がりエッジでV3とV4が同時変換されます。
DB13	VA	このビットを使って、次に変換するV1とV2のアナログ入力を選択します。このビットを1に設定すると、次のCONVST A立ち上がりエッジでV1とV2が同時変換されます。
DB12	RNGC	このビットを使って、V5とV6のアナログ入力のアナログ入力レンジを選択します。このビットを1に設定すると、次の変換で $\pm 2 \times V_{REF}$ レンジが選択されます。このビットを0に設定すると、次の変換で $\pm 4 \times V_{REF}$ レンジが選択されます。
DB11	RNGB	このビットを使って、V3とV4のアナログ入力のアナログ入力レンジを選択します。このビットを1に設定すると、次の変換で $\pm 2 \times V_{REF}$ レンジが選択されます。このビットを0に設定すると、次の変換で $\pm 4 \times V_{REF}$ レンジが選択されます。
DB10	RNGA	このビットを使って、V1とV2のアナログ入力のアナログ入力レンジを選択します。このビットを1に設定すると、次の変換で $\pm 2 \times V_{REF}$ レンジが選択されます。このビットを0に設定すると、次の変換で $\pm 4 \times V_{REF}$ レンジが選択されます。
DB9	REFEN	このビットを使って、内蔵リファレンス電圧または外付けリファレンス電圧を選択します。このビットを0に設定すると、外付けリファレンス・モードが選択されます。このビットを1に設定すると、内蔵リファレンス電圧が選択されます。
DB8	REFBUF	このビットを使って、内蔵リファレンス・バッファの使用または不選択を選択します。このビットを0に設定すると、内蔵リファレンス・バッファがイネーブルされるため、REFCAPxピンにデカップリングが必要となります。このビットを1に設定すると、内蔵リファレンス・バッファがディスエーブルされるため、バッファ済みのリファレンス電圧をREFCAPxピンに接続する必要があります。

## アナログ入力レンジの変更( $\overline{H/S SEL} = 0$ )

AD7656-1/AD7657-1/AD7658-1 の RANGE ピンを使うと、6 本のアナログ入力のアナログ入力レンジとして  $\pm 2 \times V_{REF}$  または  $\pm 4 \times V_{REF}$  を選択することができます。 $\overline{H/S SEL}$  ピンがロー・レベルのとき、RANGE ピンのロジック状態が BUSY 信号の立ち下がりエッジでサンプリングされ、次の同時変換に対するレンジが決定されます。RANGE ピンが BUSY の立ち下がりエッジでハイ・レベルのとき、次の変換のレンジは  $\pm 2 \times V_{REF}$  になります。RANGE ピンが BUSY の立ち下がりエッジでロー・レベルのとき、次の変換のレンジは  $\pm 4 \times V_{REF}$  になります。RESET パルスの後に、BUSY エッジの最初の立ち下がりエッジでレンジが更新されます。

## アナログ入力レンジの変更( $\overline{H/S SEL} = 1$ )

$\overline{H/S SEL}$  ピンがハイ・レベルのとき、コントロール・レジスタへの書き込みによりレンジを変更することができます。コントロール・レジスタの DB[12:10] を使って、次の変換のアナログ入力レンジを選択します。各アナログ入力対には対応するレンジ・ビットがあるため、各 ADC 対に対して独立にレンジを設定することができます。RNGx ビットを 1 に設定すると、次の変換で  $\pm 2 \times V_{REF}$  レンジが選択されます。RNGx ビットを 0 に設定すると、次の変換で  $\pm 4 \times V_{REF}$  レンジが選択されます。

## シリアル・インターフェース(SER/ $\overline{PAR SEL} = 1$ )

1 本、2 本、または 3 本の CONVST 信号にパルスを入力することにより、調整済み内蔵発振器を使って、選択したチャンネル対の同時変換を CONVST の立ち上がりエッジで AD7656-1/AD7657-1/AD7658-1 に実行させます。CONVST の立ち上がりエッジの後に、BUSY 信号がハイ・レベルになって変換が開始されたことを表示します。変換が完了すると(3  $\mu$ s 後)、BUSY 信号はロー・レベルに戻ります。CONVST A、CONVST B、CONVST C のその後の CONVST 立ち上がりエッジは、BUSY がハイ・レベルの間無視されます。出力レジスタには新しい変換結果がロードされ、データは AD7656-1/AD7657-1/AD7658-1 から読み出すことができます。シリアル・インターフェースを使ってデータを読み出すときは、SER/ $\overline{PAR SEL}$  をハイ・レベルにする必要があります。 $\overline{CS}$  信号と SCLK 信号を使って、AD7656-1/AD7657-1/AD7658-1 からデータを転送します。デバイスには、DOUT A、DOUT B、DOUT C の 3 本の DOUT ピンがあります。データは、1 本、2 本、または 3 本の DOUT ラインを使って各デバイスから読み出すことができます。

図32 に、6個の同時変換と3本のDOUTラインを使った読み出しシーケンスを示します。また、図32では、32 SCLKサイクルの転送を使ってAD7656-1/AD7657-1/AD7658-1からデータをアクセスしていますが、 $\overline{CS}$ 信号を使って16 SCLKサイクルのフレームを2回転送することにより、3本のDOUTライン上のデータをアクセスすることもできます。この後に入力される余分なSCLKでは、出力はすべてゼロになります。シリアル・インターフェースを選択し、かつ変換データを3本すべてのDOUTラインへ出力する場合は、DB0/SEL A、DB1/SEL B、DB2/SEL Cを $V_{DRIVE}$ へ接続してください。これらのピンは、それぞれDOUT A～DOUT Cラインをイネーブルするときに使います。

変換データを 2 本のデータ出力ラインに出力する必要があるときは、DOUT AとDOUT Bを使ってください。DOUT AとDOUT Bをイネーブルするときは、DB0/SEL AとDB1/SEL Bを $V_{DRIVE}$ に、DB2/SEL Cをロー・レベルに、それぞれ接続してください。6 個の同時変換を行い、かつDOUTラインを 2 本のみ使う場合は、48 SCLKサイクル転送を使ってAD7656-1/AD7657-1/AD7658-1 からデータをアクセスすることができます。この後に入力される余分なSCLKでは出力はすべてゼロになります。図 33 に、2 本のDOUTラインを使い 6 個すべてのADCで同時変換を行う際の読み出しシーケンスを示します。6 個すべてのADCで同時変換を行い、

DOUTラインを 2 本だけ使用してAD7656-1/AD7657-1/AD7658-1 から変換結果を読み出す場合、DOUT AにはV1、V2、V5 の変換結果が、DOUT BにはV3、V4、V6 の変換結果が、それぞれ出力されます。

DOUTラインを1本だけ使ってデータを出力することもできます。この場合は、変換データのアクセスにDOUT Aを使ってください。AD7656-1/AD7657-1/AD7658-1をこのモードで動作するように設定するときは、DB0/SEL Aを $V_{DRIVE}$ に、DB1/SEL BとDB2/SEL Cをロー・レベルに、それぞれ接続します。DOUTラインを1本だけ使用することの欠点は、スループット・レートが低下することです。96 SCLKサイクル転送を1回、32 SCLKサイクル・フレーム転送を3回、または16 SCLKサイクル・フレーム転送を6回使って、AD7656-1/AD7657-1/AD7658-1からデータをアクセスすることができます。この後に入力される余分なSCLKでは、出力はすべてゼロになります。シリアル・インターフェースを使う場合は、 $\overline{RD}$ 信号をロー・レベルに接続し、未使用のDOUTラインは未接続のままにしてください。

1本、2本、または3本のデータ出力ラインのいずれを使用するかによらず、特定のCONVSTピンを変換サイクルで使用しない場合には、対応するADC(変換サイクル内で使用されなくとも)の変換結果としてすべてゼロが出力されます。これは、たとえばCONVST Bのみにパルスを入力し、データ出力ピンを1本だけ使用する場合、V3とV4からの変換結果のアクセスに64 SCLKサイクルが必要になりますが、データ出力ラインを2本または3本使う場合には、32 SCLKサイクルで済むことを意味しています。

## シリアルの読み出し動作

図 34 に、シリアル・インターフェースを選択したときのAD7656-1/AD7657-1/AD7658-1 からのデータ読み出しのタイミング図を示します。SCLK入力信号は、シリアル・インターフェースのクロックになります。データをAD7656-1/AD7657-1/AD7658-1 からアクセスするときは、 $\overline{CS}$ をロー・レベルにします。 $\overline{CS}$ の立ち下がりエッジで、バスがスリー・ステートから抜け出して、16 ビット変換結果のMSBが出力されます。各ADCから 16 ビットの各変換結果が出力されます。AD7656-1 のデータ・ストリームは 16 ビットの変換データ(MSBファースト)で構成されています。AD7657-1 のデータ・ストリームは、2 ビットの 0 とそれに続く 14 ビットの変換データ(MSBファースト)で構成されています。AD7658-1 のデータ・ストリームは、4 ビットの 0 とそれに続く 12 ビットの変換データ(MSBファースト)で構成されています。

変換結果の最初のビットは、 $\overline{CS}$ の立ち下がりエッジの後の、最初のSCLK立ち下がりエッジで有効になります。後続の15データビットは、SCLK信号の立ち上がりエッジで出力されます。データはSCLKの立ち下がりエッジで有効です。各変換結果をアクセ

スするときは、AD7656-1/AD7657-1/AD7658-1に16個のクロック・パルスを入力する必要があります。図34に、変換結果をアクセスする際の16サイクルのSCLKの使用方法を示します。

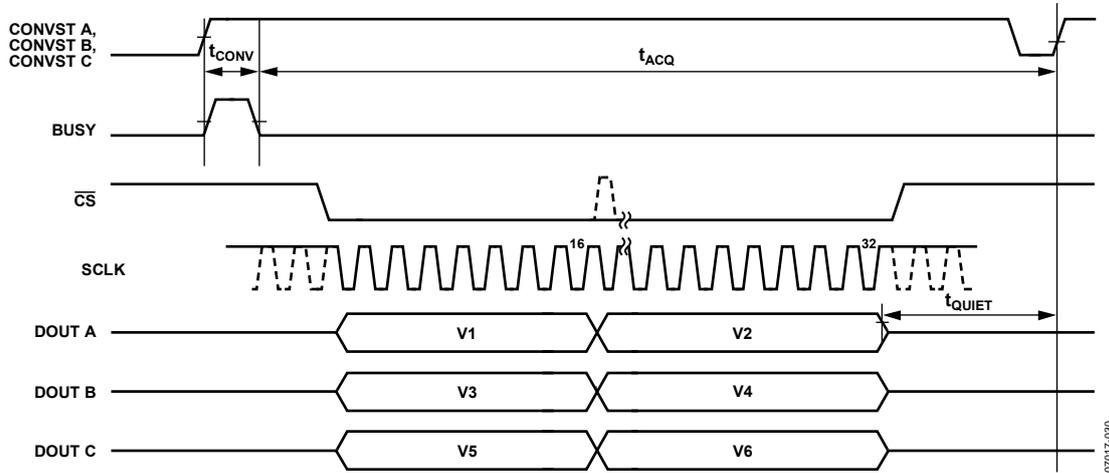


図 32.3本の DOUT ラインを使用するシリアル・インターフェース

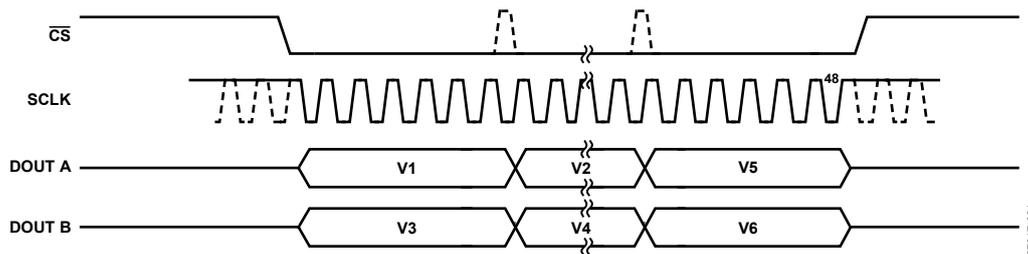


図 33.2本の DOUT ラインを使用するシリアル・インターフェース

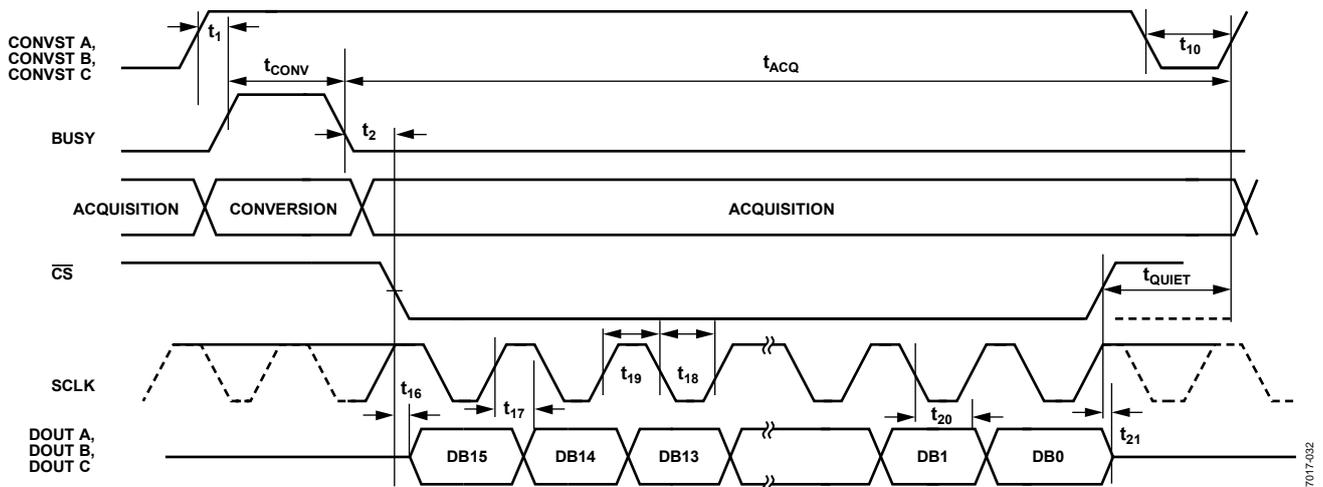


図 34.シリアル読み出し動作

## ディジーチェーン・モード(DCEN = 1、SER/PAR SEL = 1)

1/2/3 本のDOUTピンを使ってAD7656-1/AD7657-1/AD7658-1 から変換データを読み出すとき、DCENピンを使ってディジーチェーン・モードで動作するようにデバイスを設定することができます。このディジーチェーン機能を使うと、複数のAD7656-1/AD7657-1/AD7658-1 デバイスをカスケード接続することができるため、部品数と配線数を減らすことに役立ちます。2 個のデバイスの接続例を図 36 に示します。この構成では、各デバイスで 2 本のDOUTラインを使用しています。共通のCONVST信号を使用して、12 本のアナログ入力の同時サンプリングが可能です。DB5、DB4、DB3 のデータ・ピンをディジーチェーン・モードのDCIN[A:C]データ入力ピンとして使っています。

CONVST の立ち上がりエッジを使って AD7656-1/AD7657-1/AD7658-1 の変換を開始します。BUSY信号がロー・レベルになって変換が完了すると、2 個のデバイスからのデータを読み出しを開始することができます。図 37 に、ディジーチェーン・モードで動作する 2 個のAD7656-1/AD7657-1/AD7658-1 デバイスのシリアル・タイミング図を示します。

$\overline{CS}$ の立ち上がりエッジを使ってAD7656-1/AD7657-1/AD7658-1 デバイスからのシリアル転送をフレーム化し、バスをスリー・ステートから抜け出させて、変換結果をMSBファーストで出力させます。図 37 の例では、12 個すべての ADCチャンネルが同時サンプルされています。この例では 2 本のDOUTラインを使って変換結果を読み出しています。 $\overline{CS}$ により 96 SCLKサイクル転送のフレーム化が行われています。最初の 48 SCLK区間で、変換データがデバイス 2 からデバイス 1 へ転送されます。デバイス 2 のDOUT AによりV1、V2、V5 からの変換データがデバイス 1 のDCIN Aへ転送され、デバイス 2 のDOUT BによりV3、V4、V6 からの変換結果がデバイス 1 のDCIN Bへ転送されます。最初の 48 SCLK区間に、デバイス 1 がデータをデジタル・ホストに転送します。デバイス 1 のDOUT Aにより、V1、V2、V5 からの変換データが転送され、デバイス 1 のDOUT Bにより、V3、V4、V6 からの変換データが転送されます。最後の 48 SCLK区間でデバイス 2 は 0 を出力し、デバイス 1 は最初の 48 SCLK区間でデバイス 2 から入力したデータをデジタル・ホストへ出力します。この例は、転送中にDCENがハイ・レベルを維持する場合、16 SCLKサイクルのフレーム転送を 6 回使用して実現することもできます。

図 38 に、2 個のAD7656-1/AD7657-1/AD7658-1 デバイスをディジーチェーン・モードに設定し、かつ 3 本のDOUTラインを使って動作する場合のタイミングを示します。12 本すべての入力を同時サンプリングするものすると、読み出し動作で $\overline{CS}$ により 64 SCLKサイクル転送のフレーム化が行われます。この転送の最初の 32 SCLK区間で、デバイス 1 からの変換結果がデジタル・ホストに入力され、さらにデバイス 2 からの変換結果がデバイス 1 に入力されます。転送の最後の 32 SCLK区間で、デバイス 2 からの変換結果がデバイス 1 から出力され、さらにデジタル・ホストに入力されます。デバイス 2 は 0 を出力します。

チェーン内の最大デバイス数は、アプリケーションの条件、使用する SCLK 周波数、使用するシリアル・データ・ライン数に応じて、チャンネルあたりに必要とされるスループットにより制限されます。

## スタンバイ/パーシャル・パワーダウン動作モード(SER/PAR SEL = 0 or 1)

BUSYの立ち下がりエッジの前に、対応するCONVST信号をロー・レベルにすることにより、各ADC対を変換の終わりに個別にパーシャル・パワーダウン・モードにすることができます。BUSYがロー・レベルのときCONVSTピンをロー・レベルにすると、そのサイクル内で実際に変換していた場合、すなわちその特定のCONVSTピンを使って変換を開始させた場合、対応するADC対のみがパーシャル・パワーダウン・モードになります。ADC対を再度動作させるときは、CONVST信号をハイ・レベルにして、ADC対をパワーアップさせて、さらにトラック・アンド・ホールド・アンプをトラック・モードにする必要があります。パーシャル・パワーダウンからのパワーアップ時間が経過した後、CONVST信号は有効な変換を開始する立ち上がりエッジを受信できるようになります。パーシャル・パワーダウン・モードでは、リファレンス・バッファは動作しています。ADC対がパーシャル・パワーダウン・モードにあるとき、他のフル・パワー動作のADCでは変換を行うことができます。図 35 のポイントAで、ADC 1とADC 2はパーシャル・パワーダウンしますが、ADC 3～ADC 6はフル・パワー動作を続けます。図 35 のポイントBで、ADC1とADC 2がパワーアップを開始します。必要とされるパワーアップ時間が経過すると、次のCONVST立ち上がりエッジで変換を開始することができます。

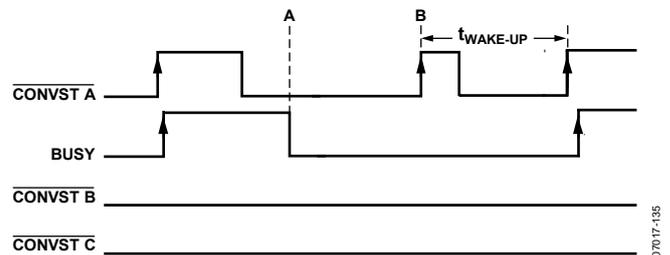


図 35. パーシャル・パワーダウン・モードの開始と終了

AD7656-1/AD7657-1/AD7658-1にはスタンバイ・モードがあります。このモードではデバイスが低消費電力モード(315  $\mu$ W最大)になります。入力 $\overline{STBY}$ をロジック・ローにすると、AD7656-1/AD7657-1/AD7658-1はスタンバイ・モードになり、 $\overline{STBY}$ をロジック・ハイにして、通常動作に戻すことができます。AD7656-1/AD7657-1/AD7658-1がスタンバイ・モードのとき出力データ・バッファは動作しているため、デバイスの変換結果をアクセスすることができます。このスタンバイ機能は、低いスループット・レートで動作する際にAD7656-1/AD7657-1/AD7658-1の平均消費電力を削減するために使用することができます。デバイスはBUSYがロー・レベルになったとき、各変換の終わりにスタンバイにすることができます。AD7656-1/AD7657-1/AD7658-1がスタンバイから抜け出るときに要する時間は、ウェイクアップ時間と呼ばれます。ウェイクアップ時間は、変換と変換の間にパワーダウンする際にAD7656-1/AD7657-1/AD7658-1が動作できる最大スループット・レートを制限します。仕様のセクションを参照してください。

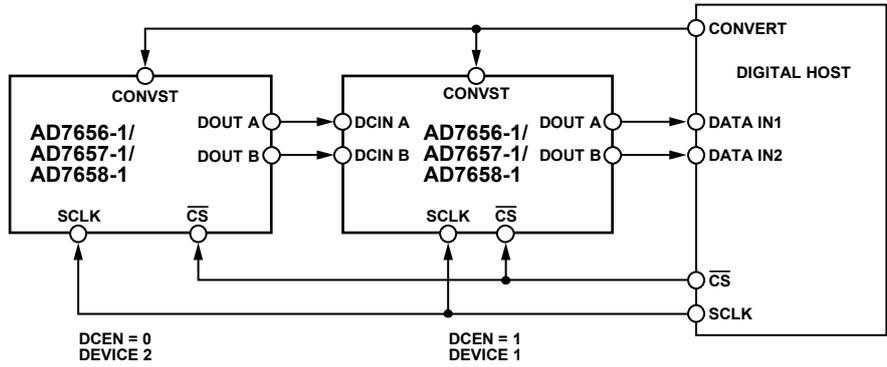


図 36. ディジーチェーン構成

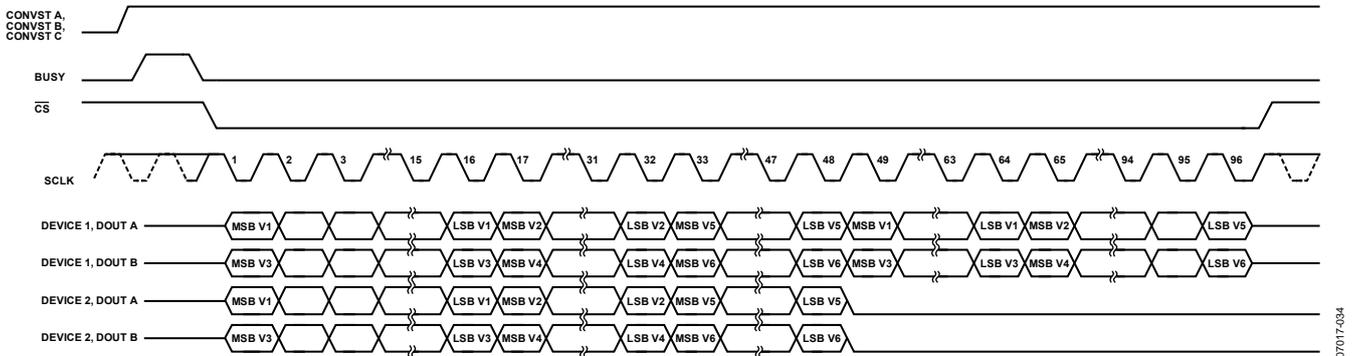


図 37. 2本の DOUT ラインを使用するディジーチェーン・シリアル・インターフェースのタイミング

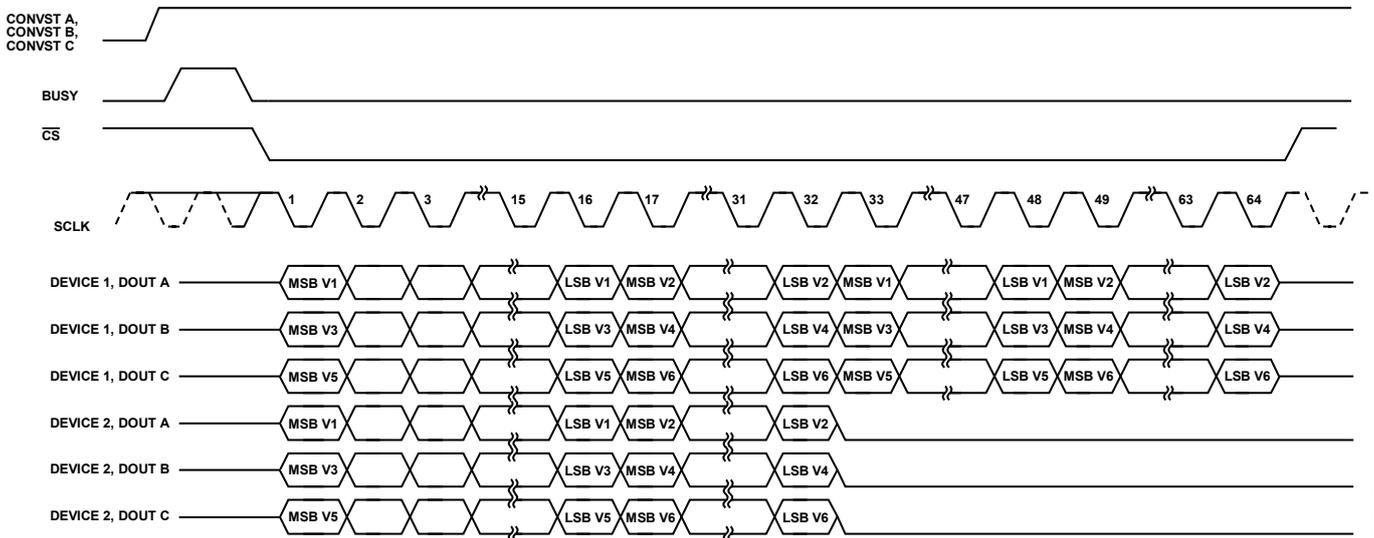


図 38. 3本の DOUT ラインを使用するディジーチェーン・シリアル・インターフェースのタイミング

## アプリケーション情報

### レイアウト

AD7656-1/ AD7657-1/AD7658-1 を実装するプリント回路ボード (PCB) は、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。プレーンが分割されている場合、デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 点で接続する必要があります。AD7656-1/AD7657-1/AD7658-1 の真下で、あるいは少なくともデバイスにできるだけ近い場所での 1 点接続が望まれます。

複数のデバイスがアナログ・グラウンドとデジタル・グラウンドの接続を必要とするシステム内で AD7656-1/AD7657-1/AD7658-1 を使用する場合にも、この接続は 1 ヶ所で行う必要があります。すなわち、AD7656-1/ AD7657-1/AD7658-1 のできるだけ近くで星型グラウンド接続点を構成します。しっかりしたグラウンド・プレーンへの接続が必要です。複数のグラウンド・ピンに対して 1 つの接続を共用しないでください。グラウンド・プレーンとの間には、各グラウンド・ピンに対して 1 個または複数のビアを設ける必要があります。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7656-1/AD7657-1/AD7658-1 の下を通過することは可能です。CONVST やクロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの高速スイッチング信号はアナログ信号パスの近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避す

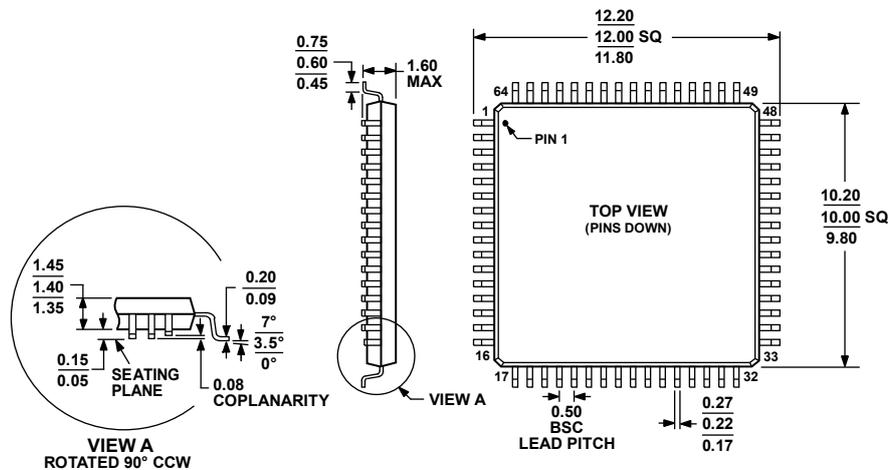
る必要があります。ボード内の近くの層のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。

AD7656-1/AD7657-1/AD7658-1 の  $AV_{CC}$ 、 $DV_{CC}$ 、 $V_{DRIVE}$ 、 $V_{DD}$ 、 $V_{SS}$  の各ピンへの電源ラインは、できるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。AD7656-1/AD7657-1/AD7658-1 の電源ピンとボードの電源パターンとの間の接続はしっかり行う必要があります。これには、各電源ピンに対して 1 個または複数のビアを使うことが含まれます。

AD7656-1/AD7657-1/AD7658-1 に対する電源インピーダンスを下げるため、および電源スパイクの振幅を小さくするために、正しいデカップリングも重要です。デカップリング・コンデンサは、これらのピンと対応するグラウンド・ピンの近くに、理想的には直接に接続してください。さらに、ESRの小さい  $1\mu\text{F}$  のコンデンサを、各電源ピン、REFIN/REFOUTピン、各REFCAPxピンに接続してください。これらのコンデンサを複数のピン間で共用することは避けて、ビアを使ってコンデンサを電源プレーンとグラウンド・プレーンに接続してください。さらに、寄生インダクタンスを小さくするため、各ビアとコンデンサ・パッドとの間に太く短いパターンを使うか、あるいはビアをコンデンサ・パッドの隣りに配置してください。AD7656-1/AD7657-1/ AD7658-1 は、AD7656/AD7657/AD7658 とピンおよびソフトウェア互換のデカップリング条件を軽減したソリューションを提供します。AD7656-1/AD7657-1/AD7658-1 に必要とされる軽減されたデカップリング推奨値を図 28 に示します。

# AD7656-1/AD7657-1/AD7658-1

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

☒ 39.64 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]  
(ST-64-2)  
寸法: mm

051706-A

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7656BSTZ-1 <sup>1</sup>	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7656BSTZ-1-RL <sup>1</sup>	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7656YSTZ-1 <sup>1</sup>	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7656YSTZ-1-RL <sup>1</sup>	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7657BSTZ-1 <sup>1</sup>	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7657BSTZ-1-RL <sup>1</sup>	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7657YSTZ-1 <sup>1</sup>	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7657YSTZ-1-RL <sup>1</sup>	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7658BSTZ-1 <sup>1</sup>	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7658BSTZ-1-RL <sup>1</sup>	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7658YSTZ-1 <sup>1</sup>	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7658YSTZ-1-RL <sup>1</sup>	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
EVAL-AD7656-1CBZ <sup>1,2</sup>		Evaluation Board	
EVAL-AD7657-1CBZ <sup>1,2</sup>		Evaluation Board	
EVAL-AD7658-1CBZ <sup>1,2</sup>		Evaluation Board	
EVAL-CONTROL BRD2 <sup>3</sup>		Controller Board	

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> これは単独の評価ボードとして、または評価/デモ目的の EVAL-CONTROL ボードと組み合わせて、使用することができます。

<sup>3</sup> 本ボードを使うと、PC からの制御と CB サフィックスが付くすべてのアナログ・デバイスの評価ボードとの通信が可能です。評価キット全体を注文するときは、特定の ADC 評価ボード (例えば EVAL-AD7656-1/AD7657-1/AD7658-1CB), EVAL-CONTROL BRD2、12 V トランスも注文する必要があります。詳細については、関連評価ボードのテクニカル・ノートをご覧ください。