

AD7705/AD7706*

特長

- AD7705 : 差動入力2チャンネルADCを内蔵
- AD7706 : 疑似差動入力3チャンネルADCを内蔵
- 16ビットでミス・コード(コード落ち)なし
- 0.003%の非直線性
- 前段のゲイン調整が可能
- 1 ~ 128ゲインが選択可能
- 3線式シリアル・インターフェース
- SPI™、QSPI™、MICROWIRE™、DSPに対して互換性あり
- SCLKにシュミット・トリガ入力内蔵
- アナログ入力に対するバッファ機能
- 2.7 V ~ 3.3 V動作または4.75 V ~ 5.25 V動作
- 消費電力 : 最大1 mW @ 3 V
- スタンバイ電流 : 最大8 μA
- パッケージ : 16ピンDIP、16ピンSOIC、16ピンTSSOP

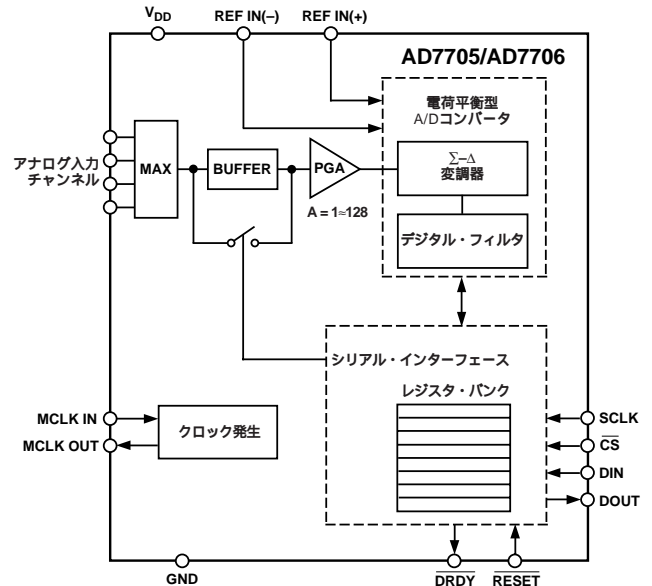
概要

AD7705/AD7706は、低周波計測アプリケーション向けのアナログ・フロント・エンドとして機能します。2チャンネルまたは3チャンネルを内蔵するこれらのデバイスは、低レベルの入力信号をトランスジューサから直接入力して、シリアル・デジタル信号を出力します。変換技術を使用して最大16ビットのコード落ちのない性能を実現しています。選択された入力信号は、ゲイン調整可能な当社独自のフロント・エンド増幅器に入力されます。このフロント・エンド増幅器はアナログ変調器に接続されています。このアナログ変調器の出力は、オンチップ・デジタル・フィルタにより処理されます。このデジタル・フィルタの最初のノッチ周波数はオンチップ・コントロール・レジスタにより調整可能で、フィルタのカットオフ周波数と出力の更新レートを調整することができます。

AD7705/AD7706は、2.7 V ~ 3.3 Vまたは4.75 V ~ 5.25 Vの単電源で動作します。AD7705は2つの差動アナログ入力チャンネルを内蔵し、AD7706は3つの疑似差動入力チャンネルを内蔵しています。両デバイスとも差動リファレンス入力を持っています。両デバイスは、 V_{DD} が5 Vでリファレンス電圧が2.5 Vのとき、0 mV ~ +20 mVから0 V ~ +2.5 Vの入力信号範囲を持ちます。また、両デバイスはバイポーラ入力信号範囲 ± 20 mV ~ ± 2.5 Vも処理することができます。これらの信号は、AD7705ではAIN(-)入力を、AD7706ではCOMMON入力をそれぞれ基準とします。AD7705/AD7706は3 V電源で1.225 Vリファレンスの場合、0 mV ~ +10 mVから0 V ~ +1.225 Vのユニポーラ入力信号範囲を処理することができます。バイポーラ信号の場合は入力範囲 ± 10 mV ~ ± 1.225 Vが処理可能です。したがって、AD7705/AD7706は、2または3チャンネルに対して必要な全ての信号条件処理と変換を行います。

AD7705/AD7706は、インテリジェントなマイクロコントローラ・システムまたはDSPベース・システムでの使用に最適です。両デバイスは3線式動作として設定可能なシリアル・インターフェースを内蔵しています。ゲインの設定、信号極性の設定、更新レートの選択は、入力シリアル・ポートを使用してソフトウェアから行うこと

機能ブロック図



ができます。セルフ・キャリブレーション・オプションとシステム・キャリブレーション・オプションを内蔵しており、この機能を使うとデバイス自体またはシステムのゲイン・エラーとオフセット・エラーを無くすることができます。CMOS構造により、消費電力が極めて小さく抑えられており、パワーダウンモードではスタンバイ消費電力が20 mW(typ)に削減されます。製品は0.3インチ幅の16ピン・プラスチックDIP、ワイド・ボディ(0.3インチ)の16ピンSOIC、薄型の16ピンTSSOPの各パッケージで供給しています。

製品のハイライト

1. AD7705/AD7706の消費電力は3 V電源で1 MHzのマスタ・クロックの場合に1 mW以下であり、低消費電力システムでの応用に最適です。スタンバイ電流は8 μA以下です。
2. ゲイン設定入力を使用すると、AD7705/AD7706は入力信号をストレイン・ゲージやトランスジューサから直接入力することが可能になり、信号条件処理回路を大幅に削減することができます。
3. 3線式シリアル・インターフェースを使用すると、接続線の本数を削減することができ、さらにアイソレーション・システム内の光結合素子数を削減することができるため、AD7705/AD7706はマイクロコントローラ・アプリケーションやDSPプロセッサ・アプリケーションに最適です。
4. 16ビットでコード落ちの無い、精度 $\pm 0.003\%$ で低rmsノイズ (<600 nV)の優れたスタティック性能仕様を持っています。ゼロ・スケール・エラーとフル・スケール・エラーを除去するオンチップ・キャリブレーション・オプションを使用すると、最終エラーと温度ドリフトの影響を無くすることができます。

*米国特許番号5,134,401により保護されています。
SPIとQSPIはMotorola社の商標です。
MICROWIREはNational Semiconductor社の商標です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

パラメータ	Bバージョン ¹	単位	条件 / コメント
スタティック性能 コード落ち無し 出力ノイズ 総合非直線性 ² ユニポーラ・オフセット・エラー ユニポーラ・オフセット・ドリフト ⁴ バイポーラ・ゼロ・エラー バイポーラ・ゼロ・ドリフト ⁴ 正のフル・スケール・エラー ⁵ フル・スケール・ドリフト ^{4,6} ゲイン・エラー ⁷ ゲイン・ドリフト ^{4,8} 負のバイポーラフル・スケール・エラー ^{2,3} 負のバイポーラフル・スケール・ドリフト ⁴	16 表Iと表IIIを参照 ± 0.003 注3を参照 0.5 注3を参照 0.5 0.1 注3を参照 0.5 注3を参照 0.5 ± 0.003 1 0.6	Bits min % of FSR max $\mu V / typ$ $\mu V / typ$ $\mu V / typ$ $\mu V / typ$ ppm of FSR/ % of FSR typ $\mu V / typ$ $\mu V / typ$	設計上で保証。フィルタ・ノッチ周波数 < 60 Hz フィルタのカットオフと選択されたゲインに依存 フィルタ・ノッチ周波数 < 60 Hz。Typ値 $\pm 0.0003\%$ ゲイン1、2、4の場合 ゲイン8、16、32、64、128の場合 Typ値 $\pm 0.001\%$ ゲイン1~4の場合 ゲイン8~128の場合
アナログ入力/リファレンス入力 コモン・モード除去比(CMR) ² $V_{DD} = 5V$ ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8 ~ 128 $V_{DD} = 3V$ ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8 ~ 128 ノーマル・モード50 Hz除去比 ² ノーマル・モード60 Hz除去比 ² コモン・モード50 Hz除去比 ² コモン・モード60 Hz除去比 ² 絶対/コモン・モードREF IN電圧 ² 絶対/コモン・モードAIN電圧 ^{2,9} 絶対/コモン・モードAIN電圧 ^{2,9} AIN DC入力電流 ² AINサンプリング容量 ² AIN差動電圧範囲 ¹⁰ AIN入力サンプリング・レート、 f_s リファレンス入力範囲 REF IN(+)-REF IN(-)電圧 REF IN(+)-REF IN(-)電圧 REF IN入力サンプリング・レート、 f_s	96 105 110 130 105 110 120 130 98 98 150 150 GND to V_{DD} GND - 30 mV $V_{DD} + 30\ mV$ GND + 50 mV $V_{DD} - 1.5\ V$ 1 10 0 to $+V_{REF}/GAIN$ ¹¹ $\pm V_{REF}/GAIN$ GAIN $\times f_{CLKIN}/64$ $f_{CLKIN}/8$ 1/1.75 1/3.5 $f_{CLKIN}/64$	dB typ dB typ dB typ dB typ dB typ dB typ dB typ dB typ dB typ dB typ dB typ V min to V max V min M max V min V max nA max pF max nom nom	特に指定がない限りAINとREF INに対する仕様 フィルタ・ノッチ周波数25 Hz、50 Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 フィルタ・ノッチ周波数20 Hz、60 Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 フィルタ・ノッチ周波数25 Hz、50 Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 フィルタ・ノッチ周波数20 Hz、60 Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 セットアップ・レジスタのBUFビット = 0 セットアップ・レジスタのBUFビット = 1 ユニポーラ入力範囲(セットアップ・レジスタのB/Uビット = 1) バイポーラ入力範囲(セットアップ・レジスタのB/Uビット = 0) ゲイン1 ~ 4の場合 ゲイン8 ~ 128の場合 規定性能の場合は $V_{DD} = 2.7V \sim 3.3V$ 、 $V_{REF} = 1.225 \pm 1\%$ 規定性能の場合は $V_{DD} = 4.75V \sim 5.25V$ 、 $V_{REF} = 2.5 \pm 1\%$
ロジック入力 入力電流 MCLK IN以外の全入力 SCLKとMCLK INを除く全入力 V_{INL} 、入力Low電圧 V_{INH} 、入力High電圧 SCLK(シュミット・トリガ入力) V_{T+} V_{T-} $V_{T+} - V_{T-}$ SCLK(シュミット・トリガ入力) V_{T+} V_{T-} $V_{T+} - V_{T-}$ MCLK IN V_{INL} 、入力Low電圧 V_{INH} 、入力High電圧 MCLK IN V_{INL} 、入力Low電圧 V_{INH} 、入力High電圧	± 1 ± 10 0.8 0.4 2.0 1.4/3 0.8/1.4 0.4/0.8 1/2.5 0.4/1.1 0.375/0.8 0.8 3.5 0.4 2.5	$\mu A\ max$ $\mu A\ max$ V max V max V min V min/V max V min/V max V min/V max V min/V max V min/V max V min/V max V max V min V max V min	Typ値 $\pm 20\ nA$ Typ値 $\pm 2\ \mu A$ $V_{DD} = 5V$ $V_{DD} = 3V$ $V_{DD} = 3V$ および $5V$ $V_{DD} = 5V$ 公称値 $V_{DD} = 3V$ 公称値 $V_{DD} = 5V$ 公称値 $V_{DD} = 3V$ 公称値

AD7705/AD7706

パラメータ	Bバージョン ¹	単位	条件 / コメント
ロジック出力 (MCLK OUTを含む) V _{OL} 出力Low電圧 V _{OL} 出力Low電圧 V _{OH} 出力High電圧 V _{OH} 出力High電圧 フローティング状態リーク電流 フローティング状態出力容量 ¹³ データ出力コーディング	0.4 0.4 4 V _{DD} - 0.6 ± 10 9 バイナリ オフセット・バイナリ	V max V max V min V min μ A max pF typ	I _{SINK} = 800 μ A、ただしMCLK OUT ¹² を除く、V _{DD} = 5 V I _{SINK} = 100 μ A、ただしMCLK OUT ¹² を除く、V _{DD} = 3 V I _{SOURCE} = 200 μ A、ただしMCLK OUT ¹² を除く、V _{DD} = 5 V I _{SOURCE} = 100 μ A、ただしMCLK OUT ¹² を除く、V _{DD} = 3 V ユニポーラ・モード バイポーラ・モード
システム・キャリブレーション 正のフル・スケール・キャリブレーション規定値 ¹⁴ 負のフル・スケール・キャリブレーション規定値 ¹⁴ オフセット・キャリブレーション規定値 ¹⁴ 入力スパン ¹⁵	(1.05 × V _{REF})/GAIN - (1.05 × V _{REF})/GAIN - (1.05 × V _{REF})/GAIN (0.8 × V _{REF})/GAIN (2.1 × V _{REF})/GAIN	V max V max V max V min V max	GAINは選択されたPGAゲイン(1 ~ 128) GAINは選択されたPGAゲイン(1 ~ 128) GAINは選択されたPGAゲイン(1 ~ 128) GAINは選択されたPGAゲイン(1 ~ 128) GAINは選択されたPGAゲイン(1 ~ 128)
電源条件 V _{DD} 電圧 電源電流 ¹⁶ V _{DD} 電圧 電源電流 ¹⁶ スタンバイ (パワーダウン) 電流 ¹⁷ 電源除去比 ¹⁸	+ 2.7 ~ + 3.3 0.32 0.6 0.4 0.6 0.7 1.1 + 4.75 ~ + 5.25 0.45 0.7 0.6 0.85 0.9 1.3 16 8 注 ¹⁹ 参照	V min to V max mA max mA max mA max mA max mA max mA max V min to V max CLK DIS = 1 mA max mA max mA max mA max mA max mA max μ A max μ A max dB typ	規定性能の場合 デジタルI/P = 0 VまたはV _{DD} 。外部MCLK INと CLK DIS = 1 BUFビット = 0、f _{CLKIN} = 1 MHz、ゲイン1 ~ 128 BUFビット = 1、f _{CLKIN} = 1 MHz、ゲイン1 ~ 128 BUFビット = 0、f _{CLKIN} = 2.4576 MHz、ゲイン1 ~ 4 BUFビット = 1、f _{CLKIN} = 2.4576 MHz、ゲイン8 ~ 128 BUFビット = 0、f _{CLKIN} = 2.4576 MHz、ゲイン1 ~ 4 BUFビット = 1、f _{CLKIN} = 2.4576 MHz、ゲイン8 ~ 128 規定性能の場合 デジタルI/P = 0 VまたはV _{DD} 。外部MCLK INと デジタルI/P = 0 VまたはV _{DD} 。V _{DD} = 5 V。図9参照 外部MCLK IN = 0 VまたはV _{DD} 。V _{DD} = 3 V BUFビット = 0、f _{CLKIN} = 1 MHz、ゲイン1 ~ 128 BUFビット = 1、f _{CLKIN} = 1 MHz、ゲイン1 ~ 128 BUFビット = 0、f _{CLKIN} = 2.4576 MHz、ゲイン1 ~ 4 BUFビット = 1、f _{CLKIN} = 2.4576 MHz、ゲイン8 ~ 128 BUFビット = 0、f _{CLKIN} = 2.4576 MHz、ゲイン1 ~ 4 BUFビット = 1、f _{CLKIN} = 2.4576 MHz、ゲイン8 ~ 128 外部MCLK IN = 0 VまたはV _{DD} 。V _{DD} = 5 V。図9参照 外部MCLK IN = 0 VまたはV _{DD} 。V _{DD} = 3 V

注

- 温度範囲: Bバージョンは - 40 ~ + 85。
- これらの数値は、初期量産リリースでのキャラクタライゼーションまたは設計時に制定。
- 実質的には、キャリブレーションはこれらのエラーが表I-表IVに示す変換ノイズのオーダに収まるようにする1つの変換です。この変換は、注目温度でのキャリブレーションの後に適用されます。
- 任意温度での再キャリブレーションによりこれらのドリフト・エラーが除去されます。
- 正のフル・スケール・エラーにはゼロ・スケール・エラー(ユニポーラ・オフセット・エラーまたはバイポーラ・ゼロ・エラー)が含まれ、ユニポーラとバイポーラの両入力範囲に適用されます。
- フル・スケール・ドリフトにはゼロ・スケール・ドリフト(ユニポーラ・オフセット・ドリフトまたはバイポーラ・ゼロ・ドリフト)が含まれ、ユニポーラとバイポーラの両入力範囲に適用されます。
- ゲイン・エラーにはゼロ・スケール・エラーは含まれません。ゲイン・エラーは、ユニポーラ範囲に対してはフル・スケール・エラーからユニポーラ・オフセット・エラーを減算して、バイポーラ範囲に対してはフル・スケール・エラーからバイポーラ・ゼロ・エラーを減算して、それぞれ計算されます。
- ゲイン・エラー・ドリフトにはユニポーラ・オフセット・ドリフト/バイポーラ・ゼロ・ドリフトは含まれません。ゼロ・スケール・キャリブレーションのみが実行される場合、ゲイン・エラー・ドリフトは実質的にデバイスのドリフトになります。
- アナログ入力の入力電圧がV_{DD} + 30 mVより正側にならないか、またはGND - 30 mVより負側にならない場合に限り、このコモン・モード電圧範囲が許容されます。電圧がGND - 200 mVを下回ってもデバイスは機能しますが、高温でリーク電流が増えます。
- AIN(+)のアナログ入力電圧範囲は、AD7705の場合はAIN(-)の電圧を基準として、AD7706の場合はCOMMON入力を基準としてそれぞれ定められています。規定性能を得る場合は、アナログ入力上の絶対電圧を、V_{DD} + 30 mVより正側にするまたはGND - 30 mVより負側にはできません。GND - 200 mVの入力電圧も許容できますが、高温でリーク電流が増えます。
- V_{REF} = REF IN(+) - REF IN(-)
- MCLK OUTの負荷が1CMOS負荷の場合にのみ、これらのロジック出力レベルをMCLK OUTに適用することができます。
- 適合性を保証するため、+ 25 °Cでサンプル・テストを実施。
- キャリブレーション済み。アナログ入力为正のフル・スケールを超える場合は、コンバータは全ビット1を出力します。アナログ入力が負のフル・スケールを下回る場合は、デバイスは全ビット0を出力します。
- これらのキャリブレーション規定値とスパン規定値は、アナログ入力電圧がV_{DD} + 30 mVを超えない場合、またはGND - 30 mVを下回らない場合に適用されます。オフセット・キャリブレーション規定値は、ユニポーラ・ゼロ・ポイントとバイポーラ・ゼロ・ポイントの両方に適用されます。
- デバイスに対するクロック・ソースとして水晶共振子またはセラミック共振子をMCLKピンに接続する場合、V_{DD}電流と消費電力は水晶共振子またはセラミック共振子のタイプに依存して変化します(クロックと発振回路の節を参照)。
- 外部マスタ・クロックがスタンバイ・モードで動作を継続する場合、スタンバイ電流は5 Vで150 μ A (typ)まで、3 Vで75 μ A (typ)までそれぞれ増加します。デバイスに対するクロック・ソースとして水晶共振子またはセラミック共振子をMCLKピンに接続する場合、内部発振器はスタンバイ・モードで動作を継続するため、消費電力は共振子のタイプに依存して変化します(スタンバイ・モードの節を参照)。
- DCで測定、選択した通過帯域内で適用。フィルタ・ノッチ周波数が25 Hzまたは50 Hzの場合は、50 HzでのPSRRは120 dBを超えます。フィルタ・ノッチ周波数が20 Hzまたは60 Hzの場合は、60 HzでのPSRRは120 dBを超えます。
- PSRRはゲインとV_{DD}の両方に依存します。

ゲイン	1	2	4	8 ~ 128
V _{DD} = 3 V	86	78	85	93
V _{DD} = 5 V	90	78	84	91

仕様は予告無く変更されることがあります。

AD7705/AD7706

タイミング特性^{1, 2}(特に指定のない限り、 $V_{DD} = +2.7V \sim +5.25V$; $GND = 0V$; $f_{CLKIN} = 2.4576\text{ MHz}$; 入力ロジック0 = 0V、ロジック1 = V_{DD})

パラメータ	T_{MIN} 、 T_{MAX} における限界(Bバージョン)	単位	条件/コメント
$f_{CLKIN}^{3,4}$	400 2.5	kHz min MHz max	マスタ・クロック周波数: 水晶発振器または外部からの入力規定性能による
$t_{CLKIN LO}$	$0.4 \times t_{CLKIN}$	ns min	マスタ・クロック入力Low時間。 $t_{CLKIN} = 1/f_{CLKIN}$
$t_{CLKIN HI}$	$0.4 \times t_{CLKIN}$	ns min	マスタ・クロック入力High時間
t_1	$500 \times t_{CLKIN}$	ns nom	DRDY High時間
t_2	100	ns min	RESETパルス幅
読み出し動作			
t_3	0	ns min	DRDYからCSまでのセットアップ時間
t_4	120	ns min	CS立ち下がりエッジからSCLK立ち上がりエッジまでのセットアップ時間
t_5^5	0 80 100	ns min ns max ns max	SCLK立ち下がりエッジからData Validまでの遅延 $V_{DD} = +5V$ $V_{DD} = +3.0V$
t_6	100	ns min	SCLK Highパルス幅
t_7	100	ns min	SCLK Lowパルス幅
t_8	0	ns min	SCLK立ち上がりエッジからCS立ち上がりエッジまでのホールド時間
t_9^6	10 60 100	ns min ns max ns max	SCLK立ち上がりエッジ後のバス放棄時間 $V_{DD} = +5V$ $V_{DD} = +3.0V$
t_{10}	100	ns max	SCLK立ち下がりエッジからDRDYがHighになるまで ⁷
書き込み動作			
t_{11}	120	ns min	CS立ち下がりエッジからSCLK立ち上がりエッジまでのセットアップ時間
t_{12}	30	ns min	SCLK立ち上がりエッジからData Validまでのセットアップ時間
t_{13}	20	ns min	SCLK立ち上がりエッジからData Validまでのホールド時間
t_{14}	100	ns min	SCLK Highパルス幅
t_{15}	100	ns min	SCLK Lowパルス幅
t_{16}	0	ns min	SCLK立ち上がりエッジからCS立ち上がりエッジまでのホールド時間

注

- 適合性を保証するため、+25 でサンプル・テストを実施。全入力信号は $t_r = t_f = 5\text{ ns}$ (V_{DD} の10%から90%まで)で規定し、1.6Vの電圧レベルで時間を規定。
- 図16と図17を参照。
- f_{CLKIN} デューティ・サイクル範囲は45% ~ 55%。AD7705/AD7706がスタンバイ・モードにない場合には、 f_{CLKIN} を入力する必要があります。この場合クロックがないと、デバイスには規定値より大きな電流が流れ、キャリブレートされない可能性があります。
- AD7705/AD7706は2.4576 MHzの f_{CLKIN} を使用して製造テストされます(I_{DD} テストによっては1 MHzを使用)。400 kHzでの動作は特性上保証。
- これらの値は図1の負荷回路を使用して測定し、出力が V_{OL} または V_{OH} の規定値を通過するために要する時間として定義されます。
- これらの値は図1の負荷回路を使用してデータ出力が0.5V変化する際に測定された時間から導いています。50 pFのキャパシタの充電または放電の影響を除くため、これらの測定値はその後外挿して補正されています。これは、タイミング特性として使用されている時間がデバイスの真のバス放棄時間であり、外部バス負荷容量に無関係であることを意味します。
- 出力更新後の、デバイスからの最初の読み出し後にDRDYはHighに戻ります。必要に応じて、DRDYがHighの間に同じデータを再度読み出すことができます。ただし、次の出力更新の近くでその読み出しが発生しないように注意する必要があります。

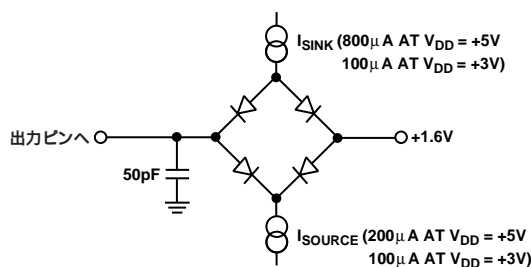


図1. アクセス時間とバス放棄時間の測定に対する負荷回路

AD7705/AD7706

絶対最大定格*

(特に指定のない限り、 $T_A = +25$)

V_{DD} ~ GND間電圧	- 0.3 V ~ +7 V
アナログ入力 ~ GND間電圧	- 0.3 V ~ $V_{DD} + 0.3$ V
リファレンス入力 ~ GND間電圧	- 0.3 V ~ $V_{DD} + 0.3$ V
デジタル入力 ~ GND間電圧	- 0.3 V ~ $V_{DD} + 0.3$ V
デジタル出力 ~ GND間電圧	- 0.3 V ~ $V_{DD} + 0.3$ V
動作温度範囲	
コマーシャル品(Bバージョン)	- 40 ~ +85
保存温度範囲	- 65 ~ +150
接合温度	+150
プラスチックDIPパッケージ、消費電力	450 mW
θ_{JA} 熱抵抗	105 /W
端子温度、(ハンダ処理、10 sec)	+260

SOICパッケージ、消費電力 450 mW

θ_{JA} 熱インピーダンス 75 /W

端子温度、ハンダ処理

 蒸着(60 sec) +215

 赤外線(15 sec) +220

SSOPパッケージ、消費電力 450 mW

θ_{JA} 熱インピーダンス 139 /W

端子温度、ハンダ処理

 蒸着(60 sec) +215

 赤外線(15 sec) +220

ESD定格 > 4000 V

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作特性項目に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

オーダー・ガイド

モデル	V_{DD} 電源	温度範囲	パッケージ	パッケージ・オプション
AD7705BN	2.7V ~ 5.25V	- 40 ~ +85	プラスチックDIP	N - 16
AD7705BR	2.7V ~ 5.25V	- 40 ~ +85	SOIC	R - 16
AD7705BRU	2.7V ~ 5.25V	- 40 ~ +85	TSSOP	RU - 16
EVAL-AD7705EB		評価ボード		
AD7706BN	2.7V ~ 5.25V	- 40 ~ +85	プラスチックDIP	N - 16
AD7706BR	2.7V ~ 5.25V	- 40 ~ +85	SOIC	R - 16
AD7706BRU	2.7V ~ 5.25V	- 40 ~ +85	TSSOP	RU - 16
EVAL-AD7706EB		評価ボード		

AD7705/AD7706

ピン配置



ピン機能の説明

ピン番号	名称	機能
1	SCLK	シリアル・クロック。シュミット・トリガ・ロジック入力。AD7705/AD7706のシリアル・データをアクセスするための外部シリアル・クロックをここに入力します。このシリアル・クロックは、全データが連続するパルス列として転送される連続クロックとすることができます。代わりに、データの小さい固まりとしてAD7705/AD7706に対して情報が転送される不連続クロックを使用することもできます。
2	MCLK IN	デバイスのマスタ・クロック信号。水晶共振子または外部クロックから供給することができます。水晶共振子はMCLK INピンとMCLK OUTピンに接続することができます。代わりに、MCLK INピンをCMOS互換クロックで駆動して、MCLK OUTを未接続にしておくこともできます。デバイスは、500 kHz ~ 5 MHzのクロック周波数範囲で動作することができます。
3	MCLK OUT	デバイスのマスタ・クロックとして水晶共振子を使用する場合は、水晶共振子をMCLK INとMCLK OUTに接続します。外部クロックをMCLK INに接続する場合は、MCLK OUTから反転クロック信号が得られます。このクロックは外部回路に対するクロック・ソースとして使用可能で、1CMOS負荷を駆動することができます。このMCLK OUTが不要な場合には、クロック・レジスタ内のCLK DISビットを使ってMCLK OUTをターンオフしておくことができます。こうすることにより、MCLK OUT上の容量負荷を駆動する不要な消費電力を確実に減らすことができます。
4	$\overline{\text{CS}}$	チップ・セレクト。AD7705/AD7706を選択するために使用するアクティブLowのロジック入力。この入力をLowにハードワイヤ接続すると、AD7705/AD7706はこのデバイスとのインターフェースで使用するSCLK、DIN、DOUTを持つ3線式インターフェース・モードで動作することができます。 $\overline{\text{CS}}$ は、シリアル・バス上に複数のデバイスが存在するシステム内でデバイスを選択するときを使用することができます。また、AD7705/AD7706との通信でフレーム同期信号として使用することもできます。
5	RESET	ロジック入力。制御回路、インターフェース回路、キャリブレーション係数、デジタル・フィルタ、アナログ変調器をパワーオン状態にリセットするアクティブLow入力。
6	AIN2(+) [AIN1]	AD7705 : 差動アナログ入力チャンネル2の正入力。AD7706 : アナログ入力チャンネル1。
7	AIN1(+) [AIN2]	AD7705 : 差動アナログ入力チャンネル1の正入力。AD7706 : アナログ入力チャンネル2。
8	AIN1(-) [COMMON]	AD7705 : 差動アナログ入力チャンネル1の負入力。AD7706 : COMMON入力。チャンネル1、チャンネル2、チャンネル3へのアナログ入力はこの入力を基準とします。
9	REF IN(+)	リファレンス入力。AD7705/AD7706に対する差動リファレンス入力の正入力。リファレンス差動入力では、REF IN(+)は常にREF IN(-)より高い電圧を持つ必要があります。REF IN(+)はV _{DD} ~ GNDの間の値をとることができます。

ピン機能の説明

ピン番号	名称	機能
10	REF IN(-)	リファレンス入力。AD7705/AD7706に対する差動リファレンス入力の負入力。REF IN(+)がREF IN(-)より高い電圧であれば、REF IN(-)には $V_{DD} \sim GND$ 内の任意の電圧を入力することができます。
11	AIN2(-) [AIN3]	AD7705：差動アナログ入力チャンネル2の負入力。AD7706：アナログ入力チャンネル3。
12	DRDY	ロジック出力。AD7705/AD7706のデータ・レジスタから新しい出力ワードが読み出し可能となると、この出力にロジックLowが出力されます。出力ワードの読み出し動作が完了すると、DRDYピンはHighに戻ります。出力の更新後にデータ読み出しが行われなかった場合には、DRDYラインは $500 \times t_{CLK IN}$ サイクル間Highを維持した後に次の出力を更新します。DRDYがHighのときは、データ・レジスタの更新中に読み出しを行わないようにするために、読み出し動作は実行できません。更新が行われると、DRDYラインはLowに戻ります。AD7705/AD7706内のオンチップ・キャリブレーション・シーケンスの完了を表示するときにも、DRDYを使用します。
13	DOUT	デバイスの出力シフト・レジスタからシリアル・データを読み出す際のシリアル・データ出力。この出力シフト・レジスタには、コミュニケーション・レジスタ内のレジスタ選択ビットの指定に応じて、セットアップ・レジスタ、コミュニケーション・レジスタ、クロック・レジスタまたはデータ・レジスタの情報が格納されます。
14	DIN	デバイスの入力シフト・レジスタにシリアル・データを書き込む際のシリアル・データ入力。この入力シフト・レジスタのデータは、コミュニケーション・レジスタのレジスタ選択ビットの指定に応じて、セットアップ・レジスタ、クロック・レジスタまたはコミュニケーション・レジスタに転送されます。
15	V_{DD}	電源電圧。+2.7 V ~ +5.25 Vで動作。
16	GND	AD7705/AD7706の内部回路に対するグランド基準電圧。

出力ノイズ(5 V動作)

表IIに、デバイスのノッチ周波数と-3 dB周波数に対するAD7705/AD7706の出力rmsノイズを示します。ノッチ周波数と-3 dB周波数は、クロック・レジスタ内のFS0とFS1により選択することができます。 V_{REF} が+2.5 Vで $V_{DD}=5 V$ の場合のバイポーラ入力範囲について値を示してあります。これらの値は、バッファ・モードまたは非バッファ・モードで使用されるデバイスを使って、アナログ入力電圧を0 Vとして得られたtyp値です。表IIには、デバイスの選択可能なノッチ周波数と-3 dB周波数に対するピーク・ツー・ピークの出力ノイズを示します。これらの値は、コード・フリッカの無い分解能を示していることに注意してください。これらの値はrmsノイズではなく、ピーク・ツー・ピーク・ノイズに基づいて計算されています。ここに示す値は、バッファ・モードまたは非バッファ・モードで $V_{REF}=+2.5 V$ とするバイポーラ入力範囲についてのものです。値はtyp値で、まるめ処理を行い最寄りのLSBを採用しています。値はクロック・レジスタのCLK DIVビットが0に設定されときに該当します。

表I．出力RMSノイズとゲインおよび出力更新レートとの関係(5 V動作)

フィルタの最初のノッチと出力更新レート	- 3 dB周波数	出力RMSノイズ(Typ値) μV							
		ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
MCLK IN = 2.4576 MHz									
50 Hz	13.1 Hz	4.1	2.1	1.2	0.75	0.7	0.66	0.63	0.6
60 Hz	15.72 Hz	5.1	2.5	1.4	0.8	0.75	0.7	0.67	0.62
250 Hz	65.5 Hz	110	49	31	17	8	3.6	2.3	1.7
500 Hz	131 Hz	550	285	145	70	41	22	9.1	4.7
MCLK IN = 1 MHz									
20 Hz	5.24 Hz	4.1	2.1	1.2	0.75	0.7	0.66	0.63	0.6
25 Hz	6.55 Hz	5.1	2.5	1.4	0.8	0.75	0.7	0.67	0.62
100 Hz	26.2 Hz	110	49	31	17	8	3.6	2.3	1.7
200 Hz	52.4 Hz	550	285	145	70	41	22	9.1	4.7

AD7705/AD7706

表II. ピーク・ツー・ピーク分解能とゲインおよび出力更新レートとの関係(5V動作)

フィルタの最初のノッチと出力更新レート	- 3 dB周波数	ピーク・ツー・ピーク分解能(Typ値) ビット数							
		ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
MCLK IN = 2.4576 MHz									
50 Hz	13.1 Hz	16	16	16	16	16	16	15	14
60 Hz	15.72 Hz	16	16	16	16	15	14	14	13
250 Hz	65.5 Hz	13	13	13	13	13	13	12	12
500 Hz	131 Hz	10	10	10	10	10	10	10	10
MCLK IN = 1 MHz									
20 Hz	5.24 Hz	16	16	16	16	16	16	15	14
25 Hz	6.55 Hz	16	16	16	16	15	14	14	13
100 Hz	26.2 Hz	13	13	13	13	13	13	12	12
200 Hz	52.4 Hz	10	10	10	10	10	10	10	10

出力ノイズ(3V動作)

表IIIに、デバイスのノッチ周波数と - 3 dB周波数に対するAD7705/AD7706の出力rms ノイズを示します。ノッチ周波数と - 3 dB周波数は、クロック・レジスタ内のFS0とFS1により選択することができます。VREFが+1.225 VでVDD = 3 Vの場合のバイポーラ入力範囲について値を示してあります。これらの値は、バッファ・モードまたは非バッファ・モードで使用されるデバイスを使って、アナログ入力電圧を0 Vとして得られたtyp値です。表IVには、デバイスの選択可能なノッチ周波数と - 3 dB周波数に対するピーク・ツー・ピークの出力ノイズを示します。これらの値は、コード・フリッカの無い分解能を示していることに注意してください。これらの値はrmsノイズではなく、ピーク・ツー・ピーク・ノイズに基づいて計算されています。ここに示す値は、バッファ・モードまたは非バッファ・モードでVREF = +1.225 Vとするバイポーラ入力範囲についてのものです。値はtyp値で、まるめ処理を行い最寄りのLSBを採用しています。値はクロック・レジスタのCLK DIV ビットが0に設定されるときに該当します。

表III. 出力RMSノイズとゲインおよび出力更新レートとの関係(3V動作)

フィルタの最初のノッチと出力更新レート	- 3 dB周波数	出力RMSノイズ(Typ値) μ V							
		ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
MCLK IN = 2.4576 MHz									
50 Hz	13.1 Hz	3.8	2.4	1.5	1.3	1.1	1.0	0.9	0.9
60 Hz	15.72 Hz	5.1	2.9	1.7	1.5	1.2	1.0	0.9	0.9
250 Hz	65.5 Hz	50	25	14	9.9	5.1	2.6	2.3	2.0
500 Hz	131 Hz	270	135	65	41	22	9.7	5.1	3.3
MCLK IN = 1 MHz									
20 Hz	5.24 Hz	3.8	2.4	1.5	1.3	1.1	1.0	0.9	0.9
25 Hz	6.55 Hz	5.1	2.9	1.7	1.5	1.2	1.0	0.9	0.9
100 Hz	26.2 Hz	50	25	14	9.9	5.1	2.6	2.3	2.0
200 Hz	52.4 Hz	270	135	65	41	22	9.7	5.1	3.3

表IV. ピーク・ツー・ピーク分解能とゲインおよび出力更新レートとの関係(3V動作)

フィルタの最初のノッチと出力更新レート	- 3 dB周波数	ピーク・ツー・ピーク分解能(Typ値) ビット数							
		ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
MCLK IN = 2.4576 MHz									
50 Hz	13.1 Hz	16	16	15	15	14	13	13	12
60 Hz	15.72 Hz	16	16	15	14	14	13	13	12
250 Hz	65.5 Hz	13	13	13	13	12	12	11	11
500 Hz	131 Hz	10	10	10	10	10	10	10	10
MCLK IN = 1 MHz									
20 Hz	5.24 Hz	16	16	15	15	14	13	13	12
25 Hz	6.55 Hz	16	16	15	14	14	13	13	12
100 Hz	26.2 Hz	13	13	13	13	12	12	11	11
200 Hz	52.4 Hz	10	10	10	10	10	10	10	10

性能特性(Typ値) AD7705/AD7706

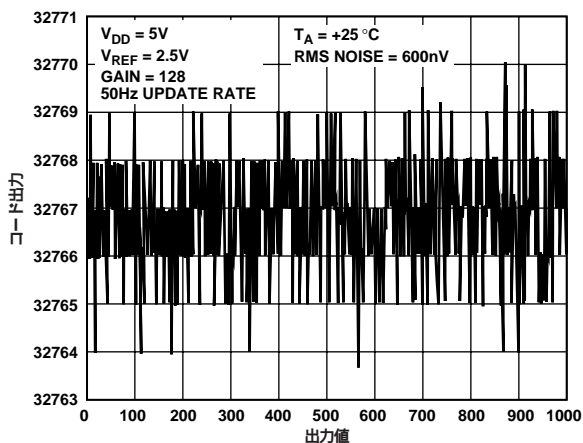


図2. ノイズ・プロット(Typ値)@ゲイン = 128、更新レート50 Hz

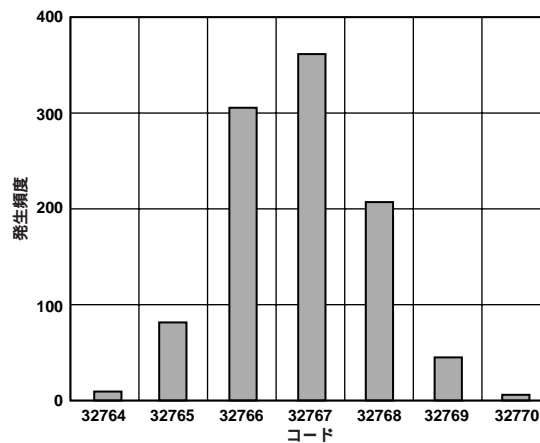


図5. 図2のデータのヒストグラム

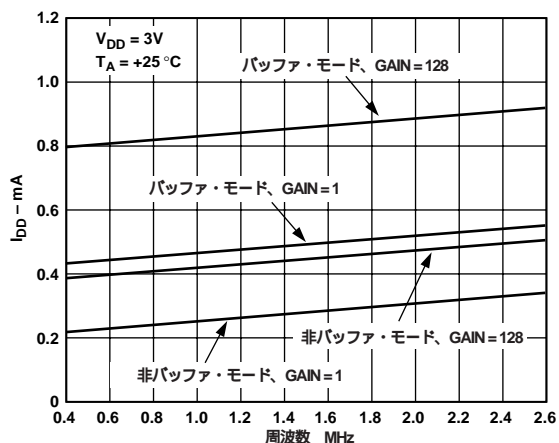


図3. I_{DD} (Typ値) とMCLKIN周波数の関係@ 3V

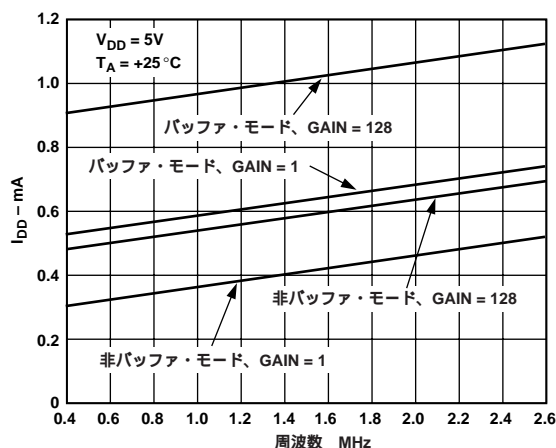


図6. I_{DD} (Typ値) とMCLKIN周波数との関係@ 5V

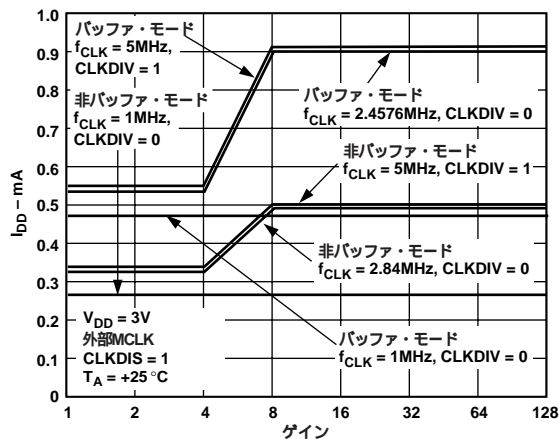


図4. I_{DD} (Typ値) とゲインおよびクロック周波数との関係@ 3V

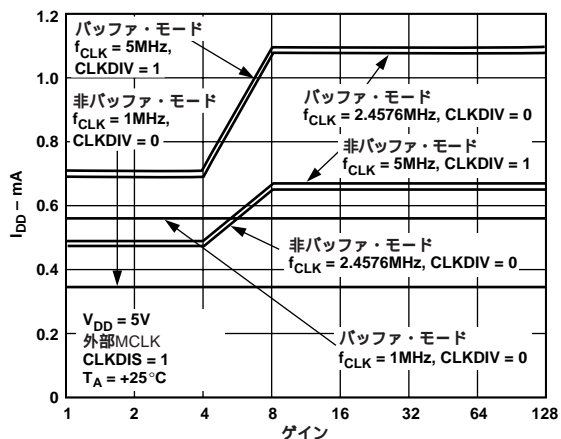


図7. I_{DD} (Typ値) とゲインおよびクロック周波数との関係@ 5V

AD7705/AD7706

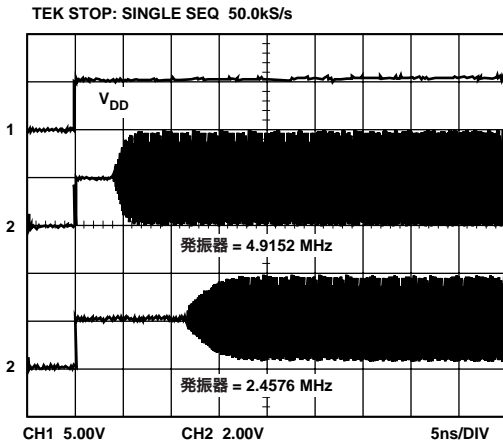


図8. 水晶発振器パワーアップ時間(Typ値)

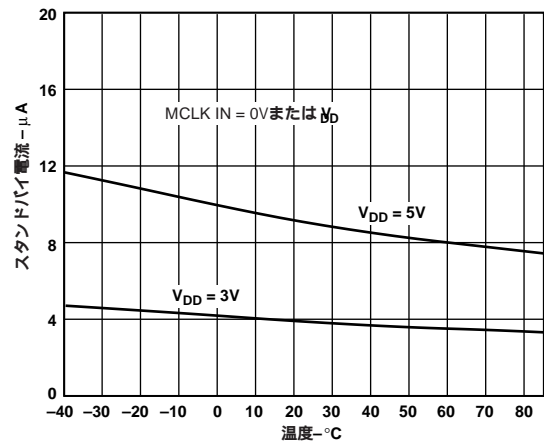


図9. スタンバイ電流と温度の関係

オンチップ・レジスタ

AD7705/AD7706は8個のオンチップ・レジスタを持っており、デバイスのシリアル・ポートを使ってこれらにアクセスすることができます。まず、コミュニケーション・レジスタは、チャンネル選択の制御、次の動作としてのリード/ライト動作の指定、次にリード/ライト対象となるレジスタの指定を行います。このデバイスに対する全ての通信は、コミュニケーション・レジスタに対する書き込み動作から開始する必要があります。パワーオン後またはRESET後、デバイスはコミュニケーション・レジスタに対する書き込みを待ちます。このレジスタに書き込まれるデータにより、次の動作としてのリード/ライト動作と次にリード/ライト対象となるレジスタが指定されます。したがって、他のレジスタに対する書き込みアクセスを行う前に、必ずコミュニケーション・レジスタに対する書き込みを行う必要があります。他のレジスタ(コミュニケーション・レジスタ自体と出力データ・レジスタを含む)に対する読み出しアクセスの前にも、このコミュニケーション・レジスタに対する書き込みが必要です。コミュニケーション・レジスタは、スタンバイ・モードとチャンネルの選択も制御し、コミュニケーション・レジスタを読み出すことによりDRDYステータスも得られます。第2のレジスタはセットアップ・レジスタで、キャリブレーション・モード、ゲインの設定、バイポーラ/ユニポーラ動作、パルファ・モードを指定します。第3のレジスタはクロック・レジスタで、このレジスタにはフィルタ選択ビットとクロック・コントロール・ビットが配置されています。第4のレジスタはデータ・レジスタで、このレジスタからデバイスの出力データを得ます。最後のレジスタ群はキャリブレーション・レジスタ類で、チャンネル・キャリブレーション・データが格納されます。これらのレジスタの詳細については以下の節で説明します。

コミュニケーション・レジスタ(RS2, RS1, RS0 = 0, 0, 0)

コミュニケーション・レジスタは8ビット・レジスタで、このレジスタに対してデータの読み出し書き込みをします。デバイスに対する全ての通信は、このコミュニケーション・レジスタに対する書き込みから開始する必要があります。コミュニケーション・レジスタに書き込まれたデータにより、次の動作としてのリード/ライト動作と次にリード/ライト対象となるレジスタが指定されます。選択されたレジスタに対する後続の読み書き動作が完了すると、インターフェースはコミュニケーション・レジスタに対する書き込みを待つ状態に戻ります。これがインターフェースのデフォルト状態で、パワーアップ時またはRESET後、AD7705/AD7706はこのデフォルト状態になり、コミュニケーション・レジスタに対する書き込みを待ちます。インターフェース・シーケンスが失われている状態で、DINがHighのときに十分長い書き込み動作が発生すると(少なくともシリアル・クロックで32サイクル間継続)、AD7705はこのデフォルト状態に戻ります。表Vに、コミュニケーション・レジスタのビット配置を示します。

表V. コミュニケーション・レジスタ

0/DRDY (0)	RS2 (0)	RS1 (0)	RS0 (0)	R/W (0)	STBY (0)	CH1 (0)	CH0 (0)
0/DRDY	書き込み動作の場合、“0”をこのビットに書き込んで、コミュニケーション・レジスタに対する書き込み動作を実際に発生させる必要があります。このビットに“1”を書き込むと、レジスタ内の後続ビットに対するクロックが発生されません。“0”がこのビットに書き込まれるまで、このビット位置に留まります。このビットに“0”が書き込まれると、次の7ビットがコミュニケーション・レジスタにロードされます。読み出し動作の場合は、このビットはデバイスのDRDYフラグのステータスを表示します。このビットの状態はDRDY出力ピンの状態と一致しています。						
RS2 - RS0	レジスタ選択ビット。この3ビットを使って、次のリード/ライト動作の対象となるレジスタを8個のオンチップ・レジスタ(表VIにレジスタ・サイズと一緒に示します)の中から選択します。選択したレジスタに対するリードまたはライト動作が完了すると、デバイスはコミュニケーション・レジスタに対する書き込み待ちの状態に戻ります。レジスタに対するアクセスを継続する状態に留まることはありません。						

表VI. レジスタの選択

RS2	RS1	RS0	レジスタ	レジスタ・サイズ
0	0	0	コミュニケーション・レジスタ	8ビット
0	0	1	セットアップ・レジスタ	8ビット
0	1	0	クロック・レジスタ	8ビット
0	1	1	データ・レジスタ	16ビット
1	0	0	テスト・レジスタ	8ビット
1	0	1	動作無し	
1	1	0	オフセット・レジスタ	24ビット
1	1	1	ゲイン・レジスタ	24ビット

R/W リード/ライト選択。このビットにより、選択済みレジスタに対する書き込み動作または読み出し動作を指定します。“0”は該当するレジスタに対する書き込みサイクルを、“1”は該当するレジスタに対する読み出しサイクルをそれぞれ指定します。

STBY スタンバイ。このビットに“1”を書き込むと、デバイスはスタンバイすなわちパワーダウン・モードになります。このモードでは、デバイスの消費電流は10 μ Aまで減少されます。STANDBY内でも、デバイスはキャリブレーション係数と制御ワード情報を保持します。このビットに“0”を書き込むと、デバイスは通常の動作モードになります。

CH1 - CH0 チャンネル選択。これらの2ビットを使って、変換対象チャンネルまたはキャリブレーション係数(表VII)をアクセスするチャンネルを選択します。チャンネルに対するキャリブレーションの終了後に、デバイス内にある3組のキャリブレーション・レジスタを使ってキャリブレーション係数を保存します。チャンネル組み合わせと独立したキャリブレーション係数の対応をAD7705については表VIIに、AD7706については表VIIIにそれぞれ示します。CH1 = “1”で、かつCH0 = “0”の場合、AD7705ではAIN1(-)入力が内部で折り返され、AD7706ではCOMMONが内部で折り返されています。この接続を使用して、外部ノイズ・ソースが無い状態でのデバイスのノイズ性能を評価するテストを行うことができます。このモードでは、AIN1(-)/COMMON入力をデバイスの許容コモン・モード範囲内の外部電圧に接続しておく必要があります。

表VII. AD7705でのチャンネル選択

CH1	CH0	AIN(+)	AIN(-)	キャリブレーション・レジスタ対
0	0	AIN1(+)	AIN1(-)	レジスタ対0
0	1	AIN2(+)	AIN2(-)	レジスタ対1
1	0	AIN1(-)	AIN1(-)	レジスタ対0
1	1	AIN1(-)	AIN2(-)	レジスタ対2

表VIII. AD7706でのチャンネル選択

CH1	CH0	AIN	リファレンス	キャリブレーション・レジスタ対
0	0	AIN1	COMMON	レジスタ対0
0	1	AIN2	COMMON	レジスタ対1
1	0	COMMON	COMMON	レジスタ対0
1	1	AIN3	COMMON	レジスタ対2

AD7705/AD7706

セットアップ・レジスタ(RS2, RS1, RS0 = 0, 0, 1), パワーオン/リセット・ステータス : 01 Hex

セットアップ・レジスタは8ビットレジスタで、このレジスタに対してデータを読み書きします。表IXに、セットアップ・レジスタのビット配置を示します。

表IX . セットアップ・レジスタ

MD1 (0)	MD0 (0)	G2 (0)	G1 (0)	G0 (0)	B/U (0)	BUF (0)	FSYNC (1)
MD1	MD0	動作モード					
0	0	ノーマル・モード : これはデバイスの通常の動作モードで、このモードでデバイスは通常の変換を実行します。					
0	1	セルフ・キャリブレーション : コミュニケーション・レジスタ内のCH1とCH0により選択されたチャンネルに対するセルフ・キャリブレーションを起動します。これは1ステップ・キャリブレーション・シーケンスで、完了すると、デバイスはノーマル・モードに戻り、MD1とMD0は共に0に設定されます。キャリブレーションが開始されると、 $\overline{\text{DRDY}}$ 出力またはビットはHighになり、セルフ・キャリブレーションが完了して新しい有効ワードがデータ・レジスタに格納されると、Lowに戻ります。ゼロ・スケール・キャリブレーションは、内部で短絡された入力(ゼロ入力)について選択されたゲインで実行され、フル・スケール・キャリブレーションは、内部で発生された V_{REF} /選択されたゲインについて、選択されたゲインで実行されます。					
1	0	ゼロ・スケール・システム・キャリブレーション : コミュニケーション・レジスタ内のCH1とCH0により選択されたチャンネルに対するゼロ・スケール・システム・キャリブレーションを起動します。キャリブレーションは、このキャリブレーション・シーケンス中にアナログ入力に入力される入力電圧について選択されたゲインで実行されます。この入力電圧は、キャリブレーションの間安定した状態を維持する必要があります。キャリブレーションが開始されると、 $\overline{\text{DRDY}}$ 出力またはビットはHighになり、ゼロ・スケール・キャリブレーションが完了して新しい有効ワードがデータ・レジスタに格納されると、Lowに戻ります。キャリブレーションの終わりで、デバイスはノーマル・モードに戻り、MD1とMD0は共に0に戻ります。					
1	1	フル・スケール・システム・キャリブレーション : 選択された入力チャンネルについてフル・スケール・システム・キャリブレーションを起動します。キャリブレーションは、このキャリブレーション・シーケンス中にアナログ入力に入力される入力電圧について選択されたゲインで実行されます。この入力電圧は、キャリブレーションの間安定した状態を維持する必要があります。この場合も、キャリブレーションが開始されると、 $\overline{\text{DRDY}}$ 出力またはビットはHighになり、フル・スケール・キャリブレーションが完了して新しい有効ワードがデータ・レジスタに格納されると、Lowに戻ります。キャリブレーションの終わりで、デバイスはノーマル・モードに戻り、MD1とMD0は共に0に戻ります。					

G2 - G0 ゲイン選択ビット。これらのビットにより、オンチップPGA(表X)に対するゲイン設定を選択します。

表X . ゲイン設定

G2	G1	G0	ゲイン設定
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

$\overline{\text{B}}/\text{U}$ バイポーラ/ユニポーラ動作。このビットを“0”に設定すると、バイポーラ動作が選択され、“1”を設定すると、ユニポーラ動作が選択されます。

BUF バッファ制御。このビットに“0”を設定すると、アナログ入力のオンチップ・バッファが短絡(バイパス)されます。バッファが短絡されると、 V_{DD} ラインに流れ込む電流が減少します。このビットに“1”を設定すると、オンチップ・バッファがアナログ入力に挿入され、入力は高いソース・インピーダンスに対応できるようになります。

FSYNC フィルタ同期。このビットをHighにすると、デジタル・フィルタのノード、フィルタ制御ロジック、キャリブレーション制御ロジックがリセット状態に維持され、アナログ変調器もリセット状態におかれます。このビットをLowにすると、変調器とフィルタはデータの処理を開始して、 $3 \times 1/(出力更新レート)$ すなわちフィルタの安定時間内に有効ワードが得られます。このFSYNCビットは、デジタル・インターフェースに影響を与えることなく、FSYNCビットがLowの場合は、 $\overline{\text{DRDY}}$ 出力をリセットしません。

クロック・レジスタ(RS2, RS1, RS0 = 0, 1, 0); パワーオン/リセット・ステータス : 05 Hex

クロック・レジスタは8ビット・レジスタで、このレジスタに対してデータを読み書きします。表XIに、クロック・レジスタのビット配置を示します。

表XI . クロック・レジスタ

ZERO (0)	ZERO (0)	ZERO (0)	CLKDIS (0)	CLKDIV (0)	CLK (1)	FS1 (0)	FS0 (1)
ZERO	<p>ゼロ。AD7705/AD7706を正常に動作させるためには、これらのビットに“0”を書き込む必要があります。そうしないと、デバイスで仕様外の動作が発生することがあります。</p>						
CLKDIS	<p>マスタ・クロック・ディスエーブル・ビット。このビットがロジック1の場合は、MCLK OUTピンに対するマスタ・クロックの出力がディスエーブルされます。ディスエーブルされると、MCLK OUTピンは強制的にLowにされます。この機能を使うと、ユーザはMCLK OUTをシステム内の他のデバイスに対するクロック・ソースとして使うか、あるいは省電力のためにMCLK OUTをターンオフすることができます。MCLK INピンの外部マスタ・クロックを使用するときにも、AD7705/AD7706は内部クロックの発生を維持し、CLKDISビットのアクティブ状態で変換を通常通り行います。MCLK INピンとMCLK OUTピンで水晶発振器またはセラミック共振子を使用する場合は、AD7705/AD7706クロックは停止され、CLKDISビットがアクティブの間は変換が行われません。</p>						
CLKDIV	<p>クロック分周ビット。このビットがロジック1の場合は、MCLK INピンに出力されるクロック周波数が2分周された後にAD7705/AD7706内部で使用されます。例えば、このビットが“1”に設定されると、MCLK INピンとMCLK OUTピンに4.9152 MHz水晶を接続し、内部的には規定の2.4576 MHzで動作させることができます。このビットをロジック0にすると、MCLK INピンに出力されるクロック周波数はデバイス内部で使用される周波数に等しくなります。</p>						
CLK	<p>クロック・ビット。このビットはAD7705/AD7706の動作周波数に従って設定する必要があります。デバイスでマスタ・クロック周波数2.4576 MHz(CLKDIV = 0)または4.9152 MHz(CLKDIV = 1)を使用する場合は、このビットを“1”に設定します。デバイスでマスタ・クロック周波数1 MHz(CLKDIV = 0)または2 MHz(CLKDIV = 1)を使用する場合は、このビットを“0”に設定します。このビットにより、与えられた動作周波数に対して該当するスケーリング電流を設定し、FS1とFS0に従ってデバイスの出力更新レートも選択します。デバイスのマスタ・クロック周波数に対してこのビットが正しく設定されない場合には、AD7705/AD7706は仕様外の動作を行うことがあります。</p>						
FS1, FS0	<p>フィルタ選択ビット。CLKビットに従って、FS1とFS0は出力更新レート、フィルタの最初のノッチ周波数、-3 dB周波数を指定します(表XII)。オンチップ・デジタル・フィルタは、sinc^3 (or Sinx/x^3) フィルタ応答を与えます。ゲイン設定と組み合わせて、デバイスの出力ノイズも決定します。フィルタ・ノッチ周波数やゲイン設定を変更すると、分解能に影響を与えます。表I ~ 表IVに、デバイスの出力ノイズと実効分解能に対するフィルタ・ノッチ周波数とゲインの影響を示します。デバイスの出力データ・レート(または実効変換時間)は、フィルタの最初のノッチ周波数に対して選択された周波数に等しくなります。例えば、フィルタの最初のノッチを50 Hzに選択した場合、新しいワードは50 Hzの出力レートすなわち20 ms毎に得られます。最初のノッチを500 Hzに選択した場合、新しいワードは2 ms毎に得られます。これらのビットが変更されると、キャリブレーションを起動する必要があります。</p> <p>フル・スケールのステップ入力に対するフィルタ整定時間はワースト・ケースで$4 \times 1/(\text{出力データ・レート})$です。例えば、フィルタの最初のノッチ周波数が50 Hzの場合、フル・スケール・ステップ入力に対するフィルタ整定時間は最大80 msです。最初のノッチ周波数が500 Hzの場合、整定時間は最大8 msです。ステップ入力変化をデジタル・フィルタのリセットに同期させると、この整定時間を$3 \times 1/(\text{出力データ・レート})$に減少させることができます。言い換えれば、ステップ入力FSYNCビットのHighと同時に発生すると、整定時間は$3 \times 1/(\text{出力データ・レート})$になり、FSYNCビットはこの後にLowに戻ります。</p> <p>- 3 dB周波数は、設定された最初のノッチ周波数により、次の関係に従って決定されます。</p> <p style="text-align: center;">フィルタの - 3 dB周波数 = $0.262 \times$ フィルタの最初のノッチ周波数</p>						

表XII . 出力更新レート

CLK*	FS1	FS0	出力更新レート	- 3 dBフィルタ・カットオフ
0	0	0	20 Hz	5.24 Hz
0	0	1	25 Hz	6.55 Hz
0	1	0	100 Hz	26.2 Hz
0	1	1	200 Hz	52.4 Hz
1	0	0	50 Hz	13.1 Hz
1	0	1	60 Hz	15.7 Hz
1	1	0	250 Hz	65.5 Hz
1	1	1	500 Hz	131 Hz

*MCLK INピンのクロック周波数とCLKDIVビットが正しく設定されている場合。

AD7705/AD7706

データ・レジスタ(RS2, RS1, RS0 = 0, 1, 1)

このデータ・レジスタは16ビットの読み出し専用レジスタで、AD7705/AD7706の最新の変換結果が格納されています。コミュニケーション・レジスタでこのレジスタに対する書き込み動作を設定してしまった場合には、コミュニケーション・レジスタに対する書き込み動作待ちの状態にデバイスを戻すためには、実際に書き込み動作を実行する必要があります。ただし、AD7705/AD7706はこの書き込まれた16ビット・データを無視します。

テスト・レジスタ(RS2, RS1, RS0 = 1, 0, 0)パワーオン/リセット・ステータス : 00 Hex

このテスト・レジスタはデバイスのテストで使用されます。ユーザはこのレジスタ内の全ビットの状態を、全ビット“0”のデフォルト(パワーオンまたはRESET)ステータスから変更しないでください。変更すると、デバイスはテスト・モードになり、正常に動作しません。

ゼロ・スケール・キャリブレーション・レジスタ(RS2, RS1, RS0 = 1, 1, 0)パワーオン/リセット・ステータス : 1F400 Hex

AD7705/AD7706には、各入力チャンネル毎にゼロ・スケール・レジスタが内蔵されています。各レジスタは24ビットのリード/ライト・レジスタで、24ビットのデータ全てを書き込まないと、データはこのレジスタに転送されません。このレジスタは対応するフル・スケール・レジスタと組み合わせて使用し、レジスタ対を構成します。これらのレジスタ対は、入力チャンネル対(表VII)に対応しています。デバイスがデジタル・インターフェースを使用してこれらのレジスタにアクセスできるように設定されている場合、デバイス自体は出力データをスケールするためのレジスタ係数にアクセスできなくなります。このため、キャリブレーション・レジスタに対するアクセス(書き込みまたは読み出し)の後、デバイスから最初に読み出された出力データ内に正しくないデータが含まれる可能性が生じます。さらに、キャリブレーション中は、キャリブレーション・レジスタに対する書き込みは行わないようにする必要があります。モード・レジスタ内のFSYNCビットをHighにした後に、キャリブレーション・レジスタを動作させ、キャリブレーション動作完了後にFSYNCビットをLowに戻すと、このような不都合を回避することができます。

フル・スケール・キャリブレーション・レジスタ(RS2, RS1, RS0 = 1, 1, 1)パワーオン/リセット・ステータス : 5761AB Hex

AD7705/AD7706には、各入力チャンネル毎にフル・スケール・レジスタが内蔵されています。各レジスタは24ビットのリード/ライト・レジスタで、24ビットのデータ全てを書き込まないと、データはこのレジスタに転送されません。このレジスタは対応するゼロ・スケール・レジスタと組み合わせて使用し、レジスタ対を構成します。これらのレジスタ対は、入力チャンネル対(表VII)に対応しています。デバイスがデジタル・インターフェースを使用してこれらのレジスタにアクセスできるように設定されている場合、デバイス自体は出力データをスケールするためのレジスタ係数にアクセスできなくなります。このため、キャリブレーション・レジスタに対するアクセス(書き込みまたは読み出し)の後、デバイスから最初に読み出された出力データ内に正しくないデータが含まれる可能性が生じます。さらに、キャリブレーション中は、キャリブレーション・レジスタに対する書き込みは行わないようにする必要があります。モード・レジスタ内のFSYNCビットをHighにした後に、キャリブレーション・レジスタを動作させ、キャリブレーション動作完了後にFSYNCビットをLowに戻すと、このような不都合を回避することができます。

キャリブレーション・シーケンス

前述のように、AD7705/AD7706には多くのキャリブレーション・オプションがあります。表XIIIに、キャリブレーションの種類、関係する動作、実行時間をまとめてあります。キャリブレーション完了の検出には2つの方法があります。最初の方法は、シーケンスの終わりにDRDYがLowに戻るタイミングを監視する方法です。DRDYはシーケンスの終わりを表示するだけでなく、データ・レジスタに有効な新しいサンプルが格納されたことも表示します。この有効な新しいサンプルは、キャリブレーション・シーケンス直後の正常な変換結果です。キャリブレーション完了を検出する第2の方法は、セットアップ・レジスタ内のMD1ビットとMD0ビットを監視する方法です。これらのビットが“0”(キャリブレーション・コマンド直後の“0”)に戻ると、キャリブレーション・シーケンスが完了したことを表します。この方法では、データ・レジスタ内に有効な新しい変換結果が格納されたことを表示しませんが、キャリブレーション完了をDRDY信号より早く表示します。実行時間はモード・ビット(MD1とMD0)が共に“0”(“0”はキャリブレーションの完了を表します)に戻るまでの時間です。DRDYがLowになるまでのシーケンスには、正常な変換時間とこの最初の変換を正しくスケールするためのパイプライン遅延 t_p も含まれます。 t_p は $2000 \times t_{CLKIN}$ を超えることはありません。両方法に要する時間を表に示します。

表XIII . キャリブレーション・シーケンス

キャリブレーションの種類	MD1, MD0	キャリブレーション・シーケンス	モード・ビット監視による実行時間	DRDY監視による実行時間
セルフ・キャリブレーション	0, 1	内部ZS Cal* @選択されたゲイン + 内部FS Cal @選択されたゲイン	6 × 1/出力レート	9 × 1/出力レート + t_P
ZSシステム・キャリブレーション	1, 0	AINのZS Cal @選択されたゲイン	3 × 1/出力レート	4 × 1/出力レート + t_P
FSシステム・キャリブレーション	1, 1	AINのFS Cal @選択されたゲイン	3 × 1/出力レート	4 × 1/出力レート + t_P

*Calはキャリブレーションを表します。

回路説明

AD7705/AD7706はデジタル・フィルタを内蔵する A/Dコンバータで、広いダイナミック・レンジの計測、産業用制御アプリケーションやプロセス制御アプリケーションのような低周波数信号での応用を目的にしています。 (すなわち電荷平衡型)ADC、オンチップ・スタティックRAMを持つキャリブレーション・マイクロコントローラ、クロック発振器、デジタル・フィルタ、双方向シリアル通信ポートも内蔵しています。このデバイスの電源の消費電流は $320\mu\text{A}$ と小さく、バッテリー電源またはループ供給電源を使用する機器向けに最適です。このデバイスは電源電圧 $2.7\text{V}\sim 3.3\text{V}$ または $4.75\text{V}\sim 5.25\text{V}$ で動作します。

AD7705はゲイン設定可能な差動アナログ入力チャンネルを2チャンネル内蔵しています。一方、AD7706は疑似差動アナログ入力チャンネルを3チャンネル内蔵しています。これらの入力では、ゲイン1、2、4、8、16、32、64、128が設定可能で、 $0\text{mV}\sim +20\text{mV}$ および $0\text{V}\sim +2.5\text{V}$ のユニポーラ信号、またはリファレンス入力電圧 $= +2.5\text{V}$ の場合には範囲 $\pm 20\text{mV}\sim \pm 2.5\text{V}$ のバイポーラ信号を入力することができます。リファレンス電圧 $= +1.225\text{V}$ の場合には、入力範囲はユニポーラ・モードで $0\text{mV}\sim +10\text{mV}$ から $0\text{V}\sim +1.225\text{V}$ に、バイポーラ・モードで $\pm 10\text{mV}\sim \pm 1.225\text{V}$ にそれぞれなります。ここで、バイポーラ範囲はAD7705の場合AIN(-)を基準とし、AD7706の場合COMMONを基準としており、GNDを基準としていないことに注意してください。

アナログ入力上の入力信号は、マスタ・クロック周波数、MCLK IN、選択されたゲインにより決定されたレートで連続的にサンプルされます。電荷平衡型A/Dコンバータ(変調器)を使って、サンプルされた信号をデジタル・パルス列に変換します。このデジタ

ル・パルス列のデューティ・サイクルには、デジタル情報が含まれています。この変調器にはアナログ入力にゲイン設定機能も含まれており、この機能ではゲインを上げるために入力サンプリング周波数を変更します。sinc³デジタル・ローパス・フィルタを使って、変調器の出力を処理して、このフィルタの最初のノッチ周波数で決定されるレートで出力レジスタを更新します。出力データはシリアル・ポートを経由してランダムにまたは出力レジスタ更新レートまでの任意のレートで周期的に読み出すことができます。このデジタル・フィルタの最初のノッチ周波数(その結果としての-3dB周波数)は、セットアップ・レジスタ内のFS0ビットとFS1ビットにより設定することができます。マスタ・クロック周波数が 2.4576MHz の場合、この最初のノッチ周波数に対して設定可能な範囲は $50\text{Hz}\sim 500\text{Hz}$ であり、-3dB周波数の設定可能な範囲に換算すると、 $13.1\text{Hz}\sim 131\text{Hz}$ になります。マスタ・クロック周波数が 1MHz の場合は、この最初のノッチ周波数に対する設定可能な範囲は $20\text{Hz}\sim 200\text{Hz}$ で、-3dB周波数の設定可能な範囲は $5.24\text{Hz}\sim 52.4\text{Hz}$ になります。

図10に、AD7705の基本的な接続図を示します。この図では、AD7705はアナログ+5V電源から駆動されています。高精度+2.5Vリファレンス電源AD780をこのデバイスのリファレンス・ソースとして使っています。デジタル側では、CSをGNDに接続して、デバイスは3線式動作に設定されています。水晶共振子またはセラミック共振子をデバイスのマスタ・クロック・ソースとして使用しています。多くの場合、基本動作周波数の高調波で動作しないようにするため、水晶共振子またはセラミック共振子にキャパシタを接続する必要があります。キャパシタの値は、メーカーの仕様に応じて異なります。この接続はAD7706に同じように適用できます。

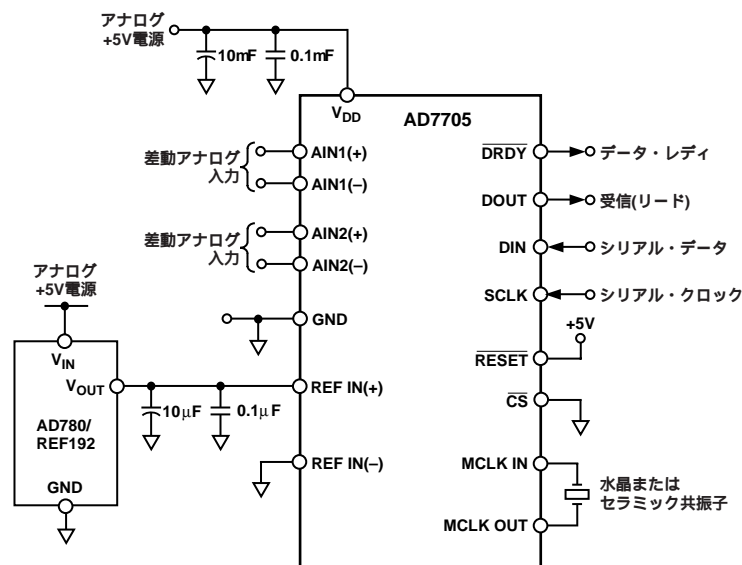


図10 . AD7705の基本接続図

AD7705/AD7706

アナログ入力

アナログ入力範囲

AD7705には、2組の差動アナログ入力対AIN1(+)/AIN1(-)とAIN2(+)/AIN2(-)があります。これらの入力対は設定可能なゲインと、ユニポーラ入力信号またはバイポーラ入力信号を入力できる差動入力チャンネルを持っています。バイポーラ入力信号は、各入力対の対応するAIN(-)入力を基準としていることに注意してください。AD7706には、3組の差動アナログ入力対AIN1、AIN2、AIN3があり、これらはデバイスのCOMMON入力を基準としています。

非バッファ・モードでは、アナログ入力電圧の絶対値がGND - 30 mV ~ V_{DD} + 30 mVの範囲内にある場合、入力のコモン・モード範囲はGND ~ V_{DD}です。これは、非バッファ・モードで、デバイスは全てのゲインに対してユニポーラ入力範囲とバイポーラ入力範囲の両方を処理できることを意味します。²⁵ でアナログ入力上の絶対電圧GND - 200 mVを性能低下なしで処理することができますが、温度の増加と共にリーク電流もかなり増加します。バッファ・モードでは、アナログ入力でかなり高いソース・インピーダンスを扱うことができますが、絶対入力電圧範囲はGND + 50 mV ~ V_{DD} - 1.5 Vに制限されます。この制限はコモン・モード範囲にも適用されます。これは、バッファ・モードではバイポーラ入力範囲に対する許容ゲインに制限があることを意味します。コモン・モード電圧範囲と入力電圧範囲を設定する際に、限界値を超えないように注意する必要があります。そうしないと直線性が性能低下が生じます。

非バッファ・モードでは、アナログ入力に7 pF入力サンプリング・キャパシタC_{SAMP}が存在します。この非バッファ・モードでのDC入力リーク電流は最大1 nAです。このため、アナログ入力には入力サンプル・レートでスイッチする動的負荷が存在します(図11)。このサンプル・レートはマスタ・クロック周波数と選択されたゲインに依存します。入力サンプル・サイクル毎にC_{SAMP}は、AIN(+)まで充電されてAIN(-)まで放電されます。スイッチの実効ON抵抗R_{SW}は7 k (typ)です。

入力サンプル・サイクル毎に、C_{SAMP}はR_{SW}と全ての外部ソース・インピーダンスを経由して充電されます。したがって、非バッファ・モードでは、ソース・インピーダンスが存在すると、C_{SAMP}の充電時間が長くなり、このためにデバイスのゲイン・エラーが発生します。表XIVに、非バッファ・モードにおける16ビット・レベルでのゲイン・エラーが発生しないための許容外部抵抗値/容量値を示します。これらの容量はアナログ入力上に存在する外部容量とデバイスのピンとリード・フレームによる10 pF容量の合計容量であることを注意してください。

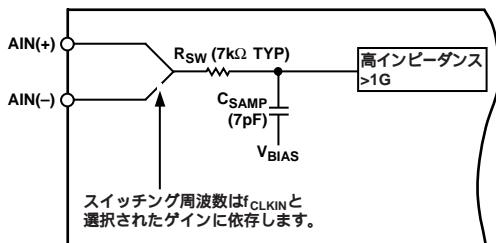


図11. 非バッファ・アナログ入力の構造

表XIV. 16ビット・ゲイン・エラーを生じないための外部RとCの組み合わせ(非バッファ・モードの場合)

ゲイン	外部容量 (pF)					
	0	50	100	500	1000	5000
1	368 k	90.6 k	54.2 k	14.6 k	8.2 k	2.2 k
2	177.2 k	44.2 k	26.4 k	7.2 k	4 k	1.12 k
4	82.8 k	21.2 k	12.6 k	3.4 k	1.94 k	540
8-128	35.2 k	9.6 k	5.8 k	1.58	880	240

バッファ・モードでは、アナログ入力にオンチップ・バッファ・アンプの高インピーダンス入力段が接続されます。C_{SAMP}はこのバッファ・アンプを経由して充電され、このときソース・インピーダンスはC_{SAMP}の充電に影響しません。このバッファ・アンプのオフセット・リーク電流は1 nAです。このバッファ・モードでは、ソース・インピーダンスが大きい程、ソース・インピーダンスの両端に生じるDCオフセット電圧は小さくなり、ゲイン・エラーは発生しません。

入力サンプル・レート

AD7705/AD7706内の変調器のサンプル周波数は、選択されたゲインに無関係にf_{CLKIN}/128 (19.2 kHz @ f_{CLKIN} = 2.4576 MHz)に維持されますが、1より大きいゲインは、変調器サイクル当たりの複数入力サンプルと入力キャパシタに対するリファレンス・キャパシタのスケール比を組み合わせることで実現されます。複数サンプリングの結果として、デバイスの入力サンプル・レートは選択されたゲインに従い変化します(表XV)。バッファ・モードでは、入力サンプリング・キャパシタの前で入力がバッファされます。非バッファ・モードでは、アナログ入力に直接サンプリング・キャパシタが接続され、実効入力インピーダンスは、1/C_{SAMP} × f_sになります。ここで、C_{SAMP}は入力サンプリング容量で、f_sは入力サンプル・レートです。

表XV. 入力サンプリング周波数とゲイン

ゲイン	入力サンプリング周波数 (f _s)
1	f _{CLKIN} /64 (38.4 kHz @ f _{CLKIN} = 2.4576 MHz)
2	2 × f _{CLKIN} /64 (76.8 kHz @ f _{CLKIN} = 2.4576 MHz)
4	4 × f _{CLKIN} /64 (76.8 kHz @ f _{CLKIN} = 2.4576 MHz)
8 ~ 128	8 × f _{CLKIN} /64 (307.2 kHz @ f _{CLKIN} = 2.4576 MHz)

バイポーラ入力/ユニポーラ入力

AD7705/AD7706のアナログ入力には、ユニポーラ電圧範囲またはバイポーラ入力電圧範囲を入力することができます。これらのデバイスの正常動作を保证するためにはアナログ入力を - 30 mVより負側にすることができないため、アナログ入力でのバイポーラ入力範囲で負の電圧を処理することができません。入力チャンネルは完全な差動です。そのため、AD7705では、AIN(+)入力上のユニポーラ信号とバイポーラ信号が基準とする電圧は、対応するAIN(-)入力上の電圧になります。AD7706では、アナログ入力チャンネルに入力される電圧はCOMMON入力を基準とします。例えば、AIN1(-) = + 2.5 Vで、AD7705がゲイン = 2とV_{REF} = + 2.5 Vのユニポーラ動作に設定されている場合、AIN1(+)入力上の入力電圧範囲は+ 2.5 V ~ + 3.75 Vになります。AIN1(-) = + 2.5 Vで、AD7705がゲイン = 2でV_{REF} = + 2.5 Vのバイポーラ・モードに設定されている場合、AIN1(+)入力上のアナログ入力範囲は+ 1.25 V ~ + 3.75 V(すなわち2.5 V ± 1.25 V)になります。AIN1(-) = GNDの場合、デバイスを ± 30 mVを超えるバイポーラ範囲に設定することはできません。

バイポーラ・オプションまたはユニポーラ・オプションは、セットアップ・レジスタ内のB/Uビットを設定することにより選択します。この選択により、チャンネルがユニポーラ動作またはバイポーラ動作に設定されます。チャンネルをユニポーラ動作またはバイポーラ動作に設定しても、入力信号の処理条件を変えることはなく、単にデータ出力コーディングとキャリブレーションが発生する伝達関数上のポイントを変えるだけです。

リファレンス入力

AD7705/AD7706のリファレンス入力REF IN(+)とREF IN(-)は、差動リファレンス入力機能を提供します。これらの差動入力に対するコモン・モード範囲はGND ~ V_{DD}です。規格動作に対して、V_{DD} = 5 Vで動作するAD7705/AD7706の場合、公称リファレンス電圧V_{REF}(REF IN(+) - REF IN(-))は+2.5 Vになり、V_{DD} = 3 Vで動作するAD7705/AD7706の場合は+1.225 Vになります。V_{REF}電圧が1 Vに低下してもデバイスは機能しますが、LSBサイズで表す出力ノイズが大きくなるため、性能が低下します。AD7705/AD7706の正常動作のためには、REF IN(+)はREF IN(-)より常に大である必要があります。

両リファレンス入力は、非バッファ・モードでのアナログ入力と同様に高インピーダンスの動的負荷を提供します。最大DC入力リーク電流は全温度範囲で±1 nAで、ソース抵抗はデバイス上のゲイン・エラーの原因になります。この場合、サンプリング・スイッチ抵抗は5 k (typ)で、リファレンス容量(C_{REF})はゲインにより変化します。リファレンス入力上のサンプル・レートはf_{CLKIN}/64で、ゲインにより変化しません。ゲイン = 1と2に対してC_{REF} = 8 pF、ゲイン = 16に対してC_{REF} = 5.5 pF、ゲイン = 32に対してC_{REF} = 4.25 pF、ゲイン = 64に対してC_{REF} = 3.625 pF、ゲイン = 128に対してC_{REF} = 3.3125 pFです。

表I~表IVに示す出力ノイズ性能は、アナログ入力 = 0 Vの場合で、リファレンス上のノイズの影響が実質的に除かれています。ノイズの表に示すノイズ性能と同じ性能を全入力範囲で得るためには、AD7705/AD7706に対して低ノイズのリファレンス・ソースが必要となります。注目する帯域幅内のリファレンス・ノイズが大きい場合は、AD7705/AD7706の性能を低下させます。アナログ入力上にあるブリッジ・トランスジューサに対する励起電圧がデバイスのリファレンス電圧も供給するようなアプリケーションでは、アプリケーションの比例的な特性のため、励起電圧内のノイズの影響は無くなります。V_{DD} = 5 VのAD7705に対する推奨リファレンス電圧ソースとしては、AD780、REF43、REF192などがあります。V_{DD} = 3 VのAD7705に対する推奨リファレンス電圧ソースとしては、AD589やAD1580などがあります。一般に、ノイズ・レベルをさらに減少させるため、これらのリファレンス出力をデカップルすることをお奨めします。

デジタル・フィルタ

AD7705/AD7706にはローパス・デジタル・フィルタが内蔵されており、このフィルタはデバイスの変調器出力を処理します。したがって、デバイスはA/D変換機能を提供するだけでなくフィルタ機能も提供します。フィルタ機能をアナログ領域ではなくデジタル領域で提供する場合に多数の異なるシステムが存在します。

まず、デジタル・フィルタ処理をA/D変換の後に行い、変換処理時に混入されたノイズを除去することができます。アナログ・フィルタではこれを行うことはできません。また、デジタル・フィルタはアナログ・フィルタよりプログラマブルにすることが容易です。デジタル・フィルタの設定に応じて、ユーザがカットオフ周波数と

出力更新レートを設定することができます。

一方、アナログ・フィルタは、ADCに到達する前に、アナログ信号に重畳されているノイズを除去することができます。デジタル・フィルタではこれができず、信号のフル・スケール近傍に重畳されているノイズ・ピーク値は、信号の平均値が規格値内にあっても、アナログ変調器とデジタル・フィルタを飽和させる可能性があります。この問題を軽減するために、AD7705/AD7706ではオーバーレンジの余裕を - 変調器とデジタル・フィルタに設けてあり、アナログ入力範囲から5%上まで許容しています。ノイズ信号がこの値より大きい場合は、アナログ入力フィルタの使用を考慮するか、あるいは入力チャンネル電圧を減らして、フル・スケールをアナログ入力チャンネルのフル・スケールの半分にします。これにより、ダイナミック・レンジを1ビット(50%)犠牲にして、100%より大きいオーバーレンジ機能を用いることができます。

さらに、デジタル・フィルタではデジタル・フィルタのサンプル周波数の整数倍で減衰を与えませんが、デバイスの入力サンプリングでデジタル・フィルタのサンプリング周波数の整数倍で減衰を与えて、サンプリング周波数f_s(表XVで定義)の整数倍の近傍で非減衰帯域が実質的に発生するようにしています。したがって、非減衰帯域はn × f_s(n = 1, 2, 3...)で発生します。これらの周波数では、±f_{3dB}幅の周波数帯域(f_{3dB}はデジタル・フィルタのカットオフ周波数)が両側に存在します。ここでは、ノイズが減衰されずに出力まで通過します。

フィルタ特性

AD7705/AD7706のデジタル・フィルタは、(sinx/x)³応答を持つローパス・フィルタです(sinc³とも呼ばれます)。このフィルタの伝達関数は、z領域で次のように記述されます。

$$H(z) = \left| \frac{1}{N} \times \frac{1 - Z^{-N}}{1 - Z^{-1}} \right|^3$$

周波数領域では次のように記述されます。

$$H(f) = \left| \frac{1}{N} \times \frac{\text{SIN}(N \times \pi f/f_s)}{\text{SIN}(\pi f/f_s)} \right|^3$$

ここで、Nは出力レートに対する変調器レートの比です。位相応答は次のように表されます。

$$H = -3(N-2) \times \pi f/f_s \text{ Rad}$$

図4に、カットオフ周波数15.72 Hz(これは最初のフィルタ・ノッチ周波数の60 Hzに対応)に対するフィルタ周波数応答を示します。カーブをDC ~ 390 Hzに対して示します。この応答は、デジタル・フィルタのサンプル周波数の両側とフィルタのサンプル周波数の整数倍の両側で繰り返されます。

このフィルタ応答は平均をとるフィルタの応答に似ていますが、ロールオフ特性が急になっています。デジタル・フィルタの出力レートは、フィルタの周波数応答の最初のノッチ周波数位置に対応します。したがって、出力レートが60 Hzの図12のカーブの場合は、フィルタの最初のノッチ周波数は60 Hzにあります。この(sinx/x)³フィルタの各ノッチは、最初のノッチ周波数の整数倍で繰り返されます。このフィルタは、これらのノッチ周波数で100 dB以上の減衰を与えます。

AD7705/AD7706

このデジタル・フィルタのカットオフ周波数は、クロックレジスタ内のFS0ビットとFS1ビットの値で決定されます。FS0とFS1を使用して別のカットオフ周波数を設定しても、フィルタ応答の形状は変化しませんが、各ノッチ周波数が変化します。デバイスの出力更新と最初のノッチ周波数が対応します。

AD7705/AD7706はローパス・フィルタを内蔵しているため、整定時間はステップ関数入力に関係し、出力上のデータはステップ変化から整定時間が経過するまで無効になります。整定時間は、フィルタに対して選択された出力レートに依存します。フル・スケール・ステップ入力に対するフィルタ整定時間は、出力データ周期の4倍まで可能です。同期化されたステップ入力(FSYNC機能を使用)の場合、整定時間は出力データ周期の3倍です。

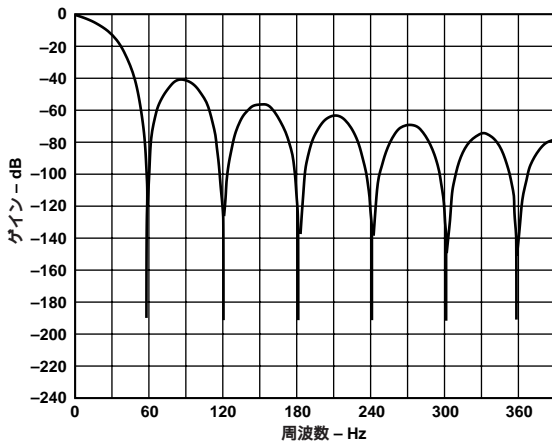


図12. AD7705フィルタの周波数応答

後置フィルタ

オンチップ変調器は、 $f_{CLKIN} = 2.4576$ MHzの場合、19.2 kHzの出力レートでサンプルを出力します。オンチップ・デジタル・フィルタはこれらのサンプルを間引いて、フィルタの設定された出力レートに対応する出力レートでデータを出力します。出力データ・レートはNyquist条件より高いため、与えられた帯域幅に対する出力レートは、殆どのアプリケーションの条件を満たします。ただし、アプリケーションによっては、与えられた帯域幅とノイズ性能のために高いデータ・レートを必要とするものもあります。高いデータ・レートを必要とするアプリケーションでは、AD7705/AD7706のデジタル・フィルタの後に後置フィルタを必要とします。

例えば、所要帯域幅が7.86 Hzで、所要更新レートが100 Hzの場合、AD7705/AD7706から100 Hzレートでデータを得ることができ、これは-3 dB帯域幅が26.2 Hzに対応します。後置フィルタをこれに適用して、出力レートを100 Hzのままに維持して、帯域幅と出力ノイズを7.86 Hz帯域幅レベルに減らすことができます。

後置フィルタを使用して、13.1 Hzより低い帯域のデバイス出力ノイズを減らすこともできます。ゲイン = 128で帯域幅が13.1 Hzの場合、出力rmsノイズは450 nVになります。これは基本デバイス・ノイズすなわちホワイト・ノイズであり、入力チョップされているため、ノイズは基本的にフラット周波数応答を持ちます。帯域幅を13.1 Hzより小さく減らすことにより、通過帯域を通過するノイズを減少させることができます。帯域幅を1/2に減らすと、出力rmsノイズで約1.25の減少が得られます。このフィルタの追加により、整定時間が長くなります。

アナログ・フィルタ

前述のように、デジタル・フィルタは変調器のサンプル周波数の整数倍で減衰を与えません。ただし、AD7705/AD7706の高いオー

バ・サンプリング比のため、これらの帯域はスペクトルの小さな部分しか占めず、大部分の広帯域ノイズはフィルタされます。これは、オンチップ・フィルタを持たない従来のコンバータに較べると、AD7705/AD7706の前段におけるアナログ・フィルタの要求が大幅に減少したことを意味します。さらに、デバイスのコモン・モード除去性能100 dBが数kHzまで拡張されたため、この周波数範囲内のコモン・モード・ノイズは大幅に減らされます。

しかし、アプリケーションによっては、デジタル・フィルタが通過させるこれらの帯域から不要な周波数を除去するために、AD7705/AD7706の前段に減衰を用意することが必要な場合があります。また、アプリケーションによっては、注目帯域外にある差動ノイズ信号がアナログ変調器を飽和させないようにするため、AD7705/AD7706の前段にアナログ・フィルタを用意する必要がある場合もあります。

非バッファ・モードでAD7705/AD7706の前段に能動素子を使用する場合は、システム内にゲイン・エラーを導入しないようにソース・インピーダンスを十分小さくすることに注意が必要です。これは、非バッファ・モードで使用される場合にAD7705/AD7706の前段に使用される受動的折り返しノイズ防止フィルタにとって大きな制約になります。ただし、バッファ・モードでデバイスを使用する場合は、大きなソース・インピーダンスはDCオフセット・エラーを小さくするだけで済みます(10 k Ω のソース抵抗ではオフセット・エラーは10 mV以下になります)。したがって、AD7705/AD7706の前段に受動アナログ・フィルタを用意するためにシステムで大きなソース・インピーダンスを必要とする場合は、デバイスをバッファ・モードで動作させることをお奨めします。

キャリブレーション

AD7705/AD7706では多くのキャリブレーション・オプションを用意しており、これらはセットアップ・レジスタ内のMD1ビットとMD0ビットを使って設定することができます。種々のキャリブレーション・オプションについては、セットアップ・レジスタとキャリブレーション・シーケンスの節で既に概要を説明してあります。キャリブレーション・サイクルは、セットアップ・レジスタ内のこれらのビットを書き込むことにより、何時でも開始することができます。AD7705/AD7706のキャリブレーションでは、オフセット・エラーとゲイン・エラーをデバイスから除去します。動作周囲温度または電源電圧が変化する度に、キャリブレーション・ルーチンをデバイス上で起動する必要があります。選択されたゲイン、フィルタ・ノッチ周波数、またはバイポーラ/ユニポーラ入力範囲の変化があった場合にも、起動する必要があります。

AD7705/AD7706には、セルフ・キャリブレーション機能とシステム・キャリブレーション機能が用意されています。選択したチャンネルでキャリブレーションを実行するためには、オンチップ・マイクロコントローラが、2つの入力状態に対する変調器出力を記憶しておく必要があります。“ゼロ・スケール”ポイントと“フル・スケール”ポイントがあります。これらのポイントは、キャリブレーション時に変調器に入力された異なる入力電圧を変換することにより求められます。結果的には、キャリブレーションの精度は、ノーマル・モードで得られるノイズ・レベルと同程度になります。“ゼロ・スケール”キャリブレーション変換の結果は、ゼロ・スケール・キャリブレーション・レジスタに格納され、“フル・スケール”キャリブレーション変換の結果は、フル・スケール・キャリブレーション・レジスタに格納されます。これらの値を使って、マイクロコントローラはコンバータの入力から出力までの伝達関数に対するオフセットとゲイン勾配を計算することができます。内部的には、デバイスは33ビット精度で処理して16ビットの変換結果を得ています。

セルフ・キャリブレーション

AD7705/AD7706のセルフ・キャリブレーションは、該当する値(0, 1)をセットアップ・レジスタのMD1ビットとMD0ビットに書き込むことにより開始されます。ユニポーラ入力範囲でのセルフ・キャリブレーション・モードでは、キャリブレーション係数の決定で使用されるゼロ・スケール・ポイントは、差動対の入力同士をデバイス内部で接続して構成します(すなわち、AD7705の場合はAIN(+)=AIN(-)=内部バイアス電圧、AD7706の場合はAIN=COMMON=内部バイアス電圧)。このゼロ・スケール・キャリブレーション変換では、PGAは選択されたゲインに設定されます(コミュニケーション・レジスタ内のG1ビットとG0ビットを使用)。フル・スケール・キャリブレーション変換は、選択されたゲインで、内部で発生した電圧の V_{REF} /選択されたゲインを使って行います。

キャリブレーションの実行時間は $6 \times 1/\text{出力レート}$ です。この内訳は、ゼロ・スケール・キャリブレーションに $3 \times 1/\text{出力レート}$ とフル・スケール・キャリブレーションに $3 \times 1/\text{出力レート}$ です。この時点で、セットアップ・レジスタ内のMD1ビットとMD0ビットは0, 0に戻ります。これが、キャリブレーション・シーケンス完了の最も早期の表示を与えます。キャリブレーションが開始されると、DRDYラインがHighになり、データ・レジスタに有効な新しいワードが格納されるまでLowに戻りません。キャリブレーション・コマンドの発行からDRDYがLowになるまでの実行時間は、 $9 \times 1/\text{出力レート}$ です。この内訳は、ゼロ・スケール・キャリブレーションに $3 \times 1/\text{出力レート}$ 、フル・スケール・キャリブレーションに $3 \times 1/\text{出力レート}$ 、アナログ入力の変換と係数の設定などに $3 \times 1/\text{出力レート}$ です。セットアップ・レジスタに対するキャリブレーション・コマンドの書き込みの前に(または書き込み中に)DRDYがLowになった場合には、1変調器サイクル(MCLK IN/128)経過した後にDRDYがHighになり、キャリブレーション進行中を表示します。このため、キャリブレーション・コマンド内の最終ビットがセットアップ・レジスタに書き込まれた後の最大1変調器サイクル間は、DRDYを無視する必要があります。

セルフ・キャリブレーション・モードでのバイポーラ入力範囲の場合は、シーケンスは上記と非常に似ています。この場合は、2つのポイントは上記と全く同じですが、デバイスがバイポーラ動作に設定されているため、上記の相互接続された入力ポイントは伝達関数の中心スケールに変更されます。

システム・キャリブレーション

システム・キャリブレーション機能を使うと、AD7705/AD7706はシステム・ゲイン・エラー、オフセット・エラー、内部エラーを補償することができます。システム・キャリブレーションでは、セルフ・キャリブレーションの場合と同じ勾配係数計算を行います。ゼロ・スケール・ポイントとフル・スケール・ポイント用にシステムがAIN入力に対して供給する電圧値を使います。フル・システム・キャリブレーションでは、ZSシステム・キャリブレーションとこれに続くFSシステム・キャリブレーションの2ステップ処理が必要です。

フル・システム・キャリブレーションの場合、まず、ゼロ・スケール・ポイントをコンバータに入力する必要があります。この入力にはキャリブレーション・ステップが開始される前にコンバータに入力され、ステップが完了するまで安定な状態を維持している必要があります。システム・ゼロ・スケール電圧が設定されたら、セットアップ・レジスタ内のMD1ビットとMD0ビットに該当する値(1, 0)を書き込んで、ZSシステム・キャリブレーションを起動します。ゼロ・スケール・システム・キャリブレーションは選択されたゲインで実行されます。キャリブレーションの実行時間は、 $3 \times 1/\text{出力レート}$ です。この時点で、セットアップ・レジスタ内のMD1ビットとMD0ビットは0, 0に戻ります。これが、キャリブレーション・シーケンス完了の最も早期の表示を与えます。キャリブレーションが開始されると、DRDYラインがHighになり、データ・レジスタに有効な新

しいワードが格納されるまでLowに戻りません。キャリブレーション・コマンドの発行からDRDYがLowになるまでの実行時間は、 $4 \times 1/\text{出力レート}$ です。この間にAIN電圧がノーマル変換されて、DRDYがLowになります。セットアップ・レジスタに対するキャリブレーション・コマンドの書き込みの前に(または書き込み中に)DRDYがLowになった場合には、1変調器サイクル(MCLK IN/128)経過した後にDRDYがHighになり、キャリブレーション進行中を表示します。このため、キャリブレーション・コマンド内の最終ビットがセットアップ・レジスタに書き込まれた後の最大1変調器サイクル間は、DRDYを無視する必要があります。

ゼロ・スケール・ポイントがキャリブレーションされた後、フル・スケール・ポイントがAINに入力され、MD1ビットとMD0ビットに該当する値(1, 1)を書き込んで、キャリブレーション処理の第2ステップを起動します。この場合も、フル・スケール電圧はキャリブレーション・ステップが開始される前にコンバータに入力され、ステップが完了するまで安定な状態を維持している必要があります。フル・スケール・システム・キャリブレーションは選択されたゲインで実行されます。キャリブレーションの実行時間は $3 \times 1/\text{出力レート}$ です。この時点で、セットアップ・レジスタ内のMD1ビットとMD0ビットは0, 0に戻ります。これが、キャリブレーション・シーケンス完了の最も早期の表示を与えます。キャリブレーションが開始されると、DRDYラインがHighになり、データ・レジスタに有効な新しいワードが格納されるまでLowに戻りません。キャリブレーション・コマンドの発行からDRDYがLowになるまでの実行時間は、 $4 \times 1/\text{出力レート}$ です。この間にAIN電圧がノーマル変換されて、DRDYがLowになります。セットアップ・レジスタに対するキャリブレーション・コマンドの書き込みの前に(または書き込み中に)DRDYがLowになった場合には、1変調器サイクル(MCLK IN/128)経過した後にDRDYがHighになり、キャリブレーション進行中を表示します。このため、キャリブレーション・コマンド内の最終ビットがセットアップ・レジスタに書き込まれた後の最大1変調器サイクル間は、DRDYを無視する必要があります。

ユニポーラ・モードでは、システム・キャリブレーションは伝達関数の2つの端点の間で実行されます。一方、バイポーラ・モードでは、スケール中心(ゼロ差動電圧)と正側フル・スケールの間で実行されます。

システム・キャリブレーションは2ステップ・キャリブレーションであるということから、別の機能も提供されます。すなわち、フル・システム・キャリブレーションのシーケンスが完了した後に、さらにオフセット・キャリブレーションまたはゲイン・キャリブレーションを繰り返して、システム・ゼロ・リファレンス・ポイントまたはシステム・ゲインを調整することができます。1つのパラメータをキャリブレーションしても、システム・オフセットまたはシステム・ゲインは、他方のパラメータに影響を与えません。

デバイスを非バッファ・モードで使用する場合、システム・キャリブレーションを使って、アナログ入力上のソース・インピーダンスから全てのエラーを除去することもできます。前段に接続した折り返しノイズ除去用の簡単なR-Cフィルタにより、アナログ入力電圧上にゲイン・エラーが導入されますが、システム・キャリブレーションを使用してこのエラーを除くことができます。

スパン規定値とオフセット規定値

システム・キャリブレーション・モードを使用する際には、オフセットとスパンの許容値に制限があります。オフセットとゲインの許容値を決定する際の重要な条件は、正側フル・スケール・キャリブレーション限界値が $1.05 \times V_{REF}/\text{GAIN}$ より小さくなければならぬという条件です。この条件を使うと、入力範囲は公称範囲より5%上まで許容されます。AD7705/AD7706のアナログ変調器の持つ余裕により、正側フル・スケール電圧が公称値より5%高い場合でも、デバイスの正常動作が保証されています。

ユニポーラ・モードとバイポーラ・モードにおける入力スパン

AD7705/AD7706

の範囲は、最小 $0.8 \times V_{REF}/GAIN$ ~ 最大 $2.1 \times V_{REF}/GAIN$ ですが、スパン (AD7705/AD7706の入力範囲の下限値と上限値の差) では、正側フル・スケール電圧の制約を考慮する必要があります。許容オフセット値は、ユニポーラ・モードまたはバイポーラ・モードに応じて異なります。この場合も、オフセットでは正側フル・スケール電圧の制約を考慮する必要があります。ユニポーラ・モードでは、負オフセット (AD7705の場合AIN(-)を基準とし、AD7706の場合COMMONを基準とします) はフレキシブルに扱うことができます。ユニポーラ・モードとバイポーラ・モードの両モードでは、正オフセットの許容範囲の方は、選択されたスパンに依存します。そのため、システム・ゼロ・スケールの限界値とフル・スケール・キャリブレーションの限界値を定める際、ユーザはオフセット範囲とスパン範囲の和が $1.05 \times V_{REF}/GAIN$ を超えることを確認する必要があります。これは、2~3の例を示すと分かり易くなります。

所要スパン $0.8 \times V_{REF}/GAIN$ でデバイスがユニポーラ・モードで使用される場合は、システム・キャリブレーションが処理できるオフセット範囲は $-1.05 \times V_{REF}/GAIN \sim +0.25 \times V_{REF}/GAIN$ です。所要スパン $V_{REF}/GAIN$ でデバイスがユニポーラ・モードで使用される場合は、システム・キャリブレーションが処理できるオフセット範囲は $-1.05 \times V_{REF}/GAIN \sim +0.05 \times V_{REF}/GAIN$ です。同様に、デバイスがユニポーラ・モードで使用され、かつ $0.2 \times V_{REF}/GAIN$ のオフセットを除去する必要がある場合には、システム・キャリブレーションが処理できるスパン範囲は $0.85 \times V_{REF}/GAIN$ です。

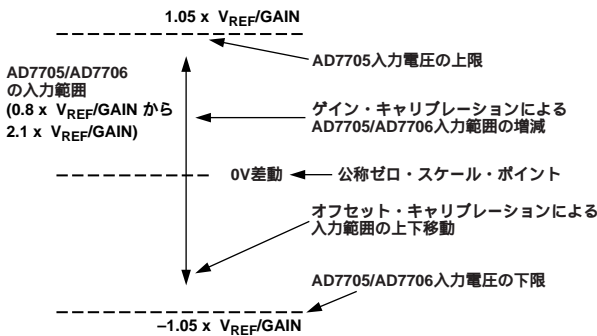


図13. スパン規定値とオフセット規定値

所要スパン $\pm 0.4 \times V_{REF}/GAIN$ でデバイスがバイポーラ・モードで使用される場合は、システム・キャリブレーションが処理できるオフセット範囲は $-0.65 \times V_{REF}/GAIN \sim +0.65 \times V_{REF}/GAIN$ です。所要スパン $\pm V_{REF}/GAIN$ でデバイスがバイポーラ・モードで使用される場合は、システム・キャリブレーションが処理できるオフセット範囲は $-0.05 \times V_{REF}/GAIN \sim +0.05 \times V_{REF}/GAIN$ です。同様に、デバイスがバイポーラ・モードで使用され、かつ $\pm 0.2 \times V_{REF}/GAIN$ のオフセットを除去する必要がある場合には、システム・キャリブレーションが処理できるスパン範囲は $\pm 0.85 \times V_{REF}/GAIN$ です。

パワーアップとキャリブレーション

パワーアップ時、AD7705/AD7706は内部レジスタの値を既知の状態に設定する内部リセットを実行します。パワーオンまたはリセットの直後に全レジスタにロードするデフォルト値が用意されています。デフォルト値には、キャリブレーション・レジスタに対する公称キャリブレーション係数が含まれていますが、デバイスの正常なキャリブレーションを保証するためには、パワーアップ後にキャリブレーション・ルーチンを実行する必要があります。

AD7705/AD7706の消費電力と温度ドリフトは小さいため、初期キャリブレーションの実行前にウォームアップ時間は必要ありませんが、外部リファレンスを使用する場合には、このリファレンスはキャリブレーションの開始前に安定している必要があります。同様に、デバイスのクロック・ソースがMCLK INピンに接続された水晶または共振器から発生される場合には、発振回路に対するスタートアップ時間が経過した後にキャリブレーションを開始する必要があります(下記参照)。

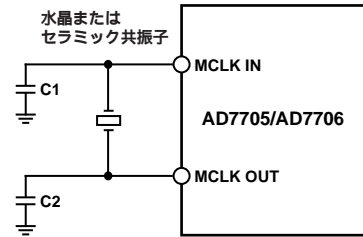


図14. AD7705/AD7706に対する水晶/共振子の接続

AD7705/AD7706の使用方法

クロックと発振回路

AD7705/AD7706にはマスタ・クロック入力が必要で、外部CMOS互換クロック信号をMCLK INピンに接続することができます。この時、MCLK OUTピンは解放のままにしておきます。代わりに、該当する周波数の水晶共振器またはセラミック共振器をMCLK INとMCLK OUTに接続することもできます(図6)。この場合、クロック回路は発振器として機能して、デバイスに対するクロック・ソースとなります。入力サンプリング周波数、変調器サンプリング周波数、-3 dB周波数、出力更新レート、キャリブレーション時間は全て、直接マスタ・クロック周波数 f_{CLKIN} に関係します。マスタ・クロック周波数を半分に低下させると、上記周波数と更新レートは半分になり、キャリブレーション時間は2倍になります。 V_{DD} 電源の電流も f_{CLKIN} に関係します。 f_{CLKIN} を1/2倍にすると、 V_{DD} 電流のデジタル部分が半分になりますが、アナログ回路部分の電流は不変です。

MCLK INピンとMCLK OUTピンに水晶共振器またはセラミック共振器を接続してデバイスを使用する場合は、MCLK INピンをクロック信号で駆動してデバイスを動作させる場合に比べて、一般に V_{DD} 電流は大きくなります。これは、水晶共振器またはセラミック共振器の場合にはオンチップ発振回路が動作しているためです。したがって、AD7705/AD7706で最小電流を実現する場合には、MCLK INピンに外部クロックを接続して、MCLK OUTを解放のままにして、無負荷/ディスエーブル状態にしておく必要があります。

発振器が必要とするその他の電流は、多くの要因に依存します。まず、MCLK INピンとMCLK OUTピンに接続されるキャパシタ(C1とC2)の値が大きい程、AD7705/AD7706の消費電流は大きくなります。不要な電流消費を避けるため、水晶共振器またはセラミック共振器のメーカーが推奨するキャパシタ値を超えないように注意してください。C1とC2のtyp値は水晶共振器またはセラミック共振器のメーカーが推奨します。これらの値は30 pF ~ 50 pFの範囲にあり、MCLK INとMCLK OUTに接続するキャパシタ値がこの範囲内であれば、余分な電流は消費されません。電流に影響する他の要因は、AD7705/AD7706のMCLK INピンとMCLK OUTピンの間に現れる水晶の実効直列抵抗(ESR)です。一般に、ESR値が小さい程、発振回路で消費される電流は小さくなります。

クロック周波数 = 2.4576 MHzで動作する場合、 $V_{DD} = +3V$ における外部供給クロックでの動作と水晶共振子での動作の間に50 μA の差があります。 $V_{DD} = +5V$ で $f_{CLKIN} = 2.4576$ MHzの場合は、外部供給クロックの場合より水晶共振子クロックの場合の電流の方が250 μA (typ値)だけ大きくなります。この周波数での水晶と共振子のESR値は小さくなる傾向があり、そのため各種の水晶と共振子の間の差は小さくなる傾向を持ちます。

クロック周波数 = 1 MHzで動作する場合、各種の水晶のESR値は大幅に変化します。そのため、消費電流は水晶の種類毎に変化します。ESR = 700 の水晶を使用する場合、またはセラミック共振子を使用する場合、外部供給クロック使用の場合に対する電流増加 (typ値)は、 $V_{DD} = +3V$ で20 μA 、 $V_{DD} = +5V$ で200 μA になります。ESR = 3k の水晶を使用する場合、外部供給クロック使用の場合に対する電流増加 (typ値)は、 $V_{DD} = +3V$ で100 μA 、 $V_{DD} = +5V$ で400 μA になります。

オンチップ発振回路は正しい周波数と正しい電圧レベルで発振を開始するまでに必要なスタートアップ時間があります。 $V_{DD} = 5V$ でのスタートアップ時間 (typ値)は、4.9512 MHz水晶使用の場合6 ms、2.4576 MHz水晶使用の場合16 ms、1 MHz水晶使用の場合20 msです。電源電圧を3Vに低下させると、スタートアップ時間 (typ値)は20%低速になります。スタートアップ時間を約20 msにするためには、3V電源では、MCLKピン上の負荷容量に応じて、水晶または共振子の両端に1M Ω の帰還抵抗を接続する必要があります。

AD7705/AD7706のマスタークロックはデバイスのMCLK OUTピンに出力されます。このピンの推奨最大負荷は1CMOS負荷です。水晶共振子またはセラミック共振子を使用してAD7705/AD7706のクロックを発生する場合、このクロックをシステムに対するクロックソースとして使用することが望ましい場合があります。この場合には、MCLK OUT信号をCMOSバッファでバッファした後に別の回路に供給することをお奨めします。

システムの同期化

セットアップ・レジスタ内にあるFSYNCビットを使うと、ユーザはデバイスの設定状態に影響を与えることなく、変調器とデジタル・フィルタをリセットすることができます。この機能を使うと、ユーザは既知の時点すなわちFSYNCが1から0へ変化したタイミングからのアナログ入力サンプルの収集を開始することができます。

セットアップ・レジスタ内のFSYNCビットを“1”に設定すると、デジタル・フィルタとアナログ変調器は既知のリセット状態におかれ、デバイスは入力のサンプルを停止します。FSYNCビットに“0”を書き込むと、変調器とフィルタはこのリセット状態を抜け出して、デバイスは次のマスタークロック・エッジでサンプル収集を再開します。

FSYNC入力は、AD7705/AD7706を従来型の変換方式で動作可能にする変換スタート・ソフトウェア・コマンドとして使用することもできます。このモードでは、FSYNCビットに書き込みを行うと、変換が開始され、 \overline{DRDY} の立下がりエッジで変換の完了が表示されます。この方式の欠点は、各データ・レジスタ更新毎にフィルタ整定時間を考慮する必要がある点です。これは、データ・レジスタの更新レートがこのモードでは3倍低速になることを意味します。

FSYNCビットがデジタル・フィルタをリセットするため、 $3 \times 1/$ 出力レートの整定時間が経過した後に新しいワードがデバイスの出力レジスタに格納されます。FSYNCが“0”に変化するときに \overline{DRDY}

信号がLowである場合は、FSYNCコマンドにより \overline{DRDY} 信号はHighにリセットされません。これは、データ・レジスタ内に未読のワードが存在していることをAD7705/AD7706が認識しているためです。データ・レジスタが更新されるまで \overline{DRDY} ラインはLowに留まります。データ・レジスタが更新されると、 \overline{DRDY} ラインは $500 \times t_{CLKIN}$ の間Highになった後にLowに戻ります。データ・レジスタを読み出すと、 \overline{DRDY} 信号はHighにリセットされ、フィルタ整定時間 (FSYNCコマンドから開始) が経過して、データ・レジスタに有効な新しいワードが格納されるまで、 \overline{DRDY} ラインはLowに戻りません。FSYNCコマンドの発行時に \overline{DRDY} ラインがHighの場合には、 \overline{DRDY} ラインはフィルタ整定時間が経過するまでLowに戻りません。

リセット入力

AD7705/AD7706のRESET入力は、全てのロジック、デジタル・フィルタ、アナログ変調器をリセットし、一方、全てのオンチップ・レジスタはそれぞれのデフォルト状態にリセットされます。 \overline{DRDY} がHighに駆動されて、RESET入力がLowの間はAD7705/AD7706はレジスタに対する全ての通信を無視します。RESET入力がHighに戻ると、AD7705/AD7706はデータの処理を開始して、 \overline{DRDY} は $3 \times 1/$ 出力レート以内にLowに戻り、有効な新しいワードがデータ・レジスタに格納されたことを表示しますが、RESET後には、AD7705/AD7706はデフォルト設定状態で動作し、一般的には全てのレジスタの設定が必要で、RESETコマンドの後にキャリブレーションが実行されます。

AD7705/AD7706のオンチップ発振回路は、RESET入力がLowの間も動作を継続します。MCLK OUTピンに対するマスタークロック信号の出力も継続されます。したがって、AD7705/AD7706のクロックからシステム・クロックが供給されるアプリケーションでは、AD7705/AD7706はRESETコマンド中でもマスタークロックを中断しないで供給します。

スタンバイ・モード

AD7705/AD7706のコミュニケーション・レジスタ内にあるSTBYビットを使うと、ユーザは変換結果を必要としない場合にデバイスをパワーダウン・モードにすることができます。スタンバイ・モードでは、AD7705/AD7706の全てのオンチップ・レジスタ (データ・レジスタなど) の内容が保持されます。スタンバイ・モードから抜け出ると、デバイスはデータの処理を開始して、STBYビットに“0”が書き込まれてから $3 \times 1/$ 出力レート以内に新しいワードがデータ・レジスタに格納されます。

STBYビットはデジタル・インターフェースに影響を与えることはなく、 \overline{DRDY} ラインの状態にも影響を与えません。STBYビットがLowに変化したとき \overline{DRDY} がHighである場合は、データ・レジスタに有効な新しいワードが格納されるまで \overline{DRDY} はHighを維持します。STBYビットがLowに変化したとき \overline{DRDY} がLowである場合は、データ・レジスタが更新されるまで、 \overline{DRDY} はLowを維持します。データ・レジスタが更新されると、 \overline{DRDY} ラインは $500 \times t_{CLKIN}$ の間Highになった後にLowに戻ります。デバイスがスタンバイ・モードに入るとき \overline{DRDY} がLowの場合は (データ・レジスタに有効な未読ワードが存在することを表示) スタンバイ・モード内でデータ・レジスタを読み出すことができます。この読み出し動作の終わりで、通常通り \overline{DRDY} はHighにリセットされます。

AD7705/AD7706

デバイスをスタンバイ・モードにすると、デバイスが外部マスタ・クロックで動作しており、このマスタ・クロックが停止した場合、合計電流が $V_{DD} = 5V$ で $9\mu A$ (typ値)に、 $V_{DD} = 3V$ で $4\mu A$ にそれぞれ減少します。スタンバイ・モードで外部クロックが動作し続ける場合は、スタンバイ電流は $V_{DD} = 5V$ で $150\mu A$ (typ値)に、 $V_{DD} = 3.3V$ で $75\mu A$ にそれぞれ増加します。水晶またはセラミック共振子をクロック・ソースとして使用する場合、スタンバイ・モードでの合計電流は $V_{DD} = 5V$ で $400\mu A$ (typ値)に、 $V_{DD} = 3.3V$ で $90\mu A$ にそれぞれなります。これは、スタンバイ・モード内でオンチップ発振回路が動作を続けるためです。AD7705/AD7706がスタンバイ・モード内でも中断しないマスタ・クロックを発生することは、AD7705/AD7706のクロックからシステム・クロックの供給を受けるアプリケーションでは重要なことです。

精度

VFCや他の積分型ADCと同様に、シグマ・デルタADCは非単調性の原因を内蔵しておらず、本来的にコード落ちのない性能を持っています。AD7705/AD7706は、非常に小さい容量/電圧係数を持つ高品質のオンチップ・キャパシタを使用して優れた直線性を達成しています。このデバイスでは入力段にチョップ安定化技術を採用して、小さい入力ドリフトを達成しています。時間と温度の変化に対して優れた性能を保証するため、AD7705/AD7706では、オフセット・エラーとゲイン・エラーを最小にするデジタル・キャリブレーション技術を採用しています。

ドリフトに対する考慮

AD7705/AD7706では、チョップ安定化技術を使用して入力オフセット・ドリフトを最小化しています。アナログ・スイッチ内の電荷注入とサンプリング・ノードでのDCリーク電流は、コンバータ内部における主要なオフセット電圧のドリフトの原因となります。DC入力リーク電流は本来選択されたゲインと無関係です。コンバータ内のゲイン・ドリフトは、基本的には内部キャパシタの温度軌跡に依存し、リーク電流の影響は受けません。

オフセット・ドリフトまたはゲイン・ドリフトに起因する計測エラーは、コンバータをキャリブレーションすることにより除去することができます。システム・キャリブレーション・モードを使用すると、信号コンデショニング回路内のオフセット・エラーとゲイン・エラーも最小化することができます。総合および差動直線性エラーは、温度変化から大きな影響を受けることはありません。

電源

AD7705/AD7706は、 $2.7V \sim 5.25V$ の V_{DD} 電源で動作します。AD7705/AD7706のラッチアップ性能は優れていますが、余分な電流を回避するために、AD7705/AD7706に電源を供給した後にREF INピン、AINピン、またはロジック入力ピンに信号を入力することが重要です。これが不可能な場合は、これらのピンを流れる電流を制限する必要があります。AD7705/AD7706とシステム・デジタル回路に別々の電源を使用する場合には、先にAD7705/AD7706に電源を供給する必要があります。この保証が困難な場合には、電流制限抵抗をロジック入力に直列接続して電流を制限する必要があります。ラッチアップ電流は $100mA$ 以上です。

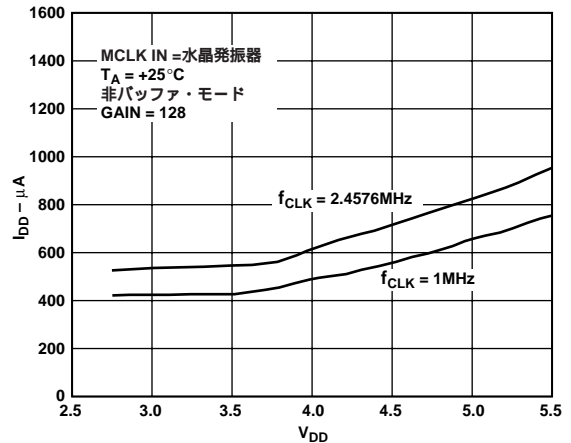


図15. IDDと電源電圧の関係

電源電流

AD7705/AD7706の消費電流は、範囲 $+2.7V \sim +3.3V$ と範囲 $+4.75V \sim +5.25V$ に対して規定されています。デバイスは $+2.7V$ to $+5.25V$ の電源範囲で動作し、デバイスの I_{DD} はこの範囲で電源電圧が変化すると変化します。AD7705/AD7706には内部電流ブースト・ビットがあり、動作条件に従って内部で設定されます。これはこれらのデバイス内部でアナログ回路の電流に影響を与えます。内部ブースト・ビットがOFFでアナログ電流消費を削減するため、最小消費電力は、 $f_{CLKIN} = 1MHz$ または $f_{CLKIN} = 2.4575MHz$ のときゲイン $= 1 \sim 4$ でAD7705/AD7706が動作するときに達成されます。図15に、 $+25^\circ C$ における $1MHz$ の水晶発振器と $2.4576MHz$ の水晶発振器での V_{DD} 電圧に対する I_{DD} (typ値)の変化を示します。AD7705/AD7706は非バッファ・モードで動作しています。この関係は、低い V_{DD} 電圧でデバイスを動作させると、 I_{DD} が最小になることを示しています。また、外部マスタ・クロックを使用する場合、またはオンチップ発振回路を使用する際に外付け部品を最適化する場合にも、AD7705/AD7706の I_{DD} は最小化されます。図3、図4、図6、図7に、ゲイン、 V_{DD} 、外部クロックを使用するクロック周波数に対する I_{DD} の変化を示します。

グランド接続とレイアウト

アナログ入力とリファレンス入力は差動であるため、アナログ変調器内の大部分の電圧はコモン・モード電圧です。デバイスの優れたコモン・モード除去比により、これらの入力上のコモン・モード・ノイズが除去されます。デジタル・フィルタは変調器サンプリング周波数の正数倍以外の周波数では、電源の広帯域ノイズを抑圧します。デジタル・フィルタでは、アナログ入力とリファレンス入力のノイズがアナログ変調器を飽和させない場合には、これらのノイズを除去します。このために、AD7705/AD7706は従来型の高精度コンバータより優れた耐ノイズ干渉性能を持っています。しかし、AD7705/AD7706の分解能が非常に高いため、またAD7705/AD7706のノイズ・レベルが非常に低いため、グランドとレイアウトに対する注意が必要になります。

AD7705を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離し、ボードの一定の領域にまとめるように設計する必要があります。分離が容易なグランド・プレーンの使用が可能です。一般に、最善のシールドを与えるため、グランド・プレーンには最小エッチ技術が最適です。デジタル・グランド・プレーンとアナログ・グランド・プレーンは1箇所接続して、グランド・ループを回避する必要があります。複数のデバイスがAGNDとDGND間の接続を必要とするようなシステム内でAD7705/AD7706を使用する場合、この接続は1ポイントすなわちAD7705 GNDのできるだけ近くにつく星形グランド・ポイントだけで行う必要があります。

デバイスの下にデジタル・ラインを走らすと、ノイズがダイに飛び込むので、このような配線は回避してください。ノイズの飛び込みを回避するため、AD7705/AD7706の下にアナログ・グランド・プレーンを走らせてください。AD7705/AD7706に対する電源ラインはできるだけ太くして、低インピーダンス・パスにし、電源ライン上のグリッチの影響を小さくします。クロックのような高速スイッチング信号は、デジタル・グランドでシールドして、ボードの他の部分へのノイズ放射を避けるようにし、クロック信号はアナログ入力の近くを走らないようにします。デジタル信号とアナログ信号の交差は避けてください。ボードの反対側の線は互いに右角度で走るようにします。これによりボードを通過する影響を軽減することができます。マイクロ・ストリップ技術は最適ですが、両面ボードでは常に可能とは限りません。この技術では、ボードの部品面はグランド・プレーン専用で、信号はハンダ面に配置されます。

高精度ADCを使用する場合は、電源ノイズのバイパスが重要です。全てのアナログ電源とGNDの間には、 $10\mu\text{F}$ のタンタル・キャパシタと $0.1\mu\text{F}$ のセラミック・キャパシタを並列接続する必要があります。これらのノイズ・バイパス部品で最善の性能を得るためには、これらをできるだけデバイスの近くに、理想的にはデバイスに直接接続することが必要です。全てのロジック・チップに対しては、 $0.1\mu\text{F}$ のディスク型セラミック・キャパシタを使用してDGNDにノイズをバイパスする必要があります。

AD7705/AD7706の性能評価

AD7705とAD7706に対する推奨レイアウトは、対応する評価の節で概要を説明してあります。これらの評価ボード・パッケージには、組立およびテスト済みの評価ボード、ドキュメント、PCのプリンタ・ポート経由でボードを制御するソフトウェア、PC上で性能を解析するソフトウェアが含まれています。

AD7705/AD7706に入力される信号内のノイズ・レベルもデバイスの性能に影響を与えることがあります。AD7705/AD7706ソフトウェア評価パッケージを使うと、ユーザはアナログ入力信号とは独立にデバイスの真の性能を評価することができます。デバイスのテスト・モードを使用して、AD7705への入力同士を内部で短絡してゼロ差動電圧をアナログ変調器に与えます。デバイスの外部で、AD7705のAIN1(-)入力はデバイスの許容コモン・モード範囲内の電圧に接続されます。同様に、AD7706ではCOMMON入力が評価目的の許容コモン・モード範囲内の電圧に接続されます。この接続は、デバイスのキャリブレーションを終了した後に使用する必要があります。

デジタル・インターフェース

前述のように、AD7705/AD7706の設定可能な機能は、オンチップ・レジスタのセットを使って制御されます。デバイスのシリアル

インターフェースを使ってデータがこれらのレジスタに書き込まれ、オンチップ・レジスタに対する読み出しアクセスもこのインターフェースを使用して行われます。デバイスに対する全ての通信は、コミュニケーション・レジスタに対する書き込み動作から開始する必要があります。パワーオン後またはRESET後、デバイスはコミュニケーション・レジスタに対する書き込みを待ちます。このレジスタに書き込まれるデータにより、次の動作としてのリード/ライト動作と次にリード/ライト対象となるレジスタが指定されます。したがって、他のレジスタに対する書き込みアクセスを行う前に、必ずコミュニケーション・レジスタに対する書き込みを行う必要があります。他のレジスタ(コミュニケーション・レジスタ自体と出力データ・レジスタを含む)に対する読み出しアクセスの前にも、このコミュニケーション・レジスタに対する書き込みが必要です。

The AD7705/AD7706のシリアル・インターフェースは、5つの信号CS、SCLK、DIN、DOUT、DRDYで構成されています。DINラインはオンチップ・レジスタへのデータ転送に、DOUTラインはオンチップ・レジスタからのデータをアクセスするために、それぞれ使用されます。SCLKはデバイスに対するシリアル・クロック入力で、全てのデータ転送(DINまたはDOUTでの)は、このSCLK信号を基準とします。DRDYラインはステータス信号として使用され、AD7705/AD7706のデータ・レジスタからデータが読み出し可能であることを表示します。新しいデータ・ワードが出力レジスタに格納されるとDRDYはLowになります。データ・レジスタからの読み出し動作が完了すると、DRDYラインはリセットされてHighになります。また、DRDYラインは出力レジスタの更新の前にHighに変化して、デバイスの読み出しが不可能なタイミングを表示し、レジスタの更新中にデータ読み出しを確実に行わないようにします。CSはデバイスの選択に使用します。この信号は、複数のデバイスがシリアル・バスに接続されているシステム内でAD7705/AD7706をデコードするとき使用することができます。

図16と図17に、CSをデバイスのデコードに使用するAD7705/AD7706に対するインターフェースのタイミング図を示します。図16はAD7705/AD7706の出力シフト・レジスタからの読み出し動作で、図17は入力シフト・レジスタに対する書き込み動作です。出力レジスタからの最初の読み出し動作後にDRDYラインがHighに戻りますが、同じデータを2回読み出すことは可能です。ただし、読み出し動作が次の出力更新が開始される前に完了するように注意する必要があります。

AD7705/AD7706シリアル・インターフェースは、CS入力をLowに接続すると、3線式モードで動作することができます。この場合、SCLKライン、DINライン、DOUTラインを使用してAD7705/AD7706との通信を行い、DRDYの状態はコミュニケーション・レジスタのMSBを調べることにより得ることができます。この接続は、マイクロコントローラとのインターフェースに適しています。CSがデコーディング信号として必要な場合は、ポート・ビットから発生することができます。マイクロコントローラ・インターフェースの場合は、データ転送の間でSCLKがアイドルHighになることが推奨されます。

AD7705/AD7706では、CSをフレーム同期信号として使用することもできます。この接続は、DSPインターフェースに適しています。DSPでは、CSは通常SCLKの立下がりエッジの後に発生するため、先頭ビット(MSB)は実質的にCSによりクロック駆動されます。タイミング番号に従っている場合には、SCLKはデータ転送の間でも動作を続けることができます。

AD7705/AD7706

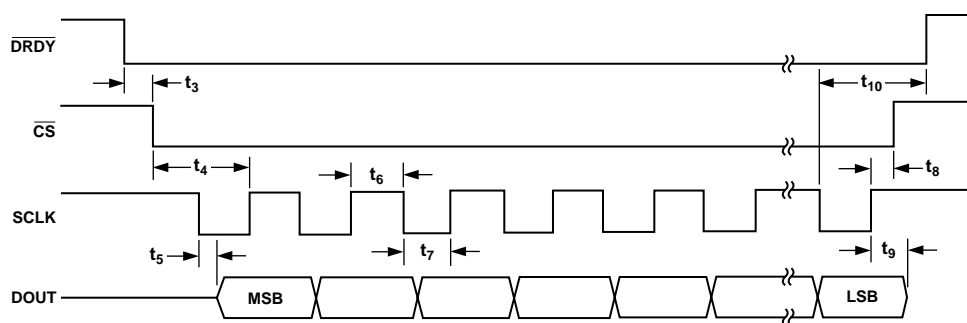


図16 . 読み出しサイクルのタイミング図

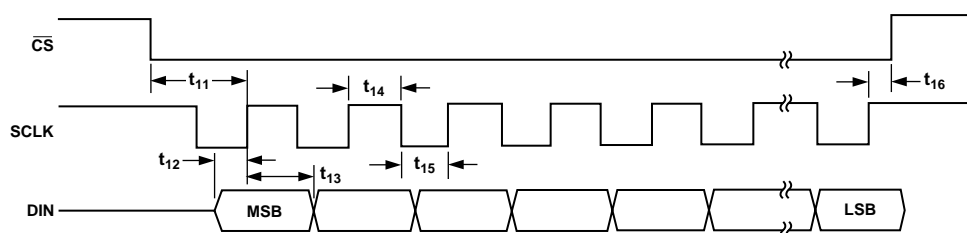


図17 . 書き込みサイクルのタイミング図

シリアル・インターフェースは、デバイスのRESET入力を使用してリセットすることができます。また、DIN入力に“1”を連続して入力することによっても、リセットすることができます。シリアル・クロックで少なくとも32サイクル間連続するロジック1をAD7705/AD7706 DINラインに入力すると、シリアル・インターフェースはリセットされます。この機能により、3線式システムでは、ソフトウェア・エラーまたはシステム内のグリッチなどによりインターフェースが失われた場合に、確実に既知状態にリセットすることができます。リセットでは、AD7705/AD7706のコミュニケーション・レジスタに対する書き込み動作待ちの状態にインターフェースが戻されます。この動作自体は全てのレジスタの内容をリセットしませんが、インターフェースが失われているため、全てのレジスタに書き込まれた情報は未知であり、全レジスタの再設定が必要です。

マイクロプロセッサまたはマイクロコントローラでシリアル・インターフェースは1本のシリアル・データ・ラインしか持っていないことがあります。この場合は、AD7705/AD7706のDATA OUTラインとDATA INラインを相互接続して、それをプロセッサの1本のデータ・ラインに接続することができます。この1本のデータ・ラインには10kΩのプルアップ抵抗を使用する必要があります。この場合、インターフェースが失われると、同じラインを読み出し書き込み動作に共用しているため、インターフェースを既知状態に戻すリセット・プロシージャは、前述のものより少し難しくなります。確実にシリアル・インターフェースを既知状態に戻すためには、24シリアル・クロックの読み出し動作に続いて、シリアル・クロックで最小32サイクル間連続ロジック1を入力する書き込み動作が必要になります。

AD7705/AD7706の設定

AD7705/AD7706には、シリアル・インターフェースを經由してユーザがアクセスできる6個のオンチップ・レジスタが内蔵されています。これらのレジスタとの通信は、先にコミュニケーション・レジスタに書き込みを行うことにより開始されます。図18に、パワーオン後またはリセット後に、全レジスタを設定する際に使用されるシーケンスのフロー図をAD7705について示します。AD7706にも同様なプロシージャが適用されます。フローチャートには、2種類のリード・オプションも示してあります。最初のオプションで

は、データ・レジスタの更新を行うタイミングを知るために、 $\overline{\text{DRDY}}$ ピンをポーリングします。第2のオプションでは、コミュニケーション・レジスタの $\overline{\text{DRDY}}$ ビットを見て、データ・レジスタの更新完了を調べます。フロー図には、動作条件の特定セットのためにレジスタに書き込む必要のある一連のワードも示してあります。この特定条件とは、ゲイン=1、フィルタ同期なし、バイポーラ・モード、バッファOFF、クロック=4.9512 MHz、出力レート=50 Hzです。

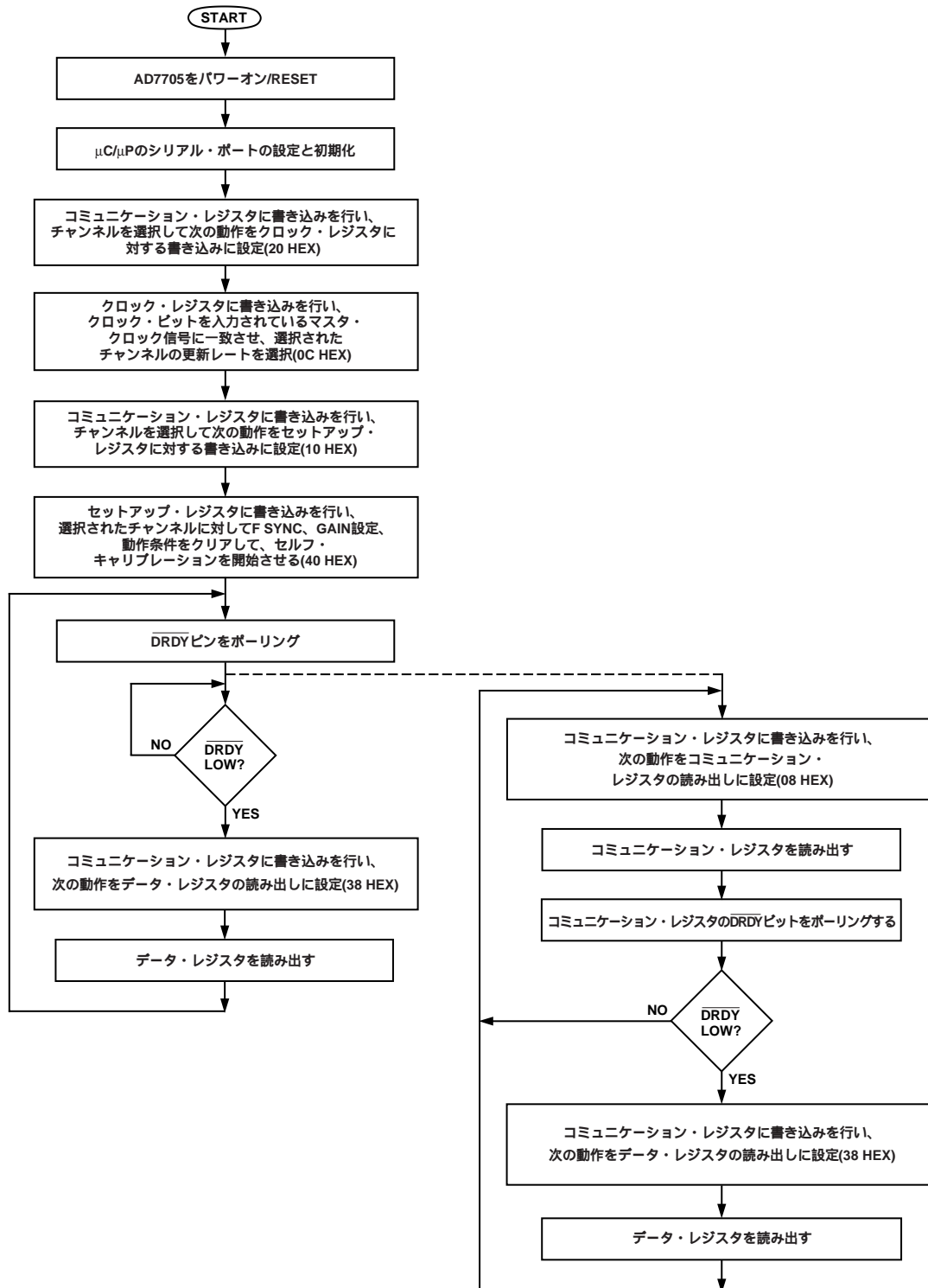


図18 . AD7705に対する設定と読み出しのフローチャート

AD7705/AD7706

マイクロコンピュータ/マイクロプロセッサに対するインターフェース

AD7705/AD7706のフレキシブルなシリアル・インターフェースを使用すると、大部分のマイクロコンピュータとマイクロプロセッサに容易にインターフェースすることができます。図18のフローチャートに、AD7705/AD7706をマイクロコントローラまたはマイクロプロセッサにインターフェースする際に従うシーケンスの概要を示します。図19、図20、図21に代表的なインターフェース回路を示します。

AD7705/AD7706のシリアル・インターフェースは3線式で動作することが可能で、SPIインターフェース・プロトコルと互換性があります。インターフェースのライン本数を最小化することによりシステム内で必要とされる光アイソレータの数を最小にする必要のあるアイソレーション・システムに対しては、この3線式動作によりこのデバイスは最適なものになります。シリアル・クロック入力はシュミット・トリガ入力で、光カプラーの低速エッジを処理することができます。AD7705/AD7706の他のデジタル入力の立ち上がりおよび立ち下がり時間は、 $1\mu\text{s}$ を超えることはできません。

AD7705/AD7706の大部分のレジスタは8ビット・レジスタであり、マイクロコントローラの8ビット・シリアル・ポートへのインターフェースは容易です。AD7705/AD7706のデータ・レジスタは16で、オフセット・レジスタとゲイン・レジスタは24ビット・レジスタですが、これらのレジスタに対するデータ転送は、マイクロコントローラのシリアル・ポートに対する8ビット転送の整数倍で構成することができます。DSPプロセッサとマイクロプロセッサは、一般に、シリアル・データ動作で16ビット・データを転送します。ADSP-2105のようなプロセッサは、シリアル転送内でのサイクル数を設定する機能を持っています。この機能を使うと、ユーザは転送ビット数をAD7705/AD7706内の必要なレジスタのレジスタ長に一致させることができます。

AD7705/AD7706内の幾つかのレジスタは8ビット長ですが、これらのレジスタの内の2つと通信する際に、必要に応じて、連続する書き込み動作を1回の16ビット・データ転送として扱うこともできます。例えば、セットアップ・レジスタを更新する場合、プロセッサは先にコミュニケーション・レジスタに書き込みを行い(次の動作をセットアップ・レジスタに対する書き込みであることを通知)続いてセットアップ・レジスタに8ビットを書き込みます。必要な場合は、これを1回の16ビット転送で行うことができます。これは、コミュニケーション・レジスタに対する書き込み動作の8個のシリアル・クロックが完了したら、デバイス自体が直ちにセットアップ・レジスタに対する書き込み動作に設定できるために可能になります。

AD7705/AD7706と68HC11とのインターフェース

図19に、AD7705/AD7706と68HC11マイクロコントローラとの間のインターフェースを示します。この図には、AD7705/AD7706のCSをLowにハードワイヤー接続した最小(3線式)インターフェースが示してあります。この方式では、コミュニケーション・レジスタ内のDRDYビットを監視して、データ・レジスタの更新タイミングを知ることができます。インターフェース・ライン数が4本に増えるもう1つの方式は、AD7705/AD7706のDRDY出力ラインを監視する方式です。DRDYラインの監視は次の2つの方法で可能です。第1の方法では、DRDYを入力に設定された68HC11のポート・ビット(例えばPC0)に接続します。このポート・ビットをポーリングして、DRDYの状態を調べることができます。第2の方式は割り込み駆動システムを使う方法で、DRDY出力を68HC11のIRQ入力に接続します。AD7705/AD7706のCS入力を制御することが必要なインターフェースの場合は、出力に設定された68HC11のポート・ビット1つ(例えばPC1)を使ってCS入力を駆動することができます。

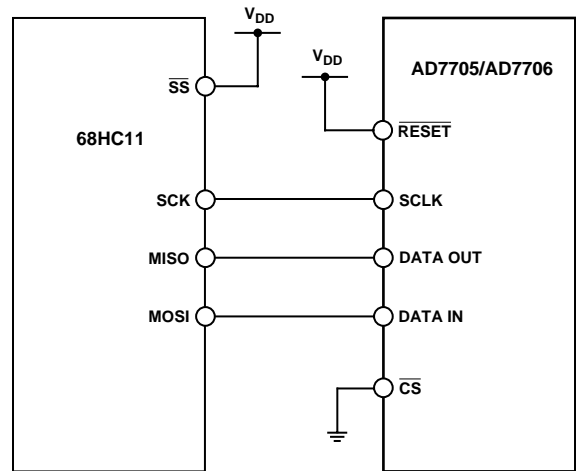


図19. AD7705/AD7706と68HC11の間のインターフェース

CPOLビットをロジック1に設定し、かつCPHAビットをロジック1に設定して、68HC11をマスタ・モードに設定します。68HC11がこの様に設定されると、68HC11のSCLKラインはデータ転送とデータ転送の間でアイドルのHighになります。AD7705/AD7706では全二重動作はできません。AD7705/AD7706が書き込み動作に設定された場合は、SCLK入力がアクティブでも、DATA OUTラインにはデータは出力されません。同様に、AD7705/AD7706が読み出し動作に設定された場合は、SCLKがアクティブでも、DATA INラインに入力されたデータは無視されます。

68HC11とAD7705/AD7706のインターフェースに対するコーディングを表XVIIIに示します。この例では、AD7705/AD7706のDRDY出力ラインは68HC11のPC0ポート・ビットに接続され、その状態がポーリングされます。

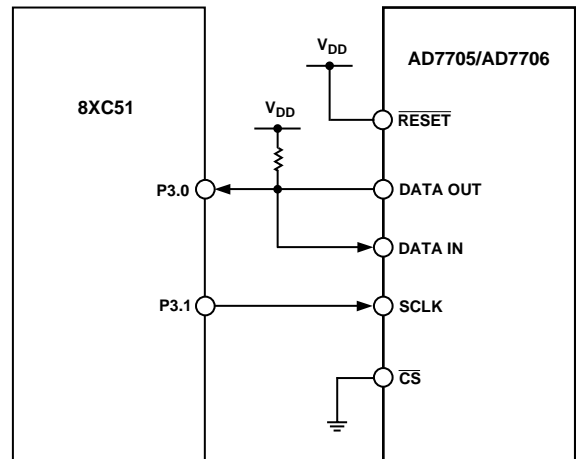


図20. AD7705/AD7706と8XC51の間のインターフェース

AD7705/AD7706と8051とのインターフェース

図20に、AD7705/AD7706と8XC51マイクロコントローラとの間のインターフェース回路を示します。この図には、AD7705/AD7706のCSをLowにハードワイヤー接続した最小接続数のインターフェースが示してあります。8XC51インターフェースの場合は、最小接続本数は2本です。この方式では、コミュニケーション・レジスタ内のDRDYビットを監視して、データ・レジスタの更新タイミングを知ることができます。インターフェース・ライン数が3本に増えるもう1つの方式は、AD7705/AD7706のDRDY出力ラインを監視する方式です。DRDYラインの監視は次の2つの方法で可能です。第1の方法

では、 $\overline{\text{DRDY}}$ を入力に設定された8XC51のポート・ビット(例えばP1.0)に接続します。このポート・ビットをポーリングして、 $\overline{\text{DRDY}}$ の状態を調べることができます。第2の方式は割り込み駆動システムを使う方法で、 $\overline{\text{DRDY}}$ 出力を8XC51のINT1入力に接続します。AD7705/AD7706の $\overline{\text{CS}}$ 入力を制御することが必要なインターフェースの場合は、出力に設定された8XC51のポート・ビット1つ(例えばP1.1)を使って $\overline{\text{CS}}$ 入力を駆動することができます。8XC51はモード0シリアル・インターフェース・モードに設定されます。8XC51のシリアル・インターフェースは1本のデータ・ラインしか持ちません。そのため、AD7705/AD7706のDATA OUTピンとDATA INピンを相互に接続して、10 k Ω のプルアップ抵抗を接続します。8XC51のシリアル・クロックはデータ転送とデータ転送の間でアイドルHighになります。8XC51は書き込み動作ではLSBを先頭にして出力しますが、AD7705/AD7706ではMSB先頭であるため、送信データを並べ替えた後に出力シリアル・レジスタに書き込む必要があります。同様に、書き込み動作ではAD7705/AD7706はMSBを先頭にして出力しますが、8XC51はLSB先頭です。このため、シリアル・バッファ内に読み込まれたデータを並べ替えて、AD7705/AD7706の正しいデータ・ワードをアキュムレータに格納する必要があります。

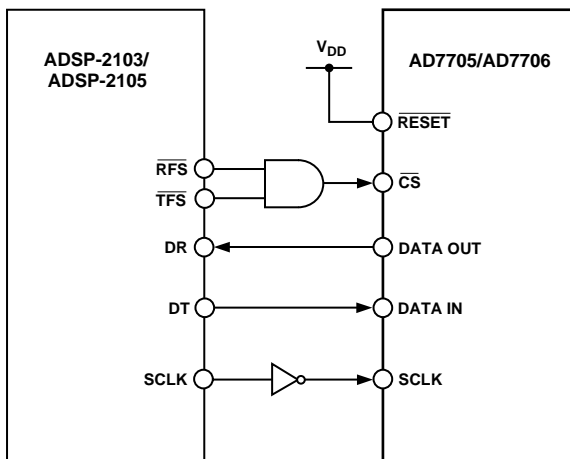


図21 . AD7705/AD7706とADSP - 2103/ADSP - 2105とのインターフェース

AD7705/AD7706とADSP - 2103/ADSP - 2105とのインターフェース

図21に、AD7705/AD7706とADSP - 2103/ADSP - 2105 DSPプロセッサとの間のインターフェースを示します。このインターフェースでは、コミュニケーション・レジスタ内の $\overline{\text{DRDY}}$ ビットを監視して、データ・レジスタの更新タイミングを知ることができます。もう1つ方式は割り込み駆動システムを使う方法で、 $\overline{\text{DRDY}}$ 出力をADSP - 2103/ADSP - 2105のIRQ2入力に接続します。ADSP - 2103/ADSP - 2105のシリアル・インターフェースは、交互フレーミング・モードに設定します。ADSP - 2103/ADSP - 2105のRFSピンとTFSピンはアクティブLow出力に設定し、ADSP - 2103/ADSP - 2105シリアル・クロック・ラインのSCLKも出力に設定します。ADSP - 2103/ADSP - 2105のRFS出力またはTFS出力がアクティブのときは、AD7705/AD7706の $\overline{\text{CS}}$ もアクティブになります。ADSP - 2103/ADSP - 2105のシリアル・クロック・レートを3 MHzに制限して、AD7705/AD7706との動作を保証する必要があります。

AD7705/AD7706の設定に対するコード

表XVIIIに、68HC11マイクロコントローラとAD7705とのインターフェースに対する読み出し動作と書き込み動作のセットをC言語のコードで示します。サンプル・プログラムでは、AD7705の種々のレジスタを設定し、AD7705から1000サンプルを68HC11に読み込みます。AD7705の設定条件は、図18のフローチャートの場合と全く同じです。ここでのコード例では、 $\overline{\text{DRDY}}$ 出力をポーリングして新しい有効ワードがデータ・レジスタに格納されたことを調べます。AD7706に対しても殆ど同じシーケンスが適用できます。

このプログラム内のイベント・シーケンスを次に示します。

1. コミュニケーション・レジスタに書き込みを行い、チャンネル1をアクティブ・チャンネルとして選択し、次の動作としてクロック・レジスタに対する書き込みを設定します。
2. クロック・レジスタに書き込みを行い、外部クロックを内部で2分周するCLK DIVビットを設定します。ここでは外部水晶 = 4.9512 MHzとしています。50 Hzの更新レートを選択します。
3. コミュニケーション・レジスタに書き込みを行い、チャンネル1をアクティブ・チャンネルとして選択し、次の動作としてセットアップ・レジスタに対する書き込みを設定します。
4. セットアップ・レジスタに書き込みを行い、ゲイン = 1、バイポーラ・モード、バッファOFFを設定し、フィルタ同期をクリアしてセルフ・キャリブレーションを起動します。
5. $\overline{\text{DRDY}}$ 出力をポーリングします。
6. データ・レジスタからデータを読み出します。
7. 選択したチャンネルから指定されたサンプル数を取得するまでステップ5とステップ6を繰り返します。

AD7705/AD7706

表XVII . AD7705と68HC11との間のインターフェースに対するCコード

/*このプログラムは、68HC11とAD7705をインターフェースするための読み出し動作と書き込み動作のルーチンを持っています。また、このサンプル・プログラムでは種々のレジスタを設定して、チャンネル1から1000サンプルを読み出します。*/

```
#include <math.h>
#include <io6811.h>
#define NUM_SAMPLES 1000 /* データサンプル数を定義 */
#define MAX_REG_LENGTH 2 /* レジスタの最大長は2バイト */
Writetoreg (int);
Read (int,char);
char *datapointer = store;
char store[NUM_SAMPLES*MAX_REG_LENGTH + 30];
void main()
{
    /* 68HC11よりプログラムで設定されるピンはCSのみで、その理由はPORTCのPC2ビットを出力ピンとするため/
char a;
DDRC = 0x04; /* PC2は出力で、その他のポート・ビットは入力となる */
PORTC |= 0x04; /* CSをhighにする */
Writetoreg(0x20); /* アクティブチャンネルは AIN 1 (+)/AIN 1 (-)で、クロックレジスタへの書き込み動作を次に行う */
Writetoreg(0x0C); /* マスタクロックは4.9512MHz でイネーブル、出力レートを50Hzに設定、をそれぞれ設定する */
Writetoreg(0x10); /* アクティブチャンネルはAIN1 (+)/AIN1 (-)で、セットアップレジスタへの書き込み動作を次に行う */
Writetoreg(0x40); /* ゲイン = 1、バイポーラモード、FSYNCをクリア、セルフキャリブレーションの実行、をそれぞれ設定する */
while(PORTC & 0x10); /* DRDYがLowになるまで待つ */
for(a=0;a<NUM_SAMPLES;a++)
    {
        Writetoreg(0x38); /*データレジスタから16 ビットを読み出す動作、を設定する */
        Read(NUM_SAMPLES,2);
    }
}
Writetoreg(int byteword);
{
int q;
SPCR = 0x3f;
SPCR = 0x7f; /* このコードは次の設定を指定している、WiredORモード(DWOM=1)、マスタモード(MSTR=1)、SCKはhighの状態
(CPOL=1)、SSIはLow(CPHA=1)、(マスタクロック周波数 / 32)で最低速度のクロック */
DDRD=0x18; /*SCK、MOSIが出力となる */
q = SPDR;
q = SPDR; /*データの転送が完了したことをユーザに知らせる割り込みをクリアにするためにステータスレジスタとデータレジスタの読
み出しが必要 */
PORTC &= 0xfb; /* CSはLow */
SPDR = byteword; /*データレジスタにバイトのデータを入力する */
while(!(SPSR & 0x80)); /*DRDYがlowになることを待つ */
PORTC |= 0x4; /*CSはhigh */
}
Read(int amount, int reglength)
{
int q;
SPCR = 0x3f;
SPCR = 0x7f; /* 割り込みをクリアする */
DDRD = 0x10; /*MOSIは出力、MISOは入力、SCKは出力 */
while(PORTC & 0x10); /*DRDYがlowになることを待つ */
PORTC & 0xfb; /*CSはLow */
for(b=0;b<reglength;b++)
    {
        SPDR = 0;
        while(!(SPSR & 0x80)); /*読み出し前のポート・レディを待つ */
        *datapointer++=SPDR; /*SPDRを読み出して、データポインターによりアレイに格納する */
    }
PORTC|=4; /* /CS is high */
}
```

アプリケーション

AD7705は、2チャンネルの低価格で高分解のA/D変換機能を提供します。このA/D変換機能はアーキテクチャにより提供されているため、デバイスはノイズ環境に強く、産業用アプリケーションおよびプロセス制御アプリケーションでの使用に最適です。また、ゲイン設定可能なアンプ、デジタル・フィルタ、キャリブレーション・オプションも提供します。したがって、高品質な積分キャパシタを用意しなければならないという欠点なしで、既製の積分型ADCより多くのシステム・レベル機能を提供します。さらに、システム内でAD7705を使用すると、積分型ADCよりAD7705のノイズ性能が優れているため、さらに高レベルの分解能を達成することができます。

オンチップPGAにより、AD7705はVREF = +1.25 Vで10 mVフル・スケールという低いアナログ入力電圧範囲を処理することができます。デバイスの差動入力を使うと、デバイスを非バッファ・モードで動作させた場合、アナログ入力をGND ~ VDDの範囲の絶対値にすることができます。この入力を使うと、トランスジューサをAD7705の入力に直接接続することができます。設定可能なゲインを持つAD7705のフロントエンドにより、デバイスは0 mV ~ +20 mVから0 V ~ +2.5 Vのユニポーラ・アナログ入力範囲と±20 mV ~ ±2.5 Vのバイポーラ入力を扱うことが可能になっています。デバイスは単電源で動作するため、これらのバイポーラ範囲はバイアスを持つ差動入力に対応します。

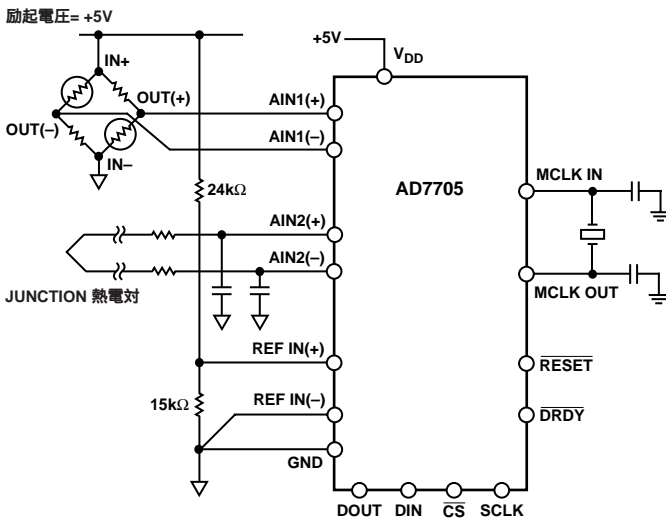


図22 . AD7705を使用する圧力計測

圧力計測

AD7705の代表的なアプリケーションの1つは、圧力計測です。図22に、Sensym社のBP01圧力トランスジューサを使用するAD7705を示します。この圧力トランスジューサはブリッジ接続され、OUT(+)端子とOUT(-)端子の間に差動電圧を出力します。トランスジューサの定格フル・スケール圧力(この場合300 mmHg)で、差動出力電圧は入力電圧V(すなわちIN(+)端子とIN(-)端子の間の電圧)当たり3 mVになります。励起電圧V = 5 Vの場合、トランスジューサのフル・スケール出力範囲は15 mVになります。ブリッジの励起電圧は、AD7705のリファレンス電圧の発生にも使用されています。したがって、励起電圧の変動はシステムにエラーを導入しません。図22のように抵抗値24 k と15 k を選択すると、励起電圧

= 5 Vのとき、AD7705のリファレンス電圧は1.92 Vになります。

ゲイン = 128を設定してデバイスを使用すると、AD7705のフル・スケール入力スパンは15 mVになり、これはトランスジューサの出力スパンに対応します。AD7705の第2のチャンネルは補助チャンネルとして使用し、図22に示すように、温度のような二次的変数を計測することができます。この第2のチャンネルを第1のチャンネル出力の調整手段として使用し、システム内の温度の影響を除去することもできます。

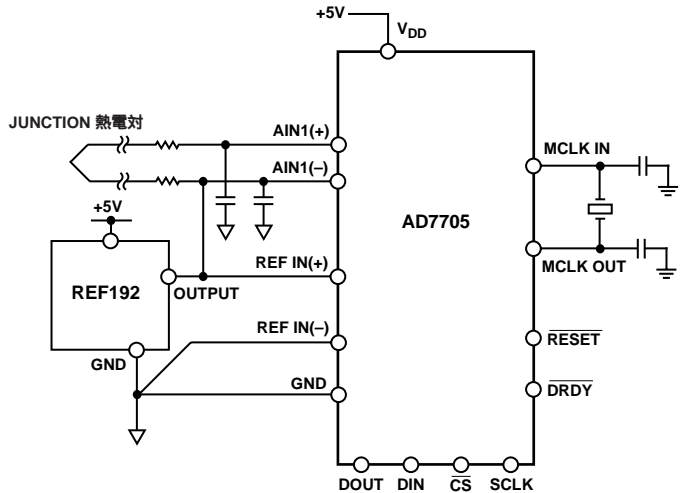


図23 . AD7705を使用する温度計測

温度計測

AD7705のもう一つのアプリケーション領域は温度計測にあります。図23に、熱電対とAD7705の接続を示します。このアプリケーションでは、AD7705はバッファ・モードで動作し、フロント・エンドの大容量バイパス・キャパシタにより、熱電対端子に発生するノイズを取り込まないようにします。AD7705がバッファ・モードで動作すると、コモン・モード範囲は小さくなります。熱電対から出力される差動電圧を適切なコモン・モード電圧にするため、AD7705のAIN1(-)入力にはリファレンス電圧 +2.5 Vのバイアスが加えられています。

図24に、AD7705の別の温度計測アプリケーションを示します。この場合は、トランスジューサはRTD(抵抗性温度デバイス)のPT100を使用しています。4端子RTD構成で接続します。リード抵抗RL1とリード抵抗RL4の両端では電圧降下がありますが、これらはコモン・モード電圧をシフトさせるだけです。AD7705に対する入力電流が非常に小さいため、リード抵抗RL2とリード抵抗RL3の両端には電圧降下はありません。これらのリード抵抗は小さいソース・インピーダンスを示すため、一般に、AD7705のバッファをターンオンする必要はありません。バッファが必要な場合は、そのために、RTDの下側とAD7705のGNDの間に小さい抵抗を挿入して、コモン・モード電圧を設定する必要があります。図のアプリケーションでは、400 μAの外部電流ソースを使用してPT100の励起電流を供給し、さらに6.25 k の抵抗を介してAD7705のリファレンス電圧も発生しています。入力電圧とリファレンス電圧は励起電流と比例関係にあるため、回路は励起電流変動の影響を受けません。ただし、温度変化によるリファレンス電圧のエラーを回避するため、6.25 k 抵抗は低い温度係数を持つ必要があります。

AD7705/AD7706

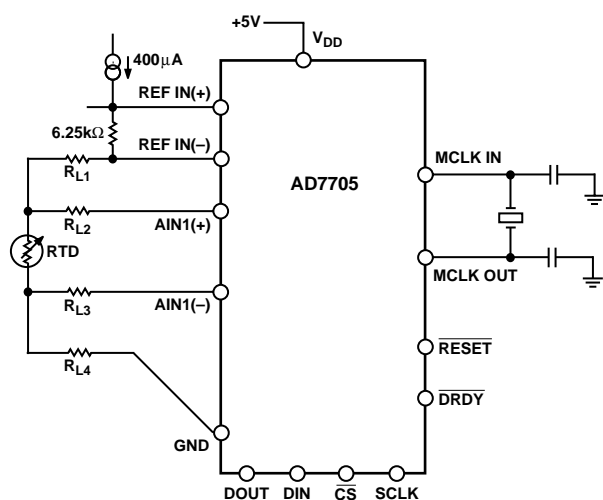


図24 . AD7705を使用するRTD計測

スマート送信器

低消費電力の単電源3線式インターフェース機能が有効な他の領域は、スマート送信器にあります。ここに示す、スマート送信器は4 mA ~ 20 mAループで動作する必要があります。ループの許容公差は、送信器の電源として使用可能な電流が非常に小さく3.5 mAであることを意味しています。AD7705は320 µ Aしか消費せず、少なくとも残りの3 mAは送信器に使用できます。図25に、AD7705を使用するスマート送信器のブロック図を示します。2チャンネルの入力を持つAD7705は、補助チャンネルを必要とするシステムに最適で、この補助チャンネルによる計測変数は、基本チャンネルの校正に使用されます。

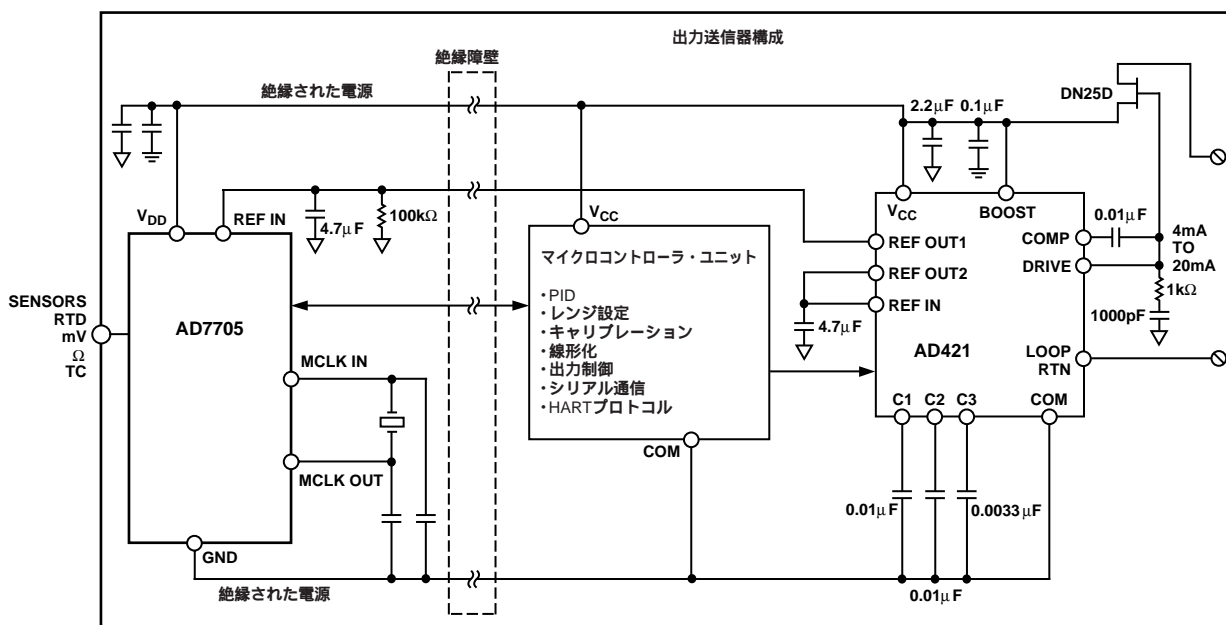


図25 . AD7705を使用するスマート送信器

バッテリー・モニタ

低消費電力で単電源動作を必要とするもう1つの領域は、可搬型装置におけるアプリケーションでのバッテリー・モニタです。図26に、バッテリー・モニタのブロック図を示します。ここでは、AD7705と1個の電池の電圧を差動で計測するために使用する外付けマルチプレクサを使用しています。AD7705の第2のチャンネルを使って、バッテリー電流をモニタしています。2チャンネル入力を持つAD7705は2つの入力チャンネルを必要とする計測システムに最適で、この場合の様に、電圧と電流をモニタします。AD7705では

非常に小さい入力信号を処理できるため、 R_{SENSE} を小さくして不要な消費電力を削減することができます。ゲイン = 128で動作する場合、 $\pm 9.57 \text{ mV}$ のフル・スケール信号を分解能 2 mV で計測でき、13.5ビットのフリッカなしのシステム性能を得ることができます。非バッファ・モードで規定性能を得るためには、アナログ入力電圧が $\text{GND} - 30 \text{ mV} \sim \text{VDD} + 30 \text{ mV}$ の範囲内の絶対電圧である場合、入力のコモン・モード範囲は $\text{GND} \sim \text{VDD}$ になります。AD7705では25で $\text{GND} - 200 \text{ mV}$ の絶対電圧を性能低下なしで処理することができますが、温度が上がるとリーク電流が大幅に増えます。

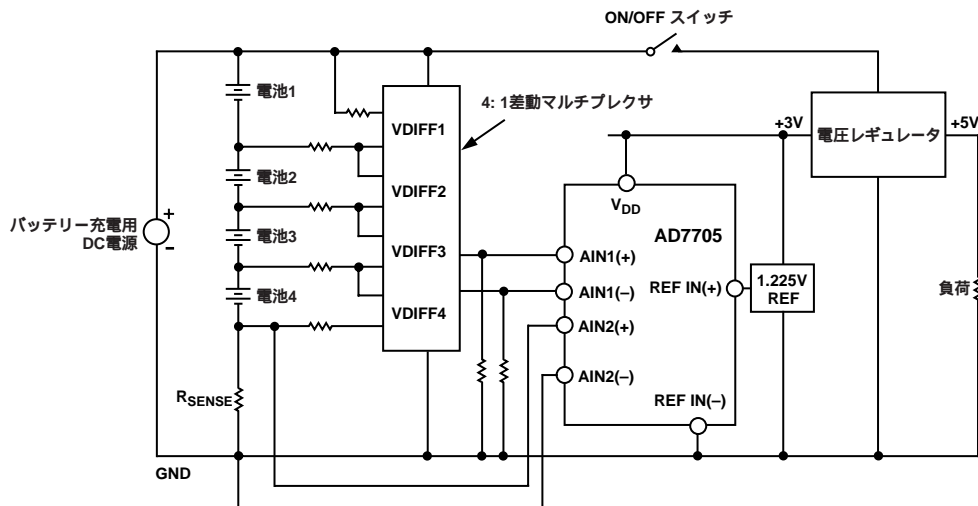


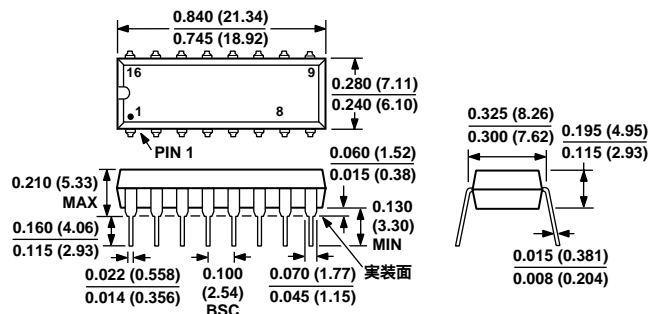
図26 . AD7705を使用するバッテリー・モニタ

AD7705/AD7706

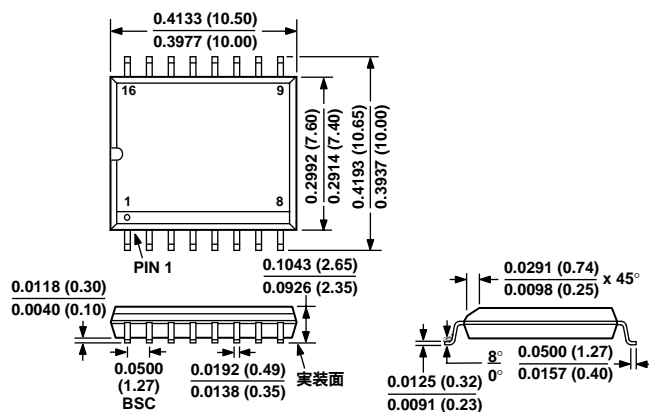
外形寸法

サイズはインチと(mm)で示します。

16ピン・プラスチックDIP (N-16)



16ピンSOIC (R-16)



16ピンTSSOP (RU-16)

