

特長

- 電荷平衡型ADC
- 24ビット・ノーマス・コード
- 非直線性: 0.0015%
- 5チャンネルのプログラマブルなゲイン・フロント・エンド
ゲイン: 1~128
- 3チャンネルのフル差動入力または5チャンネルの疑似差
動入力に設定可能
- 3線式シリアル・インターフェース: SPI™、QSPI™、
MICROWIRE™、DSPと互換
- 3 V (AD7714-3)または5 V (AD7714-5)動作
- 低ノイズ(<150 nV rms)
- 低電流(350 μ A typ)、パワーダウン時(5 μ A typ)
- AD7714Yグレード:
 - 電源電圧: +2.7 V~+3.3 Vまたは+4.75 V~+5.25 V
 - 直線性誤差: 0.0010%
 - 温度範囲: -40°C~+105°C
 - SCLKとDINにシュミット・トリガを内蔵
 - 低電流(226 μ A typ)、パワーダウン時(4 μ A typ)
 - 標準AD7714より低消費電力
 - 24ピンTSSOPパッケージを採用
- プログラマブルなフィルタ・カットオフを持つローパス・フ
ィルタ
- キャリブレーション係数の読み出し/書き込みが可能

アプリケーション

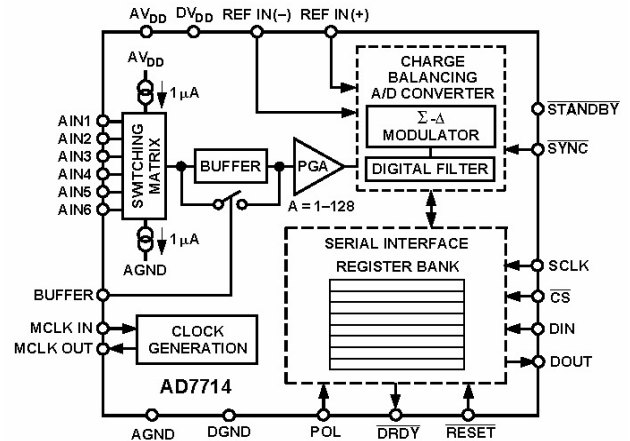
- 携帯型工業用計装機器
- 携帯型重量計
- ループ給電システム
- 圧カトランスデューサ

概要†

AD7714は、低周波計測アプリケーション向けのアナログ・フ
ロント・エンドです。このデバイスはトランスジューサから直接低
レベル信号を入力し、シリアル・デジタル・ワードを出力する
ことができます。このADCはシグマ・デルタ変換技術を採用し
て、最大24ビットのノーマス・コード性能を実現しています。
入力信号は、アナログ変調器を中心とする当社独自のプログラ
マブルなゲイン・フロント・エンドに入力されます。変調器出力は
内蔵のデジタル・フィルタにより処理されます。このデジタル
・フィルタの最初のノッチは、内蔵コントロール・レジスタ
から設定することができ、フィルタのカットオフとセトリン
グ・タイムを調節することができます。
このデバイスは、3個の差動アナログ入力(5個の疑似差動アナ
ログ入力として設定することも可能)と1個の差動リファレンス入
力を持っており、単電源(+3 Vまたは+5 V)で動作します。した
がって、AD7714は最大5チャンネルまでのシステムのすべての
シグナル・コンディショニングと変換を行います。
AD7714は、マイクロコントローラまたはDSPを採用したイン
テリジェントなシステム向けに最適です。このデバイスは、3
線式動作に設定できるシリアル・インターフェースを内蔵して
います。

*米国特許 No. 5,134,401 により保護されています。

†39 ページのデータシートの索引を参照してください。SPI と QSPI は、Motorola, Inc. の商標
です。MICROWIRE は、National Semiconductor Corporation の商標です。

機能ブロック図


ゲイン設定値、信号極性、チャンネル選択は、シリアル・ポー
トを使ってソフトウェアから設定することができます。AD7714
には、セルフキャリブレーション・オブション、システム・キ
ャリブレーション・オブション、バックグラウンド・キャリブ
レーション・オブションがあり、さらに内蔵キャリブレーショ
ン・レジスタの読み出し/書き込みも可能です。

CMOS 構造により、非常に低い消費電力が可能になり、パワ
ーダウン・モードではスタンバイ消費電力を 15 μ W (typ)まで削減
することができます。このデバイスは、24 ピン 0.3 インチ幅の
プラスチック・デュアル・イン・ライン・パッケージ(DIP)、24
ピン・スモール・アウトライン(SOIC)パッケージ、28 ピン・シ
ュリンク・スモール・アウトライン(SSOP)または
24 ピン薄型シュリンク・スモール・アウトライン・パッケージ
(TSSOP)を採用しています。

製品のハイライト

1. AD7714Y は、標準 AD7714 の機能の他に、温度範囲の拡張、
シュミット・トリガ(SCLK と DIN)の内蔵、2.7 V までの低電
圧動作、消費電力削減、直線性の改善、24 ピン TSSOP パッ
ッケージの追加を行っています。
2. AD7714 の消費電力は、総合電流 500 μ A ($f_{CLK IN} = 1$ MHz)ま
たは 1 mA ($f_{CLK IN} = 2.5$ MHz)以下であるため、ループ給電シ
ステム向けに最適です。
3. プログラマブルなゲイン・チャンネルの使用により、
AD7714 はストレーン・ゲージまたはトランスジューサから
信号を直接入力できるため、シグナル・コンディショニン
グ回路を大幅に削減できます。
4. AD7714 は、3 線式シリアル・インターフェースを使うマイ
クロコントローラまたは DSP プロセッサ・アプリケーション
向けに最適で、接続配線数とシステムのアイソレーションに
必要な多数のフォトカプラ数を削減することができます。こ
のデバイスは、フィルタ・カットオフ、入力ゲイン、チャ
ンネル選択、信号極性、キャリブレーション・モードを制
御するレジスタを内蔵しています。
5. このデバイスは 24 ビット・ノーマス・コード、 $\pm 0.0015\%$
の精度、低い rms ノイズ(140 nV)の優れたスタティック性能
仕様を持っています。エンドポイント誤差と温度ドリフトの
影響は、ゼロ・スケール誤差とフル・スケール誤差をなく
する内蔵セルフキャリブレーションにより解消されます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関
して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナ
ログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予
告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

©日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©1998 Analog Devices, Inc. All rights reserved.

Rev. C

AD7714-5-仕様

(特に指定がない限り、 $AV_{DD} = +5\text{ V}$ 、 $DV_{DD} = +3.3\text{ V}$ または $+5\text{ V}$ 、 $REF\ IN(+)=+2.5\text{ V}$ 、 $REF\ IN(-)=AGND$ 、 $f_{CLK\ IN} = 2.4576\text{ MHz}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定)

Parameter	A Versions ¹	Units	Conditions/Comments
STATIC PERFORMANCE			
No Missing Codes	24 22 18 15 12	Bits min Bits min Bits min Bits min Bits min	Guaranteed by Design. Bipolar Mode. For Filter Notches $\leq 60\text{ Hz}$ For Filter Notch = 100 Hz For Filter Notch = 250 Hz For Filter Notch = 500 Hz For Filter Notch = 1 kHz
Output Noise	See Tables I to IV		Depends on Filter Cutoffs and Selected Gain
Integral Nonlinearity	± 0.0015	% of FSR max	Filter Notches $\leq 60\text{ Hz}$
Unipolar Offset Error	See Note 2		
Unipolar Offset Drift ³	0.5 0.3	$\mu\text{V}/^\circ\text{C}$ typ $\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4 For Gains of 8, 16, 32, 64, 128
Bipolar Zero Error	See Note 2		
Bipolar Zero Drift ³	0.5 0.3	$\mu\text{V}/^\circ\text{C}$ typ $\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4 For Gains of 8, 16, 32, 64, 128
Positive Full-Scale Error ⁴	See Note 2		
Full-Scale Drift ^{3,5}	0.5 0.3	$\mu\text{V}/^\circ\text{C}$ typ $\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4 For Gains of 8, 16, 32, 64, 128
Gain Error ⁶	See Note 2		
Gain Drift ^{3,7}	0.5	ppm of FSR/ $^\circ\text{C}$ typ	
Bipolar Negative Full-Scale Error	± 0.0015	% of FSR max	Typically $\pm 0.0004\%$
Bipolar Negative Full-Scale Drift ³	1 0.6	$\mu\text{V}/^\circ\text{C}$ typ $\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4 For Gains of 8, 16, 32, 64, 128
ANALOG INPUTS/REFERENCE INPUTS			
Input Common-Mode Rejection (CMR)	90	dB min	Specifications for AIN and REF IN Unless Noted
Normal-Mode 50 Hz Rejection ⁸	100	dB min	At DC. Typically 102 dB
Normal-Mode 60 Hz Rejection ⁸	100	dB min	For Filter Notches of 10Hz, 25Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 50 Hz Rejection ⁸	150	dB min	For Filter Notches of 10Hz, 30Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 60 Hz Rejection ⁸	150	dB min	For Filter Notches of 10Hz, 25Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode Voltage Range ⁹	AGND to AV_{DD}	V min to V max	For Filter Notches of 10Hz, 30Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Absolute AIN/REF IN Voltage ⁹	AGND – 30 mV $AV_{DD} + 30\text{ mV}$ AGND + 50 mV $AV_{DD} - 1.5\text{ V}$	V min V max V min V max	AIN for BUFFER = 0 and REF IN AIN for BUFFER = 0 and REF IN
Absolute/Common-Mode AIN Voltage ⁹	1 7	V min V max	BUFFER = 1. A Version
AIN Input Current ⁸	1	nA max	A Version
AIN Sampling Capacitance ⁸	7	pF max	
AIN Differential Voltage Range ¹⁰	0 to $+V_{REF}/GAIN^{11}$ $\pm V_{REF}/GAIN$	nom	Unipolar Input Range (B/U Bit of Filter High Register = 1)
AIN Input Sampling Rate, f_s	$GAIN \times f_{CLK\ IN}/64$	nom	Bipolar Input Range (B/U Bit of Filter High Register = 0)
REF IN(+)-REF IN(-) Voltage	$f_{CLK\ IN}/8$ +2.5	V nom	For Gains of 1, 2, 4 For Gains of 8, 16, 32, 64, 128
REF IN Input Sampling Rate, f_s	$f_{CLK\ IN}/64$		$\pm 1\%$ for Specified Performance. Functional with Lower V_{REF}
LOGIC INPUTS			
Input Current	± 10	μA max	
All Inputs Except MCLK IN			
V_{INL} , Input Low Voltage	0.8	V max	$DV_{DD} = +5\text{ V}$
V_{INL} , Input Low Voltage	0.4	V max	$DV_{DD} = +3.3\text{ V}$
V_{INH} , Input High Voltage	2.4	V min	$DV_{DD} = +5\text{ V}$
V_{INH} , Input High Voltage	2.0	V min	$DV_{DD} = +3.3\text{ V}$
MCLK IN Only			
V_{INL} , Input Low Voltage	0.8	V max	$DV_{DD} = +5\text{ V}$
V_{INL} , Input Low Voltage	0.4	V max	$DV_{DD} = +3.3\text{ V}$
V_{INH} , Input High Voltage	3.5	V min	$DV_{DD} = +5\text{ V}$
V_{INH} , Input High Voltage	2.5	V min	$DV_{DD} = +3.3\text{ V}$
LOGIC OUTPUTS (Including MCLK OUT)			
V_{OL} , Output Low Voltage	0.4	V max	$I_{SINK} = 800\ \mu\text{A}$ Except for MCLK OUT. ¹² $DV_{DD} = +5\text{ V}$
V_{OL} , Output Low Voltage	0.4	V max	$I_{SINK} = 100\ \mu\text{A}$ Except for MCLK OUT. ¹² $DV_{DD} = +3.3\text{ V}$
V_{OH} , Output High Voltage	4.0	V min	$I_{SOURCE} = 200\ \mu\text{A}$ Except for MCLK OUT. ¹² $DV_{DD} = +5\text{ V}$
V_{OH} , Output High Voltage	$DV_{DD} - 0.6\text{ V}$	V min	$I_{SOURCE} = 100\ \mu\text{A}$ Except for MCLK OUT. ¹² $DV_{DD} = +3.3\text{ V}$
Floating State Leakage Current	± 10	μA max	
Floating State Output Capacitance ¹³	9	pF typ	
Data Output Coding	Binary Offset Binary		Unipolar Mode Bipolar Mode

注

¹ 温度範囲: Aバージョンは $-40^\circ\text{C} \sim +85^\circ\text{C}$ 。

² キャリブレーションとは、実質的にこれらの誤差が表 I ~ IV に示す変換ノイズのオーダーになるような変換を意味します。注目する温度でキャリブレーションした後適用します。

³ 任意の温度での再キャリブレーションによりこれらのドリフト誤差は除去されます。

⁴ 正のフル・スケール誤差には、ゼロ・スケール誤差(ユニポーラ・オフセット誤差またはバイポーラ・ゼロ誤差)が含まれ、ユニポーラ入力範囲とバイポーラ入力範囲に適用されます。

⁵ フル・スケール・ドリフトには、ゼロ・スケール・ドリフト(ユニポーラ・オフセット・ドリフトまたはバイポーラ・ゼロ・ドリフト)が含まれ、ユニポーラ入力範囲とバイポーラ入力範囲に適用されます。

⁶ ゲイン誤差にはゼロ・スケール誤差が含まれません。これは、フル・スケール誤差として計算されます—ユニポーラ範囲とフル・スケール誤差ではユニポーラ・オフセット誤差—バイポーラ範囲ではバイポーラ・ゼロ誤差。

AD7714-3-仕様

(特に指定がない限り、 $AV_{DD} = +3.3\text{ V}$ 、 $DV_{DD} = +3.3\text{ V}$ 、 $REF\ IN(+)=+1.25\text{ V}$ ； $REF\ IN(-)=AGND$ ； $f_{CLK\ IN}=2.4576\text{ MHz}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定)

Parameter	A Versions	Units	Conditions/Comments
STATIC PERFORMANCE			
No Missing Codes	24	Bits min	Guaranteed by Design. Bipolar Mode. For Filter Notches $\leq 60\text{ Hz}$
	22	Bits min	For Filter Notch = 100 Hz
	18	Bits min	For Filter Notch = 250 Hz
	15	Bits min	For Filter Notch = 500 Hz
	12	Bits min	For Filter Notch = 1 kHz
Output Noise	See Tables I to IV		Depends on Filter Cutoffs and Selected Gain
Integral Nonlinearity	± 0.0015	% of FSR max	Filter Notches $\leq 60\text{ Hz}$
Unipolar Offset Error	See Note 2		
Unipolar Offset Drift ³	0.4	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4
	0.1	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 8, 16, 32, 64, 128
Bipolar Zero Error	See Note 2		
Bipolar Zero Drift ³	0.4	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4
	0.1	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 8, 16, 32, 64, 128
Positive Full-Scale Error ⁴	See Note 2		
Full-Scale Drift ^{3,5}	0.4	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4
	0.1	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 8, 16, 32, 64, 128
Gain Error ⁶	See Note 2		
Gain Drift ^{3,7}	0.2	ppm of FSR/ $^\circ\text{C}$ typ	
Bipolar Negative Full-Scale Error	± 0.003	% of FSR max	Typically $\pm 0.0004\%$
Bipolar Negative Full-Scale Drift ³	1	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4
	0.6	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 8, 16, 32, 64, 128
ANALOG INPUTS/REFERENCE INPUTS			
Input Common-Mode Rejection (CMR)	90	dB min	Specifications for AIN and REF IN Unless Noted At DC. Typically 102 dB.
Normal-Mode 50 Hz Rejection ⁸	100	dB min	For Filter Notches of 10 Hz, 25 Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Normal-Mode 60 Hz Rejection ⁸	100	dB min	For Filter Notches of 10 Hz, 30 Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 50 Hz Rejection ⁸	150	dB min	For Filter Notches of 10 Hz, 25 Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 60 Hz Rejection ⁸	150	dB min	For Filter Notches of 10 Hz, 30 Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode Voltage Range ⁹	AGND to AV_{DD}	V min to V max	AIN for BUFFER = 0 and REF IN
Absolute AIN/REF IN Voltage ⁹	AGND - 30 mV	V min	AIN for BUFFER = 0 and REF IN
	$AV_{DD} + 30\text{ mV}$	V max	
Absolute/Common-Mode AIN Voltage ⁹	AGND + 50 mV	V min	BUFFER = 1
	$AV_{DD} - 1.5\text{ V}$	V max	
AIN Input Current ⁸	1	nA max	
AIN Sampling Capacitance ⁸	7	pF max	
AIN Differential Voltage Range ¹⁰	0 to $+V_{REF}/GAIN^{11}$	nom	Unipolar Input Range (B/U Bit of Filter High Register = 1)
	$\pm V_{REF}/GAIN$	nom	Bipolar Input Range (B/U Bit of Filter High Register = 0)
AIN Input Sampling Rate, f_s	$GAIN \times f_{CLK\ IN}/64$		For Gains of 1, 2, 4
REF IN(+) - REF IN(-) Voltage	$f_{CLK\ IN}/8$	V nom	For Gains of 8, 16, 32, 64, 128
REF IN Input Sampling Rate, f_s	$f_{CLK\ IN}/64$		$\pm 1\%$ for Specified Performance. Part Functions with Lower V_{REF}
LOGIC INPUTS			
Input Current	± 10	μA max	
All Inputs Except MCLK IN			
V_{INL} , Input Low Voltage	0.4	V max	
V_{INH} , Input High Voltage	2.0	V min	
MCLK IN Only			
V_{INL} , Input Low Voltage	0.4	V max	
V_{INH} , Input High Voltage	2.5	V min	
LOGIC OUTPUTS (Including MCLK OUT)			
V_{OL} , Output Low Voltage	0.4	V max	$I_{SINK} = 100\ \mu\text{A}$ Except for MCLK OUT ¹²
V_{OH} , Output High Voltage	$DV_{DD} - 0.6$	V min	$I_{SOURCE} = 100\ \mu\text{A}$ Except for MCLK OUT ¹²
Floating State Leakage Current	± 10	μA max	
Floating State Output Capacitance ¹³	9	pF typ	
Data Output Coding	Binary		Unipolar Mode
	Offset Binary		Bipolar Mode

注

⁷ ゲイン誤差ドリフトには、ユニポーラ・オフセット・ドリフト/バイポーラ・ゼロ・ドリフトが含まれません。バックグラウンド・キャリブレーションの場合のようにゼロ・スケール・キャリブレーションのみ行われた場合、これは実質的にデバイスのドリフトになります。

⁸ これらの値は、デザインおよび/またはキャラクタイゼーションにより保証します。

⁹ 絶対入力電圧仕様を超えた場合、入力対の同相モード電圧範囲に適用します。

¹⁰ ここでのアナログ入力の入力電圧範囲は、差動対または疑似差動対の負入力の電圧を基準とします。差動対を構成する入力については表 VII を参照してください。

¹¹ $V_{REF} = REF\ IN(+)-REF\ IN(-)$ 。

¹² これらのロジック出力レベルは、CMOS 負荷 1 個を接続した MCLK OUT 出力に適用。

¹³ 25°C でのサンプル・テストにより適合性を保証。

¹⁴ パーンアウト時電流のセクション参照。

AD7714–仕様

(特に指定がない限り、 $AV_{DD} = +3.3\text{ V} \sim +5\text{ V}$ 、 $DV_{DD} = +3.3\text{ V} \sim +5\text{ V}$ 、 $REF\ IN(+)$ = +1.25 V (AD7714-3)または+2.5 V (AD7714-5); $REF\ IN(-)$ = AGND; $MCLK\ IN = 1\text{ MHz} \sim 2.4576\text{ MHz}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定)

Parameter	A Versions	Units	Conditions/Comments
TRANSUCER BURNOUT ¹⁴			
Current	1	$\mu\text{A nom}$	
Initial Tolerance	± 10	% typ	
Drift	0.1	%/°C typ	
SYSTEM CALIBRATION			
Positive Full-Scale Calibration Limit ¹⁵	$(1.05 \times V_{REF})/GAIN$	V max	GAIN Is the Selected PGA Gain (Between 1 and 128)
Negative Full-Scale Calibration Limit ¹⁵	$-(1.05 \times V_{REF})/GAIN$	V max	GAIN Is the Selected PGA Gain (Between 1 and 128)
Offset Calibration Limit ¹⁶	$-(1.05 \times V_{REF})/GAIN$	V max	GAIN Is the Selected PGA Gain (Between 1 and 128)
Input Span ¹⁶	$0.8 \times V_{REF}/GAIN$	V min	GAIN Is the Selected PGA Gain (Between 1 and 128)
	$(2.1 \times V_{REF})/GAIN$	V max	GAIN Is the Selected PGA Gain (Between 1 and 128)
POWER REQUIREMENTS			
Power Supply Voltages			
AV_{DD} Voltage (AD7714-3)	+3 to +3.6	V	For Specified Performance
AV_{DD} Voltage (AD7714-5)	+4.75 to +5.25	V	For Specified Performance
DV_{DD} Voltage	+3 to +5.25	V	For Specified Performance
Power Supply Currents			
AV_{DD} Current			$AV_{DD} = 3.3\text{ V}$ or 5 V . BST Bit of Filter High Register = 0 ¹⁷
	0.27	mA max	Typically 0.2 mA. BUFFER = 0 V. $f_{CLK\ IN} = 1\text{ MHz}$ or 2.4576 MHz
	0.6	mA max	Typically 0.4 mA. BUFFER = DV_{DD} . $f_{CLK\ IN} = 1\text{ MHz}$ or 2.4576 MHz
			$AV_{DD} = 3.3\text{ V}$ or 5 V . BST Bit of Filter High Register = 1 ¹⁷
	0.5	mA max	Typically 0.3 mA. BUFFER = 0 V. $f_{CLK\ IN} = 2.4576\text{ MHz}$
	1.1	mA max	Typically 0.8 mA. BUFFER = DV_{DD} . $f_{CLK\ IN} = 2.4576\text{ MHz}$
DV_{DD} Current ¹⁸			Digital I/Ps = 0 V or DV_{DD} . External MCLK IN
	0.23	mA max	Typically 0.15 mA. $DV_{DD} = 3.3\text{ V}$. $f_{CLK\ IN} = 1\text{ MHz}$
	0.4	mA max	Typically 0.3 mA. $DV_{DD} = 5\text{ V}$. $f_{CLK\ IN} = 1\text{ MHz}$
	0.5	mA max	Typically 0.4 mA. $DV_{DD} = 3.3\text{ V}$. $f_{CLK\ IN} = 2.4576\text{ MHz}$
	0.8	mA max	Typically 0.6 mA. $DV_{DD} = 5\text{ V}$. $f_{CLK\ IN} = 2.4576\text{ MHz}$
Power Supply Rejection ¹⁹	See Note 20	dB typ	
Normal-Mode Power Dissipation ¹⁸			$AV_{DD} = DV_{DD} = +3.3\text{ V}$. Digital I/Ps = 0 V or DV_{DD} . External MCLK IN
	1.65	mW max	Typically 1.25 mW. BUFFER = 0 V. $f_{CLK\ IN} = 1\text{ MHz}$. BST Bit = 0
	2.75	mW max	Typically 1.8 mW. BUFFER = +3.3 V. $f_{CLK\ IN} = 1\text{ MHz}$. BST Bit = 0
	2.55	mW max	Typically 2 mW. BUFFER = 0 V. $f_{CLK\ IN} = 2.4576\text{ MHz}$. BST Bit = 0
	3.65	mW max	Typically 2.6 mW. BUFFER = +3.3 V. $f_{CLK\ IN} = 2.4576\text{ MHz}$. BST Bit = 0
Normal-Mode Power Dissipation			$AV_{DD} = DV_{DD} = +5\text{ V}$. Digital I/Ps = 0 V or DV_{DD} . External MCLK IN
	3.35	mW max	Typically 2.5 mW. BUFFER = 0 V. $f_{CLK\ IN} = 1\text{ MHz}$. BST Bit = 0
	5	mW max	Typically 3.5 mW. BUFFER = +5 V. $f_{CLK\ IN} = 1\text{ MHz}$. BST Bit = 0
	5.35	mW max	Typically 4 mW. BUFFER = 0 V. $f_{CLK\ IN} = 2.4576\text{ MHz}$. BST Bit = 0
	7	mW max	Typically 5 mW. BUFFER = +5 V. $f_{CLK\ IN} = 2.4576\text{ MHz}$. BST Bit = 0
Standby (Power-Down) Current ²¹	40	$\mu\text{A max}$	External MCLK IN = 0 V or DV_{DD} . Typically 20 μA . $V_{DD} = +5\text{ V}$
Standby (Power-Down) Current ²¹	10	$\mu\text{A max}$	External MCLK IN = 0 V or DV_{DD} . Typically 5 μA . $V_{DD} = +3.3\text{ V}$

注

¹⁵ キャリブレーション後に、入力が正のフル・スケールを超えると、コンバータ出力は全ビット 1 になります。キャリブレーション後に、入力が負のフル・スケールを下回ると、コンバータ出力は全ビット 0 になります。

¹⁶ これらのキャリブレーションと振幅規定値は、アナログ入力 of 絶対電圧が $AV_{DD} + 30\text{ mV}$ を超えないか、または $AGND - 30\text{ mV}$ を下回らない場合に適用されます。オフセット・キャリブレーション規定値は、ユニポーラ・ゼロ・ポイントとバイポーラ・ゼロ・ポイントに適用されます。

¹⁷ $f_{CLK\ IN} = 2.4576\text{ MHz}$ での高いゲイン (≥ 8) に対しては、フィルタ・ハイ・レジスタの BST ビットに 1 を設定する必要があります。その他の条件では、0 を設定する必要があります。

¹⁸ デバイスのクロック・ソースとして MCLK ピンに水晶またはセラミック共振子を接続する場合は、水晶または共振子のタイプに応じて DV_{DD} 電流と消費電力が変わります(クロックと発振器回路のセクション参照)。

¹⁹ DC で測定、選択した通過帯域に適用。フィルタ・ノッチが 5 Hz、10 Hz、25 Hz または 50 Hz の場合、50 Hz での PSRR は 120 dB を超えます。フィルタ・ノッチが 6 Hz、10 Hz、30 Hz または 60 Hz の場合、60 Hz での PSRR は 120 dB を超えます。

²⁰ PSRR はゲインに依存します。ゲイン=1 のとき 70 dB (typ)、ゲイン=2 のとき 75 dB (typ)、ゲイン=4 のとき 80 dB (typ)、ゲイン= 8~128 のとき 85 dB (typ)。

²¹ 外部マスター・クロックがスタンバイ・モードで動作を続ける場合、スタンバイ電流が 5 V では 150 μA (typ) に、3.3 V 電源では 75 μA (typ) に、それぞれ増加します。デバイスのクロック・ソースとして MCLK ピンに水晶またはセラミック共振子を接続する場合は、スタンバイ・モードで内部発振器が動作を続け、消費電力は水晶または共振子のタイプに依存します(スタンバイ・モードのセクション参照)。

仕様は予告なく変更されることがあります。

AD7714Y-仕様

(特に指定がない限り、 $AV_{DD} = DV_{DD} = +2.7\text{ V} \sim +3.3\text{ V}$ または $4.75\text{ V} \sim 5.25\text{ V}$ 、 $AV_{DD} = 3\text{ V}$ で $REF\ IN(+)$ = +1.25 V、 $AV_{DD} = 5\text{ V}$ で +2.5 V、 $REF\ IN(-)$ = AGND、MCLK IN = 2.4576 MHz。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定)

Parameter	Y Versions ¹	Units	Conditions/Comments
STATIC PERFORMANCE			
No Missing Codes	24 22 18 15 12	Bits min Bits min Bits min Bits min Bits min	Guaranteed by Design. For Filter Notches $\leq 60\text{ Hz}$ For Filter Notch = 100 Hz For Filter Notch = 250 Hz For Filter Notch = 500 Hz For Filter Notch = 1 kHz
Output Noise	See Tables I to IV		Depends on Filter Cutoffs and Selected Gain
Integral Nonlinearity	± 0.001	% of FSR max	Filter Notches $\leq 60\text{ Hz}$.
Unipolar Offset Error	See Note 2		
Unipolar Offset Drift ³	0.4 0.1	$\mu\text{V}/^\circ\text{C}$ typ $\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4 For Gains of 8, 16, 32, 64, 128
Bipolar Zero Error	See Note 2		
Bipolar Zero Drift ³	0.4 0.1	$\mu\text{V}/^\circ\text{C}$ typ $\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4 For Gains of 8, 16, 32, 64, 128
Positive Full-Scale Error ⁴	See Note 2		
Full-Scale Drift ^{3, 5}	0.4 0.1	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1, 2, 4
Gain Error ⁶	See Note 2	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 8, 16, 32, 64, 128
Gain Drift ^{3, 7}	0.2	ppm of FSR/ $^\circ\text{C}$ typ	
Bipolar Negative Full-Scale Error ²	± 0.0015 ± 0.003	% of FSR max % of FSR max	$AV_{DD} = 5\text{ V}$. Typically $\pm 0.0004\%$ $AV_{DD} = 3\text{ V}$. Typically $\pm 0.0004\%$
Bipolar Negative Full-Scale Drift ³	1 0.6	$\mu\text{V}/^\circ\text{C}$ typ $\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1 to 4 For Gains of 8 to 128
ANALOG INPUTS/REFERENCE INPUTS			
Input Common-Mode Rejection (CMR) ⁸	90	dB min	Specifications for AIN and REF IN Unless Noted At DC. Typically 102 dB.
Normal-Mode 50 Hz Rejection ⁸	100	dB min	For Filter Notches of 10 Hz, 25 Hz, 50 Hz, $\pm 0.02 \times f_{\text{NOTCH}}$
Normal-Mode 60 Hz Rejection ⁸	100	dB min	For Filter Notches of 10 Hz, 30 Hz, 60 Hz, $\pm 0.02 \times f_{\text{NOTCH}}$
Common-Mode 50 Hz Rejection ⁸	150	dB min	For Filter Notches of 10 Hz, 25 Hz, 50 Hz, $\pm 0.02 \times f_{\text{NOTCH}}$
Common-Mode 60 Hz Rejection ⁸	150	dB min	For Filter Notches of 10 Hz, 30 Hz, 60 Hz, $\pm 0.02 \times f_{\text{NOTCH}}$
Absolute/Common-Mode REF IN Voltage ⁸	AGND to AV_{DD}	V min to V max	
Absolute/Common-Mode AIN Voltage ^{8, 9}	AGND - 30 mV $AV_{DD} + 30\text{ mV}$	V min V max	BUF Bit of Setup Register = 0
Absolute/Common-Mode AIN Voltage ^{8, 9}	AGND + 50 mV $AV_{DD} - 1.5\text{ V}$	V min V max	BUF Bit of Setup Register = 1
AIN DC Input Current ⁸	1	nA max	
AIN Sampling Capacitance ⁸	7	pF max	
AIN Differential Voltage Range ¹⁰	0 to $+V_{\text{REF}}/\text{GAIN}^{11}$ $\pm V_{\text{REF}}/\text{GAIN}$	nom nom	Unipolar Input Range (B/U Bit of Filter High Register = 1) Bipolar Input Range (B/U Bit of Filter High Register = 0)
AIN Input Sampling Rate, f_s	$\text{GAIN} \times f_{\text{CLK IN}}/64$ $f_{\text{CLK IN}}/8$		For Gains of 1 to 4 For Gains of 8 to 128
Reference Input Range			
REF IN(+) - REF IN(-) Voltage	1/1.75	V min/max	$AV_{DD} = 2.7\text{ V}$ to 3.3 V . $V_{\text{REF}} = 1.25 \pm 1\%$ for Specified Performance
REF IN(+) - REF IN(-) Voltage	1/3.5	V min/max	$AV_{DD} = 4.75\text{ V}$ to 5.25 V . $V_{\text{REF}} = 2.5 \pm 1\%$ for Specified Performance
REF IN Input Sampling Rate, f_s	$f_{\text{CLK IN}}/64$		
LOGIC INPUTS			
Input Current	± 10	μA max	
All Inputs Except MCLK IN			
V_{INL} , Input Low Voltage	0.8 0.4	V max V max	$DV_{DD} = 5\text{ V}$ $DV_{DD} = 3\text{ V}$
V_{INH} , Input High Voltage	2.4 2	V min V min	$DV_{DD} = 5\text{ V}$ $DV_{DD} = 3\text{ V}$
SCLK & DIN Only (Schmitt Triggered Input)			$DV_{DD} = 5\text{ V}$ NOMINAL
V_{T+}	1.4/3	V min/V max	
V_{T-}	0.8/1.4	V min/V max	
$V_{T+} - V_{T-}$	0.4/0.8	V min/V max	
SCLK & DIN Only (Schmitt Triggered Input)			$DV_{DD} = 3\text{ V}$ NOMINAL
V_{T+}	1/2.5	V min/V max	
V_{T-}	0.4/1.1	V min/V max	
$V_{T+} - V_{T-}$	0.375/0.8	V min/V max	
MCLK In Only			$DV_{DD} = 5\text{ V}$ NOMINAL
V_{INL} , Input Low Voltage	0.8	V max	
V_{INH} , Input High Voltage	3.5	V min	
MCLK In Only			$DV_{DD} = 3\text{ V}$ NOMINAL
V_{INL} , Input Low Voltage	0.4	V max	
V_{INH} , Input High Voltage	2.5	V min	
LOGIC OUTPUTS (Including MCLK OUT)			
V_{OL} , Output Low Voltage	0.4	V max	$I_{\text{SINK}} = 800\ \mu\text{A}$ with $DV_{DD} = 5\text{ V}$. Except for MCLK OUT ¹²
V_{OL} , Output Low Voltage	0.4	V max	$I_{\text{SINK}} = 100\ \mu\text{A}$ with $DV_{DD} = 3\text{ V}$. Except for MCLK OUT ¹²
V_{OH} , Output High Voltage	4	V min	$I_{\text{SOURCE}} = 200\ \mu\text{A}$ with $DV_{DD} = 5\text{ V}$. Except for MCLK OUT ¹²

Parameter	Y Versions	Units	Conditions/Comments
LOGIC OUTPUTS (Continued)) V _{OH} , Output High Voltage Floating State Leakage Current Floating State Output Capacitance ¹³ Data Output Coding	DV _{DD} -0.6 ± 10 9 Binary Offset Binary	V min μA max pF typ	I _{SOURCE} = 100 μA with DV _{DD} = 3 V. Except for MCLK OUT ¹² Unipolar Mode Bipolar Mode
TRANSDUCER BURNOUT ¹⁴ Current Initial Tolerance Drift	1 ± 10 0.1	μA nom % typ %/°C typ	
SYSTEM CALIBRATION Positive Full-Scale Calibration Limit ¹⁵ Negative Full-Scale Calibration Limit ¹⁵ Offset Calibration Limit ¹⁶ Input Span ¹⁶	(1.05 × V _{REF})/GAIN -(1.05 × V _{REF})/GAIN -(1.05 × V _{REF})/GAIN 0.8 × V _{REF} /GAIN (2.1 × V _{REF})/GAIN	V max V max V max V min V max	GAIN Is the Selected PGA Gain (Between 1 and 128) GAIN Is the Selected PGA Gain (Between 1 and 128) GAIN Is the Selected PGA Gain (Between 1 and 128) GAIN Is the Selected PGA Gain (Between 1 and 128) GAIN Is the Selected PGA Gain (Between 1 and 128)
POWER REQUIREMENTS Power Supply Voltages AV _{DD} Voltage DV _{DD} Voltage Power Supply Currents AV _{DD} Current DV _{DD} Current ¹⁸ Power Supply Rejection ¹⁹ Normal-Mode Power Dissipation ¹⁸ Normal-Mode Power Dissipation Standby (Power-Down) Current ²¹ Standby (Power-Down) Current ²¹	+2.7 to +3.3 or +4.75 to +5.25 +2.7 to +5.25 0.28 0.6 0.5 1.1 0.080 0.16 0.18 0.35 See Note 20 1.05 2.04 1.35 2.34 2.1 3.75 3.1 4.75 18 10	V V V mA max mA max mA max mA max mA max mA max dB typ mW max mW max mW max mW max mW max mW max mW max mW max μA max μA max	For Specified Performance For Specified Performance AV _{DD} = 3 V or 5 V. BST Bit of Filter High Register = 0 ¹⁷ , CLKDIS = 1 Typically 0.22 mA. BUFFER = 0 V. f _{CLK IN} = 1 MHz or 2.4576 MHz Typically 0.45 mA. BUFFER = DV _{DD} . f _{CLK IN} = 1 MHz or 2.4576 MHz AV _{DD} = 3 V or 5 V. BST Bit of Filter High Register = 1 ¹⁷ Typically 0.38 mA. BUFFER = 0 V. f _{CLK IN} = 2.4576 MHz Typically 0.8 mA. BUFFER = DV _{DD} . f _{CLK IN} = 2.4576 MHz Digital I/Ps = 0 V or DV _{DD} . External MCLK IN, CLKDIS = 1 Typically 0.06 mA. DV _{DD} = 3 V. f _{CLK IN} = 1 MHz Typically 0.13 mA. DV _{DD} = 5 V. f _{CLK IN} = 1 MHz Typically 0.15 mA. DV _{DD} = 3 V. f _{CLK IN} = 2.4576 MHz Typically 0.3 mA. DV _{DD} = 5 V. f _{CLK IN} = 2.4576 MHz AV _{DD} = DV _{DD} = +3 V. Digital I/Ps = 0 V or DV _{DD} . External MCLK IN BST Bit of Filter High Register = 0 ¹⁷ Typically 0.84 mW. BUFFER = 0 V. f _{CLK IN} = 1 MHz. BST Bit = 0 Typically 1.53 mW. BUFFER = +3 V. f _{CLK IN} = 1 MHz. BST Bit = 0 Typically 1.11 mW. BUFFER = 0 V. f _{CLK IN} = 2.4576 MHz. BST Bit = 0 Typically 1.9 mW. BUFFER = +3 V. f _{CLK IN} = 2.4576 MHz. BST Bit = 0 AV _{DD} = DV _{DD} = +5 V. Digital I/Ps = 0 V or DV _{DD} . External MCLK IN Typically 1.75 mW. BUFFER = 0 V. f _{CLK IN} = 1 MHz. BST Bit = 0 Typically 2.9 mW. BUFFER = +5 V. f _{CLK IN} = 1 MHz. BST Bit = 0 Typically 2.6 mW. BUFFER = 0 V. f _{CLK IN} = 2.4576 MHz. BST Bit = 0 Typically 3.75 mW. BUFFER = +5 V. f _{CLK IN} = 2.4576 MHz. BST Bit = 0 External MCLK IN = 0 V or DV _{DD} . Typically 9 μA. V _{DD} = +5 V External MCLK IN = 0 V or DV _{DD} . Typically 4 μA. V _{DD} = +3 V

注

¹ 温度範囲: Yバージョンは-40°C~+105°C.² キャリブレーションとは、実質的にこれらの誤差が表 I ~ IV に示す変換ノイズのオーダーになるような変換を意味します。注目する温度でキャリブレーションした後適用します。³ キャリブレーションの再キャリブレーションによりこれらのドリフト誤差は除去されます。⁴ 正のフル・スケール誤差には、ゼロ・スケール誤差(ユニポーラ・オフセット誤差またはバイポーラ・ゼロ誤差)が含まれ、ユニポーラ入力範囲とバイポーラ入力範囲に適用されます。⁵ フル・スケール・ドリフトには、ゼロ・スケール・ドリフト(ユニポーラ・オフセット・ドリフトまたはバイポーラ・ゼロ・ドリフト)が含まれ、ユニポーラ入力範囲とバイポーラ入力範囲に適用されます。⁶ ゲイン誤差にはゼロ・スケール誤差が含まれません。これは、フル・スケール誤差として計算されます—ユニポーラ範囲とフル・スケール誤差ではユニポーラ・オフセット誤差—バイポーラ範囲ではバイポーラ・ゼロ誤差。⁷ ゲイン誤差ドリフトには、ユニポーラ・オフセット・ドリフト/バイポーラ・ゼロ・ドリフトが含まれません。バックグラウンド・キャリブレーションの場合のようにゼロ・スケール・キャリブレーションのみ行われた場合、これは実質的にデバイスのドリフトになります。⁸ これらの値は、デザインおよび/またはキャラクタライゼーションにより保証します。⁹ 絶対入力電圧仕様を超えた場合、入力対の同相モード電圧範囲に適用します。¹⁰ ここでのアナログ入力の入力電圧範囲は、差動対または疑似差動対の負入力の電圧を基準とします。差動対を構成する入力については表 VII を参照してください。¹¹ V_{REF} = REF IN(+) - REF IN(-)。¹² これらのロジック出力レベルは、CMOS 負荷 1 個を接続した MCLK OUT 出力に適用。¹³ 25°C でのサンプル・テストにより適合性を保証。¹⁴ バーンアウト時電流のセクション参照。¹⁵ キャリブレーション後に、入力が正のフル・スケールを超えると、コンバータ出力は全ビット 1 になります。キャリブレーション後に、入力が負のフル・スケールを下回ると、コンバータ出力は全ビット 0 になります。¹⁶ これらのキャリブレーションと振幅規定値は、アナログ入力の絶対電圧が AV_{DD} + 30 mV を超えないか、または AGND - 30 mV を下回らない場合に適用されます。オフセット・キャリブレーション規定値は、ユニポーラ・ゼロ・ポイントとバイポーラ・ゼロ・ポイントに適用されます。¹⁷ f_{CLK IN} = 2.4576 MHz での高いゲイン(≥ 8)に対しては、フィルタ・ハイ・レジスタの BST ビットに 1 を設定する必要があります。その他の条件では、0 を設定する必要があります。¹⁸ デバイスのクロック・ソースとして MCLK ビンに水晶またはセラミック共振子を接続する場合は、水晶または共振子のタイプに応じて DV_{DD} 電流と消費電力が変わります(クロックと発振器回路のセクション参照)。¹⁹ DC で測定、選択した通過帯域に適用。フィルタ・ノッチが 5 Hz、10 Hz、25 Hz または 50 Hz の場合、50 Hz での PSRR は 120 dB を超えます。フィルタ・ノッチが 6 Hz、10 Hz、30 Hz または 60 Hz の場合、60 Hz での PSRR は 120 dB を超えます。²⁰ PSRR はゲインに依存します。

Gain	1	2	4	8-128
AV _{DD} = 3 V	86 dB	78 dB	85 dB	93 dB
AV _{DD} = 5 V	90 dB	78 dB	84 dB	91 dB

²¹ 外部マスター・クロックがスタンバイ・モードで動作を続ける場合、スタンバイ電流が 5 V では 150 μA (typ) に、3.3 V 電源では 75 μA (typ) に、それぞれ増加します。デバイスのクロック・ソースとして MCLK ビンに水晶またはセラミック共振子を接続する場合は、スタンバイ・モードで内部発振器が動作を続け、消費電力は水晶または共振子のタイプに依存します(スタンバイ・モードのセクション参照)。

仕様は予告なく変更されることがあります。

タイミング特性^{1, 2}

(特に指定がない限り、 $AV_{DD} = DV_{DD} = +2.7\text{ V} \sim +5.25\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ 、 $f_{CLKIN} = 2.5\text{ MHz}$ 、入力ロジック 0 = 0 V、ロジック 1 = DV_{DD})

Parameter	Limit at TMIN, TMAX (A, Y Versions)	Units	Conditions/Comments
f_{CLKIN} ^{3,4}	400	kHz min	Master Clock Frequency: Crystal/Resonator or Externally Supplied
	2.5	MHz max	For Specified Performance
$t_{CLKIN\ LO}$	$0.4 \times t_{CLKIN}$	ns min	Master Clock Input Low Time. $t_{CLKIN} = 1/f_{CLKIN}$
$t_{CLKIN\ HI}$	$0.4 \times t_{CLKIN}$	ns min	Master Clock Input High Time
t_{DRDY}	$500 \times t_{CLKIN}$	ns nom	\overline{DRDY} High Time
t_1	100	ns min	\overline{SYNC} Pulsewidth
t_2	100	ns min	RESET Pulsewidth
Read Operation			
t_3	0	ns min	\overline{DRDY} to CS Setup Time
t_4	0	ns min	CS Falling Edge to SCLK Active Edge Setup Time ⁵
t_5 ⁶	0	ns min	SCLK Active Edge to Data Valid Delay ⁵
	80	ns max	$DV_{DD} = +5\text{ V}$
	100	ns max	$DV_{DD} = +3\text{ V}$
t_6	100	ns min	SCLK High Pulsewidth
t_7	100	ns min	SCLK Low Pulsewidth
t_8	0	ns min	CS Rising Edge to SCLK Active Edge Hold Time ⁵
t_9 ⁷	10	ns min	Bus Relinquish Time after SCLK Active Edge ⁵
	60	ns max	$DV_{DD} = +5\text{ V}$
	100	ns max	$DV_{DD} = +3\text{ V}$
t_{10}	100	ns max	SCLK Active Edge to \overline{DRDY} High ^{5, 8}
Write Operation			
t_{11}	0	ns min	CS Falling Edge to SCLK Active Edge Setup Time ⁵
t_{12}	30	ns min	Data Valid to SCLK Edge Setup Time
t_{13}	20	ns min	Data Valid to SCLK Edge Hold Time
t_{14}	100	ns min	SCLK High Pulsewidth
t_{15}	100	ns min	SCLK Low Pulsewidth
t_{16}	0	ns min	CS Rising Edge to SCLK Edge Hold Time

注

¹ 25°Cでのサンプル・テストにより適合性を保証。すべての入力信号は $t_r = t_f = 5\text{ ns}$ (DV_{DD} の10%から90%)で規定し、1.6Vの電圧レベルからの時間とします。

² 図6と図7参照。タイミングは全グレードに適用します。

³ CLKINのデューティ・サイクル範囲は45%~55%。AD7714がスタンバイ・モードでないときはCLKINを入力する必要があります。この場合にクロック入力がないと、デバイス電流は規定値より大きくなり、未キャリブレーション状態になります。

⁴ AD7714の製造時テストは、 $f_{CLKIN} = 2.4576\text{ MHz}$ (幾つかの I_{DD} テストは1 MHz)で行っています。キャラクタライゼーションにより400 kHzでの動作を保証します。

⁵ SCLKのアクティブ・エッジはSCLKの立ち下がりエッジ(POL=1)またはSCLKの立ち上がりエッジ(POL=0)です。

⁶ これらの値は図1に示す負荷回路で測定し、出力が V_{OL} 規定値または V_{OH} 規定値と交叉するまでに必要な時間と定義します。

⁷ これらの値は、図1の負荷回路でデータ出力が0.5 V変化するとき要する時間の測定値から導出。この測定値に外挿を行い、100 pFコンデンサの充電の影響を除去してあります。タイミング特性で使用する時間はデバイスの真のバス開放時間を意味し、外部バスの負荷容量に無関係であることを意味します。

⁸ 出力更新後のデバイスからの最初の読み出しで \overline{DRDY} はハイ・レベルに戻ります。 \overline{DRDY} がハイ・レベルの間に、同一データを再度読み出すことができますが、2回目の読み出しは次の出力更新に近いところで読み出したのではないことに注意してください。

仕様は予告なく変更されることがあります。

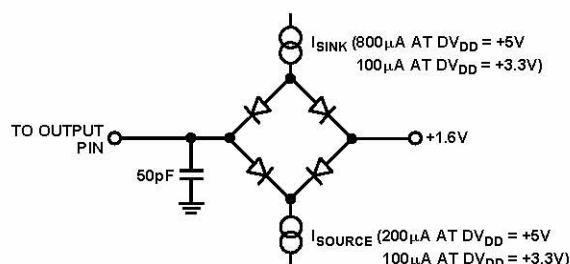


図 1. アクセス時間とバス開放時間測定時の負荷回路

オーダー・ガイド

Model	AV_{DD} Supply	Temperature Range	Package Option*
AD7714AN-5	5 V	-40° C to +85° C	N-24
AD7714AR-5	5 V	-40° C to +85° C	R-24
AD7714ARS-5	5 V	-40° C to +85° C	RS-28
AD7714AN-3	3 V	-40° C to +85° C	N-24
AD7714AR-3	3 V	-40° C to +85° C	R-24
AD7714ARS-3	3 V	-40° C to +85° C	RS-28
AD7714YN	3 V/5 V	-40° C to +105° C	N-24
AD7714YR	3 V/5 V	-40° C to +105° C	R-24
AD7714YRU	3 V/5 V	-40° C to +105° C	RU-24
AD7714AChips-5	5 V	-40° C to +85° C	Die
AD7714AChips-3	3 V	-40° C to +85° C	Die
EVAL-AD7714-5EB	5 V	Evaluation Board	
EVAL-AD7714-3EB	3 V	Evaluation Board	

*N=プラスチック DIP、R=SOIC、RS=SSOP、RU=薄型シュリンク・スマール・アウトライン。

絶対最大定格*

(特に指定がない限り、 $T_A = +25^\circ$)

AGND を基準とする AV_{DD}	-0.3 V~+7 V
DGND を基準とする AV_{DD}	-0.3 V~+7 V
AGND を基準とする DV_{DD}	-0.3 V~+7 V
DGND を基準とする DV_{DD}	-0.3 V~+7 V
AGND を基準とするアナログ入力電圧.....	-0.3 V~ $AV_{DD} + 0.3$ V
AGND を基準とする基準入力電圧.....	-0.3 V~ $AV_{DD} + 0.3$ V
DGND を基準とするデジタル入力電圧.....	-0.3 V~ $DV_{DD} + 0.3$ V
DGND を基準とするデジタル出力電圧.....	-0.3 V~ $DV_{DD} + 0.3$ V
動作温度範囲	
商用温度範囲(Aバージョン).....	-40°C~+85°C
温度範囲拡張(Yバージョン).....	-40°C~+105°C
保存温度範囲.....	-65°C~+150°C
ジャンクション温度.....	+150°C
プラスチック DIP パッケージ、消費電力.....	450 mW
θ_{JA} 熱抵抗.....	105°C/W
ピン温度(ハンダ処理、10 sec).....	+260°C

SOIC パッケージ、消費電力.....	450 mW
θ_{JA} 熱抵抗.....	75°C/W
ピン温度、ハンダ処理	
蒸着(60sec).....	+215°C
赤外線(15 sec).....	+220°C
SSOP パッケージ、消費電力.....	450 mW
θ_{JA} 熱抵抗.....	109°C/W
ピン温度、ハンダ処理	
蒸着(60sec).....	+215°C
赤外線(15sec).....	+220°C
TSSOP パッケージ、消費電力.....	450 mW
θ_{JA} 熱抵抗.....	128°C/W
ピン温度、ハンダ処理	
蒸着(60sec).....	+215°C
赤外線(15sec).....	+220°C

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

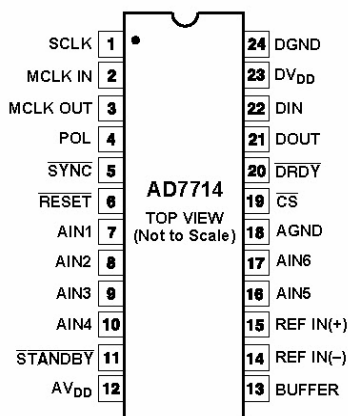
ESDに関する注意



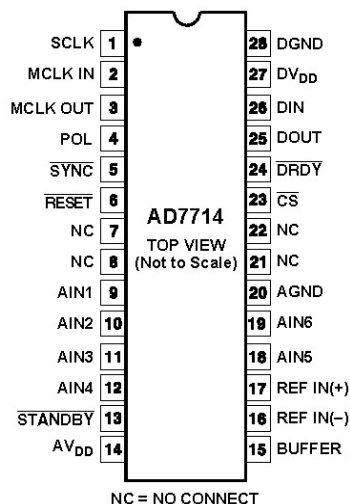
ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置

DIPおよびSOIC/TSSOP



SSOP



ピン機能の説明

DIP/SOICピン番号

ピン番号	記号	機能
1	SCLK	シリアル・クロック。ロジック入力。AD7714のシリアル・データをアクセスするために、外部シリアル・クロックをこのピンに入力します。全転送データが連続パルスである場合、シリアル・クロックも連続にすることができます。あるいは、非連続クロックを使って、複数のデータ群として情報をAD7714から転送することもできます。
2	MCLK IN	デバイスのマスター・クロック信号。水晶/共振子または外部クロックを接続することができます。水晶/共振子は、MCLKINピンとMCLKOUTピンの間に接続することができます。代わりに、MCLKINピンをCMOS互換クロックで駆動し、MCLKOUTピンは開放のままにしておくこともできます。クロック入力周波数1 MHzと2.4576 MHzでデバイス仕様が規定されています。
3	MCLK OUT	デバイスに対するマスター・クロックが水晶発振器/共振子である場合、水晶発振器/共振子はMCLKINピンとMCLKOUTピンの間に接続します。外部クロックをMCLK INに入力すると、MCLK OUTには反転クロック信号が出力されます。このクロックは、外部回路のクロック・ソースとして使うことができます。
4	POL	クロック極性。ロジック入力。この入力が高レベルになると、データ転送動作でのシリアル・クロックの最初の変化が高レベルから低レベルへの変化になります。マイクロコントローラ・アプリケーションでは、これはデータ転送とデータ転送の間にシリアル・クロックがアイドルの低レベルになる必要があることを意味します。この入力が高レベルになると、データ転送動作でのシリアル・クロックの最初の変化が低レベルから高レベルへの変化になります。マイクロコントローラ・アプリケーションでは、これはデータ転送とデータ転送の間にシリアル・クロックがアイドルの高レベルになる必要があることを意味します。
5	SYNC	複数のAD7714を使用する場合にデジタル・フィルタとアナログ変調器の同期を可能にするロジック入力。SYNCが高レベルになると、デジタル・フィルタ、フィルタ制御ロジック、キャリブレーション制御ロジックの各ノードがリセットされ、アナログ変調器もリセット状態になります。SYNCはデジタル・インターフェースに影響を与えないため、DRDYが高レベルになってもリセットされません。
6	RESET	ロジック入力。コントロール・ロジック、インターフェース・ロジック、デジタル・フィルタ、アナログ変調器をパワーオン状態にリセットするアクティブ・ロー入力。
7	AIN1	正側アナログ入力チャンネル1。プログラマブルなゲインを持つアナログ入力であり、AIN6と組み合わせて使う場合は疑似差動入力として、あるいはAIN2と組み合わせて使う場合は差動アナログ入力対の正入力として、それぞれ使うことができます (コミュニケーション・レジスタのセクション参照)。
8	AIN2	正側アナログ入力チャンネル2。プログラマブルなゲインを持つアナログ入力であり、AIN6と組み合わせて使う場合は疑似差動入力として、あるいはAIN1と組み合わせて使う場合は差動アナログ入力対の負入力として、それぞれ使うことができます (コミュニケーション・レジスタのセクション参照)。
9	AIN3	正側アナログ入力チャンネル3。プログラマブルなゲインを持つアナログ入力であり、AIN6と組み合わせて使う場合は疑似差動入力として、あるいはAIN4と組み合わせて使う場合は差動アナログ入力対の正入力として、それぞれ使うことができます (コミュニケーション・レジスタのセクション参照)。
10	AIN4	正側アナログ入力チャンネル4。プログラマブルなゲインを持つアナログ入力であり、AIN6と組み合わせて使う場合は疑似差動入力として、あるいはAIN3と組み合わせて使う場合は差動アナログ入力対の負入力として、それぞれ使うことができます (コミュニケーション・レジスタのセクション参照)。
11	STANDBY	ロジック入力。このピンをローレベルにすると、アナログ回路とデジタル回路がシャットダウンし、消費電流が5 μ A (typ)に削減されます。
12	AV _{DD}	アナログ正電源電圧、Aグレード・バージョンは公称+3.3 V (AD7714-3)または公称+5 V (AD7714-5)、Yグレード・バージョンは公称3 Vまたは5 V。
13	BUFFER	バッファオプションの選択。ロジック入力。この入力をローレベルにすると、アナログ入力の内蔵バッファ(マルチプレクサとアナログ変調器の間)が短絡されます。バッファが短絡されると、AV _{DD} ラインに流入する電流が270 μ Aに削減されます。この入力を高レベルにすると、内蔵バッファがアナログ入力と直列になるため、入力が高いソース・インピーダンスを処理できるようになります。
14	REF IN(-)	リファレンス入力。AD7714の差動リファレンス入力への負入力。REF IN(+)>REF IN(-)であれば、REF IN(-)はAV _{DD} ~AGNDの値が可能。
15	REF IN(+)	リファレンス入力。AD7714の差動リファレンス入力への正入力。REF IN(+)>REF IN(-)の場合に、リファレンス入力が増幅になります。REF IN(+) ¹ はAV _{DD} ~AGNDの値が可能。
16	AIN5	正側アナログ入力チャンネル5。プログラマブルなゲインを持つアナログ入力であり、AIN6と組み合わせて使う場合は差動アナログ入力対の正入力として使うことができます (コミュニケーション・レジスタのセクション参照)。
17	AIN6	正側アナログ入力チャンネル6。疑似差動モードでAIN1~AIN4の基準ポイントになります。あるいはAIN5と組み合わせて使う場合は差動アナログ入力対の負入力として使うことができます (コミュニケーション・レジスタのセクション参照)。
18	AGND	アナログ回路のグラウンド基準ポイント。

ピン機能の説明(続き)

ピン番号	記号	機能
19	\overline{CS}	チップ・セレクト。アクティブ・ローのロジック入力で、AD7714を選択するときに使います。この入力をロー・レベルにハードワイヤ接続すると、AD7714はSCLK、DIN、DOUTを使う3線式インターフェース・モードで動作することができます。 \overline{CS} は、シリアル・バスに複数のデバイスが接続されているシステム内でデバイスを選択するときに使することができます。また、AD7714と通信する際にフレーム同期信号として使うこともできます。
20	\overline{DRDY}	ロジック出力。この出力がロー・レベルのとき、新しい出力ワードがAD7714データ・レジスタに存在することを表します。全出力ワードを読み出すと、 \overline{DRDY} ピンはハイ・レベルに戻ります。データ読み出しが発生しない場合は、出力更新後、 $500 \times t_{CLKIN}$ サイクル後でかつ次の出力更新の前に \overline{DRDY} ラインがハイ・レベルに戻ります。正しい読み出し動作のタイミングを表示して、更新中のデータ・レジスタの読み出しを回避するためにこの信号が設けてあります。 \overline{DRDY} は、内蔵キャリブレーション・シーケンス完了のタイミング表示にも使われます。
21	DOUT	デバイス内の出力シフトレジスタからシリアル・データが読み出された場合のシリアル・データ出力。この出力シフト・レジスタには、コミュニケーション・レジスタのレジスタ選択ビットに応じて、キャリブレーション・レジスタ、モード・レジスタ、コミュニケーション・レジスタ、フィルタ選択レジスタ、データ・レジスタの各情報が格納されます。
22	DIN	デバイス内の入力シフトレジスタへシリアル・データが書き込まれる場合のシリアル・データ入力。この入力シフト・レジスタのデータは、コミュニケーション・レジスタのレジスタ選択ビットに応じて、キャリブレーション・レジスタ、モード・レジスタ、コミュニケーション・レジスタ、フィルタ選択レジスタへ転送されます。
23	DV _{DD}	デジタル電源電圧、Aグレード・バージョンは公称+3.3 Vまたは+5 V、Yグレード・バージョンは公称3 Vまたは5 V。
24	DGND	デジタル回路のグラウンド基準。

用語*

積分非直線性

伝達関数の両端を結ぶ直線からのコードの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード遷移(000...000→000...001)より 0.5 LSB 下のポイント(バイポーラ・ゼロとは異なります)とフル・スケール(最後のコード遷移(111...110→111...111)より 0.5 LSB 上のポイント)をいいます。誤差は、フル・スケールのパーセント値で表示します。

正のフル・スケール誤差

最後のコード変化(111...110→111...111)と理論値 AIN(+)電圧(AIN(-) + V_{REF}/ゲイン - 3/2 LSB)との差をいいます。ユニポーラ・アナログ入力範囲とバイポーラ・アナログ入力範囲に適用されます。

ユニポーラ・オフセット誤差

ユニポーラ・モードで動作時の最初のコード変化と理論値 AIN(+)電圧(AIN(-) + 0.5LSB)との差をいいます。

バイポーラ・ゼロ誤差

バイポーラ・モードで動作時のミッド・スケール変化(0111...111→1000...000)と理論値 AIN(+)電圧(AIN(-) - 0.5LSB)との差をいいます。

ゲイン誤差

ADC のスパン誤差を表します。フル・スケール誤差を含みますが、ゼロ・スケール誤差を含みません。ユニポーラ入力範囲では(フル・スケール誤差-ユニポーラ・オフセット誤差)として、バイポーラ入力範囲では(フル・スケール誤差-バイポーラ・ゼロ誤差)として、それぞれ定義されます。

バイポーラ負フル・スケール誤差

バイポーラ・モードで動作時の最初のコード変化と理論値 AIN(+)電圧(AIN(-) - V_{REF}/ゲイン + 0.5 LSB)との差をいいます。

* AIN(-)は、差動入力対の負入力を、または疑似差動入力構成の場合は AIN6 を、それぞれ意味します。

正フル・スケール・オーバーレンジ

アナログ変調器の過負荷またはデジタル・フィルタのオーバーフローによる誤差なしで、AIN(-) + V_{REF}/ゲインより大きい AIN(+)入力での入力電圧(たとえば、ノイズ・ピークまたはシステム・キャリブレーション・ルーチン内のシステム・ゲイン誤差による大きな電圧)の処理に使用できるオーバーヘッドの大きさを意味します。

負フル・スケール・オーバーレンジ

アナログ変調器の過負荷またはデジタル・フィルタのオーバーフローによる誤差なしで、AIN(-) - V_{REF}/ゲインより低い AIN(+)電圧の処理に使用できるオーバーヘッドの大きさを意味します。AIN(+) > AIN(-)かつ AIN(+) > AGND - 30 mV の場合、ユニポーラ・モードでもアナログ入力に負電圧ピークが入力できることに注意してください。

オフセット・キャリブレーション範囲

システム・キャリブレーション・モードでは、AD7714はアナログ入力に対してオフセットをキャリブレーションします。オフセット・キャリブレーション範囲の仕様は、AD7714に入力でき、かつオフセットを正確にキャリブレーションできる電圧範囲を規定します。

フル・スケール・キャリブレーション範囲

この仕様は、システム・キャリブレーション・モードでAD7714に入力でき、かつフル・スケールを正確にキャリブレーションできる電圧範囲を規定します。

入カスパン

システム・キャリブレーション方式で、AD7714のアナログ入力に順次に加えられる2つの電圧により、アナログ入力範囲が決定されます。入力スパン仕様は、AD7714に入力でき、かつゲインを正確にキャリブレーションできる、ゼロ・スケールからフル・スケールまでの最小入力電圧と最大入力電圧を規定します。

AD7714-5 の出力ノイズ

表 Ia には、 $f_{CLK IN} = 2.4576$ MHz での AD7714-5 の代表的な幾つかのノッチと -3 dB 周波数に対する出力 rms ノイズと実効分解能を、表 Ib には、 $f_{CLK IN} = 1$ MHz での情報を、それぞれ示します。これらの値は、 $V_{REF} = +2.5$ V、 $BUFFER = 0$ でのバイポーラ入力範囲に対するものです。これらの数値は、アナログ入力電圧 0 V の場合に対する typ 値です。各表の括弧内の値はデバイスの実効分解能(最寄りの 0.5 LSB に丸め処理)です。デバイスの実効分解能は、出力 rms ノイズの入力フル・スケール($2 \times V_{REF}/\text{ゲイン}$)に対する比として定義されます。ピーク to ピーク出力ノイズ値を使って計算した値でないことに注意する必要があります。ピーク to ピーク・ノイズ値は rms 値の最大 6.6 倍になることがあり、ピーク to ピーク・ノイズ値に基づく実効分解能は表に示すように rms ノイズに基づく実効分解能より 2.5 ビット低くなる場合があります。

出力ノイズの発生源は 2 つあります。最初のノイズ源は、変調器を構成する半導体デバイスでの電氣的ノイズです(デバイス・ノイズ)。2 つ目は、アナログ入力信号がデジタル領域に変換される際の量子化ノイズです。デバイス・ノイズは低レベルで、周波数に無関係です。量子化ノイズははるかに低いレベルから始まりますが、周波数の増加とともに急速に増加して支配的なノイズ源になります。したがって、フィルタ・ノッチ設定値が小さいほど($f_{CLK IN} = 2.4576$ MHz の場合約 100 Hz 以下、 $f_{CLK IN} = 1$ MHz の場合約 40 Hz 以下)、デバイス・ノイズが支配的になり、大きいノッチ設定値の場合は量子化ノイズが支配的になります。量子化ノイズが支配的な領域でフィルタ・ノッチとカットオフ周波数を変えると、デバイス・ノイズが支配的な領域で変える場合に比べて大きなノイズ性能の改善が得られます(表 I 参照)。さらに、量子化ノイズは PGA の後ろで加わるため、高いフィルタ・ノッチ周波数では実効分解能がゲインに依存しません。一方、デバイス・ノイズは PGA で加わるため、低いノッチ周波数と高いゲインで、実効分解能が低下します。さらに、デバイス・ノイズが支配的な領域では、出力ノイズ(μ V)はリファレンス電圧に無関係であり、量子化ノイズが支配的な領域では、ノイズがリファレンス値に比例します。与えられた -3 dB 周波数に対して出力データ・レートを改善し、さらに出力ノイズを削減するために、デバイス上でポスト・フィルタ処理を行うことが可能です。

低いフィルタ・ノッチ設定値では($f_{CLK IN} = 2.4576$ MHz の場合 60 Hz 以下、 $f_{CLK IN} = 1$ MHz の場合 25 Hz 以下)、デバイスのノーマス・コード性能は 24 ビット・レベルになります。高い設定値では、 $f_{CLK IN} = 2.4576$ MHz での 1 kHz のノッチ設定($f_{CLK IN} = 1$ MHz では 400 Hz)まで、コードのミスが増えて、ノーマス・コード性能の保証は 12 ビット・レベルと低くなります。

表 Ia. AD7714-5 出力ノイズ/分解能対ゲインおよび最初のノッチ、 $f_{CLK IN} = 2.4576$ MHz、 $BUFFER = 0$

Filter First Notch & O/P Data Rate	-3 dB Frequency	Typical Output RMS Noise in μ V (Effective Resolution in Bits)															
		Gain of 1		Gain of 2		Gain of 4		Gain of 8		Gain of 16		Gain of 32		Gain of 64		Gain of 128	
5Hz	1.31Hz	0.87	(22.5)	0.48	(22.5)	0.24	(22.5)	0.2	(21.5)	0.18	(20.5)	0.17	(20)	0.17	(19)	0.17	(18)
10Hz	2.62Hz	1.0	(22.5)	0.78	(21.5)	0.48	(21.5)	0.33	(21)	0.25	(20.5)	0.25	(19.5)	0.25	(18.5)	0.25	(17.5)
25Hz	6.55Hz	1.8	(21.5)	1.1	(21)	0.63	(21)	0.5	(20)	0.44	(19.5)	0.41	(18.5)	0.38	(17.5)	0.38	(16.5)
30Hz	7.86Hz	2.5	(21)	1.31	(21)	0.84	(20.5)	0.57	(20)	0.46	(19.5)	0.43	(18.5)	0.4	(17.5)	0.4	(16.5)
50Hz	13.1Hz	4.33	(20)	2.06	(20)	1.2	(20)	0.64	(20)	0.54	(19)	0.46	(18.5)	0.46	(17.5)	0.46	(16.5)
60Hz	15.72Hz	5.28	(20)	2.36	(20)	1.33	(20)	0.87	(19.5)	0.63	(19)	0.62	(18)	0.6	(17)	0.56	(16)
100Hz	26.2Hz	12.1	(18.5)	5.9	(18.5)	2.86	(19)	1.91	(18.5)	1.06	(18)	0.83	(17.5)	0.82	(16.5)	0.76	(15.5)
250Hz	65.5Hz	127	(15.5)	58	(15.5)	29	(15.5)	15.9	(15.5)	6.7	(15.5)	3.72	(15.5)	1.96	(15.5)	1.5	(14.5)
500Hz	131Hz	533	(13)	267	(13)	137	(13)	66	(13)	38	(13)	20	(13)	8.6	(13)	4.4	(13)
1kHz	262Hz	2,850	(11)	1,258	(11)	680	(11)	297	(11)	131	(11)	99	(10.5)	53	(10.5)	28	(10.5)

表 Ib. AD7714-5 出力ノイズ/分解能対ゲインおよび最初のノッチ、 $f_{CLK IN} = 1$ MHz、 $BUFFER = 0$

Filter First Notch & O/P Data Rate	-3 dB Frequency	Typical Output RMS Noise in μ V (Effective Resolution in Bits)															
		Gain of 1		Gain of 2		Gain of 4		Gain of 8		Gain of 16		Gain of 32		Gain of 64		Gain of 128	
2Hz	0.52Hz	0.75	(22.5)	0.56	(22)	0.31	(22)	0.19	(21.5)	0.17	(21)	0.14	(20)	0.14	(19)	0.14	(18)
4Hz	1.05Hz	1.04	(22)	0.88	(21.5)	0.45	(21.5)	0.28	(21)	0.21	(20.5)	0.21	(19.5)	0.21	(18.5)	0.21	(17.5)
10Hz	2.62Hz	1.66	(21.5)	1.01	(21.5)	0.77	(20.5)	0.41	(20.5)	0.37	(19.5)	0.35	(19)	0.35	(18)	0.35	(17)
25Hz	6.55Hz	5.2	(20)	2.06	(20)	1.4	(20)	0.86	(19.5)	0.63	(19)	0.61	(18)	0.59	(17)	0.59	(16)
30Hz	7.86Hz	7.1	(19.5)	3.28	(19.5)	1.42	(19.5)	1.07	(19)	0.78	(18.5)	0.64	(18)	0.61	(17)	0.61	(16)
50Hz	13.1Hz	19.4	(18)	9.11	(18)	4.2	(18)	2.45	(18)	1.56	(17.5)	1.1	(17)	0.82	(16.5)	0.8	(15.5)
60Hz	15.72Hz	25	(17.5)	16	(17.5)	6.5	(17.5)	2.9	(17.5)	1.93	(17.5)	1.4	(17)	1.1	(16)	0.98	(15.5)
100Hz	26.2Hz	102	(15.5)	58	(15.5)	25	(15.5)	13.5	(15.5)	5.7	(15.5)	3.9	(15.5)	2.1	(15)	1.3	(15)
200Hz	52.4Hz	637	(13)	259	(13)	130	(13)	76	(13)	33	(13)	16	(13)	11	(13)	6	(12.5)
400Hz	104.8Hz	2,830	(11)	1,430	(11)	720	(11)	334	(11)	220	(10.5)	94	(10.5)	54	(10.5)	25	(10.5)

AD7714-3 の出力ノイズ

表 IIa には、 $f_{CLK IN} = 2.4576$ MHz での AD7714-3 の代表的な幾つかのノッチと -3 dB 周波数に対する出力 rms ノイズと実効分解能を、表 IIb には、 $f_{CLK IN} = 1$ MHz での情報を、それぞれ示します。これらの値は、 $V_{REF} = +1.25$ V、 $BUFFER = 0$ でのパイプライン入力範囲に対するものです。これらの数値は、アナログ入力電圧 0 V の場合に対する typ 値です。各表の括弧内の値はデバイスの実効分解能(最寄りの 0.5 LSB に丸め処理)です。デバイスの実効分解能は、出力 rms ノイズの入力フル・スケール($2 \times V_{REF}/\text{ゲイン}$)に対する比として定義されます。ピーク to ピーク出力ノイズ値を使って計算した値でないことに注意する必要があります。ピーク to ピーク・ノイズ値は rms 値の最大 6.6 倍になることがあり、ピーク to ピーク・ノイズ値に基づく実効分解能は表に示すように rms ノイズに基づく実効分解能より 2.5 ビット低くなる場合があります。

出力ノイズの発生源は 2 つあります。最初のノイズ源は、変調器を構成する半導体デバイスでの電氣的ノイズです(デバイス・ノイズ)。2 つ目は、アナログ入力信号がデジタル領域に変換される際の量子化ノイズです。デバイス・ノイズは低レベルで、周波数に無関係です。量子化ノイズははるかに低いレベルから始まりますが、周波数の増加とともに急速に増加して支配的なノイズ源になります。したがって、フィルタ・ノッチ設定値が小さいほど($f_{CLK IN} = 2.4576$ MHz の場合約 100 Hz 以下、 $f_{CLK IN} = 1$ MHz の場合約 40 Hz 以下)、デバイス・ノイズが支配的になり、大きいノッチ設定値の場合は量子化ノイズが支配的になります。量子化ノイズが支配的な領域でフィルタ・ノッチとカットオフ周波数を変えると、デバイス・ノイズが支配的な領域で変える場合に比べて大きなノイズ性能の改善が得られます(表 II 参照)。さらに、量子化ノイズは PGA の後ろで加わるため、高いフィルタ・ノッチ周波数では実効分解能がゲインに依存しません。一方、デバイス・ノイズは PGA で加わるため、低いノッチ周波数と高いゲインで、実効分解能が少し低下します。さらに、デバイス・ノイズが支配的な領域では、出力ノイズ(μ V)はリファレンス電圧に無関係であり、量子化ノイズが支配的な領域では、ノイズがリファレンス値に比例します。与えられた -3 dB 周波数に対して出力データ・レートを改善し、さらに出力ノイズを削減するために、デバイス上でポスト・フィルタ処理を行うことが可能です。

低いフィルタ・ノッチ設定値では($f_{CLK IN} = 2.4576$ MHz の場合 60 Hz 以下、 $f_{CLK IN} = 1$ MHz の場合 25 Hz 以下)、デバイスのノームス・コード性能は 24 ビット・レベルになります。高い設定値では、 $f_{CLK IN} = 2.4576$ MHz での 1 kHz のノッチ設定($f_{CLK IN} = 1$ MHz では 400 Hz)まで、コードのミスが増えて、ノームス・コード性能の保証は 12 ビット・レベルと低くなります。

表 IIa.AD7714-3 出力ノイズ/分解能対ゲインおよび最初のノッチ、 $f_{CLK IN} = 2.4576$ MHz、 $BUFFER = 0$

Filter First Notch & O/P Data Rate	-3 dB Frequency	Typical Output RMS Noise in μ V (Effective Resolution in Bits)															
		Gain of 1		Gain of 2		Gain of 4		Gain of 8		Gain of 16		Gain of 32		Gain of 64		Gain of 128	
5Hz	1.31Hz	1.07	(21)	0.68	(21)	0.29	(21)	0.24	(20)	0.22	(19.5)	0.22	(18.5)	0.22	(17.5)	0.22	(16.5)
10Hz	2.62Hz	1.69	(20.5)	1.1	(20)	0.56	(20)	0.35	(19.5)	0.33	(19)	0.33	(18)	0.33	(17)	0.33	(16)
25Hz	6.55Hz	3.03	(19.5)	1.7	(19.5)	0.89	(19.5)	0.55	(19)	0.49	(18.5)	0.46	(17.5)	0.46	(16.5)	0.45	(15.5)
30Hz	7.86Hz	3.55	(19.5)	2.1	(19)	1.1	(19)	0.61	(18.5)	0.58	(18)	0.57	(17)	0.55	(16)	0.55	(15)
50Hz	13.1Hz	4.72	(19)	2.3	(19)	1.5	(18.5)	0.84	(18.5)	0.7	(18)	0.68	(17)	0.67	(16)	0.66	(15)
60Hz	15.72Hz	5.12	(19)	3.1	(18.5)	1.6	(18)	0.98	(18)	0.9	(17.5)	0.7	(17)	0.69	(16)	0.68	(15)
100Hz	26.2Hz	9.68	(18)	5.6	(18)	2.4	(18)	1.3	(18)	1.1	(17)	0.95	(16.5)	0.88	(15.5)	0.9	(14.5)
250Hz	65.5Hz	44	(16)	31	(15.5)	15	(15.5)	5.8	(15.5)	3.7	(15.5)	2.4	(15)	1.8	(14.5)	1.8	(13.5)
500Hz	131Hz	304	(13)	129	(13)	76	(13)	33	(13)	20	(13)	11	(13)	6.3	(12.5)	3	(12.5)
1kHz	262Hz	1410	(11)	715	(11)	350	(11)	177	(11)	101	(10.5)	51	(10.5)	31	(10.5)	12	(10.5)

表 IIb.AD7714-3 出力ノイズ/分解能対ゲインおよび最初のノッチ、 $f_{CLK IN} = 1$ MHz、 $BUFFER = 0$

Filter First Notch & O/P Data Rate	-3 dB Frequency	Typical Output RMS Noise in μ V (Effective Resolution in Bits)															
		Gain of 1		Gain of 2		Gain of 4		Gain of 8		Gain of 16		Gain of 32		Gain of 64		Gain of 128	
2Hz	0.52Hz	0.86	(21.5)	0.58	(21)	0.32	(21)	0.21	(20.5)	0.2	(19.5)	0.2	(18.5)	0.2	(17.5)	0.2	(16.5)
4Hz	1.05Hz	1.26	(21)	0.74	(20.5)	0.44	(20.5)	0.35	(20)	0.3	(19)	0.3	(18)	0.3	(17)	0.3	(16)
10Hz	2.62Hz	1.68	(20.5)	1.33	(20)	0.73	(20)	0.5	(19)	0.49	(18.5)	0.49	(17.5)	0.48	(16.5)	0.47	(15.5)
25Hz	6.55Hz	3.82	(19.5)	2.0	(19.5)	1.2	(19)	0.88	(18.5)	0.66	(18)	0.57	(17)	0.55	(16)	0.55	(15)
30Hz	7.86Hz	4.88	(19)	2.1	(19)	1.3	(19)	0.93	(18.5)	0.82	(17.5)	0.69	(17)	0.68	(16)	0.66	(15)
50Hz	13.1Hz	11	(18)	4.8	(18)	2.4	(18)	1.4	(18)	1.4	(17)	0.73	(16.5)	0.71	(15.5)	0.7	(15)
60Hz	15.72Hz	14.7	(17.5)	7.5	(17.5)	3.8	(17.5)	2.6	(17)	1.5	(16.5)	0.95	(16.5)	0.88	(15)	0.9	(14.5)
100Hz	26.2Hz	61	(15.5)	30	(15.5)	12	(15.5)	6.1	(15.5)	2.9	(15.5)	2.4	(15)	1.8	(14.5)	1.8	(13.5)
200Hz	52.4Hz	275	(13)	130	(13)	65	(13)	33	(13)	17	(13)	11	(13)	6.3	(12.5)	3	(12.5)
400Hz	104.8Hz	1435	(11)	720	(11)	362	(11)	175	(11)	110	(10.5)	51	(10.5)	31	(10.5)	12	(10.5)

バッファ・モード・ノイズ

表 III には、 $f_{CLK IN} = 2.4576$ MHz かつ BUFFER = +5 V での AD77145 の代表的な幾つかのノッチと -3 dB 周波数に対する出力 rms ノイズ (typ) と実効分解能を示します。表 IV に、 $f_{CLK IN} = 2.4576$ MHz かつ BUFFER = +5V での、AD7714-3 の情報を示します。これらの値は、バイポーラ入力範囲に対するもので、差動アナログ入力電圧 0 V で取得したものです。AD7714-5 では $V_{REF} = +2.5$ V で、AD7714 では $V_{REF} = +1.25$ V です。各表の括弧内の値はデバイスの実効分解能(最寄りの 0.5 LSB にまるめ処理)です。デバイスの実効分解能は、出力 rms ノイズの入力フル・スケール($2 \times V_{REF}/$ ゲイン)に対する比として定義されます。ピーク to ピーク出力ノイズ値を使って計算した値でないことに注意する必要があります。ピーク to ピーク・ノイズ値は rms 値の最大 6.6 倍になることがあり、ピーク to ピーク・ノイズ値に基づく実効分解能は表に示すように rms ノイズに基づく実効分解能より 2.5 ビット低くなる場合があります。

表 III.AD7714-5 のバッファ・モード出力ノイズ/分解能、 $f_{CLK IN} = 2.4576$ MHz

Filter First Notch & O/P Data Rate	-3 dB Frequency	Typical Output RMS Noise in μ V (Effective Resolution in Bits)															
		Gain of 1		Gain of 2		Gain of 4		Gain of 8		Gain of 16		Gain of 32		Gain of 64		Gain of 128	
5Hz	1.31Hz	0.99	(22.5)	0.68	(22)	0.46	(21.5)	0.26	(21)	0.26	(20)	0.26	(19)	0.26	(18)	0.26	(17)
10Hz	2.62Hz	1.5	(21.5)	0.95	(21.5)	0.63	(21)	0.41	(20.5)	0.39	(19.5)	0.36	(18.5)	0.36	(17.5)	0.36	(16.5)
25Hz	6.55Hz	2.5	(21)	1.7	(20.5)	0.88	(20.5)	0.75	(19.5)	0.57	(19)	0.57	(18)	0.57	(17)	0.56	(16)
30Hz	7.86Hz	2.9	(20.5)	1.8	(20.5)	1	(20)	0.87	(19.5)	0.75	(18.5)	0.72	(17.5)	0.72	(16.5)	0.71	(15.5)
50Hz	13.1Hz	4.2	(20)	2.5	(20)	1.5	(19.5)	1.1	(19)	0.94	(18.5)	0.94	(17.5)	0.94	(16.5)	0.87	(15.5)
60Hz	15.72Hz	6.1	(19.5)	2.9	(19.5)	2	(19.5)	1.2	(19)	1	(18.5)	0.97	(17.5)	0.95	(16.5)	0.94	(15.5)
100Hz	26.2Hz	13.8	(18.5)	6.5	(18.5)	3.5	(18.5)	2.2	(18)	1.3	(18)	1.2	(17)	1.3	(16)	1.1	(15)
250Hz	65.5Hz	87	(16)	56	(15.5)	25	(15.5)	11	(15.5)	5.7	(15.5)	3.6	(15.5)	2.4	(15)	2.1	(14)
500Hz	131Hz	508	(13.5)	241	(13.5)	117	(13.5)	73	(13)	34	(13)	16	(13)	8.5	(13)	5.2	(13)
1kHz	262Hz	2860	(11)	1700	(10.5)	745	(10.5)	480	(10.5)	197	(10.5)	94	(10.5)	53	(10.5)	23	(10.5)

表 IV.AD7714-3 のバッファ・モード出力ノイズ/分解能、 $f_{CLK IN} = 2.4576$ MHz

Filter First Notch & O/P Data Rate	-3 dB Frequency	Typical Output RMS Noise in μ V (Effective Resolution in Bits)															
		Gain of 1		Gain of 2		Gain of 4		Gain of 8		Gain of 16		Gain of 32		Gain of 64		Gain of 128	
5Hz	1.31Hz	1.16	(21)	0.76	(20.5)	0.34	(20)	0.29	(20)	0.29	(19)	0.28	(18)	0.26	(17)	0.26	(16)
10Hz	2.62Hz	1.7	(20.5)	1	(20.5)	0.7	(20)	0.46	(19.5)	0.45	(18.5)	0.4	(17.5)	0.4	(16.5)	0.4	(15.5)
25Hz	6.55Hz	3.5	(19.5)	1.8	(19.5)	1.1	(19)	0.74	(18.5)	0.63	(18)	0.6	(17)	0.6	(16)	0.6	(15)
30Hz	7.86Hz	3.7	(19.5)	2.2	(19)	1.3	(19)	0.76	(18.5)	0.68	(18)	0.66	(17)	0.66	(16)	0.66	(15)
50Hz	13.1Hz	4.5	(19)	3	(18.5)	1.7	(18.5)	1.0	(18)	0.92	(17.5)	0.9	(16.5)	0.89	(15.5)	0.89	(14.5)
60Hz	15.72Hz	5.3	(19)	3.3	(18.5)	1.8	(18.5)	1.1	(18)	1	(17)	0.96	(16.5)	0.96	(15.5)	0.96	(14.5)
100Hz	26.2Hz	10	(18)	4.9	(18)	3.1	(17.5)	1.5	(17.5)	1.2	(17)	1.2	(16)	1.2	(15)	1.2	(14)
250Hz	65.5Hz	47	(15.5)	29	(15.5)	15	(15.5)	7.5	(15.5)	4.7	(15)	2.6	(15)	2.5	(14)	1.6	(13.5)
500Hz	131Hz	300	(13.5)	171	(13)	74	(13)	35	(13)	21	(13)	8.6	(13)	5.6	(13)	3.1	(12.5)
1kHz	262Hz	1722	(10.5)	735	(10.5)	380	(10.5)	230	(10.5)	93	(10.5)	55	(10.5)	30	(10.5)	12	(10.5)

内蔵レジスタ

AD7714 は 8 個のレジスタを内蔵しており、これらはデバイスのシリアル・ポートを介してアクセスすることができます。1 つ目はコミュニケーション・レジスタであり、チャンネルの選択を制御し、次の動作が読み出しまたは書き込みであることを指定し、次の読み出し/書き込み動作でアクセス対象となるレジスタも指定します。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始されます。パワーオンまたはRESETの後、デバイスはコミュニケーション・レジスタに対する書き込みを待ちます。コミュニケーション・レジスタに書き込まれたデータから、次のデータ転送動作が読み出しまたは書き込みであることを知り、対象となるレジスタも知ります。したがって、デバイス上の他のすべてのレジスタに対する書き込みアクセスは、コミュニケーション・レジスタに対する書き込み動作で開始され、その後選択したレジスタに対する書き込みが続きます。デバイス上の他のすべてのレジスタ(出力データ・レジスタも含む)からの読み出し動作は、コミュニケーション・レジスタに対する書き込み動作で開始され、その後選択したレジスタからの読み出しが続きます。コミュニケーション・レジスタはチャンネルの選択も制御し、コミュニケーション・レジスタから読み出すことにより、DRDYステータスも得ることができます。2 つ目のレジスタはモード・レジスタで、キャリブレーション・モードとゲイン設定を指定します。3 つ目のレジスタはフィルタ・ハイ・レジスタと呼ばれ、ワード長、パイポーラ/ユニポーラ動作を指定し、フィルタ選択ワードの上位 4 ビットを格納しています。4 つ目のレジスタはフィルタ・ロー・レジスタと呼ばれ、フィルタ選択ワードの下位 8 ビットを格納しています。5 つ目のレジスタはテスト・レジスタで、デバイスのテスト時にアクセスされます。6 つ目のレジスタはデータ・レジスタで、このレジスタからデバイスの出力データがアクセスされます。最後のレジスタは、デバイスのキャリブレーション・レジスタへのアクセスを可能にします。ゼロ・スケール・キャリブレーション・レジスタを使うと、選択した入力チャンネルのゼロ・スケール・キャリブレーション係数をアクセスすることができ、フル・スケール・キャリブレーション・レジスタを使うと、選択した入力チャンネルのフル・スケール・キャリブレーション係数をアクセスすることができます。レジスタの詳細については、次のセクションで説明します。

コミュニケーション・レジスタ(RS2~RS0 = 0, 0, 0)

コミュニケーション・レジスタは 8 ビット・レジスタであり、データの読み書きが可能です。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始されます。コミュニケーション・レジスタに書き込まれたデータから、次のデータ転送動作が読み出しまたは書き込みであることを知り、対象となるレジスタも知ります。選択されたレジスタに対する後続の読み出し動作または書き込み動作が完了すると、インターフェースはコミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。これはインターフェースのデフォルト状態であり、パワーアップ時またはRESET後、AD7714 はデフォルト状態になり、コミュニケーション・レジスタに対する書き込み動作を待ちます。インターフェース・シーケンスが機能しなくなった場合には、少なくともシリアル・クロックで 32 サイクル間 DIN がハイ・レベルを維持する書き込み動作を行わせると、AD7714 はデバイスをリセットしてこのデフォルト状態に戻ります。表 V に、コミュニケーション・レジスタのビット配置を示します。

表 V. コミュニケーション・レジスタ

0/DRDY	RS2	RS1	RS0	R/W	CH2	CH1	CH0
--------	-----	-----	-----	-----	-----	-----	-----

0/DRDY

書き込み動作の場合、このビットに 0 を書き込むと、コミュニケーション・レジスタに対する書き込み動作が実際に実行されます。このビットに "1" を書き込むと、レジスタ内の後続ビットに対するクロック駆動が停止されます。このビットに 0 が書き込まれるまで、このビット位置にとどまります。このビットに 0 が書き込まれると、次の 7 ビットがコミュニケーション・レジスタにロードされます。読み出し動作の場合、このビットはデバイスのDRDYフラグのステータスを提供します。このビットのステータスはDRDY出力ピンと同じです。

RS2~RS0

レジスタ選択ビット。RS2は、3ビットの選択ビットのMSBです。この3ビットにより、次の読み出しまたは書き込み動作の対象となるレジスタを表VIのように指定します。表VIにはレジスタ・サイズも示します。

表 VI. レジスタの選択

RS2	RS1	RS0	Register	Register Size
0	0	0	Communications Register	8 Bits
0	0	1	Mode Register	8 Bits
0	1	0	Filter High Register	8 Bits
0	1	1	Filter Low Register	8 Bits
1	0	0	Test Register	8 Bits
1	0	1	Data Register	16 Bits or 24 Bits
1	1	0	Zero-Scale Calibration Register	24 Bits
1	1	1	Full-Scale Calibration Register	24 Bits

CH2~CH0

チャンネル選択。この3ビットで、キャリブレーション係数の変換またはアクセスを行うチャンネルを選択します(表VII)。デバイスには3対のキャリブレーション・レジスタがあります。差動モードでは、デバイスには入力チャンネルが3チャンネルあるため、各チャンネルに専用のキャリブレーション・レジスタ対があります。疑似差動モードでは、AD7714には入力チャンネルが5チャンネルあるため、幾つかの入力チャンネルの組み合わせがキャリブレーション・レジスタを共有します。CH2、CH1、CH0がロジック1のとき、AIN6入力が内部でそれ自体に接続されます。この接続は、外部ノイズ・ソースなしで、デバイスのノイズ性能を評価するテスト方法として使うことができます。このモードでは、AIN6入力をデバイスの許容同相モード範囲内の外部電圧に接続する必要があります。これらのビットのパワーオンまたはRESETステータスは1,0,0であり、差動対AIN1とAIN2を選択します。

表 VII.チャンネルの選択

CH2	CH1	CH0	AIN(+)	AIN(-)	Type	Calibration Register Pair
0	0	0	AIN1	AIN6	Pseudo Differential	Register Pair 0
0	0	1	AIN2	AIN6	Pseudo Differential	Register Pair 1
0	1	0	AIN3	AIN6	Pseudo Differential	Register Pair 2
0	1	1	AIN4	AIN6	Pseudo Differential	Register Pair 2
1	0	0	AIN1	AIN2	Fully Differential	Register Pair 0
1	0	1	AIN3	AIN4	Fully Differential	Register Pair 1
1	1	0	AIN5	AIN6	Fully Differential	Register Pair 2
1	1	1	AIN6	AIN6	Test Mode	Register Pair 2

モード・レジスタ(RS2~RS0 = 0, 0, 1);パワーオン/リセット・ステータス: 00 Hex

モード・レジスタは8ビット・レジスタであり、データの読み書きが可能です。表VIIIに、モード・レジスタのビット配置を示します。

表 VIII.モード・レジスタ

MD2	MD1	MD0	G2	G1	G0	BO	FSYNC
-----	-----	-----	----	----	----	----	-------

MD2	MD1	MD0	動作モード
0	0	0	ノーマル・モード;これはデバイスのノーマル動作モードです。デバイスは通常の変換を行います。これは、これらのビットのパワーオンまたはRESET後のデフォルト状態です。
0	0	1	セルフキャリブレーション; コミュニケーション・レジスタのCH2、CH1、CH0により選択されたチャンネルでセルフキャリブレーションを開始します。これは1ステップのキャリブレーション・シーケンスであり、完了するとデバイスはノーマル・モードに戻り、MD2、MD1、MD0が0、0、0に戻ります。キャリブレーションが開始されると、 <u>DRDY</u> 出力またはビットがハイ・レベルになり、セルフキャリブレーションが完了して、新しい有効ワードがデータ・レジスタに格納されると、ロー・レベルに戻ります。ゼロ・スケール・キャリブレーションは内部で短絡された入力(ゼロ入力)に対して、選択したゲインで行われ、フル・スケール・キャリブレーションは、内部発生のあるV _{REF} /選択したゲインに対して、選択したゲインで行われます。
0	1	0	ゼロ・スケール・キャリブレーション; コミュニケーション・レジスタのCH2、CH1、CH0により選択されたチャンネルでゼロ・スケール・キャリブレーションを開始します。キャリブレーションは、このキャリブレーション・シーケンス中にアナログ入力に入力された入力電圧に対して選択したゲインで行われます。この入力電圧は、キャリブレーション中安定している必要があります。キャリブレーションが開始されると、 <u>DRDY</u> 出力またはビットがハイ・レベルになり、このゼロ・スケール・キャリブレーションが完了して、新しい有効ワードがデータ・レジスタに格納されると、ロー・レベルに戻ります。キャリブレーションの終わりに、デバイスはノーマル・モードに戻り、MD2、MD1、MD0は0、0、0に戻ります。
0	1	1	フル・スケール・システム・キャリブレーション; 選択した入力チャンネルに対してフル・スケール・システム・キャリブレーションを開始します。キャリブレーションは、このキャリブレーション・シーケンス中にアナログ入力に入力された入力電圧に対して選択したゲインで行われます。この入力電圧は、キャリブレーション中安定している必要があります。この場合も、キャリブレーションが開始されると、 <u>DRDY</u> 出力またはビットがハイ・レベルになり、このフル・スケール・キャリブレーションが完了して、新しい有効ワードがデータ・レジスタに格納されると、ロー・レベルに戻ります。キャリブレーションの終わりに、デバイスはノーマル・モードに戻り、MD2、MD1、MD0は0、0、0に戻ります。

MD2	MD1	MD0	動作モード(続き)																																				
1	0	0	システム・オフセット・キャリブレーション; コミュニケーション・レジスタのCH2、CH1、CH0により選択されたチャンネルでシステム・オフセット・キャリブレーションを開始します。これは1ステップのキャリブレーション・シーケンスであり、完了するとデバイスはノーマル・モードに戻り、MD2、MD1、MD0が0、0、0に戻ります。キャリブレーションが開始されると、 <u>DRDY</u> 出力またはビットがハイ・レベルになり、システム・オフセット・キャリブレーションが完了して、新しい有効なワードがデータ・レジスタに格納されると、ロー・レベルに戻ります。このキャリブレーション・タイプでは、このキャリブレーション・シーケンス中にアナログ入力に与えられた入力電圧に対して選択したゲインで行われます。この入力電圧は、キャリブレーション中安定している必要があります。フル・スケール・キャリブレーションは、内部で発生したV _{REF} /選択したゲインに対して、選択したゲインで行われます。																																				
1	0	1	バックグラウンド・キャリブレーション; コミュニケーション・レジスタのCH2、CH1、CH0により選択されたチャンネルでバックグラウンド・キャリブレーションを開始します。バックグラウンド・キャリブレーション・モードでは、AD7714が短絡入力(ゼロ入力)の連続セルフキャリブレーションを行います。このキャリブレーションは、変換時間を長くしてワード・レートを1/6にして変換シーケンスの一部として行われます。この主な利点は、周囲温度または電源が変わったときに、ユーザーがデバイス・オフセットの再キャリブレーションについて心配する必要がないことです。このモードでは、ゼロ・スケール・キャリブレーションを内部で短絡した入力(ゼロ入力)に対して行います。キャリブレーションは通常の変換にインターリーブして行われ、デバイスのキャリブレーション・レジスタは自動的に更新されます。バックグラウンド・キャリブレーションではフル・スケール・キャリブレーションを行わないため、デバイスをバックグラウンド・キャリブレーション・モードにする前にセルフキャリブレーションを行う必要があります。																																				
1	1	0	ゼロ・スケール・セルフキャリブレーション; コミュニケーション・レジスタのCH2、CH1、CH0により選択されたチャンネルでゼロ・スケール・セルフキャリブレーションを開始します。このゼロ・スケール・セルフキャリブレーションは、内部で短絡した入力(ゼロ入力)に対して選択したゲインで行います。これは1ステップのキャリブレーション・シーケンスであり、完了するとデバイスはノーマル・モードに戻り、MD2、MD1、MD0が0、0、0に戻ります。キャリブレーションが開始されると、 <u>DRDY</u> 出力またはビットがハイ・レベルになり、このゼロ・スケール・セルフキャリブレーションが完了して、新しい有効なワードがデータ・レジスタに格納されると、ロー・レベルに戻ります。																																				
1	1	1	フル・スケール・セルフキャリブレーション; コミュニケーション・レジスタのCH2、CH1、CH0により選択されたチャンネルでフル・スケール・セルフキャリブレーションを開始します。フル・スケール・セルフキャリブレーションは、内部で発生したV _{REF} /選択したゲインに対して、選択したゲインで行われます。これは1ステップのキャリブレーション・シーケンスであり、完了するとデバイスはノーマル・モードに戻り、MD2、MD1、MD0が0、0、0に戻ります。キャリブレーションが開始されると、 <u>DRDY</u> 出力またはビットがハイ・レベルになり、このフル・スケール・セルフキャリブレーションが完了して、新しい有効なワードがデータ・レジスタに格納されると、ロー・レベルに戻ります。																																				
<table border="1"> <thead> <tr> <th>G2</th> <th>G1</th> <th>G0</th> <th>ゲイン設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>16</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>32</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>64</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>128</td> </tr> </tbody> </table>				G2	G1	G0	ゲイン設定	0	0	0	1	0	0	1	2	0	1	0	4	0	1	1	8	1	0	0	16	1	0	1	32	1	1	0	64	1	1	1	128
G2	G1	G0	ゲイン設定																																				
0	0	0	1																																				
0	0	1	2																																				
0	1	0	4																																				
0	1	1	8																																				
1	0	0	16																																				
1	0	1	32																																				
1	1	0	64																																				
1	1	1	128																																				
BO	バーンアウト電流。このビットを0にすると、内部バーンアウト電流がターンオフします。これは、このビットのデフォルト(パワーオンまたはRESET)ステータスです。このビットを1にすると、バーンアウト電流がアクティブになります。アクティブのとき、バーンアウト電流は選択したアナログ入力対(1つがAIN(+)入力に、1つがAIN(-)入力に)に接続されます。																																						
FSYNC	フィルタ同期。このビットがハイ・レベルになると、デジタル・フィルタ、フィルタ制御ロジック、キャリブレーション制御ロジックの各ノードがリセット状態になり、アナログ変調器もリセット状態になります。このビットがロー・レベルになると、変調器とフィルタがデータの処理を開始して、有効ワードが3×1/(出力更新レート)内に、すなわちフィルタのセトリング・タイム内に使用可能になります。このFSYNCビットはデジタル・インターフェースに影響を与えないため、 <u>DRDY</u> がロー・レベルになってもリセットされません。																																						

フィルタ・レジスタ。パワーオン/リセット・ステータス:フィルタ・ハイ・レジスタ: 01 Hex. フィルタ・ロー・レジスタ: 40 Hex.
AD7714にはデータの読み書きが可能な2個の8ビット・フィルタ・レジスタがあります。表 IX と表 X に、フィルタ・レジスタのビット配置を示します。

表 IX. フィルタ・ハイ・レジスタ(RS2~RS0 = 0、1、0)

\bar{B}/U	WL	BST	ZERO	FS11	FS10	FS9	FS8	A Versions
\bar{B}/U	WL	BST	CLKDIS	FS11	FS10	FS9	FS8	Y Versions

表 X. フィルタ・ロー・レジスタ(RS2~RS0 = 0、1、1)

FS7	FS6	FS5	FS4	FS3	FS2	FS1	FS0	All Versions
-----	-----	-----	-----	-----	-----	-----	-----	--------------

\bar{B}/U	バイポーラ/ユニポーラ動作。このビットを0にすると、バイポーラ動作が選択されます。これは、このビットのデフォルト(パワーオンまたはRESET)ステータスです。このビットを1にすると、ユニポーラ動作が選択されます。
WL	ワード長。このビットを0にすると、データ・レジスタからの読み出しで16ビット・ワード長が選択されます(すなわち、読み出し動作で16シリアル・クロック・サイクル後にDRDYがハイ・レベルに戻ります)。これは、このビットのデフォルト(パワーオンまたはRESET)ステータスです。このビットを1にすると、24ビット・ワード長が選択されます。
BST	電流ブースト。このビットを0にすると、アナログ・フロント・エンドで使用する電流が削減されます。デバイスが $f_{CLKIN} = 1$ MHzで動作するとき、またはゲイン = 1~4、 $f_{CLKIN} = 2.4576$ MHzで動作するとき、このビットが1でデバイスが正しく動作する場合であっても、このビットを0にして、 AV_{DD} 電流を小さくする必要があります。AD7714が、ゲイン = 8~128、 $f_{CLKIN} = 2.4576$ MHzで動作する場合、このビットを必ず1にして、デバイスを正しく動作させる必要があります。このビットのデフォルト(パワーオンまたはRESET)ステータスは0です。
ZERO	デバイスのAバージョンを正しく動作させるためには、このビットに必ず0を書き込む必要があります。
CLKDIS	マスター・クロック・ディスエーブル・ビット。このビットをロジック1にすると、MCLKOUTピンにマスター・クロックが出力されなくなります。MCLKOUTピンがディスエーブルされると、ロー・レベルになります。この機能を使うと、MCLKOUTをシステム内の他のデバイスのクロック・ソースとして使うことができます。あるいは、省電力のためにMCLKOUTをターンオフすることができます。外部マスター・クロックまたはMCLKINピンを使う場合、AD7714は内部クロックを連続動作させ、CLKDISビットがアクティブのとき通常の変換を行います。MCLKINピンとMCLKOUTピンに水晶発振器またはセラミック共振子を接続して使う場合、AD7714のクロックが停止されるため、CLKDISビットがアクティブのとき、変換は実行されません。
FS11~FS0	<p>フィルタの選択。内蔵デジタル・フィルタはSinc^3 (or $(\text{Sinx}/x)^3$) フィルタ応答を持っています。これらのビットに設定された12ビットのデータにより、フィルタ・カットオフ周波数、フィルタの最初のノッチ位置、デバイスのデータ・レートが指定されます。ゲイン選択と関連して、デバイスの出力ノイズ(したがって実効分解能)も決定されます。</p> <p>フィルタの最初のノッチは、次式で決定される周波数で発生します。</p> $\text{フィルタの最初のノッチの周波数} = (f_{CLKIN}/128)/\text{code}$ <p>ここで、<i>code</i> はビットFS0~FS11内のコードの10進数表示で、範囲は19 ~4,000です。公称$f_{CLKIN} = 2.4576$ MHzで、最初のノッチの周波数範囲は4.8 Hz~1.01 kHzになります。AD7714を正しく動作させるためには、これらのビットに書き込むコード値はこの範囲内である必要があります。そうしないと、デバイスは予期しない動作を行います。</p> <p>フィルタ・ノッチ周波数と選択したゲインを変えると、分解能に影響を与えます。表I~表IVに、フィルタのノッチ周波数とゲインのAD7714実効分解能に与える影響を示します。デバイスの出力データ・レート(すなわち実効変換時間)は、フィルタの最初のノッチに対して選択した周波数に一致します。たとえば、フィルタの最初のノッチを50 Hzに選択すると、新しいワードは50 Hzレートで、すなわち20 msごとに出力されます。最初のノッチが1 kHzの場合、新しいワードは1 msごとに出力されます。</p> <p>フル・スケール・ステップ入力変化に対するフィルタのセトリング・タイムのワースト・ケースは、$4 \times 1/(\text{出力データ・レート})$です。たとえば、最初のフィルタ・ノッチが50 Hzのとき、フル・スケール・ステップ入力変化に対するフィルタのセトリング・タイムは最大80 msになります。ステップ入力変化をデジタル・フィルタのリセットに同期させることにより、このセトリング・タイムを$3 \times 1/(\text{出力データ・レート})$に削減することができます。言い換えれば、ステップ入力がSYNC入力のロー・レベルまたはFSYNCビットのハイ・レベルと一致して発生すると、SYNCがハイ・レベルに戻ったタイミング、またはFSYNCがロー・レベルに戻ったタイミングからのセトリング・タイムは$3 \times 1/(\text{出力データ・レート})$になります。チャンネルの切り替えが発生する場合、SYNCまたはFSYNCのステータスに無関係に、セトリング・タイムは$3 \times 1/(\text{出力データ・レート})$になります。これは、チャンネル切り替えが要求されたとき、デバイスが内部SYNCコマンドを発行するためです。</p> <p>-3 dB周波数は、次式に従って最初のノッチ周波数を設定するときに決定されます。</p> $\text{フィルタの-3 dB周波数} = 0.262 \times \text{フィルタの最初のノッチ周波数}$

テスト・レジスタ(RS2~RS0 = 1, 0, 0)

このデバイスは、デバイスのテストで使用されるテスト・レジスタを内蔵しています。このレジスタの全ビットのステータスを全ビット 0 のデフォルト・ステータス(パワーオンまたは RESET)から変更しないようにする必要があります。変更すると、デバイスはテスト・モードになり、正しく動作しなくなります。デバイスがテスト・モードにある場合、RESETをアサートすると、デバイスはそのモードから抜け出します。デバイスをテスト・モードから抜け出させるもう 1 つの方法は、連続する 32 ビットの 1 をデバイスに書き込んだ後に、全ビット 0 をテスト・レジスタに書き込むことにより、インターフェースをリセットすることです。

データ・レジスタ(RS2~RS0 = 1, 0, 1)

デバイスのデータ・レジスタは読み出し専用レジスタであり、AD7714 の最新の変換結果を格納します。このレジスタは、モード・レジスタの WL ビットのステータスにより指定される 16 ビットまたは 24 ビット幅に設定することができます。コミュニケーション・レジスタのデータにより、このレジスタに対する書き込み動作が設定された場合は、コミュニケーション・レジスタへの書き込み動作が期待される場所(インターフェースのデフォルト状態)へデバイスを戻すために、書き込み動作が実際に行われる必要があります。ただし、デバイスに書き込まれた 16 または 24 ビットのデータは、AD7714 から無視されます。

ゼロ・スケール・キャリブレーション・レジスタ(RS2~RS0 = 1, 1, 0);パワーオン/リセット・ステータス: 1F4000 Hex

AD7714 は、ゼロ・スケール・キャリブレーション・レジスタ 0~ゼロ・スケール・キャリブレーション・レジスタ 2 の 3 個のゼロ・スケール・キャリブレーション・レジスタを内蔵しています。フル差動モードでは各入力チャンネルに対してゼロ・スケール・レジスタが存在するなどのように、この 3 個のレジスタは全体として互に独立しています。これらの各レジスタは 24 ビットの読み書き可能レジスタであり、レジスタへの書き込みでは、24 ビットを書き込む必要があります。そうしないと、データはこのレジスタへ転送されません。このレジスタは、レジスタ対を構成している対応するフル・スケール・キャリブレーション・レジスタと組み合わせて使います。これらのレジスタ対は、入力チャンネル対に対応しています(表 VII)。

デジタル・インターフェースを介してこれらのレジスタにアクセスできるようにデバイスが設定されている間は、デバイス自体から出力データをスケールするレジスタ係数をアクセスできなくなります。このため、キャリブレーション・レジスタにアクセス(読み出しまたは書き込み動作)した後に、デバイスから読み出した最初の出力データには正しくないデータが含まれている可能性があります。さらに、キャリブレーションの進行中に、キャリブレーション・レジスタに対する読み出しまたは書き込みを行うことはできません。これらの偶発性を回避するために、SYNC入力をロー・レベルにするか、またはモード・レジスタの FSYNC ビットをハイ・レベルにした後に、キャリブレーション・レジスタ動作を開始し、この動作が完了したときにこれらをそれぞれハイ・レベルまたはロー・レベルにします。

フル・スケール・キャリブレーション・レジスタ(RS2~RS0 = 1, 1, 1);パワーオン/リセット・ステータス: 5761AB Hex

AD7714 は、フル・スケール・キャリブレーション・レジスタ 0~フル・スケール・キャリブレーション・レジスタ 2 の 3 個のフル・スケール・キャリブレーション・レジスタを内蔵しています。フル差動モードでは各入力チャンネルに対してフル・スケール・レジスタが存在するなどのように、この 3 個のレジスタは全体として互に独立しています。これらの各レジスタは 24 ビットの読み書き可能レジスタであり、レジスタへの書き込みでは、24 ビットを書き込む必要があります。そうしないと、データはこのレジスタへ転送されません。このレジスタは、レジスタ対を構成している対応するゼロ・スケール・キャリブレーション・レジスタと組み合わせて使います。これらのレジスタ対は、入力チャンネル対に対応しています(表 VII)。

デジタル・インターフェースを介してこれらのレジスタにアクセスできるようにデバイスが設定されている間は、デバイス自体から出力データをスケールする係数をアクセスできなくなります。このため、キャリブレーション・レジスタにアクセス(読み出しまたは書き込み動作)した後に、デバイスから読み出した最初の出力データには正しくないデータが含まれている可能性があります。さらに、キャリブレーションの進行中に、キャリブレーション・レジスタに対する読み出しまたは書き込みを行うことはできません。これらの偶発性を回避するために、SYNC入力をロー・レベルにするか、またはモード・レジスタの FSYNC ビットをハイ・レベルにした後に、キャリブレーション・レジスタ動作を開始し、この動作が完了したときにこれらをそれぞれハイ・レベルまたはロー・レベルにします。

キャリブレーション動作

AD7714 には、前述の多くのキャリブレーション・オプションがあります。表 XI に、キャリブレーション・タイプ、関係する動作、動作継続時間の一覧を示します。キャリブレーションの終了を知る方法は 2 つあります。1 つ目は、シーケンスの終わりで DRDY がロー・レベルに戻るタイミングを監視する方法です。DRDY はシーケンス完了のタイミングを示すだけではなく、データ・レジスタに有効な新しいサンプルが存在することも表示します。この有効な新しいサンプルは、キャリブレーション・シーケンスの後の通常の変換結果です。キャリブレーション完了のタイミングを知る 2 つ目の方法は、モード・レジスタのビット MD2、MD1、MD0 を監視する方法です。キャリブレーション・コマンドの後にこれらのビットが 0、0、0 に戻ると、キャリブレーション・シーケンスが完了したことを表します。この方法では、有効な新しい変換結果がデータ・レジスタに存在することは表示されません。ただし、キャリブレーションが完了したことを DRDY より早く表示します。モード・ビット(MD2、MD1、MD0)が 0、0、0 に戻るまでの時間がキャリブレーションの継続時間を表します。DRDY がロー・レベルになるタイミングまでのシーケンスには、通常の変換、パイプライン遅延、この最初の変換結果をスケールする $t_p(2000 \times t_{CLKIN})$ が含まれます。両方法に要する時間を表に示します。

表 XI. キャリブレーション動作

Calibration Type	MD2, MD1, MD0	Calibration Sequence	Duration to Mode Bits	Duration to \overline{DRDY}
Self Calibration	0, 0, 1	Internal ZS Cal @ Selected Gain + Internal FS Cal @ Selected Gain	$6 \times 1/\text{Output Rate}$	$9 \times 1/\text{Output Rate} + t_p$
ZS System Calibration	0, 1, 0	ZS Cal on AIN @ Selected Gain	$3 \times 1/\text{Output Rate}$	$4 \times 1/\text{Output Rate} + t_p$
FS System Calibration	0, 1, 1	FS Cal on AIN @ Selected Gain	$3 \times 1/\text{Output Rate}$	$4 \times 1/\text{Output Rate} + t_p$
System-Offset Calibration	1, 0, 0	ZS Cal on AIN @ Selected Gain + Internal FS Cal @ Selected Gain	$6 \times 1/\text{Output Rate}$	$9 \times 1/\text{Output Rate} + t_p$
Background Calibration	1, 0, 1	Internal FS Cal @ Selected Gain Internal ZS Cal @ Selected Gain + Normal Conversion	Bits Not Reset	$6 \times 1/\text{Output Rate}$
ZS Self Calibration	1, 1, 0	Internal ZS Cal @ Selected Gain	$3 \times 1/\text{Output Rate}$	$6 \times 1/\text{Output Rate} + t_p$
FS Self Calibration	1, 1, 1	Internal FS Cal @ Selected Gain	$3 \times 1/\text{Output Rate}$	$6 \times 1/\text{Output Rate} + t_p$

回路説明

AD7714は、重量計、圧力トランスジューサ、工業用制御、プロセス制御アプリケーションなどにおける広いダイナミック・レンジを持つ低周波数信号の計測を目的とした、デジタル・フィルタ機能付きシグマ・デルタ A/D コンバータです。シグマ・デルタ(電荷平衡型) ADC、キャリブレーション・マイクロコントローラ、スタティック RAM、クロック発振器、デジタル・フィルタ、双方向シリアル・コミュニケーション・ポートを内蔵しています。デバイスの電源電流消費は僅か500 μ Aで、さらに電流消費 10 μ A のスタンバイ・モードがあるため、バッテリー駆動またはループ給電の計測機器に最適です。デバイスには、公称 +5 V のアナログ電源(AV_{DD})で動作する AD7714-5 と公称+3.3 V のアナログ電源で動作する AD7714-3 の2つのバージョンがあります。両バージョンは、+3.3 V または+5 V のデジタル電源(DV_{DD})電圧で動作することができます。AD7714Y グレード・デバイスは、公称 3 V または 5 V の AV_{DD} で動作することができます。3 V または 5 V のデジタル電源電圧で動作することができます。

このデバイスは、3 チャンネルのプログラマブルなゲインを持つフル差動アナログ入力を内蔵し、これらは 5 チャンネルの疑似差動入力に設定することもできます。すべてのチャンネルのゲイン範囲は 1~128 であるため、デバイスには(0 mV~+20 mV)~(0 V~+2.5 V)のユニポーラ信号を入力することができます。バイポーラ・モードでは、リファレンス入力電圧= +2.5 V のとき、 ± 20 mV の真のバイポーラ信号と最大 ± 2.5 V の疑似バイポーラ信号をデバイスに入力することができます。リファレンス電圧= +1.25 V では、ユニポーラ・モード入力範囲は(0 mV~+10 mV)~(0 V~+1.25 V)になり、バイポーラ・モードでは ± 10 mV の真のバイポーラ信号と最大 ± 1.25 V の疑似バイポーラ信号を入力することができます。

このデバイスはシグマ・デルタ変換技術を採用して、最大 24 ビットの ノーミス・コード性能を実現しています。

このシグマ・デルタ変調器は、サンプルした入力信号をデジタル・パルス列に変換します。このパルス列のデューティ・サイクルにデジタル情報が含まれています。このシグマ・デルタ変調器では、アナログ入力のプログラマブルなゲイン機能も採用しており、変調器の入力サンプリング周波数は高いゲインを得るように変更されています。Sinc³ デジタル・ローパス・フィルタは、シグマ・デルタ変調器出力を処理し、このフィルタの最初のノッチ周波数で決定されるレートで出力レジスタを更新します。出力データは、シリアル・ポートから出力レジスタ更新レートまでの任意のレートでランダムまたは周期的に読み出すことができます。このデジタル・フィルタの最初のノッチ、-3 dB 周波数、出力レートは、フィルタ・ハイ・レジスタとフィルタ・ロー・レジスタを使って設定することができます。マスター・クロック周波数= 2.4576 MHz で、最初のノッチ周波数と出力レートの設定可能な範囲は 4.8 Hz~1.01 kHz であり、-3 dB 周波数の設定可能な範囲は 1.26 Hz~265 Hz です。

図 2 に、AD7714 の基本接続図を示します。+3 V または+5 V のアナログ電源に接続された AD7714 の AV_{DD} ピンと DV_{DD} ピンも示してあります。アプリケーションによっては、AV_{DD} と DV_{DD} を別電源に接続する場合があります。接続図では、AD7714 のアナログ入力は 3 チャンネルのフル差動入力として設定されています。このデバイスのアナログ入力は、バッファなしモードに設定されています。高精度+2.5 V リファレンスの AD780 は、デバイスのリファレンスとして使うことができます。デジタル側では、CS を DGND に接続してデバイスを 3 線式動作に設定しています。水晶またはセラミック共振子をデバイスのマスター・クロック源として使うことができます。場合によっては、水晶または共振子にコンデンサを接続して、基本動作周波数の整数倍の発振を防止する必要があります。コンデンサ値は、メーカ仕様様に依存して変わります。

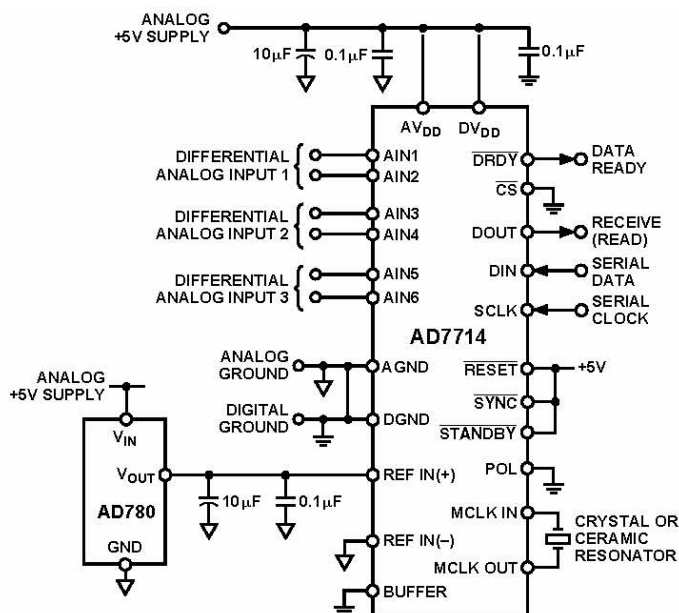


図 2.基本接続図

アナログ入力

アナログ入力範囲

AD7714には、6本のアナログ入力ピン(AIN1~AIN6)があり、これらは3チャンネルのフル差動入力または5チャンネルの疑似差動入力に設定することができます。コミュニケーション・レジスタのビット CH0、CH1、CH2によりアナログ入力配置が設定され、チャンネル選択は表 VII に既に示してあります。入力対(差動または疑似差動)は、ユニポーラ入力信号またはバイポーラ入力信号を処理できる、プログラマブルなゲインを持つ入力チャンネルを提供します。バイポーラ入力信号は、入力対のそれぞれの AIN(-)入力を基準としていることに注意してください。

バッファなしモードでは、アナログ入力電圧の絶対値が $AGND - 30\text{ mV} \sim AV_{DD} + 30\text{ mV}$ の場合、これらの入力の同相モード範囲は $AGND \sim AV_{DD}$ になります。これは、バッファなしモードでは、デバイスがすべてのゲインに対してユニポーラ入力範囲とバイポーラ入力範囲を処理できることを意味します。バッファ・モードでは、アナログ入力は遥かに大きいソース・インピーダンスを処理できますが、絶対入力電圧範囲は $AGND + 50\text{ mV} \sim AV_{DD} - 1.5\text{ V}$ に制限されます。これは同相モード範囲の制限にもなっています。これは、バッファ・モードでは、バイポーラ入力範囲に対する許容ゲインに制限があることを意味します。同相モード電圧と入力電圧範囲を設定するときはこの範囲を超えないように注意する必要があります。そうしないと、直線性性能が低下します。

バッファなしモードでは、アナログ入力からは 7 pF の入力サンプリング・コンデンサ C_{SAMP} が直接見えます。このバッファなしモードでの DC 入力リーク電流は最大 1 nA です。このため、アナログ入力からは入力サンプル・レートで切り替わる動的負荷が見えます(図 3)。このサンプル・レートは、マスター・クロック周波数と選択されたゲインに依存します。 C_{SAMP} は、入力サンプル・サイクルで AIN(+)まで充電され AIN(-)まで放電されます。スイッチ R_{SW} の実効オン抵抗は $7\text{ k}\Omega$ (typ) です。

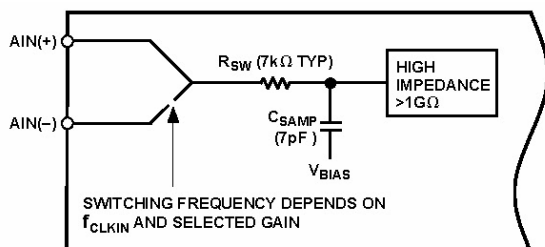


図 3. バッファなしアナログ入力の構造

C_{SAMP} は、各入力サンプル・サイクルで R_{SW} と外部ソース・インピーダンスを介して充電されます。したがって、バッファなしモードでは、ソース・インピーダンスは C_{SAMP} の充電時間を長くし、このためにデバイスのゲイン誤差が発生します。表 XII に、バッファなしモードに対して使用可能な外付け抵抗値/容量値で、 16 ビット・レベルでゲイン誤差を発生しない組み合わせを示します。表 XIII に、バッファなしモードに対して使用可能な外付け抵抗値/容量値で、 20 ビット・レベルでゲイン誤差を発生しない組み合わせを示します。

表 XII. 16 ビット・ゲイン誤差を発生しない外付け R と C の組み合わせ(バッファなしモードの場合)

Gain	External Capacitance (pF)					
	0	50	100	500	1000	5000
1	368 k Ω	90.6 k Ω	54.2 k Ω	14.6 k Ω	8.2 k Ω	2.2 k Ω
2	177.2 k Ω	44.2 k Ω	26.4 k Ω	7.2 k Ω	4 k Ω	1.12 k Ω
4	82.8 k Ω	21.2 k Ω	12.6 k Ω	3.4 k Ω	1.94 k Ω	540 Ω
8-128	35.2k Ω	9.6 k Ω	5.8 k Ω	1.58 k Ω	880 Ω	240 Ω

表 XIII. 20 ビット・ゲイン誤差を発生しない外付け R と C の組み合わせ(バッファなしモードの場合)

Gain	External Capacitance (pF)					
	0	50	100	500	1000	5000
1	290 k Ω	69 k Ω	40.8 k Ω	10.4 k Ω	5.6 k Ω	1.4 k Ω
2	141 k Ω	33.8 k Ω	20 k Ω	5 k Ω	2.8 k Ω	700 Ω
4	63.6 k Ω	16 k Ω	9.6 k Ω	2.4 k Ω	1.34 k Ω	340 Ω
8-128	26.8 k Ω	7.2 k Ω	4.4 k Ω	1.1 k Ω	600 Ω	160 Ω

バッファ・モードでは、アナログ入力から内蔵バッファ・アンプの高インピーダンス入力ステージが見えます。 C_{SAMP} は、このバッファ・アンプを介して充電されるため、 C_{SAMP} の充電にソース・インピーダンスが影響を与えません。このバッファ・アンプのオフセット・リーク電流は 1 nA です。このバッファ・モードでは、大きなソース・インピーダンスにより、ソース・インピーダンスの両端に DC オフセット電圧が発生しますが、ゲイン誤差は発生しません。

入力サンプル・レート

AD7714の変調器サンプル周波数は、選択したゲインに無関係に $f_{CLK IN}/128$ (19.2 kHz @ $f_{CLK IN} = 2.4576\text{ MHz}$)を維持しますが、 1 より大きいゲインは、変調器サイクルあたりの複数入力サンプルと、リファレンス・コンデンサ対入力コンデンサの比のスケールリングとの組み合わせにより実現されます。複数サンプリングのため、デバイスの入力サンプル・レートは選択したゲインにより変わります(表 XIV)。バッファ・モードでは、入力サンプリング・コンデンサの前で入力がバッファされます。アナログ入力からサンプリング・コンデンサが直接見えるバッファなしモードでは、実効入力インピーダンスは $1/C_{SAMP} \times f_s$ になります。ここで、 C_{SAMP} は入力サンプリング・コンデンサ、 f_s は入力サンプル・レートです。

表 XIV. 入力サンプリング周波数対ゲイン

Gain	Input Sampling Freq (fS)
1	$f_{\text{CLK IN}}/64$ (38.4 kHz @ $f_{\text{CLK IN}} = 2.4576$ MHz)
2	$2 \times f_{\text{CLK IN}}/64$ (76.8 kHz @ $f_{\text{CLK IN}} = 2.4576$ MHz)
4	$4 \times f_{\text{CLK IN}}/64$ (153.6 kHz @ $f_{\text{CLK IN}} = 2.4576$ MHz)
8	$8 \times f_{\text{CLK IN}}/64$ (307.2 kHz @ $f_{\text{CLK IN}} = 2.4576$ MHz)
16	$8 \times f_{\text{CLK IN}}/64$ (307.2 kHz @ $f_{\text{CLK IN}} = 2.4576$ MHz)
32	$8 \times f_{\text{CLK IN}}/64$ (307.2 kHz @ $f_{\text{CLK IN}} = 2.4576$ MHz)
64	$8 \times f_{\text{CLK IN}}/64$ (307.2 kHz @ $f_{\text{CLK IN}} = 2.4576$ MHz)
128	$8 \times f_{\text{CLK IN}}/64$ (307.2 kHz @ $f_{\text{CLK IN}} = 2.4576$ MHz)

バーンアウト電流

AD7714 には、2 つの 1 μA 電流があります。1 つは AV_{DD} から $\text{AIN}(+)$ へのソース電流で、もう 1 つは $\text{AIN}(-)$ から AGND へのシンク電流です。両電流は、モード・レジスタの BO ビットの状態に応じてオン/オフします。これらの電流を使って、チャンネルで計測する前に、トランスジューサが焼き切れていないこと、断線していないことをチェックすることができます。電流がターンオンされると、トランスジューサに電流が流れ、アナログ入力で入力電圧が測定されます。測定した電圧がフル・スケールの場合、トランスジューサが断線したことを、測定した電圧がゼロの場合、トランスジューサが短絡したことを、それぞれ意味します。通常動作では、 BO ビットに 0 を書き込んで、これらバーンアウト電流をターン・オフしておきます。ソース電流が正しく動作するためには、 $\text{AIN}(+)$ に加える電圧が AV_{DD} から 500 mV 以上離れている必要があります。シンク電流が正しく動作するためには、 $\text{AIN}(-)$ に加える電圧が AGND から 500 mV 以上離れている必要があります。

バイポーラ/ユニポーラ入力

AD7714 のアナログ入力には、ユニポーラまたはバイポーラの入力電圧範囲を入力することができます。バイポーラ入力範囲は、デバイスがアナログ入力で負電圧を処理できることを意味するものではありません。これは、デバイスの正常動作のためにはアナログ入力が -30 mV より負側に変化できないためです。入力チャンネルはフル差動または疑似差動です(他のすべてのチャンネルは AIN_6 を基準とします)。両ケースとも、入力チャンネルは $\text{AIN}(+)$ と $\text{AIN}(-)$ の対として構成されています。このため、 $\text{AIN}(+)$ 入力のユニポーラ信号とバイポーラ信号は、それぞれの $\text{AIN}(-)$ 入力を基準としています。たとえば、 $\text{AIN}(-) = +2.5$ V、AD7714 をユニポーラ動作に設定、ゲイン=2、 $\text{V}_{\text{REF}} = +2.5$ V の場合、 $\text{AIN}(+)$ 入力の入力電圧範囲は $+2.5$ V ~ $+3.75$ V になります。 $\text{AIN}(-) = +2.5$ V、AD7714 をバイポーラ・モードに設定、ゲイン=2、 $\text{V}_{\text{REF}} = +2.5$ V の場合、 $\text{AIN}(+)$ 入力のアナログ入力範囲は $+1.25$ V ~ $+3.75$ V (すなわち 2.5 V \pm 1.25 V) になります。 $\text{AIN}(-) = \text{AGND}$ の場合、デバイスを ± 30 mV を超えるバイポーラ範囲に設定することはできません。

バイポーラ・オプションまたはユニポーラ・オプションは、フィルタ・ハイ・レジスタの B/U ビットを使って、選択することができます。この設定により、選択したチャンネルがユニポーラ動作またはバイポーラ動作に設定されます。チャンネルをユニポーラ動作またはバイポーラ動作に設定しても、入力シグナル・コンデショニングは変更されません。単に、データ出力コーディングとキャリブレーションを行う伝達関数上のポイントを変更するだけです。

リファレンス入力

AD7714 のリファレンス入力 $\text{REFIN}(+)$ と $\text{REFIN}(-)$ は、差動リファレンス入力機能を提供します。これらの差動入力の同相モード範囲は $\text{AGND} \sim \text{AV}_{\text{DD}}$ です。規定動作に対する公称リファレンス電圧 V_{REF} ($\text{REFIN}(+) - \text{REFIN}(-)$)は、AD7714-5 では $+2.5$ V で、AD7714-3 では $+1.25$ V です。このデバイスは 1 V までの低い V_{REF} 電圧で動作しますが、LSB サイズで表す出力ノイズが大きくなるため性能が低下します。AD7714 の正常動作のためには、常に $\text{REF IN}(+) > \text{REF IN}(-)$ である必要があります。

両リファレンス入力は、バッファなしモードのアナログ入力と同様に高いインピーダンスの動的負荷を提供します。温度に対する最大 DC 入力リーク電流は ± 1 nA で、ソース抵抗によりデバイスのゲイン誤差が発生します。この場合、サンプリング・スイッチ抵抗は 5 k Ω (typ) で、リファレンス・コンデンサ(C_{REF})はゲインに応じて変わります。リファレンス入力のサンプル・レートは $f_{\text{CLK IN}}/64$ で、ゲインに応じて変化しません。ゲイン=1~8 の場合 $\text{C}_{\text{REF}} = 8\text{pF}$ 、ゲイン=16 の場合 $\text{C}_{\text{REF}} = 5.5\text{pF}$ 、ゲイン=32 の場合 $\text{C}_{\text{REF}} = 4.25$ pF、ゲイン=64 の場合 $\text{C}_{\text{REF}} = 3.625$ pF、ゲイン=128 の場合 $\text{C}_{\text{REF}} = 3.3125$ pF です。

表 I ~ 表 IV に示す出力ノイズ性能はアナログ入力 = 0 V に対するものであるため、リファレンス電圧上のノイズには影響されません。全入力範囲でノイズの表に示す同じノイズ性能を得るためには、AD7714 に対して低ノイズ・リファレンス電圧源が必要です。注目帯域幅内のリファレンス・ノイズが大きい場合、AD7714 の性能が低下します。アナログ入力に接続されているブリッジ・トランスデューサに対する励起電圧がデバイスのリファレンス電圧をも駆動するようなアプリケーションは比例動作であるため、励起電圧の低周波ノイズの影響は除去されます。 $\text{AV}_{\text{DD}} = 5$ V での AD7714-5 と AD7714Y グレードに対する推奨リファレンス電圧ソースとしては、AD780、REF43、REF192 などがあり、 $\text{AV}_{\text{DD}} = 3$ V での AD7714-3 と AD7714Y に対する推奨リファレンス電圧ソースとしては、AD589 と AD1580 などがあります。ノイズ・レベルをさらに削減するため、これらのリファレンス出力をデカップリングすることが一般に推奨されます。

デジタル・フィルタリング

AD7714 は、デバイスのシグマ・デルタ変調器の出力を処理するローパス・デジタル・フィルタを内蔵しています。このため、デバイスは A/D 変換機能だけでなく、フィルタ機能も提供します。アナログ領域ではなくデジタル領域でフィルタ機能が提供される場合、システムに多くの違いがあり、ユーザーはこの違いに注意する必要があります。

まず、A/D 変換処理の後にデジタル・フィルタが配置されているため、変換過程で混入したノイズを除去することができます。アナログ・フィルタでこれを行うことはできません。また、デジタル・フィルタはアナログ・フィルタより遥かに容易にプログラマブルにすることができます。デジタル・フィルタ・デザインに応じて、カットオフ周波数と出力更新レートの設定が可能になります。

これに対して、アナログ・フィルタではアナログ信号に重畳されたノイズを ADC の前で除去することができます。デジタル・フィルタではこれができないため、フル・スケール近くの信号に存在するノイズ・ピークは信号平均値が規定値内でも、アナログ変調器とデジタル・フィルタを飽和させる危険性を持っています。この問題を解決するため、AD7714 ではシグマ・デルタ変調器とデジタル・フィルタにアナログ入力範囲より 5%高いオーバーレンジを許容するオーバーレンジ・ヘッドルームを設けてあります。ノイズ信号がこの値より大きい場合、アナログ入力フィルタ機能を検討するか、またはフル・スケールがアナログ入力チャンネルのフル・スケールの 1/2 になるように、入力チャンネル電圧を小さくする必要があります。これにより、ダイナミック・レンジを 1 ビット (50%) 犠牲にすることにより、100% より大きいオーバーレンジ能力を提供することができます。

さらに、デジタル・フィルタはデジタル・フィルタのサンプル周波数の整数倍で減衰を与えませんが、デバイスの入力サンプリング機能により、入力サンプリング周波数 f_s (表 XIV)の倍数付近で実際に非減衰帯域が発生するようにして、デジタル・フィルタのサンプリング周波数の倍数で減衰を提供します。このため、非減衰帯域は $n \times f_s$ で発生します(ここで、 $n = 1, 2, 3, \dots$)。これらの周波数では、両側に $\pm f_{3dB}$ 幅(f_{3dB} はデジタル・フィルタのカットオフ周波数)の周波数帯域があり、ここをノイズが減衰しないで出力へ通過します。

フィルタ特性

AD7714 のデジタル・フィルタは、 $(\sin x/x)^3$ 応答(Sinc³とも呼ばれます)を持つローパス・フィルタです。このフィルタの伝達関数は次式により z 領域で表されます。

$$H(z) = \left[\frac{1}{N} \times \frac{1 - z^{-N}}{1 - z^{-1}} \right]^3$$

周波数領域では次式で表されます。

$$|H(f)| = \left| \frac{1}{N} \times \frac{\text{Sin}(N \cdot \pi \cdot f / f_s)}{\text{Sin}(\pi \cdot f / f_s)} \right|^3$$

図 4 に、カットオフ周波数 2.62 Hz (最初のフィルタ・ノッチ周波数 10 Hz に対応)のフィルタ周波数応答を示します。プロットは DC~65 Hz について示してあります。この応答は、入力サンプリング周波数の両側と入力サンプリング周波数の倍数の両側で繰り返されます。

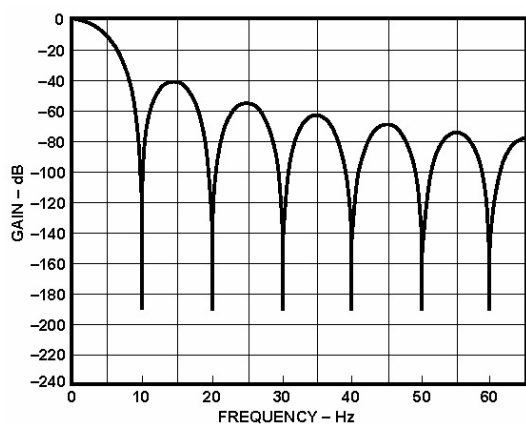


図4. AD7714フィルタの周波数応答

フィルタ応答は平均フィルタ応答と似ていますがロールオフがシャープです。デジタル・フィルタの出力レートは、フィルタの周波数応答の最初のノッチの位置に対応します。したがって、出力レートが 10 Hz である図 4 のプロットの場合、フィルタの最初のノッチは 10 Hz にあります。この $(\sin x/x)^3$ フィルタのノッチは、最初のノッチの倍数で繰り返されます。このフィルタは、これらのノッチで 100 dB 以上の減衰を提供します。この例の場合、最初のノッチが 10 Hz にある場合、50 Hz と 60 Hz にもノッチが存在します(したがって 100 dB 以上の除去比)。

デジタル・フィルタのカットオフ周波数は、フィルタ・ハイ・レジスタとフィルタ・ロー・レジスタのビット FS0~FS11 にロードされる値により決定されます。FS0~FS11 を使って別のカットオフ周波数を設定してもフィルタ応答のプロファイルは変わりません。これにより、フィルタ・レジスタのセクションで説明したようにノッチ周波数が変わります。出力更新と最初のノッチが対応し、関係は次式で与えられます。

$$\text{出力レート} = f_{\text{CLK IN}} / (N \cdot 128)$$

ここで、 N はフィルタ・レジスタの FS0~FS11 ビットにロードされたワードの 10 進値表示。

-3 dB 周波数は次式で決定されます。

$$-3 \text{ dB 周波数} = 0.262 \times \text{フィルタ最初のノッチ周波数}$$

このフィルタは線形な位相応答を持ち群遅延は次式で表されま

$$\text{群遅延} = -3\pi \cdot (N \cdot f / f_{\text{MOD}})$$

ここで、 N はフィルタ・レジスタの FS0~FS11 ビットにロードされたワードの 10 進表示値で $f_{\text{MOD}} = f_{\text{CLK IN}} / 128$ 。

AD7714 はローパス・フィルタを内蔵しているため、セトリング・タイムはステップ関数入力に関係するので、ステップ変化の後、セトリング・タイムが経過するまで出力データは無効になります。セトリング・タイムは、フィルタに対して選択した出力レートに依存します。フル・スケールのステップ入力変化に対するフィルタのセトリング・タイムは、出力データ・レートの最大 4 倍になることがあります。同期ステップ入力(SYNCまたは FSYNC の機能を使用)の場合、セトリング・タイムは出力データ周期の 3 倍です。デバイス上でチャンネルを切り替えるとき、チャンネルからチャンネルの切り替えが同期化されているため、出力セトリング・タイムも出力データ周期の 3 倍になります。したがって、チャンネル間の切り替えでは、フィルタのセトリング・タイムが経過するまで、出力データ・レジスタが更新されません。

ポスト・フィルタリング

内蔵の変調器は、 $f_{\text{CLK IN}} = 2.4576 \text{ MHz}$ で 19.2 kHz 出力レートのサンプルを提供します。内蔵デジタル・フィルタは、これらのサンプルをデシメーションして、フィルタの設定した出力レートに対応する出力レートをデータを提供します。出力データ・レートはナイキスト基準より高いため、与えられた帯域幅に対する出力レートは大部分のアプリケーションの条件を満たします。ただし、与えられた帯域幅とノイズ性能に対してさらに高いデータ・レートを必要とするアプリケーションもあります。この高いデータ・レートを必要とするアプリケーションは、デバイスのデジタル・フィルタの後ろでポスト・フィルタリングを必要とします。

たとえば、必要とされる帯域幅が 7.86 Hz で、必要とする更新レートが 100 Hz の場合、データを 100 Hz レートで AD7714 から取り出すと、-3 dB 帯域幅は 26.2 Hz になります。

これにポスト・フィルタリングを行って、帯域幅と出力ノイズを 7.86 Hz 帯域幅レベルに削減し、出力レートを 100 Hz に維持することができます。

また、ポスト・フィルタリングを使って、1.26 Hz より低い帯域幅に対してデバイスからの出力ノイズを小さくすることもできます。ゲイン = 128、帯域幅 = 1.26 Hz で、出力 rms ノイズは 140 nV になります。これは本質的にデバイス・ノイズまたはホワイト・ノイズであり、入力がチョップされているため、このノイズは平坦な周波数応答を持っています。帯域幅を 1.26 Hz より小さくすると、通過帯域内のノイズを小さくすることができます。帯域幅を 1/2 にすると、出力 rms ノイズで約 1.25 の削減になります。このフィルタリングの追加により、セトリング・タイムが長くなります。

アナログ・フィルタリング

前述のように、デジタル・フィルタはデジタル・フィルタのサンプリング周波数の整数倍で減衰を与えません。ただし、AD7714のオーバーサンプリング比が大きいため、これらの帯域はスペクトルの小さい部分しか占有しないため、大部分の広帯域ノイズがフィルタされます。これは、AD7714の前でのアナログ・フィルタリング要求が、フィルタリングを内蔵しない従来型コンバータに比べて大幅に少なくなっていることを意味します。さらに、デバイスの 100 dB の同相モード除去比性能は数 kHz まで広がるため、この周波数範囲内の同相モード・ノイズが大幅に削減されます。

ただし、アプリケーションによっては、AD7714の前で減衰させて、デジタル・フィルタが通過させるこれらの帯域から不要な周波数を除去することが必要となることがあります。AD7714の前にアナログ・フィルタを配置して、注目する帯域の外側の差動ノイズ信号によりアナログ変調器が飽和しないようにすることが必要となるアプリケーションもあります。

バッファなしモードで、AD7714の前に受動部品を配置する場合、ソース・インピーダンスを十分小さくして、システムにゲイン誤差が発生しないように注意する必要があります。バッファなしモードで、AD7714の前に受動折り返し防止フィルタを使用する場合、これが大きな制約になります。ただし、デバイスをバッファ・モードで使用する場合は、ソース・インピーダンスが大きいと DC オフセット誤差が小さくなります(10 kΩのソース抵抗でオフセット誤差は 10 μV 以下になります)。このため、AD7714の前に受動アナログ・フィルタを配置するために大きなソース・インピーダンスが必要な場合、デバイスをバッファ・モードで動作させることが推奨されます。

キャリブレーション

AD7714は、モード・レジスタの MD2、MD1、MD0 ビットを使って設定できる多くのキャリブレーション・オプションを提供しています。各キャリブレーション・オプションは、モード・レジスタのセクションとキャリブレーション・シーケンスのセクションで説明しています。キャリブレーション・サイクルは、モード・レジスタのこれらのビットに書き込みを行うことにより何時でも開始させることができます。AD7714のキャリブレーションは、デバイスからオフセット誤差とゲイン誤差を除去します。周囲動作温度または電源電圧が変化した場合、デバイス上でキャリブレーション・ルーチンを起動する必要があります。選択したゲイン、フィルタ・ノッチまたはバイポーラ/ユニポーラ入力範囲に変更があった場合にも起動する必要があります。

AD7714では内蔵キャリブレーション・レジスタに対してユーザーがアクセスできるため、マイクロプロセッサからデバイスのキャリブレーション係数を読み出したり、E²PROM に格納したある値からデバイスへキャリブレーション係数を書き込んだりすることができます。この機能により、マイクロプロセッサから AD7714 のキャリブレーション手順を制御することができます。また、キャリブレーション後に係数を E PROM 内に格納されている値と比較することにより、デバイスが正しくキャリブレーションされたことを確認することもできます。これらのキャリブレーション・レジスタの値は 24 ビット幅です。さらに、デバイスのスパンとオフセットをユーザが調節することもできます。

さまざまな出力更新レート、ゲイン、ユニポーラ/バイポーラ動作についてこれらの係数にはさまざまな値があります。AD7714の内部では、これらの係数を正規化した後に、デジタル・フィルタから出力されるワードのスケールリングに使用します。オフセット・キャリブレーション・レジスタには、正規化するときにすべての変換結果から減算される値が格納されています。フル・スケール・キャリブレーション・レジスタには、正規化するとき、すべての変換結果に乘算する値が格納されています。オフセット・キャリブレーション係数を結果から減算した後に、フル・スケール係数を乗算します。これは、フル・スケール係数が実質的にスパンすなわちゲイン係数であることを意味します。

AD7714は、セルフキャリブレーション機能、システム・キャリブレーション機能、バックグラウンド・キャリブレーション機能を提供します。選択したチャンネルでフル・キャリブレーションを行うときは、内蔵マイクロコントローラが 2 つの異なる入力条件に対する変調器出力を記録する必要があります。これらは“ゼロ・スケール”ポイントと“フル・スケール”ポイントです。これらのポイントは、キャリブレーション時に変調器入力に加えられた異なる入力電圧を変換することにより導出されます。このため、キャリブレーション精度は、ノーマル・モードでデバイスが提供するノイズ・レベルと同等になります。“ゼロ・スケール”キャリブレーション変換の結果は、該当するチャンネルのゼロ・スケール・キャリブレーション・レジスタに格納されます。“フル・スケール”キャリブレーション変換の結果は、該当するチャンネルのフル・スケール・キャリブレーション・レジスタに格納されます。これらの出力値を使って、マイクロコントローラは入力から出力までのコンバータ伝達関数のオフセットとゲインスロープを計算することができます。内部的には、デバイスは 33 ビットの分解能で動作して、16 ビットまたは 24 ビットの変換結果を取得します。

セルフ・キャリブレーション

AD7714 のセルフキャリブレーションは、モード・レジスタの MD2、MD1、MD0 ビットに該当する値(0、0、1)を書き込むことにより、起動されます。ユニポーラ入力範囲でのセルフキャリブレーション・モードでは、キャリブレーション係数の決定に使われるゼロ・スケール・ポイントは、差動対の入力を内部で短絡した場合のもので(すなわち、AIN(+) = AIN(-) = 内部バイアス電圧)。このゼロ・スケール・キャリブレーション変換の場合、PGA は選択したゲイン(モード・レジスタの G2、G1、G0 ビットで指定)に設定します。フル・スケール・キャリブレーション変換は、内部で発生した V_{REF} / 選択したゲインに対して、選択したゲインで行われます。

キャリブレーションの継続時間は、 $6 \times 1/\text{出力レート}$ です。この内訳は、ゼロ・スケール・キャリブレーションに $3 \times 1/\text{出力レート}$ 、およびフル・スケール・キャリブレーションに $3 \times 1/\text{出力レート}$ です。この時点で、モード・レジスタの MD2、MD1、MD0 ビットは 0、0、0 に戻ります。この変化がキャリブレーション・シーケンスの完了を最も早く表示します。キャリブレーションが開始されると、DRDY出力がハイ・レベルになり、新しい有効ワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。キャリブレーション・コマンドの発行からDRDYがロー・レベルになるまでの時間は、 $9 \times 1/\text{出力レート}$ です。この内訳は、ゼロ・スケール・キャリブレーションに $3 \times 1/\text{出力レート}$ 、フル・スケール・キャリブレーションに $3 \times 1/\text{出力レート}$ 、アナログ入力での変換に $3 \times 1/\text{出力レート}$ です。キャリブレーション・コマンドがモード・レジスタへ書き込む前にDRDYがロー・レベルである場合、または書き込む間にロー・レベルになる場合、最大 1 変調器サイクル(MCLK IN/128)経過した後DRDYがハイ・レベルになって、キャリブレーションが進行中であることを表示します。このため、キャリブレーション・コマンドの最後のビットがモード・レジスタへ書き込まれた後、最大 1 変調器サイクル間DRDYを無視する必要があります。

セルフキャリブレーション・モードでのバイポーラ入力範囲の場合は、シーケンスは前記説明と良く似ています。この場合は、2 つのポイントは前記と全く同じですが、デバイスがバイポーラ動作に設定されているため、ゼロ差動入力に対する出力コードは、24 ビット・モードで 800000 Hex になります。

このデバイスは、ゼロ・スケール(ZS)セルフキャリブレーション・オプションとフル・スケール(FS)セルフキャリブレーション・オプションも提供します。これらの場合、デバイスはそれぞれゼロ・スケール・キャリブレーションまたはフル・スケール・キャリブレーションを実行するだけで、デバイスのフル・キャリブレーションは行いません。デバイスに有効なゼロ・スケール係数が格納されるまで、フル・スケール・キャリブレーションを行うことはできません。AD7714上でこれらのキャリブレーションを起動するときは、該当する値(ZS セルフキャリブレーションの場合は 1、1、0、FS セルフ・キャリブレーションの

場合は、1、1、1)をモード・レジスタのMD2、MD1、MD0ビットに書き込みます。ゼロ・スケール・キャリブレーションまたはフル・スケール・キャリブレーションは、既に説明したフル・セルフキャリブレーションの場合と全く同じです。これらのケースでは、キャリブレーション継続時間は $3 \times 1/\text{出力レート}$ になります。この時点で、モード・レジスタのMD2、MD1、MD0ビットは 0、0、0 に戻ります。この変化がキャリブレーション・シーケンスの完了を最も早く表示します。キャリブレーションが開始されると、DRDY出力がハイ・レベルになり、新しい有効ワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。キャリブレーション・コマンドの発行からDRDYがロー・レベルになるまでの時間は、 $6 \times 1/\text{出力レート}$ です。この内訳は、ゼロ・スケール・キャリブレーションに $3 \times 1/\text{出力レート}$ 、およびアナログ入力での変換に $3 \times 1/\text{出力レート}$ です。キャリブレーション・コマンドがモード・レジスタへ書き込む前にDRDYがロー・レベルである場合、または書き込む間にロー・レベルになる場合、最大1変調器サイクル(MCLK IN/128)経過した後にDRDYがハイ・レベルになって、キャリブレーションが進行中であることを表示します。このため、キャリブレーション・コマンドの最後のビットがモード・レジスタへ書き込まれた後、最大1変調器サイクル間DRDYを無視する必要があります。

セルフキャリブレーションを2ステップ・キャリブレーションとして実行できることから、別の機能が提供されます。フル・セルフ・キャリブレーションのシーケンスが完了した後、デバイスのゼロ・ポイントまたはゲインを調節することにより、さらにオフセットまたはゲイン・キャリブレーションを実行することができます。パラメータの1つ(オフセットまたはゲイン)をキャリブレーションしても、他のパラメータに影響しません。

システム・キャリブレーション

システム・キャリブレーションを使うと、システム・ゲイン、オフセット誤差、内部誤差を補正することができます。システム・キャリブレーションでは、セルフキャリブレーションと同じスロープ係数計算を行います。ゼロ・スケール・ポイントとフル・スケール・ポイント用にシステムがAIN入力に入力する電圧値を使います。フル・システム・キャリブレーションでは、ZSシステム・キャリブレーションとそれに続くFSシステム・キャリブレーションの2ステップ・プロセスが必要です。

フル・システム・キャリブレーションの場合、先にゼロ・スケール・ポイントをコンバータに与える必要があります。これをコンバータへ入力した後に、キャリブレーション・ステップを開始し、ステップが完了するまで安定に維持する必要があります。システム・ゼロ・スケールをアナログ入力に設定した後、モード・レジスタのMD2、MD1、MD0ビットへ該当する値(0、1、0)を書き込んで、ZSシステム・キャリブレーションを開始させます。選択したゲインでゼロスケール・システム・キャリブレーションが実行されます。キャリブレーションの継続時間は、 $3 \times 1/\text{出力レート}$ です。この時点で、モード・レジスタのMD2、MD1、MD0ビットは 0、0、0 に戻ります。この変化がキャリブレーション・シーケンスの完了を最も早く表示します。キャリブレーションが開始されると、DRDY出力がハイ・レベルになり、新しい有効ワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。

キャリブレーション・コマンドの発行からDRDYがロー・レベルになるまでの時間は、 $4 \times 1/\text{出力レート}$ です。この内訳は、ゼロ・スケール・システム・キャリブレーションに $3 \times 1/\text{出力レート}$ 、およびアナログ入力での変換に $1/\text{出力レート}$ です。アナログ入力でのこの変換は、ゼロ・スケール・システム・キャリブレーションと同じ電圧で行うため、この変換からデータ・レジスタに得られるワードはゼロ・スケール読み出し値である必要があります。キャリブレーション・コマンドがモード・レジスタへ書き込む前にDRDYがロー・レベルである場合、または書き込む間にロー・レベルになる場合、最大1変調器サイクル(MCLK IN/128)経過した後にDRDYがハイ・レベルになって、キャリブレーションが進行中であることを表示します。このため、キャリブレーション・コマンドの最後のビットがモード・レジスタへ書き

込まれた後、最大1変調器サイクル間DRDYを無視する必要があります。

ゼロ・スケール・ポイントのキャリブレーションの後、フル・スケール・ポイントを書き込んで、AINに入力し、MD2、MD1、MD0に該当する値(0、1、1)を書き込んで、キャリブレーション・プロセスの2番目のステップを開始させます。この場合も、フル・スケール電圧を設定した後にキャリブレーションを開始し、キャリブレーション・ステップ中安定に維持する必要があります。選択したゲインでフルスケール・システム・キャリブレーションが実行されます。キャリブレーションの継続時間は、 $3 \times 1/\text{出力レート}$ です。この時点で、モード・レジスタのMD2、MD1、MD0ビットは 0、0、0 に戻ります。この変化がキャリブレーション・シーケンスの完了を最も早く表示します。キャリブレーションが開始されると、DRDY出力がハイ・レベルになり、新しい有効ワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。キャリブレーション・コマンドの発行からDRDYがロー・レベルになるまでの時間は、 $4 \times 1/\text{出力レート}$ です。この内訳は、フル・スケール・システム・キャリブレーションに $3 \times 1/\text{出力レート}$ 、およびアナログ入力での変換に $1/\text{出力レート}$ です。アナログ入力でのこの変換は、フル・スケール・システム・キャリブレーションと同じ電圧で行うため、この変換からデータ・レジスタに得られるワードはフル・スケール読み出し値である必要があります。キャリブレーション・コマンドがモード・レジスタへ書き込む前にDRDYがロー・レベルである場合、または書き込む間にロー・レベルになる場合、最大1変調器サイクル(MCLK IN/128)経過した後にDRDYがハイ・レベルになって、キャリブレーションが進行中であることを表示します。このため、キャリブレーション・コマンドの最後のビットがモード・レジスタへ書き込まれた後、最大1変調器サイクル間DRDYを無視する必要があります。

ユニポーラ・モードでは、システム・キャリブレーションが伝達関数の2つのエンドポイント間で行われます。バイポーラ・モードでは、ミッド・スケール(ゼロ差動電圧)と正のフル・スケールとの間で行われます。

システム・キャリブレーションを2ステップ・キャリブレーションとして実行できることから、別の機能が提供されます。フル・システム・キャリブレーションのシーケンスが完了した後、システムのゼロ基準ポイントまたはシステム・ゲインを調節することにより、さらにオフセットまたはゲイン・キャリブレーションを実行することができます。パラメータの1つ(システム・オフセットまたはシステム・ゲイン)をキャリブレーションしても、他のパラメータに影響しません。デバイスに有効なゼロ・スケール係数が格納されるまで、フル・スケール・キャリブレーションを行うことはできません。

システム・キャリブレーションを使って、デバイスをバッファなしモードで使用する場合アナログ入力のソース・インピーダンスからすべての誤差を除去することもできます。フロント・エンドにシンプルなR、C折り返し防止フィルタを使用すると、アナログ入力電圧にゲイン誤差が発生しますが、システム・キャリブレーションを使ってこの誤差を除去することができます。

システム・オフセット・キャリブレーション

システム・オフセット・キャリブレーションは、システム・キャリブレーションとセルフキャリブレーションから派生したものです。このケースでは、ゼロ・スケール・ポイントは、ZS システム・キャリブレーションと全く同じ方法で決定されます。システム・ゼロ・スケール・ポイントは、コンバータの AIN 入力に入力されます。これをコンバータへ入力した後に、キャリブレーション・ステップを開始し、ステップが完了するまで安定に維持する必要があります。システム・ゼロ・スケールを設定した後、モード・レジスタの MD2、MD1、MD0 ビットへ該当する値(1、0、0)を書き込んで、システム・オフセット・キャリブレーションを開始させます。選択したゲインでゼロスケール・システム・キャリブレーションが実行されます。

フル・スケール・キャリブレーションは、FS セルフ・キャリブレーションと全く同じ方法で実行されます。フル・スケール・キャリブレーション変換は、内部で発生した V_{REF} 選択したゲインに対して、選択したゲインで行われます。これは 1 ステップ・キャリブレーション・シーケンスであり、キャリブレーションに要する時間は $6 \times 1/\text{出力レート}$ です。この時点で、モード・レジスタの MD2、MD1、MD0 ビットは 0、0、0 に戻ります。この変化がキャリブレーション・シーケンスの完了を最も早く表示します。キャリブレーションが開始されると、DRDY 出力がハイ・レベルになり、新しい有効ワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。キャリブレーション・コマンドの発行から DRDY がロー・レベルになるまでの時間は、 $9 \times 1/\text{出力レート}$ です。この内訳は、ゼロ・スケール・システム・キャリブレーションに $3 \times 1/\text{出力レート}$ 、フル・スケール・セルフ・キャリブレーションに $3 \times 1/\text{出力レート}$ 、アナログ入力での変換に $3 \times 1/\text{出力レート}$ です。アナログ入力でのこの変換は、ゼロ・スケール・システム・キャリブレーションと同じ電圧で行うため、この変換からデータ・レジスタに得られるワードはゼロ・スケール読み出し値である必要があります。キャリブレーション・コマンドがモード・レジスタへ書き込む間に DRDY がロー・レベルである場合、または書き込む間にロー・レベルになる場合、最大 1 変調器サイクル(MCLK IN/128)経過した後に DRDY がハイ・レベルになって、キャリブレーションが進行中であることを表示します。このため、キャリブレーション・コマンドの最後のビットがモード・レジスタへ書き込まれた後、最大 1 変調器サイクル間 DRDY を無視する必要があります。

ユニポーラ・モードでは、システム・オフセット・キャリブレーションが伝達関数の 2 つのエンドポイント間で行われます。バイポーラ・モードでは、ミッド・スケールと正のフル・スケールとの間で行われます。

バックグラウンド・キャリブレーション

AD7714 は、バックグラウンド・キャリブレーション・モードも提供します。このモードではキャリブレーション手順が通常の変換シーケンスとインターリーブされています。バックグラウンド・キャリブレーション・モードでは、このデバイスは連続ゼロ・スケール・セルフキャリブレーションを提供し、フル・スケール・キャリブレーションは提供しません。このモードでキャリブレーション係数の決定に使われるゼロ・スケール・ポイントは、ZS セルフキャリブレーションの場合と全く同じです。バックグラウンド・キャリブレーション・モードは、モード・レジスタの MD2、MD1、MD0 ビットに 1、0、1 を書き込むことにより、開始されます。バックグラウンド・キャリブレーション・モードが起動されると、各出力更新の後にゼロ・スケール・セルフ・キャリブレーションが実行されるため、AD7714 の出力データ・レートが 1/6 に低下します。これの利点は、デバイスが連続的にオフセット・キャリブレーションを実行して、ゼロ・スケール・キャリブレーション係数を自動的に更新することです。このため、温度ドリフト、電源感度、時間ドリフトのゼロ・スケール誤差に対する影響が自動的に除去されます。バックグラウンド・キャリブレーション・モードをターンオンさせると、モード・レジスタのビット MD2、MD1、MD0 が変更されるまでデバイスはこのモードを続けます。

バックグラウンド・キャリブレーションではフル・スケール・キャリブレーションを行わないため、デバイスをバックグラウンド・キャリブレーション・モードにする前にセルフキャリブレーションを行う必要があります。このモードでオフセット・ドリフトを除去するため、ゲイン・ドリフトがデバイスから除去できない唯一の誤差ソースとして残ります。温度に対する AD7714 のゲイン・ドリフトは $0.2 \text{ ppm}/^\circ\text{C}$ (typ) です。デバイスがバックグラウンド・キャリブレーション・モードにあるときは、SYNC 入力または FSYNC ビットをアサートしないでください。

スパンとオフセットの限界値

システム・キャリブレーション・モードを使うときは常に、許容オフセットとスパンに限界があります。デバイスに許容されるオフセットとゲインの大きさを求める際に優先される条件は、正のフル・スケール・キャリブレーション限界値 $\leq 1.05 \times V_{REF}/\text{ゲイン}$ を満たすという条件です。この条件を使うと、入力範囲を公称範囲より 5% 高くすることができます。AD7714 のアナログ変調器のヘッドルームにより、公称より 5% 高い正のフル・スケール電圧でデバイスが正常に動作することができます。

ユニポーラ・モードとバイポーラ・モードでの入力スパンの範囲は、最小値が $0.8 \times V_{REF}/\text{ゲイン}$ で、最大値が $2.1 \times V_{REF}/\text{ゲイン}$ です。ただし、スパン(AD7714 の入力範囲の下限と入力範囲の上限との差)では、正のフル・スケール電圧の限界値を考慮する必要があります。許容できるオフセットの大きさは、ユニポーラ・モードまたはバイポーラ・モードのいずれを使うかに依存します。この場合も、オフセットでは正のフル・スケール電圧の限界値を考慮する必要があります。ユニポーラ・モードでは、負オフセット(AIN(-)に対して)の扱いに大きな自由度があります。ユニポーラ・モードとバイポーラ・モードでは、デバイスで許容できる正のオフセット範囲は、選択するスパンに依存します。したがって、システム・ゼロ・スケール・キャリブレーションとフル・スケール・キャリブレーションに対して限界値を求めるとき、オフセット範囲とスパン範囲の和が $1.05 \times V_{REF}/\text{ゲイン}$ を超えないように注意する必要があります。これは、数個の例で示すと理解が容易です。

所要スパン $0.8 \times V_{REF}/\text{ゲイン}$ でデバイスをユニポーラ・モードで使う場合、システム・キャリブレーションで扱えることができるオフセット範囲は、 $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.25 \times V_{REF}/\text{ゲイン}$ です。

所要スパン $V_{REF}/\text{ゲイン}$ でデバイスをユニポーラ・モードで使う場合、システム・キャリブレーションで扱えることができるオフセット範囲は、 $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$ です。同様に、デバイスをユニポーラ・モードで使い、かつ $0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを除去する必要がある場合、システム・キャリブレーションで扱えるスパン範囲は $0.85 \times V_{REF}/\text{ゲイン}$ になります。

所要スパン $\pm 0.4 \times V_{REF}/\text{ゲイン}$ でデバイスをバイポーラ・モードで使う場合、システム・キャリブレーションで扱えることができるオフセット範囲は、 $-0.65 \times V_{REF}/\text{ゲイン} \sim +0.65 \times V_{REF}/\text{ゲイン}$ です。所要スパン $\pm V_{REF}/\text{ゲイン}$ でデバイスをバイポーラ・モードで使う場合、システム・キャリブレーションで扱えることができるオフセット範囲は、 $-0.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$ です。同様に、デバイスをバイポーラ・モードで使い、かつ $\pm 0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを除去する必要がある場合、システム・キャリブレーションで扱えるスパン範囲は $\pm 0.85 \times V_{REF}/\text{ゲイン}$ になります。

パワーアップとキャリブレーション

パワーアップ時、AD7714は内部リセットを実行して、内部レジスタ値を既知状態に設定します。パワーオンまたはリセット時にすべてのレジスタにロードするデフォルト値が存在します。デフォルト値には、キャリブレーション・レジスタに対する公称キャリブレーション係数が含まれます。ただし、デバイスの正しいキャリブレーションのため、パワーアップ後にキャリブレーション・ルーチンを実行する必要があります。

AD7714の消費電力と温度ドリフトは小さいため、初期キャリブレーションを実行する前にウォームアップ時間は不要です。ただし、外付けリファレンスを使用する場合、このリファレンスを安定させた後にキャリブレーションを開始する必要があります。同様に、デバイスのクロック・ソースをMCLKピンに接続した水晶または共振子から発生させる場合、発振器回路のスタートアップ時間が経過した後にデバイス上でキャリブレーションを開始する必要があります(下記参照)。

AD7714の使用クロックと発振器回路

AD7714はマスター・クロック入力が必要とします。このマスター・クロックは、MCLK INピンに接続した外部CMOS互換クロック信号(MCLK OUTピンは未接続のまま)から得ることができます。あるいは、正しい周波数の水晶またはセラミック共振子をMCLK INとMCLK OUTの間に接続することができます。この場合、クロック回路は発振器として機能して、デバイスのクロック・ソースを提供します。入力サンプリング周波数、変調器サンプリング周波数、-3 dB周波数、出力更新レート、キャリブレーション時間はすべてマスター・クロック周波数 $f_{CLK IN}$ に比例します。マスター・クロック周波数を1/2にすると、これらの周波数と更新レートが1/2になり、キャリブレーション時間は2倍になります。DV_{DD}電源の電流も $f_{CLK IN}$ に比例します。 $f_{CLK IN}$ を1/2にすると、DV_{DD}電流は1/2になりますが、AV_{DD}電源の電流は影響を受けません。

MCLK INピンとMCLK OUTピンの間で水晶またはセラミック共振子を使うデバイスを使用する場合、一般に、デバイスがMCLK INピンのクロック信号から駆動される場合に比べてDV_{DD}の電流が大きくなります。これは、水晶またはセラミック共振子の場合、内蔵発振器回路がアクティブになるためです。このため、AD7714の最小電流は、MCLK OUTを無負荷未接続にして、MCLK INピンを外部からクロック駆動した場合に実現されます。

発振器に必要なとされる電流増は、多くの要因に依存します。まず、MCLK INピンとMCLK OUTピンに接続するコンデンサ値が大きいくほど、AD7714上で大きなDV_{DD}電流が消費されます。不要なDV_{DD}電流消費を避けるため、水晶とセラミック共振子メーカーが推奨するコンデンサ値を超えないように注意する必要があります。水晶またはセラミック共振子メーカーが推奨する値(typ)は30 pF~50 pFの範囲であり、MCLK INとMCLK OUTの間のコンデンサ値がこの範囲内であれば、余分なDV_{DD}電流は流れません。DV_{DD}電流に影響を与えるもう1つの要因は、水晶の実効直列抵抗(ESR)であり、AD7714のMCLK INピンとMCLK OUTピンの間に存在します。一般に、ESR値が小さいほど、発振器回路で消費される電流が小さくなります。

DV_{DD}=+3 V、クロック周波数=2.4576 MHzで動作する場合、外部供給クロックと水晶共振子との間にDV_{DD}電流の大きな差はありません。DV_{DD}=+5 V、 $f_{CLK IN}$ =2.4576 MHzでは、DV_{DD}電流(typ)が水晶/共振子供給クロックでは外部供給クロックより50 μ A大きくなります。この周波数での水晶と共振子のESR値は、小さくなる傾向があるため、異なる水晶タイプと共振子タイプとの間の違いは小さくなる傾向があります。

クロック周波数=1 MHzで動作する場合、異なる水晶タイプのESR値は大きく異なります。このため、DV_{DD}電流は水晶タイプ間で異なります。ESR=700 Ω の水晶を使う場合、またはセラミック共振子を使う場合、外部供給クロックに対するDV_{DD}電流(typ)の増加は、DV_{DD}=+3 Vでは50 μ Aに、DV_{DD}=+5 Vでは175 μ Aに、それぞれなります。ESR=3 k Ω の水晶を使う場合、またはセラミック共振子を使う場合、外部供給クロックに対するDV_{DD}電流(typ)の増加は、DV_{DD}=+3 Vでは50 μ Aに、DV_{DD}=+5 Vでは300 μ Aに、それぞれなります。

内蔵発振器回路にも、正しい周波数と正しい電圧レベルで発振するまでのスタートアップ時間があります。この回路のスタートアップ時間(typ)は、DV_{DD}=+5 Vでは10 msに、DV_{DD}=+3 Vでは15 msに、それぞれなります。3 V電源では、MCLKピンの負荷容量に応じて、スタートアップ時間を約15 msにするため、水晶または共振子の並列に1 M Ω の帰還抵抗が必要になります。

AD7714のマスター・クロックは、デバイスのMCLK OUTピンから出力されます。このピンの最大推奨負荷は1 CMOS負荷です。水晶またはセラミック共振子を使ってAD7714のクロックを発生するときは、このクロックをシステムのクロック・ソースとして使うことが望まれます。この場合、MCLK OUT信号をCMOSバッファでバッファした後に、回路の残りの部分に供給することが推奨されます。

システム同期

SYNC入力(またはFSYNCビット)を使うと、デバイス内のすべてのセットアップ状態に影響を与えることなく、変調器とデジタル・フィルタをリセットすることができます。この機能を使うと、既知の時点すなわちSYNCの立ち上がりエッジまたは1がFSYNCへ書き込まれたタイミングから、アナログ入力のサンプルの収集を開始することができます。

SYNC入力を使って他の2つの機能を可能にすることもできます。複数のAD7714が共通のマスター・クロックで動作する場合、出力レジスタを同時に更新するようにこれらのデバイスを同期させることができます。SYNC入力の立ち下がりエッジ(またはモード・レジスタのFSYNCビットへの1の書き込み)により、デジタル・フィルタとアナログ変調器がリセットされ、AD7714が矛盾のない既知状態に置かれます。SYNC入力が高レベル(またはFSYNCのハイ・レベル)の間、AD7714はこの状態を維持します。SYNCの立ち上がりエッジ(またはFSYNCビットに0が書き込まれたタイミング)で、変調器とフィルタはこのリセット状態から抜け出て、次のクロック・エッジでデバイスは入力サンプルの収集を再開します。複数のAD7714を使うシステムでは、それぞれのSYNCへ入力される共通の信号により動作が同期化されます。この同期は通常、各AD7714でキャリブレーションが実行された後、またはキャリブレーション係数がロードされた後に実行されます。その後で、個々のAD7714での出力更新タイミングの最大差が1 MCLK IN サイクルとなるように、出力の更新が同期化されます。

SYNC入力を変換開始コマンドとして使って、従来型コンバータと同様に AD7714 を動作させることもできます。このモードでは、SYNCの立ち上がりエッジにより変換が開始され、DRDYの立ち下がりエッジにより変換が完了したタイミングが表示されます。この方式の欠点は、フィルタのセトリング・タイムを各データ・レジスタ更新で考慮しなければならないことです。これは、データ・レジスタが更新されるレートがこのモードでは 3 倍も低速レートになることを意味しています。

SYNC入力(または FSYNC ビット)がデジタル・フィルタをリセットするため、 $3 \times 1/\text{出力レート}$ のフル・セトリング・タイムが経過した後に、新しいワードがデバイスの出力レジスタに格納されます。SYNCがハイ・レベルのときに(または FSYNC が 0 になるとき)DRDY信号がロー・レベルの場合には、SYNC (または FSYNC)コマンドにより、DRDY信号はハイ・レベルにリセットされません。これは、読み出されていないワードがデータ・レジスタに存在すると AD7714 が認識するためです。データ・レジスタの更新までDRDYラインはロー・レベルを維持し、データ・レジスタが更新されると、 $500 \times t_{\text{CLK IN}}$ 間ハイ・レベルになった後にロー・レベルに戻ります。データ・レジスタを読み出すと、DRDY信号がハイ・レベルにリセットされて、フィルタのセトリング・タイム(SYNCまたは FSYNC コマンドから開始)が経過して、有効な新しいワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。SYNC (または FSYNC)コマンドが発行されたときDRDYラインがハイ・レベルにある場合、DRDYラインはフィルタのセトリング・タイムが経過するまでロー・レベルに戻りません。

リセット入力

AD7714 のRESET入力は、すべてのロジック、デジタル・フィルタ、アナログ変調器をリセットし、さらにすべての内蔵レジスタをそれぞれのデフォルト状態にリセットします。DRDYはハイ・レベルに駆動されるため、RESET入力がロー・レベルの間、AD7714 はすべてのレジスタに対するすべての通信を無視します。RESET入力がハイ・レベルに戻ると、AD7714 はデータの処理を開始し、DRDYは $3 \times 1/\text{出力レート}$ 以内にロー・レベルに戻って、データ・レジスタに有効な新しいワードが存在することを表示します。ただし、RESET後、AD7714 はデフォルトのセットアップ状態で動作するため、すべてのレジスタを設定し、システム・キャリブレーションをRESETコマンド後に実行することが一般に必要となります。

RESET入力がロー・レベルのときでも、AD7714 の内蔵発振器回路は動作を続けます。マスター・クロック信号のMCLK OUTピンへの出力は続きます。このため、システム・クロックがAD7714 のクロックから供給されるアプリケーションでは、AD7714 はRESETコマンド時に中断しないマスター・クロックを発生します。

スタンバイ・モード

AD7714 のSTANDBY入力をを使うと、変換結果が必要ないときデバイスをパワーダウン・モードにすることができます。AD7714 はスタンバイ・モードにあるとき、すべての内蔵レジスタ(データ・レジスタも含む)の値を保持します。スタンバイ・モードのとき、デジタル・インターフェースがリセットされ、DRDYがロジック 1 にリセットされます。スタンバイ・モードにあるときは、デバイスからデータをアクセスすることはできません。スタンバイ・モードから抜け出ると、デバイスはデータ処理を開始して、STANDBY入力がハイ・レベルになったタイミングから $3 \times 1/\text{出力レート}$ 以内に新しいワードがデータ・レジスタに格納されます。

デバイスがスタンバイ・モードになると、デバイスが外部マスター・クロックで動作し、かつこのマスター・クロックが停止した場合、総合電流が $5 \mu\text{A}$ (typ)に減少します。外部クロックがスタンバイ・モードで動作を続ける場合、スタンバイ電流が 5 V では $150 \mu\text{A}$ (typ)に、3.3 V 電源では $75 \mu\text{A}$ (typ)に、それぞれ増加します。水晶またはセラミック共振子をクロック・ソースとして使う場合、スタンバイ・モードでの総合電流は 5 V 電源では $400 \mu\text{A}$ (typ)に、3.3 V 電源では $90 \mu\text{A}$ に、それぞれ異なります。これは、デバイスがスタンバイ・モードのとき内蔵発振

器回路が動作を続けるためです。これは、システム・クロックが AD7714 のクロックから供給されるアプリケーションでは、AD7714 がスタンバイ・モードのときでも中断しないマスター・クロックを発生するために重要なことです。

精度

シグマ・デルタ ADC は、VFC やその他の積分型 ADC と同様に、非単調性を生ずる原因がないため、本来ノーマス・コード性能を持っています。AD7714 は、非常に小さい容量/電圧係数を持つ高品質な内蔵コンデンサの使用により優れた直線性を実現しています。また、このデバイスは入力ステージにチョップ安定化技術を採用して低入力ドリフトも実現しています。AD7714 では、時間と温度に対して優れた性能を保証するため、オフセットとゲイン誤差を小さくするデジタル・キャリブレーション技術を採用しています。

ドリフトの考慮事項

AD7714 ではチョップ安定化技術を使って入力オフセット・ドリフトを小さくしています。アナログ・スイッチのチャージ・インジェクションとサンプリング・ノードの DC リーク電流がコンバータ内のオフセット電圧ドリフトの主なソースです。DC 入力リーク電流は元々選択したゲインと無関係です。コンバータ内のゲイン・ドリフトは、主に内部コンデンサの温度トラッキングに依存します。リーク電流の影響は受けません。

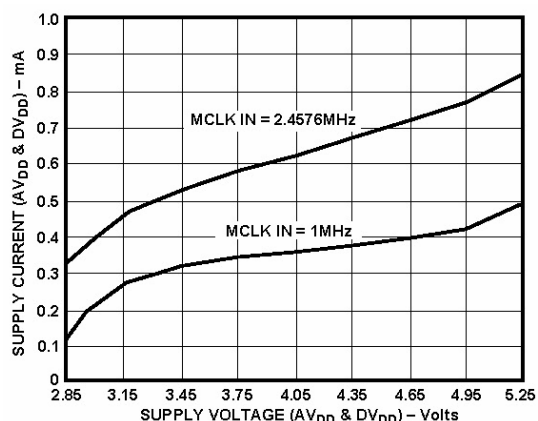
オフセット・ドリフトまたはゲイン・ドリフトから生ずる測定誤差は、コンバータを再キャリブレーションすることにより、またはデバイスをバックグラウンド・キャリブレーション・モードで動作させることにより、何時でも除去することができます。システム・キャリブレーション・モードを使うと、シグナル・コンディショニング回路内のオフセットとゲイン誤差も小さくすることができます。積分および微分直線性誤差は、温度変化から大きな影響を受けません。

電源

AD7714 には特別な電源シーケンスが不要です。AV_{DD} 電源または DV_{DD} 電源のいずれかを最初に立ち上げておかまいません。AD7714 のラッチアップ性能は優れていますが、ラッチアップを回避するため、REF IN ピン、AIN ピンまたはロジック入力ピンの信号の前に AD7714 の電源を供給することが重要です。これが不可能な場合は、これらのピンを流れる電流を制限する必要があります。AD7714 とシステム・デジタル回路に別々の電源を使用する場合は、AD7714 の電源を先に立ち上げる必要があります。これを保証できない場合は、電流制限抵抗をロジック入力に直列に接続して電流を制限する必要があります。

電源電流

AD7714 の消費電流は、+3 V~+3.6 V の範囲と+4.75 V~+5.25 V の範囲の電源に対して規定されています。このデバイスは+2.85 V~+5.25 V の電源範囲で動作し、デバイスの I_{DD} は、この範囲で電源電圧が変化すると変化します。図 5 に、1 MHz 外部クロックと 2.4576 MHz 外部クロックを使用した場合の+25°C の V_{DD} 電圧変化に対する I_{DD} (typ)の変化を示します。AD7714 はバッファなしモードで動作し、デバイスの内部ブースト・ビットはターンオフしてあります。デバイスを低い V_{DD} 電圧で動作させると I_{DD} が小さくなるのが分かります。外部マスター・クロックを使うことによって、または内蔵発振器回路を使う場合に外付け部品を最適化することによって、AD7714 の I_{DD} を小さくすることもできます。Y グレード・デバイスは、2.7 V~3.3 V と 4.75 V~5.25 V で規定されています。

図 5. 電源電圧対 I_{DD}

グラウンド接続とレイアウト

アナログ入力とリファレンス入力は差動であるため、アナログ変調器内の多くの電圧は同相モード電圧です。この製品の優れた同相モード除去比により、これら入力での同相モード・ノイズが除去されます。AD7714のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部との結合を最小にしています。デジタル・フィルタは、変調器サンプリング周波数の整数倍以外の広い帯域の電源ノイズを除去します。また、ノイズ・ソースがアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス電圧入力のノイズも除去します。そのため、従来の高分解能コンバータに比べて AD7714 のノイズ干渉耐性は向上しています。しかし、AD7714 の分解能が高く、AD7714 で生ずるノイズ・レベルが低い場合、グラウンド接続とレイアウトについては注意が必要です。

AD7714 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすることにより、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。一般に、エッチング部分を最小すると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 点で接続する必要があります。AD7714 が AGND と DGND との接続を必要とする唯一のデバイスである場合は、これらのグラウンド・プレーンを AD7714 の AGND ピンと DGND ピンで接続する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD7714 を使用する場合にも、この接続は 1 ヶ所で行う必要があります。すなわち、AD7714 のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7714 の下を通過することは可能です。AD7714 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチ

による影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに直角度となるように配置します。これにより、ボードを貫通する結合の影響を減らすことができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能 ADC を使うときは、デカップリングが重要になります。すべてのアナログ電源と AGND の間に $10\mu\text{F}$ コンデンサと $0.1\mu\text{F}$ のコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスできるだけ近くに、理想的にはデバイスの隣に配置します。すべてのロジック・チップは、DGND に接続した $0.1\mu\text{F}$ セラミック・コンデンサでデカップリングする必要があります。

AD7714 の AV_{DD} と DV_{DD} を同じ電圧で駆動するシステムでは、システムの AV_{DD} 電源の使用をお奨めします。この電源に対しては、AD7714 の AV_{DD} ピンと AGND の間に推奨アナログ電源デカップリング・コンデンサを、AD7714 の DV_{DD} ピンと DGND の間に推奨デジタル電源デカップリング・コンデンサをそれぞれ接続する必要があります。

AD7714 の性能評価

AD7714 の推奨レイアウトの概要は AD7714 評価ボード内に示してあります。評価ボードの梱包には、アセンブラ、テスト済み評価ボード、ドキュメント、PC のプリンタ・ポートからボードを制御するソフトウェア、AD7714 の性能を PC 上で解析するソフトウェアが添付されています。AD7714-5 の場合の評価ボードの注文番号は EVAL-AD7714-5EB です。AD7714-3 の場合の注文番号は EVAL-AD7714-3EB です。

AD7714 に入力する信号内のノイズ・レベルもデバイスの性能に影響を与えます。AD7714 では 2 つの技術を使って、アナログ入力信号とは無関係にデバイスの真の性能を評価することができます。これらの方法は、デバイスのキャリブレーションを行った後に使う必要があります。

1 つ目の方法は、AIN6/AIN6 入力チャンネルの配置を選択することです。このケースでは、AD7714 の差動入力を内部で短絡して、アナログ変調器へゼロ差動電圧を入力します。デバイスの外部で、AIN6 入力をデバイスの許容同相モード範囲内の電圧に接続します。

2 つ目の方法は、ゲイン = 1 に対して入力フル・スケール電圧付近の電圧を使ってデバイスを評価することです。このため、デバイスのリファレンス電圧をアナログ入力に接続する必要があります。これによりデバイスから固定のフル・スケール読み出し値が得られます。ゼロ・スケール・キャリブレーション係数がデバイスから読み出せるようになったら、10 進値で約 200 だけこの値を大きくして、この値をゼロ・スケール・キャリブレーション・レジスタに再ロードすると、リファレンス電圧と等しい電圧がフル・スケール読み出し値に対応しなくなるように入力範囲がオフセットされます。この機能を使うと、フル・スケール電圧付近でデバイスのノイズ性能を評価することができます。

デジタル・インターフェース

AD7714のプログラマブルな機能は、前述の内蔵レジスタのセットを使って制御します。これらのレジスタには、デバイスのシリアル・インターフェースを経由してデータが書き込まれ、内蔵レジスタの読み出しもこのインターフェースを使って行います。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始されます。パワーオンまたはRESETの後、デバイスはコミュニケーション・レジスタに対する書き込みを待ちます。コミュニケーション・レジスタに書き込まれたデータから、次のデータ転送動作が読み出しまたは書き込みであることを知り、対象となるレジスタも知ります。したがって、デバイス上の他のすべてのレジスタに対する書き込みアクセスは、コミュニケーション・レジスタに対する書き込み動作で開始され、その後を選択したレジスタに対する書き込みが続きます。デバイス上のすべてのレジスタ(出力データ・レジスタも含む)からの読み出し動作は、コミュニケーション・レジスタに対する書き込み動作で開始され、その後を選択したレジスタからの読み出しが続きます。

AD7714のシリアル・インターフェースは、 \overline{CS} 、SCLK、DIN、DOUT、DRDYの5つの信号から構成されています。DINラインは内蔵レジスタにデータを転送するときに、DOUTラインは内蔵レジスタからデータを取り出すときに、それぞれ使います。SCLKはデバイスのシリアル・クロック入力であり、すべてのデータ転送(DINまたはDOUT上での転送)は、このSCLK信号を基準として実行されます。DRDYラインはステータス信号として使い、AD7714データ・レジスタからのデータ読み出しが可能であることを表示します。出力レジスタに新しいデータ・ワードが設定されると、DRDYがロー・レベルになります。データ・レジスタからの読み出し動作が完了すると、この信号はハイ・レベルに戻ります。この信号は出力レジスタの更新前にもハイ・レベルになり、デバイスからの読み出しができないことを表示して、レジスタの更新中にデータが読み出されることを防止します。CSはデバイスを選択するときに使います。シリアル・バスに複数のデバイスが接続されているシステムでは、AD7714指定のアドレス・デコードにもCSを使うことができます。

AD7714のシリアル・インターフェースは、 \overline{CS} 入力をロー・レベルに固定して、3線式モードで動作させることもできます。この場合、SCLK、DIN、DOUTの各ラインはAD7714との通信に使い、DRDYステータス・ビットはコミュニケーション・レジスタのMSBから取得することができます。

図6と図7に、デバイスのデコードにCSを使ったAD7714に対するインターフェースのタイミング図を示します。図6にAD7714の出力シフトレジスタの読み出し動作を、図7に入力シフトレジスタに対する書き込み動作を、それぞれ示します。両図はPOL入力がロジック・ハイの場合です。POL入力がロジック・ローの場合の動作は図のSCLK波形を反転すると得られます。最初の読み出し動作の後に、DRDYラインがハイ・レベルに戻った後でも、出力レジスタから同じデータを読み出すことができますが、次の出力更新が開始される前に読み出し動作が完了するように、注意する必要があります。

シリアル・インターフェースは、デバイスのRESET入力を使ってリセットすることができます。DIN入力に一連の"1"を書き込むことにより、リセットすることもできます。少なくとも32シリアル・クロック・サイクル間連続するロジック1をAD7714DINラインに書き込むと、シリアル・インターフェースがリセットされます。ソフトウェア・エラーまたはシステム内のグリッチによりインターフェースが機能しなくなった場合、この方法を使って、3線式システムを既知状態にリセットすることができます。この状態では、コミュニケーション・レジスタに対する書き込み動作待ちの状態にインターフェースを戻します。この動作自体でレジスタ値をセルフ・リセットしませんが、インターフェースが失われるため、レジスタに書き込まれた情報を知ることができないので、すべてのレジスタを再設定することが推奨されます。

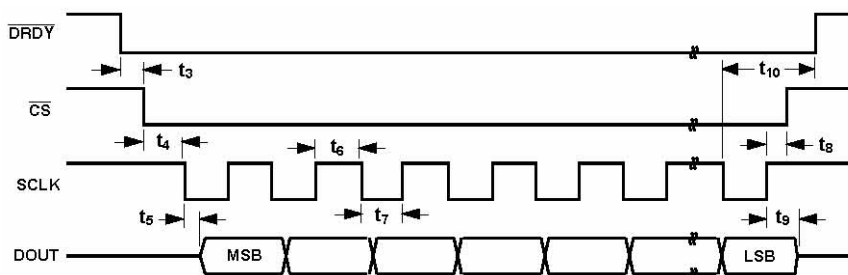


図6.読み出しサイクルのタイミング図(POL = 1)

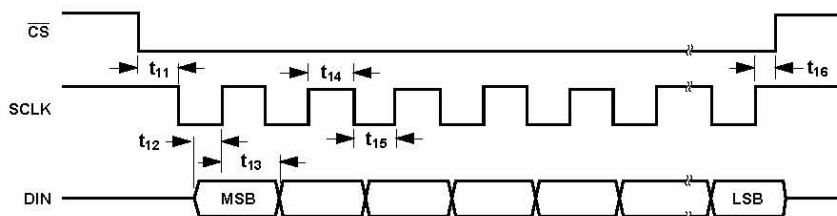


図7.書き込みサイクルのタイミング図(POL = 1)

AD7714 の設定

AD7714 は 8 個のレジスタを内蔵しており、これらはデバイスのシリアル・インターフェースを介してアクセスすることができます。これらのレジスタとの通信は、コミュニケーション・レジスタに先ず書き込みを行うことにより開始されます。図 8 に、パワーアップまたはリセット後に全レジスタを設定するときを使うシーケンス・フローを示します。このフローチャートは 2 種類の読み出しオプションも示しています。1 つ目のオプションでは、データ・レジスタが更新されたタイミングを求めるため

に $\overline{\text{DRDY}}$ ピンをポーリングします。2 つ目のオプションでは、データ・レジスタ更新が行われたか否かを知るためにコミュニケーション・レジスタの $\overline{\text{DRDY}}$ ビットをチェックします。フローチャートには、特定のセットの次の動作状態に対してレジスタに書き込む必要がある一連のワードも示してあります。すなわち、(次の動作状態とは) テスト・チャンネル(AIN6/AIN6)、ゲイン=1、バーンアウト電流オフ、フィルタ同期なし、バイポーラ・モード、24 ビット・ワード長、ブースト・オフ、最大フィルタ・ワード(10 進値で 4000)です。

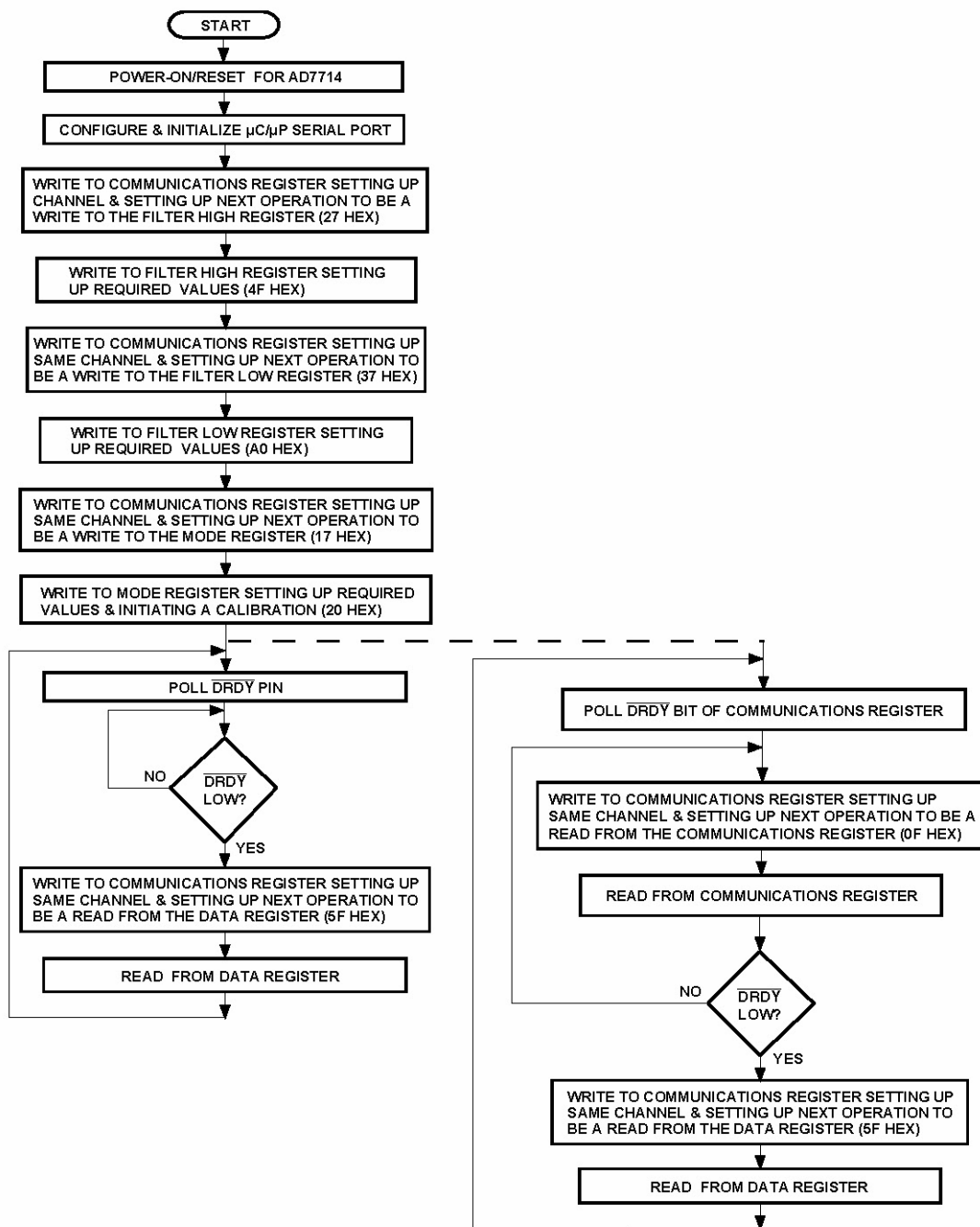


図 8. セットアップと AD7714 からの読み出しのフローチャート

マイクロコンピュータ/マイクロプロセッサとのインターフェース

AD7714のフレキシブルなシリアル・インターフェースを使うと、多くのマイクロコンピュータやマイクロプロセッサと容易にインターフェースすることができます。図8のフローチャートに、マイクロコントローラまたはマイクロプロセッサとAD7714との間のインターフェースで従うべきシーケンスを示します。図9、図10、図11に、幾つかの代表的なインターフェース回路を示します。

AD7714のシリアル・インターフェースは3本の線だけで動作することができます。SPIインターフェース・プロトコルと互換性があります。このデバイスの3線式動作は、インターフェース・ライン数が少ないために、システム内で必要とされる光アイソレータ数が最小となる絶縁型システムに最適です。AD7714に対するデジタル入力(特にSCLK入力)の立ち上がり時間と立ち下がり時間は、1 μ s以下である必要があります。

AD7714の大部分のレジスタは8ビット・レジスタであるため、マイクロコントローラの8ビット・シリアル・ポートには容易にインターフェースすることができます。デバイス上の幾つかのレジスタは最大24ビットですが、これらの24ビット・レジスタへのデータ転送はフル24ビット転送またはマイクロコントローラのシリアル・ポートへの3回の8ビット転送とすることができます。DSPプロセッサとマイクロプロセッサは、一般に、シリアル・データ動作で16ビット・データを転送します。ADSP-2105のようなこれらの幾つかのプロセッサは、シリアル転送でのサイクル数を設定する機能を持っています。この機能を使うと、ユーザーはAD7714の必要なレジスタのレジスタ長に合わせて転送ビット数を調整することができます。

AD7714の幾つかのレジスタは8ビット長であっても、連続書き込み動作におけるこれらのレジスタの2つとの通信は必要に応じて、1回の16ビット・データ転送で処理することができます。たとえば、モード・レジスタが更新されると、プロセッサはまずコミュニケーション・レジスタに書き込みを行い(たとえば、次の動作はモード・レジスタに対する書き込みとします)、次に8ビットをモード・レジスタに書き込みます。コミュニケーション・レジスタに対する書き込み動作の8シリアル・クロックが完了したら、デバイスはモード・レジスタに対する書き込み動作を直ちに準備するため、必要な場合には、これを1回の16ビット転送ですませることができます。

AD7714とMC68HC11とのインターフェース

図9に、AD7714と68HC11マイクロコントローラとの間のインターフェースを示します。図には、AD7714のCSをロー・レベルにハードウェア接続した最小(3線式)インターフェースを示してあります。この方式では、コミュニケーション・レジスタのDRDYビットを監視して、データ・レジスタが更新されたタイミングを検出します。インターフェース・ライン数が4本に増える別の回路では、AD7714のDRDY出力ラインを監視する方法を使います。DRDYラインの監視には次の2通りの方法があります。1つ目は、入力に設定された、68HC11のポート・ビットの1つ(たとえばPC0)にDRDYを接続します。このポート・ビットをポーリングして、DRDYのステータスを調べます。2つ目の方式は、割込み駆動システムを使う方法で、DRDY出力を68HC11のIRQ入りに接続します。AD7714のCS入力の制御を必要とするインターフェースの場合は、出力に設定した、68HC11のポート・ビットの1つ(たとえばPC1)を使って、CS入力を駆動することができます。CPOLビット=1かつCPHAビット=1に設定して、68HC11をマスター・モードに設定します。68HC11をこのように設定すると、データ転送の間に、SCLKラインはアイドル・ロー・レベルになります。したがって、AD7714のPOL入力はロー・レベルに固定接続する必要があります。SCLKのアイドル・ハイが必要なシステムでは、68HC11のCPOLビットをロジック1にして、AD7714のPOL入力をロジック・ハイに固定接続する必要があります。

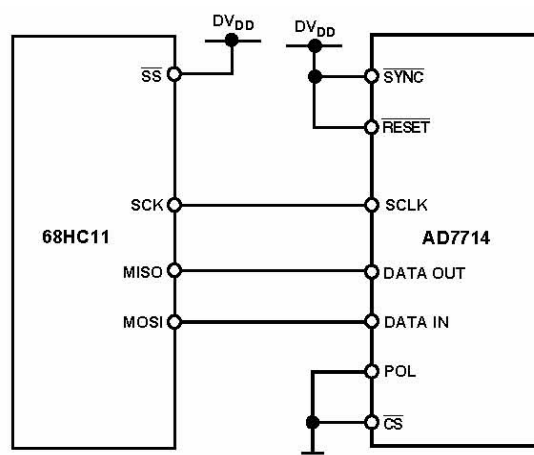


図9. AD7714と68HC11とのインターフェース

AD7714には全二重動作の機能はありません。AD7714を書き込み動作に設定すると、SCLK入力がアクティブであっても、DATA OUTラインにはデータが出力されません。同様に、AD7714を読み出し動作に設定した場合にも、SCLKがアクティブであっても、DATA INラインに入力されたデータは無視されます。

表にXV、AD7714と68HC11マイクロコントローラとの間のインターフェースのコーディングを示します。この例では、AD7714のDRDY出力ラインが68HC11のPC0ポート・ビットに接続され、ステータスを取得するためにポーリングされます。

AD7714と8051とのインターフェース

AD7714と8XC51マイクロコントローラとのインターフェース回路を図10に示します。図には、AD7714のCSをロー・レベルにハードウェア接続した最小ライン数のインターフェースを示してあります。8XC51インターフェースの場合、最小接続数は2本だけです。この方式では、コミュニケーション・レジスタのDRDYビットを監視して、データ・レジスタが更新されたタイミングを検出します。インターフェース・ライン数が3本に増える別の回路では、AD7714のDRDY出力ラインを監視する方法を使います。DRDYラインの監視には次の2通りの方法があります。1つ目は、入力に設定された、8XC51のポート・ビットの1つ(たとえばP1.0)にDRDYを接続します。このポート・ビットをポーリングして、DRDYのステータスを調べます。2つ目の方式は、割込み駆動システムを使う方法で、DRDY出力を8XC51のINT1入りに接続します。

AD7714 の $\overline{\text{CS}}$ 入力制御を必要とするインターフェースの場合は、出力に設定した、8XC51 のポート・ビットの 1 つ (たとえば P1.1) を使って、 $\overline{\text{CS}}$ 入力を駆動することができます。

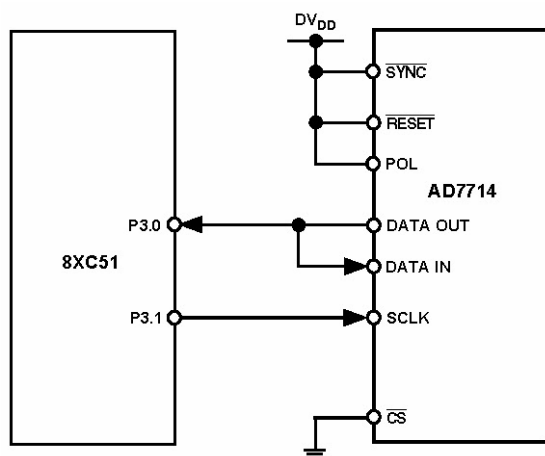


図 10. AD7714 と 8051 とのインターフェース

8XC51 はモード 0 のシリアル・インターフェース・モードに設定します。シリアル・インターフェースにはデータ・ラインが 1 本しかありません。そのため、AD7714 の DATA OUT ピンと DATA IN ピンを接続します。8XC51 のシリアル・クロックはデータ転送の間にアイドル・ハイになるため、AD7714 の POL 入力をロジック・ハイに固定接続する必要があります。8XC51 は書き込み動作で、LSB ファーストで出力しますが、AD7714 は MSB ファーストを想定しています。したがって、出力シリアル・レジスタに送信データを書き込む前に、データを並び替える必要があります。同様に、AD7714 は読み出し動作で MSB を先頭にして出力しますが、8XC51 は LSB ファーストを想定しています。このため、シリアル・バッファに読み込んだデータを並び替えて、AD7714 の正しいデータ・ワードに直した後に、アキュムレータで使用できるようにする必要があります。

AD7714 と ADSP-2103/ADSP-2105 とのインターフェース

図 11 に、AD7714 と ADSP-2103/ADSP-2105 DSP プロセッサとの間のインターフェースを示します。このインターフェースでも、コミュニケーション・レジスタの $\overline{\text{DRDY}}$ ビットを監視して、データ・レジスタが更新されたタイミングを検出します。もう 1 つの方式は、割込み駆動システムを使う方法で、 $\overline{\text{DRDY}}$ 出力を ADSP-2103/ADSP-2105 の $\overline{\text{IRQ2}}$ 入力に接続します。ADSP-2103/ADSP-2105 の $\overline{\text{RFS}}$ ピンと $\overline{\text{TFS}}$ ピンをアクティブ・ロー出力に設定し、ADSP-2103/ADSP-2105 シリアル・クロック・ライン SCLK も出力に設定します。AD7714 の POL ピンはロー・レベルに固定接続します。ADSP-2103/ADSP-2105 からの SCLK は連続クロックであるため、AD7714 の $\overline{\text{CS}}$ を使ってゲーティングして転送が完了したときクロックをオフにする必要があります。ADSP-2103/ADSP-2105 の $\overline{\text{RFS}}$ 出力または $\overline{\text{TFS}}$ 出力がアクティブになると、AD7714 の $\overline{\text{CS}}$ はアクティブになります。

ADSP-2103/ADSP-2105 のシリアル・クロック・レートは 3 MHz に制限して、AD7714 との正常動作を保証する必要があります。

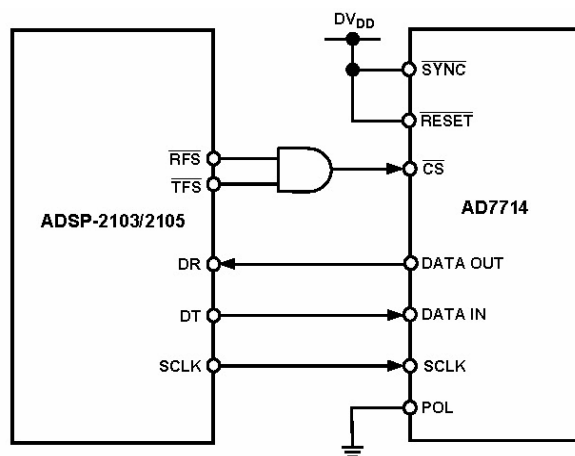


図 11. AD7714 と ADSP-2103/ADSP-2105 とのインターフェース

AD7714 のセットアップ用コード

表 XV に、68HC11 マイクロコントローラと AD7714 をインターフェースさせる C コードの読み出しルーチンと書き込みルーチンを示します。このプログラム例は AD7714 の種々のレジスタをセットアップし、デバイスから 1000 サンプルを 68HC11 へ読み込みます。デバイスのセットアップ状態は、図 8 のフローチャートの説明と全く同じです。このコード例では、出力レジスタに新しい有効ワードが存在するか否かを $\overline{\text{DRDY}}$ 出力のポーリングにより検出しています。

このプログラムのイベント・シーケンスは次の通りです。

1. コミュニケーション・レジスタに書き込みを行い、チャンネルを設定します。
2. フィルタ・ハイ・レジスタに書き込みを行い、フィルタ・ワードの 4 MSB を設定し、さらにデバイスを 24 ビット読み出し、バイポーラ・モード、ブースト・オフに設定します。
3. フィルタ・ロー・レジスタに書き込みを行い、フィルタ・ワードの 8 LSB を設定します。
4. モード・レジスタに書き込みを行い、ゲイン = 1、バーンアウト電流オフ、フィルタ同期なし、セルフキャリブレーションの起動を設定します。
5. $\overline{\text{DRDY}}$ 出力をポーリングします。
6. データ・レジスタからデータを読み出します。
7. 指定のサンプル数を取得するまでステップ 5 とステップ 6 を繰り返します。

表 XV. AD7714 と 68HC11 とのインターフェース用 C コード

```

/* This program has read and write routines for the 68HC11 to interface to the AD7714 and the sample
program sets the various registers and then reads 1000 samples from the part. */
#include <math.h>
#include <io6811.h>
#define NUM_SAMPLES 1000 /* change the number of data samples */
#define MAX_REG_LENGTH 3 /* this says that the max length of a register is 3 bytes */
Writetoreg (int);
Read (int,char);
char *datapointer = store;
char store[NUM_SAMPLES*MAX_REG_LENGTH + 30];
void main()
{
    /* the only pin that is programmed here from the 68HC11 is the /CS and this is why the PC2
bit of PORTC is made as an output */
    char a;
    DDRC = 0x04; /* PC2 is an output the rest of the port bits are inputs */
    PORTC |= 0x04; /* make the /CS line high */
    Writetoreg(0x27); /* set the channel AIN6/AIN6 and set the next operation as write to the filter high
register */
    Writetoreg(0x4f); /* set Bipolar mode, 24 bits, boost off, all 4 MSBs of filterword to 1 */
    Writetoreg(0x37); /* set the next operation as a write to the filter low register */
    Writetoreg(0xA0); /* max filter word allowed for low part of the filterword */
    Writetoreg(0x17); /* set the operation as a write to the mode register */
    Writetoreg(0x20); /* set gain to 1, burnout current off, no filter sync, and do a self calibration */
    while(PORTC & 0x10); /* wait for /DRDY to go low */
    for(a=0;a<NUM_SAMPLES;a++){
        {
            Writetoreg(0x5f); /*set the next operation for 24 bit read from the data register */
            Read(NUM_SAMPES,3);
        }
    }
    Writetoreg(int byteword);
    {
        int q;
        SPCR = 0x3f;
        SPCR = 0x7f; /* this sets the WiredOR mode(DWOM=1), Master mode(MSTR=1), SCK idles high(CPOL=1), /SS
can be low always (CPHA=1), lowest clock speed(slowest speed which is master clock /32 */
        DDRD = 0x18; /* SCK, MOSI outputs */
        q = SPSR;
        q = SPDR; /* the read of the staus register and of the data register is needed to clear the interrupt
which tells the user that the data transfer is complete */
        PORTC &= 0xfb; /* /CS is low */
        SPDR = byteword; /* put the byte into data register */
        while(!(SPSR & 0x80)); /* wait for /DRDY to go low */
        PORTC |= 0x4; /* /CS high */
    }
    Read(int amount, int reglength)
    {
        int q;
        SPCR = 0x3f;
        SPCR = 0x7f; /* clear the interupt */
        DDRC = 0x10; /* MOSI output, MISO input, SCK output */
        while(PORTC & 0x10); /* wait for /DRDY to go low */
        PORTC & 0xfb ; /* /CS is low */
        for(b=0;b<reglength;b++)
            { SPDR = 0;
              while(!(SPSR & 0x80)); /* wait until port ready before reading */
              *datapointer++=SPDR; /* read SPDR into store array via datapointer
              */
            }
        PORTC|=4; /* /CS is high */
    }
}

```

アプリケーション

オンチップPGAがあるため、AD7714は $V_{REF} = +1.25\text{ V}$ で 10 mV フル・スケールの小さいアナログ入力電圧範囲を扱うことができます。デバイスの差動入力を使うと、バッファなしモードでこのアナログ入力範囲で $AGND \sim AV_{DD}$ の範囲にある絶対値を扱うことができます。AD7714の入力にはトランスデューサを直接接続することができます。AD7714のプログラマブル・ゲイン・フロント・エンドにより、このデバイスでは $0\text{ mV} \sim +20\text{ mV}$ から $0\text{ V} \sim +2.5\text{ V}$ までのユニポーラ・アナログ入力範囲と $\pm 20\text{ mV} \sim \pm 2.5\text{ V}$ のバイポーラ入力範囲が可能になっています。デバイスは単電源で動作するため、これらのバイポーラ範囲はバイアス・アップされた差動入力を基準としています。

圧力計測

代表的なAD7714のアプリケーションの一つとして圧力計測があります。図12に、Sensym社の圧力トランスデューサBP01と

AD7714の組み合わせを示します。圧力トランスデューサはブリッジ回路として接続され、 $OUT(+)$ ピンと $OUT(-)$ ピンに差動出力電圧が得られます。トランスデューサの定格フル・スケール圧力(この場合 300 mmHg)で、差動出力電圧は 3 mV/V の入力電圧($IN(+)$ ピンと $IN(-)$ ピン間の電圧)になります。励起電圧が 5 V の場合、トランスデューサのフル・スケール出力範囲は 15 mV になります。ブリッジの励起電圧を使って、AD7714のリファレンス電圧も発生します。このため、励起電圧の変動がシステム誤差になることはありません。図に示す $24\text{ k}\Omega$ と $15\text{ k}\Omega$ の抵抗値を選択すると、励起電圧が 5 V の場合、AD7714に対して 1.92 V のリファレンス電圧になります。ゲイン=128に設定してデバイスを使用すると、AD7714のフル・スケール入力スパンは 15 mV になり、トランスデューサの出力スパンに対応します。

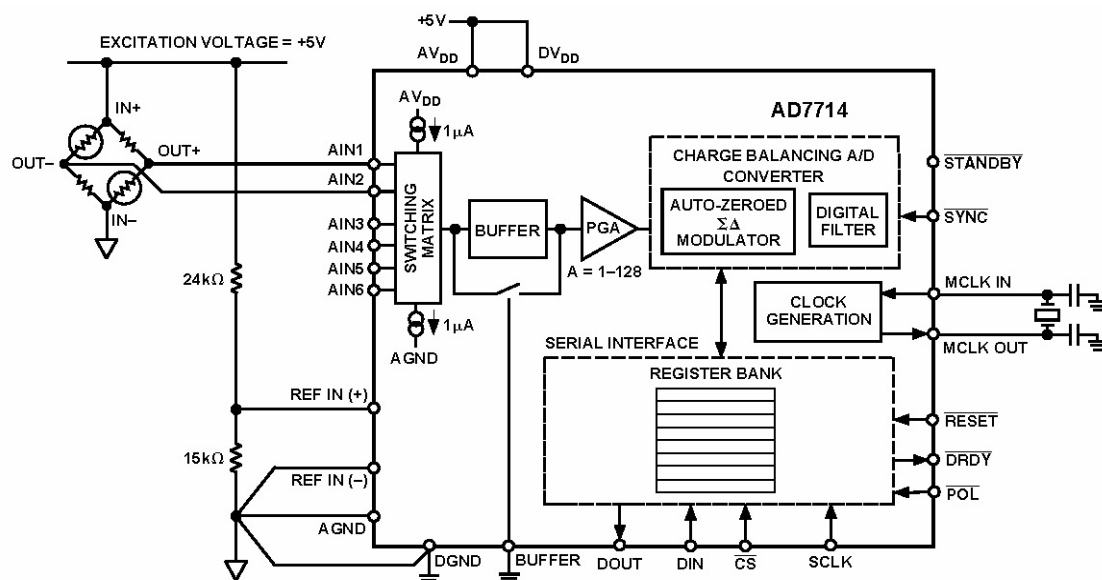


図 12. AD7714 を使用する圧力計測

温度測定

AD7714のもう1つのアプリケーションは、温度測定です。図13に、熱電対とAD7714の接続を示します。このアプリケーションでは、AD7714はバッファ・モードで動作するため、フロント・エンドに大きなデカップリング・コンデンサを使用して、熱電対リードでのノイズ混入をなくすることができます。

AD7714がバッファ・モードで動作する場合、同相モード範囲は狭くなります。熱電対からの差動電圧を適切な同相モード電圧にするため、AD7714のAIN2入力をリファレンス電圧+2.5Vにバイアスします。

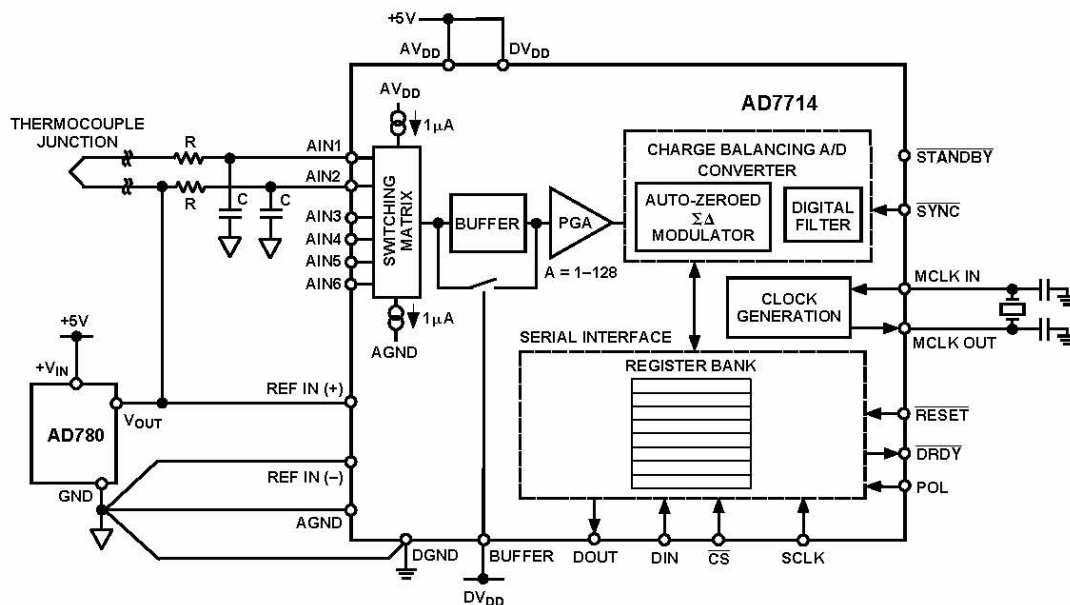


図 13. AD7714 を使用する温度計測

RTD の測定

図 14 に、AD7714 の別の温度計測アプリケーションを示します。このケースでは、トランスデューサとして RTD (抵抗温度デバイス) の PT100 を使っています。4 ピン RTD 構成で接続します。リード抵抗 R_{L1} と R_{L4} の両端に電圧降下が発生しますが、これらは同相モード電圧をシフトさせるだけです。AD7714 への入力電流が非常に小さいため、リード抵抗 R_{L2} と R_{L3} の両端には電圧降下は生じません。リード抵抗は小さいソース・インピーダンスを持つため、AD7714 のバッファをターンオンする必要はありません。

バッファが必要な場合、RTD の下側と AD7714 の AGND との間に小さい抵抗を接続して、同相モード電圧を適切に設定する必要があります。このアプリケーションでは、外付けの $400\ \mu\text{A}$ 電流源から PT100 励起電流供給し、 $6.25\ \text{k}\Omega$ の抵抗を使って AD7714 のリファレンスも発生しています。入力電圧とリファレンスが励起電流に比例して変化するため、励起電流の変動は回路に影響を与えません。ただし、リファレンスの温度変化による誤差を防止するため、 $6.25\ \text{k}\Omega$ の抵抗は小さい温度係数を持つ必要があります。

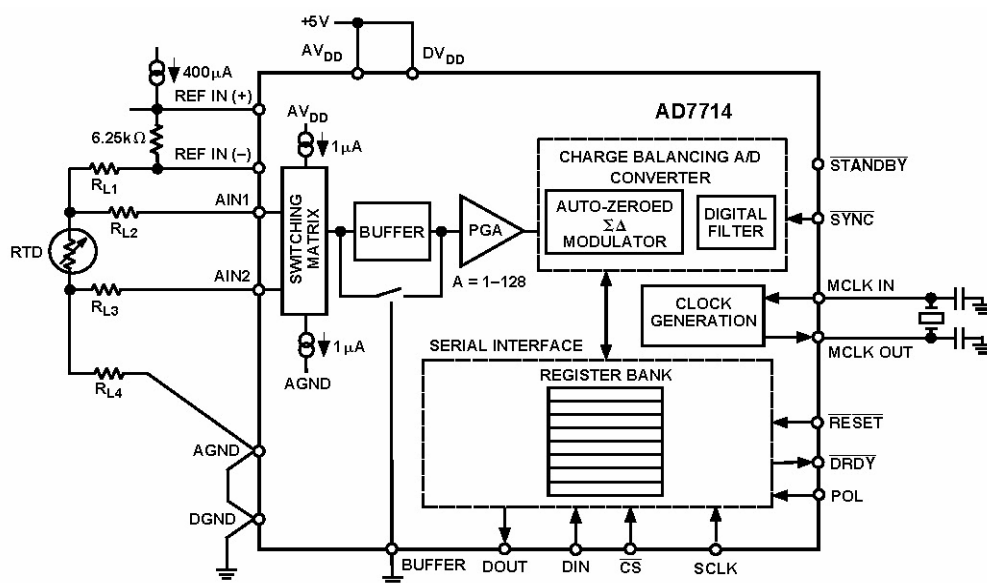


図 14. AD7714 を使用した RTD 測定

データ・アキュイジション

AD7714は3チャンネルの差動チャンネル(または5チャンネルの疑似差動チャンネル)を持つため、狭帯域高分解能データ・アキュイジション・システムに適しています。さらに、3線式デジタル・インターフェースを使うと、3個の光アイソレータでこのデータ・アキュイジション・フロント・エンドをアイソレーションすることができます。

AD7714のアナログ入力への入力信号がすべて正極性の場合、システム全体を+3Vまたは+5Vの単電源で動作することができます。AD7714の低消費電力動作により、アイソレーション障壁を超える電力を非常に小さくすることができます。図15に、絶縁型データ・アキュイジション・システムでのAD7714の使用を示します。

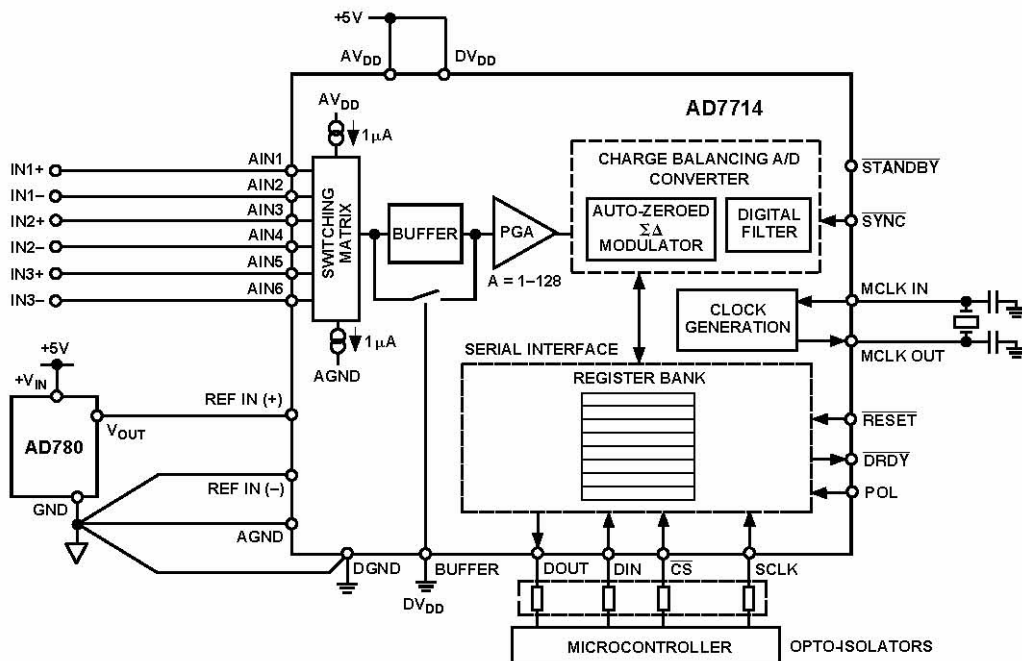


図 15. AD7714 を使用したデータ・アキュイジション・システム

スマート・トランスミッタ

低消費電力、単電源、3線式インターフェース機能が役立つもう1つの領域は、スマート・トランスミッタです。ここでのスマート・トランスミッタ全体は、4 mA~20 mAのループで動作する必要があります。ループの許容差は、送信器に供給できる電流が3.5 mAと小さいことを意味します。

AD7714の消費電流は僅か500 μ Aで、残りの3 mAはトランスミッタで使用できます。図16に、AD7714を使用したスマート・トランスミッタのブロック図を示します。図16では、フロント・エンドに電力を供給する絶縁された電源は省略してあります。

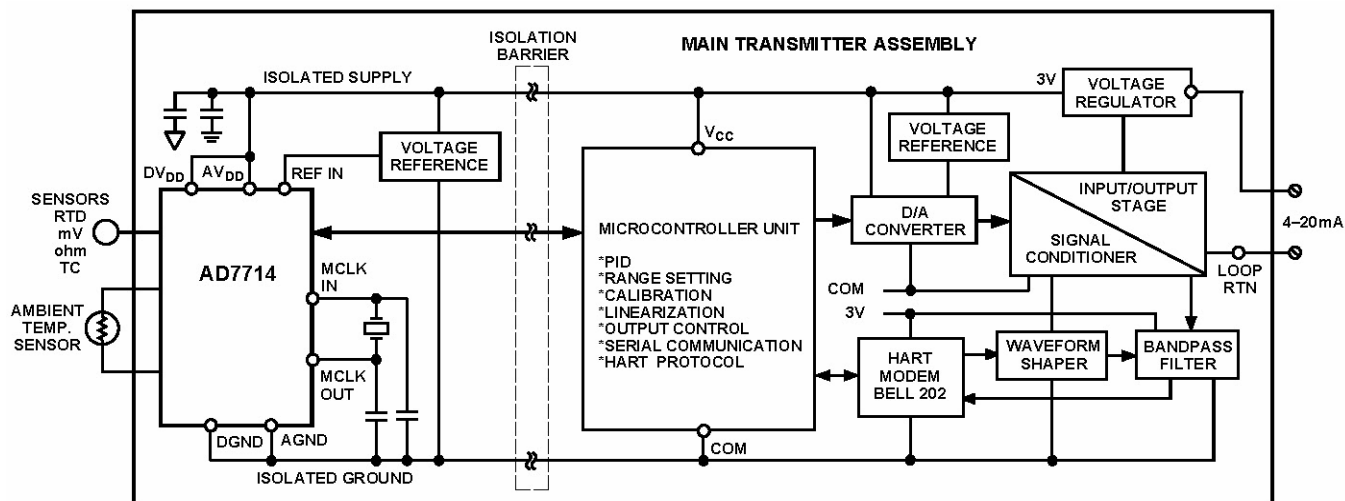


図 16. AD7714 を使用したスマート・トランスミッタ

ページ索引

題目	ページ
特長	1
アプリケーション	1
概要	1
製品のハイライト	1
AD7714-5 仕様	2
AD7714-3 仕様	3
仕様	4
タイミング特性	7
オーダー・ガイド	7
絶対最大定格	8
ピン配置	8
ピン機能の説明	9
用語集	10
AD7714-5 の出力ノイズ	11
AD7714-3 の出力ノイズ	12
バッファ・モード・ノイズ	13
内蔵レジスタ	14
コミュニケーション・レジスタ	14
モード・レジスタ	15
フィルタ・レジスタ	17
テスト・レジスタ	18
データ・レジスタ	18
キャリブレーション・レジスタ	18
キャリブレーション動作	18
回路説明	19
アナログ入力	20
アナログ入力範囲	20
入力サンプル・レート	20
バースアウト電流	21
バイポーラ/ユニポーラ入力	21
リファレンス	21
デジタル・フィルタリング	21
フィルタ特性	22
ポスト・フィルタリング	22
アナログ・フィルタリング	23
キャリブレーション	23
セルフ・キャリブレーション	23
システム・キャリブレーション	24
システム・オフセット・キャリブレーション	25
バックグラウンド・キャリブレーション	25
スパンとオフセットの限界値	25
パワーアップとキャリブレーション	26
AD7714 の使用	26
クロックと発振器回路	26
システム同期	26
リセット入力	27
スタンバイ・モード	27
精度	25
ドリフトの考慮事項	27
電源	27
電源電流	27
グラウンド接続とレイアウト	28
AD7714 の性能評価	28
デジタル・インターフェース	29
AD7714 の設定	30
マイクロコンピュータ/マイクロプロセッサとの インターフェース	31
AD7714 と MC68HC11 とのインターフェース	31
AD7714 と 8051 とのインターフェース	31

題目	ページ
AD7714 と ADSP-2103/ADSP-2105 とのインターフェース	32
AD7714 のセットアップ用コード	32
アプリケーション	34
圧力計測	34
温度測定	35
RTD の測定	36
データ・アクイジション	37
スマート・トランスミッタ	38
外形寸法	40

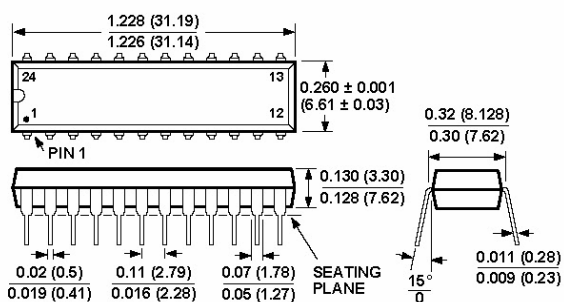
表索引

表	タイトル	ページ
表 Ia.	AD7714-5 出力ノイズ/分解能対ゲイン および最初のノッチ、 $f_{CLK IN} = 2.4576 \text{ MHz}$	11
表 Ib.	AD7714-5 出力ノイズ/分解能対ゲイン および最初のノッチ、 $f_{CLK IN} = 1 \text{ MHz}$	11
表 IIa	AD7714-3 出力ノイズ/分解能対ゲイン および最初のノッチ、 $f_{CLK IN} = 2.4576 \text{ MHz}$	12
表 IIb.	AD7714-3 出力ノイズ/分解能対ゲイン および最初のノッチ、 $f_{CLK IN} = 1 \text{ MHz}$	12
表 III	AD7714-5 のバッファ・モード 出力ノイズ/分解能	13
表 IV.	AD7714-3 のバッファ・モード 出力ノイズ/分解能	13
表 V	コミュニケーション・レジスタ	14
表 VI	レジスタの選択	14
表 VII.	チャンネルの選択	15
表 VIII.	モード・レジスタ	15
表 IX.	フィルタ・ハイ・レジスタ	17
表 X.	フィルタ・ロー・レジスタ	17
表 XI	キャリブレーション動作	18
表 XII.	16 ビット・ゲイン誤差を発生しない 外付け R と C の組み合わせ	20
表 XIII	20 ビット・ゲイン誤差を発生しない 外付け R と C の組み合わせ	20
表 XIV.	入力サンプリング周波数対ゲイン	21
表 XV.	AD7714 と 68HC11 とのインターフェース用 C コード	33

外形寸法

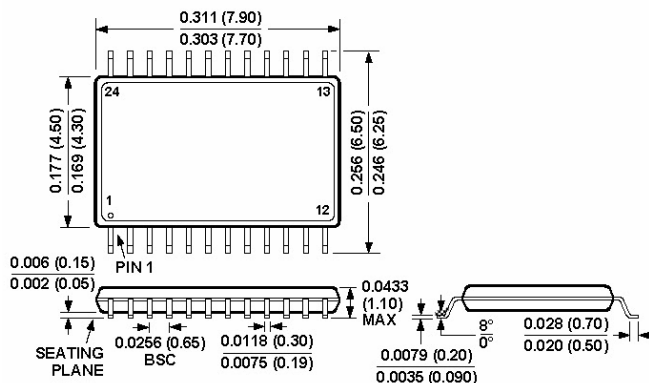
寸法表示: インチ (mm)

24 ピン・プラスチック DIP
(N-24)

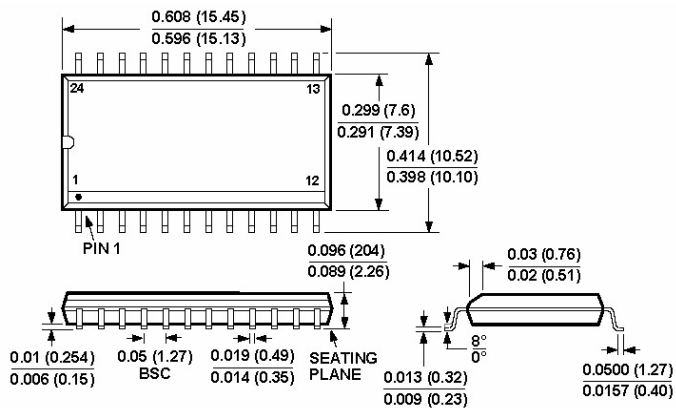


NOTES:
 1. LEAD NO. 1 IDENTIFIED BY DOT OR NOTCH
 2. PLASTIC LEADS WILL BE EITHER SOLDER DIPPED OR TIN PLATED IN ACCORDANCE WITH MIL-M-38510 REQUIREMENTS.

24 ピン薄型シュリンク・スモール・アウトライン・パッケージ
TSSOP
(RU-24)

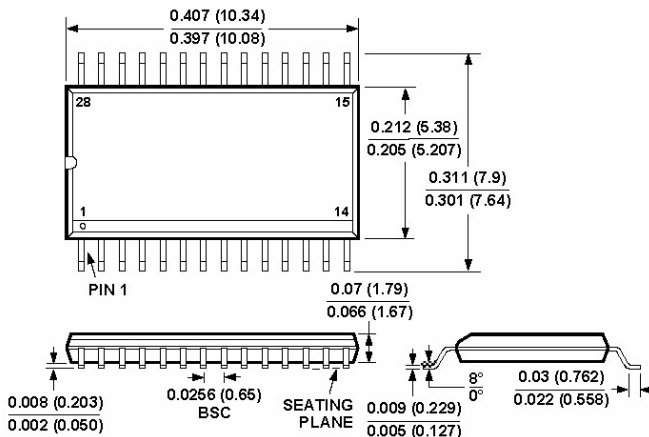


24 ピン・ワイド・ボディ SOIC
(R-24)



NOTES:
 1. LEAD NO. 1 IDENTIFIED BY DOT.
 2. SOIC LEADS WILL BE EITHER TIN PLATED OR SOLDER DIPPED IN ACCORDANCE WITH MIL-M-38510 REQUIREMENTS.

28 ピン・シュリンク・スモール・アウトライン・パッケージ SSOP
(RS-28)



NOTES:
 1. LEAD NO. 1 IDENTIFIED BY DOT.
 2. LEADS WILL BE EITHER TIN PLATED OR SOLDER DIPPED IN ACCORDANCE WITH MIL-M-38510 REQUIREMENTS.

C1972a-0-6/98-J