

**AD8029/AD8030/AD8040**

**特長**

**低消費電力**

電源電流／アンプ：1.3mA

**高速**

125MHz、-3dB帯域幅 (G=+1)

スルーレート：60V/μs

0.1%へのセトリング・タイム：80ns

**レールtoレール入／出力**

位相反転なし、入力電圧範囲はレールを200mV超える値まで可能

**広い電源範囲：2.7~12V**

オフセット電圧：6mV (max)

低い入力バイアス電流：+0.7~-1.5μA

**小型パッケージ**

SOIC-8、SC70-6、SOT23-8、SOIC-14、TSSOP-14

**アプリケーション**

バッテリー駆動の計測機器

フィルタ

A/Dドライバ

バッファリング

**概要**

AD8029 (シングル)、AD8030 (デュアル)、AD8040 (クワッド) は、アンプ当たりの静止電流がわずか1.3mAのレールtoレール入／出力の高速アンプです。この低消費電力にもかかわらず、125MHzの小信号帯域幅と60V/μsのスルーレートで優れた性能を発揮します。アナログ・デバイセズ社が独自に開発したXFCBプロセスによって、低消費電力動作でこのような高い速度と性能が実現しました。

このアンプ・ファミリーは、2.7~12Vの電源電圧にレールtoレールの入／出力性能によって真の単電源動作を行います。入力電圧範囲は、位相反転なしで各レールを200mV超える値まで拡張されます。出力のダイナミック・レンジは、各レールの40mV以内となっています。

AD8029/AD8030/AD8040は、最小の消費電力で優れた信号品質を提供します。G=+1の場合、SFDRは1MHzで-72dBc、0.1%へのセトリング・タイムはわずか80nsになります。これらのアンプは、低歪みと高速セトリング性能によって単電源A/Dコンバータ (ADC) に適したドライバになります。

**接続図 (上面図)**

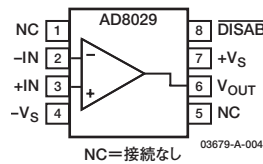


図1. SOIC-8 (R)

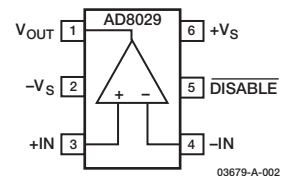


図2. SC70-6 (KS)

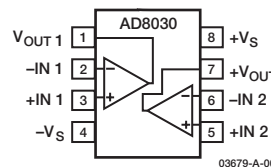


図3. SOIC-8 (R) と SOT23-8 (RJ)

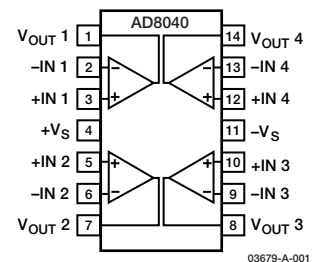


図4. SOIC-14 (R) と TSSOP-14 (RU)

ユーザーは、多様な機能をもつAD8029/AD8030/AD8040によって、消費電力を6.5mW未満に抑えながら広範囲の電源でアンプを動作させることができます。このような特長により、大きな帯域幅を必要とするバッテリー駆動のシステムから、部品密度のために低消費電力が求められる高速システムに至るさまざまなアプリケーションにおいて、システムの動作時間を拡張します。

AD8029/AD8030/AD8040は、SOT23とSC70のマイクロ・パッケージを採用している唯一の低消費電力、高速レールtoレール入／出力アンプです。\*これらのアンプは、拡張工業温度範囲-40~+125°Cで仕様が規定されています。

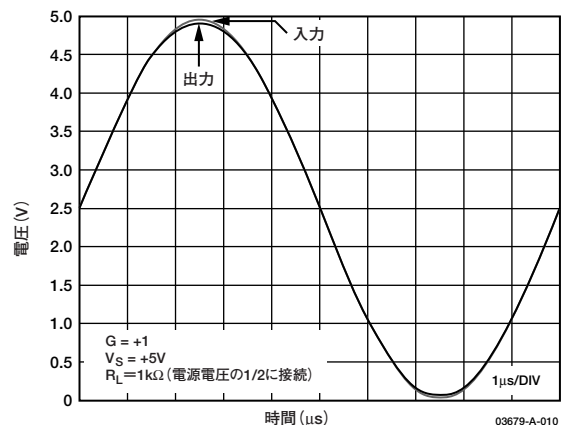


図5. レールtoレール応答

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2003 Analog Devices, Inc. All rights reserved.

REV. A

# AD8029/AD8030/AD8040

## 目次

仕様	3	アプリケーション	16
±5V電源での仕様	3	広帯域動作	16
+5V電源での仕様	4	出力負荷の影響	16
+3V電源での仕様	5	ディスエーブル・ピン	17
絶対最大定格	6	回路の注意事項	18
最大消費電力	6	設計ツールとテクニカル・サポート	18
代表的な性能特性	7	外形寸法	19
動作原理	15	オーダー・ガイド	20
入力段	15	ESDに関する注意	20
出力段	15		

## 改訂履歴

リビジョンA

11/03–Data Sheet Changed from Rev. 0 to Rev. A

Change	Page
Added AD8040 part	Universal
Change to Figure 5	1
Changes to Specifications	3
Changes to Figures 10-12	7
Change to Figure 14	8
Changes to Figures 20 and 21	9
Inserted new Figure 36	11
Change to Figure 40	12
Inserted new Figure 41	12
Added Output Loading Sensitivity section	16
Changes to Table 5	17
Changes to Power Supply Bypassing section	18
Changes to Ordering Guide	20

## 仕様

## ±5V電源での仕様

表1. (特に指定のない限り、 $T_A=25^\circ\text{C}$ で $V_S=\pm 5\text{V}$ 、 $G=+1$ 、 $R_L=1\text{k}\Omega$  [グラウンドに接続]。アンプ1個当たりの仕様。)

パラメータ	条件	Min	Typ	Max	単位
<b>動的性能</b>					
-3dB帯域幅	$G=+1$ 、 $V_O=0.1\text{V p-p}$	80	125		MHz
	$G=+1$ 、 $V_O=2\text{V p-p}$	14	19		MHz
平坦性0.1dBでの帯域幅	$G=+2$ 、 $V_O=0.1\text{V p-p}$		6		MHz
スルーレート	$G=+1$ 、 $V_O=2\text{V}$ ステップ		62		V/ $\mu\text{s}$
	$G=-1$ 、 $V_O=2\text{V}$ ステップ		63		V/ $\mu\text{s}$
0.1%へのセトリング・タイム	$G=+2$ 、 $V_O=2\text{V}$ ステップ		80		ns
<b>ノイズ/歪み性能</b>					
SFDR	$f_C=1\text{MHz}$ 、 $V_O=2\text{V p-p}$		-74		dBc
	$f_C=5\text{MHz}$ 、 $V_O=2\text{V p-p}$		-56		dBc
入力電圧ノイズ	$f=100\text{kHz}$		16.5		nV/ $\sqrt{\text{Hz}}$
入力電流ノイズ	$f=100\text{kHz}$		1.1		pA/ $\sqrt{\text{Hz}}$
クロストーク (AD8030/AD8040)	$f=5\text{MHz}$ 、 $V_{IN}=2\text{V p-p}$		-79		dB
<b>DC性能</b>					
入力オフセット電圧	PNPアクティブ、 $V_{CM}=0\text{V}$		1.6	5	mV
	NPNアクティブ、 $V_{CM}=4.5\text{V}$		2	6	mV
入力オフセット電圧ドリフト	$T_{MIN}\sim T_{MAX}$		30		$\mu\text{V}/^\circ\text{C}$
入力バイアス電流 <sup>1</sup>	NPNアクティブ、 $V_{CM}=4.5\text{V}$		0.7	1.3	$\mu\text{A}$
	$T_{MIN}\sim T_{MAX}$		1		$\mu\text{A}$
	PNPアクティブ、 $V_{CM}=0\text{V}$		-1.7	-2.8	$\mu\text{A}$
	$T_{MIN}\sim T_{MAX}$		2		$\mu\text{A}$
入力オフセット電流			$\pm 0.1$	$\pm 0.9$	$\mu\text{A}$
オープン・ループ・ゲイン	$V_O=\pm 4.0\text{V}$	65	74		dB
<b>入力特性</b>					
入力抵抗			6		M $\Omega$
入力容量			2		pF
入力コモン・モード電圧範囲			-5.2~+5.2		V
同相ノイズ除去比	$V_{CM}=-4.5\sim+3\text{V}$ 、 $R_L=10\text{k}\Omega$	80	90		dB
<b>DISABLE ピン (AD8029)</b>					
DISABLEローレベル電圧			$-V_S+0.8$		V
DISABLEローレベル時電流			-6.5		$\mu\text{A}$
DISABLEハイレベル電圧			$-V_S+1.2$		V
DISABLEハイレベル時電流			0.2		$\mu\text{A}$
ターンオフ時間	DISABLEの50%~最終 $V_O$ 値 の10%未満、 $V_{IN}=-1\text{V}$ 、 $G=-1$		150		ns
ターンオン時間	DISABLEの50%~最終 $V_O$ 値 の10%未満、 $V_{IN}=-1\text{V}$ 、 $G=-1$		85		ns
<b>出力特性</b>					
出力オーバードライブ回復時間 (立ち上がり/立ち下がりエッジ)	$V_{IN}=+6\sim-6\text{V}$ 、 $G=-1$		55/45		ns
出力電圧振幅	$R_L=1\text{k}\Omega$	$-V_S+0.22$		$+V_S-0.22$	V
	$R_L=10\text{k}\Omega$	$-V_S+0.05$		$+V_S-0.05$	V
短絡電流	シンク電流およびソース電流		170/160		mA
オフ・アイソレーション (AD8029)	$V_{IN}=0.1\text{V p-p}$ 、 $f=1\text{MHz}$ 、 DISABLE = ローレベル		-55		dB
容量性負荷の駆動	30%オーバーシュート		20		pF
<b>電源</b>					
動作範囲		2.7		12	V
静止電流/アンプ			1.4	1.5	mA
静止電流 (ディスエーブル時)	DISABLE = ローレベル		150	200	$\mu\text{A}$
電源除去比	$V_S\pm 1\text{V}$	73	80		dB

<sup>1</sup> + (または無符号) はピンへの流入電流、-はピンからの流出電流を示します。

# AD8029/AD8030/AD8040

## ＋5V電源での仕様

表2. (特に指定のない限り、 $T_A=25^\circ\text{C}$ で $V_S=+5\text{V}$ 、 $G=+1$ 、 $R_L=1\text{k}\Omega$  [電源電圧の1/2に接続]。アンプ1個当たりの仕様。)

パラメータ	条件	Min	Typ	Max	単位
<b>動的性能</b>					
－3dB帯域幅	$G=+1$ 、 $V_O=0.1\text{V p-p}$	80	120		MHz
	$G=+1$ 、 $V_O=2\text{V p-p}$	13	18		MHz
平坦性0.1dBでの帯域幅	$G=+2$ 、 $V_O=0.1\text{V p-p}$		6		MHz
スルーレート	$G=+1$ 、 $V_O=2\text{V}$ ステップ		55		V/ $\mu\text{s}$
	$G=-1$ 、 $V_O=2\text{V}$ ステップ		60		V/ $\mu\text{s}$
0.1%へのセトリング・タイム	$G=+2$ 、 $V_O=2\text{V}$ ステップ		82		ns
<b>ノイズ/歪み性能</b>					
SFDR	$f_C=1\text{MHz}$ 、 $V_O=2\text{V p-p}$		－73		dBc
	$f_C=5\text{MHz}$ 、 $V_O=2\text{V p-p}$		－55		dBc
入力電圧ノイズ	$f=100\text{kHz}$		16.5		nV/ $\sqrt{\text{Hz}}$
入力電流ノイズ	$f=100\text{kHz}$		1.1		pA/ $\sqrt{\text{Hz}}$
クロストーク (AD8030/AD8040)	$f=5\text{MHz}$ 、 $V_{IN}=2\text{V p-p}$		－7.9		dB
<b>DC性能</b>					
入力オフセット電圧	PNPアクティブ、 $V_{CM}=2.5\text{V}$		1.4	5	mV
	NPNアクティブ、 $V_{CM}=4.5\text{V}$		1.8	6	mV
入力オフセット電圧ドリフト	$T_{MIN}\sim T_{MAX}$		25		$\mu\text{V}/^\circ\text{C}$
入力バイアス電流 <sup>1</sup>	NPNアクティブ、 $V_{CM}=4.5\text{V}$		0.8	1.2	$\mu\text{A}$
	$T_{MIN}\sim T_{MAX}$		1		$\mu\text{A}$
	PNPアクティブ、 $V_{CM}=2.5\text{V}$		－1.8	－2.8	$\mu\text{A}$
	$T_{MIN}\sim T_{MAX}$		2		$\mu\text{A}$
入力オフセット電流			$\pm 0.1$	$\pm 0.9$	$\mu\text{A}$
オープン・ループ・ゲイン	$V_O=1\sim 4\text{V}$	65	74		dB
<b>入力特性</b>					
入力抵抗			6		M $\Omega$
入力容量			2		pF
入力コモン・モード電圧範囲			－0.2～＋5.2		V
同相ノイズ除去比	$V_{CM}=0.25\sim 2\text{V}$ 、 $R_L=10\text{k}\Omega$	80	90		dB
<b>DISABLE ピン (AD8029)</b>					
DISABLEローレベル電圧			－ $V_S+0.8$		V
DISABLEローレベル時電流			－6.5		$\mu\text{A}$
DISABLEハイレベル電圧			－ $V_S+1.2$		V
DISABLEハイレベル時電流			0.2		$\mu\text{A}$
ターンオフ時間	DISABLEの50%～最終 $V_O$ 値 の10%未満、 $V_{IN}=-1\text{V}$ 、 $G=-1$		155		ns
ターンオン時間	DISABLEの50%～最終 $V_O$ 値 の10%未満、 $V_{IN}=-1\text{V}$ 、 $G=-1$		90		ns
<b>出力特性</b>					
出力オーバードライブ回復時間 (立ち上がり/立ち下がりエッジ)	$V_{IN}=-1\sim +6\text{V}$ 、 $G=-1$		45/50		ns
出力電圧振幅	$R_L=1\text{k}\Omega$	－ $V_S+0.17$		$+V_S-0.17$	V
	$R_L=10\text{k}\Omega$	－ $V_S+0.04$		$+V_S-0.04$	V
短絡電流	シンク電流およびソース電流		95/60		mA
オフ・アイソレーション (AD8029)	$V_{IN}=0.1\text{V p-p}$ 、 $f=1\text{MHz}$ 、 DISABLE = ローレベル		－55		dB
容量性負荷の駆動	30%オーバーシュート		15		pF
<b>電源</b>					
動作範囲		2.7		12	V
静止電流/アンプ			1.3	1.5	mA
静止電流 (デイスエーブル時)	DISABLE = ローレベル		140	200	$\mu\text{A}$
電源除去比	$V_S\pm 1\text{V}$	73	80		dB

<sup>1</sup> + (または無符号) はピンへの流入電流、－はピンからの流出電流を示します。

＋3V電源での仕様

表3. (特に指定のない限り、 $T_A=25^\circ\text{C}$ で $V_S=+3\text{V}$ 、 $G=+1$ 、 $R_L=1\text{k}\Omega$  [電源電圧の1/2に接続]。アンプ1個当たりの仕様。)

パラメータ	条件	Min	Typ	Max	単位
<b>動的性能</b>					
－3dB帯域幅	$G=+1$ 、 $V_O=0.1\text{V p-p}$	80	112		MHz
	$G=+1$ 、 $V_O=2\text{V p-p}$	13	18		MHz
平坦性0.1dBでの帯域幅	$G=+2$ 、 $V_O=0.1\text{V p-p}$		6		MHz
スルーレート	$G=+1$ 、 $V_O=2\text{V}$ ステップ		55		V/ $\mu\text{s}$
	$G=-1$ 、 $V_O=2\text{V}$ ステップ		57		V/ $\mu\text{s}$
0.1%へのセトリング・タイム	$G=+2$ 、 $V_O=2\text{V}$ ステップ		110		ns
<b>ノイズ/歪み性能</b>					
SFDR	$f_C=1\text{MHz}$ 、 $V_O=2\text{V p-p}$		－72		dBc
	$f_C=5\text{MHz}$ 、 $V_O=2\text{V p-p}$		－60		dBc
入力電圧ノイズ	$f=100\text{kHz}$		16.5		nV/ $\sqrt{\text{Hz}}$
入力電流ノイズ	$f=100\text{kHz}$		1.1		pA/ $\sqrt{\text{Hz}}$
クロストーク (AD8030/AD8040)	$f=5\text{MHz}$ 、 $V_{IN}=2\text{V p-p}$		－80		dB
<b>DC性能</b>					
入力オフセット電圧	PNPアクティブ、 $V_{CM}=1.5\text{V}$		1.1	5	mV
	NPNアクティブ、 $V_{CM}=2.5\text{V}$		1.6	6	mV
入力オフセット電圧ドリフト	$T_{MIN}\sim T_{MAX}$		24		$\mu\text{V}/^\circ\text{C}$
入力バイアス電流 <sup>1</sup>	NPNアクティブ、 $V_{CM}=2.5\text{V}$		0.7	1.2	$\mu\text{A}$
	$T_{MIN}\sim T_{MAX}$		1		$\mu\text{A}$
	PNPアクティブ、 $V_{CM}=1.5\text{V}$		－1.5	－2.5	$\mu\text{A}$
	$T_{MIN}\sim T_{MAX}$		1.6		$\mu\text{A}$
入力オフセット電流			$\pm 0.1$	$\pm 0.9$	$\mu\text{A}$
オープン・ループ・ゲイン	$V_O=0.5\sim 2.5\text{V}$	64	73		dB
<b>入力特性</b>					
入力抵抗			6		M $\Omega$
入力容量			2		pF
入力コモン・モード電圧範囲			－0.2～＋3.2		V
同相ノイズ除去比	$V_{CM}=0.25\sim 1.25\text{V}$ 、 $R_L=10\text{k}\Omega$	78	88		dB
<b>DISABLE ピン (AD8029)</b>					
DISABLEローレベル電圧			－ $V_S+0.8$		V
DISABLEローレベル時電流			－6.5		$\mu\text{A}$
DISABLEハイレベル電圧			－ $V_S+1.2$		V
DISABLEハイレベル時電流			0.2		$\mu\text{A}$
ターンオフ時間	DISABLEの50%～最終 $V_O$ 値 の10%未満、 $V_{IN}=-1\text{V}$ 、 $G=-1$		165		ns
ターンオン時間	DISABLEの50%～最終 $V_O$ 値 の10%未満、 $V_{IN}=-1\text{V}$ 、 $G=-1$		95		ns
<b>出力特性</b>					
出力オーバードライブ回復時間 (立ち上がり/立ち下がりエッジ)	$V_{IN}=-1\sim +4\text{V}$ 、 $G=-1$		75/100		ns
出力電圧振幅	$R_L=1\text{k}\Omega$	－ $V_S+0.09$		$+V_S-0.09$	V
	$R_L=10\text{k}\Omega$	－ $V_S+0.04$		$+V_S-0.04$	V
短絡電流	シンク電流およびソース電流		80/40		mA
オフ・アイソレーション (AD8029)	$V_{IN}=0.1\text{V p-p}$ 、 $f=1\text{MHz}$ 、 DISABLE = ローレベル		－55		dB
容量性負荷の駆動	30%オーバーシュート		10		pF
<b>電源</b>					
動作範囲		2.7		12	V
静止電流/アンプ			1.3	1.4	mA
静止電流 (デイスエーブル時)	DISABLE = ローレベル		145	200	$\mu\text{A}$
電源除去比	$V_S\pm 1\text{V}$	70	76		dB

<sup>1</sup> + (または無符号) はピンへの流入電流、－はピンからの流出電流を示します。

# AD8029/AD8030/AD8040

## 絶対最大定格

表4. AD8029/AD8030/AD8040ストレス定格

パラメータ	定格
電源電圧	12.6V
消費電力	図6を参照
コモン・モード入力電圧	$\pm V_S \pm 0.5V$
差動入力電圧	$\pm 1.8V$
保存温度	-65~+125°C
動作温度範囲	-40~+125°C
ピン温度範囲 (ハンダ処理: 10秒)	300°C
ジャンクション温度	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長時間デバイスが絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 最大消費電力

AD8029/AD8030/AD8040パッケージでの最大安全消費電力は、チップ上のジャンクション温度 ( $T_J$ ) の上昇によって制限されます。チップをプラスチック封止すると、局所的に規定のジャンクション温度に達します。ガラス遷移温度の約150°Cで、プラスチックの属性が変わります。この規定温度の超過が一時的な場合でも、パッケージからチップに及ぼすストレスが変化し、AD8029/AD8030/AD8040のパラメータ性能が恒久的に変化することがあります。175°Cのジャンクション温度を長時間超えると、シリコン・デバイス内に変化が生じ、故障の原因になることがあります。

チップのジャンクション温度は、パッケージとPCボードの静止空気での熱特性 ( $\theta_{JA}$ )、周囲温度 ( $T_A$ )、パッケージ内の合計消費電力 ( $P_D$ ) によって決まります。ジャンクション温度は次式で計算できます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージ内の消費電力 ( $P_D$ ) は、静止消費電力と、すべての出力の負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン間の電圧 ( $V_S$ ) × 静止時電流値 ( $I_S$ ) です。負荷 ( $R_L$ ) を電源電圧の1/2を基準にすると、合計駆動電力は  $V_S/2 \times I_{OUT}$  になり、その一部はパッケージ内や負荷 ( $V_{OUT} \times I_{OUT}$ ) で消費されます。合計駆動電力と負荷電力の差が、パッケージ内で消費される駆動電力になります。

$$P_D = \text{静止電力} + (\text{合計駆動電力} - \text{負荷電力})$$

$$P_D = (V_S \times I_S) + \left( \frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

rms出力電圧も考慮する必要があります。単電源動作のように、 $R_L$ が  $V_{S-}$ を基準にする場合、合計駆動電力は  $V_S \times I_{OUT}$  になります。

rms信号レベルが不定の場合には、最悪時を考慮に入れます。すなわち、電源電圧の1/2に接続された  $R_L$  に対して  $V_{OUT} = V_S/4$  の場合です。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

$R_L$ が  $V_{S-}$ を基準にする単電源動作では、最悪時は  $V_{OUT} = V_S/2$  になります。

空気の流れがあると放熱効果がよくなり、 $\theta_{JA}$ は小さくなります。また、メタル・パターン、スルー・ホール、グラウンド、電源プレーンからのパッケージ・リードに直接接触する金属が増える場合も、 $\theta_{JA}$ が小さくなります。「PCボードのレイアウト」で説明するように、高速オペアンプの入力リードでの寄生容量が最小になるように注意してください。

図6に、JEDEC規格の4層基板に実装したSOIC-8 (125°C/W)、SOT23-8 (160°C/W)、SOIC-14 (90°C/W)、TSSOP-14 (120°C/W)、SC70-6 (208°C/W) のパッケージについて、パッケージ内の最大安全消費電力と周囲温度との関係を示します。 $\theta_{JA}$ の値は近似値です。

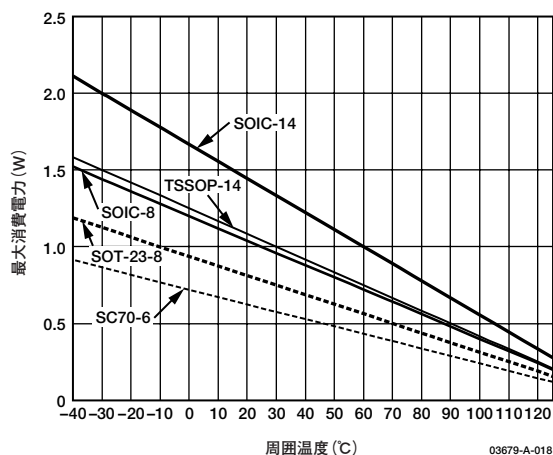


図6. 最大消費電力

## 出力短絡

AD8029/AD8030/AD8040では、出力をグラウンドに短絡したり、過剰な電流を引き込んだりすると、致命的な故障が発生することがあります。

代表的な性能特性 デフォルト状態： $V_S = +5V$   
 (特に指定のない限り、 $T_A = 25^\circ C$ 、 $R_L = 1k\Omega$ で電源電圧の1/2に接続)

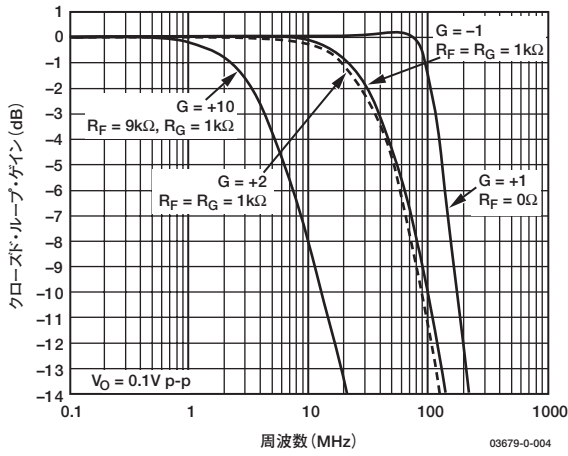


図7. さまざまなゲインに対する小信号周波数応答

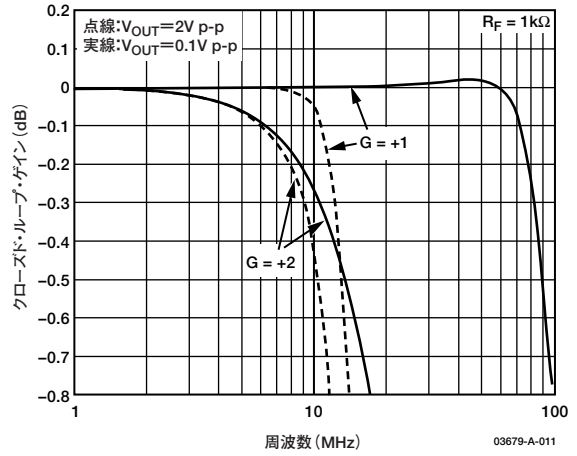


図10. 0.1dB平坦性の周波数応答

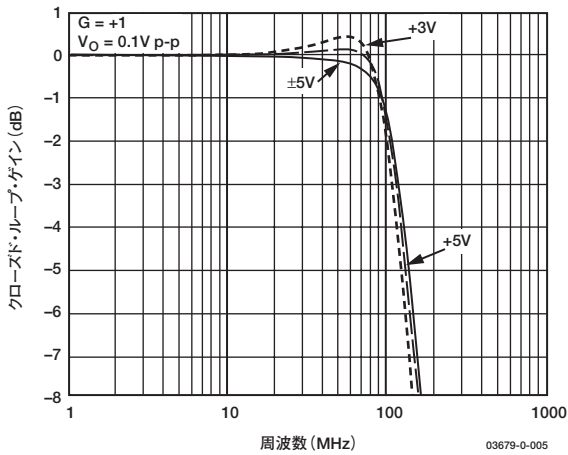


図8. さまざまな電源に対する小信号周波数応答

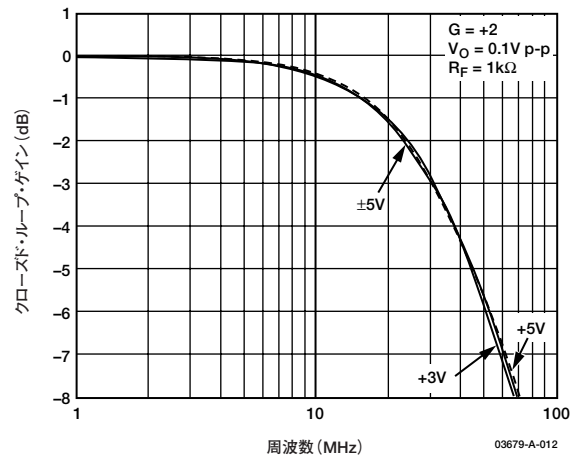


図11. さまざまな電源に対する小信号周波数応答

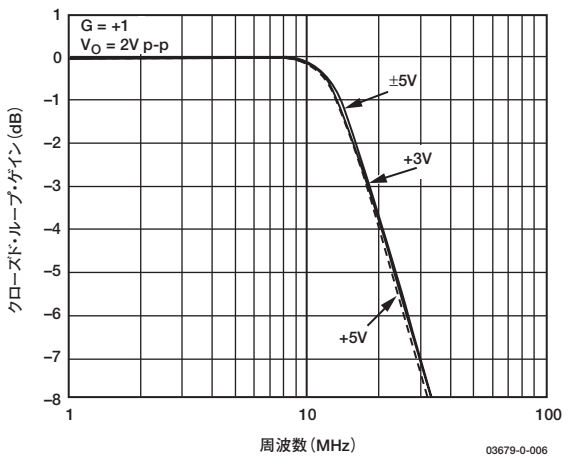


図9. さまざまな電源に対する大信号周波数応答

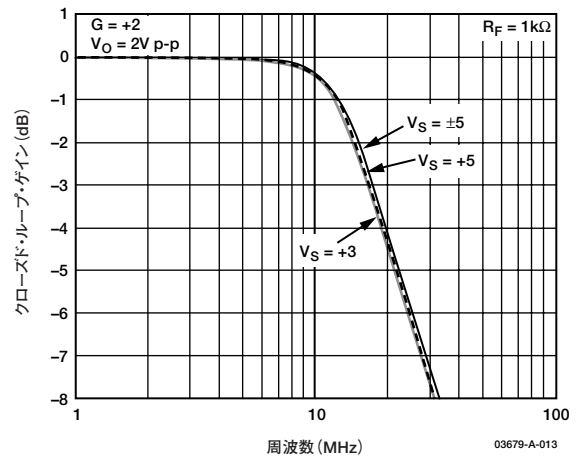


図12. さまざまな電源に対する大信号周波数応答

# AD8029/AD8030/AD8040

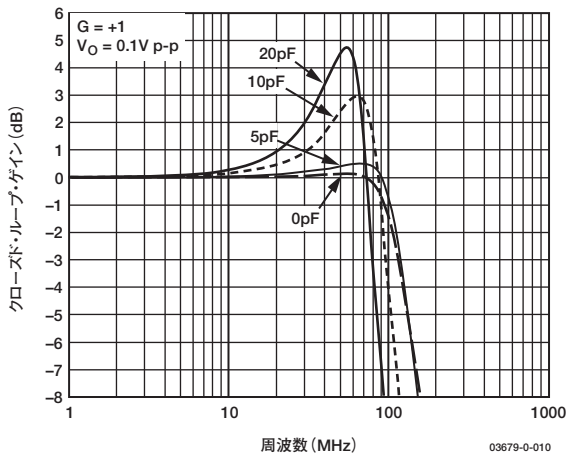


図13. さまざまな $C_{LOAD}$ に対する小信号周波数応答

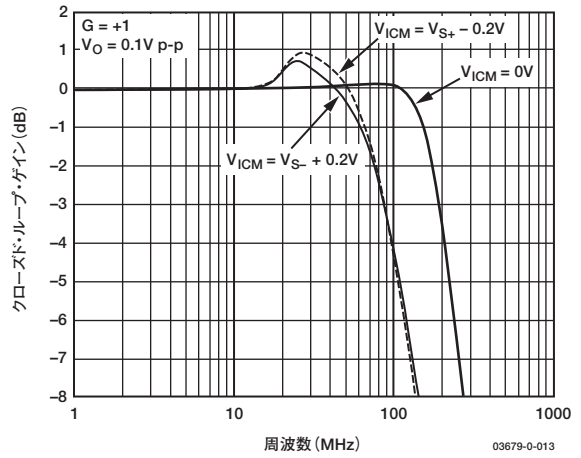


図16. さまざまな入力共通モード電圧に対する小信号周波数応答

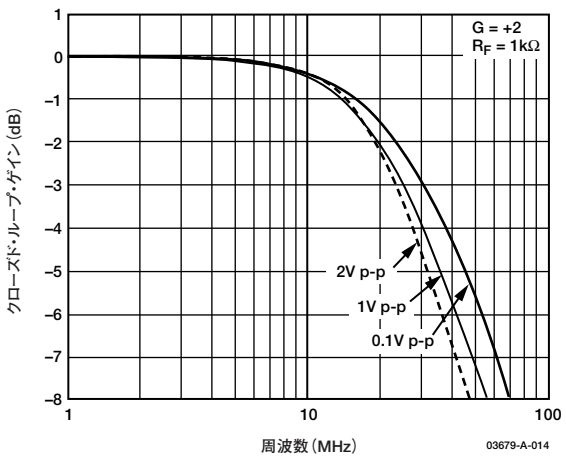


図14. さまざまな出力振幅に対する周波数応答

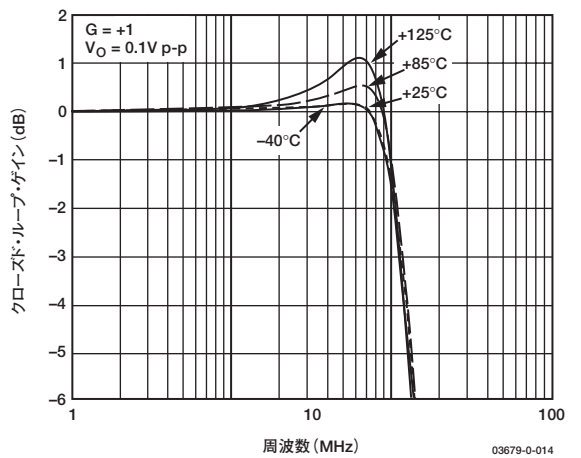


図17. 小信号周波数応答 対 温度

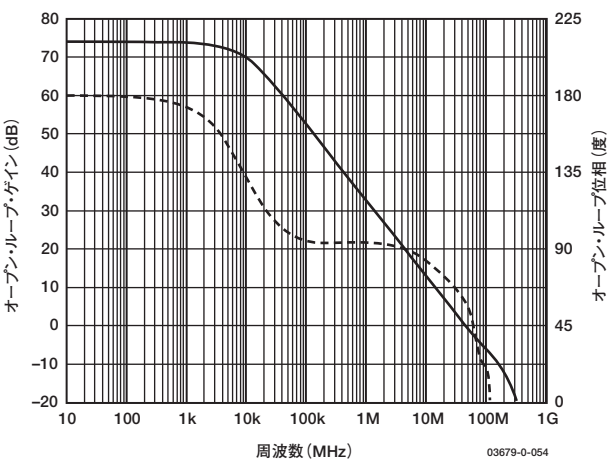


図15. 周波数 対 オープン・ループ・ゲインと位相

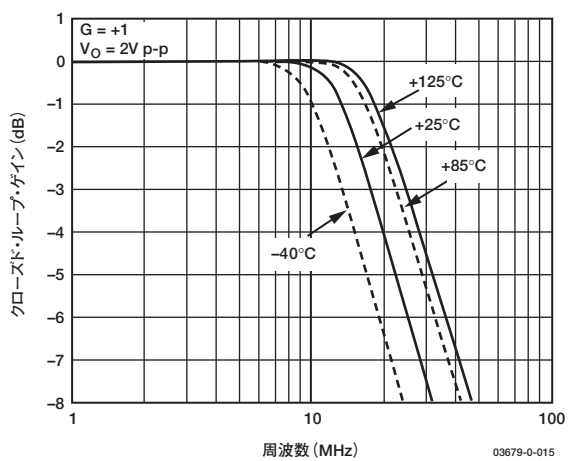


図18. 大信号周波数応答 対 温度



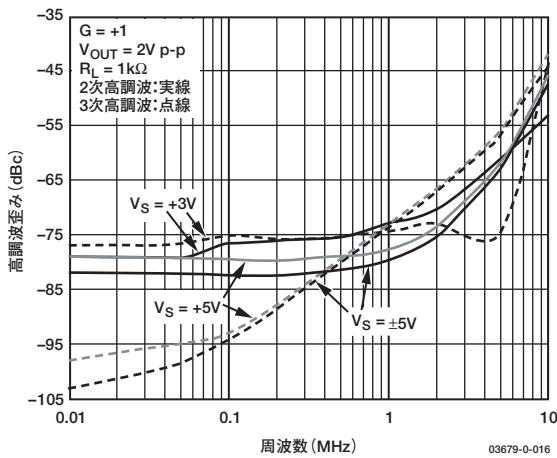


図19. 周波数と電源電圧 対 高調波歪み

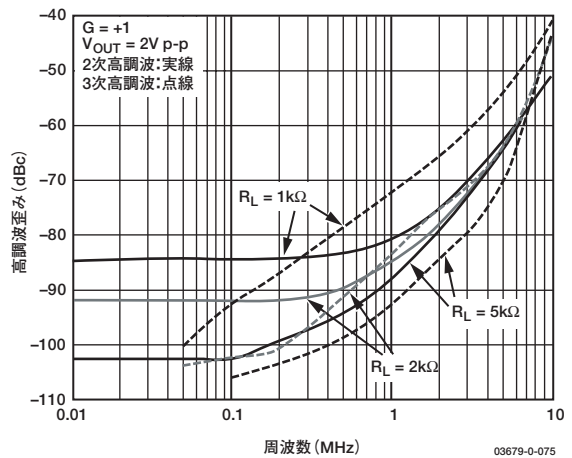


図22. 周波数と負荷 対 高調波歪み

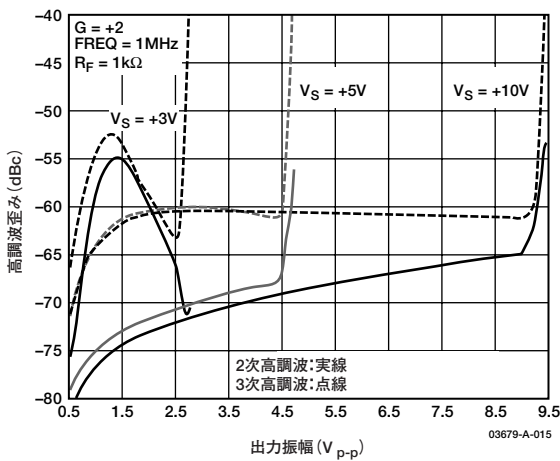


図20. 出力振幅 対 高調波歪み

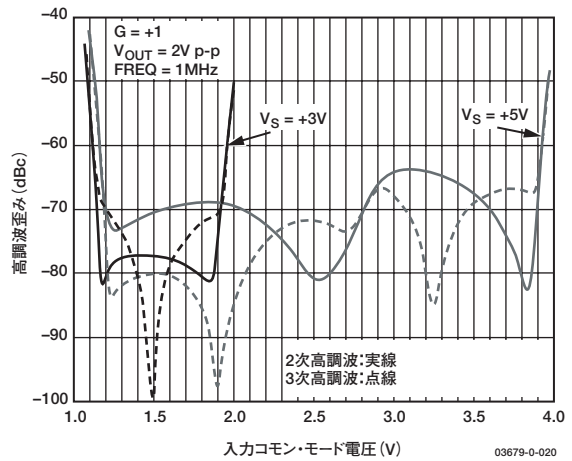


図23. 入力コモン・モード電圧 対 高調波歪み

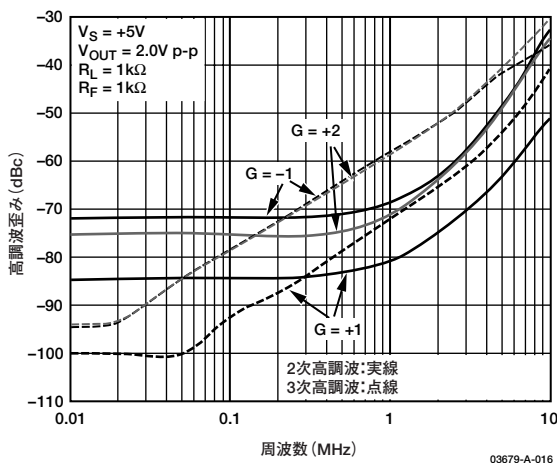


図21. 高調波歪み 対 周波数とゲイン

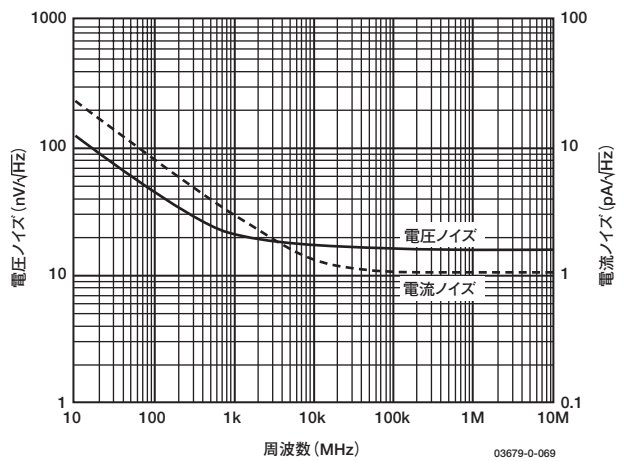


図24. 周波数 対 電圧および電流ノイズ

# AD8029/AD8030/AD8040

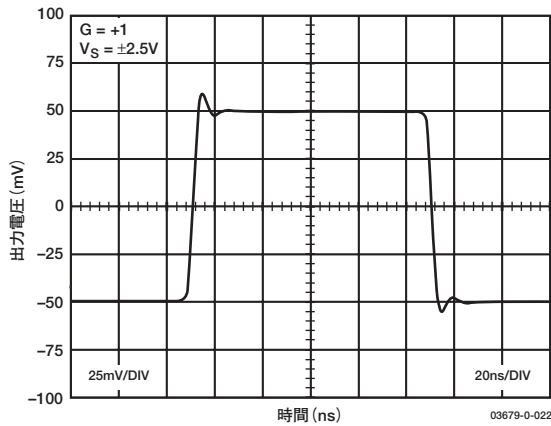


図25. 小信号過渡応答

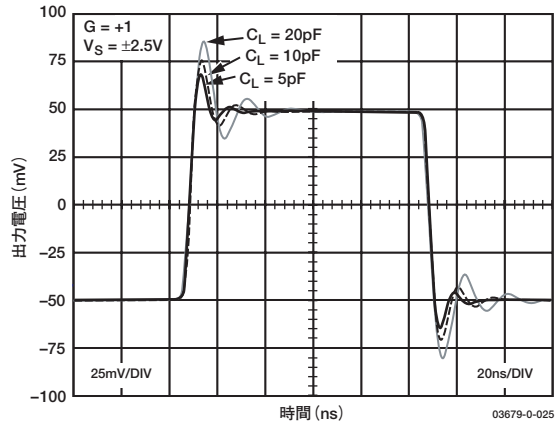


図28. 容量性負荷のある小信号過渡応答

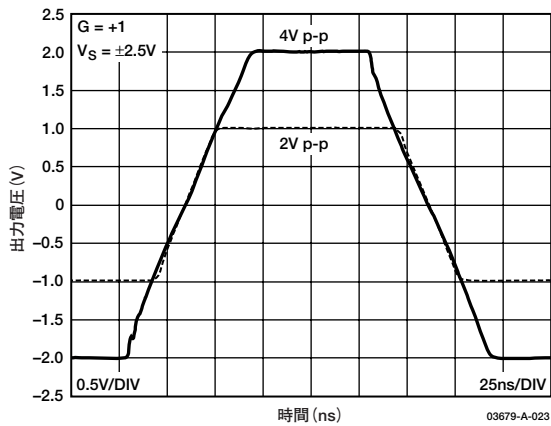


図26. 大信号過渡応答

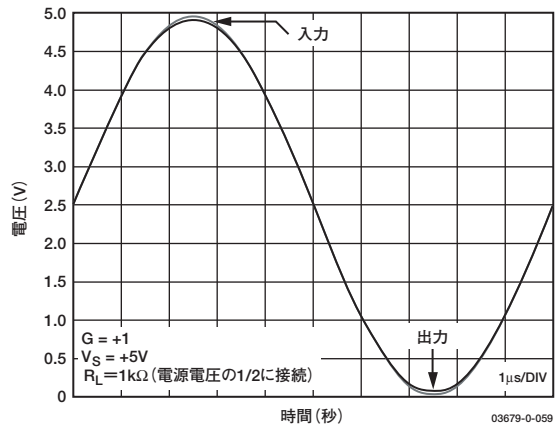


図29. レールtoレール応答、G = +1

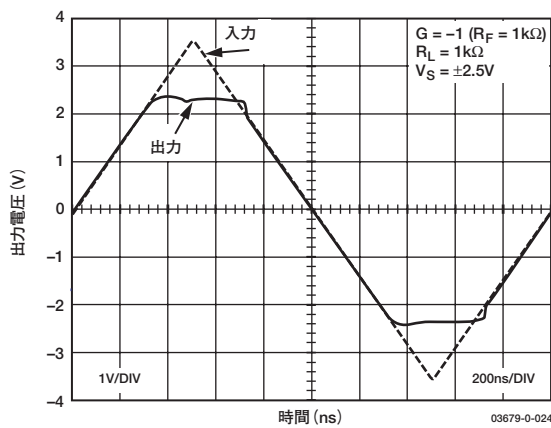


図27. 出力オーバードライブ回復

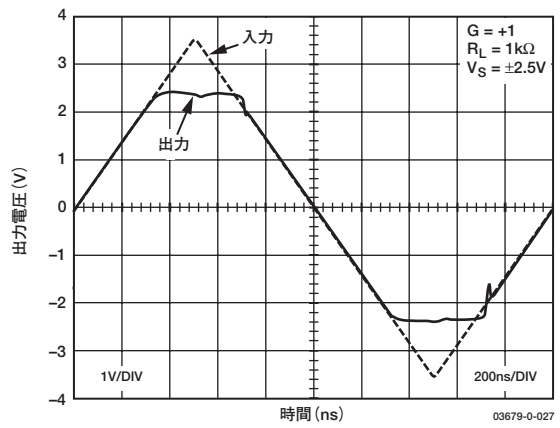


図30. 入力オーバードライブ回復

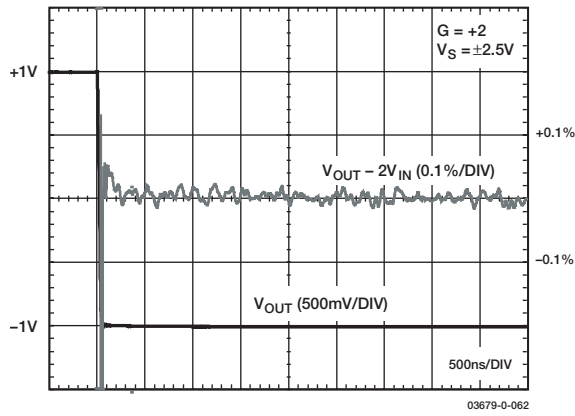


図31. 長期セトリング・タイム

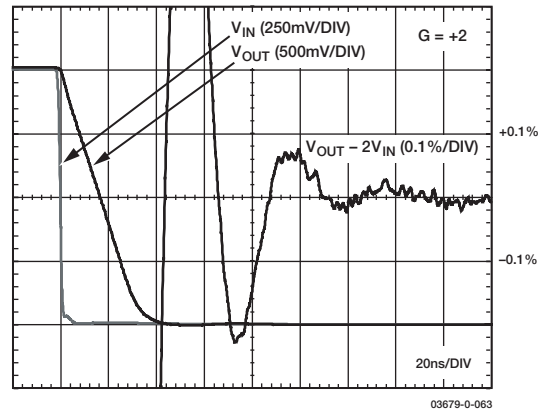


図34. 0.1%の短期セトリング・タイム

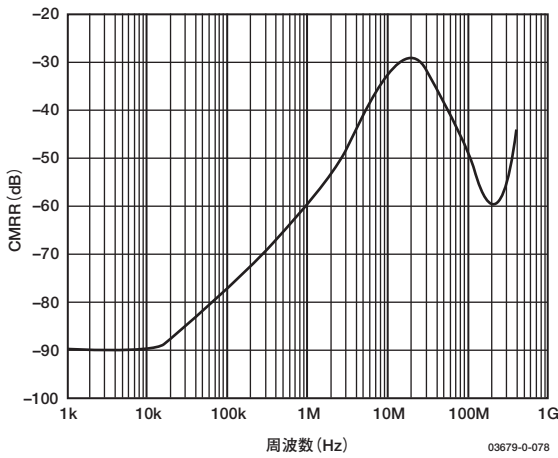


図32. 周波数対同相ノイズ除去比 (CMRR)

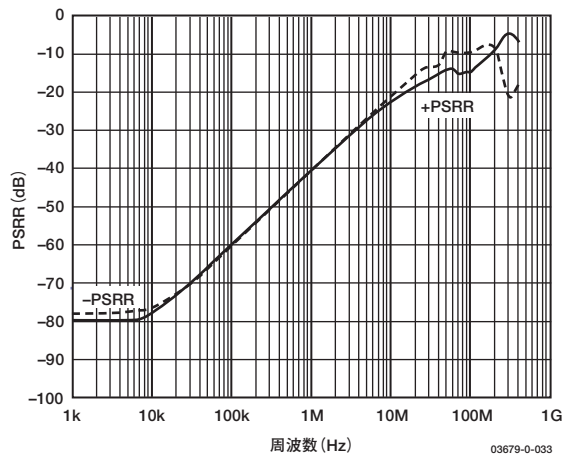


図35. 周波数対PSRR

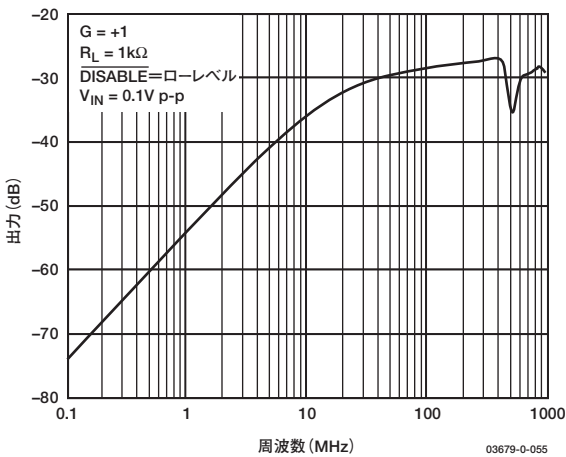


図33. 周波数対  
AD8029のオフ・アイソレーション

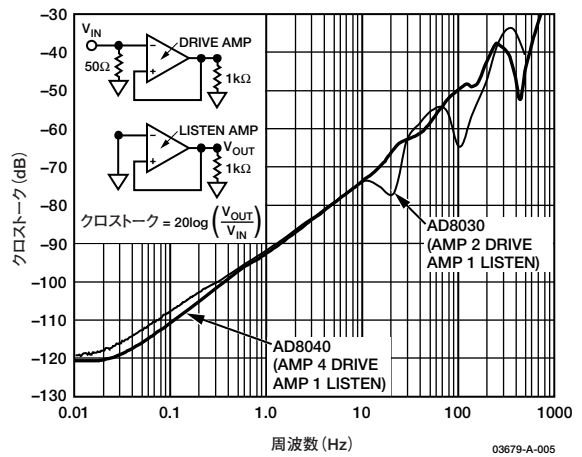


図36. 周波数対  
AD8030/AD8040のクロストーク

# AD8029/AD8030/AD8040

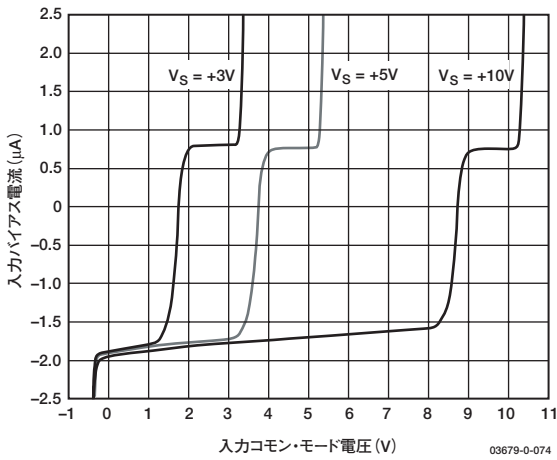


図37. 入カコモン・モード電圧 対 入カバイアス電流

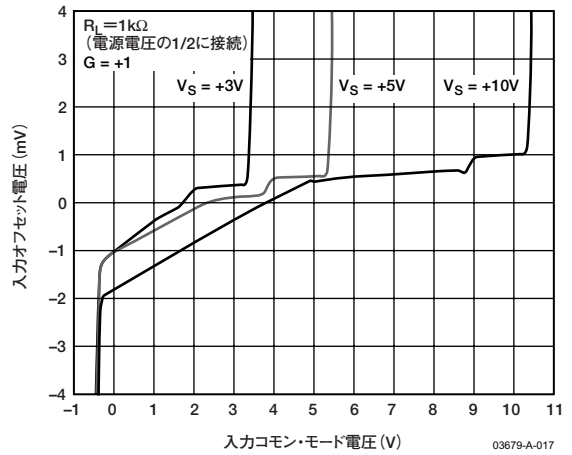


図40. 入カコモン・モード電圧 対 入カオフセット電圧

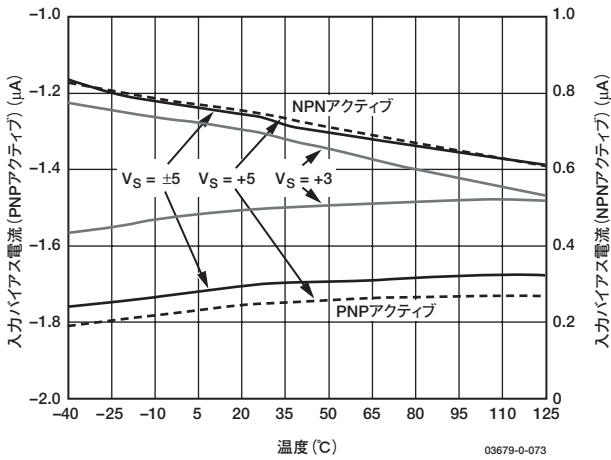


図38. 温度 対 入カバイアス電流

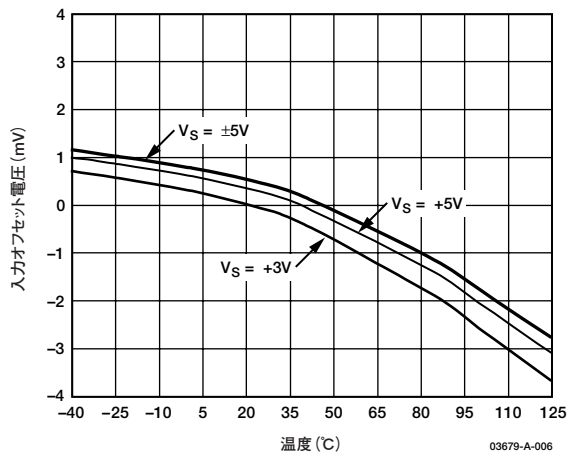


図41. 入カオフセット電圧 対 温度

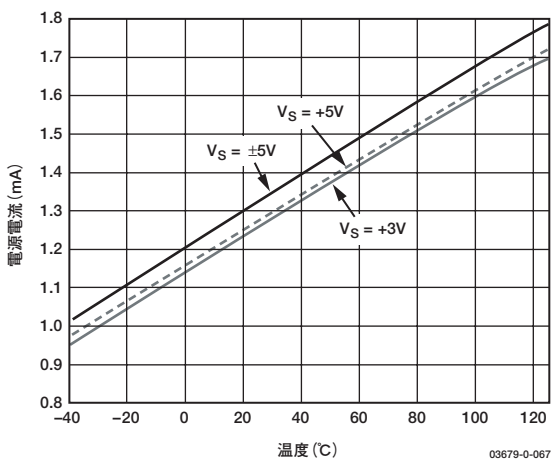


図39. 温度 対 静止電源電流

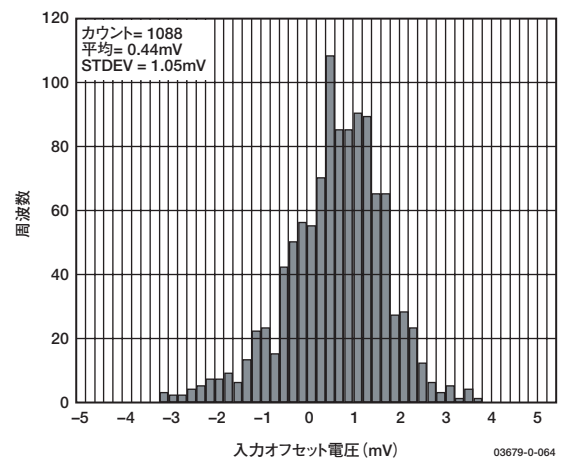


図42. 入カオフセット電圧の分布

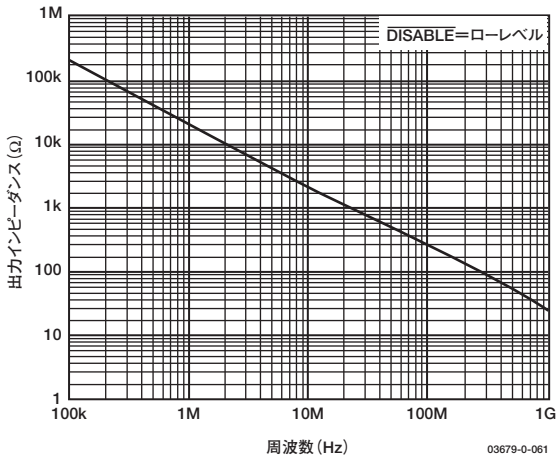


図43. 周波数 対 AD8029 の出力インピーダンス (ディスエーブル時)

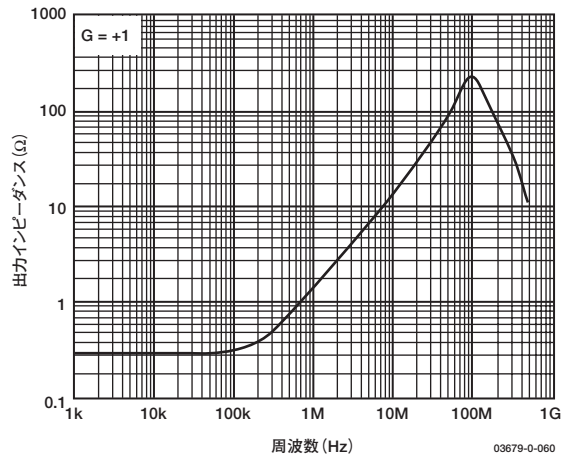


図46. 周波数 対 出力インピーダンス (イネーブル時)

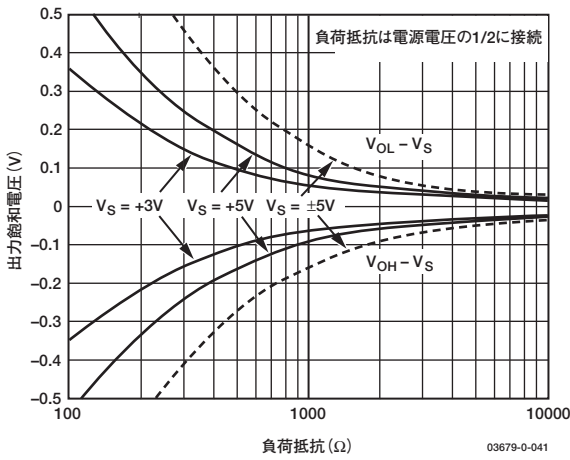


図44. 負荷抵抗 対 出力飽和電圧

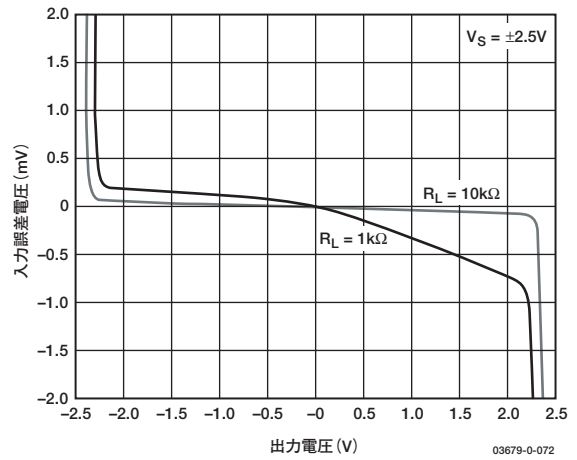


図47. 出力電圧 対 入力誤差電圧

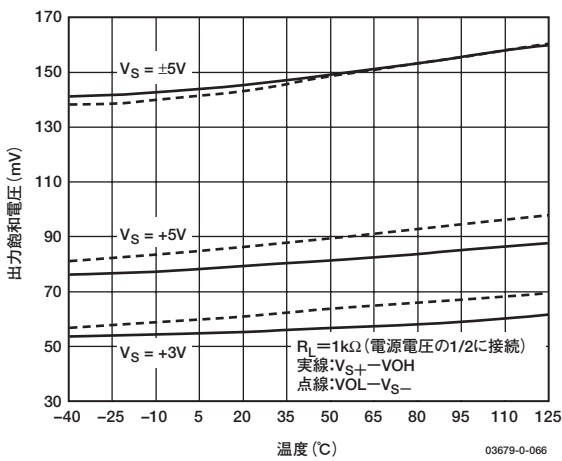


図45. 温度 対 出力飽和電圧

# AD8029/AD8030/AD8040

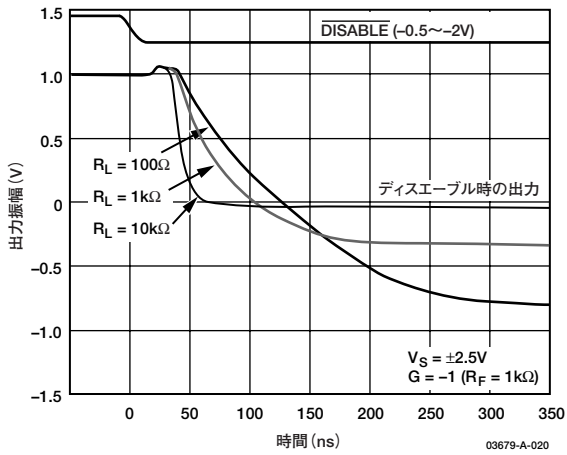


図48. AD8029のDISABLEターンオフ・タイミング

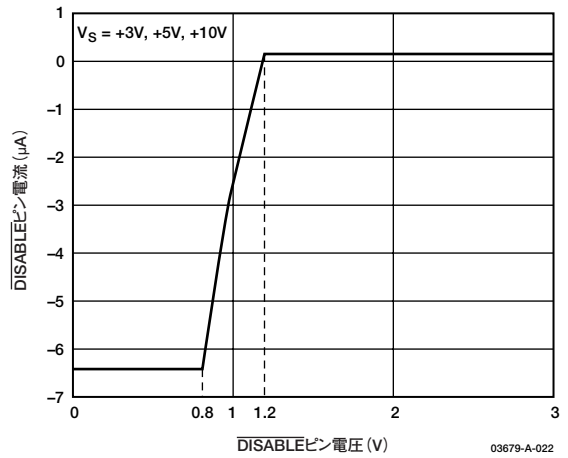


図50. AD8029のDISABLEピン電圧 対 DISABLEピン電流

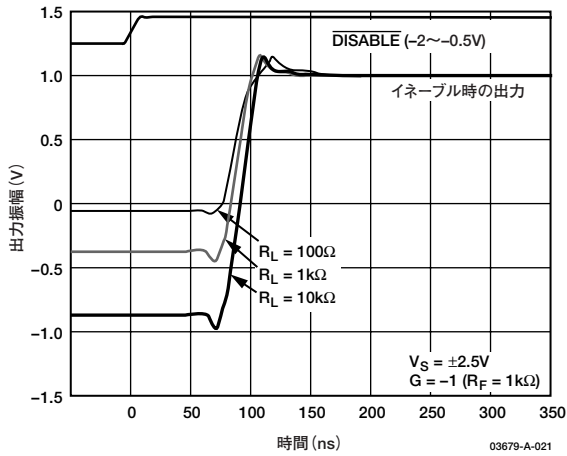


図49. AD8029のDISABLEターンオン・タイミング

## 動作原理

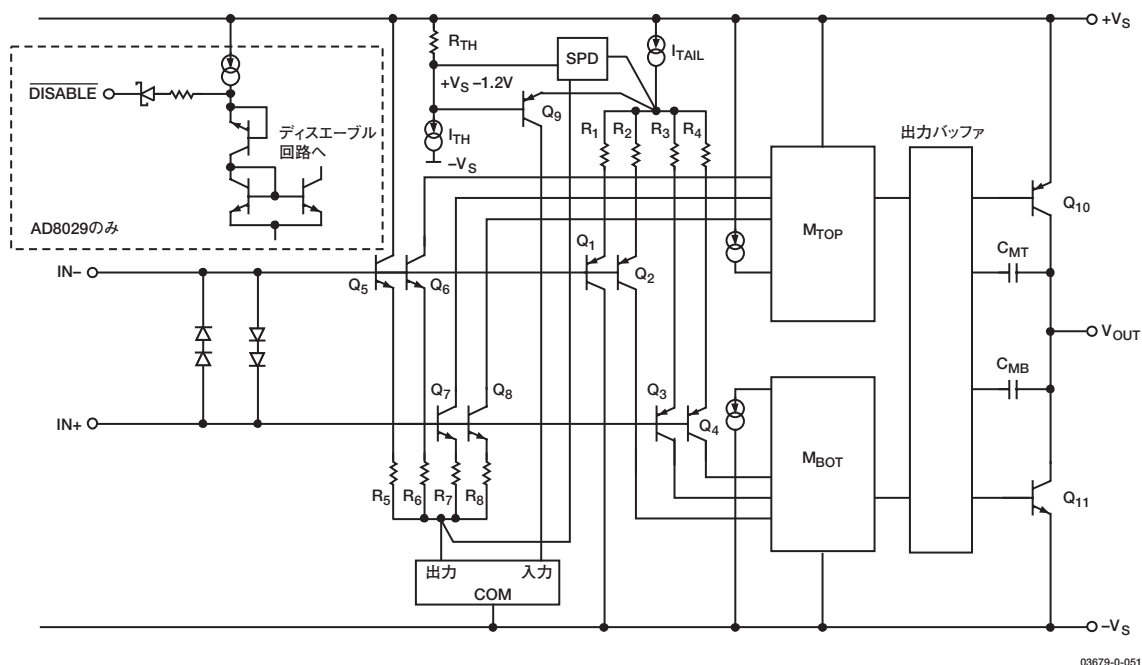


図51. 簡略化した回路図

AD8029 (シングル)、AD8030 (デュアル)、AD8040 (クワッド) は、アナログ・デバイゼス社のXFCBプロセスで製造されたレールtoレール入/出力アンプです。このXFCBプロセスによって、120MHzの帯域幅、60V/μsのスルーレートで、2.7~12Vの電源による動作が実現しました。図51に、AD8029/AD8030/AD8040の簡略回路図を示します。

## 入力段

設定されたスレッシュホールド ( $V_{CC}$ より1.2V下) を下回る入力コモン・モード電圧では、PNPの差動ペア ( $Q_1 \sim Q_4$ で構成) につながれた抵抗に  $I_{TAIL}$  電流のすべてが流れるため、入力電圧が  $-V_S$ より200mVまで小さくなります。逆に、入力コモン・モード電圧が同じスレッシュホールドを超えると、 $I_{TAIL}$  がPNP差動ペアから離れ、トランジスタ  $Q_9$ を通じてNPNの差動ペアに流れます。この条件では、入力コモン・モード電圧が  $+V_S$ より200mV大きくなっても直線的なアンプ動作を維持できます。この2つの動作モード間の遷移があると、入力段トランスコンダクタンス  $g_m$ とDCパラメータ (入力オフセット電圧  $V_{OS}$ など) に急激な一時的変化が生じるため、歪み性能を損ってしまいます。SPDブロックは、この遷移の期間を短縮して歪み性能を改善します。図51に示すように、入力差動ペアは、逆並列に接続された2つの直列ダイオードのペアによって保護され、差動入力電圧を約±1.5Vにクランプします。

## 出力段

PNPとNPNの入力差動ペアから来る電流がミラー  $M_{BOT}$ と  $M_{TOP}$ に流れることによって、出力バッファの入力にコモン・モード信号電圧を確立します。

出力バッファは、3つの機能を実行します。

1. 希望する信号電圧をバッファリングして、出力デバイス  $Q_{10}$ と  $Q_{11}$ に与えます。
2. 出力デバイス内のコモン・モード電流レベルを感知します。
3. コモン・モード帰還ループを確立することによって、出力コモン・モード電流を調整します。

出力デバイス  $Q_{10}$ と  $Q_{11}$ はコモン・エミッタ構成で機能し、内部コンデンサ  $C_{MT}$ と  $C_{MB}$ によってミラー補償されます。

出力電圧コンプライアンスは、出力デバイスのコレクタ抵抗  $R_C$  (約25Ω)と必要な負荷電流  $I_L$ によって設定されます。たとえば、軽い負荷 (5K) では出力電圧がいずれかのレールの40mV以内まで振幅し、重い負荷ではこの値が  $R_C \times I_L$ に従って低下します。

# AD8029/AD8030/AD8040

## アプリケーション

### 広帯域動作

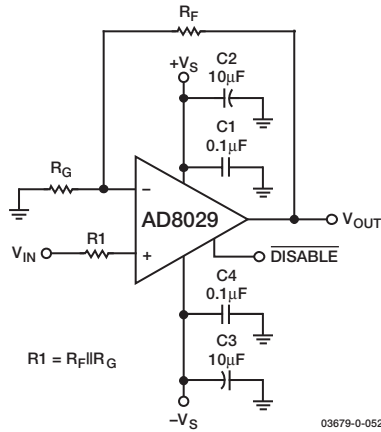


図52. 広帯域非反転ゲイン構成

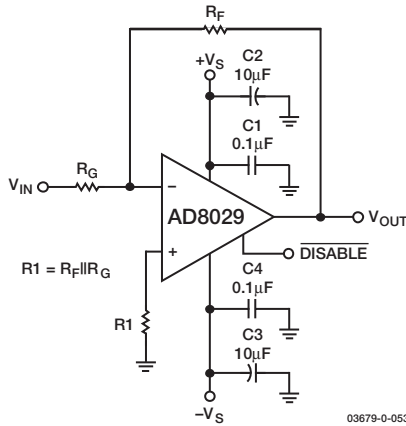


図53. 広帯域反転ゲイン構成

### 出力負荷の影響

最高の性能と低消費電力を達成するには、AD8029/AD8030/AD8040の出力負荷を考慮する必要があります。表5に、出力負荷の性能に及ぼす影響を示します。

ユニティ・ゲインの動作の場合、アンプ出力での有効負荷はアンプで駆動されている抵抗 ( $R_L$ ) になります。非反転構成でゲインが1以上の場合、帰還ネットワークにアンプ出力での電流負荷が新たに加わります。帰還ネットワーク ( $R_F + R_G$ ) が  $R_L$  と並列しているため、アンプ出力での有効抵抗値を低下させます。有効抵抗値が低下すると、アンプはより多くの電流を出力に供給することになります。帰還抵抗の値が低いと電流引き込みが増加し、アンプの消費電力が増大します。

たとえば、抵抗値が  $2.5\text{k}\Omega$  で、ゲインが2の場合、表5の値を用いると、出力での有効負荷抵抗値は  $1.67\text{k}\Omega$  となります。反転構成の場合は、帰還抵抗  $R_F$  のみが出力負荷と並列になります。負荷がデータシートの指定値より大きい場合、オープン・ループの応答特性の影響によって非直線性になり、歪みが増大します。図54と55に有効出力負荷と歪み性能を示します。帰還ネットワークの抵抗を大きくすると、電流消費は低減できますが、それ以外の影響が現れます。

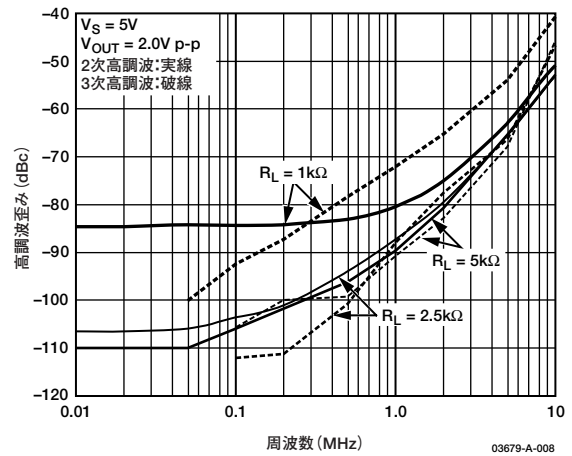


図54. ゲイン=1の歪み

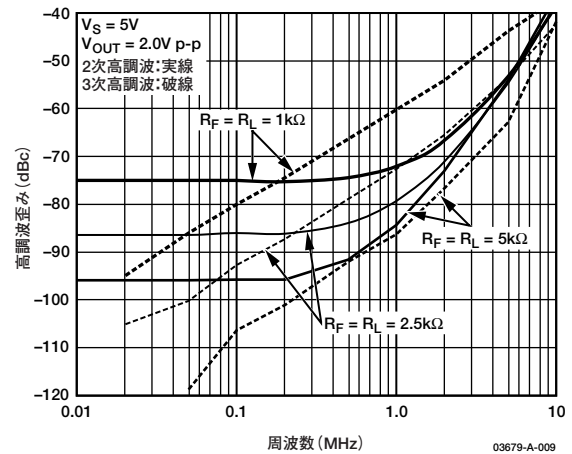


図55. ゲイン=2の歪み



表5. 負荷の性能に及ぼす影響

ゲイン	$R_F$ (k $\Omega$ )	$R_G$ (k $\Omega$ )	$R_{LOAD}$ (k $\Omega$ )	-3dB SS BW (MHz)	ピーキング (dB)	1MHz時の2次高調波 2v p-p (dB)	1MHz時の3次高調波 2v p-p (dB)	出力ノイズ (nV/ $\sqrt{Hz}$ )
1	0	N/A	1	120	0.02	-80	-72	16.5
1	0	N/A	2	130	0.6	-84	-83	16.5
1	0	N/A	5	139	1	-87.5	-92.5	16.5
2	1	1	1	36	0	-72	-60	33.5
2	2.5	2.5	2.5	44.5	0.2	-79	-72.5	34.4
2	5	5	5	43	2	-84	-86	36
-1	1	1	1	40	0.01	-68	-57	33.6
-1	2.5	2.5	2.5	40	0.05	-74	-68	34
-1	5	5	5	34	1	-78	-80	36

帰還抵抗 ( $R_F \parallel R_G$ ) は入力容量と結合し、アンプのループ応答に極 (ポール) を形成します。これにより、RCの時定数が低すぎると、アンプの応答にピーキングとリングングが発生します。図56にその影響を示します。ピーキングは、帰還抵抗に小さなコンデンサ (1~4pF) を挿入することで低減できます。コンデンサの値は、実際に使用する回路で試して最適な値を見つけてください。抵抗値が高くなった場合のもう1つの問題は、ノイズ性能に与える影響です。抵抗値が高くなれば、ノイズが増えます。アプリケーションはそれぞれ異なりますから、歪み、ピーキング、ノイズ性能の間で、バランスを取る必要があります。表5は、異なる負荷での歪み、ピーキング、ノイズ特性に対するトレードオフを表しています。ゲインが1、2、-1の場合に、それに相当する負荷1k $\Omega$ 、2k $\Omega$ 、5k $\Omega$ が示されています。

負荷抵抗値が増えると、歪みと-3dBの帯域幅は改善されますが、ノイズとピーキングは若干低下します。

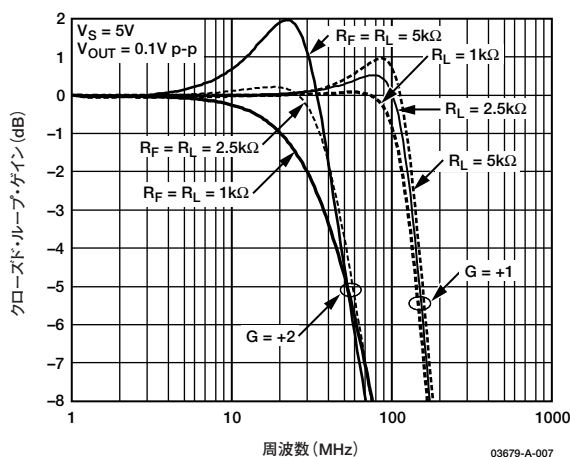


図56. 異なる帰還抵抗/負荷抵抗に対する周波数応答

## ディスエーブル・ピン

AD8029のディスエーブル・ピンを使用すると、省エネ・アプリケーションやマルチプレキシング・アプリケーション向けにアンプをシャットダウンすることができます。ディスエーブル・モードでアンプが消費する静止電流は、わずか150 $\mu$ Aです。ディスエーブル・ピンの制御電圧は負電源を基準にします。アンプがパワーダウン・モードに入るのは、ディスエーブル・ピンが負側の電源に接続されるか、負側電圧の0.8V以内に接続されたときです。オープン状態の場合、アンプは通常の動作をします。切り替えレベルについては、表6を参照してください。

表6. ディスエーブル・ピンの制御電圧

ディスエーブル・ピンの電圧	電源電圧		
	+3V	+5V	$\pm 5V$
ローレベル (ディスエーブル時)	0 ~ < 0.8V	0 ~ < 0.8V	-5 ~ < -4.2V
ハイレベル (イネーブル時)	1.2 ~ 3V	1.2 ~ 5V	-3.8 ~ +5V

# AD8029/AD8030/AD8040

## 回路の注意事項

### PCボードのレイアウト

高速オペアンプで最適な性能を得るためには、PCボードのレイアウトに十分注意する必要があります。特に、バイパス・コンデンサのリード長が最短になるように注意してください。リード・インダクタンスが大きすぎると、周波数応答に影響を与え、高周波発振が生じることさえあります。内層にグラウンド・プレーンをもつ多層ボードを使用すると、グラウンド・ノイズが減るため、よりコンパクトなレイアウトが可能になります。

反転入力でのリード長を可能な限り短くするには、帰還抵抗 $R_F$ を出力ピンから入力ピンまでの最短距離に配置します。抵抗 $R_G$ のリターン・ノードは、負電源バイパス・コンデンサのリターン・ノードのできるだけ近くに配置します。

多層ボードでは、寄生コンデンサ成分が生じるのを防止するため、オペアンプの真下部分のすべての層にメタルを配線しないでください。これは、サミング・ジャンクション（反転入力端子：-IN）では特に重要です。サミング・ジャンクションの容量が大きすぎると、周波数応答でピーキングが増加し、位相マージンが減少します。

### グラウンディング

高速で集積度の高いボードにおいて寄生インダクタンスとグラウンド・ループを最小にするには、グラウンド・プレーン層が重要な意味をもちます。高速回路の設計では、回路内のどこを電流が流れるか把握しておくことが大切です。電流パスの長さは寄生インダクタンスの大きさに正比例し、また配線経路の高周波インピーダンスにも正比例することになります。誘導性のグラウンド・リターンに高速の電流変化があると、不要なノイズとリングングが発生します。

高周波数バイパス・コンデンサのパッドとパターンの長さも重要です。バイパス・グラウンディング内の寄生インダクタンスが、バイパス・コンデンサによって生じる低インピーダンスを打ち消すように作用します。負荷電流が電源からもグラウンドからも流れるため、負荷をバイパス・コンデンサ・グラウンドと同じ場所に配置する必要があります。低周波用の大きな値のコンデンサの場合は、電流リターンパスの長さはそれほど大きな問題ではなくなります。

### 電源のバイパス

電源ピンがオペアンプへの入力になりますが、クリーンなローノイズDC電圧源をオペアンプに接続するように注意する必要があります。

電源のバイパスは、ノイズや不要な周波数をもった信号をグラウンドに低インピーダンスでパスさせる役割を果たします。これは、1種類のコンデンサだけでは実現できません。さまざまなコンデンサを並列接続することで、電源のバイパスの帯域幅を大きく拡張できます。バイパス・コンデンサには、次の2つの機能があります。

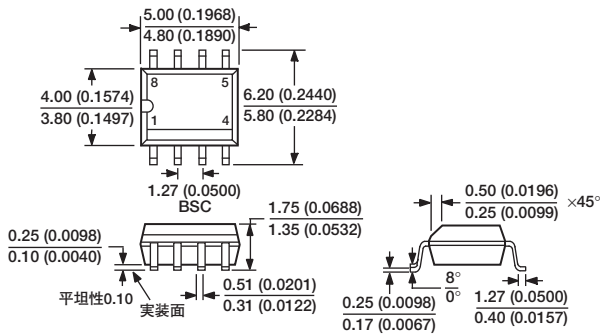
1. ノイズと不要信号に対して電源ピンからグラウンドへの低インピーダンス・パスを提供する。
2. コンデンサに蓄えられた電荷は、高速スイッチング状態におけるトランジエントによる電源ピンの電圧降下を最小限に抑える。一般に大きな電解コンデンサを使用。

高品質のセラミック・チップ・コンデンサを使用し、常にアンブ・パッケージのできるだけ近くに配置します。0.1 $\mu$ Fのセラミック・コンデンサと10 $\mu$ Fの電解コンデンサを並列して組み合わせることにより、広い範囲で不要ノイズを除去できます。10 $\mu$ Fのコンデンサは高周波バイパスにそれほど重要ではないので、多くの場合、電源ラインに1個あれば十分です。

### 設計ツールとテクニカル・サポート

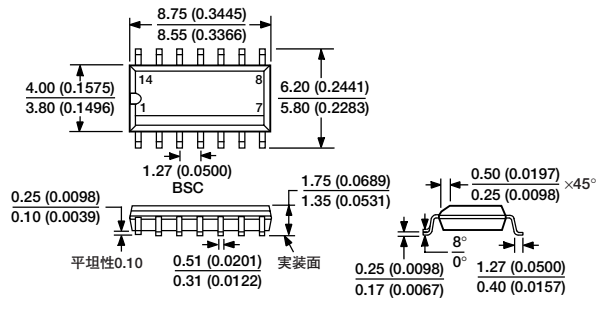
アナログ・デバイセズは、テクニカル・サポートとオンライン設計ツールを提供し、設計時間の大幅な短縮を図っています。無料評価用ボード、サンプルIC、SPICEモデル、対話型評価ツール、アプリケーション・ノートによるテクニカル・サポートのほか、電話やEメールによるお問い合わせにも応じています。www.analog.comにアクセスしてください。

外形寸法



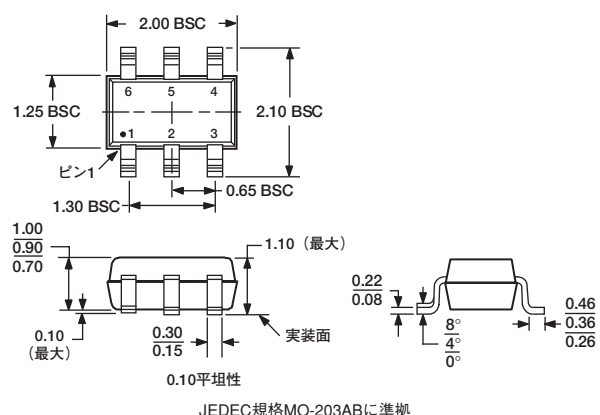
JEDEC規格MS-012AAに準拠  
寸法はミリメートルによって管理されています。括弧内のインチ寸法はミリメートル値の概数であり、参考用に表示しています。設計には使用しないでください。

図57. 8ピン標準スモール・アウトライン・パッケージ、ナロー [SOIC] (R-8)  
単位：mm (インチ)

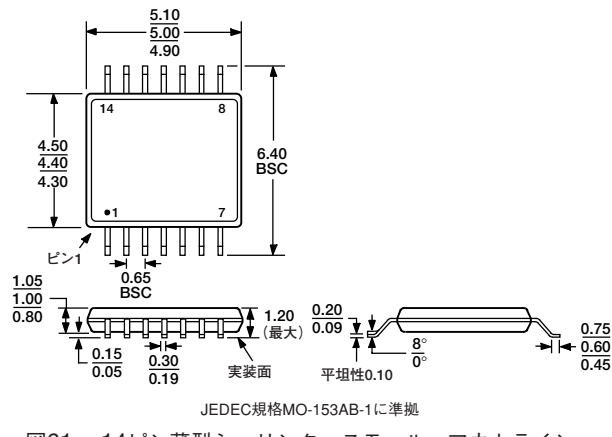


JEDEC規格MS-012ABに準拠  
寸法はミリメートルによって管理されています。括弧内のインチ寸法はミリメートル値の概数であり、参考用に表示しています。設計には使用しないでください。

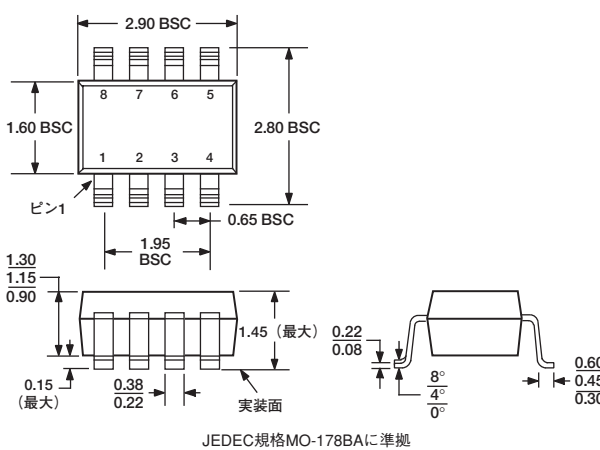
図60. 14ピン標準スモール・アウトライン・パッケージ、[SOIC] (R-14)  
単位：mm (インチ)



JEDEC規格MO-203ABに準拠  
図58. 6ピン・プラスチック表面実装パッケージ [SC70] (KS-6)  
単位：mm



JEDEC規格MO-153AB-1に準拠  
図61. 14ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-14)  
単位：mm



JEDEC規格MO-178BAに準拠  
図59. 8ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT23] (RJ-8)  
単位：mm

# AD8029/AD8030/AD8040

## オーダー・ガイド

モデル	最小注文数量	温度範囲	パッケージ	パッケージ・オプション	ブランド
AD8029AR	1	-40~+125℃	8ピンSOIC	R-8	
AD8029AR-REEL	2,500	-40~+125℃	8ピンSOIC	R-8	
AD8029AR-REEL7	1,000	-40~+125℃	8ピンSOIC	R-8	
AD8029AKS-R2	250	-40~+125℃	6ピンSC70	KS-6	H6B
AD8029AKS-REEL	10,000	-40~+125℃	6ピンSC70	KS-6	H6B
AD8029AKS-REEL7	3,000	-40~+125℃	6ピンSC70	KS-6	H6B
AD8030AR	1	-40~+125℃	8ピンSOIC	R-8	
AD8030AR-REEL	2,500	-40~+125℃	8ピンSOIC	R-8	
AD8030AR-REEL7	1,000	-40~+125℃	8ピンSOIC	R-8	
AD8030ARJ-R2	250	-40~+125℃	8ピンSOT23-8	RJ-8	H7B
AD8030ARJ-REEL	10,000	-40~+125℃	8ピンSOT23-8	RJ-8	H7B
AD8030ARJ-REEL7	3,000	-40~+125℃	8ピンSOT23-8	RJ-8	H7B
AD8040AR	1	-40~+125℃	14ピンSOIC	R-14	
AD8040AR-REEL	2,500	-40~+125℃	14ピンSOIC	R-14	
AD8040AR-REEL7	1,000	-40~+125℃	14ピンSOIC	R-14	
AD8040ARU	1	-40~+125℃	14ピンTSSOP	RU-14	
AD8040ARU-REEL	2,500	-40~+125℃	14ピンTSSOP	RU-14	
AD8040ARU-REEL7	1,000	-40~+125℃	14ピンTSSOP	RU-14	

C03679-0-1/03(A)

### 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



PRINTED IN JAPAN