

AD8114/AD8115*

特長

16 × 16高速非ブロッキング・スイッチ・アレイ

AD8114 ; G = +1

AD8115 ; G = +2

スイッチ・アレイのシリアル設定機能またはパラレル設定機能
複数のシリアル・データ出力を“デジチェーン”接続可能

複数の16 × 16スイッチで大規模なスイッチ・アレイを構成可能
高インピーダンス出力ディスエーブル機能により、出力バスの負荷
なしに複数のデバイスを接続可能

小型のアレイについては、AD8108/AD8109(8 × 8)またはAD8110/
AD8111(16 × 8)スイッチ・アレイを参照

完結型のソリューション

バッファ付き入力

プログラマブルな高インピーダンス出力

16個の出力アンプ : AD8114(G = +1) AD8115(G = +2)

150 負荷を駆動

優れたビデオ性能

25 MHz、0.1 dBのゲイン平坦性

0.05%/0.05度の微分ゲイン/微分位相誤差($R_L = 150 \Omega$)

優れたAC性能

-3 dB帯域幅 : 225 MHz

スルー・レート : 375 V/ μ s

低消費電力 : 700 mW(1ポイント当たり2.75 mW)

5 MHzで -70 dBの低いオール・ハッスル・クロストーク

RESETピンを使用して、全出力をディスエーブル可能(キャパシタ
を通してグラウンドに接続すると、“パワーオン”リセット機能が実
現可能)

100ピンのLQFPパッケージを採用(14 mm × 14 mm)

アプリケーション

次の高速信号のルーティング

ビデオ(NTSC、PAL、S、SECAM、YUV、RGB)

圧縮ビデオ信号(MPEG、Wavelet)

3レベル・デジタル・ビデオ(HDB3)

データ通信

テレコム

概要

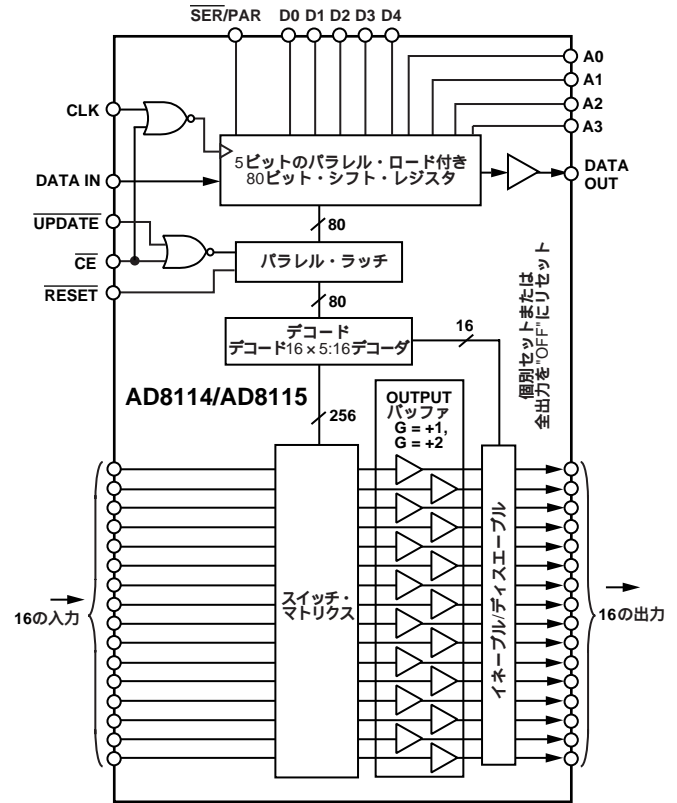
AD8114/AD8115は、高速な16 × 16ビデオ・クロスポイント・ス
イッチ・マトリクスで、200 MHz以上で -3 dB信号帯域幅と1%整
定で50 ns以下のチャンネル・スイッチ時間を提供します。

-70 dBのクロストークと -90 dBのアイソレーション(@5
MHz)により、AD8114/AD8115は多くの高速アプリケーションで
使用することができます。微分ゲインと微分位相はそれぞれ0.05%
と0.05度より優れており、75 終端負荷駆動時に25 MHzまで延びた
0.1 dBの平坦性と組み合わせると、AD8114/AD8115はすべてのタイ
プの信号スイッチング用に最適です。

*特許申請中

REV.0

機能ブロック図



AD8114 / AD8115には16個の独立な出力バッファが内蔵されてい
ます。クロスポイント出力をパラレル接続した際に、OFF状態の
チャンネルが出力バスの負荷にならないようにするため、これらの
出力バッファを高インピーダンス状態にすることができます。
AD8114とAD8115のゲインは、それぞれ+1と+2です。これらは、
電源電圧 ± 5 Vで動作し、アイドル消費電流は70 mAです。チャン
ネルのスイッチングは、シリアル・デジタル制御(複数デバイスの
デジチェーン接続が可能)またはパラレル制御を使用して行
い、アレイ全体の再書き込みを行わずに、個々の出力の更新が可能で
す。

AD8114/AD8115は100ピンのLQFPパッケージを使用しており、
-40 ~ +85 の工業用拡張温度範囲で供給されます。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、
当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権
利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許また
は特許の権利の使用を許諾するものでもありません。

AD8114/AD8115 仕様

(特に指定のない限り、 $V_S = \pm 5V$ 、 $T_A = +25$ 、 $R_L = 1k$)

パラメータ	条件	AD8114/AD8115			単位
		Min	Typ	Max	
ダイナミック性能					
-3dB帯域幅	200 mV p-p、 $R_L = 150$	150/125	225/200		MHz
ゲイン平坦性	2 V p-p、 $R_L = 150$ 0.1 dB、200 mV p-p、 $R_L = 150$		100/125 25/40		MHz MHz
伝搬遅延	0.1 dB、2 V p-p、 $R_L = 150$		20/40		MHz
安定時間	2 V p-p、 $R_L = 150$		5		ns
スルー・レート	0.1%、2 Vステップ、 $R_L = 150$ 2 Vステップ、 $R_L = 150$		40 375/450		ns V/ μ s
ノイズ/歪み性能					
微分ゲイン誤差	NTSCまたはPAL、 $R_L = 1k$		0.05		%
微分位相誤差	NTSCまたはPAL、 $R_L = 150$		0.05		%
クロストーク(オール・ハッスル)	NTSCまたはPAL、 $R_L = 1k$ NTSCまたはPAL、 $R_L = 150$		0.05 0.05		Degrees Degrees
入出力間のOff時アイソレーション	f = 5 MHz		-70/ -64		dB
入力電圧ノイズ	f = 10 MHz		-60/ -52		dB
	f = 10 MHz、 $R_L = 150$ 、1チャンネル		-90		dB
	0.01 MHz ~ 50 MHz		16/18		nV/ \sqrt{Hz}
DC性能					
ゲイン誤差	無負荷		0.05/0.2	0.08/0.6	%
	$R_L = 1k$		0.05/0.2		%
	$R_L = 150$		0.2/0.35		%
ゲイン整合	無負荷、チャンネル間		0.01/0.5	0.04/1	%
	$R_L = 1k$ 、チャンネル間		0.01/0.5		%
ゲイン温度係数			0.75/1.5		ppm/
出力特性					
出力インピーダンス	DC、イネーブル状態		0.2		
	ディスエーブル状態		10		M
出力ディスエーブル容量	ディスエーブル状態		5		pF
出力リーク電流	ディスエーブル状態		1		μ A
出力電圧範囲	無負荷	± 3.0	± 3.3		V
電圧範囲	$I_{OUT} = 20$ mA	± 2.5	± 3		V
	短絡電流		65		mA
入力特性					
入力オフセット電圧	ワースト・ケース(全設定)		3	15	mV
	温度係数		10		μ V/
	無負荷	$\pm 3/ \pm 1.5$	± 3.5		V
入力電圧範囲	任意のスイッチ設定状態		5		pF
入力容量			10		M
入力抵抗		1			μ A
入力バイアス電流	選択した出力当たり		2	5	
スイッチング特性					
イネーブルのオン時間			60		ns
スイッチング時間、2 Vステップ	UPDATEの50%から1%安定まで		50		ns
スイッチング過渡電圧(グリッチ)			20/30		mV p-p
電源					
電源電流	AVCC、出力イネーブル状態、無負荷		70/80		mA
	AVCC、出力ディスエーブル状態		27/30		mA
	AVEE、出力イネーブル状態、無負荷		70/80		mA
	AVEE、出力ディスエーブル状態		27/30		mA
	DVCC、出力イネーブル状態、無負荷		16		mA
電源電圧範囲			± 4.5 to ± 5.5		V
PSRR	DC	64	80		dB
	f = 100 kHz		66		dB
	f = 1 MHz		46		dB
動作温度範囲					
温度範囲	動作時(自然空冷)		-40 to +85		
	動作時(自然空冷)		40		/W

仕様は予告なく変更されることがあります。

タイミング特性(シリアル)

パラメータ	記号	規定値			単位
		Min	Typ	Max	
シリアル・データ・セットアップ時間	t_1	20			ns
CLKパルス幅	t_2	100			ns
シリアル・データ・ホールド時間	t_3	20			ns
CLKパルス・セパレーション、シリアル・モード	t_4	100			ns
CLKからUPDATEまでの遅延	t_5	0			ns
UPDATEパルス幅	t_6	50			ns
CLKから有効なDATA OUTまで、シリアル・モード	t_7			200	ns
伝搬遅延、UPDATEからスイッチONまたはOFFまで	-			50	ns
データ・ロード時間、CLK = 5 MHz、シリアル・モード	-		16		ns
CLK、UPDATEの立上がり時間と立下がり時間	-			100	ns
RESET時間	-			200	ns

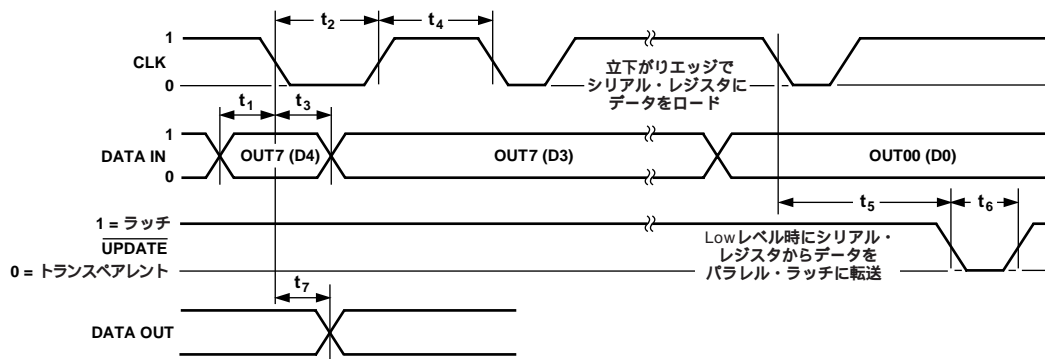


図1 . タイミング図、シリアル・モード

表 . ロジック・レベル

V_{IH}	V_{IL}	V_{OH}	V_{OL}	I_{IH}	I_{IL}	I_{OH}	I_{OL}
RESET、SER/PAR CLK、DATA IN、 \overline{CE} 、 \overline{UPDATE}	RESET、SER/PAR CLK、DATA IN、 \overline{CE} 、 \overline{UPDATE}	DATA OUT	DATA OUT	RESET、SER/PAR CLK、DATA IN、 \overline{CE} 、 \overline{UPDATE}	RESET、SER/PAR CLK、DATA IN、 \overline{CE} 、 \overline{UPDATE}	DATA OUT	DATA OUT
2.0 V min	0.8 V max	2.7 V min	0.5 V max	20 μ A max	- 400 μ A min	- 400 μ A max	3.0 mA min

AD8114/AD8115

タイミング特性(パラレル)

パラメータ	記号	規定値		単位
		Min	Max	
データ・セットアップ時間	t_1	20		ns
CLKパルス幅	t_2	100		ns
データ・ホールド時間	t_3	20		ns
CLKパルス・セパレーション	t_4	100		ns
CLKからUPDATEまでの遅延	t_5	0		ns
UPDATEパルス幅	t_6	50		ns
伝搬遅延、UPDATEからスイッチONまたはOFFまで	-		50	ns
CLK、UPDATE立上がり時間と立下がり時間	-		100	ns
RESET時間	-		200	ns

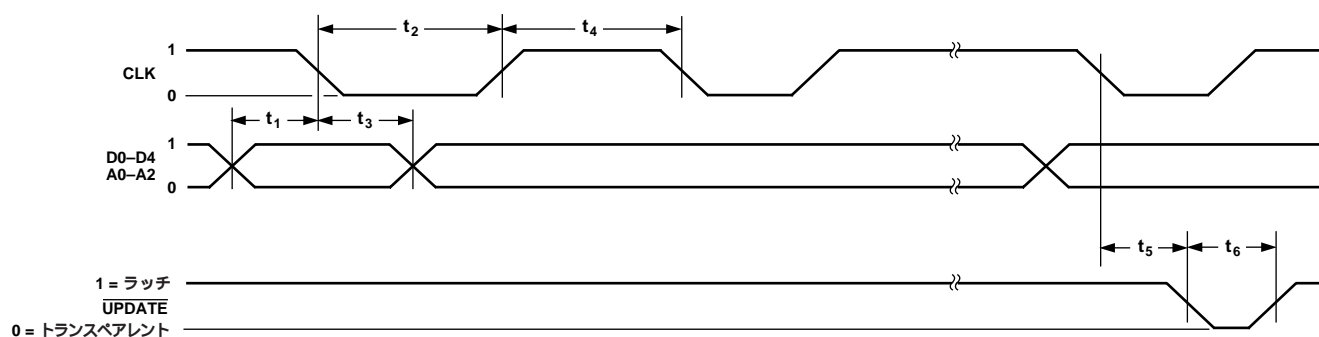


図2 . タイミング図、パラレル・モード

表 . ロジック・レベル

V_{IH}	V_{IL}	V_{OH}	V_{OL}	I_{IH}	I_{IL}	I_{OH}	I_{OL}
RESET、SER/PAR	RESET、SER/PAR			RESET、SER/PAR	RESET、SER/PAR		
CLK、D0、D1、D2、D3、 D4、A0、A1、A2、A3	CLK、D0、D1、D2、D3、 D4、A0、A1、A2、A3			CLK、D0、D1、D2、D3、 D4、A0、A1、A2、A3	CLK、D0、D1、D2、D3、 D4、A0、A1、A2、A3		
CE、UPDATE	CE、UPDATE	DATA OUT	DATA OUT	CE、UPDATE	CE、UPDATE	DATA OUT	DATA OUT
2.0 V min	0.8 V max	2.7 V min	0.5 V max	20 μ A max	- 400 μ A min	- 400 μ A max	3.0 mA min

AD8114/AD8115

絶対最大定格¹

電源電圧	12.0 V
内部消費電力 ²	
AD8114/AD8115 100ピン・プラスチックLQFP(ST).....	2.6W
入力電圧	$\pm V_S$
出力短絡時間	消費電力ディレーティング曲線に従う
保存温度範囲	-65 ~ +125
端子温度範囲(ハンダ処理10 sec)	+300

注

¹ 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

² 自然空冷のデバイスに対する仕様($T_A = +25$):
100ピン・プラスチックLQFP(ST): $\rho_{JA} = 40$ /W

最大消費電力

AD8114/AD8115により安全に消費できる最大電力は、接合温度の上昇に対応して制限されます。プラスチック・パッケージを使用するデバイスの安全な最大接合温度は、プラスチックのガラス遷移温度により決定されます。この温度は約+150 です。パッケージからチップに対して加えられる応力が変化するため、一時的にこの規定値を超えた場合でも、パラメータ性能がシフトすることがあります。+175 の接合温度を長時間超えるとデバイス故障の原因になります。

AD8114/AD8115は内部で短絡保護が行われていますが、すべての条件下で最大接合温度(+150)を超えないことを保証するためには十分ではありません。正常な動作を保証するためには、図3に示す最大消費電力ディレーティング曲線に従う必要があります。

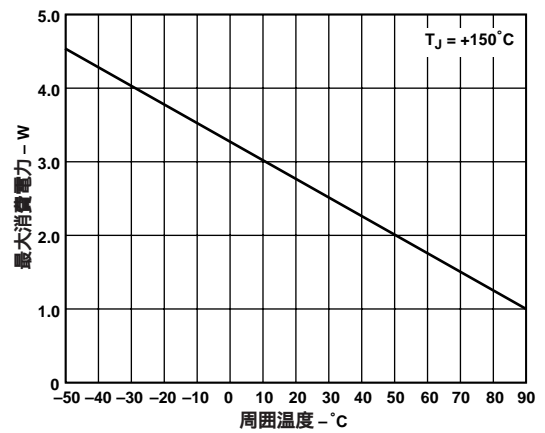


図3．最大消費電力と温度の関係

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD8114AST	-40 ~ +85	100ピン・プラスチックLQFP(14 mm × 14 mm)	ST-100
AD8115AST	-40 ~ +85	100ピン・プラスチックLQFP(14 mm × 14 mm)	ST-100
AD8114-EB		評価ボード	
AD8115-EB		評価ボード	

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD8114/AD8115には当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



AD8114/AD8115

表 . 動作真理値表

\overline{CE}	UPDATE	CLK	DATA IN	DATA OUT	\overline{RESET}	SER/ PAR	動作/コメント
1	X	X	X	X	X	X	ロジック内で変化なし。
0	1	\downarrow	$Data_i$	$Data_{i-80}$	1	0	シリアルDATA INライン上のデータがシリアル・レジスタにロードされます。シリアル・レジスタの先頭に入力されたビットが、クロックの80サイクル後にDATA OUTに出力されます。
0	1	\downarrow	D0...D4、 A0...A3	パラレル・モードでは無し	1	1	パラレル・データ・ラインD0~D4上のデータがアドレスA0~A3に配置された80ビットのシリアル・シフトレジスタにロードされます。
0	0	X	X	X	1	X	80ビット・シフトレジスタ内のデータがスイッチ・アレイを制御するパラレル・ラッチにロードされます。
X	X	X	X	X	0	X	これらのラッチはトランスペアレント型です。非同期動作、全出力がディスエーブルされます。ロジックの他の部分是不変です。

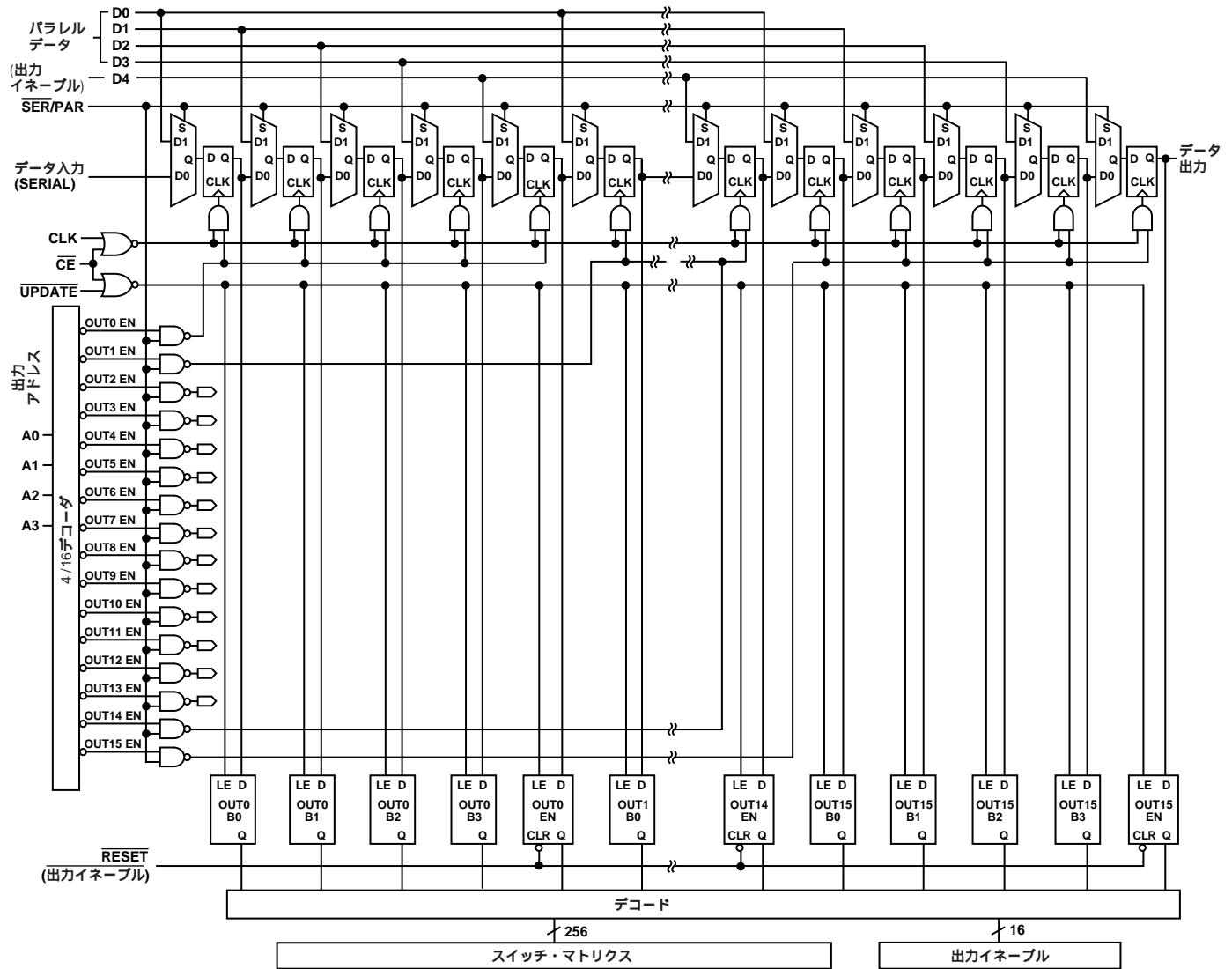


図4 . ロジック回路図

ピン機能の説明

ピン名	ピン番号	ピンの説明
INxx	58、60、62、64、66、68、70、72、 4、6、8、10、12、14、16、18	アナログ入力; xx = チャンネル番号00 ~ 15
DATA IN	96	シリアル・データ入力、TTL互換。
CLK	97	クロック、TTL互換。立下がりエッジ検出。
DATA OUT	98	シリアル・データ出力、TTL互換。
UPDATE	95	“ Low ”でイネーブル(トランスペアレント)、シリアル・レジスタを直接スイッチ・マトリクスに接続。“ High ”のときデータをラッチ。
RESET	100	出力をディスエーブル、アクティブ“ Low ”。
CE	99	チップ・イネーブル、“ Low ”でイネーブル。データを入力してラッチするためには、“ low ”である必要があります。
SER/PAR	94	“ Low ”でシリアル・データ・モードを、“ High ”でパラレル・データ・モードを、それぞれ選択。解放は不可。
OUTyy	53、51、49、47、45、43、41、39、 37、35、33、31、29、27、25、23	アナログ出力; yy = チャンネル番号00 ~ 15
AGND	3、5、7、9、11、13、15、17、19、57、 59、61、63、65、67、69、71、73	入力とスイッチ・マトリクスのアナログ・グラウンド。解放は不可。
DVCC	1、75	デジタル回路用の +5V
DGND	2、74	デジタル回路用のグラウンド
AVEE	20、56	入力とスイッチ・マトリクス用の -5V
AVCC	21、55	入力とスイッチ・マトリクス用の +5V
AVCCxx/yy	54、50、46、42、38、34、30、26、22	チャンネル番号xxとyyにより共用される出力アンプに対する +5V。解放は不可。
AVEExx/yy	52、48、44、40、36、32、28、24	チャンネル番号xxとyyにより共用される出力アンプに対する -5V。解放は不可。
A0	84	パラレル・データ入力、TTL互換(出力セレクトLSB)。
A1	83	パラレル・データ入力、TTL互換(出力セレクト)。
A2	82	パラレル・データ入力、TTL互換(出力セレクト)。
A3	81	パラレル・データ入力、TTL互換(出力セレクトMSB)。
D0	80	パラレル・データ入力、TTL互換(入力セレクトLSB)。
D1	79	パラレル・データ入力、TTL互換(入力セレクト)。
D2	78	パラレル・データ入力、TTL互換(入力セレクト)。
D3	77	パラレル・データ入力、TTL互換(入力セレクトMSB)。
D4	76	パラレル・データ入力、TTL互換(出力イネーブル)。
NC	85 - 93	接続なし

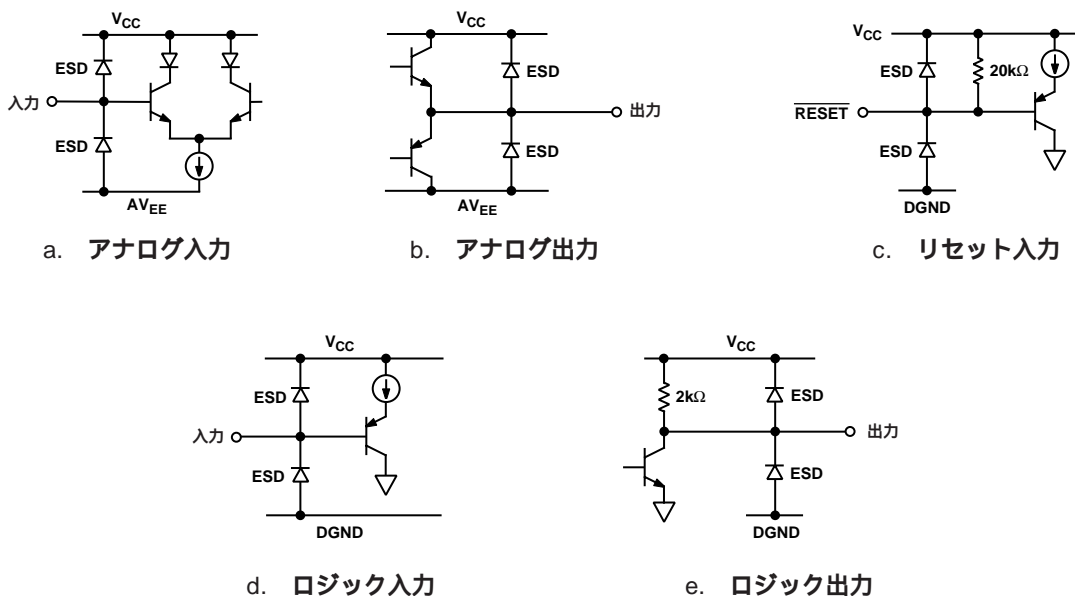
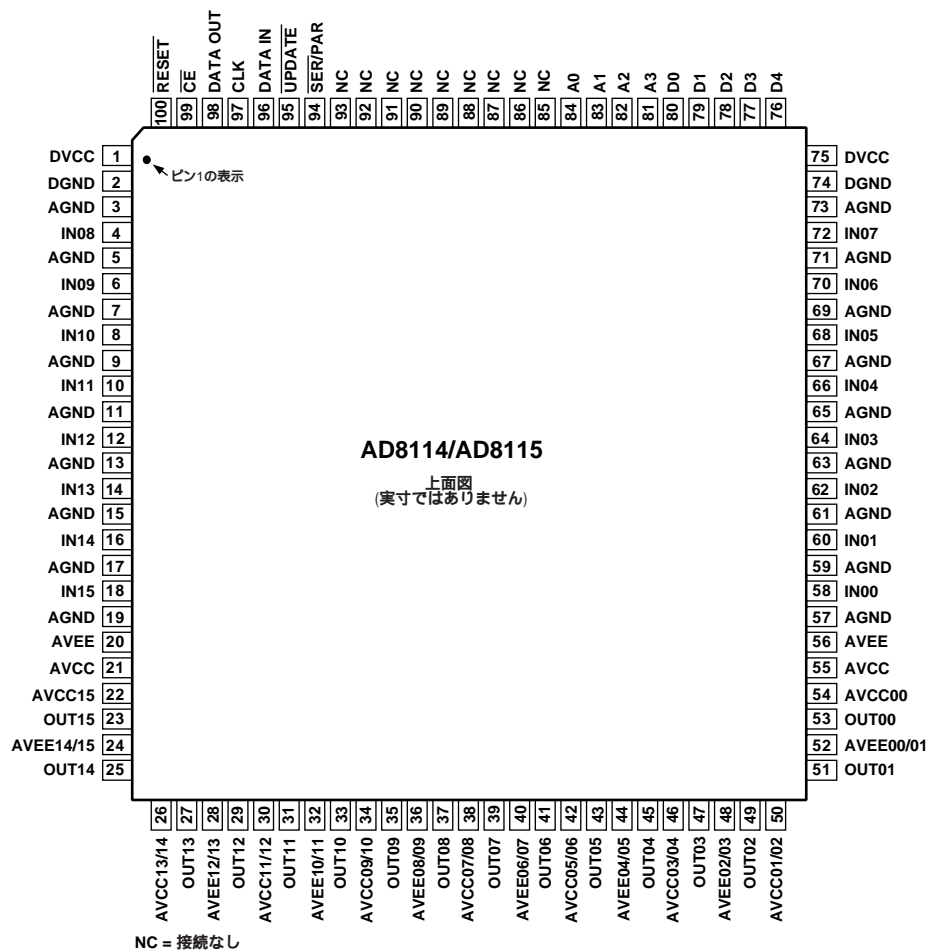


図5 .I/Oの回路図

AD8114/AD8115

ピン配置



代表的な性能特性 AD8114/AD8115

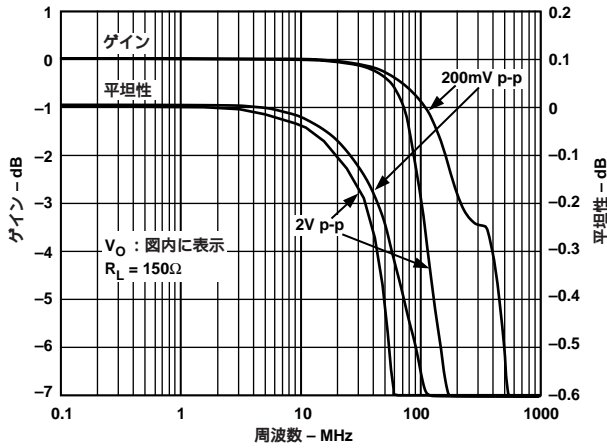


図6 . AD8114の周波数応答; $R_L = 150\Omega$

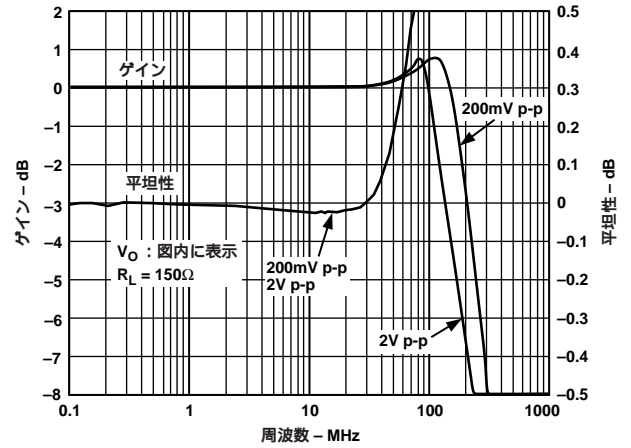


図9 . AD8115の周波数応答; $R_L = 150\Omega$

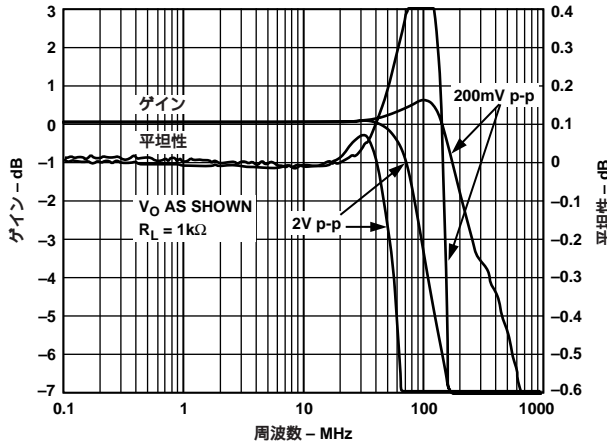


図7 . AD8114の周波数応答; $R_L = 1k\Omega$

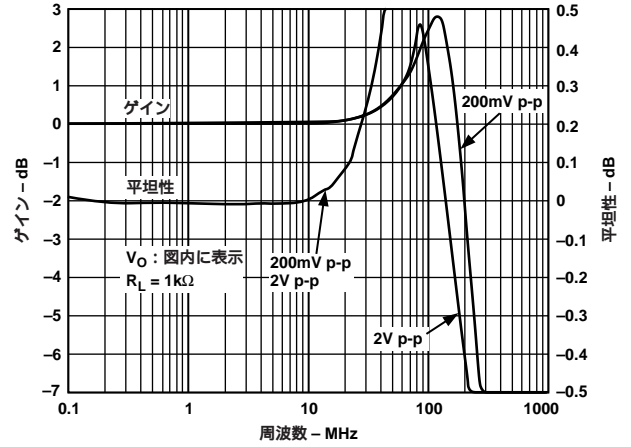


図10 . AD8115の周波数応答; $R_L = 1k\Omega$

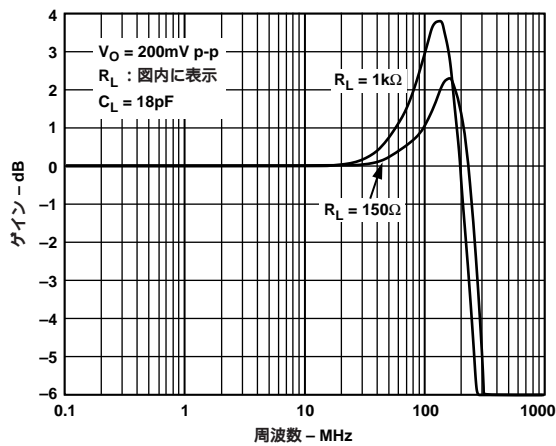


図8 . AD8114の周波数応答と負荷インピーダンスの関係

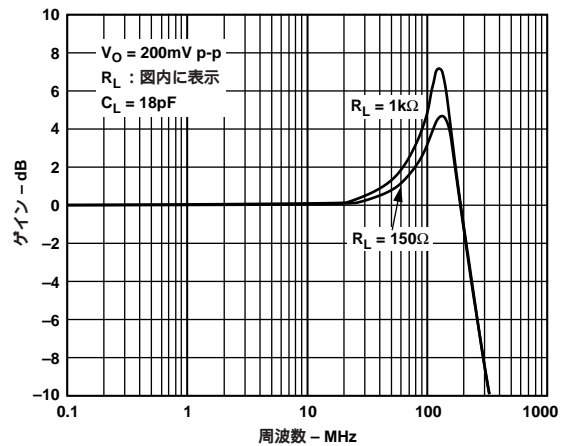


図11 . AD8115の周波数応答と負荷インピーダンスの関係

AD8114/AD8115

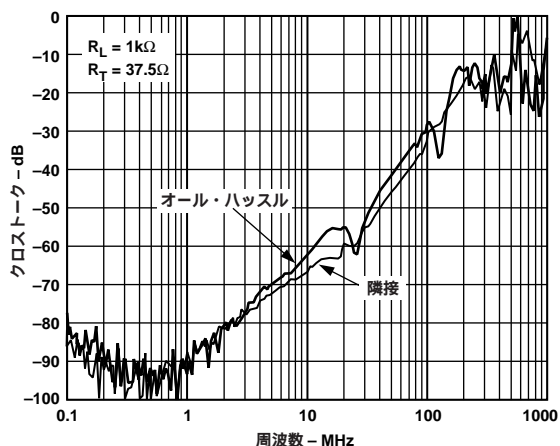


図12 .AD8114のクロストークと周波数の関係

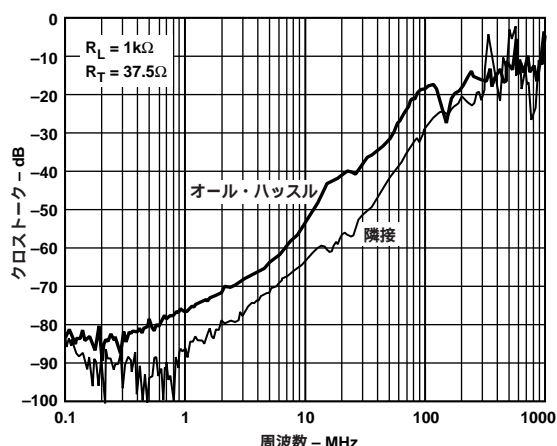


図15 .AD8115のクロストークと周波数の関係

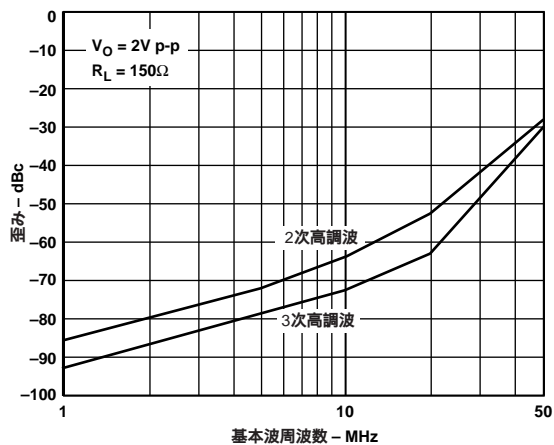


図13 .AD8114の歪みと周波数の関係

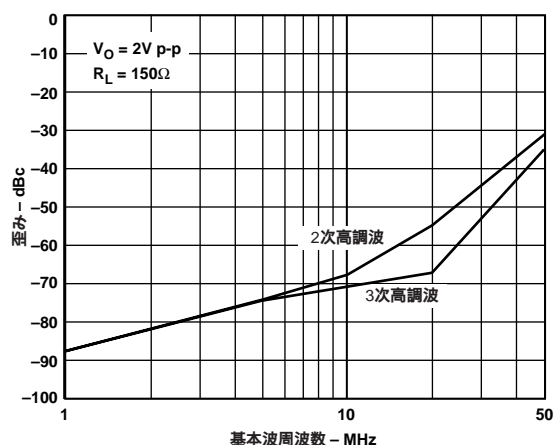


図16 .AD8115の歪みと周波数の関係

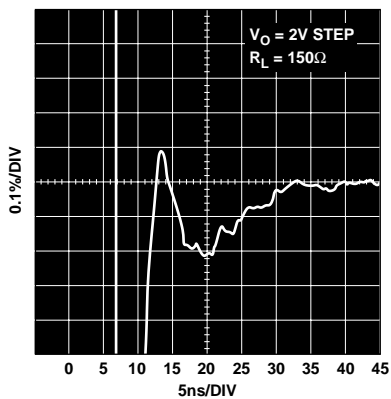


図14 .AD8114の整定時間

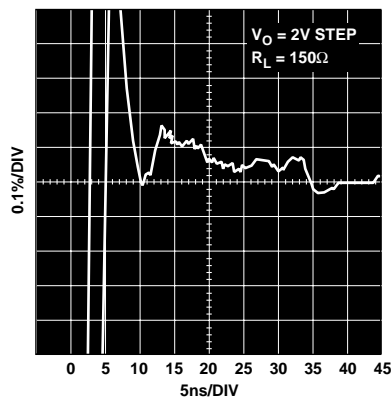


図17 .AD8115の整定時間

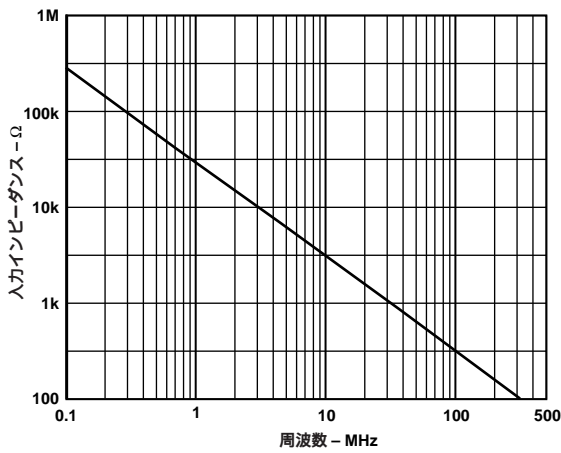


図18 .AD8114の入カインピーダンスと周波数の関係

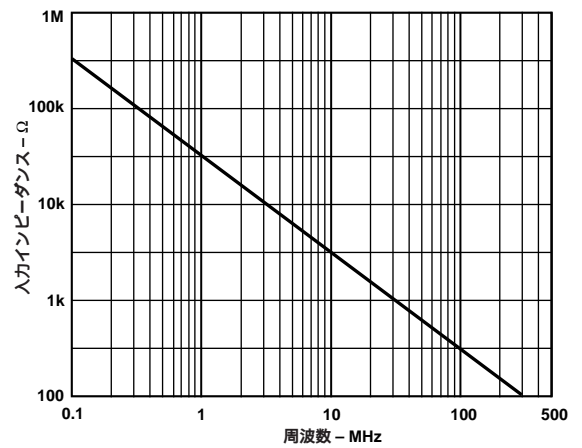


図21 .AD8115入カインピーダンスと周波数の関係

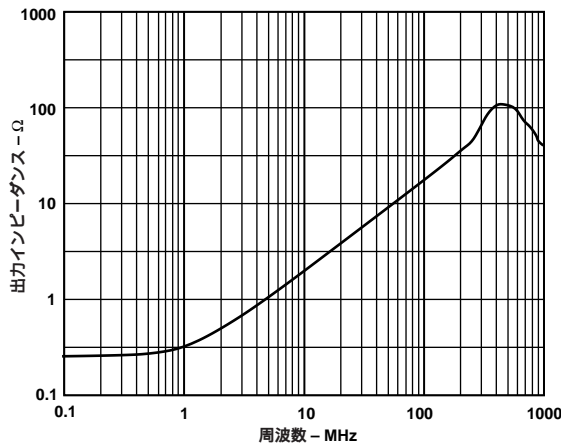


図19 .AD8114のイネーブル状態出カインピーダンスと周波数の関係

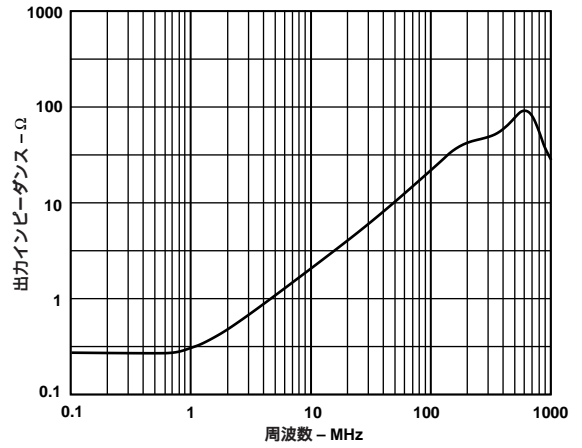


図22 .AD8115のイネーブル状態出カインピーダンスと周波数の関係

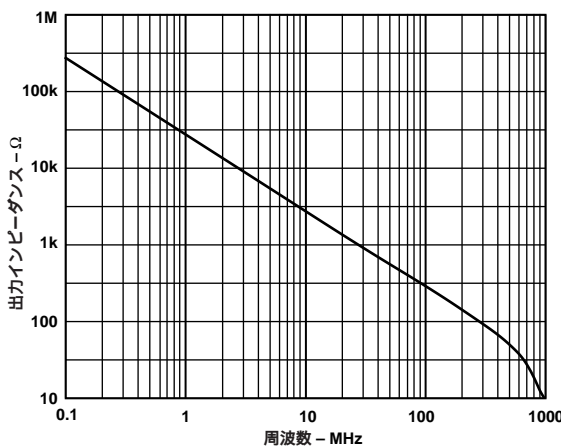


図20 .AD8114のディスエーブル状態出カインピーダンスと周波数の関係

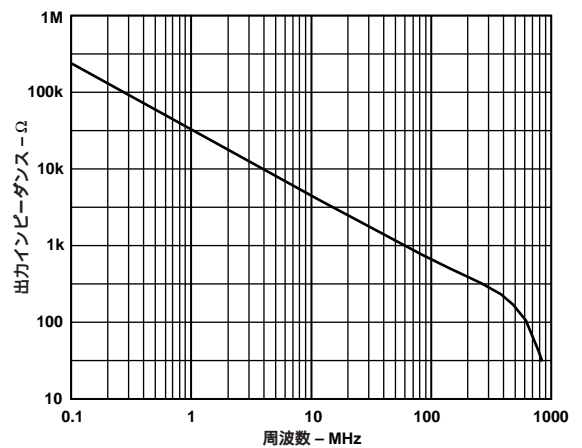


図23 .AD8115のディスエーブル状態出カインピーダンスと周波数の関係

AD8114/AD8115

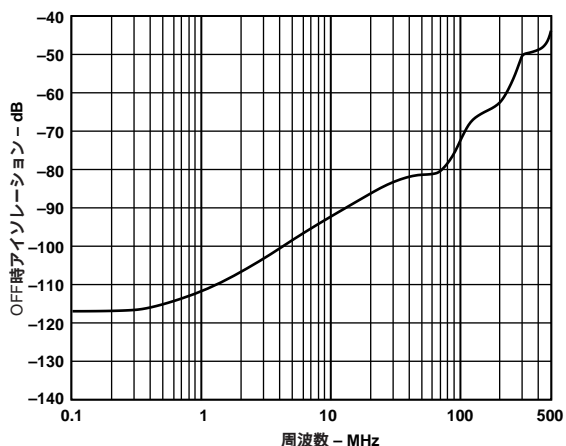


図24 . AD8114のOFF時アイソレーション、入出力間

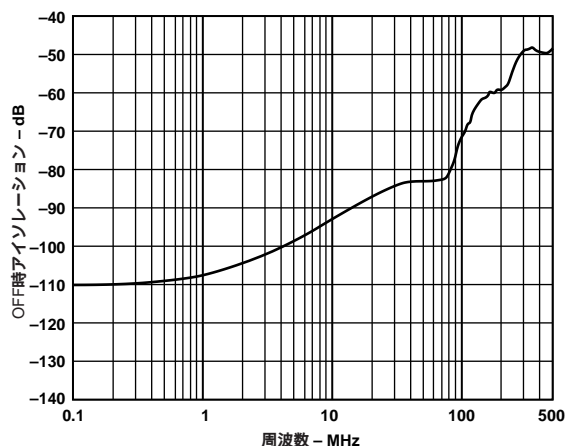


図27. AD8115のOFF時アイソレーション、入出力間

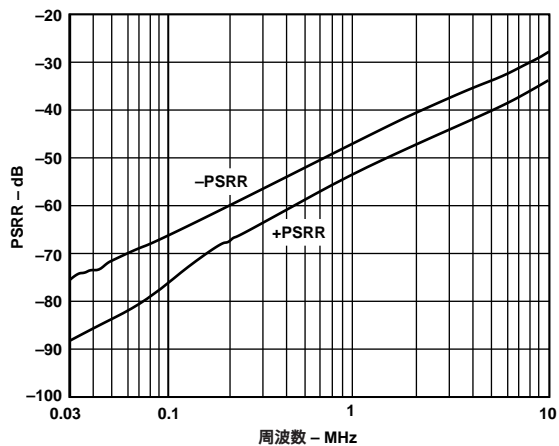


図25 . AD8114のPSRRと周波数の関係

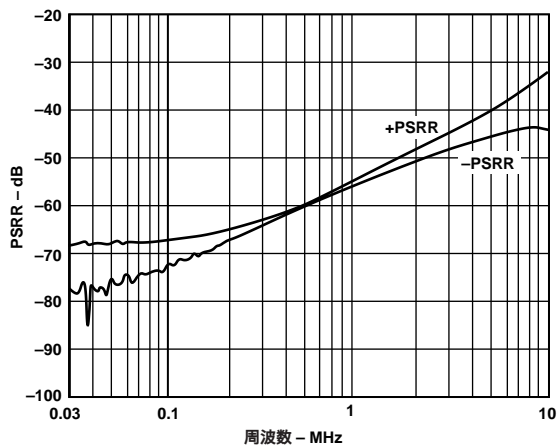


図28 .AD8115のPSRRと周波数の関係

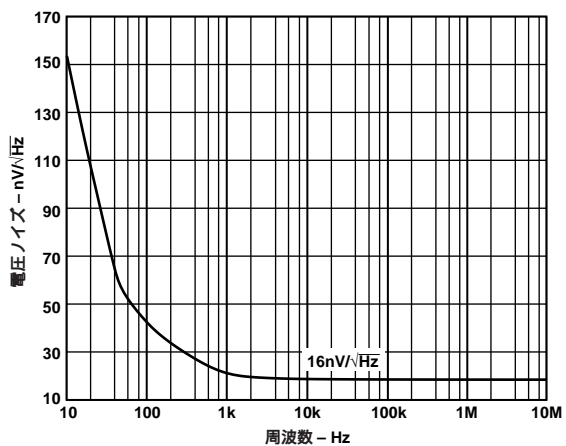


図26 .AD8114の電圧ノイズと周波数の関係

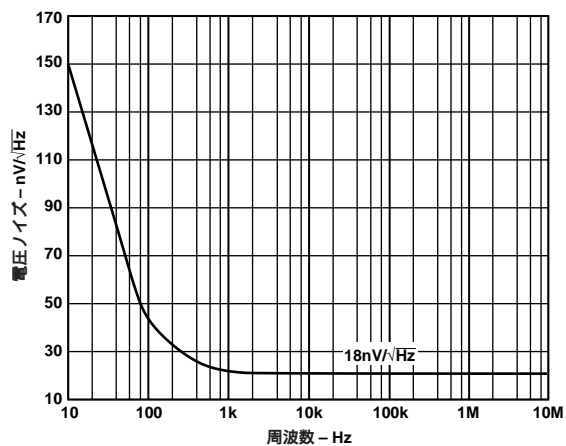


図29 .AD8115の電圧ノイズと周波数の関係

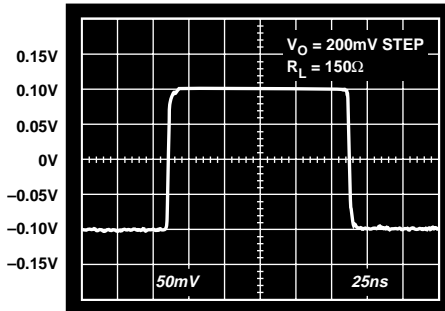


図30 . AD8114のパルス応答、小信号

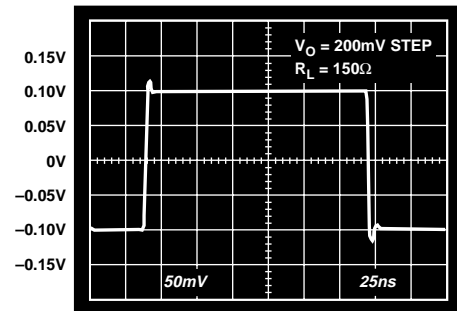


図33 . AD8115のパルス応答、小信号

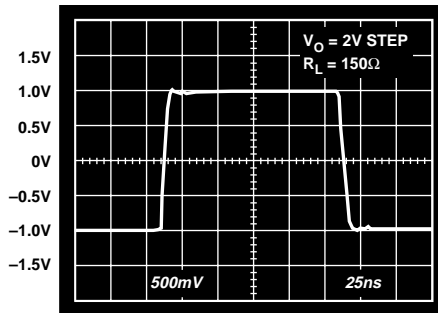


図31 . AD8114のパルス応答、大信号

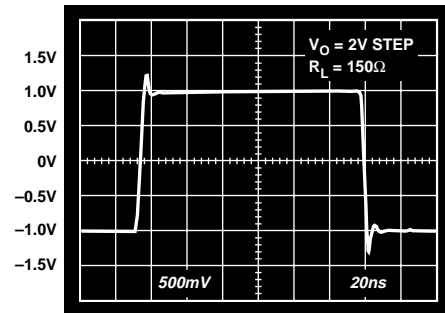


図34 . AD8115のパルス応答、大信号

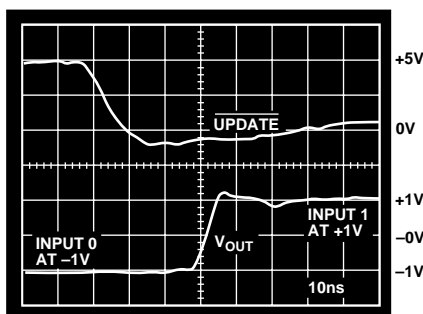


図32 . AD8114のスイッチング時間

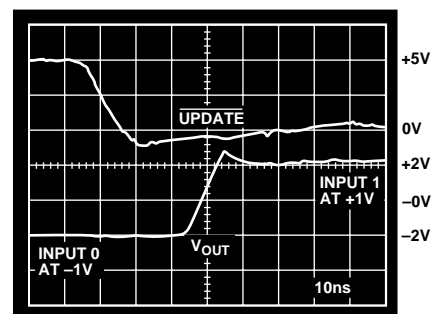


図35 . AD8115のスイッチング時間

AD8114/AD8115

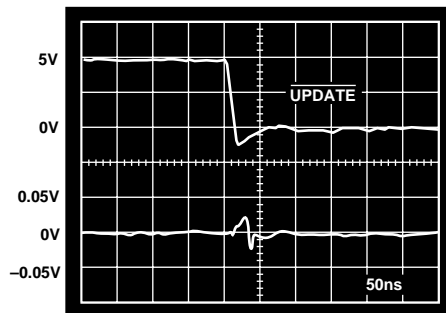


図36 . AD8114のスイッチング過渡電圧(グリッチ)

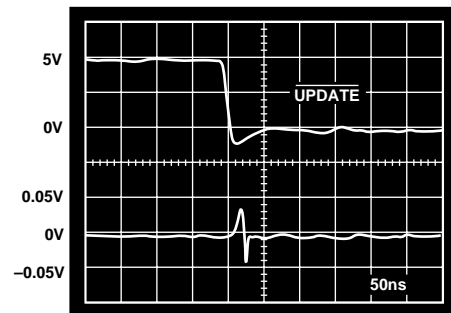


図39 . AD8115のスイッチング過渡電圧(グリッチ)

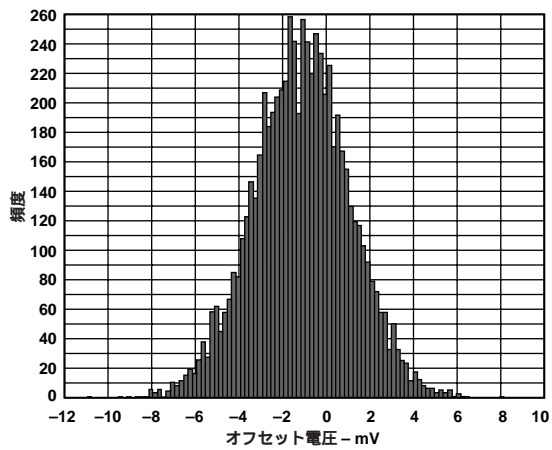


図37 . AD8114のオフセット電圧分布

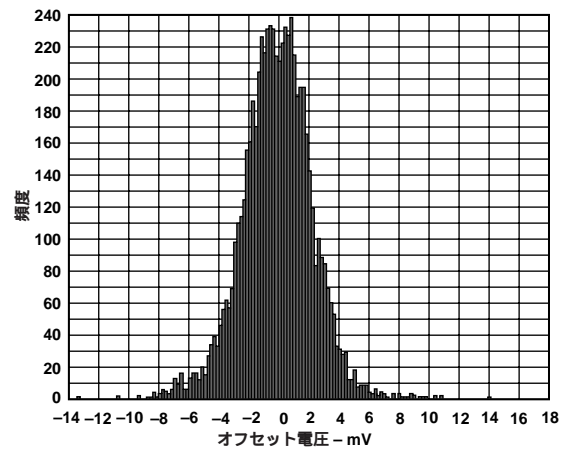


図40 . AD8115のオフセット電圧分布

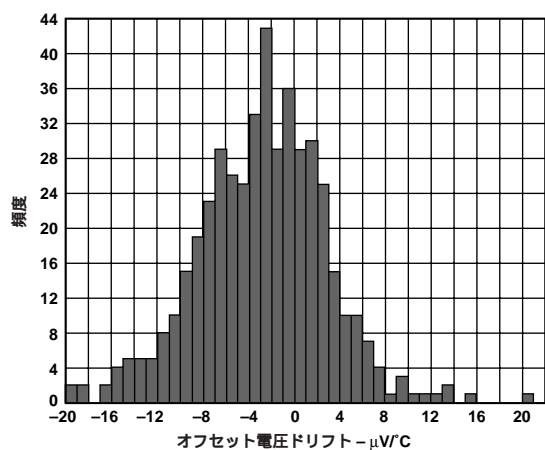


図38 . AD8114のオフセット電圧ドリフト分布(- 40 ~ +85)

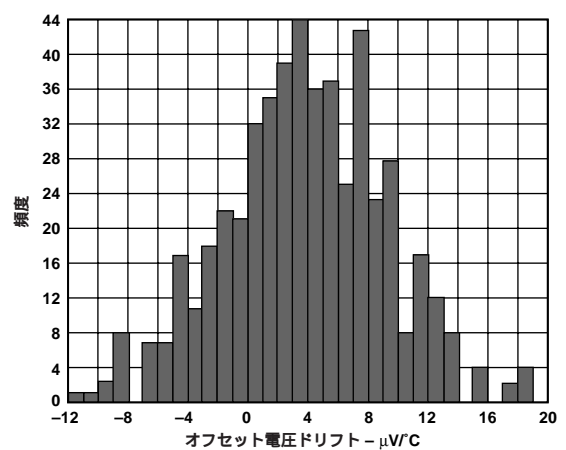


図41 . AD8115のオフセット電圧ドリフト分布(- 40 ~ +85)

動作原理

AD8114($G = +1$)とAD8115($G = +2$)は、16本の出力を持つクロスポイント・アレイで、各出力は16本の入力の中の任意の1つに接続することができます。出力の行により構成された16個のスイッチ可能な相互コンダクタンス・ステージは各出力バッファに接続され、16対1のマルチプレクサを構成しています。16行の相互コンダクタンス・ステージの各々は、並列に16本の入力ピンに接続されており、アレイ全体として256個の相互コンダクタンス・ステージを構成しています。各出力のデコーディング・ロジックは、相互コンダクタンス・ステージの1つを選択して(全く選択しないことも可)出力ステージを駆動します。相互コンダクタンス・ステージはNPNの入力差動対であり、折り畳まれたカスコード出力ステージへ電流を流します。補償ネットワークとエミッタ・フォロアの出力バッファが出力ステージにあります。電圧帰還によりゲインが設定され、AD8114はゲイン1に、AD8115は帰還ネットワークを持つゲイン2のアンプに、それぞれ設定されます。

このアーキテクチャは、逆終端されたビデオ負荷(150 Ω)を小さい微分ゲイン誤差と小さい微分位相誤差で、かつ比較的小さい消費電力で駆動することができます。使用しない出力と相互コンダクタンス・ステージをディスエーブルすると、さらに消費電力を削減することができます。各相互コンダクタンス・ステージをイネーブルすると、入力バイアス電流が少し増加します。

AD8114とAD8115の機能により、大規模なスイッチ・マトリクスの構成を簡単に行うことができます。両デバイスの未使用出力をディスエーブルして高インピーダンス状態にすることが可能なため、複数のIC出力をバス接続することができます。AD8115の場合、ゲイン2の帰還ネットワークのインピーダンスが出力の負荷にならないように、帰還アイソレーション方式が採用されています。入力バッファの追加が不要なため、さらに信号の劣化を導入することなく、高入力抵抗と低入力容量が容易に実現できます。イネーブルでのグリッチを制御するために、ディスエーブルされた出力電圧をイネーブル状態の通常電圧範囲内(± 3.3 V)に維持しておくことが推奨されます。必要に応じて、出力負荷抵抗をグラウンドに接続して、ディスエーブルされた出力が範囲外にドリフトしないようにすることができます。

フレキシブルなTTL互換ロジック・インターフェースにより、マトリクスのプログラムが簡単になります。ラッチの最初の列に対するパラレル・ロードまたはシリアル・ロードにより、各出力がプログラムされます。グローバル・ラッチが同時に全出力を更新します。パワーオン・リセット・ピンを使用して、全出力をディスエーブルすることにより、バスの競合を回避することができます。

アプリケーション

AD8114/AD8115には、クロスポイント・マトリクスのプログラミングを変更する2つのオプションがあります。1つ目のオプションは、マトリクス全体をその都度更新する80ビットのシリアル・ワードを使用する方法です。2つ目のオプションは、1本の出力のプログラミングをパラレル・インターフェースを使用して変更する方法です。このシリアル・オプションでは、信号数が少なく済みますが、プログラミングの変更に時間(クロック・サイクル数)を要します。一方、パラレル・プログラミング方式では、信号数が多くなりますが、1本の出力を1回で変更することができ、プログラミングに要するクロック・サイクル数が少なく済みます。

シリアル・プログラミング

シリアル・プログラミング・モードでは、デバイス・ピン \overline{CE} 、CLK、DATA IN、UPDATE、SER/PARを使用します。最初のステップは、SER/PARにLowをアサートして、シリアル・プログラミング・

モードをイネーブルすることです。デバイスにデータをクロックで入力するためには、チップの \overline{CE} はLowである必要があります。複数のデバイスが並列接続されている場合、 \overline{CE} 信号を使用して、個々のデバイスをアドレス指定することができます。

データがデバイスのシリアル・ポートにシフト入力されている間、UPDATE信号はHighである必要があります。UPDATEがLowのときに、データのシフト入力が続いていても、トランスペアレント非同期ラッチがデータのシフトを可能にし、マトリクスへ出力します。これにより、シフト中のデータに従って、マトリクスは自分自身を各中間状態に更新しようとします。

DATA INでデータは、CLKの各立下がりエッジでクロック駆動されます。プログラミングには合計80ビットがシフト入力される必要があります。各16本の出力に対して、その入力ソースを指定する4ビット(D0~D3)、その後ろに出力のイネーブル状態を指定する1ビット(D4)が存在します。D4がLow(出力をディスエーブル)の場合、その出力に接続される入力が存在しないため、対応する4ビット(D0~D3)は意味を持ちません。

上位出力アドレス・データが先にシフト入力され、続いて下位出力アドレス・データがシフト入力されます。この時点で、UPDATEをLowにすることができます。これにより、直前にシフト入力されたデータに従って、デバイスのプログラミングが開始されます。UPDATEレジスタは非同期で、UPDATEがLowのとき(かつ \overline{CE} がLow)トランスペアレントになります。

複数のAD8114/AD8115デバイスをシステム内でシリアルにプログラムする場合は、1つのデバイスのDATA OUT信号をシリアル・チェーン内の次のデバイスのDATA INに接続します。CLK、 \overline{CE} 、UPDATE、SER/PARの各ピンは並列に接続し、上記のように動作させます。チェーン内の先頭デバイスのDATA INピンにシリアル・データを入力し、最後のデバイスまでリップル接続します。したがって、チェーン内の最終デバイスのデータは、プログラミング・シーケンスの始めにくる必要があります。プログラミング・シーケンスの長さは、80ビットにチェーン内のデバイス数を乗算した値になります。

パラレル・プログラミング

パラレル・プログラミング・モードを使用する場合は、マトリクスに対する変更を行うときにデバイス全体を再プログラムする必要はありません。実際、パラレル・プログラミングを使用すると、1本の出力の変更を1回で行うことができます。これは1CLK/UPDATEサイクルしか必要としないため、パラレル・プログラミングを使うと大幅に時間を節約することができます。

パラレル・プログラミングを使用する際に重要な考慮事項は、RESET信号はAD8114/AD8115内の全レジスタをリセットしないということです。この信号をLowにすると、RESET信号は各出力をディスエーブル状態に設定するだけです。これは、パワーアップ時に、2本のパラレル出力を同時にアクティブにしないことを保証する際に便利です。

初期のパワーアップ後、RESET信号がアサートされていても、デバイス内の内部レジスタ値は一般にランダムになります。パラレル・プログラミングを使って1本の出力をプログラムする場合、その出力は正常にプログラムされますが、パワーアップ時の内部レジスタの値に応じて、デバイスの他の部分はランダムなプログラム状態になってしまいます。したがって、パラレル・プログラミングを使用する場合は、パワーアップ後に、必ず全出力を所望状態にプログラムする必要があります。これにより、マトリクスのプログラミングでは、常に既知状態で行われることが保証されます。それ以降、パラレル・プログラミングを使って、1本または複数本の出力を1回で変更することができます。

AD8114/AD8115

同様に、最初のパワーアップ後に \overline{CE} と \overline{UPDATE} をLowにすると、シフトレジスタ内のランダムなパワーアップデータがマトリクスにプログラムされてしまいます。したがって、クロスポイントが未知状態にプログラムされるのを防止するため、最初にパワーアップした後に、 \overline{CE} と \overline{UPDATE} の両方にLowロジック・レベルを入力しないようにします。

最初のパワーアップ後にシリアルまたはパラレル・プログラミングにより、シフトレジスタ全体を1回で所望の状態にプログラムすると、マトリクスを未知状態にプログラムしてしまう可能性をなくすることができます。

パラレル・プログラミングを使って出力の設定を変更するときは、 $\overline{SER}/\overline{PAR}$ と \overline{UPDATE} をHighにし、 \overline{CE} をLowにします。CLK信号はHigh状態にある必要があります。書き込み対象出力の4ビット・アドレスをA0~A3に入力します。最初の4データ・ビット(D0~D3)では、アドレス指定した出力に書き込む入力指定する情報を指定します。4番目のデータ・ビット(D4)では、出力のイネーブル状態を指定します。D4をLow(出力をディスエーブル)すると、D0~D3上のデータは無視されます。

アドレス信号とデータ信号を設定すると、これらの信号をCLK信号のHighからLowの変化でシフトレジスタにラッチすることができます。ただし、 \overline{UPDATE} 信号がLowになるまで、マトリクスはプログラムされません。このため、先ず、 \overline{UPDATE} がHighの間に連続するCLKの立下がりエッジを使って、新しいデータを一部または全部の出力に対してラッチ入力し、その後で \overline{UPDATE} をLowにして、そのすべての新しいデータを有効にすることができます。この方法は、パラレル・プログラミングを使用する場合、パワーアップ後に始めてデバイスをプログラミングする際に使用する的方法です。

パワーオン・リセット

AD8114/AD8115をパワーアップする際、一般に出力をディスエーブル状態で立上がらせることが望まれます。 \overline{RESET} ピンをLowにすると、全出力がディスエーブル状態になりますが、 \overline{RESET} 信号はAD8114/AD8115内の全レジスタをリセットしません。この機能はパラレル・プログラミング・モードで動作する場合に重要です。パワーアップ後の内部レジスタのプログラミングについては、その節を参照してください。シリアル・プログラミングでは、毎回マトリクス全体をプログラムするため特別の注意は不要です。

パワーアップ後にシフトレジスタのデータはランダムになってしまうため、マトリクスのプログラムに使用することはできません(すなわち、マトリクスを既知状態にする必要があります)。このようなことを生じさせないために、パワーアップ後、最初に \overline{CE} と \overline{UPDATE} の両方にロジックLowを入力しないでください。まず、シフトレジスタに所望のデータをロードし、次に \overline{UPDATE} をLowにしてデバイスをプログラムします。

\overline{RESET} ピンにはDVDDに接続された20kΩのプルアップ抵抗が付いており、この抵抗を使って簡単なパワーアップリセット回路を構成することができます。キャパシタを \overline{RESET} とグラウンドの間に接続すると、デバイスが安定するまで \overline{RESET} をLowにしておくことができます。このLow状態により、すべての出力がディスエーブルされます。このキャパシタがプルアップ抵抗を介してHigh状態に充電されると、デバイスのすべてのプログラミング機能が使用可能になります。

ゲインの選択

16×16クロスポイントにはアナログ回路パスのゲインが異なる2つのバージョンがあります。AD8114デバイスは単位ゲインを持ち、アナログ・ロジックのスイッチングと単位ゲインを必要とするアプリケーションに使用できます。AD8114は、出力信号の終端を必要

としない大規模なクロスポイント・アレイの入力部分と内部選択部分にも使用することができます。AD8114の出力は、ディスエーブル状態で非常に高いインピーダンスを持ちます。

AD8115は、出力で終端されたケーブルを駆動する際に使うデバイスとして使用することができます。このデバイスはゲインが2であり、ビデオ・ラインを駆動するためのゲイン2のバッファの追加を不要にします。出力ディスエーブル状態の高インピーダンスにより、出力を並列接続する際に信号の品質低下を最小に抑えます。

大規模なクロスポイント・アレイの作成

AD8114/AD8115は、16×16より大きなディメンジョンを持つクロスポイント・アレイを構成するための高集積ビルディング・ブロックです。出力ディスエーブル、チップ・イネーブル、ゲイン1とゲイン2のオプションなどの様々な機能は、大規模なアレイを構成するときに役立ちます。クロスポイント・アレイのサイズをカスタマイズする必要がある場合、AD8108やAD8109、1対の(ゲイン1およびゲイン2)の8×8ビデオ・クロスポイント・スイッチ、またはAD8110とAD8111、1対の(ゲイン1およびゲイン2)の16×8ビデオ・クロスポイント・スイッチなどと組み合わせ使用することができます。

大規模クロスポイントを構成する際に最初に考慮すべきことは、所要デバイス数を最小にすることです。AD8114/AD8115の16×16アーキテクチャには256“ポイント”が含まれており、このポイント数は4×1クロスポイント(またはマルチプレクサ)の64倍です。PCボード領域、消費電力、デザイン工数の節約は、これらの小型デバイスを使用する場合と比較すると明確です。

非ブロッキング・クロスポイントの場合、所要ポイント数は入力数と出力数の積になります。非ブロッキングでは、ある入力を1つまたは複数の出力にプログラムしても、その入力を別の出力にも接続できることを制限しないことが必要とされます。

非ブロッキング・クロスポイント・アーキテクチャによっては、上で計算した最小値より多いデバイス数を必要とすることもあります。また、この最小値より少ないデバイス数で構成できるブロッキングアーキテクチャも存在します。これらのシステムは統計的に使用可能な接続性を持ち、この統計的に使用可能な接続性はシステム全体のデザインで決定されます。大規模クロスポイント・アレイ構成の基本概念は、入力同士を水平方向に並列に接続し、次に垂直方向に出力同士を“ワイヤードOR”接続することです。このときの水平と垂直の意味は、図を見ると明らかになります。図42に、4個のAD8114またはAD8115を使用する32×32クロスポイント・アレイの概念を示します。

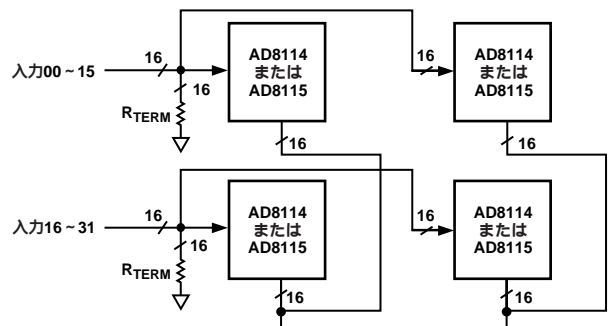


図42. 4個のAD8114または4個のAD8115を使用する32×32クロスポイント・アレイ

各入力は2個のデバイスの32本の各入力にユニークに対応させ、それぞれ終端されます。出力同士を対にしてワイヤードOR接続します。ワイヤードOR接続された1つの対からの出力だけを同時にイ

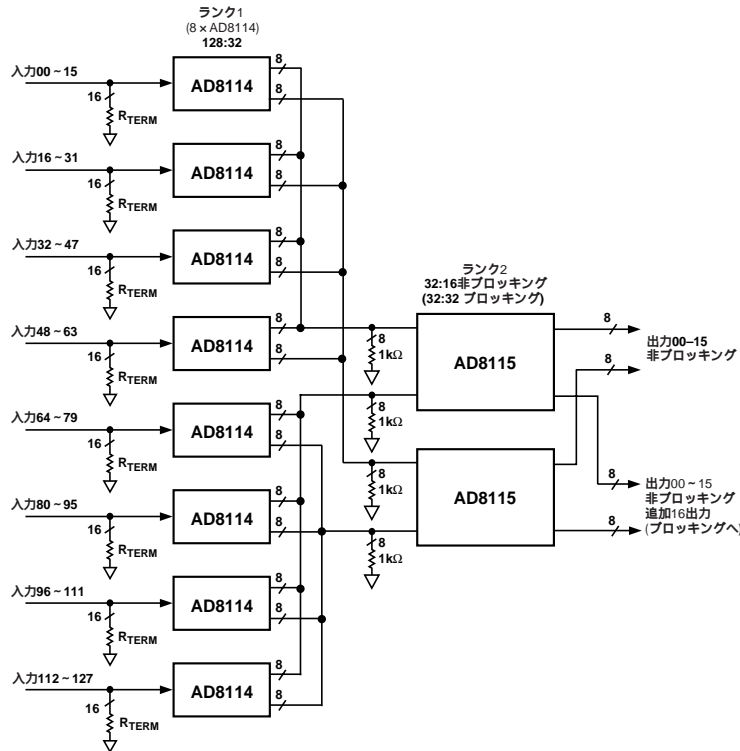


図43 . 非ブロッキング128 × 16アレイ (128 × 32ブロッキング)

ネーブルするようにします。デバイスをプログラムするソフトウェアは、これを実現するように正しく作成する必要があります。

デザイン内でクロスポイント・デバイスをさらに追加すると、ワイヤードOR接続する出力数を少なくすることができます。図43に、8個のAD8114と2個のAD8115を使用して、ゲイン2を持つ非ブロッキングの128 × 16クロスポイントで、かつ出力でのワイヤードOR接続を4本の出力に制限したシステムのブロック図を示します。さらに、ランク2の2個のAD8115の各々からの下位8本の出力を使って、1つのブロッキング128 × 32クロスポイント・アレイを実現することができます。ただし、この方法には欠点があります。カスケード接続された種々のデバイスのオフセット電圧が累積され、デバイスの帯域幅制限が生じてしまいます。その上、デバイスの追加により消費電流が増え、ボード・スペースも増加します。繰り返しのようになりますが、システム全体のデザイン仕様により、トレードオフの方法が決定されます。

多チャンネル・ビデオ

AD8114/AD8115の優れたビデオ仕様により、コンポジット・ビデオのクロスポイント・スイッチを構成するための最適な候補になっています。AD8114/AD8115の高度な集積度とコンポジット・ビデオはシステム・ビデオ・チャンネル当たり1クロスポイント・チャンネルしか必要でないという事実を利用することにより、集積度の高いものを実現することができます。ただし、AD8114/AD8115を使ってルーティングできる他のビデオ・フォーマットによっては、ビデオ・チャンネル当たり複数のクロスポイント・チャンネルを必要とするものもあります。

システムによっては、ツイストペア線を使ってビデオ信号を伝送するものもあります。これらのシステムでは、低価格なケーブル、コネクタ、終端方法を使用できるため、差動信号を使用してコストを抑えます。また、クロストークを削減し、同相モード信号を除去することができ、この機能はノイズの多い環境または送信装置と受信装置の間で同相モード電圧が生じる環境で動作する装置に対して

は重要になります。

このようなシステムではビデオ信号を差動にします。すなわち、信号の正バージョンおよび負(すなわち反転)バージョンを使います。これらの相補信号をツイストペアの2本の各々の線を使用して伝送すると、一次同相モード電圧をゼロにすることができます。受信端では、各信号を差動で受信して、シングル・エンド信号に戻します。

これらの差動信号をスイッチングする場合は、ビデオ・チャンネルを構成する2本の差動信号を処理するため、スイッチング・エレメント内では2チャンネルが必要になります。このため、差動ビデオの1チャンネルがクロスポイント・チャンネルの対(入力と出力)に割り当てられます。1個のAD8114/AD8115で、差動ビデオ8チャンネルを16本の入力と16本の出力に割り当てることができます。これにより、1つの8 × 8差動クロスポイント・スイッチが実現できます。

このようなデバイスのプログラミングでは、入力と出力を対にしてプログラムする必要があります。この情報は、AD8114/AD8115のプログラミングフォーマットとシステムの条件を調べることにより少なくすることができます。

この他に、1ビデオ・チャンネル当たり複数のアナログ回路を必要とするアナログ・ビデオフォーマットもあります。衛星テレビ、デジタル・ケーブルボックス、高品質VCRのようなシステムで広く採用されているSビデオまたはY/Cビデオと呼ばれる2回路フォーマットがあります。このフォーマットでは、ビデオ信号の輝度部分(ルミナンスすなわちY)を1チャンネルで、カラー部分(すなわち、クロミナンス、クロマまたはC)を2つ目のチャンネルで伝送します。

Sビデオでは2つの別々の回路を1ビデオチャンネルに対して使用するため、クロスポイント・システムを作成するときは、差動ビデオ・システムの場合と同様に、1ビデオ・チャンネルを2クロスポイント・チャンネルに割り当てる必要があります。ビデオフォーマットの違いの他は、これら2システムは同じです。

AD8114/AD8115

この他に、ビデオ情報の伝送に3チャンネルを使うビデオフォーマットもあります。ビデオ・カメラは、イメージ・センサーから直接RGB(赤、緑、青)を発生します。RGBはコンピュータ内部でグラフィックス用に使用される普通のフォーマットです。RGBはY、R-Y、B-Yフォーマットに変換することができます。これはYUVフォーマットと呼ばれることもあります。これら3回路ビデオ規格はコンポジット・アナログ・ビデオと呼ばれます。

このコンポーネント・ビデオ規格では、1ビデオ・チャンネル当たり3クロスポイント・チャンネルを使ってスイッチング機能进行处理することが必要になります。2回路ビデオフォーマットと同様に、入力と出力は3本1グループとして割り当てられ、適切なロジック・プログラムを行って、ビデオ信号のルーティングを行います。

クロストーク

多数のアナログ信号チャンネルを処理する放送ビデオのような多くのシステムは、システム内の種々の信号が他の信号から干渉を受けないようにする厳しい条件を持っています。クロストークは、他の近接チャンネルからあるチャンネルへ信号が混入することを表す用語です。

システム内で近接して多数の信号が存在する場合、明らかにAD8114/AD8115を使用するシステムもこれに該当しますが、クロストーク問題は複雑な問題になります。複数のAD8114/AD8115を使用するシステムの仕様を定めるためには、クロストークの性質と用語の定義を理解しておく必要があります。

クロストークの種類

クロストークは3つの方法で伝搬します。これらは、電界、磁界、コモン・インピーダンスの共有の3種類に分類されます。この節ではこれらの影響について説明します。

どの導体も、電界の放射器と電界の受信器の両方になることができます。電界クロストークメカニズムは、送信器により発生された電界が浮遊容量(例えば自由空間)を伝搬し、受信器に結合されて電圧を誘導するときに発生します。この電圧は、それを受信するチャンネル内では不要なクロストーク信号になります。

導体に流入する電流は、その電流の回りに磁界を発生します。これらの磁界は、電流が流入したその導体に接続されている導体に電圧を発生させます。これら他のチャンネル内の不要な誘導電圧が、クロストーク信号になります。クロストークが発生したチャンネルは、1つのチャンネルから別のチャンネルに信号を結合する相互インダクタンスを持つということができます。

多チャンネル・システム内の電源、グランド、その他の信号の各リターン・パスは、一般に、多くのチャンネルによって共用されます。1つのチャンネルから流出する電流がこれらのパスの1つに流入すると、インピーダンスの両端に発生する電圧が、コモン・インピーダンスを共有する他のチャンネルに対する入力クロストーク信号になります。

これらすべてのクロストーク源はベクトル量であり、全クロストークを得るとき単純にこれらの振幅を加算するだけでは済みません。実際、ある構成内で並列に追加した回路を駆動するときに実際にクロストークを減少させるための条件が存在します。

クロストークの領域

実用的なAD8114/AD8115回路の場合、デバイスを電源と計測装置に接続するためにある種の回路ボードに実装することが必要になります。デバイスに固有なクロストークの他にクロストークを追加しないようなキャラクタライゼーションボード(評価ボードもこの

目的で使用可)を作成するように十分な注意が要ります。ただし、これにより、システムのクロストークはデバイスに固有なクロストークとデバイスが実装される回路ボードのクロストークの組み合わせであるという問題が生じます。クロストークの影響を小さくするためには、クロストークのこれらの2つの領域を分離することが重要になります。

さらに、クロストークはクロスポイントに対する入力間とクロスポイントの出力間でも発生します。また入力から出力に対しても発生します。次に、クロストークに関係しているシステムの部分を調べる方法について説明します。

クロストークの測定

クロストークは、1チャンネルまたは複数のチャンネルに信号を入力して選択したチャンネル上のその信号の相対強度を測定することにより、測定されます。測定値は、一般に、テスト信号振幅に対する減衰をdBで表します。クロストークは次式で表されます。

$$|XT| = 20 \log_{10}(A_{\text{sel}}(s)/A_{\text{テスト}}(s))$$

ここで、 $s = j\omega$ はラプラス変換変数であり、 $A_{\text{sel}}(s)$ は選択したチャンネルに誘導されたクロストーク信号の振幅で、 $A_{\text{テスト}}(s)$ はテスト信号の振幅です。クロストークは周波数の関数ですが、テスト信号振幅の関数ではないと見ることができます(一次近似)。さらに、クロストーク信号は対応するテスト信号に関係した位相を持ちます。

ネットワークアナライザは、注目の周波数範囲でクロストークを測定する際に広く使用されています。この装置はクロストーク信号の振幅と位相の両情報を提供します。

クロスポイント・システムまたはデバイスの規模が大きくなると、理論的なクロストークの組み合わせと順列の数は極端に大きくなります。例えば、AD8114/AD8115の 16×16 マトリクスについて、1つのチャンネル(例えばIN00入力)に対して考えられるクロストーク項数を調べることができます。IN00をAD8114/AD8115の出力の1つに接続するようにプログラムします。この出力で測定を行います。まず、テスト信号を他の15本の入力の各々に1回に1つずつ入力することに対応するクロストーク項を測定することができます。このときIN00には信号を何も入力しません。その後で、並列テスト信号を他の全15本の入力に、1回に2本ずつ、全組み合わせについて入力したときに対応するクロストーク項を測定します。その後で、1回に3本ずつ入力して同様に測定する等々を続け、テスト信号を他の全15本の入力に並列に入力する最後の1通りだけの入力方法に至るまで続けます。

これらの各ケースは、理論上互いに異っており、計測システムの分解能に応じて固有な値を得ることができますが、これらすべての項を測定することは実用的には困難であり、各値を特定することはできません。さらに、この説明は、ただ1つの入力チャンネルについてのクロストーク・マトリクスにすぎません。同様のクロストーク・マトリクスが他の各入力に対しても存在します。さらに、入力を他の出力(測定に使用していない出力)に接続する組み合わせと順列を考慮すると、数値はすぐに天文学的になります。複数のAD8114/AD8115による大規模クロスポイント・アレイを作成する場合、数値はさらに大きくなります。

明らかに、これらのケースの部分集合を選び出して、クロストークの実用的な測定のガイドとして使用すべきです。

1つの一般的な方法は、“オール・ハッスル”クロストークを測定することです。この用語は、選択した以外の他の全システム・チャンネルを並列に駆動している間に、選択したチャンネルに対するクロストークを測定することを意味します。一般に、この測定では

ワースト・ケースのクロストーク値が得られますが、クロストーク信号はベクトル量であるため、常にワースト・ケースであるとは限りません。

他の有効なクロストーク測定値は、いずれかの端点での1つの隣接チャンネルまたは2つの隣接チャンネルにより発生された測定値です。これらのクロストーク測定値は、一般に、離れたチャンネル間の測定値より大きな値になり、他の1チャンネル・クロストーク測定値または2チャンネル・クロストーク測定値に対してワースト・ケース測定値として使用できます。

入力でのクロストークと出力でのクロストーク

AD8114/AD8115のフレキシブルなプログラミング機能を使って、入力側または出力側のいずれでクロストークがより大きく発生しているかを診断することができます。幾つかの例を示します。ある入力チャンネル(この例では中央にあるIN07)によりOUT07(これも中央にあります)を駆動するようにプログラムします。IN07に対する入力はグラウンドに終端しただけで(50 または75 を経由)信号は入力しません。

他の全入力は同じテスト信号で並列に駆動し(実際には分配アンプを使用) OUT07以外の他の全出力をディセーブルします。グラウンドに接続されたIN07はOUT07を駆動するようにプログラムされているため、IN07には信号を入力しません。他の出力は駆動されていないため(すべてディセーブルされています)出力される信号は、他の15本のハッスル入力信号に起因することになります。このため、この方法では、IN07のクロストークに寄与するすべてのハッスル入力を測定します。もちろん、他の入力チャンネルおよびハッスル入力の組み合わせに対してこの方法を使うことができます。

出力クロストーク測定では、1つの入力チャンネルを駆動し(例えばIN00) ある出力(中央のIN07)以外の全出力をIN00に接続するようにプログラムします。OUT07は、IN15(IN00より非常に離れています)に接続するようにプログラムします。IN15はグラウンドに終端します。そうすると、無信号の入力から受信するため、OUT07には信号が出力されません。OUT07で測定されるすべての信号は他の16本のハッスル出力の出力クロストークに起因することになります。この場合も、この方法は、他のチャンネルおよび他のクロスポイント・マトリクスの組み合わせを測定できるように変更することができます。

クロストークに対するインピーダンスの影響

入力側クロストークは、入力を駆動する信号源の出力インピーダンスの影響を受けます。駆動信号源のインピーダンスが小さいほど、クロストークの振幅は小さくなります。入力側での支配的なクロストークメカニズムは容量性結合です。高インピーダンス入力では、大きな電流は発生せず、磁界による誘導クロストークは発生しません。ただし、大きな電流が入力終端抵抗とそれらを駆動するループを通して流れることがあります。このため、入力側のPCボードが磁界結合のクロストークに寄与することがあります。

回路の点から、入力クロストークメカニズムは、抵抗性負荷を結合するキャパシタに似ています。低い周波数では、クロストークの振幅は次式で与えられます。

$$|XT| = 20 \log_{10} [(R_S C_M) \times s]$$

ここで、 R_S は信号源抵抗、 C_M はテスト信号回路と選択された回路の間の相互容量、 s はラプラス変換変数です。

式から、このクロストークメカニズムはハイパス特性を持っていることが分かります。入力回路の結合容量を小さくし、ドライバの

出力インピーダンスを小さくすることにより、クロストークを小さくすることも分かります。⁷⁵ 終端のケーブルで入力を駆動する場合、この信号を低出力インピーダンス・バッファでバッファリングすることにより、入力クロストークを小さくすることができます。

出力側では、軽い負荷を駆動することによりクロストークを小さくすることができます。AD8114/AD8115は、標準の150 ピデオ負荷を駆動する際に、仕様として優れた微分ゲインと微分位相を持っていますが、大きな出力電流に起因して達成可能な最小値より少し大きなクロストークになってしまいます。これらの電流は、出力ピンとAD8114/AD8115のボンディング・ワイヤーの相互インダクタンスを経由してクロストークを導入します。

回路の点から、この出力クロストークメカニズムは、負荷抵抗を駆動する巻線間に相互インダクタンスを持つ変成器に似ています。低い周波数では、クロストークの振幅は次式で与えられます。

$$|XT| = 20 \log_{10} (M_{xy} \times s / R_L)$$

ここで、 M_{xy} は出力Xと出力Yの間の相互インダクタンスで、 R_L は出力を測定するところの負荷抵抗です。相互インダクタンスを小さくし、 R_L を大きくすることにより、このクロストークメカニズムを最小化することができます。導体間の間隔を大きくし、平行部分の長さを短くすることにより、相互インダクタンスを小さく抑えることができます。

PCBのレイアウト

システム回路ボードにより発生される追加クロストークを最小にするよう最大の注意が必要です。注意しなければならない領域は、グラウンド、シールド、信号配線、電源バイパスです。

AD8114/AD8115のパッケージは、クロストークを最小に抑えるようにデザインされています。各入力はアナログ・グラウンド・ピンにより他の各入力から分離されています。これらすべてのAGNDは、回路ボードのグラウンド・プレーンに直接接続する必要があります。

これらのグラウンド・ピンは、シールド、低インピーダンス・リターン・パス、入力に対する物理的な分離を提供します。これらすべてがクロストークの削減に役立ちます。各出力は2本の隣接出力からある極性または別の極性のアナログ電源ピンにより分離されています。これらの各アナログ電源ピンは、2本の隣接出力だけの出力ステージに電源を供給しています。これらの電源ピンは、シールド、物理的分離、出力に対する低インピーダンス電源を提供しています。これら各電源ピンの各バイパスは0.01 μ Fチップ・キャパシタを直接グラウンド・プレーンに接続して行い、コモン・インピーダンスを共用するメカニズムを通して発生する高周波出力クロストークを最小にします。

また、各出力にはアナログ・グラウンド・ピンAGND00 ~ AGND07の近くに個別に接続されているオンチップ補償キャパシタがあります。この技術は、IC内とパッケージ・ピン内のコモン・インピーダンスを共用することにより、これらのパスに流入する電流が生じないようにして、クロストークを削減します。これらのAGNDxx信号はすべて直接グラウンド・プレーンに接続します。

入力信号と出力信号は、上下のレイヤー上のグラウンド・プレーンに挟まれていて、かつ間を通るグラウンドにより相互に分離されている場合、クロストークが最小になります。レイヤー間の接続は、できるだけICの近傍に配置して、入力と出力を中間レイヤーに接続します。入力信号と出力信号が表面を通過するのは、入力終端抵抗と出力直列逆側終端抵抗の場所だけに限定します。また、ICパッケージから出てきたら直ぐに、可能な限りこれらの信号を相互に離して配線します。

AD8114/AD8115

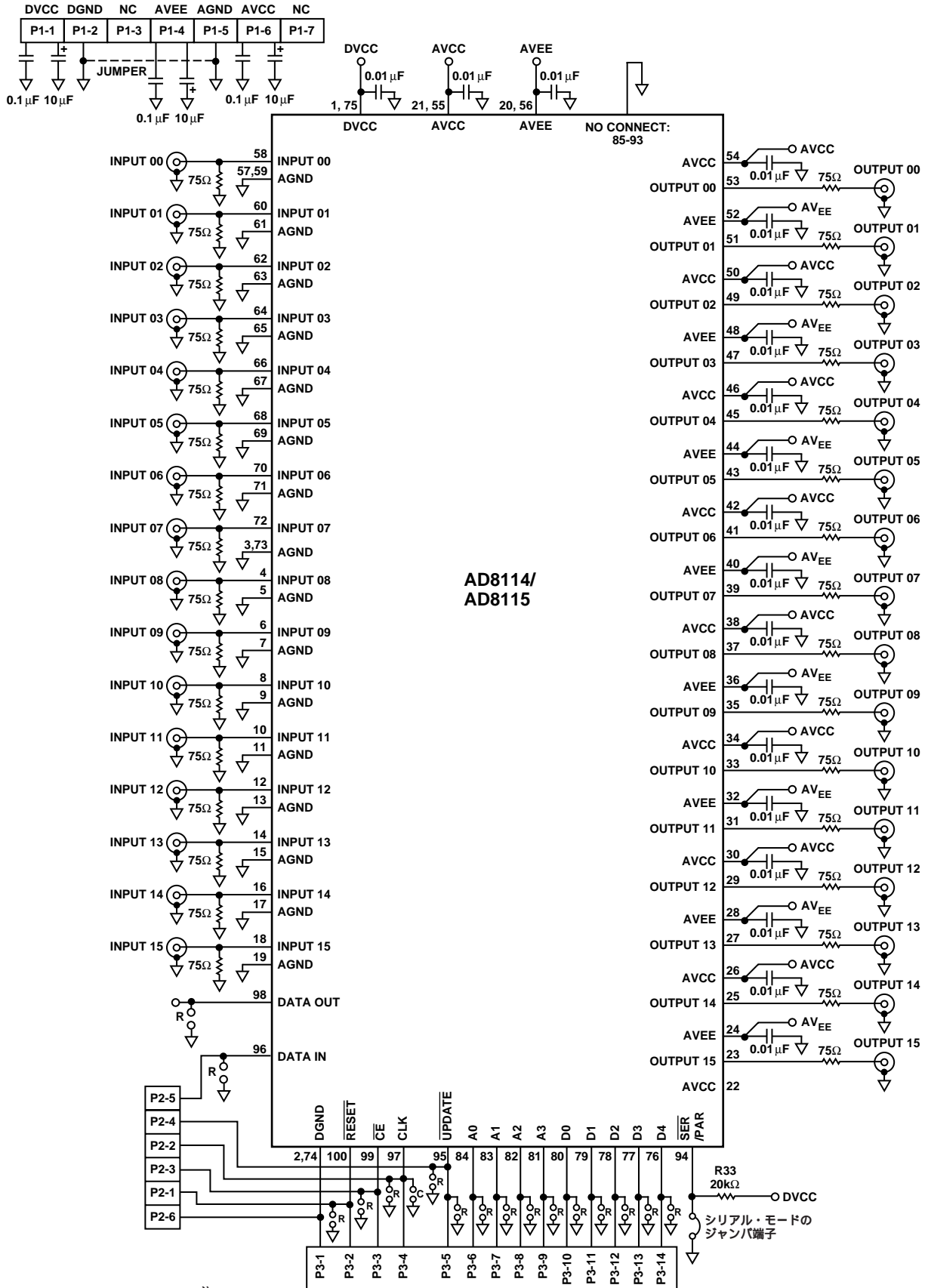


図44. 評価ボードの回路図

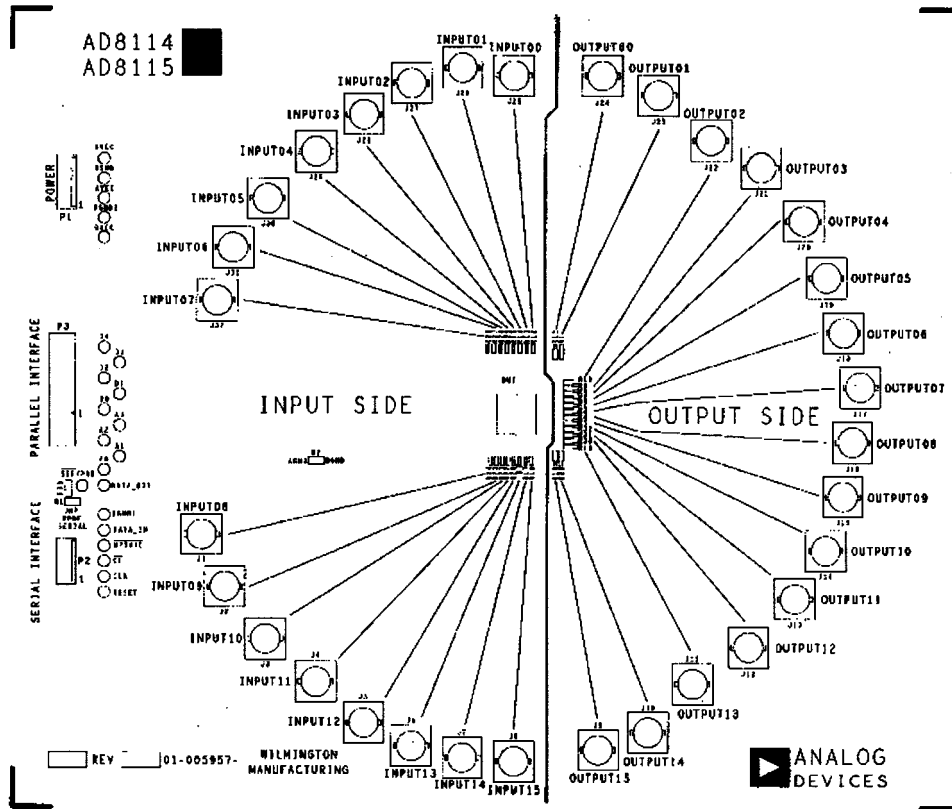


図45．部品面のシルクスクリーン

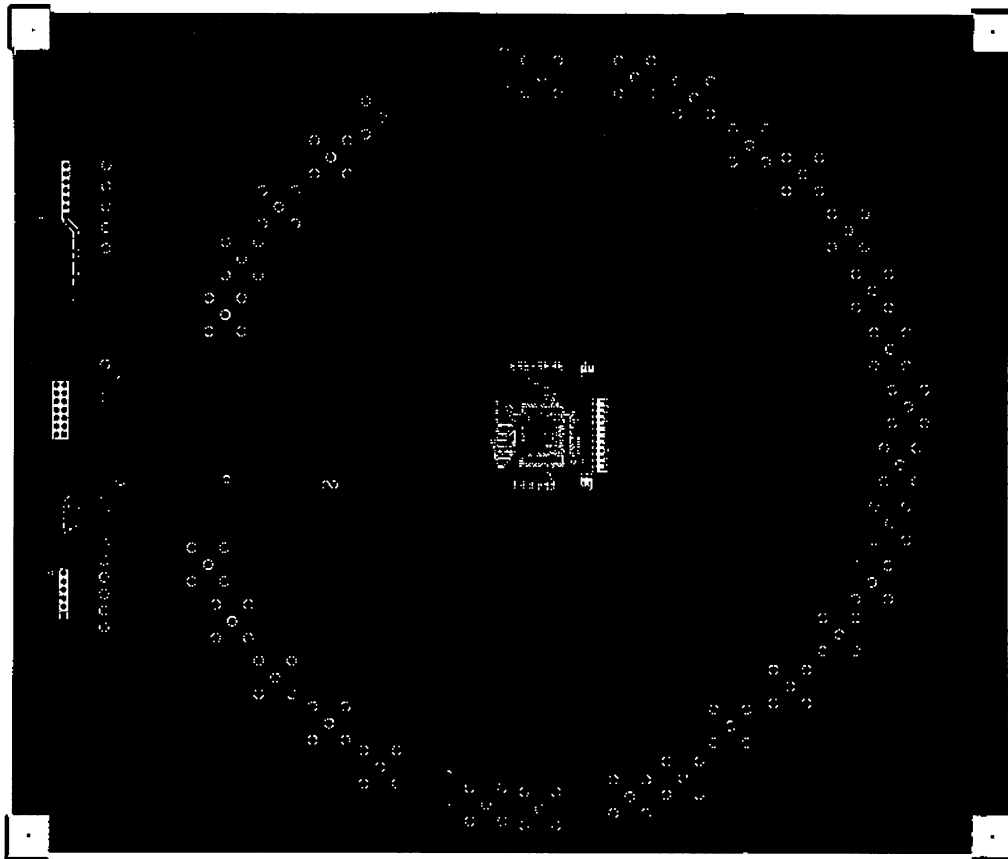


図46．ボード・レイアウト(部品面)

AD8114/AD8115

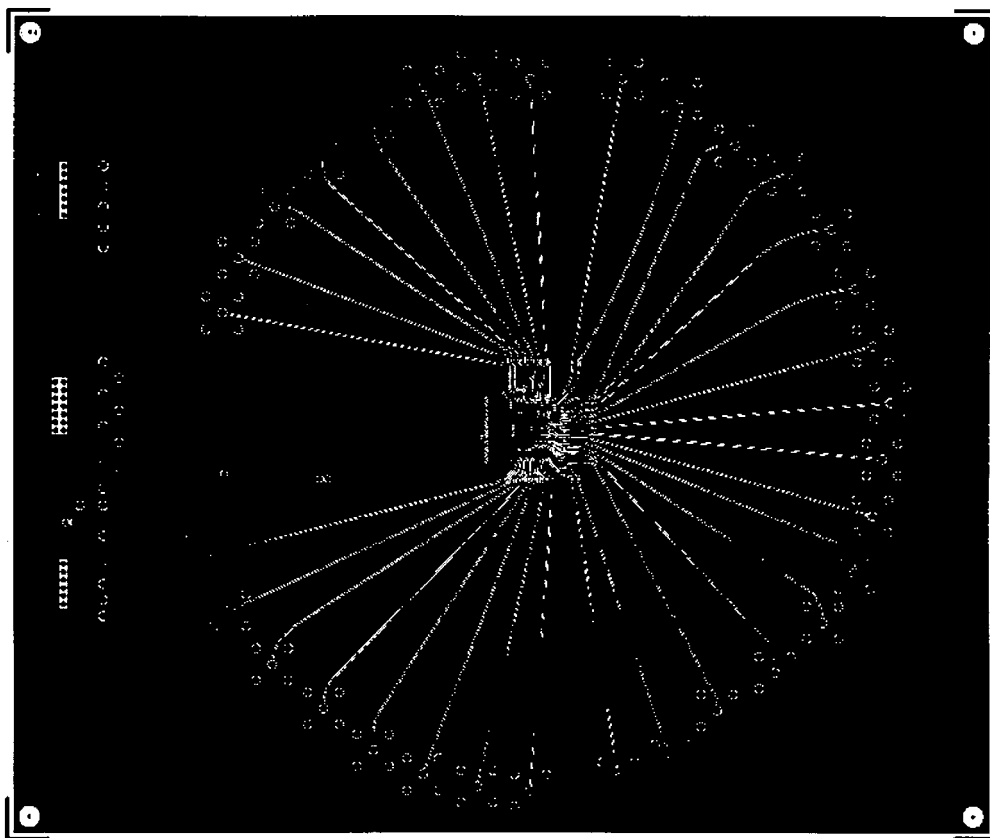


図47 . ボード・レイアウト(信号レイヤー)

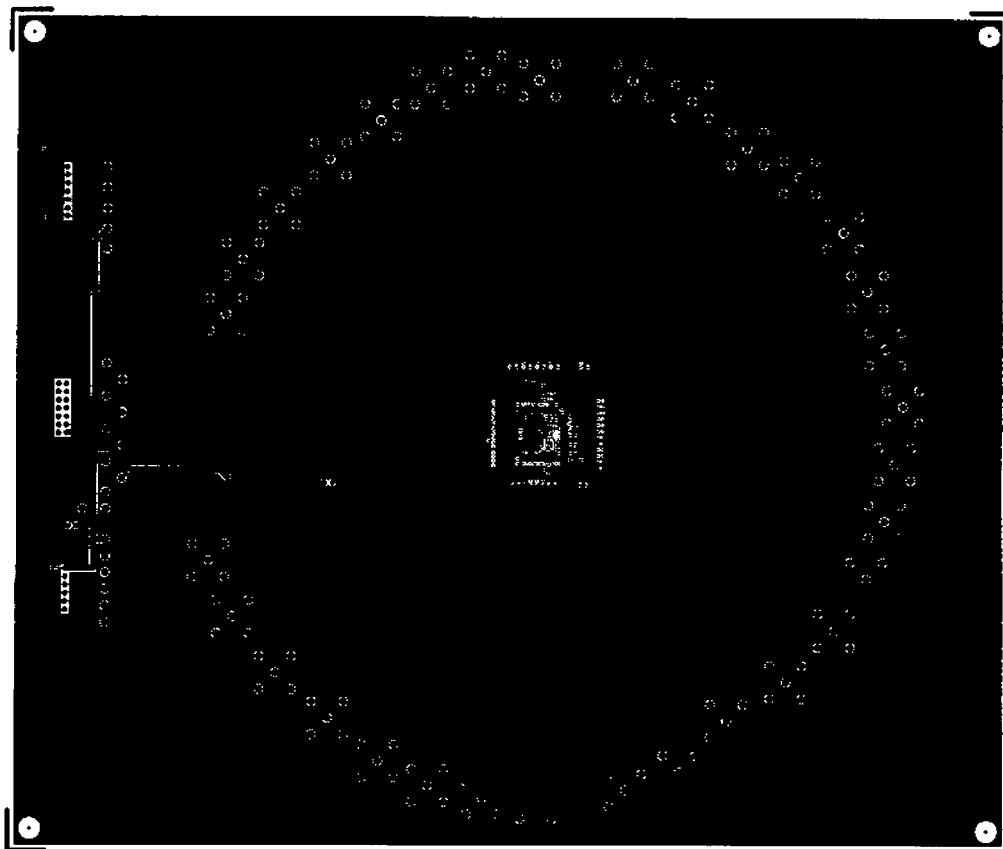


図48 . ボード・レイアウト(グランド・プレーン)

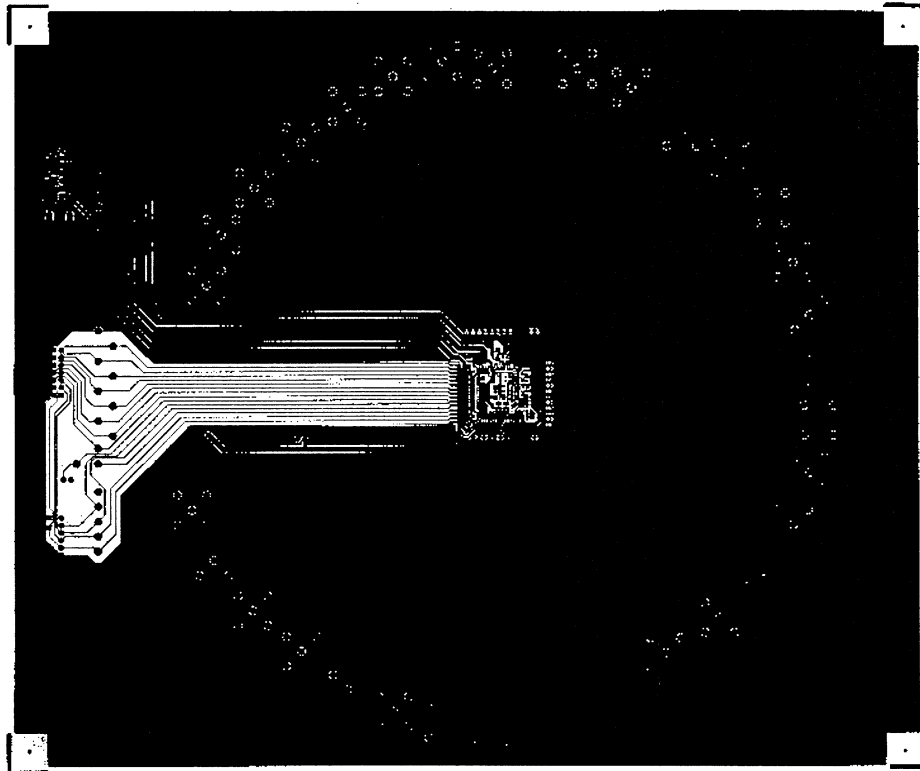


図49 . ボード・レイアウト(回路面)

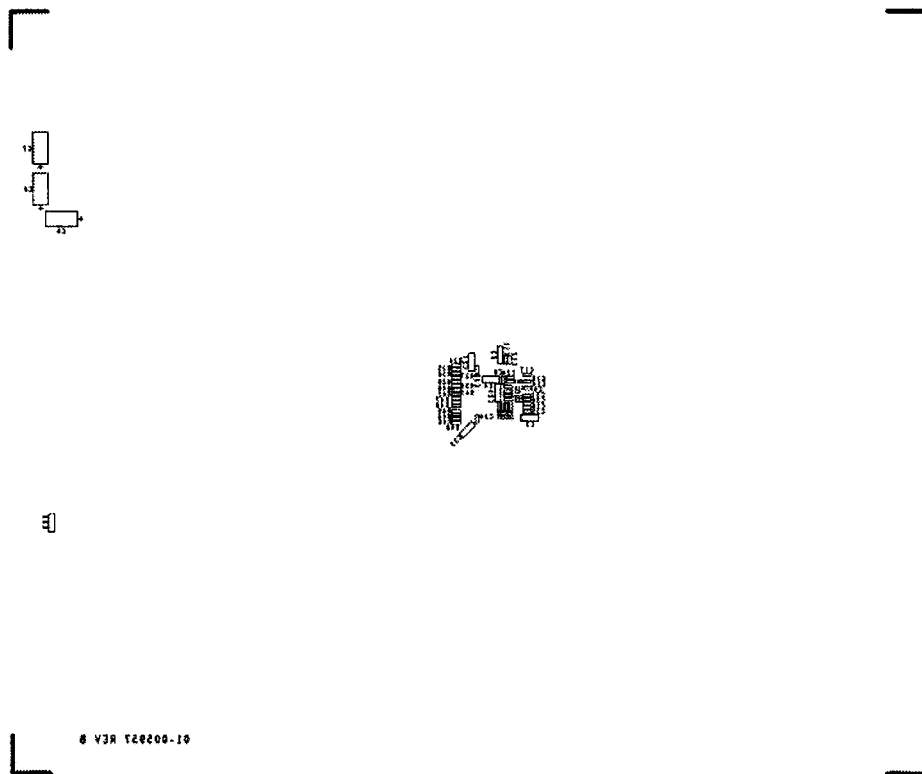


図50 . 回路面のシルクスクリーン

AD8114/AD8115

ビデオ・アプリケーション用に最適化されているため、全信号入力と全信号出力は75 Ω 抵抗で終端されています。ストリップライン技術を使って、信号入力ラインと信号出力ラインの特性インピーダンスを75 Ω に維持しています。図51に、入力パターンまたは出力パターンの1つの断面図を示します。またPCBレイヤーの配置も同時に示してあります。4レイヤーの未使用領域はグランド・プレーンで埋め尽くしていることに注意して下さい。そのために、インピーダンスの制御に加えて入力パターンと出力パターンが良くシールドされています。

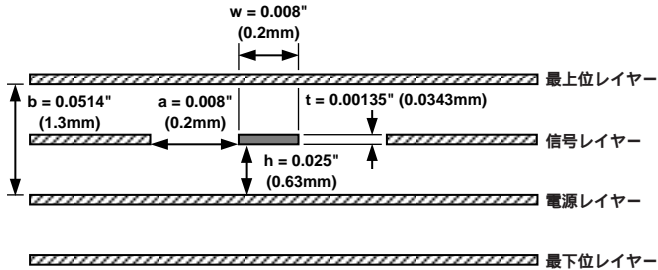


図51．入力パターンと出力パターン部分の断面図

このボードには、32個のBNCタイプ・コネクタがあります(入力用16個と出力用16個)。コネクタはデバイスを取り囲んで昇順で配置してあります。図47に示すように、16本のすべての入力信号パターンと16本のすべての信号出力パターンは、同じ長さになっています。このようにすると、位相関係と信号間の入出力間遅延が保存されるオール・ハッスル・クロストークの測定などのテストで便利です。

3本の電源ピンAVCC、DVCC、AVEEは、高品質で低ノイズの±5Vに接続します。同じ±5V電源をアナログとデジタルに対して使用する場合は、別々のケーブルを評価ボードのアナログ電源ピンとデジタル電源ピンに接続する必要があります。

一般的な規則として、各電源ピン(または隣接電源ピンのグループ)は、0.01 μFキャパシタを使ってローカルにデカップリングする必要があります。スペース上の制約がある場合は、アナログ電源ピンをデカップリングした後に、デジタル電源ピンをデカップリングすることが重要です。0.1 μFのキャパシタをピンのできるだけ近くに配置すると、多数の電源ピンのデカップリングに使用することができます。最後は、10 μFのキャパシタを使って、ボードに電源を接続する電源ラインをデカップリングすることです。

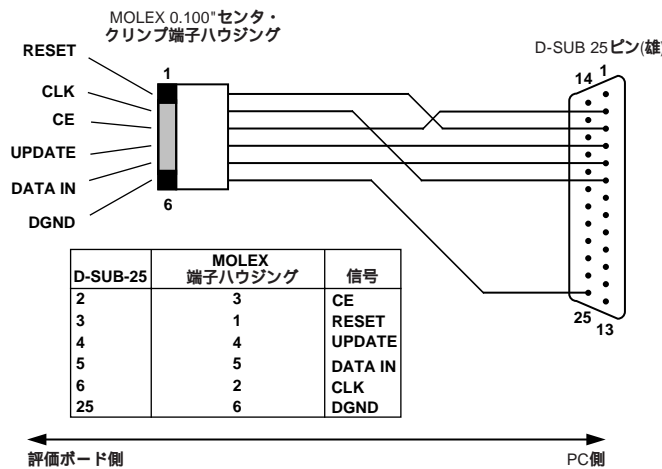


図52．評価ボード PC間接続ケーブル

評価ボードのPC側からの制御

評価ボードには、Windows(R)ベースの制御ソフトウェアとボードのデジタルインターフェースとPCのプリンタポートを接続するカスタム・ケーブルが添付されています。このケーブルの接続を図52に示します。ソフトウェアを動作させるためには、Windows 3.1またはそれ以降が必要です。ソフトウェアをインストールするときは、“Disk #1 of 2”と表示されているディスクをPCに挿入して、SETUP.EXEという名前のファイルを実行します。それ以降のインストールについての説明は、スクリーン上に表示されます。インストールを開始する前に、動作中の他の全Windowsアプリケーションを終了させる必要があります。

クロスポイント制御ソフトウェアを起動すると、使用するプリンタポートの指定を要求してきます。大部分のPCはLPT1と呼ばれるプリンタポートしか持っていませんが、PRNポートを使うラップトップ・コンピュータもあります。

図53に、初期リセット状態(全出力OFF)にある制御ソフトウェアのメイン・スクリーンを表示します。マウスを使って、スクリーン上に表示された16×16アレイ内の該当するラジオボタンをクリックするだけで、任意の入力を1つまたは複数の出力に接続することができます。ボタンをクリックする毎に、ソフトウェアが必要とされる80ビット・データストリームを評価ボードに自動的に送信してラッチさせます。Off列内の該当するボタンをクリックすることにより、出力をOFFにすることができます。全出力をOFFにするときは、RESETをクリックします。

コンピュータソフトウェアはPCの平行・ポートを使用してシリアル・プログラミングのみをサポートしケーブルを用意していますが、評価ボードには平行・プログラミングに使用できるコネクタもあります。SER/PAR信号は平行・プログラミングを行うときはロジックHighにする必要があります。評価ボードの平行・プログラミングに対しては、ケーブルもソフトウェアも用意されていません。ユーザーが用意する必要があります。

ソフトウェアは、設定の揮発性および不揮発性の記憶を提供します。揮発性記憶の場合、2つまでの設定を保存することができ、メモリ1バッファとメモリ2バッファを使って読出すことができます。これらの機能は電卓のメモリと同じです。設定の不揮発性記憶の場合、Save Setup機能とLoad Setup機能を使うことができます。この機能により設定をディスク上のデータファイルに保存します。

PCプリンタ・ポートのデータライン上のオーバーシュート

プリンタポートによっては、データライン上で大きなオーバーシュートを発生するものもあります。シリアル・クロック(D-Sub-25コネクタのピン6)として使用するピンでオーバーシュートが発生すると、通信時に問題が発生することがあります。評価ボードのCLKラインとグラウンドの間にキャパシタを接続すると、このオーバーシュートをなくすることができます。このキャパシタをハンダ付けするために評価ボードの回路面にパッドが用意されています(C33)。プリンタポートからのオーバーシュートに応じて、このキャパシタは0.01 μF程度の大きさにする必要があります。

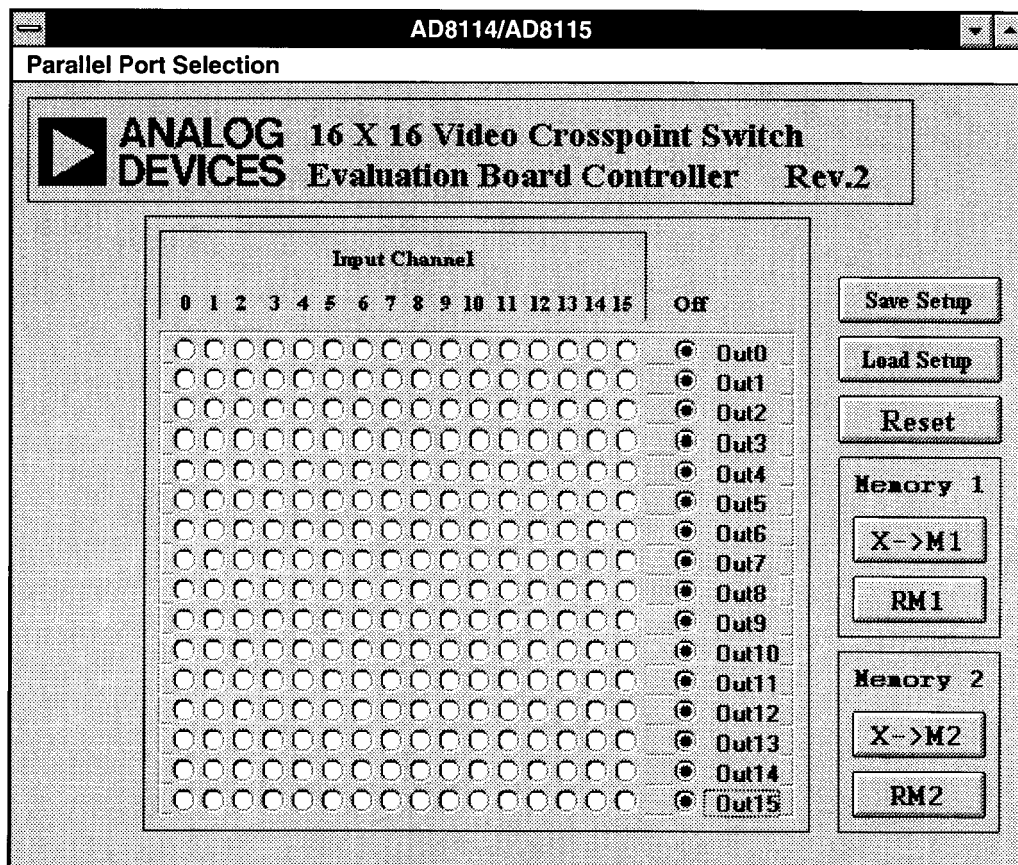


図53 . スクリーン表示と制御ソフトウェア

AD8114/AD8115

D4125-2.7-11/99,1A

PRINTED IN JAPAN

