

この AD8370 日本語版データシートリビジョン 0 に間違いがありましたので、お詫びして訂正いたします。この正誤表は、2012 年 10 月 17 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

英語データシートのリビジョンはすでに改定されており、ここで挙げる修正点の他にも変更されている箇所があります。最新情報は、[AD8370 英語データシート](#)をご確認ください。

正誤表作成年月日： 2012 年 10 月 17 日

対象資料： AD8370 日本語データシート LF~750MHz のデジタル制御 VGA

対象となる日本語資料のリビジョン(Rev)： 0

訂正箇所：

P6 表 3.ピン機能の説明

ピン番号 5 説明文

[誤] 外部バイパス処理によって同相電源のデカップリングを追加するときに、中間電源 $((V_{VCCO} - V_{OCOM})/2)$ の同相電圧をこのピンに印加します。これには、グラウンド間にバイパス・コンデンサを接続します。このピンは出力専用で、外部からは駆動できません。

[正] このピンには、電源の中間電圧 $((V_{VCCO} - V_{OCOM})/2)$ が同相電圧出力として現れます。外部に供給するため、この同相電源をコンデンサでバイパスし、デカップリングすることができます。このピンは出力専用で、外部からは駆動できません。

特長

- ローおよびハイのプログラマブル・ゲイン (<2dB分解能)
 - ローゲイン・モード: -11~+17dB
 - ハイゲイン・モード: +6~+34dB
- 差動入出力:
 - 200Ωの差動入力
 - 100Ωの差動出力
- 7dBのノイズ指数 (最大ゲイン時)
- +35dBmのツートーンIP3 (70MHz時)
- 750MHzの-3dB帯域幅
- 40dBの高精度ゲイン範囲
- シリアル8ビット・デジタル・インターフェース
- 広い入力ダイナミック・レンジ
- パワーダウン機能
- 3~5V単電源

機能ブロック図

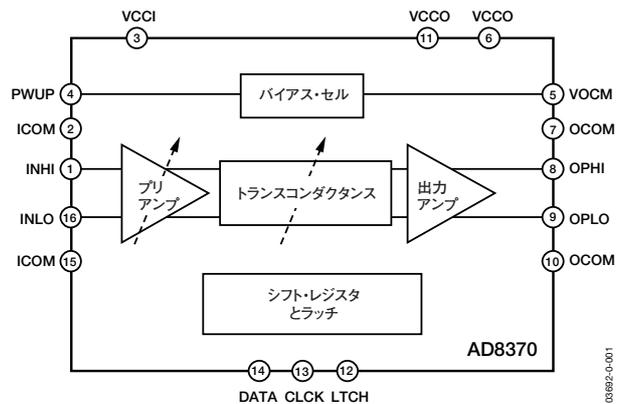


図1

アプリケーション

- 差動ADCドライバ
- IFサンプリング・レシーバ
- RF/IFゲイン段
- ケーブル/ビデオ・アプリケーション
- SAWフィルタ・インターフェース
- シングルエンド/差動変換

概要

AD8370は低価格のデジタル制御可変ゲイン・アンプ (VGA) で、高精度のゲイン制御、高いIP3、低ノイズ指数を備えています。その優れた歪み性能と幅広い帯域幅により、今日のレシーバ設計に最適なゲイン制御デバイスとなります。

広い入力ダイナミック・レンジのアプリケーションに対応するために、AD8370にはハイゲイン・モードとローゲイン・モードの2つの入力レンジがあります。7ビット・トランスコンダクタンス (Gm) 段によって、分解能が2dBより小さいときに28dB、分解能が1dBより小さいときに22dBのゲイン範囲設定が可能です。最初より17dB高い2番目のゲイン範囲を選択して、ノイズ性能を改善できます。

適切なロジック・レベルをPWUPピンに加えると、AD8370がパワーオンします。パワーダウン時のAD8370の消費電流は4mA未満で、優れた入力/出力間絶縁が行われます。パワーダウン・モードの動作時にもゲイン設定を維持します。

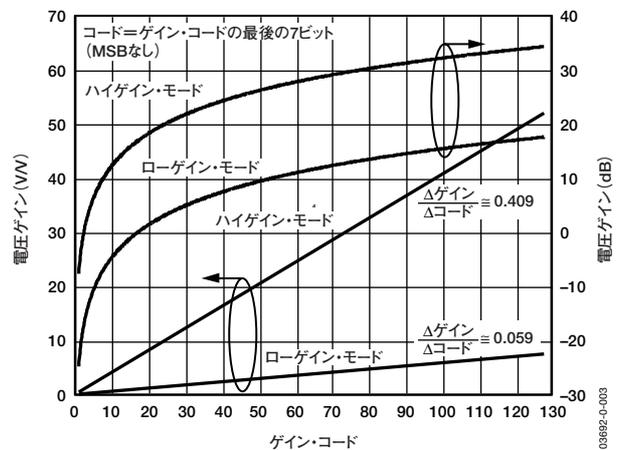


図2. ゲイン・コード対ゲイン (70MHz時)

AD8370のゲイン制御は、シリアル8ビットのゲイン制御ワードによって実行します。2つのゲイン範囲のいずれかをMSBで選択し、残りの7ビットで高精度リニア・ゲイン・ステップのゲイン全体を調整します。

アナログ・デバイセズの高速XFCBプロセスで製造されるAD8370は、その高い帯域幅特性によって高周波数と低歪み性能を実現します。自己消費電流は78mA (typ) で、小型サイズの熱強化型16ピンTSSOPパッケージのアンプとなっており、-40~+85℃の温度範囲で動作します。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2004 Analog Devices, Inc. All rights reserved.

AD8370

目次

仕様	3	ゲイン範囲の選択	15
絶対最大定格	5	レイアウトと動作に関する留意事項	16
ESDに関する注意	5	パッケージに関する留意事項	17
ピン配置と機能の説明	6	シングルエンド/差動変換	17
代表的な性能特性	7	DC結合動作	18
動作原理	13	ADCとのインターフェース	19
ブロック・アーキテクチャ	13	3V動作	20
プリアンプ	13	評価用ボードとソフトウェア	21
トランスコンダクタンス段	13	付録	24
出力アンプ	14	特性評価用装置	24
デジタル・インターフェースとタイミング	14	複合波形の想定	24
アプリケーション	15	選択されたパラメータの定義	24
基本的な接続	15	外形寸法	28
ゲイン・コード	15	オーダー・ガイド	28
パワーアップ機能	15		

改訂履歴

リビジョン0：初版

仕様

表1. 特に指定のない限り、 $V_S=5V$ 、 $T=25^\circ C$ 、 $Z_S=200\Omega$ 、 $Z_L=100\Omega$ 、ゲイン・コードHG127、70MHz、1V p-pの差動出力時

パラメータ	条件	Min	Typ	Max	単位
ダイナミック性能 - 3dB帯域幅 スルーレート	$V_{OUT} < 1V_{p-p}$ ゲイン・コードHG127、 $R_L = 1k\Omega$ 、 AD8370を圧縮に設定 ゲイン・コードLG127、 $R_L = 1k\Omega$ 、 $V_{OUT} = 2V_{p-p}$		750 5750		MHz V/ns V/ns
入力段 最大入力 入力抵抗値 同相入力レンジ CMRR 入力ノイズ・スペクトル密度	INHIおよびIHLOピン ゲイン・コードLG2、1dB圧縮 差動 差動、 $f=10MHz$ 、ゲイン・コード LG127		3.2 200 3.2 77 1.9		V p-p Ω V p-p dB nV/ \sqrt{Hz}
ゲイン 最大電圧ゲイン ハイゲイン・モード ローゲイン・モード 最小電圧ゲイン ハイゲイン・モード ローゲイン・モード ゲイン・ステップ・サイズ ゲインの温度感度 ステップ応答性	ゲイン・コード=HG127 ゲイン・コード=LG127 ゲイン・コード=HG1 ゲイン・コード=LG1 ハイゲイン・モード ローゲイン・モード ゲイン・コード=HG127 6dBのゲイン・ステップに対して最終値の 10%にセトリング		34 52 17 7.4 -8 0.4 -25 0.06 0.408 0.056 -2 20		dB V/V dB V/V dB V/V (V/V) /コード (V/V) /コード mdB/ $^\circ C$ ns
出力インターフェース 出力電圧振幅 出力抵抗値 出力差動オフセット	OPHIおよびOPLOピン $R_L \geq 1k\Omega$ (1dB圧縮) 差動 $V_{INH} = V_{INLO}$ 、全ゲイン・コード範囲		8.4 95 ± 60		V p-p Ω mV
ノイズ/高調波性能 10MHz ゲイン平坦性 ノイズ指数 2次高調波 ¹ 3次高調波 出力IP3 出力1dB圧縮ポイント	10MHzの $\pm 10MHz$ 以内 $V_{OUT} = 2V_{p-p}$ $V_{OUT} = 2V_{p-p}$		± 0.01 7.2 -77 -77 35 17		dB dB dBc dBc dBm dBm

次ページの脚注を参照してください。

AD8370

パラメータ	条件	Min	Typ	Max	単位
ノイズ/高調波性能 (続き)					
70MHz					
ゲイン平坦性	70MHzの±10MHz以内		±0.02		dB
ノイズ指数			7.2		dB
2次高調波	$V_{OUT}=2V$ p-p		-65		dBc
3次高調波	$V_{OUT}=2V$ p-p		-62		dBc
出力IP3			35		dBm
出力1dB圧縮ポイント			17		dBm
140MHz					
ゲイン平坦性	140MHzの±10MHz以内		±0.03		dB
ノイズ指数			7.2		dB
2次高調波	$V_{OUT}=2V$ p-p		-54		dBc
3次高調波	$V_{OUT}=2V$ p-p		-50		dBc
出力IP3			33		dBm
出力1dB圧縮ポイント			17		dBm
190MHz					
ゲイン平坦性	240MHzの±10MHz以内		±0.03		dB
ノイズ指数			7.2		dB
2次高調波	$V_{OUT}=2V$ p-p		-43		dBc
3次高調波	$V_{OUT}=2V$ p-p		-43		dBc
出力IP3			33		dBm
出力1dB圧縮ポイント			17		dBm
240MHz					
ゲイン平坦性	240MHzの±10MHz以内		±0.04		dB
ノイズ指数			7.4		dB
2次高調波	$V_{OUT}=2V$ p-p		-28		dBc
3次高調波	$V_{OUT}=2V$ p-p		-33		dBc
出力IP3			32		dBm
出力1dB圧縮ポイント			17		dBm
380MHz					
ゲイン平坦性	240MHzの±10MHz以内		±0.04		dB
ノイズ指数			8.1		dB
出力IP3			27		dBm
出力1dB圧縮ポイント			14		dBm
電源インターフェース					
電源電圧		3.0 ²		5.5	V
自己消費電流 ³	PWUPハイレベル、GC=LG127、 $R_L=\infty$ 、パワーオンの4秒後、デバイス下部の露出パドルに放熱板を接続	72.5	79	85.5	mA
対温度	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$			105	mA
トータル電源電流	PWUPハイレベル、 $V_{OUT}=1V$ p-p、 $Z_L=100\Omega$ リアクティブ、GC=LG127 (負荷電流を含む)		82		mA
パワーダウン電流	PWUPローレベル		3.7		mA
対温度 ⁴	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$			5	mA
パワーアップ・インターフェース					
パワーアップ・スレッシュホールド	PWUPピン デバイス・イネーブル電圧	1.8			V
パワーダウン・スレッシュホールド	デバイス・ディセーブル電圧			0.8	V
PWUP入力バイアス電流	PWUP = 0V		400		nA
ゲイン制御インターフェース					
V_{IH}	CLCK、DATA、LTCHの各ピン ロジック・ハイレベル電圧	1.8			V
V_{IL}	ロジック・ローレベル電圧			0.8	V
入力バイアス電流			900		nA

¹ 軽い負荷での性能については、図20を参照。

² 詳細については、「3V動作」を参照。

³ このパラメータの最小値 (Min) および最大値 (Max) は、出荷テストによって保証されています。

⁴ このパラメータの最小値 (Min) または最大値 (Max) は6シグマの値で、出荷テストによって保証されていません。

絶対最大定格

表2

パラメータ	定格
電源電圧 V_S	5.5 V
PWUP、DATA、CLK、LTCH	$V_S + 500$ mV
差動入力電圧、 $V_{INHI} - V_{INLO}$	2 V
ICOMまたはOCOMに対する	$V_S + 500$ mV
同相入力電圧 V_{INHI} または V_{INLO}	(最大値) $V_{ICOM} - 500$ mV、 $V_{OCOM} - 500$ mV (最小値)
内部消費電力	575 mW
θ_{JA} (露出パドルハンダ付け)	30°C/W
θ_{JA} (露出パドルハンダ付けなし)	95°C/W
θ_{JC} (露出パドル)	9°C/W
最大ジャンクション温度	150°C
動作温度範囲	-40 ~ +85°C
保存温度範囲	-65 ~ +150°C
ピン温度範囲 (ハンダ処理60秒)	235°C

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD8370

ピン配置と機能の説明



図3. 16ピンTSSOP

表3. ピン機能の説明

ピン番号	記号	説明
1	INHI	平衡差動入力。内部でバイアスされます。
2、15、パドル	ICOM	入力コモン。ロー・インピーダンスのグラウンドに接続します。このノードは、デバイス底部の露出パッドにも同様に接続されます。
3	VCCI	正の電源入力。3.0~5.5V。正しくバイパスする必要があります。
4	PWUP	パワー・イネーブル・ピン。PWUPをハイレベルに引き込むと、デバイスが動作状態になります。
5	VOCM	同相出力電圧ピン。外部バイパス処理によって同相電源のデカップリングを追加するときに、中間電源 $(V_{VCCO} - V_{OCOM})/2$ の同相電圧をこのピンに印加します。これには、グラウンド間にバイパス・コンデンサを接続します。このピンは出力専用で、外部からは駆動できません。
6、11	VCCO	正の電源出力。3.0~5.5V。正しくバイパスする必要があります。
7、10	OCOM	出力コモン。ロー・インピーダンスのグラウンドに接続します。
8	OPHI	平衡差動出力。中間電源にバイアスされます。
9	OPLO	平衡差動出力。中間電源にバイアスされます。
12	LTCH	シリアル・データ・ラッチ・ピン。LTCHがローレベルのときに、シリアル・データがDATAピンを經由してシフト・レジスタにクロック入力されます。シフト・レジスタに入力されたデータは、次の立上がりエッジでラッチされます。
13	CLCK	シリアル・クロック入力ピン
14	DATA	シリアル・データ入力ピン
16	INLO	平衡差動入力。内部でバイアスされます。

代表的な性能特性

特に指定のない限り、 $V_S=5V$ 、 $Z_S=200\Omega$ 、 $Z_L=100\Omega$ 、 $T=25^\circ C$

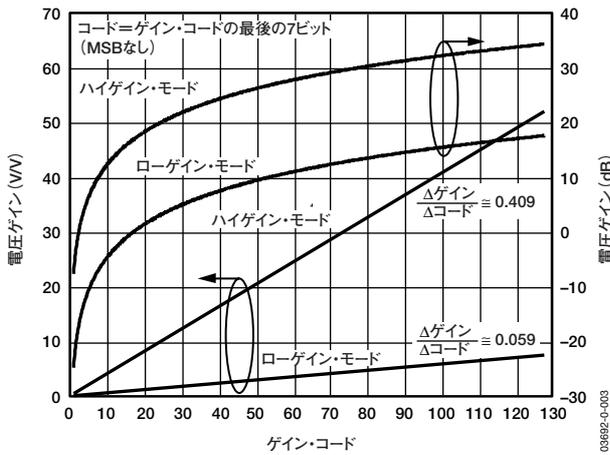


図4. ゲイン・コード対ゲイン (70MHz)

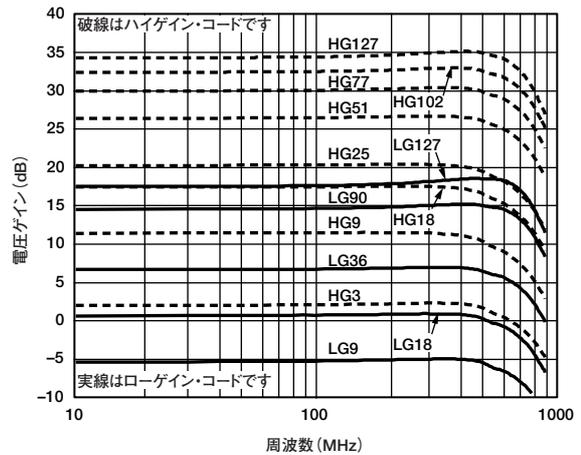


図7. ゲイン・コードの周波数応答特性

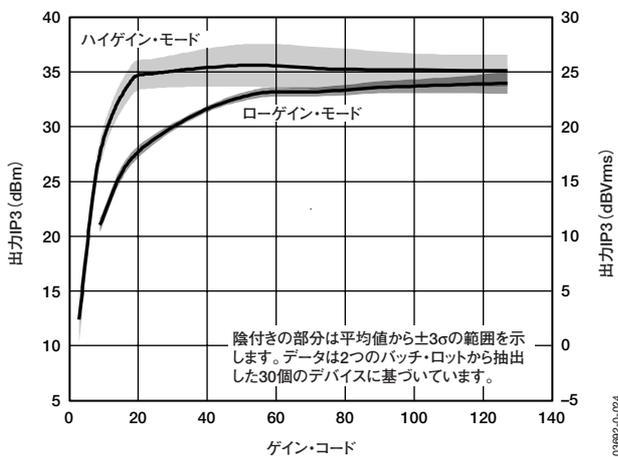


図5. ゲイン・コード対出力3次インターセプト (70MHz)

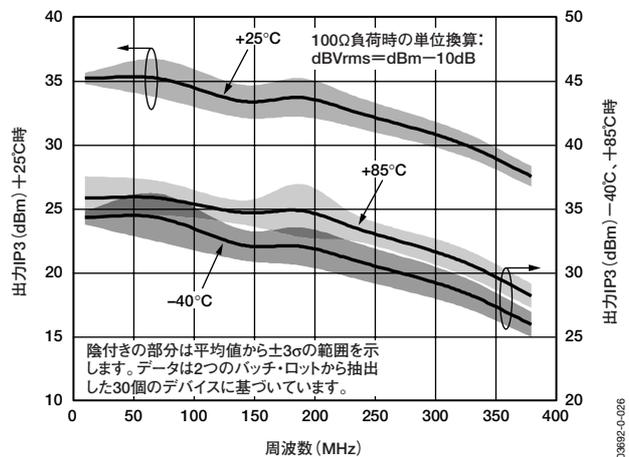


図8. 最大ゲイン時の出力3次インターセプトの周波数特性

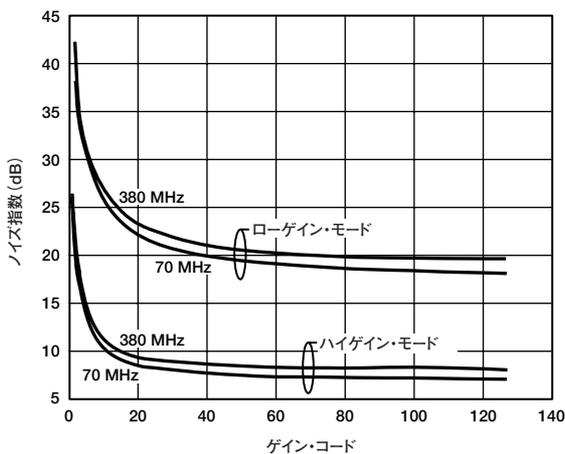


図6. ゲイン・コード対ノイズ指数 (70MHz)

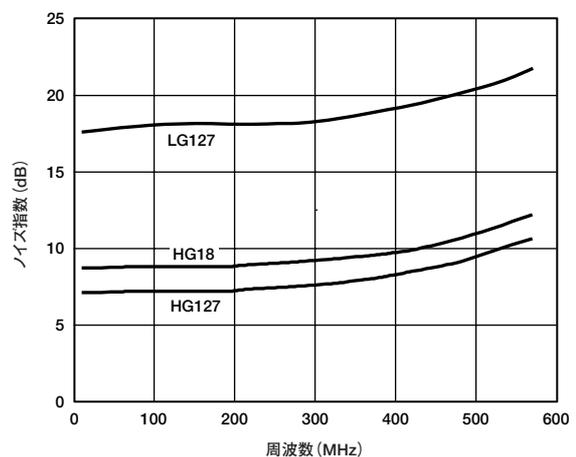


図9. 各ゲインに対するノイズ指数の周波数特性

AD8370

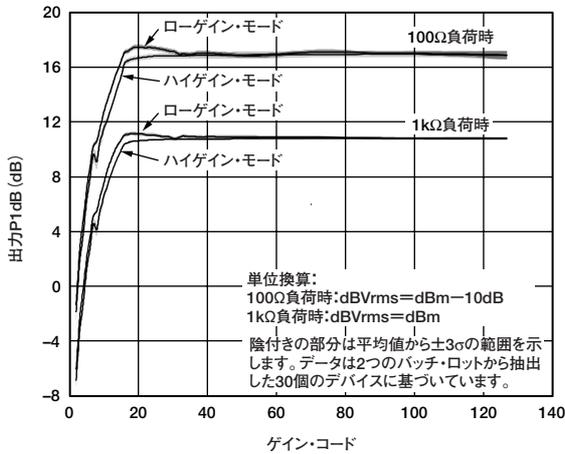


図10. ゲイン・コード 対 出力P1dB (70MHz)

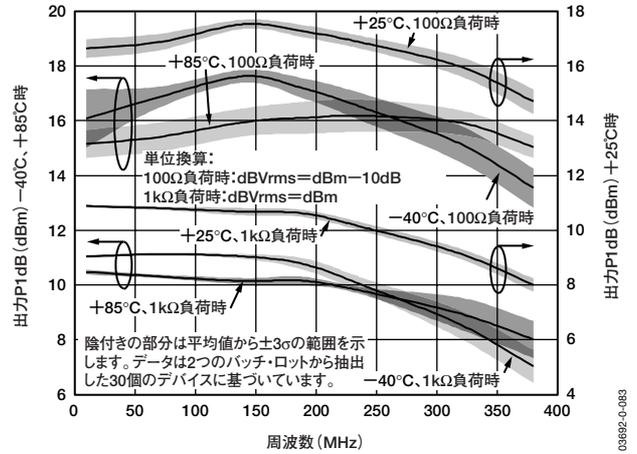


図13. 出力P1dBの周波数特性

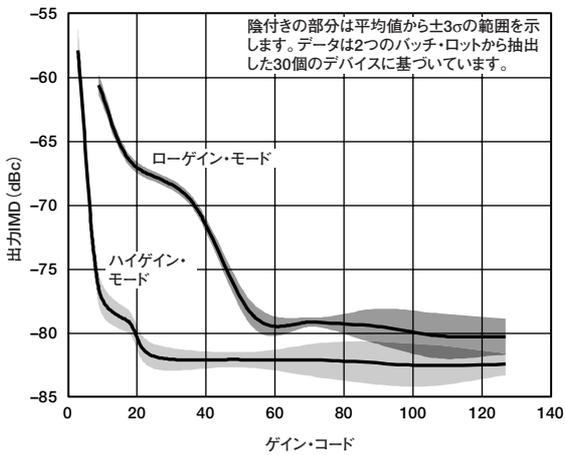


図11. ゲイン・コード 対 ツートーン出力IMD3 (70MHz、 $R_L=1k\Omega$ 、 $V_{OUT}=1V$ p-pのコンポジット差動)

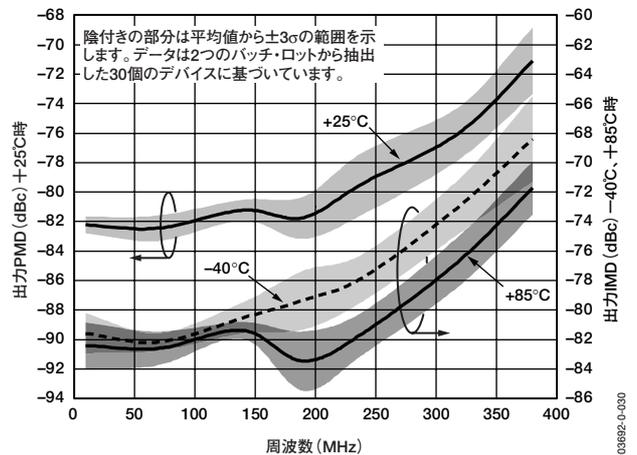


図14. 最大ゲイン時のツートーン出力IMD3の周波数特性 ($R_L=1k\Omega$ 、 $V_{OUT}=1V$ p-pのコンポジット差動)

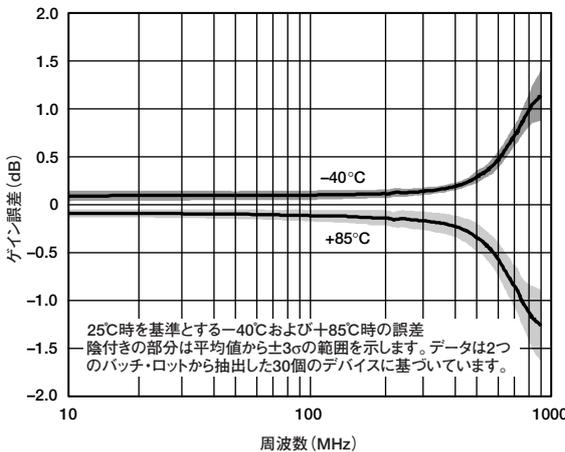


図12. 温度に対するゲイン誤差の周波数特性 ($R_L=100\Omega$)

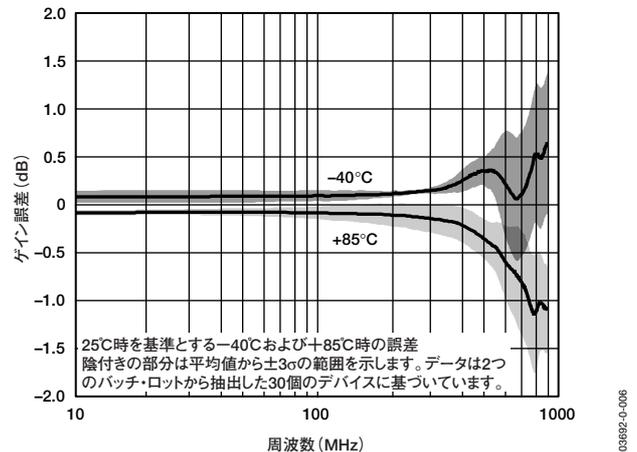


図15. 温度に対するゲイン誤差の周波数特性 ($R_L=1k\Omega$)

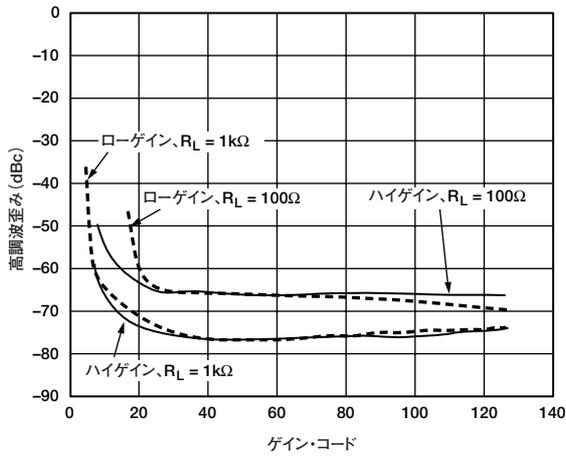


図16. ゲイン・コード 対 2次高調波歪み (70MHz、 $V_{OUT}=2V$ p-p差動)

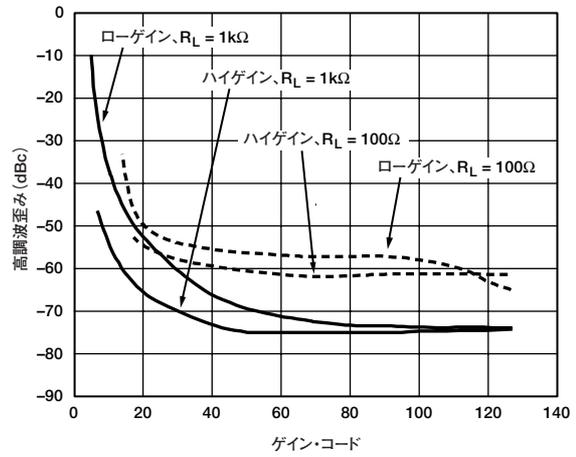


図19. ゲイン・コード 対 3次高調波歪み (70MHz、 $V_{OUT}=2V$ p-p差動)

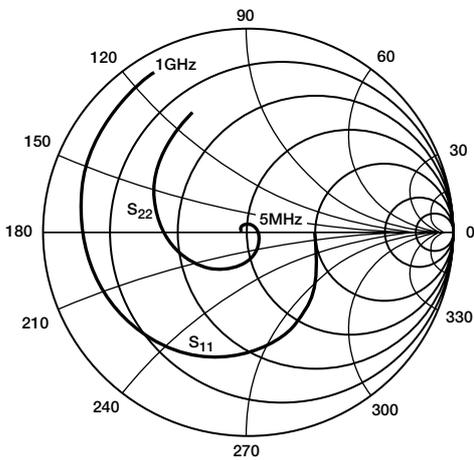


図17. 入力と出力の反射係数 (S_{11} と S_{22} 、 $Z_0=100\Omega$ 差動)

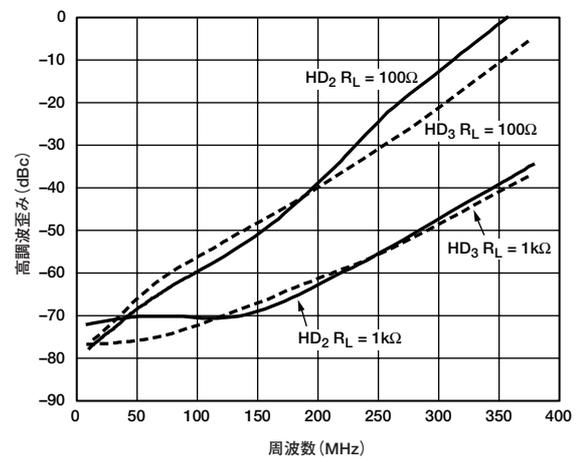


図20. 最大ゲイン時の高調波歪みの周波数特性 ($V_{OUT}=2V$ p-pのコンジット差動)

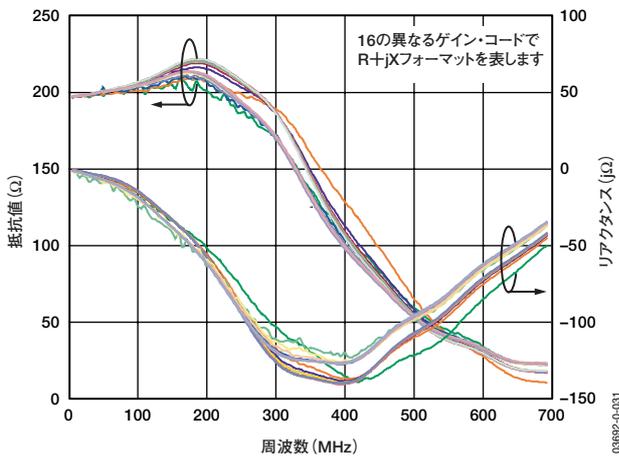


図18. 入力抵抗値とリアクタンスの周波数特性

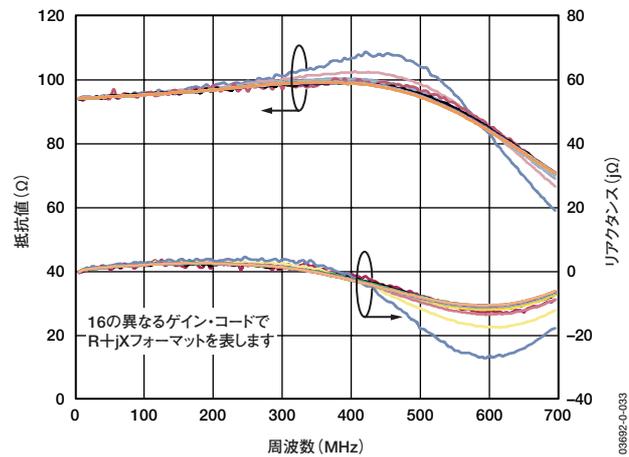


図21. 出力抵抗値とリアクタンスの周波数特性

AD8370

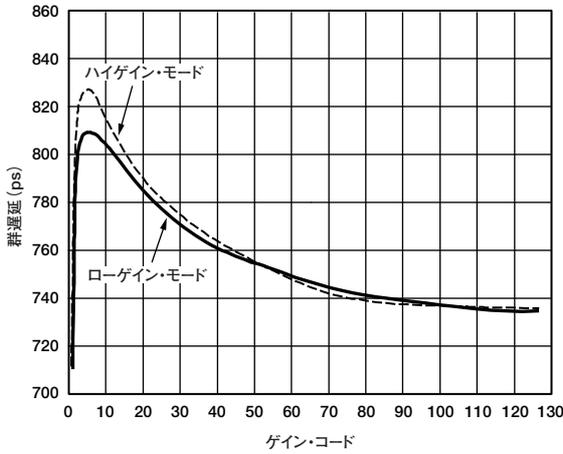


図22. ゲイン・コード 対 群遅延 (70MHz)

03892-0-032

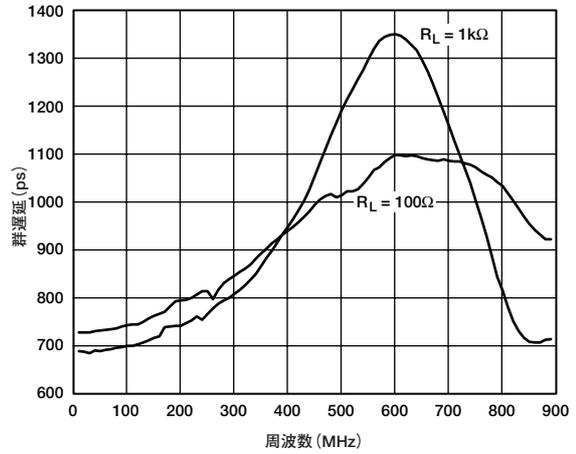


図25. 最大ゲイン時の群遅延の周波数特性

03892-0-034

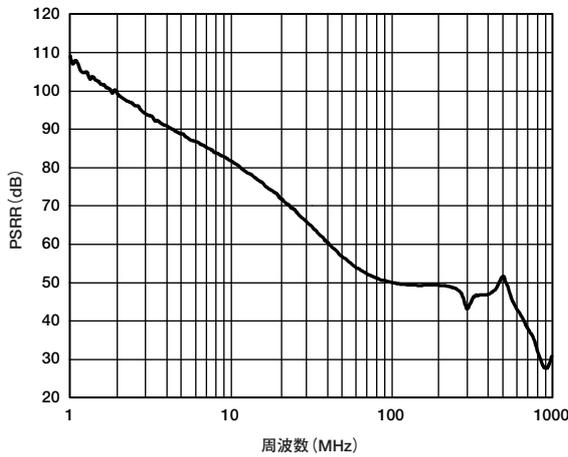


図23. 最大ゲイン時の電源電圧変動除去比の周波数特性

03892-0-013

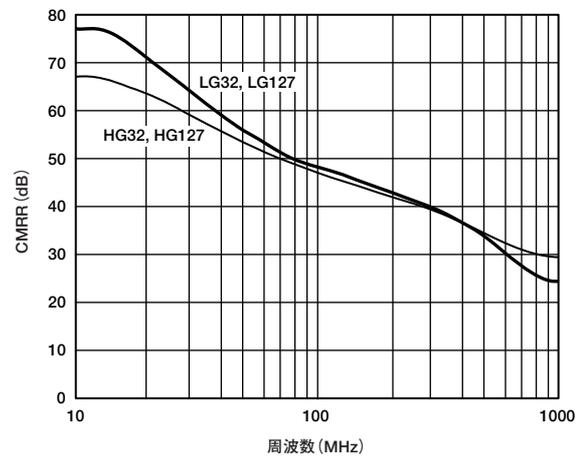


図26. 同相除去比の周波数特性

03892-0-005

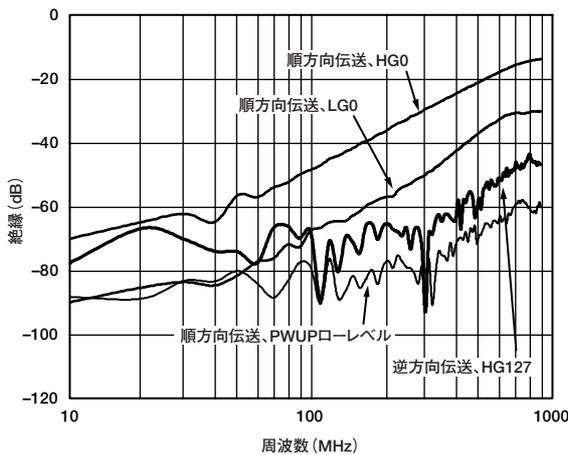


図24. さまざまな条件下での周波数 対 絶縁特性

03892-0-009

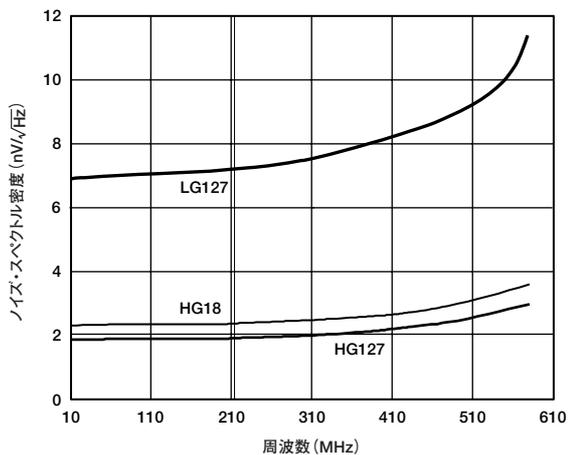


図27. さまざまなゲインでの入力換算ノイズ・スペクトル密度の周波数特性

03892-0-010

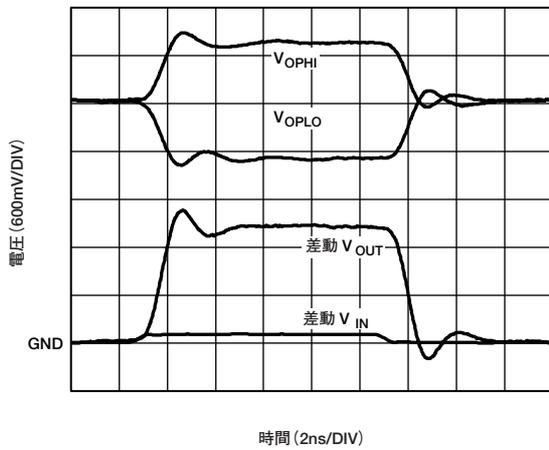


図28. DC結合の大信号パルス応答性

03892-0-067

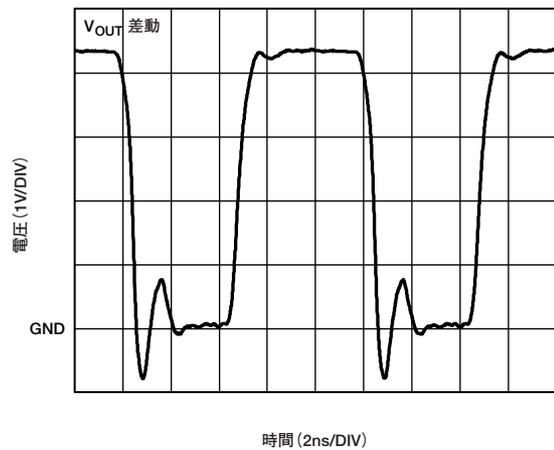


図31. オーバードライブ回復特性

03892-0-069

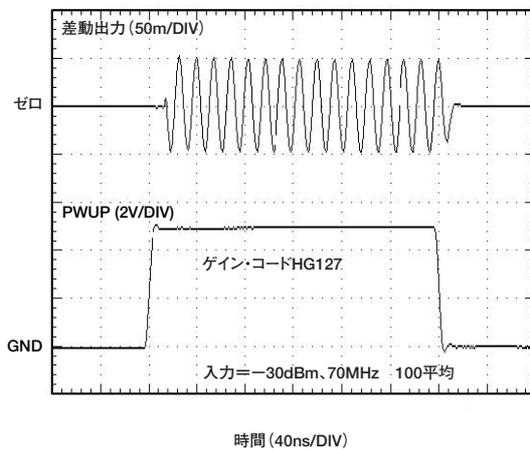


図29. PWUPの時間軸応答性

03892-0-068

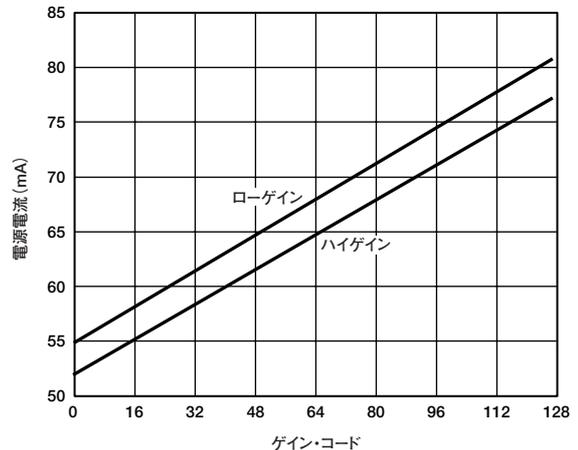


図32. ゲイン・コード 対 電源電流

03892-0-014

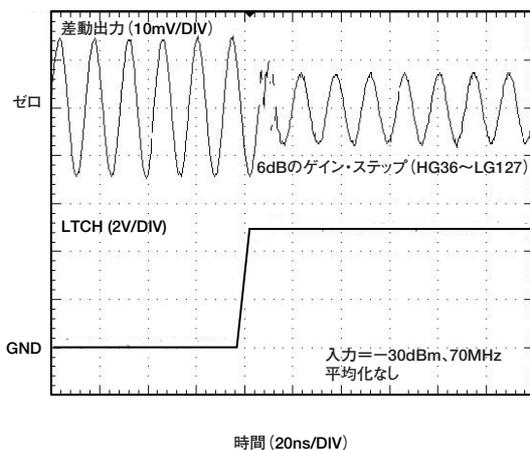


図30. ゲイン・ステップ時間軸応答性

03892-0-035

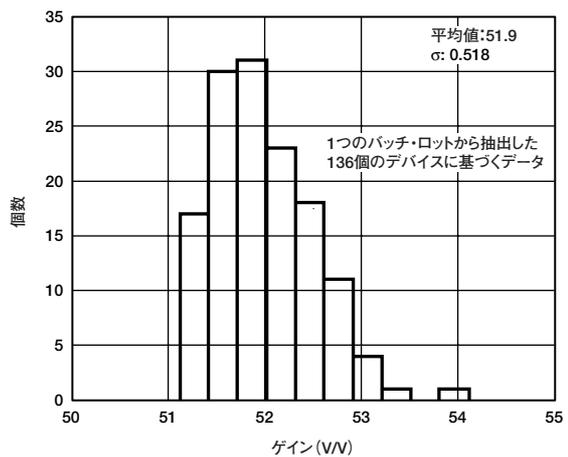
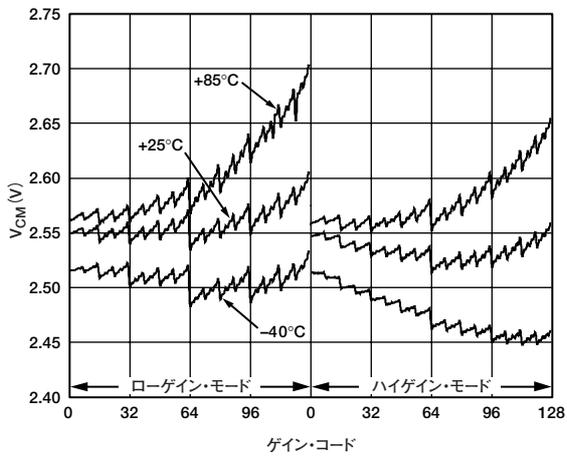


図33. 電圧ゲインの分布
(HG127、70MHz、 $R_L=100\Omega$)

03892-0-073

AD8370



03682-0-071

図34. さまざまな温度でのゲイン・コード対同相出力電圧

動作原理

AD8370は低価格のデジタル制御、微調整可変ゲイン・アンプで、高いIP3特性と低いノイズ指数を備えています。アナログ・デバイゼズ独自の高性能25GHzシリコン・バイポーラ・プロセスで製造されています。-3dB帯域幅は、可変ゲイン範囲の全域で約750MHzです。自己消費電流は78mA (typ) で、パワーダウン機能によって消費電流を4mA未満に低減できます。入力インピーダンスは約200Ω差動、出力インピーダンスは約100Ω差動で、中間周波数 (IF) の無線アプリケーションで使用するSAWフィルタとマッチング・ネットワークに対応します。入力と出力の間やアンプ内部の回路段の間にフィードバックが存在しないので、出力負荷の変動やその後で発生するインピーダンスの変化に対して入力アンプは隔離され、優れた入力/出力間絶縁が得られます。AD8370は、優れた歪み性能と幅広い帯域幅により、最新の差動レシーバ設計に適したゲイン制御デバイスとなっています。AD8370の差動入出力の構成は完全差動のシグナル・チェーン回路設計に最適ですが、必要であればシングルエンド・システムのアプリケーションに適応させることもできます。

ブロック・アーキテクチャ

AD8370には、基本的なビルディング・ブロックとしてハイ/ロー・ゲインの選択が可能な入力プリアンプ、デジタル制御のトランスコンダクタンス (g_m) ブロック、固定ゲインの出力段の3つがあります。

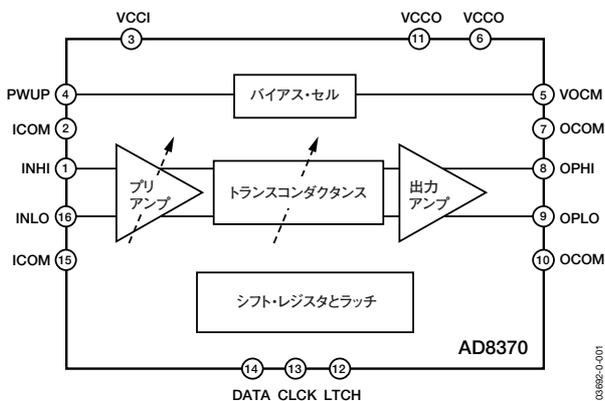


図35. 機能ブロック図

プリアンプ

選択可能な入力プリアンプが2個用意されています。プリアンプの選択は、シリアル・ゲイン制御データワードの最上位ビット (MSB) を使って行います。ハイゲイン・モードのときは、デバイス全体のゲインがローゲイン設定時よりも7.1V/V (17dB) 高くなります。プリアンプが2個あるため、AD8370は広範囲の入力振幅に対応できます。2つのゲイン範囲がオーバーラップしているため、ノイズと歪みの条件によって柔軟な設定ができます。詳細については、「ゲイン範囲の選択」を参照してください。

どのプリアンプを選択しても、入力インピーダンスは約200Ω差動になります。入力インピーダンスは能動回路素子の使用によって形成され、受動部品の影響は受けません。入力インターフェースの簡略回路図については、図36を参照してください。

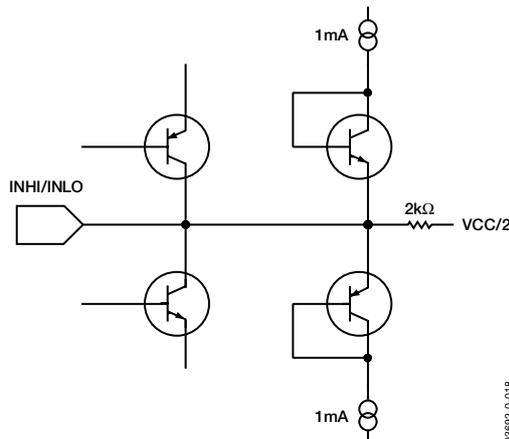


図36. INHI/INLOの簡略回路図

トランスコンダクタンス段

デジタル制御の g_m 部では42dBのゲイン制御が可能で、各ゲイン範囲内でゲイン調整を行います。ステップ・サイズの分解能はゲイン・コードに応じて、1ビット当たり微細な約0.07dBから粗い6dBまでの範囲です。図37に示すように、42dBのトータル範囲のうち28dB範囲の分解能は2dBよりも小さく、22dB範囲の分解能は1dBよりも小さくなります。

図37の曲線には、さまざまなゲイン設定でこのアンプに入力できる標準的なレベルを示しています。 V_{OUT}/V_{SOURCE} ゲインの1dB圧縮または伸長ポイントを求めることによって、最大入力を決定しました。これは、 V_{OUT}/V_{IN} とは異なる点に注意してください。このようにすることで、デバイスの入力インピーダンスの変化も考慮に入れることができます。

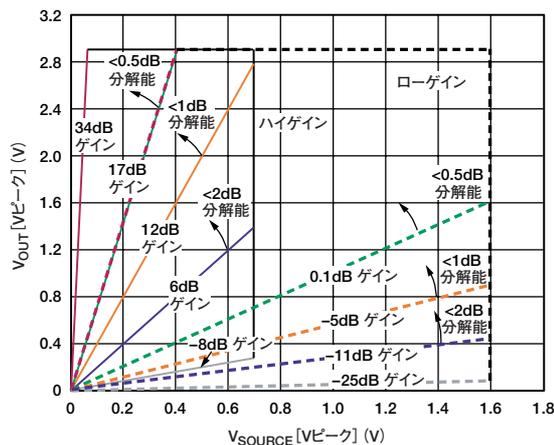


図37. ゲイン範囲におけるゲイン分解能と公称入出力範囲

AD8370

出力アンプ

出力インピーダンスは約100Ω差動であり、入力プリアンプと同様にこのインピーダンスは能動回路素子の使用によって形成されます。出力インターフェースの簡略回路図については、図38を参照してください。

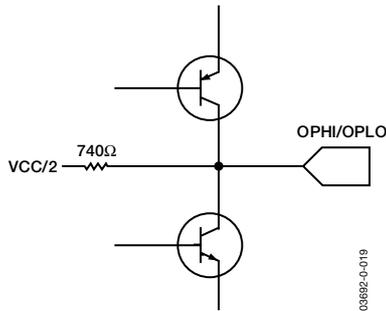


図38. OPHI/OPLOの簡略回路図

出力アンプのゲイン、つまりAD8370全体のゲインは負荷に依存します。以下の数式を用いて、負荷が変動するときの100Ω時におけるゲインに対するAD8370のゲイン偏差を予測することが可能です。

$$\text{ゲイン偏差} = \frac{1.98}{1 + \frac{98}{R_{LOAD}}}$$

たとえば、 R_{LOAD} が1kΩの場合、他の条件はすべて同じで、ゲインは100Ω時のゲインよりも1.80倍（5.12dB）高くなります。 R_{LOAD} が50Ωの場合には、ゲインは100Ω時のゲインよりも0.669倍（3.49dB）低くなります。

デジタル・インターフェースとタイミング

デジタル制御ポートには、標準のTTLインターフェースを使用します。LTCHピンがローレベルに保持されると、8ビットの制御ワードがシリアル形式で読み出されます。DATAピンに入力されたレベルは、CLK信号の各立上がりエッジで読み出されます。制御インターフェースのタイミング図を図39に示します。タイミング・パラメータの最小値を表4に記載します。図40はデジタル入力ピンの簡略回路図です。

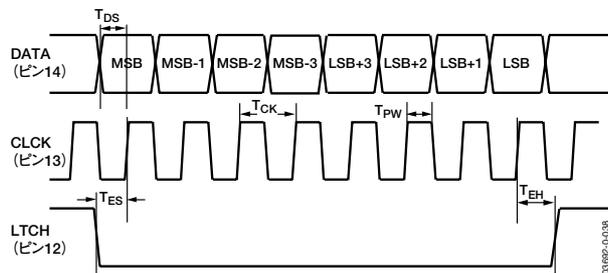


図39. デジタル・タイミング図

表4. シリアル・プログラミングのタイミング・パラメータ

パラメータ	Min	単位
クロック・パルス幅 (T_{PW})	25	ns
クロック周期 (T_{CK})	50	ns
データ対クロックのセットアップ・タイム (T_{DS})	10	ns
ラッチ対クロックのセットアップ・タイム (T_{ES})	20	ns
ラッチ対クロックのホールド・タイム (T_{EH})	10	ns

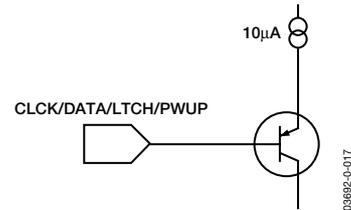


図40. デジタル入力の簡略回路図

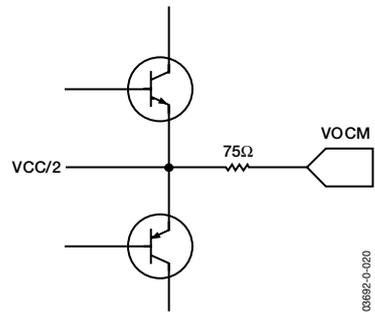


図41. VOCM出力の簡略回路図

アプリケーション

基本的な接続

図42に、AD8370の基本動作に必要な最低限の接続を示します。3.0～5.5Vの電源電圧が使用できます。VCCOとVCCIの各ピンに入力する電源に対して、少なくとも1本の低インダクタンス、0.1μFの表面実装セラミック・コンデンサをデバイスに可能な限り近い場所に配置して、デカップリングする必要があります。

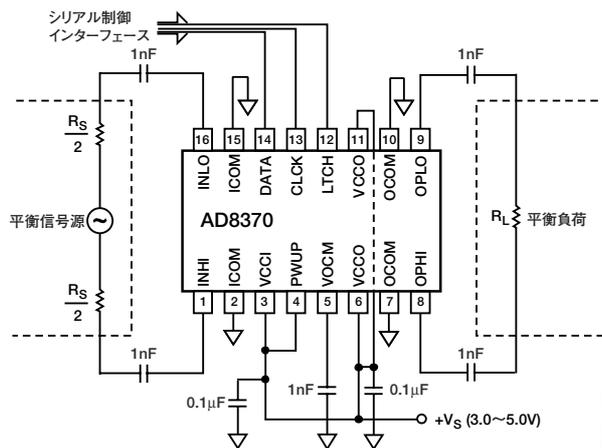


図42. 基本接続図

AD8370は、差動シグナル・チェーン用に設計されています。差動信号方式により、偶数次の高調波歪みキャンセル性能が改善され、シングルエンド設計の場合よりも同相ノイズ耐性が向上します。これらの利点を最大限に活かすには、デバイスの駆動と負荷を平衡がとれた方法で行う必要があります。そのためには、一連の入力と出力のそれぞれにかかる同相インピーダンスを確実に平衡化する必要があります。不平衡の信号源でデバイスを駆動すると、同相除去比が低下することがあります。また、不平衡の負荷をデバイスにかけると、偶数次の高調波歪みが劣化し、出力圧縮が不完全になることがあります。一般に、最適な設計は完全に平衡化されていますが、AD8370の場合、不平衡の環境で使用しても優れた性能を発揮します。

AD8370は、微調整の可変ゲイン・アンプです。ゲイン制御伝達関数は、電圧ゲインに線形性があります。このため、デシベル・スケールで図4に示す対数伝達関数になります。ゲイン伝達関数のロー・エンドでは、勾配が急峻になり、どちらかと言うと粗調整になります。ゲイン制御範囲のハイ・エンドでは、デシベルのステップ・サイズが減少し、精度の高いゲイン調整が可能になります。

ゲイン・コード

AD8370の2つのゲイン範囲は、ハイゲイン (HG) とローゲイン (LG) と呼ばれます。それぞれの範囲に128のゲイン・コードを設定できます。これにより、ローゲイン範囲の最小ゲインはLG0、ローゲイン範囲の最大ゲインはLG127となります。この表記は、ハイゲイン範囲についても適用されます。LG0とHG0のときに可変トランスコンダクタンス段がオフになるため、これらのコードのときには出力がありません。図24を参照してください。

リニア電圧ゲインの理論値は、ゲイン・コードを用いて以下の式で表すことができます。

$$A_V = \text{GainCoad} \times \text{Vernier} \times (1 + (\text{PreGain} - 1) \text{MSB})$$

ここで、

A_V は、リニア電圧ゲインです。

GainCoad は、デジタル・ゲイン制御ワードからMSBを除いた値 (最後の7ビット) です。

$$\text{Vernier} = 0.055744\text{V/V}$$

$$\text{PreGain} = 7.079458\text{V/V}$$

MSBは、8ビットのゲイン制御ワードの最上位ビットです。このMSBによって、デバイスをハイゲイン・モード (MSB=1) かローゲイン・モード (MSB=0) に設定します。

たとえば、ゲイン制御ワードがHG45 (または10101101バイナリ) の場合、リニア電圧ゲインの理論値は以下の式から17.76V/Vになります。

$$45 \times 0.055744 \times (1 + (7.079458 - 1) \times 1)$$

いずれのゲイン範囲においてもゲインの増減は、 GainCode をどう計算するかだけの問題です。リニア電圧ゲインの2倍または1/2の6dBのゲイン・ステップは、 GainCode を2倍または1/2にして設定します。

AD8370に最初に電源を投入するときには、後段の回路のオーバードライブを防止するために、コードLG0にプログラム設定されます。

パワーアップ機能

パワーアップ機能は GainCode に影響を与えることはなく、パワーダウン・モード時にはゲイン設定が保持されます。AD8370をパワーダウンしても (デバイスに電源がまだ投入されている間にPWUPをローレベルに設定)、AD8370から GainCode が消去されたり変更されることはなく、デバイスのパワーアップ時、すなわちPWUPが再びハイレベルになるときに、同じゲイン・コードが維持されます。ただし、デバイスの電源を一度切った後で、電源を再投入すると、ゲイン・コードがLG0に再プログラムされます。

ゲイン範囲の選択

2つのゲイン範囲にはオーバーラップする部分があります。ニーズに最適なゲイン範囲を選択してください。使用するプリアンプを決める際には、分解能、ノイズ、直線性、スプリアスフリー・ダイナミック・レンジ (SFDR) を考慮に入れてください。最も重要な留意点は、以下のとおりです。

- ローゲイン範囲は、ゲイン分解能が優れています。
- ハイゲイン範囲は、ノイズ指数が優れています。
- ハイゲイン範囲は、ゲインが高くなるに従って直線性とSFDRが向上します。
- これに対してローゲイン範囲は、ゲインが低くなるに従ってSFDRが向上します。

AD8370

図43に、デバイスのパワー・ゲインの関数として変化するノイズ、OIP3、IIP3、SFDRをまとめて示します。SFDRは、次の式によって定義されます。

$$SFDR = \frac{2}{3}(IIP3 - NF - N_s)$$

ここで、

IIP3は入力3次インターセプト・ポイントです。これは、dBm単位の出力インターセプト・ポイントからdB単位のゲインを減算した値です。

NFは、dB単位のノイズ指数です。

N_sはソース抵抗のノイズで、300°K (27°C) で帯域幅が1Hzのときに-174dBmになります。

一般に、N_s = 10 log₁₀ (kTB)となります。ここで、k = 1.374 × 10⁻²³、Tはケルビン単位の絶対温度、BはHz単位のノイズ帯域幅です。

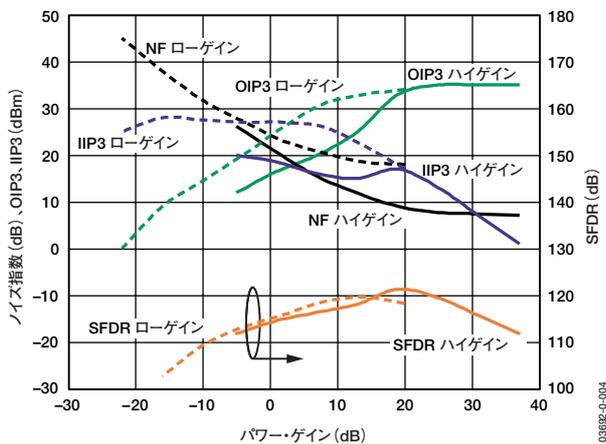


図43. ゲインに伴うOIP3、IIP3、NF、SFDRの変化

ゲインが高くなると、これに応じて同じ出力振幅を得るために必要な入力振幅が小さくなります。その結果、入力段の歪みが小さくなり、OIP3が増加します。あるポイント来到ると、入力段の歪みが小さくなるため出力段の非直線性が優勢になります。ゲインが増加してこのポイントを超えると、OIP3はそれほど改善されなくなります。つまり、このポイントがOIP3曲線の「膝」、つまり屈折する点にあたります。同じようにIIP3曲線にも膝がありますが、この場合はゲインが増加して膝を超えるとIIP3は増加ではなく減少し始めます。これは、この領域でOIP3が一定であることから、ゲインが高くなるにつれて、IIP3が小さくなるためです。2つのゲイン範囲は、パワー・ゲインが約13dBのときにSFDRが等しくなります。

レイアウトと動作に関する留意事項

AD8370の入力と出力の各ピンは、それぞれのACグラウンドを基準に100Ωまたは50Ωのインピーダンスがあります。信号の完全性がPCボードによって損われないように、関連する接続パターン配線によってグラウンド・プレーンに適切な特性のインピーダンスを与える必要があります。正しいレイアウトによって、これを行います。

インピーダンスを制御するには、以下の点に注意してRFパターンのレイアウトを行ってください。

- 共平面性（横方向の誘電体）の導波管ではなくマイクロストリップ（縦方向の誘電体）ラインが形成されるように、信号パターン配線のいずれかの面の最低3ライン幅離れた場所にグラウンド・プレーンを設けます。
- マイクロストリップ・ラインの幅を一定にし、ラインの長さ全体にわたり部品パッドなどの不連続要素ができる限り少なくなるようにします。幅にばらつきがあると、ラインのインピーダンスに不連続性が生じ、不要な反射が生じます。
- 信号ラインの上にシルクスクリーンを使用しないでください。これを使用すると、ライン・インピーダンスが変化します。
- 入力と出力の接続ラインの長さをできる限り短くします。

図44にPCボードの断面図を示し、表5にε_r = 4.6のFR-4ボード材で100Ωのライン・インピーダンスを得る場合の寸法を示します。

表5

	100Ω	50Ω
W	22ミル	13ミル
H	53ミル	8ミル
T	2ミル	2ミル

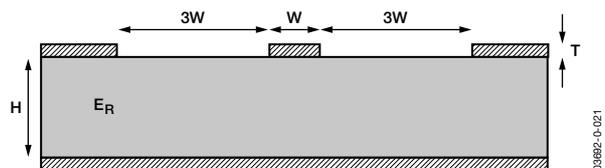


図44. PCボードの断面図

パターン配線真下の3ライン幅の領域内にグラウンド・プレーンを配置しないようにすれば、上記の50Ωサイズで設計されたボード上で100Ωのパターンに近似したものを作ることができます。

AD8370には、デジタルとアナログの両方の回路があります。デジタルとアナログの回路部をPCボード上で十分に分離するように注意してください。それぞれの回路部に別のグラウンド・プレーンを使用し、フェライト・ビーズ・インダクタを用いて1点で接続することにより、デジタル・パルスがAD8370のアナログ回路部に悪影響を及ぼさないようにすることができます。

AD8370

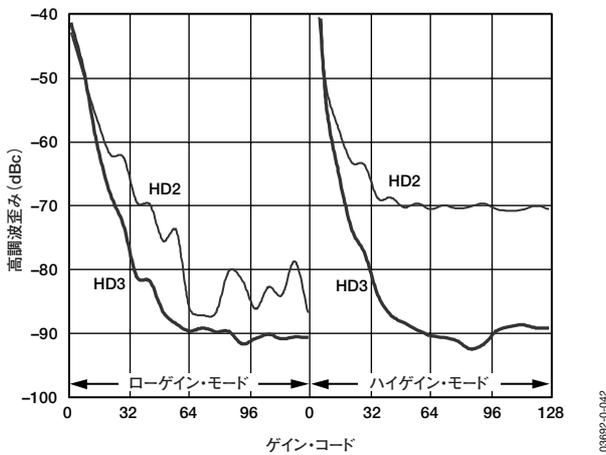


図48. 図45の回路の高調波歪み

DC結合動作

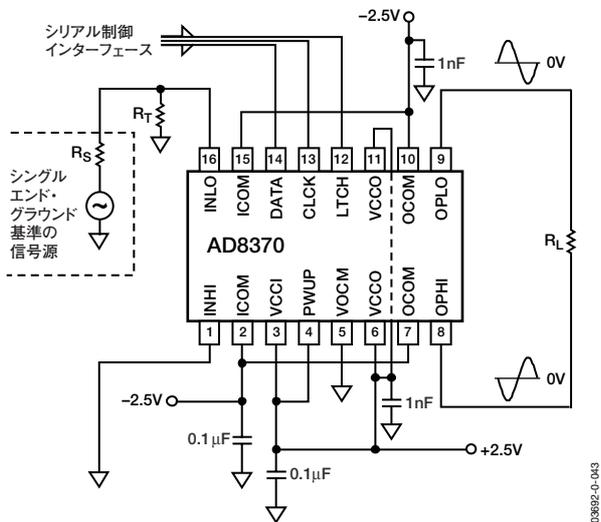


図49. AD8370のDC結合。両電源を使用して、入力と出力の同相レベルを0Vに設定

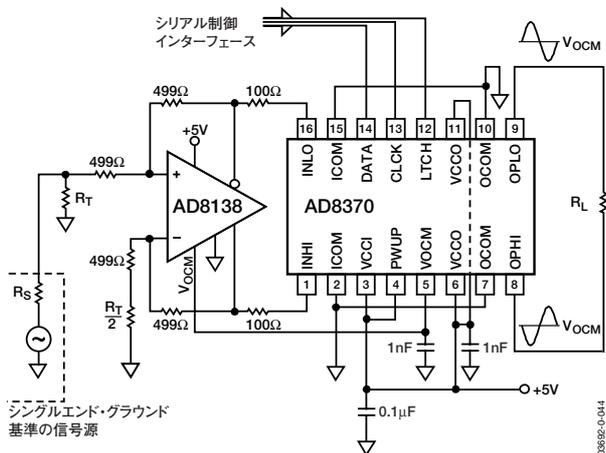


図50. AD8370のDC結合。AD8138をユニティ・ゲインのレベル・シフト用アンプとし、信号源の同相レベルを中間電源まで増加

AD8370は、DC精度の可変ゲイン・アンプでもあります。出力ピンの同相DC電圧は、正側の電源レールとコモン（グラウンド）ピンの間に接続された基本的にバッファされた抵抗分圧ネットワークによって、内部で中間電源電圧に設定されます。入力ピンはややDC電位が高く、ゲイン設定に応じて出力ピンより一般に250~550mV高くなります。標準的な単電源アプリケーションでは、対称性の振幅を維持するとともに、入力および出力ピンから発生する大きいバイアス電流のシンクやソースを防止するために、信号源と負荷の同相リファレンス・レベルを中間電源とほぼ同じ電圧まで上げる必要があります。図49に示すように平衡の両電源を使用することによって、グラウンド基準の信号源と負荷が可能になります。VOCMピンと未使用の入力をグラウンドに接続することによって、入力と出力の同相電位が仮想グラウンドに強制設定されます。これにより、グラウンド基準の信号源と負荷の直接の結合が可能になります。初期差動入力オフセットは、わずかに数100μV (typ)にすぎません。温度変化による入力オフセットの変動は、数10mVまで高くなる場合があります。温度変化や時間が経過する中で精度の高いDC精度が要求される場合は、入力オフセットを定期的に計測し、未使用の差動入力に必要な逆オフセットをかけ、結果として生じる出力オフセットをキャンセルする必要があります。

両電源の使用が不都合な場合に対処するために、図50に第2のオプションを示します。この回路では差動アンプのAD8138を使用し、駆動信号源の同相レベルを中間電源に変換します。こうすれば、両電源なしでグラウンド基準の信号源でDC精度性能が得られます。図50に示す回路の帯域幅は、AD8138のゲイン帯域幅 (GB) 積によって制限されます。2種類の方法における正規化された周波数応答性を図51に示します。

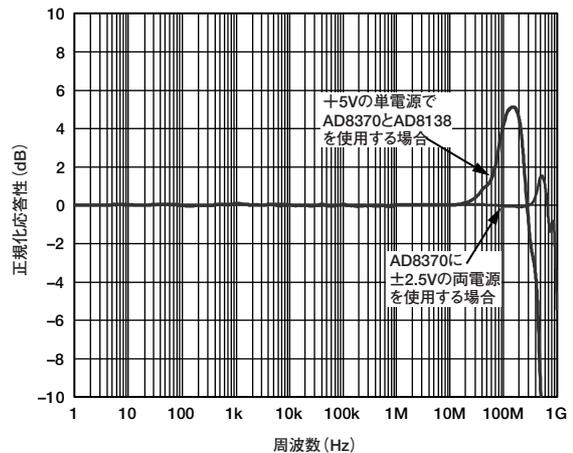


図51. 図49と図50に示す2つの回路の正規化周波数応答性

ADCとのインターフェース

AD8370は100Ωのソース・インピーダンスを出力する設計になっていますが、十分なゲインと歪み性能を保ちながら、さまざまな負荷を駆動できます。AD8370の一般的なアプリケーションは、IFサンプリング・レーザバやダイナミック・レンジの広いブロードバンド・デジタイザでのADC駆動です。ゲイン調整範囲が広いので、分解能が低いADCを使用できます。代表的なADCインターフェース・ネットワークを図52に示します。

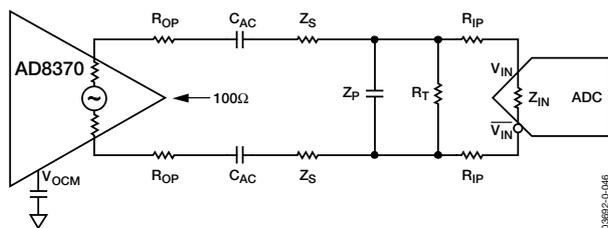


図52. 一般的なADCインターフェース

このインターフェース・ネットワークで使用する部品の値を決定するには、あらかじめADCの望ましい動作周波数範囲や入力振幅、入力インピーダンスなどの多くの要素を考慮しておく必要があります。AC結合コンデンサ C_{AC} を使用して、AD8370の出力に存在するDCオフセットをすべてブロックします。このようにすることによって、ADCが入力範囲を有効に使用できるようになります。 C_{AC} コンデンサの容量を十分に大きくして、所定の動作周波数範囲でリアクタンスがごくわずかになるようにします。VOCMピンは、電圧リファレンスを内蔵していないADCの外部リファレンス電圧に使用できます。いずれの場合も、広帯域幅ノイズの混入を可能な限り少なくするために、ある程度の容量があるバイパス用コンデンサ（1~10nF）をグラウンド間に接続し、VOCMピンをデカップリングすることを推奨します。

入力と出力の寄生容量を抑える抵抗 R_{IP} と R_{OP} を挿入するのもよいでしょう。この寄生容量抑制抵抗は、内部ボンディング・ワイヤのインダクタンス、パッドとサブストレート間の容量、プリント回路基板のパターン配線アートの浮遊容量から生じる共振効果を防ぐのに効果的です。抵抗を使用しない場合は、望ましくないセトリング特性が見られる場合があります。一般に、共振効果を減衰するには10~25Ωの直列抵抗値だけで十分です。大部分のADCに高い入力インピーダンスがあることを考えれば、 R_{IP} と R_{OP} の直列抵抗間で失われる信号はごくわずかなものにすぎません。

ADCの入力システムによる入力インピーダンスに応じて、終端抵抗 R_T でADCの入力をさらに低いインピーダンスで終端することが望ましい場合があります。AD8370の高周波数応答性は、非常に小さい負荷を駆動するときに大きいピーキングを示します。また、終端抵抗によってADC入力の入力インピーダンスとマッチさせることができます。適度な許容誤差の終端抵抗（通常、1%）を使用してADCの入力をシャントすれば、デバイス間のADC入力インピーダンスの変動が低減します。

結合コンデンサ、寄生容量抑制抵抗、終端抵抗に適切な値を決定したら、今度は中間フィルタ・ネットワークの設計を行います。図52に示す例は、直列インダクタとシャント・コンデンサで構成する2次ローパス・フィルタ・ネットワークを示しています。使用するフィルタ・ネットワークの次数とタイプは、ADCインターフェースに必要な高周波数除去性能、通過帯域リップルと群遅延によって異なります。場合によっては、信号スペクトルの帯域幅がすでに十分制限されているため、フィルタ・ネットワークを追加する必要がないこともあります。このような場合、単に Z_S をショートし、 Z_P をオープンにします。その他の状況では、かなり高次のアンチエイリアシング（折返し誤差防止）・フィルタを使用し、ADCの最初のナイキスト・ゾーンに折り返される不要な高周波数スペクトルを最小に抑える必要があります。

フィルタ・ネットワークを正しく設計するには、寄生容量除去抵抗と終端抵抗によって追加される抵抗成分を含め、AD8370とADCの入力によって生じる信号源と負荷全体のインピーダンスについて検討する必要があります。図53に示すシングルエンド等価回路を使用することによって、フィルタ設計を行うことができます。フィルタ合成に関しては、さまざまな参考文献があります。多くの場合、各種フィルタのタイプと次数を示す表が記載されており、1Hzのカットオフ周波数と1Ωの負荷に対する正規化されたインダクタとコンデンサの値がわかります。正規化されたプロトタイプ素子の値を、実際に望ましいカットオフ周波数と負荷インピーダンスによってスケールした後は、直列素子のリアクタンスを1/2に分割するだけで、平衡フィルタ・ネットワークの最終的な部品値を決定できます。

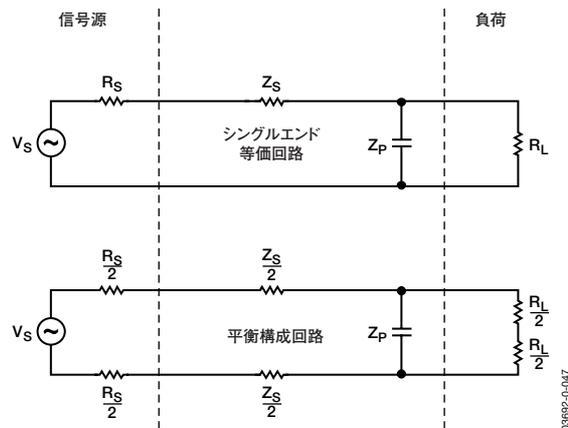


図53. シングルエンド/差動ネットワーク変換

一例として、2次バターワース・ローパス・フィルタの設計を紹介します。この設計では、差動負荷インピーダンスを1200Ω、AD8370のパッド・ソース・インピーダンスを120Ωとしています。負荷対ソース・インピーダンスの比を10:1として正規化された直列インダクタの値は0.074Hで、正規化されたシャント・コンデンサの容量は14.814Fです。カットオフ周波数が70MHzの場合、シングルエンド等価回路は200nHの直列インダクタとその後続く27pFのコンデンサで構成されます。平衡等価回路にするには、200nHのインダクタを1/2に分割するだけで、図54に示すようなネットワークが構成できます。

AD8370

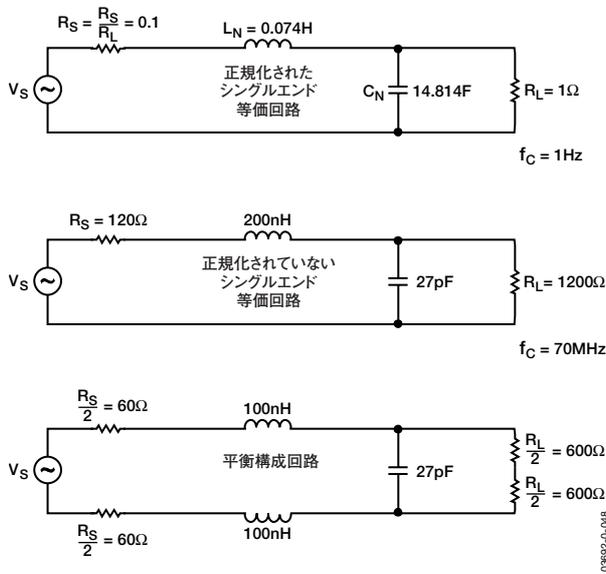


図54. 2次バターワース・ローパス・フィルタ設計の例

設計例の全体を図56に示します。AD8370は、シングルエンドの75Ω入力を得られるように入力を終端したシングルエンド/差動変換の構成になっています。170MSPS 12ビットADCのAD9430の入力とAD8370の出力のインターフェースに、6次のチェビシェフ差動フィルタを使用しています。このフィルタはエイリアス効果を最小に抑え、高調波歪み性能を改善します。

このフィルタ・ネットワークでの負荷が全体で約1kΩになるように、AD9430の入力を1.5kΩの抵抗で終端します。AD8370の可変ゲインによって、ADCが使用できるダイナミック・レンジが拡張します。この回路の組合せで測定した42MHz時の相互変調歪みを図55に示します。

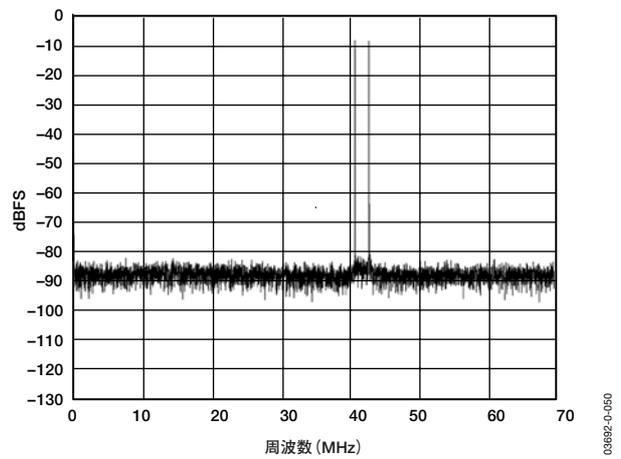


図55. 図56に示す回路の42MHz時のツートーン相互変調歪みのFFTプロット

図55でわかるように、相互変調歪みはADCのノイズ・フロアと同等です。この回路の組合せにおけるスプリアスフリー・ダイナミック・レンジは、70MHzの測定帯域幅で66dBより高くなります。

3V動作

わずか3Vの電圧でもAD8370を動作させることができます。この場合の性能の低下は、ごくわずかです。3V動作時の代表的な仕様を表6に示します。

表6

パラメータ	代表値 (70MHz、RL=100Ω)
出力IP3	+23.5dBm
P1dB	+12.7dBm
-3dB帯域幅	650MHz (HG127)
IMD3	-82dBc (RL=1kΩ)

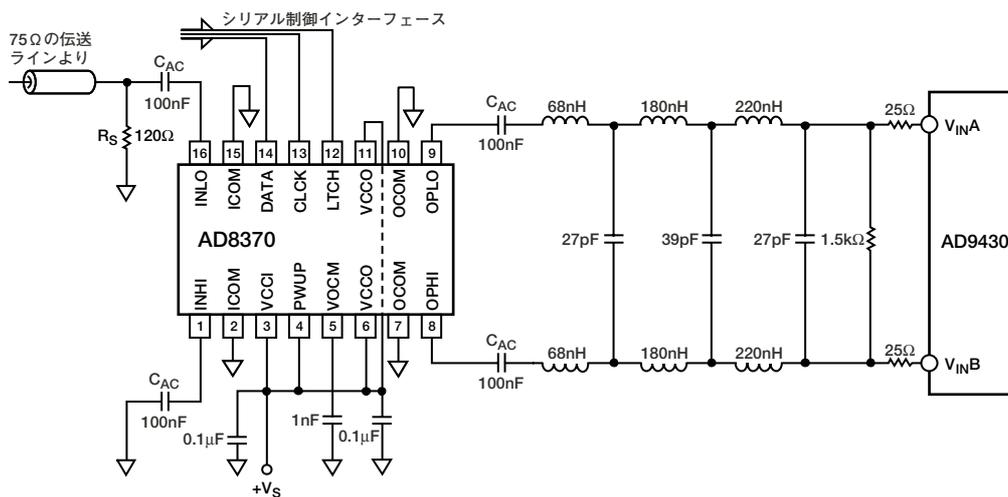


図56. ADCインターフェースの例

AD8370

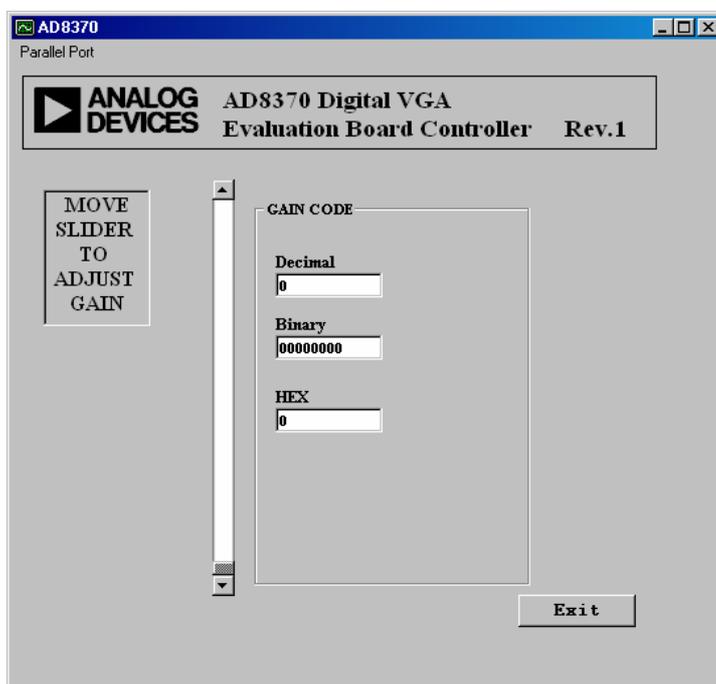


図58. 評価用ソフトウェア

表7. AD8370評価用ボードの設定オプション

部品	機能	デフォルト設定
VS、GND、VOCM	電源インターフェース・ベクトル・ピン。VSとGNDの間に電源電圧を印加します。VOCMピンによって、同相入力/出力のバイアス・レベルを外部でモニタリングができます。	なし
SW1、R8、C10、PWUP	デバイス・イネーブル。デバイスをパワーアップするときに、ポジションBに設定します。ポジションAに設定すると、PWUPピンがPWUPベクトル・ピンに接続されます。PWUPピンは、外部からデバイスのパワー・サイクリングを実行できるようにします。正しいケーブルの終端ができるように、R8とC10があります。	SW1=実装済み R8=49.9Ω (サイズ0805) C10=オープン (サイズ0805)
P1、R5、R6、R7、C9	シリアル制御インターフェース。大部分のPCから評価用ボードの制御ができます。Windows®ベースの制御用ソフトウェアは、評価用キットに同梱されています。PCを評価用ボードに接続するには、25ピンDサブコネクタ・ケーブルが必要です。PCポート信号の品質によっては、クロック・ラインにコンデンサを使用しなければならないことがあります。C9はクロックのオーバーシュートを低減するために使用し、通常は1nFのコンデンサで十分です。	P1=実装済み R5、R6、R7=1kΩ (サイズ0603) C9=オープン (サイズ0603)
J1、J2、J6、J7	入力および出力信号コネクタ。これらのSMAコネクタによって、評価用ボードと50Ωテスト装置のインターフェースが簡単にできます。一般に、デバイスの評価はシングルエンドの信号源と負荷を使用して行います。信号源はJ1 (IN+) に接続し、負荷はJ6 (OUT+) に接続します。	なし
C1、C2、C3、C4	AC結合コンデンサ。入力および出力信号のAC結合を行います。	C1、C2、C3、C4=1nF (サイズ0603)
T1、T2	インピーダンス・トランス。T1は50Ωのインピーダンスを200Ωに変換します。T2は100Ωのインピーダンスを50Ωに変換します。	T1=TC4-1W (MiniCircuits) T2=JTX-2-10T (MiniCircuits)
R1、R2、R3、R4	シングルエンドまたは差動。R2とR4は、トランスT1およびT2の2次巻線のセンター・タップのグラウンド接続に使用します。R1とR3は、シングルエンド・アプリケーションでJ2とJ7をグラウンド接続するときに使用します。	R1、R2、R3、R4=0Ω (サイズ0603)
C5、C6、C7、C8、L1、L2	電源デカップリング。公称の電源デカップリングを行うには、フェライト・ビーズ・インダクタを直列に接続し、1μFのコンデンサをグラウンド間に接続した後で、0.1μFのコンデンサをデバイスにできるだけ近い場所でグラウンド間に接続します。C7は、入力同相電圧の追加デカップリングに使用します。L1によって、入力および出力電源間の高周波数絶縁が得られます。L2は、アナログ・グラウンドとデジタル・グラウンド間の高周波数絶縁になります。	C6=1μF (サイズ0805) C5、C7、C8=0.1μF (サイズ0603) L1、L2=HZ1206E601R-00 (Steward、サイズ1206)

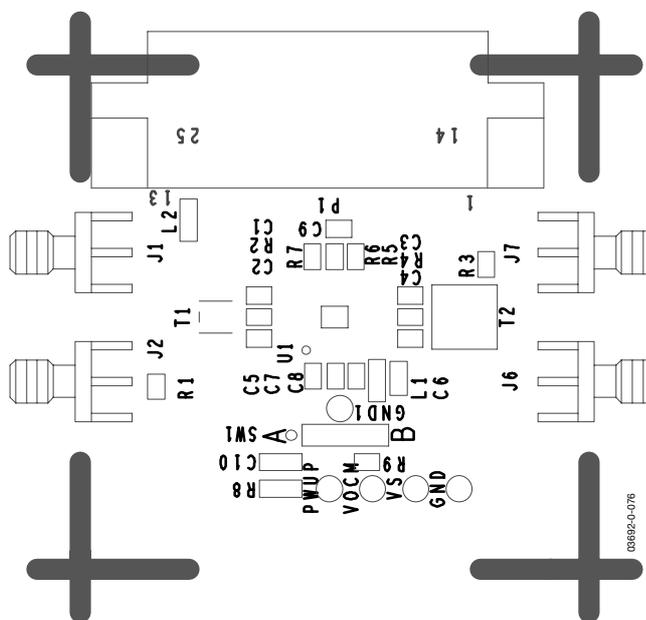


図59. 評価用ボードの上面シルクスクリーン

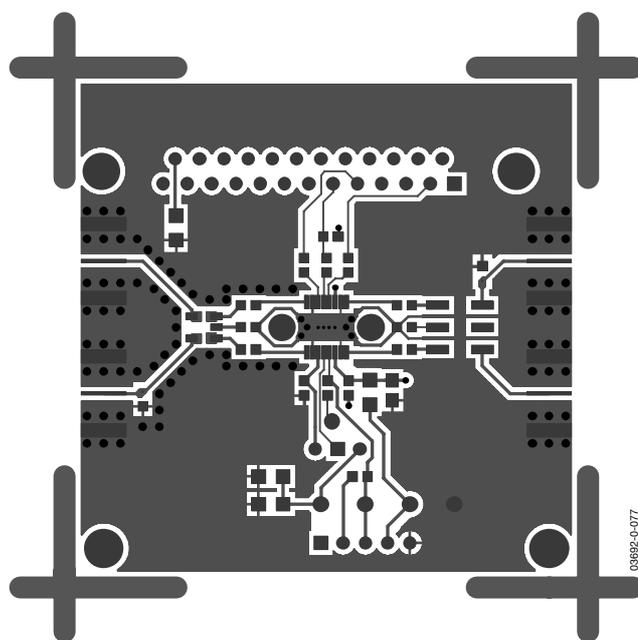


図61. 評価用ボードの上面層

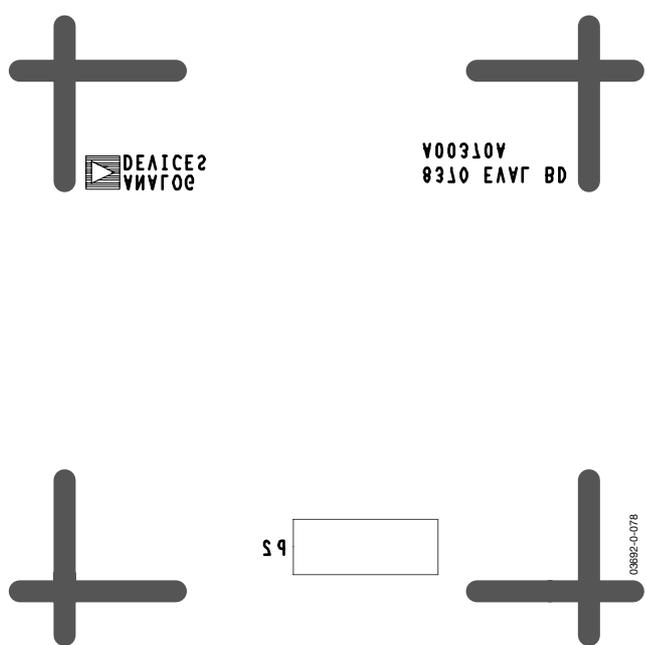


図60. 評価用ボードの底面シルクスクリーン

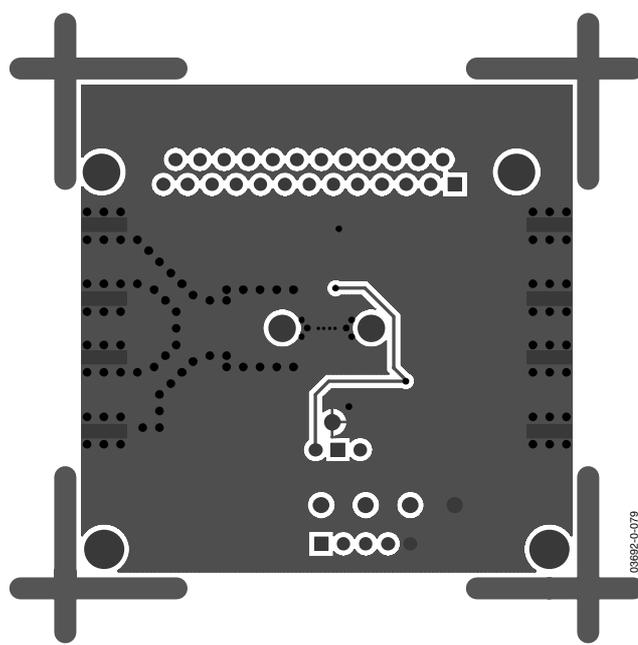


図62. 評価用ボードの底面層

AD8370

付録

特性評価用装置

本データシートに記載するゲイン、位相、群遅延、逆絶縁、CMRR、sパラメータ等のデータは、「Agilent N4441A平衡計測システム」を使用して得たものです。sパラメータのデータを除き、T型減衰器パッドを使用して、この計測器のポートの50ΩインピーダンスをAD8370にマッチングさせています。マッチングのとれたバラン／減衰器ネットワークを介したIMD、IP3、P1dBの非直線性計測には、「Agilent 4795Aスペクトラム・アナライザ」を使用しました。その他の各種測定については、この項で示すセットアップにより実施しました。

複合波形の想定

本データシートを作成するために実施した非直線性のツートーン計測、すなわちIMDとIP3の測定は、出力における複合波形が固定値（通常は1V p-p）になるという想定に基づいています。計測対象の周波数によって、RFテスト装置を使用しなければなりません。この装置は一般にボルト単位ではなく、ワットおよびdBm単位で動作するため、装置のセットアップと動作を簡単にする条件を想定しました。2つの正弦波トーンは以下の式で表すことができます。

$$V_1 = V \sin(2\pi f_1 t)$$

$$V_2 = V \sin(2\pi f_2 t)$$

シングルトーンのrms平均電圧は、次の式で求めることができます。

$$\sqrt{\frac{1}{T} \int_0^T (V_1)^2 dt} = \frac{1}{\sqrt{2}}$$

ここで、Tは波形の周期です。ツートーン・コンポジット信号のrms平均電圧は、次の式で得られます。

$$\sqrt{\frac{1}{T} \int_0^T (V_1 + V_2)^2 dt} = 1$$

この複合波形の平均パワーは、シングルトーンの場合の2倍(3dB)になることがわかります。このことから、コンポジットのピークtoピーク電圧はシングルトーンの2倍(6dB)ということになります。この原理を利用して、dBm単位にスケールリングされた発生器から正しい入力振幅を設定できます。ツートーンが同じ振幅で、周波数が十分に近接していれば、正しいことがわかります。

選択されたパラメータの定義

この特性評価では、同相除去比(図26)を以下のように定義しています。

$$\frac{\text{差動モード・ゲイン}}{\text{コモン・モード・ゲイン}}$$

この式で、分子は入力における差動信号源に伴って出力に現れる差動負荷に対するゲイン、分母は入力における同相信号源に伴って出力に現れる差動モード負荷に対するゲインです。ミックスド・モードのsパラメータは、次の式で表すことができます。

$$\frac{SDD21}{SDC21}$$

ミックスド・モードのsパラメータに関する詳細については、次の文献を参照してください。D. E. Bockelman, W. R. Eisenstadt共著「Combined Differential and Common-Mode Scattering Parameters: Theory and Simulation (差動と同相の組合わせ分散パラメータ：その理論とシミュレーション)」(『IEEE Transactions on Microwave Theory and Techniques (マイクロ波の理論と技術に関するIEEE会報)』v 43, n 7, 1530 (1995年7月)に収録)

逆絶縁(図24)はSDD12と定義されます。

電源電圧変動除去比(PSRR)は、以下の式によって定義されています。

$$\frac{A_{dm}}{A_s}$$

ここで、 A_{dm} は差動モードのフォワード・ゲイン(SDD21)、 A_s は電源ピン(VCCIとVCCOの各ピン)から出力(差動のOPLOおよびOPHI)までのゲインであり、インピーダンスのミスマッチングを補正しています。詳細については、次の文献を参照してください。P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer共著『Analysis and Design of Analog Integrated Circuits (アナログ集積回路の解析と設計)』第4版、John Wiley & Sons, Inc., 422ページ

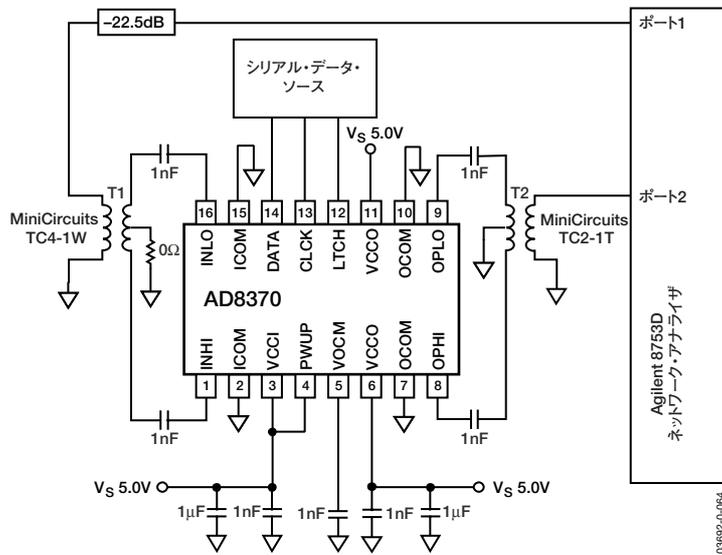


図63. PSRR A_{dm} のテスト・セットアップ

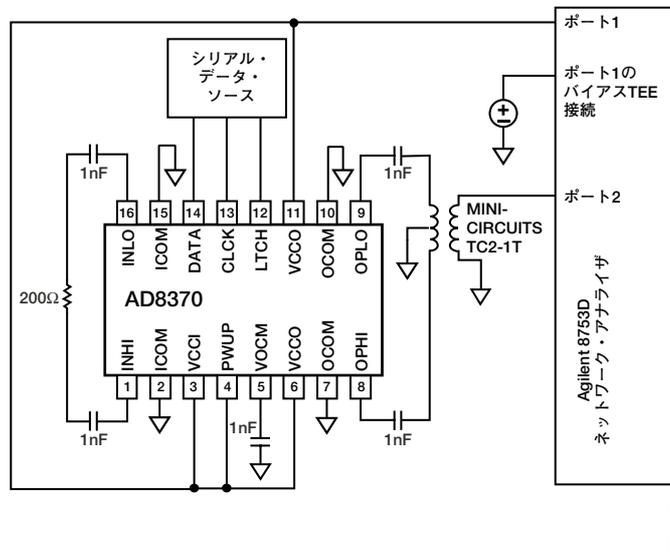


図64. PSRR A_s のテスト・セットアップ

AD8370

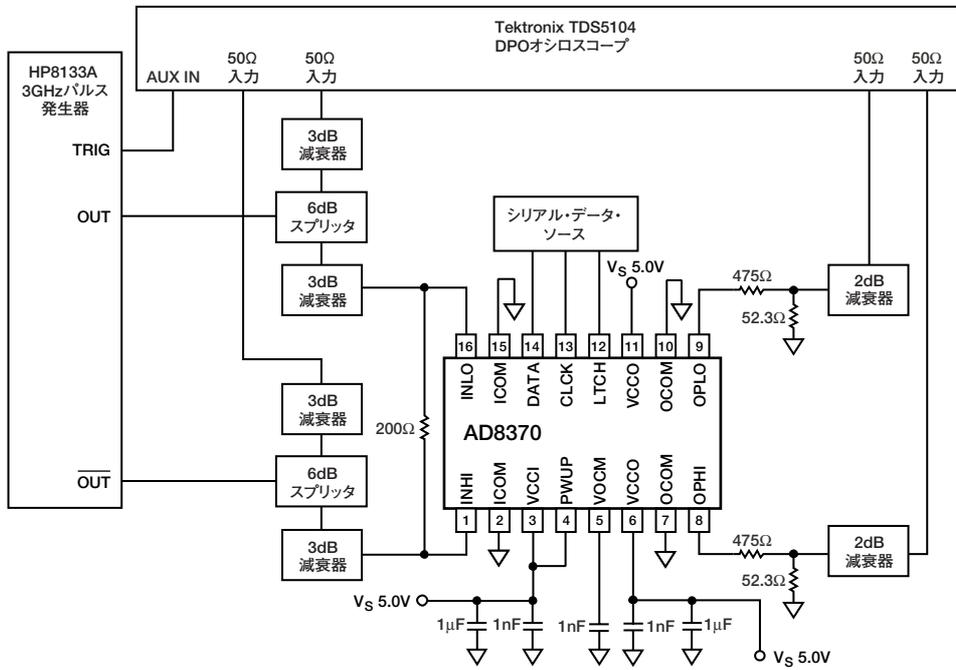


図65. DCパルス応答性とオーバードライブ回復のテスト・セットアップ

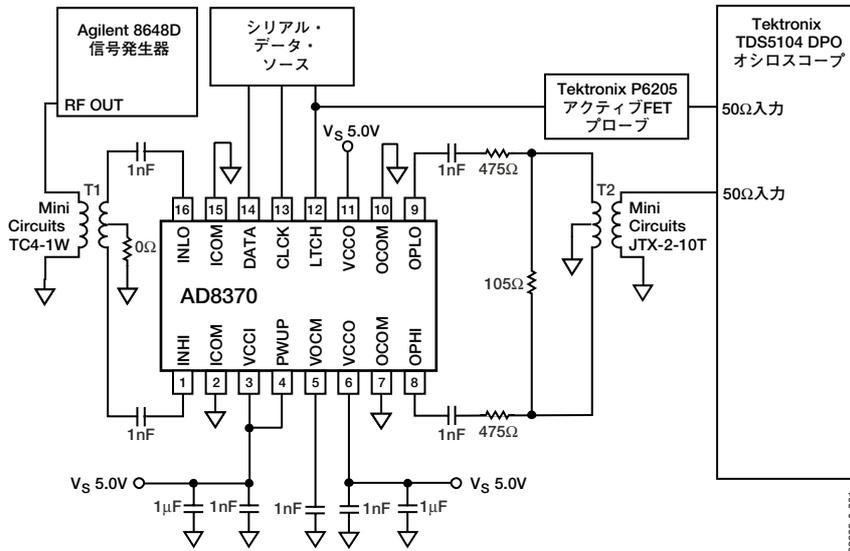


図66. ゲイン・ステップ時間軸応答性のテスト・セットアップ

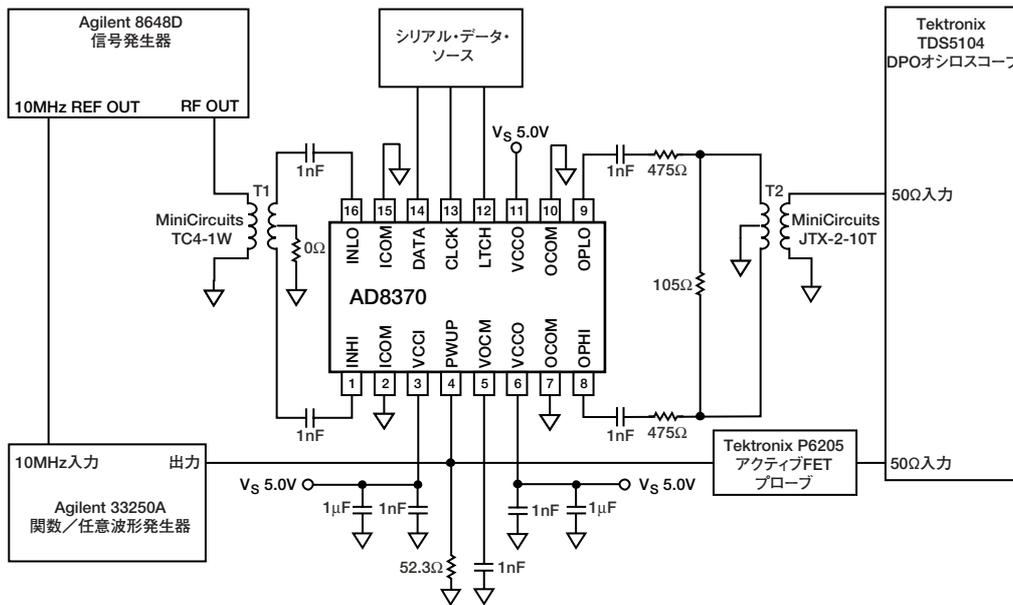
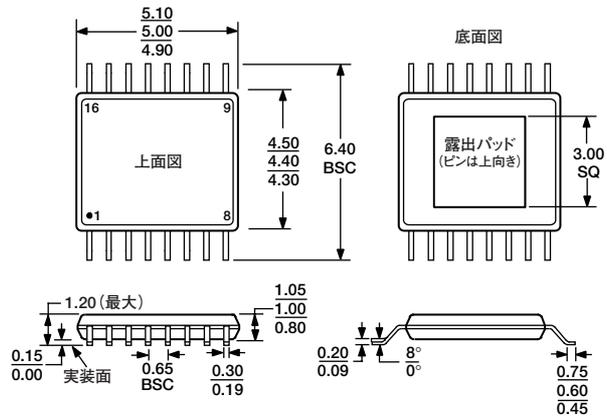


図67. PWUPの時間軸応答性のテスト・セットアップ

098892-C-092

AD8370

外形寸法



JEDEC規格MO-153-ABTに準拠

図68. 16ピンTSSOP (RE-16)

オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション
AD8370ARE	-40~+85℃	16ピンTSSOP、チューブ	RE-16
AD8370ARE-REEL7	-40~+85℃	16ピンTSSOP、7インチ・リール	RE-16
AD8370-EVAL		評価用ボード	

D03692-0-1/04(0)-J