

特長

- 単電源動作: 3 V~36 V
- 広い入力電圧範囲
- レール to レールの出力振幅
- 低電源電流: 250 μ A/amp
- 広い帯域幅: 1.2 MHz
- スルーレート: 0.46 V/ μ s
- 低オフセット電圧: 500 μ V 最大
- 位相反転なし

アプリケーション

- 工業用プロセス制御
- バッテリー駆動の計装機器
- 電源の制御と保護
- 通信
- リモート・センサー
- 低電圧ストレイン・ゲージ・アンプ
- DAC 出力アンプ

概要

ADA4091-2 は、レール to レールの入力と出力を持つマイクロパワー、単電源、1.2 MHz 帯域幅のデュアル・アンプです。+3 V の単電源と ± 15 V の両電源での動作が保証されています。

ADA4091 ファミリーのオペアンプは、入力電圧が位相反転またはラッチアップを起こすことなく安全に電源電圧を超えることを可能にする独自の入力ステージを採用しています。出力電圧振幅は、電源電圧の 10 mV 内側まで可能です。

これらのアンプのアプリケーションとしては、携帯型通信機器、電源の制御/保護、広い出力範囲を持つトランスジューサのインターフェースなどがあります。レール to レール入力のアンプを必要とするセンサーとしては、ホール効果、圧電、抵抗などのトランスジューサがあります。

ピン配置



図 1.8 ピン・ナローボディ SOIC

入力と出力でレール to レールの振幅が可能であるため、単電源システムでマルチステージ・フィルタの構築が可能になるので、高い信号対ノイズ比を維持することができます。

ADA4091 ファミリーのオペアンプの仕様は、 -40°C ~ $+125^{\circ}\text{C}$ の拡張工業温度範囲で規定されています。ADA4091-2 はアナログ・デバイス社の 36 V 低消費電力オペアンプ・ファミリーに属し、このファミリーの拡張は続いています(表 1 参照)。

ADA4091-2 は、8 ピン・プラスチック SOIC 表面実装パッケージを採用しています。

表 1. 低消費電力、36 V オペアンプ

Family	Rail-to-Rail I/O	PJFET	Low Noise
Single			OP1177
Dual	ADA4091-2	AD8682	OP2177
Quad		AD8684	OP4177

目次

特長.....	1	熱抵抗.....	6
アプリケーション.....	1	ESD の注意.....	6
ピン配置.....	1	代表的な性能特性.....	7
概要.....	1	動作原理.....	13
改訂履歴.....	2	入力過電圧保護機能.....	14
仕様.....	3	外形寸法.....	15
電氣的仕様.....	3	オーダー・ガイド.....	15
絶対最大定格.....	6		

改訂履歴

10/08—Revision 0: Initial Version

仕様

電氣的仕様

特に指定がない限り、 $V_{SY} = \pm 1.5 \text{ V}$ 、 $V_{CM} = 0.15 \text{ V}$ 、 $V_O = 1.4 \text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-500	+45	+500	μV
			-1.0		+1.0	mV
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-50		+50	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-55		+55	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-275		+275	nA
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-5		+5	nA
Input Voltage Range	CMRR	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-75		+75	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-1.5		+1.5	V
Common-Mode Rejection Ratio	CMRR	$\pm 1.5 \text{ V} < V_{SY} \pm 18 \text{ V}$	76			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	70			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 100 \text{ k}\Omega$, $V_O = 0.3 \text{ V to } 2.7 \text{ V}$	106			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	100			dB
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$R_L = 10 \text{ k}\Omega$, $V_O = 0.3 \text{ V to } 2.7 \text{ V}$	93			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	85	2.5		$\mu\text{V}/^\circ\text{C}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100 \text{ k}\Omega$ to GND	1.495			V
		-40°C to $+125^\circ\text{C}$	1.490			V
Output Voltage Low	V_{OL}	$R_L = 10 \text{ k}\Omega$ to GND	1.475			V
		-40°C to $+125^\circ\text{C}$	1.455			V
Short-Circuit Limit	I_{SC}	$R_L = 100 \text{ k}\Omega$ to GND			-1.498	V
		-40°C to $+125^\circ\text{C}$			-1.498	V
Open-Loop Impedance	Z_{OUT}	$R_L = 10 \text{ k}\Omega$ to GND			-1.495	V
		-40°C to $+125^\circ\text{C}$			-1.491	V
Short-Circuit Limit	I_{SC}	Sink/source = -40°C to $+125^\circ\text{C}$		± 31		mA
Open-Loop Impedance	Z_{OUT}	$f = 1 \text{ MHz}$, $A_V = 1$		102		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7 \text{ V to } 36 \text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	100			dB
Supply Current per Amplifier	I_{SY}	$I_O = 0 \text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	100		200 300	μA μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 100 \text{ k}\Omega$, $C_L = 30 \text{ pF}$		0.46		V/ μs
Settling Time	t_S	To 0.01%		22		μs
Gain Bandwidth Product	GBP			1.22		MHz
Phase Margin	Φ_M			69		Degrees
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		2		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1 \text{ kHz}$		24		nV/ $\sqrt{\text{Hz}}$

特に指定がない限り、 $V_O = \pm 5.0\text{ V}$ 、 $-4.9\text{ V} \leq V_{CM} \leq +4.9\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-500 -1.0	+141	+500 +1.00	μV mV
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		30	60	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			150	nA
Input Voltage Range			-5		+5	V
Common-Mode Rejection Ratio	CMRR	$\pm 1.5\text{ V} < V_{SY} \pm 18\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	88 82			dB dB
Large Signal Voltage Gain	A_{VO}	$R_L = 100\text{ k}\Omega$, $V_O = \pm 4.7\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $R_L = 10\text{ k}\Omega$, $V_O = \pm 4.7\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	113 103 98 87			dB dB dB dB
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100\text{ k}\Omega$ to GND -40°C to $+125^\circ\text{C}$	4.980 4.980	4.990		V V
Output Voltage Low	V_{OL}	$R_L = 10\text{ k}\Omega$ to GND $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $R_L = 100\text{ k}\Omega$ to GND -40°C to $+125^\circ\text{C}$ $R_L = 10\text{ k}\Omega$ to GND $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.950 4.900	4.970	-4.990 -4.980 -4.980 -4.975	V V V V
Short-Circuit Limit	I_{SC}	Sink/source = -40°C to $+125^\circ\text{C}$		± 20		mA
Open-Loop Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = 1$		77		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V}$ to 36 V $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	100 100			dB dB
Supply Current per Amplifier	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		180	225 300	μA μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 100\text{ k}\Omega$, $C_L = 30\text{ pF}$		0.46		V/ μs
Gain Bandwidth Product	GBP			1.22		MHz
Phase Margin	Φ_M			70		Degrees
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.8		μV p-p
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		24		nV/ $\sqrt{\text{Hz}}$

特に指定がない限り、 $V_{SY} = \pm 15.0\text{ V}$ 、 $-14.9\text{ V} \leq V_{CM} \leq +14.9\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-500		+500	μV
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-1.2		+1.20	mV
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-55		+55	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-80		+80	nA
Input Voltage Range	CMRR	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-510		+510	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-2		+2	nA
Common-Mode Rejection Ratio	A_{VO}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-10		+10	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-140		+140	nA
Large Signal Voltage Gain	CMRR	$\pm 1.5\text{ V} < V_{SY} < \pm 18\text{ V}$	-5		+5	V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	95			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	90			dB
		$R_L = 100\text{ k}\Omega$, $V_O = \pm 14.7\text{ V}$	116			dB
Large Signal Voltage Gain	A_{VO}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	106			dB
		$R_L = 10\text{ k}\Omega$, $V_O = \pm 14.7\text{ V}$	102			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	92			dB
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100\text{ k}\Omega$ to GND -40°C to $+125^\circ\text{C}$	14.975			V
Output Voltage Low	V_{OL}	$R_L = 10\text{ k}\Omega$ to GND $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	14.950			V
		$R_L = 100\text{ k}\Omega$ to GND -40°C to $+125^\circ\text{C}$	14.900			V
		$R_L = 10\text{ k}\Omega$ to GND -40°C to $+125^\circ\text{C}$	14.800			V
		$R_L = 100\text{ k}\Omega$ to GND -40°C to $+125^\circ\text{C}$			-14.990	V
Short-Circuit Limit	I_{SC}	Sink/source = -40°C to 125°C		± 20		mA
						-1.4990
Open-Loop Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = 1$		71		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V}$ to 36 V $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	100			dB
Supply Current per Amplifier	I_{SY}	$I_O = 0\text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			250	μA
					350	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 100\text{ k}\Omega$, $C_L = 30\text{ pF}$		0.46		V/ μs
Gain Bandwidth Product	GBP			1.27		MHz
Phase Margin	Φ_M			72		Degrees
Channel Separation	CS	$f = 1\text{ kHz}$		100		dB
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.8		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		25		nV/ $\sqrt{\text{Hz}}$

絶対最大定格

表 5.

Parameter	Rating
Supply Voltage	36 V
Input Voltage	Refer to the Input Overvoltage Protection section
Differential Input Voltage ¹	$\pm V_{SY}$
Output Short-Circuit Duration to GND	Indefinite
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

¹ 入力電流は±5 mA に制限する必要があります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、4 層の JEDEC 標準ボードにハンダ付けしたデバイスに対して自然空冷で規定します。

表 6. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC (R-8)	155	45	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

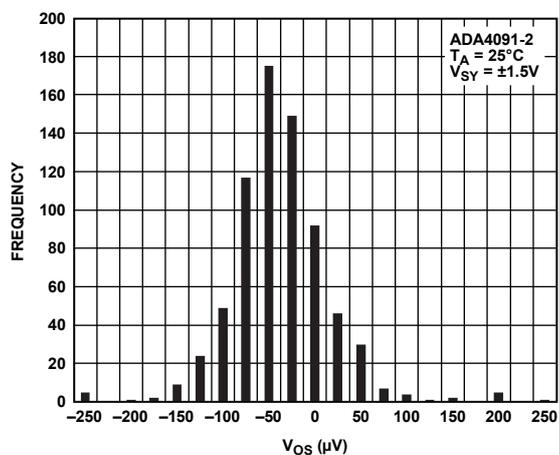


図 2. 入力オフセット電圧の分布

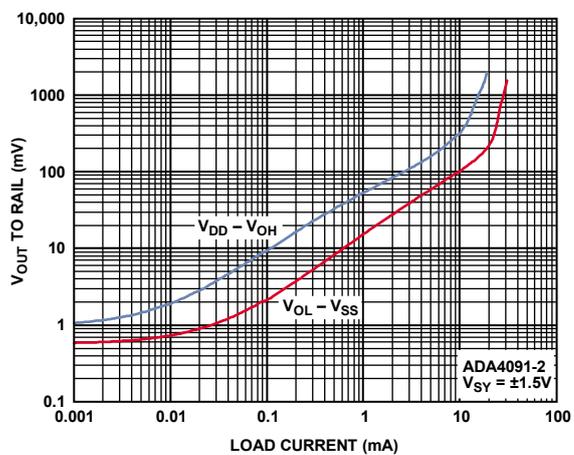


図 5. ドロップアウト電圧対負荷電流

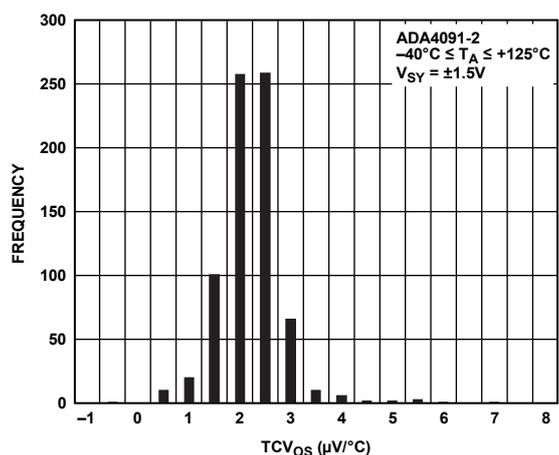


図 3. 入力オフセット電圧の温度特性

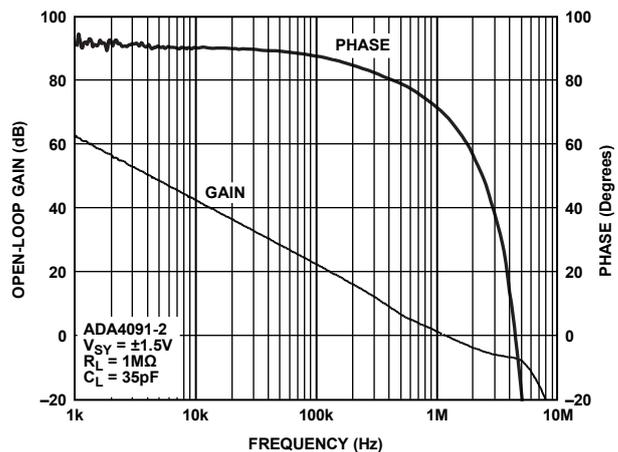


図 6. オープン・ループ・ゲインおよび位相の周波数特性

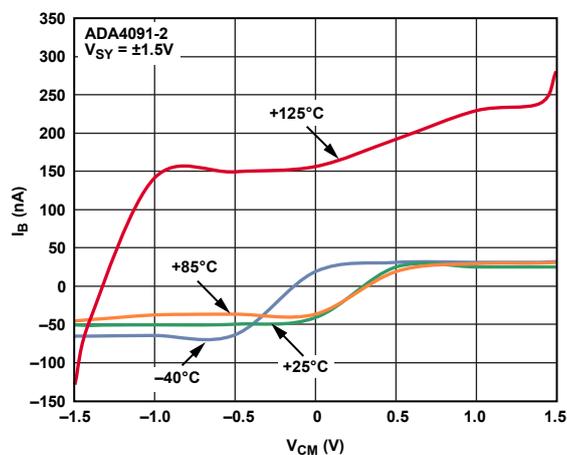


図 4. 入力バイアス電流対入力共通・モード電圧

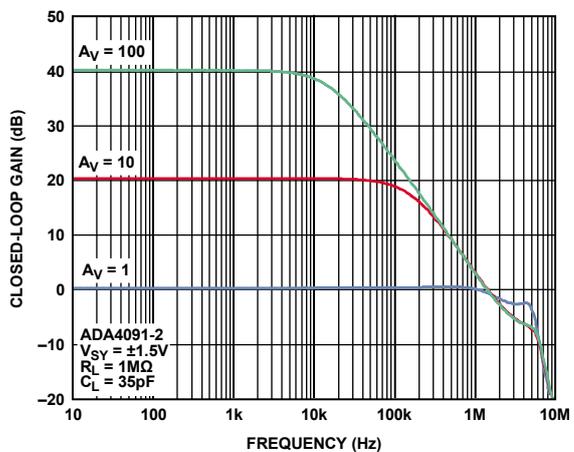


図 7. クローズド・ループ・ゲインの周波数特性

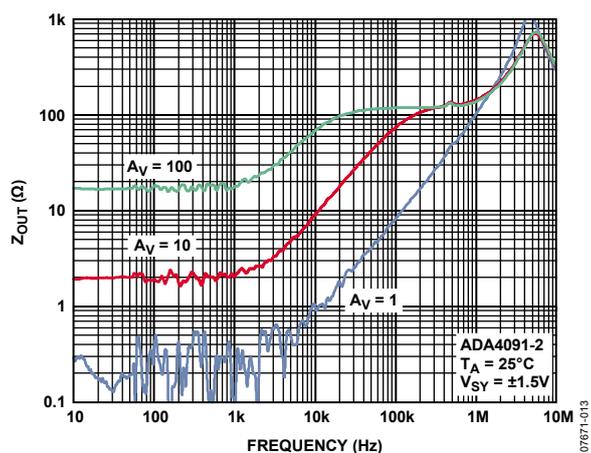


図 8. 出力インピーダンスの周波数特性

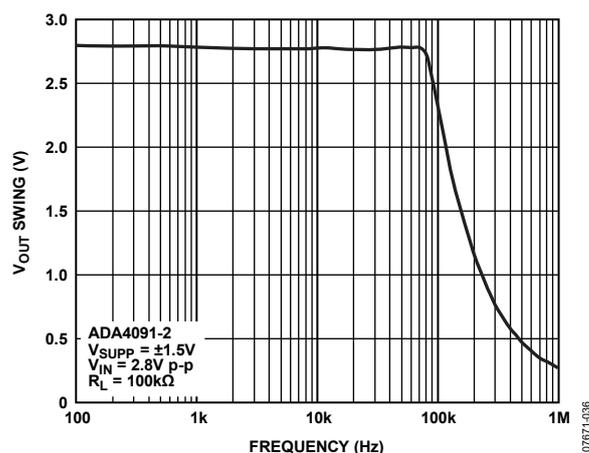


図 11. 出力振幅の周波数特性

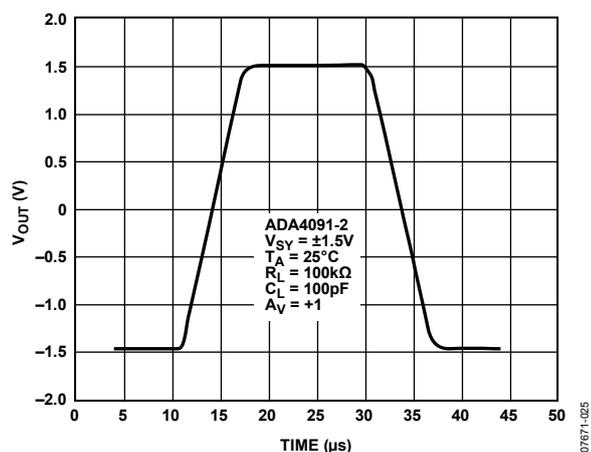


図 9. 大信号過渡応答

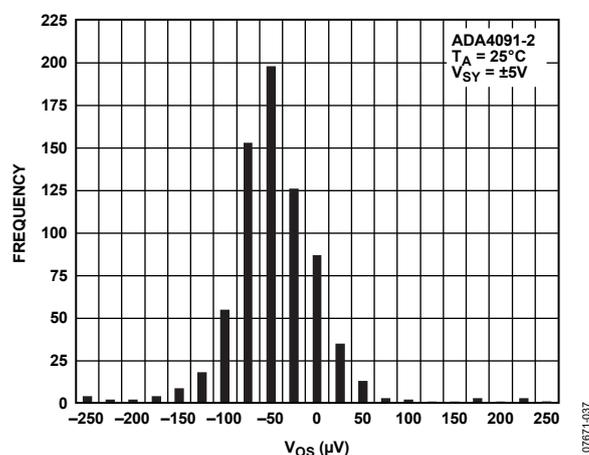


図 12. 入力オフセット電圧の分布

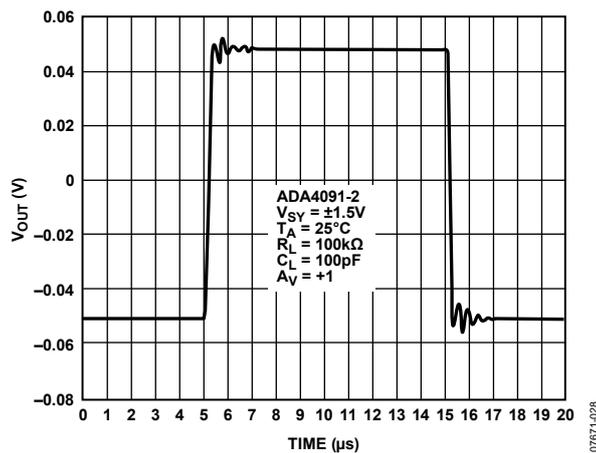


図 10. 小信号過渡応答

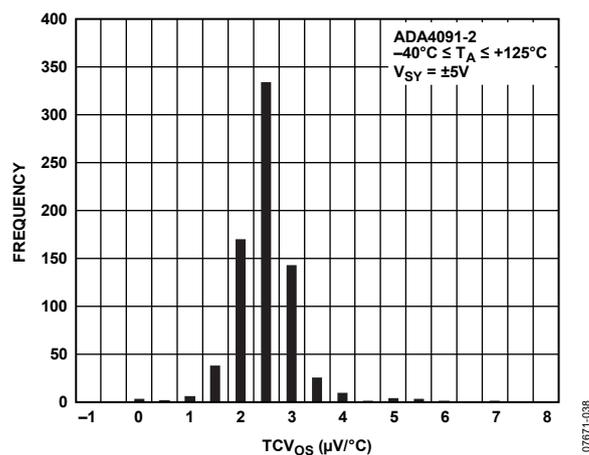


図 13. 入力オフセット電圧の温度特性

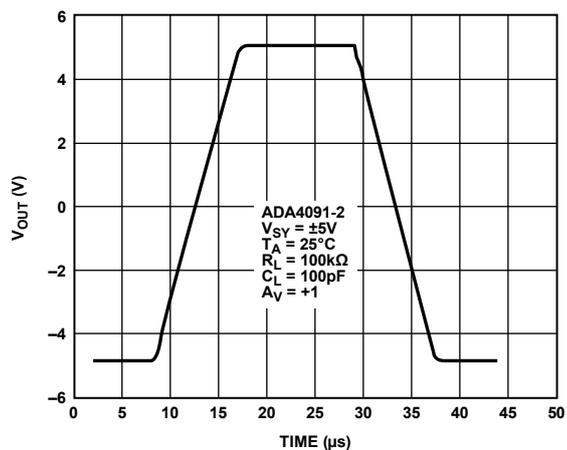


図 14.大信号過渡応答

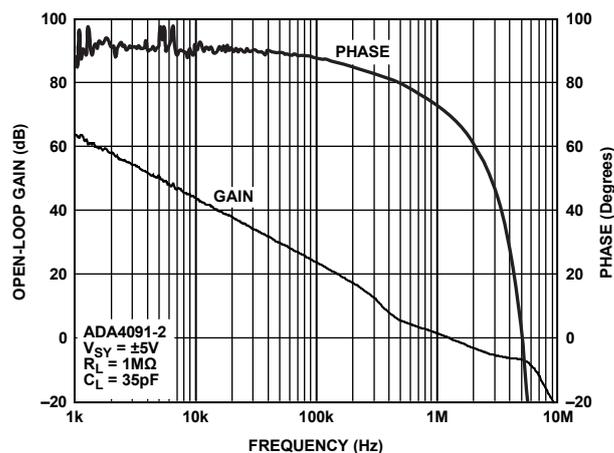


図 17.オープン・ループ・ゲインおよび位相の周波数特性

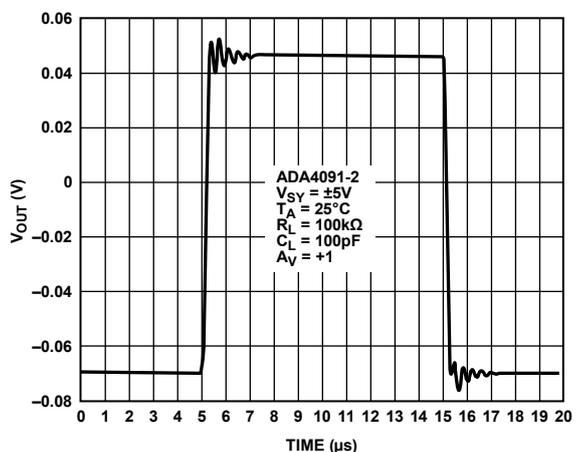


図 15.小信号過渡応答

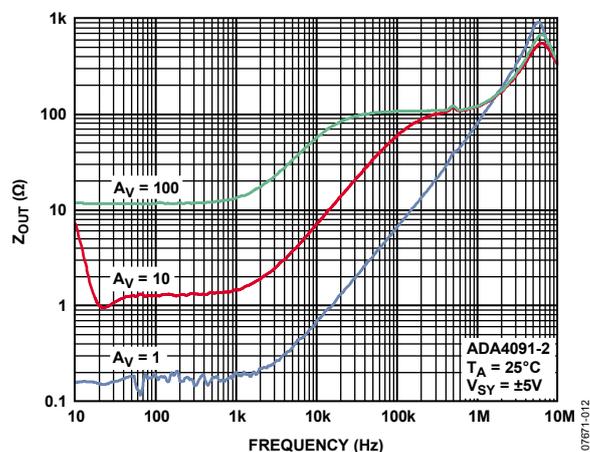


図 18.出カインピーダンスの周波数特性

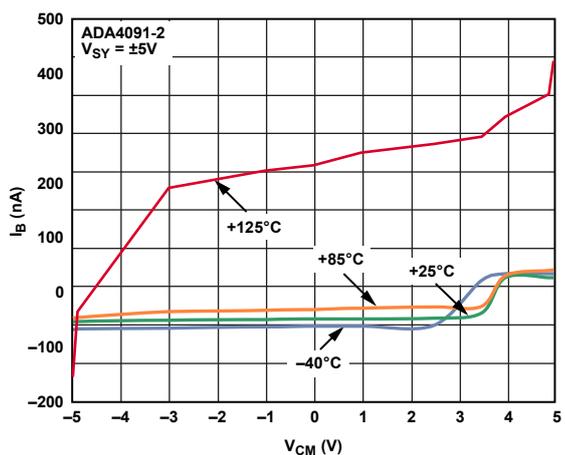


図 16.入カバイアス電流対コモン・モード電圧

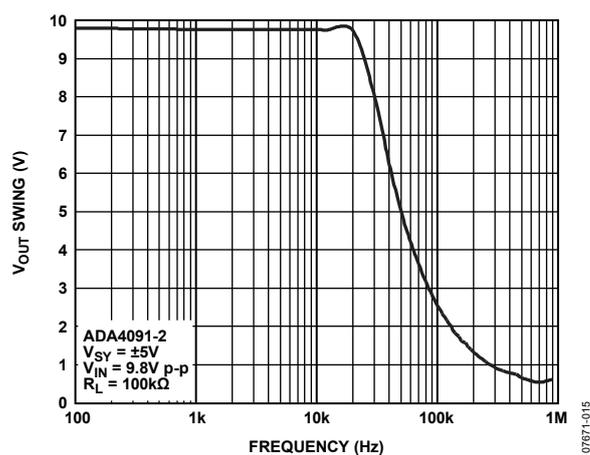


図 19.出力電圧振幅の周波数特性

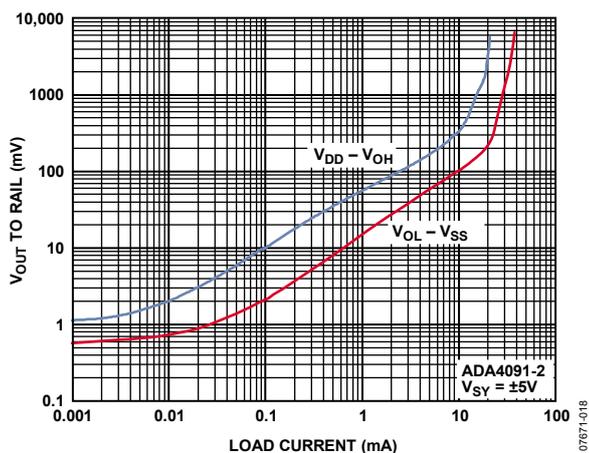


図 20. ドロップアウト電圧対負荷電流

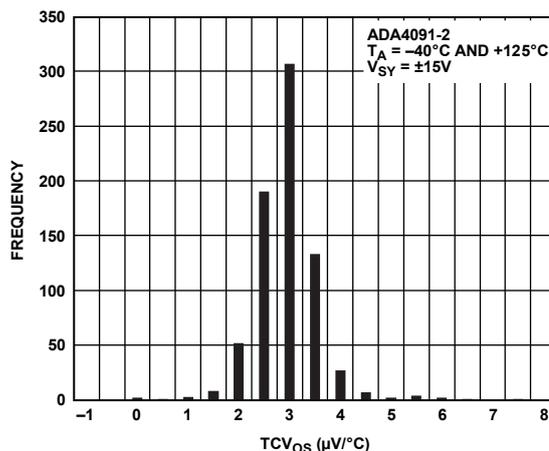


図 23. オフセット電圧の TC

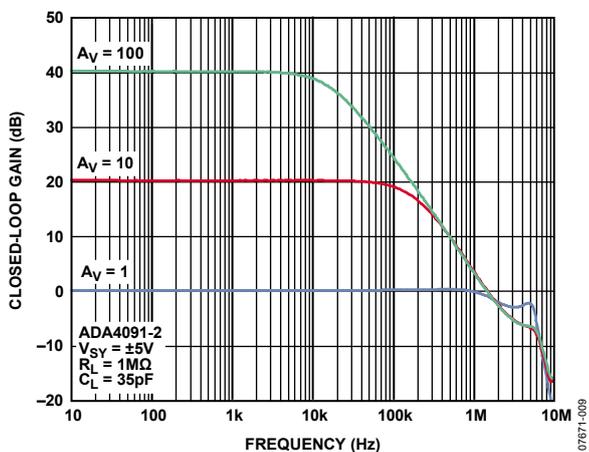


図 21. クローズド・ループ・ゲインの周波数特性

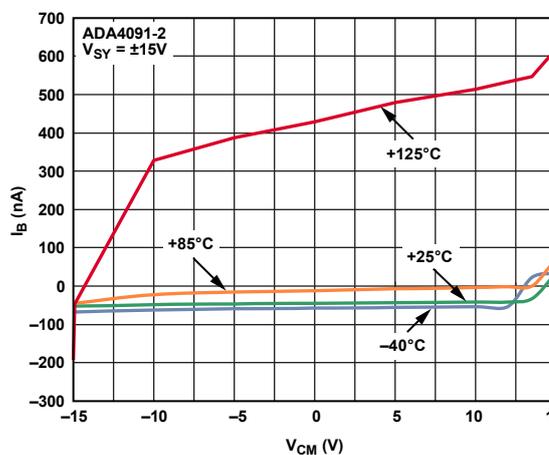


図 24. 入力バイアス電流対コモン・モード電圧

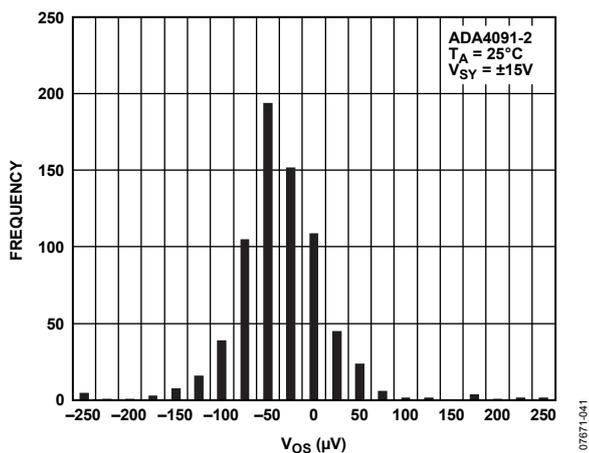


図 22. 入力オフセット電圧の分布

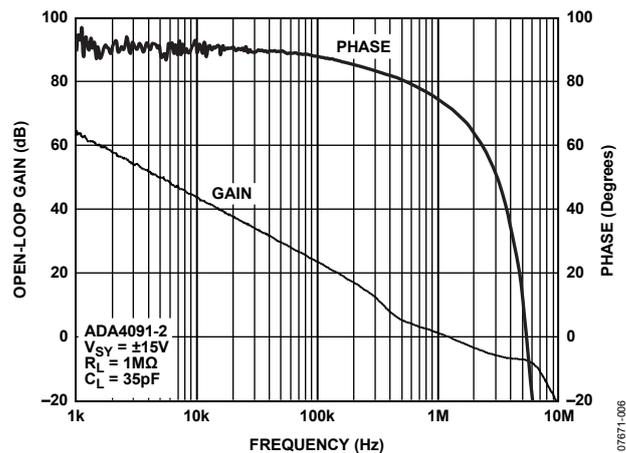


図 25. オープン・ループ・ゲインおよび位相の周波数特性

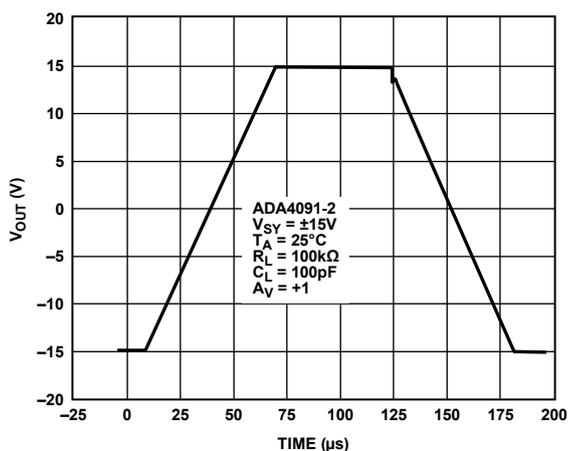


図 26.大信号過渡応答

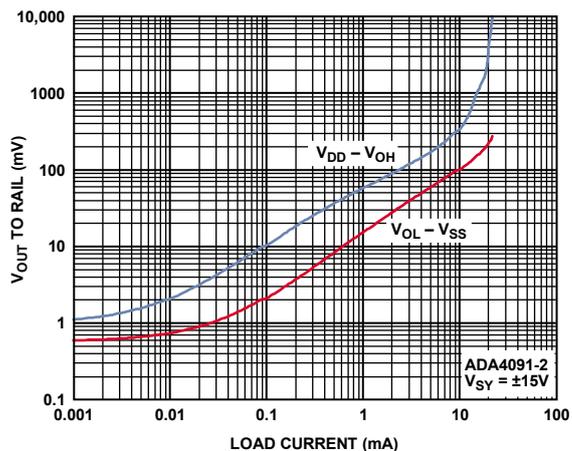


図 29.ドロップアウト電圧対負荷電流

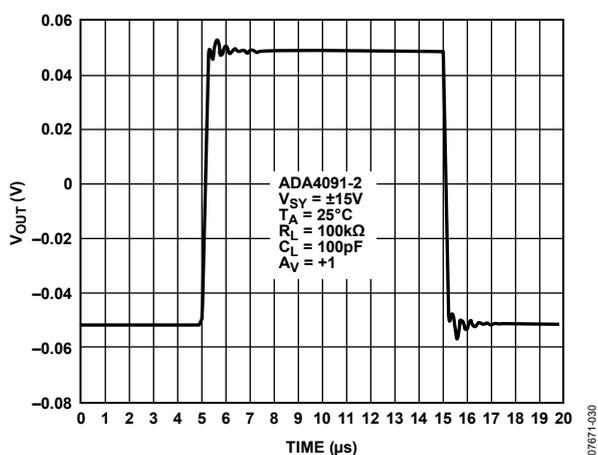


図 27.小信号過渡応答

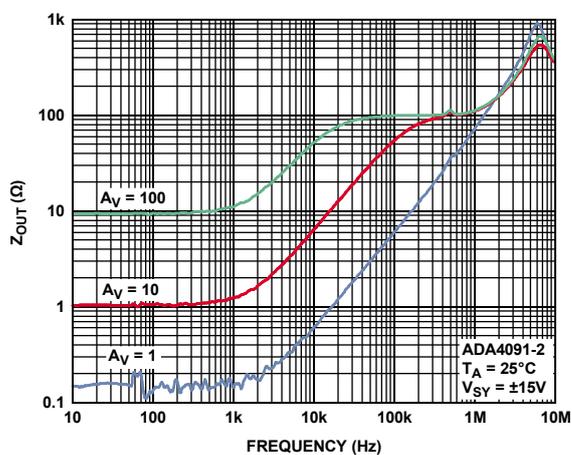


図 30.出カインピーダンスの周波数特性

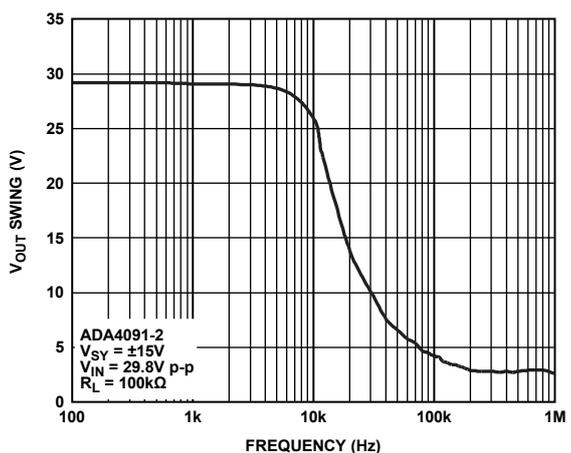


図 28.出力電圧振幅の周波数特性

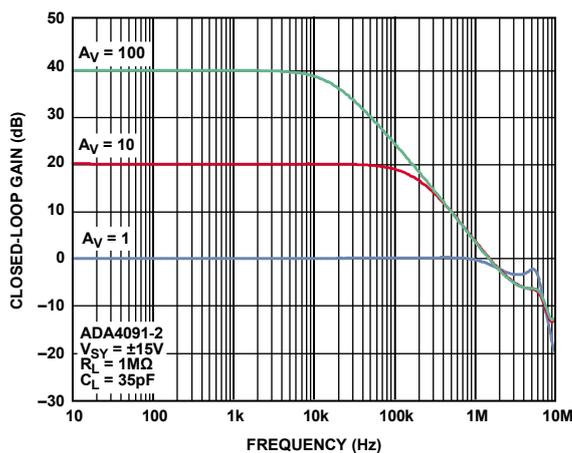


図 31.クローズド・ループ・ゲインの周波数特性

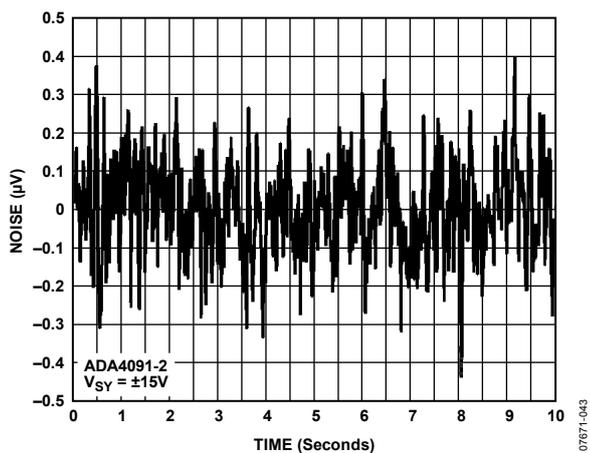


図 32.電圧ノイズ、V p-p

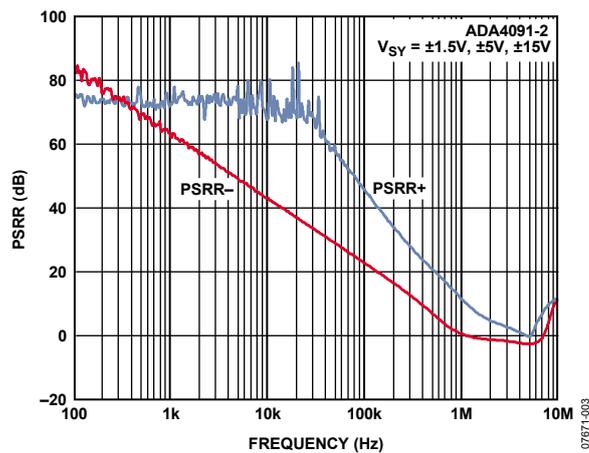


図 35.PSRR の周波数特性

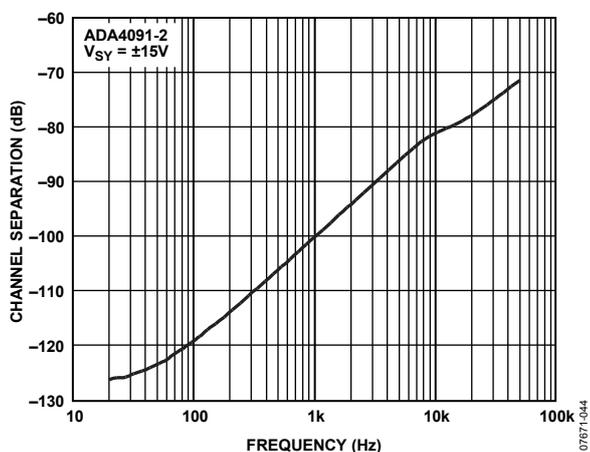


図 33.チャンネル・セパレーションの周波数特性

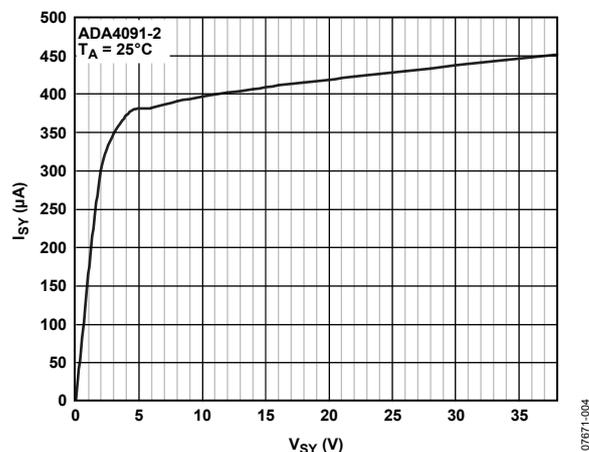


図 36.電源電流対電源電圧

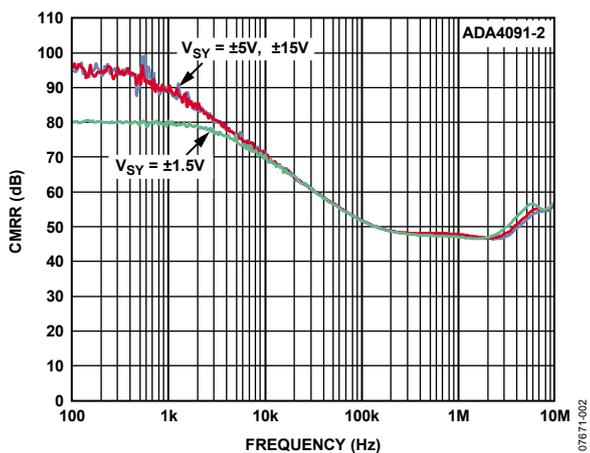


図 34.CMRR の周波数特性

動作原理

ADA4091-2は、レール to レールの入力と出力を持つ単電源のマイクロパワー・アンプです。このアンプでは、広い入力/出力範囲を実現するために、独自の入力/出力ステージを採用しています。図 37 に、PNP 対と NPN 対の 2 つの差動対から構成されている入力ステージを示します。これらの 2 つのステージは並行動作をせずに、与えられた入力信号レベルに対して 1 ステージのみが動作します。PNP ステージ(トランジスタ Q1 とトランジスタ Q2)では、入力電圧が負電源レールに近づいて一致しても、アンプがリニア領域内に留まっていることが要求されます。あるいは、NPN ステージ(トランジスタ Q5 とトランジスタ Q6)は、入力電圧が正電源レールに近づき一致する場合にも動作する必要があります。

PNP ステージは、入力コモン・モード範囲の大部分で動作します(図 4 参照)。正電源レールより約 1.5 V 下で、バイアス電流の方向が変わることに注意してください。このレベルより下の電圧で、バイアス電流は ADA4091-2 の PNP 入力ステージから流出します。この電圧の上では、バイアス電流は NPN ステージからデバイスへ流入します。アンプ内での入力ステージの切り替えの実際のメカニズムは、トランジスタ Q3、トランジスタ Q4、トランジスタ Q7 により構成されています。入力コモン・モード電圧が上昇すると、Q1 と Q2 のエミッタがその電圧とダイオード電圧降下の和に追従します。Q1 と Q2 のエミッタ電圧が高くなり Q3 をターンオンさせると、PNP 入力ステージを流れるレール電流が減少してターンオフします。これに対して、電流が Q4 と Q7 を介してミラーされて NPN 入力ステージが動作を開始します。

大きな差動電圧から入力トランジスタを保護するためにバイポーラ・アンプで一般に採用されている方法は、直列抵抗と差動ダイオードを接続する方法です(入力保護回路については図 39 を参照)。差動電圧が約 0.6 V を超えると、これらのダイオードがターンオンします。この状態では、電流が入力ピン間に流れ、この電流を制限するのは 2 本の 5 kΩ 抵抗だけです。各回路を注意深く調べて、電流が増加しても性能に影響しないことを確認してください。

ADA4091-2 デバイスの出力ステージでは、大部分の出力ステージと同様に、PNP トランジスタと NPN トランジスタを使っています。ただし、出力トランジスタ(Q32 と Q33)では、実際にはレール to レール出力振幅を実現するためにコレクタが出力ピンに接続されています。

出力電圧が正または負の電源レールに近づくと、これらのトランジスタは飽和し始めます。したがって、出力電圧の最終値は、これらトランジスタの飽和電圧(約 50 mV)になります。出力ステージには、コレクタと外部負荷インピーダンスから決まる固有なゲインがあります。このため、オペアンプのオープン・ループ・ゲインは負荷抵抗に依存します。

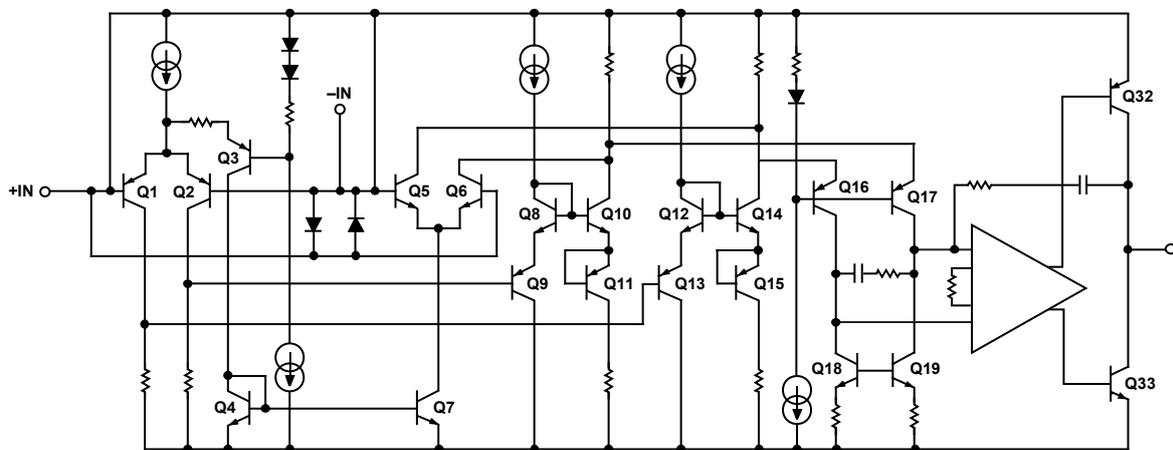


図 37. 入力保護のない簡略化した回路図(図 39 参照)

入力過電圧保護機能

ADA4091-2には、保護機能を強化する2種類のESD回路があります(図39)。1つ目の回路は、内部入力への5kΩ直列抵抗と、内部入力と電源レールとの間のダイオード(D1とD2またはD5とD6)です。2つ目の保護回路は、電源レールに対する2個のDIAC(D3とD4またはD7とD8)を使った回路です。DIACは、図39に示す伝達特性を持つ双方向ツェナー・ダイオードと見なすことができます。

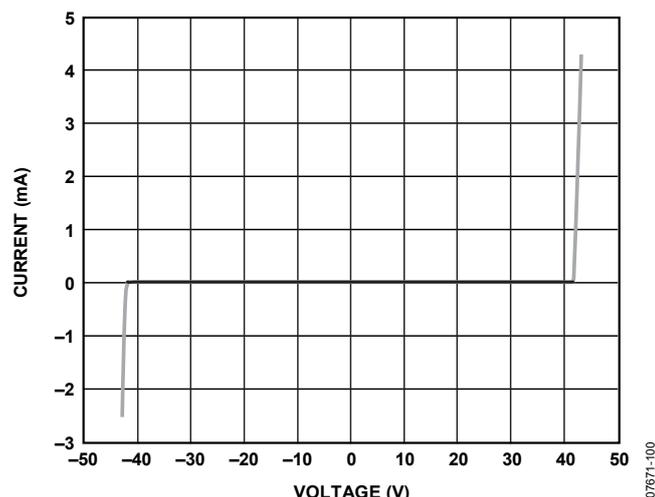


図38. DIACの伝達特性

ワーストケース・デザイン解析では、2つのケースを考慮します。ADA4091-2は、内部オペアンプ入力から電源レールまでの通常のESD構造を持っています。さらに、外部入力から電源レールまでの42V DIACも持っています(図37)。

したがって、いずれが支配的かを見つけるためには、2つの条件を考慮する必要があります。

- 条件1。たとえば、±15V動作で、入力が負電源レールの上+42Vまで行くことを考慮します。-Vピン= -15Vの場合、この電源(負電源)の上+42Vとは+27Vを意味します。
- 条件2。5kΩ抵抗を流れてESD構造と正電源レールへ行く入力電流には5mAの制限もあります。条件1で、5kΩ抵抗を経て+15Vまでの+27Vにより2.4mAの電流が発生します。したがって、DIACが支配的になります。ADA4091-2の電源電圧を±5Vに変えた場合には、-5V + 42V = 37Vになります。ただし、+5V + (5kΩ × 5mA) = 30Vです。したがって、低い電源電圧で動作するときには通常の抵抗-ダイオード構造が支配的になります。

さらに高いピーク電圧から保護するためには、各入力に直列に外付け抵抗を接続することができますが、抵抗のサーマル・ノイズが増加することに注意する必要があります。

ADA4091-2のフラットバンド電圧ノイズは約24nV/√Hzで、5kΩ抵抗のノイズは9nV/√Hzです。5kΩ抵抗を追加すると、合計ノイズが2乗平均(RSS)で15%若増加します。このため、全体のノイズ性能が問題となる場合には、抵抗値をこの値より小さくする必要があります。

このような入力保護機能は、通常状態では発生しないことに注意してください。正常アンプ動作は、このデータシートの仕様セクションに記載する入力電圧範囲に対してのみ規定されています。

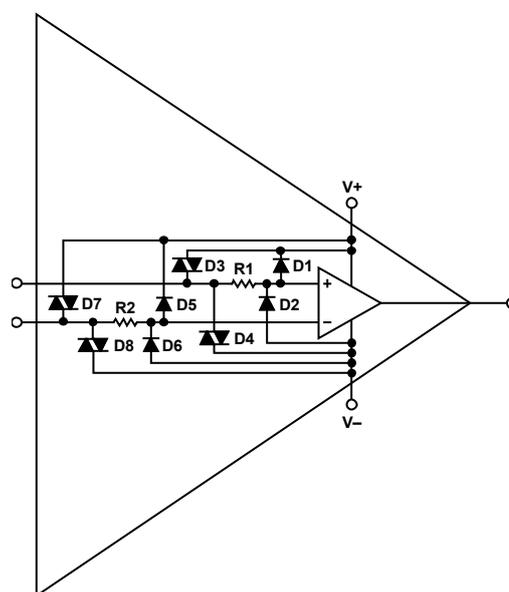
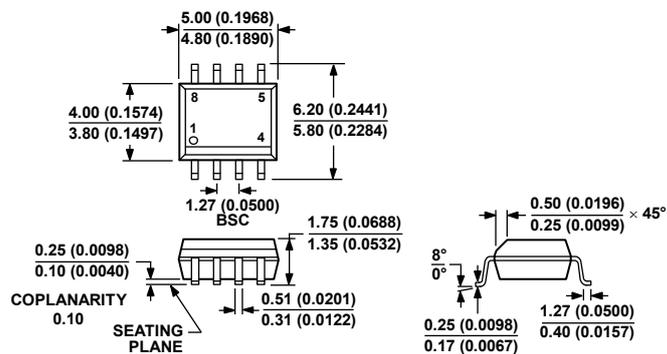


図39. 詳細な入力保護回路

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 40.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロウ・ボディ
 (R-8)
 寸法: mm (インチ)

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADA4091-2ARZ-R2 ¹	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8
ADA4091-2ARZ-R7 ¹	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8
ADA4091-2ARZ-RL ¹	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8

¹ Z = RoHS 準拠製品