

ADA4691-2/ADA4691-4/ADA4692-2/ADA4692-4

特長

- 低消費電力: 180 μ A (typ)
- 非常に小さい入力バイアス電流: 0.5 pA (typ)
- 低ノイズ: 16 nV/ $\sqrt{\text{Hz}}$ (typ)
- 帯域幅: 3.6 MHz
- オフセット電圧: 500 μ V (typ)
- 低オフセット電圧ドリフト: 最大 4 μ V/ $^{\circ}$ C
- 低歪み: 0.003% THD + N
- 2.7 V \sim 5 V の単電源動作または \pm 1.35 V \sim \pm 2.5 V の両電源動作
- 非常に小型の 2 mm \times 2 mm LFCSP パッケージを採用

アプリケーション

- フォトダイオード・アンプ
- センサー・アンプ
- ポータブル医用および計測機器
- 携帯型オーディオ: MP3、PDAs、スマートフォン
- 通信
- ローサイド電流検出
- ADC ドライバ
- アクティブ・フィルタ
- サンプル・アンド・ホールド

概要

ADA4691-2/ADA4692-2(デュアル)と ADA4691-4/ ADA4692-4(クワッド)は、レール to レール出力、単電源アンプであり、低消費電力、広い帯域幅、低ノイズの特長を持っています。ADA4691-2 には 2 本の独立したシャットダウン・ピンがあるため、さらに電源電流を削減することができます。ADA4691-4 は 16 ピン LFCSP パッケージを採用したクワッド・アンプであり、1 対のアンプを制御するシャットダウン・ピンを 2 本持っています。ADA4692-4 はシャットダウン・ピンのないクワッド・バージョンです。

これらのアンプは、様々なアプリケーションに適しています。このデバイスの性能と機能の組み合わせは、オーディオ、フィルタ、フォトダイオード・アンプ、チャージ・アンプのすべてに役立ちます。これらのアンプのその他のアプリケーションとしては、オーディオ帯域で高いゲインと高いスルーレート応答を低消費電力で提供する、低ノイズで低歪みの民生用ポータブル・オーディオ・プレイヤーなどがあります。焦電センサーや IR センサーのようなハイ・インピーダンス・センサーを使う工業用アプリケーションでは、ハイ・インピーダンス、0.5 pA の低入力バイアス、低オフセット・ドリフト、十分な帯域幅、低ゲイン・アプリケーションに対する応答が役立ちます。

表 1.

	Micropower	Low Power	Low Power with Shutdown	Standard Op Amp With Shutdown	High Bandwidth
Single	AD8613			AD8591	AD8691
Dual	AD8617	ADA4692-2	ADA4691-2	AD8592	AD8692
Quad	AD8619	ADA4692-4	ADA4691-4	AD8594	AD8694

ADA4691/ADA4692 ファミリーの仕様は、拡張工業温度範囲 ($-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$) で規定されています。ADA4691-2 は、10 ピンの LFCSP パッケージまたは 9 ボールの WLCSP パッケージを採用しています。ADA4692-2 は、8 ピン SOIC または 8 ピン LFCSP パッケージを採用しています。ADA4691-4 は 16 ピン LFCSP を採用しています。ADA4692-4 は 14 ピン TSSOP を採用しています。ピン配置については、[ピン配置](#) のセクションを参照してください。

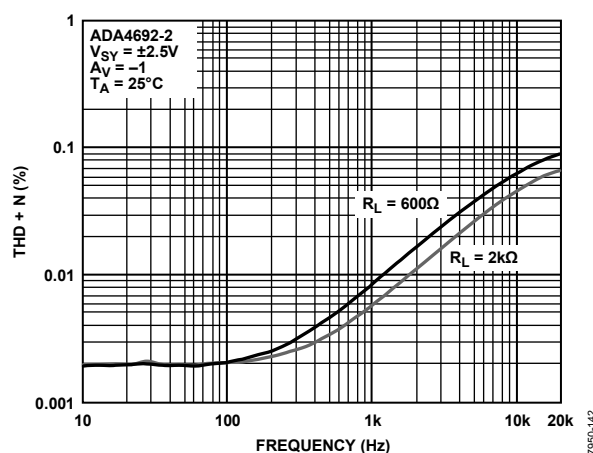


図 1. THD + ノイズの周波数特性

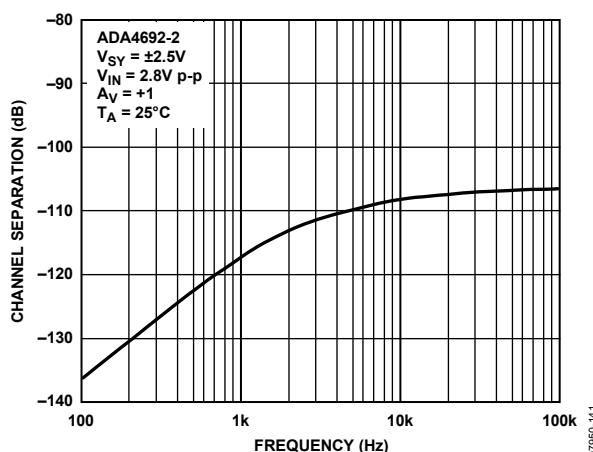


図 2. チャンネル・セパレーションの周波数特性

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009–2010 Analog Devices, Inc. All rights reserved.

Rev. D

目次

特長	1
アプリケーション	1
概要	1
改訂履歴	2
仕様	3
電気的特性—2.7 V 動作	3
電気的特性—5 V 動作	4
絶対最大定格	6
熱抵抗	6

ESD の注意	6
ピン配置	7
代表的な性能特性	8
シャットダウン動作	16
入力ピン特性	16
入力スレッシュホールド	16
外形寸法	17
オーダー・ガイド	20

改訂履歴

11/10—Rev. C to Rev. D

Changed 5 V to 6 V in Endnote 2, Table 4	6
--	---

12/09—Rev. B to Rev. C

Added ADA4691-4, 16-Lead LFCSP	Throughout
Added Figure 1, Figure 2, and Table 1; Renumbered Sequentially	1
Changes to Applications Section and General Description Section	1
Changes to Table 1	3
Changes to Table 2	4
Changes to Table 4	6
Updated Outline Dimensions	17
Changes to Ordering Guide	20

9/09—Rev. A to Rev. B

Added ADA4691-2, 9-Ball WLCSP; ADA4692-2, 8-Lead LFCSP; and ADA4692-4, 14-Lead TSSOP	Throughout
Changes to General Description	1
Updated Outline Dimensions	16
Changes to Ordering Guide	17

6/09—Rev. 0 to Rev. A

Added ADA4691-2, 10 Lead LFCSP	Throughout
Changes to Table 1	3
Changes to Table 2	4
Changes to Captions for Figure 40, Figure 41, Figure 43, and Figure 44	13
Added Shutdown Operations Section	15
Updated Outline Dimensions	16
Changes to Ordering Guide	16

3/09—Revision 0: Initial Version

仕様

電気的特性—2.7 V動作

特に指定がない限り、 $V_{SY} = 2.7\text{ V}$ 、 $V_{CM} = V_{SY}/2$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$V_{CM} = -0.3\text{ V to }+1.6\text{ V}$		0.5	2.5	mV
Dual (ADA469x-2)		$V_{CM} = -0.1\text{ V to }+1.6\text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$			3.5	mV
Quad (ADA469x-4)		$V_{CM} = -0.1\text{ V to }+1.6\text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$			4.0	mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		1	4	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.5	5	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		1	8	pA
Input Voltage Range		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-0.3		+1.6	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -0.3\text{ V to }+1.6\text{ V}$	70	90		dB
Large Signal Voltage Gain	A_{VO}	$V_{CM} = -0.1\text{ V to }+1.6\text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$	62			dB
		$R_L = 2\text{ k}\Omega$, $V_{OUT} = 0.5\text{ V to }2.2\text{ V}$	90	100		dB
		$-40^\circ\text{C} < T_A < +85^\circ\text{C}$	80			dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	63			dB
		$R_L = 600\ \Omega$, $V_{OUT} = 0.5\text{ V to }2.2\text{ V}$	85	95		dB
Input Capacitance	C_{IN}					
Differential Mode	C_{INDM}			2.5		pF
Common Mode	C_{INCM}			7		pF
Logic High Voltage (Enabled)	V_{IH}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	1.6			V
Logic Low Voltage (Power-Down)	V_{IL}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			0.5	V
Logic Input Current (Per Pin)	I_{IN}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$, $0\text{ V} \leq V_{SD} \leq 2.7\text{ V}$			1	μA
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 2\text{ k}\Omega$ to GND	2.65	2.67		V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	2.6			V
		$R_L = 600\ \Omega$ to GND	2.55	2.59		V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	2.5			V
Output Voltage Low	V_{OL}	$R_L = 2\text{ k}\Omega$ to V_{SY}		24	30	mV
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			40	mV
		$R_L = 600\ \Omega$ to V_{SY}		78	95	mV
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			130	mV
Short-Circuit Current	I_{SC}	$V_{OUT} = V_{SY}$ or GND		± 15		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = -100$		372		Ω
Output Pin Leakage Current		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$, shutdown active, $V_{SD} = V_{SS}$		10		nA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = 2.7\text{ V to }5.5\text{ V}$	80	90		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	75			dB
Supply Current Per Amplifier	I_{SY}	$V_{OUT} = V_{SY}/2$		165	200	μA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			240	μA
Supply Current Shutdown Mode	I_{SD}	All amplifiers shut down, $V_{SD} = V_{SS}$		10		nA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			2	μA

ADA4691-2/ADA4691-4/ADA4692-2/ADA4692-4

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 600 \Omega, C_L = 20 \text{ pF}, A_V = +1$		1.1		V/ μs
		$R_L = 2 \text{ k}\Omega, C_L = 20 \text{ pF}, A_V = +1$		1.4		V/ μs
Settling Time to 0.1%	t_s	Step = 0.5 V, $R_L = 2 \text{ k}\Omega, 600 \Omega$		1		μs
Gain Bandwidth Product	GBP	$R_L = 1 \text{ M}\Omega, C_L = 35 \text{ pF}, A_V = +1$		3.6		MHz
Phase Margin	Φ_M	$R_L = 1 \text{ M}\Omega, C_L = 35 \text{ pF}, A_V = +1$		49		Degrees
Turn-On/Turn-Off Time		$R_L = 600 \Omega$		1		μs
NOISE PERFORMANCE						
Distortion	THD + N	$A_V = -1, R_L = 2 \text{ k}\Omega, f = 1 \text{ kHz}, V_{IN \text{ rms}} = 0.15 \text{ V rms}$		0.009		%
		$A_V = -1, R_L = 600 \Omega, f = 1 \text{ kHz}, V_{IN \text{ rms}} = 0.15 \text{ V rms}$		0.01		%
		$A_V = +1, R_L = 2 \text{ k}\Omega, f = 1 \text{ kHz}, V_{IN \text{ rms}} = 0.15 \text{ V rms}$		0.006		%
		$A_V = +1, R_L = 600 \Omega, f = 1 \text{ kHz}, V_{IN \text{ rms}} = 0.15 \text{ V rms}$		0.009		%
Voltage Noise	$e_n \text{ p-p}$	$f = 0.1 \text{ Hz to } 10 \text{ Hz}$		3.1		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1 \text{ kHz}$		16		nV/ $\sqrt{\text{Hz}}$
		$f = 10 \text{ kHz}$		13		nV/ $\sqrt{\text{Hz}}$

電気的特性—5 V動作

特に指定がない限り、 $V_{SY} = 5 \text{ V}$ 、 $V_{CM} = V_{SY}/2$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$V_{CM} = -0.3 \text{ V to } +3.9 \text{ V}$		0.5	2.5	mV
		$V_{CM} = -0.1 \text{ V to } +3.9 \text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$			3.5	mV
		$V_{CM} = -0.1 \text{ V to } +3.9 \text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$				4.0
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		1	4	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.5	5	pA
					360	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		1	8	pA
					260	pA
Input Voltage Range		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-0.3		+3.9	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -0.3 \text{ V to } +3.9 \text{ V}$	75	98		dB
		$V_{CM} = -0.1 \text{ V to } +3.9 \text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$	68			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2 \text{ k}\Omega, V_O = 0.5 \text{ V to } 4.5 \text{ V}, V_{CM} = 0 \text{ V}$	95	110		dB
		$-40^\circ\text{C} < T_A < +85^\circ\text{C}$	80			dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	70			dB
		$R_L = 600 \Omega, V_O = 0.5 \text{ V to } 4.5 \text{ V}, V_{CM} = 0 \text{ V}$	90	100		dB
Input Capacitance	C_{INDM}			2.5		pF
				7		pF
Logic High Voltage (Enabled)	V_{IH}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	2.0			V
Logic Low Voltage (Power-Down)	V_{IL}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			0.8	V
Logic Input Current (Per Pin)	I_{IN}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}, 0 \text{ V} \leq V_{SD} \leq 2.7 \text{ V}$			1	μA

ADA4691-2/ADA4691-4/ADA4692-2/ADA4692-4

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 2\text{ k}\Omega$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.95	4.97		V
		$R_L = 600\ \Omega$ to GND $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.90			V
			4.85	4.88		V
			4.80			V
Output Voltage Low	V_{OL}	$R_L = 2\text{ k}\Omega$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		30	35	mV
					50	mV
		$R_L = 600\ \Omega$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		100	110	mV
					155	mV
Short-Circuit Limit	I_{SC}	$V_{OUT} = V_{SY}$ or GND		± 55		mA
Closed-Loop Output Impedance	Z_{OUT}	ADA4691-2, $f = 1\text{ MHz}$, $A_V = -100$		364		Ω
		ADA4691-2, $f = 1\text{ MHz}$, $A_V = -100$		246		Ω
Output Pin Leakage Current		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$, shutdown active, $V_{SD} = V_{SS}$		10		nA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V}$ to 5.5 V $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	80	90		dB
			75			dB
Supply Current Per Amplifier	I_{SY}	$V_{OUT} = V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		180	225	μA
					275	μA
Supply Current Shutdown Mode	I_{SD}	All amplifiers shut down, $V_{SD} = V_{SS}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		10		nA
					2	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$, $600\ \Omega$, $C_L = 20\text{ pF}$, $A_V = +1$		1.3		V/ μs
Settling Time to 0.1%	t_s	$V_{IN} = 2\text{ V}$ step, $R_L = 2\text{ k}\Omega$ or $600\ \Omega$		1.5		μs
Gain Bandwidth Product	GBP	$R_L = 1\text{ M}\Omega$, $C_L = 35\text{ pF}$, $A_V = +1$		3.6		MHz
Phase Margin	Φ_M	$R_L = 1\text{ M}\Omega$, $C_L = 35\text{ pF}$, $A_V = +1$		52		Degrees
Turn-On/Turn-Off Time		$R_L = 600\ \Omega$		1		μs
NOISE PERFORMANCE						
Distortion	THD + N	$A_V = -1$, $R_L = 2\text{ k}\Omega$, $f = 1\text{ kHz}$, $V_{IN\text{ rms}} = 0.8\text{ V rms}$		0.006		%
		$A_V = -1$, $R_L = 600\ \Omega$, $f = 1\text{ kHz}$, $V_{IN\text{ rms}} = 0.8\text{ V rms}$		0.008		%
		$A_V = +1$, $R_L = 2\text{ k}\Omega$, $f = 1\text{ kHz}$, $V_{IN\text{ rms}} = 0.8\text{ V rms}$		0.001		%
		$A_V = +1$, $R_L = 600\ \Omega$, $f = 1\text{ kHz}$, $V_{IN\text{ rms}} = 0.8\text{ V rms}$		0.003		%
Voltage Noise	$e_n\text{ p-p}$	$f = 0.1\text{ Hz}$ to 10 Hz		3.2		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		16		nV/ $\sqrt{\text{Hz}}$
	e_n	$f = 10\text{ kHz}$		13		nV/ $\sqrt{\text{Hz}}$

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	6 V
Input Voltage	$V_{SS} - 0.3 \text{ V}$ to $V_{DD} + 0.3 \text{ V}$
Input Current ¹	±10 mA
Shutdown Pin Rise/Fall Times	50 μs maximum
Differential Input Voltage ²	± V_{SY}
Output Short-Circuit Duration to GND	Indefinite
Temperature	
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

¹入力ピンには、電源ピンへのクランプ・ダイオードが付いています。入力信号が電源レールを 0.3 V 以上超えるときは、入力電流を 10 mA 以下に制限する必要があります。

²差動入力電圧は 6 V または電源電圧のいずれか小さい方に制限されます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、特に指定がない限り、標準の 4 層ボードを使用してデバイスを回路ボードにハンダ付けして測定しています。

表 5. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC_N (R-8)	120	45	°C/W
8-Lead LFCSP (CP-8-6)	125	40	°C/W
9-Ball WLCSP (CB-9-3)	77	N/A ¹	°C/W
10-Lead LFCSP (CP-10-11)	115	40	°C/W
16-Lead LFCSP (CP-16-22)	75	12	°C/W
14-Lead TSSOP (RU-14)	112	35	°C/W

¹ N/A = 該当しません。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置

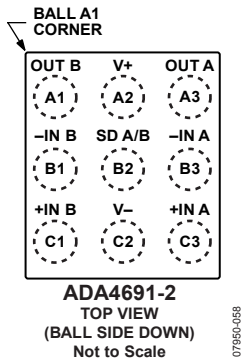


図 3. 9 ボール・ウェハー・レベル・チップ・スケール WLCSP (CB-9-3)

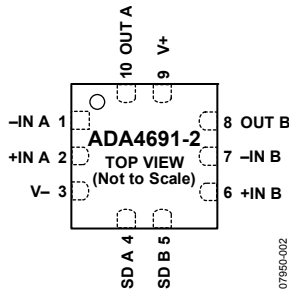
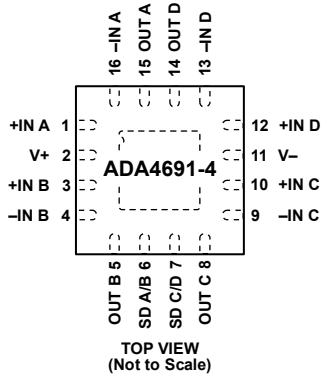


図 4. 10 ピン 2 mm × 2 mm LFCSP (CP-10-11)



NOTES
1. IT IS RECOMMENDED THAT THE EXPOSED PAD BE CONNECTED TO V-.

図 5. 16 ピン 3 mm × 3 mm LFCSP (CP-16-22)

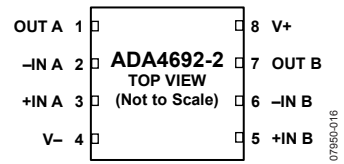


図 6. 8 ピン 2 mm × 2 mm LFCSP (CP-8-6)

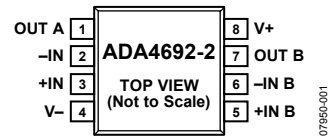


図 7. 8 ピン SOIC_N (R-8)

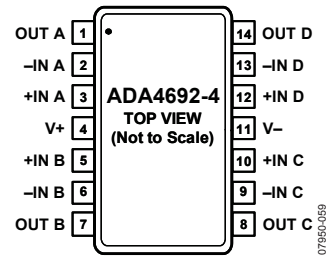


図 8. 14 ピン TSSOP (RU-14)

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

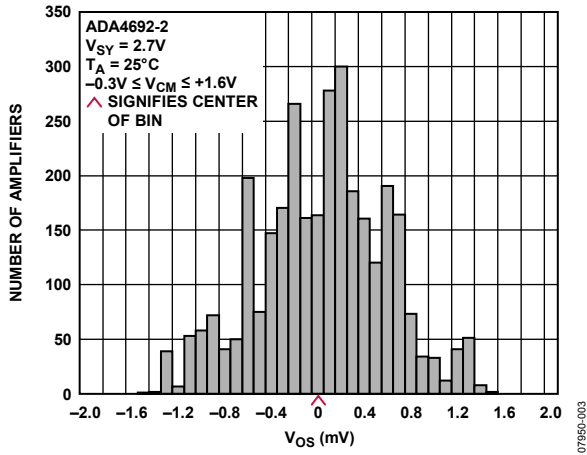


図 9. 入力オフセット電圧の分布

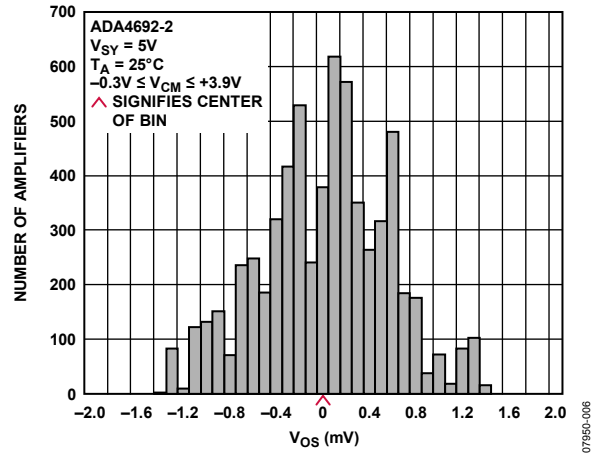


図 12. 入力オフセット電圧の分布

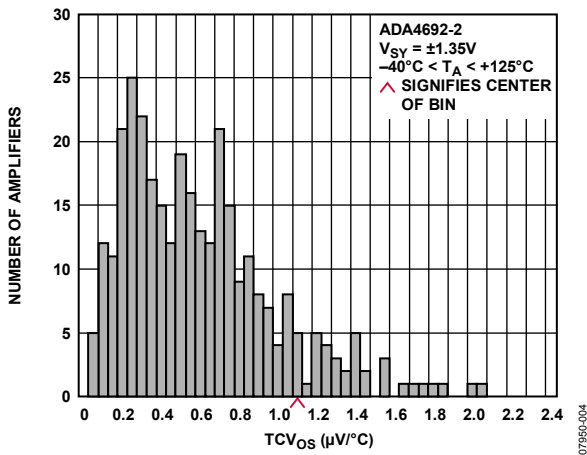


図 10. 入力オフセット電圧ドリフトの分布

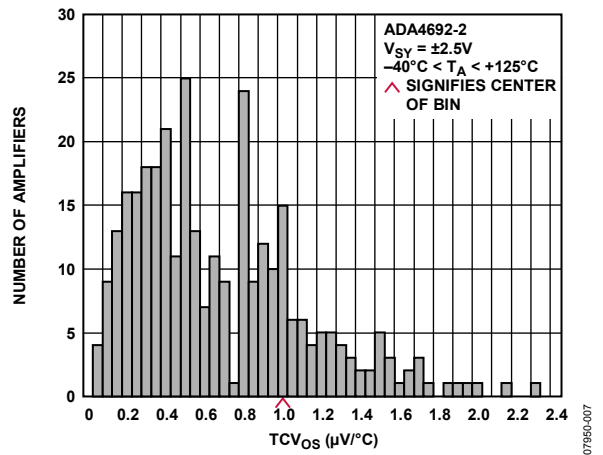


図 13. 入力オフセット電圧ドリフトの分布

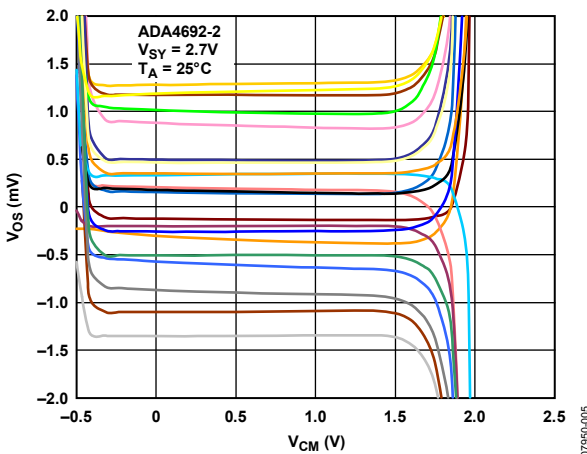


図 11. 同相モード電圧対入力オフセット電圧

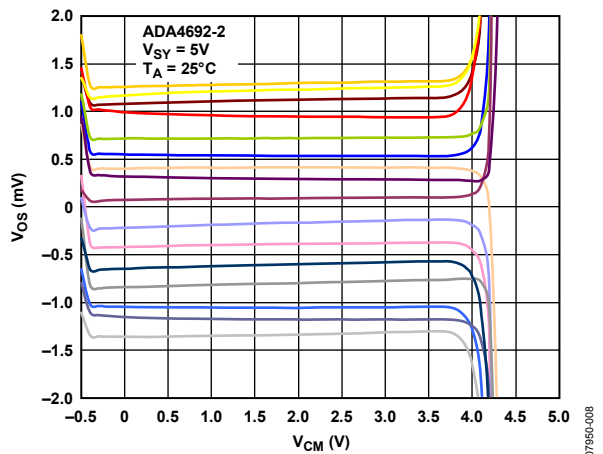


図 14. 同相モード電圧対入力オフセット電圧

ADA4691-2/ADA4691-4/ADA4692-2/ADA4692-4

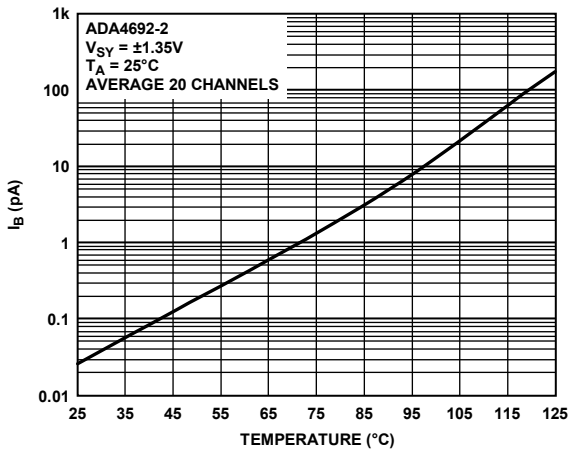


図 15. 入力バイアス電流の温度特性

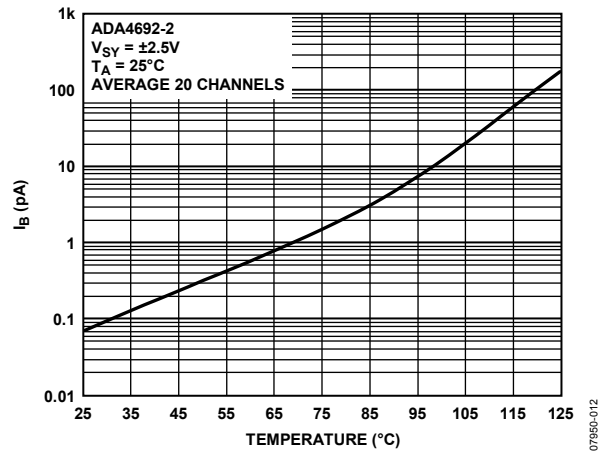


図 18. 入力バイアス電流の温度特性

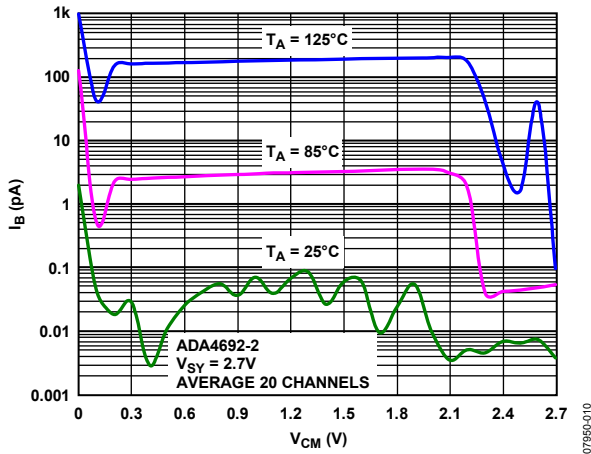


図 16. 同相モード電圧対入力バイアス電流

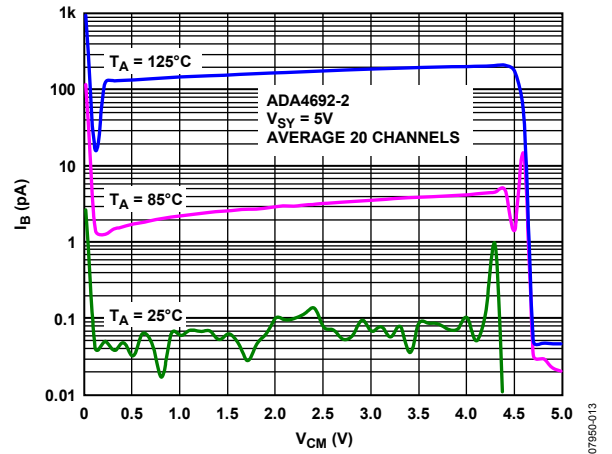


図 19. 同相モード電圧対入力バイアス電流

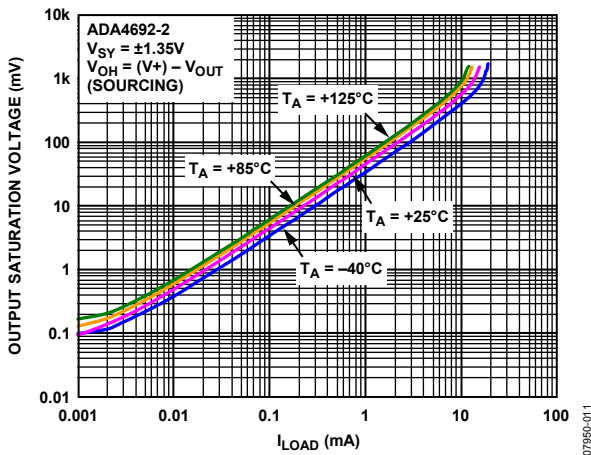


図 17. 負荷電流対電源レールまで近づく出力電圧(V_{OH})

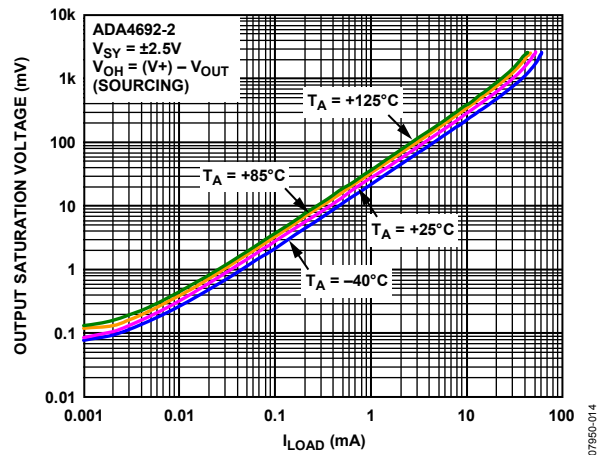


図 20. 負荷電流対電源レールまで近づく出力電圧(V_{OH})

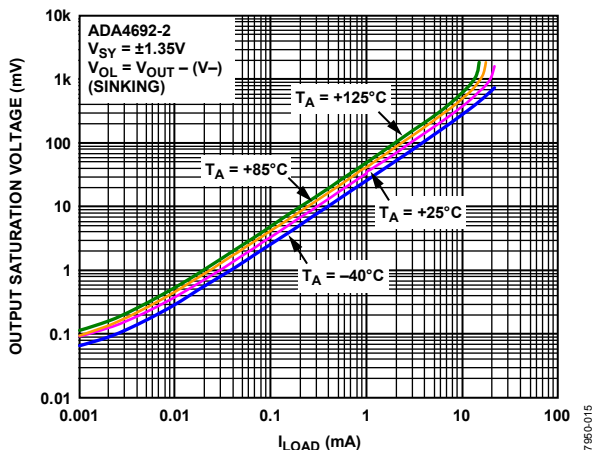


図 21. 負荷電流対電源レールまで近づく出力電圧(V_{OL})

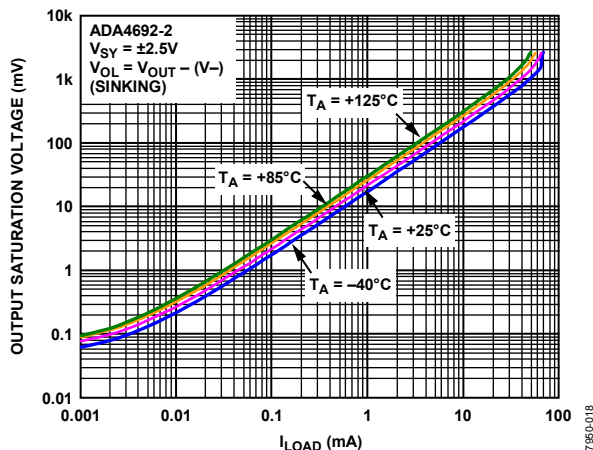


図 24. 負荷電流対電源レールまで近づく出力電圧(V_{OL})

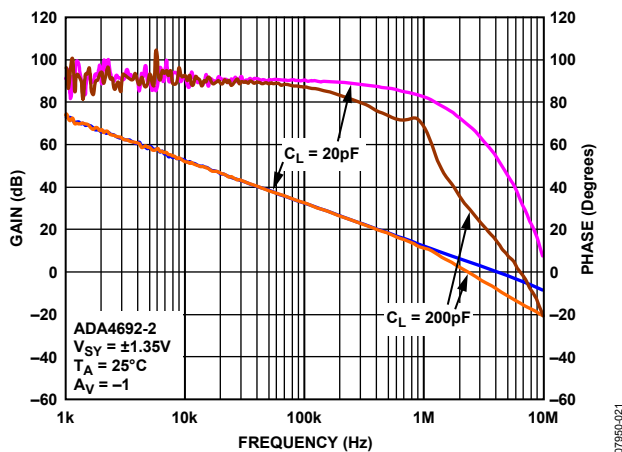


図 22. オープン・ループ・ゲインおよび位相の周波数特性

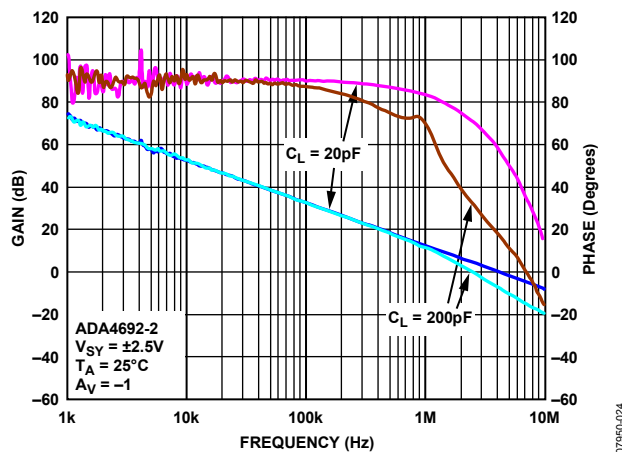


図 25. オープン・ループ・ゲインおよび位相の周波数特性

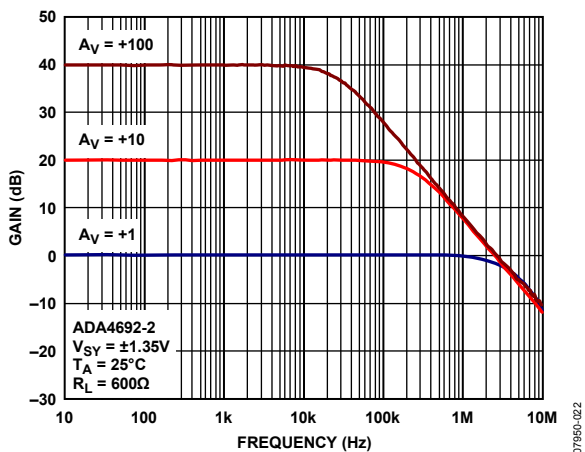


図 23. クローズド・ループ・ゲインの周波数特性

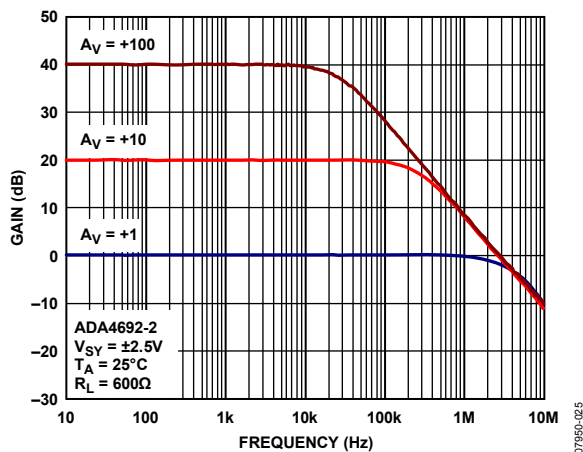


図 26. クローズド・ループ・ゲインの周波数特性

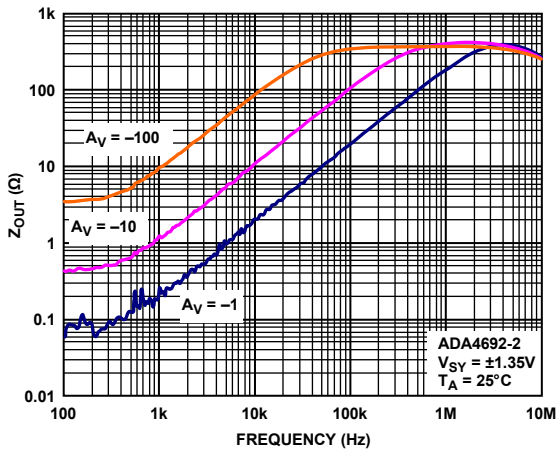


図 27. 出カインピーダンスの周波数特性

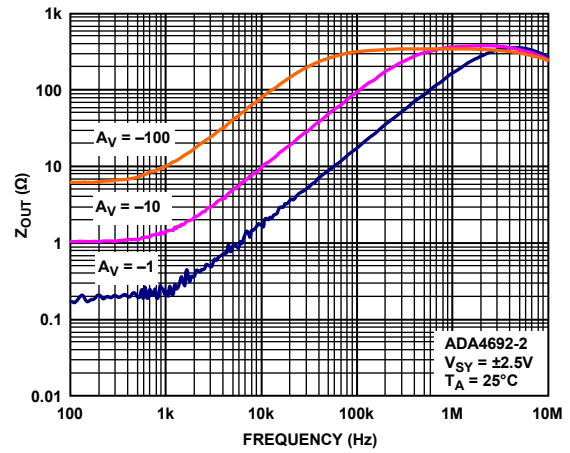


図 30. 出カインピーダンスの周波数特性

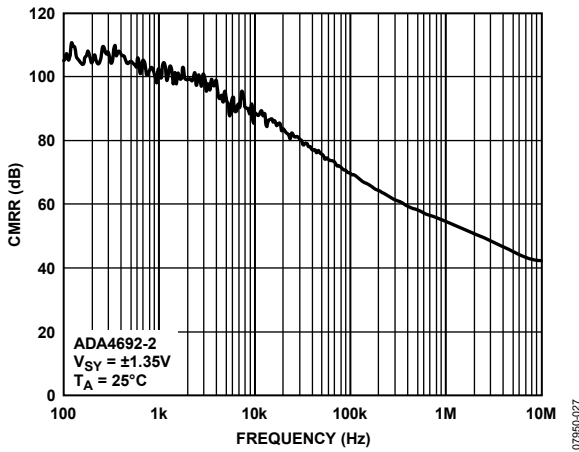


図 28. CMRR の周波数特性

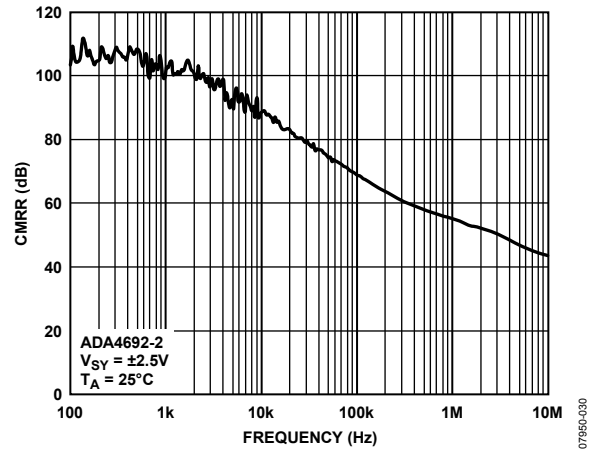


図 31. CMRR の周波数特性

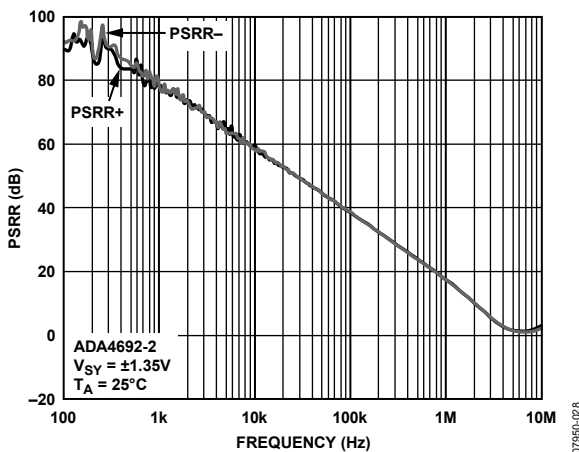


図 29. PSRR の周波数特性

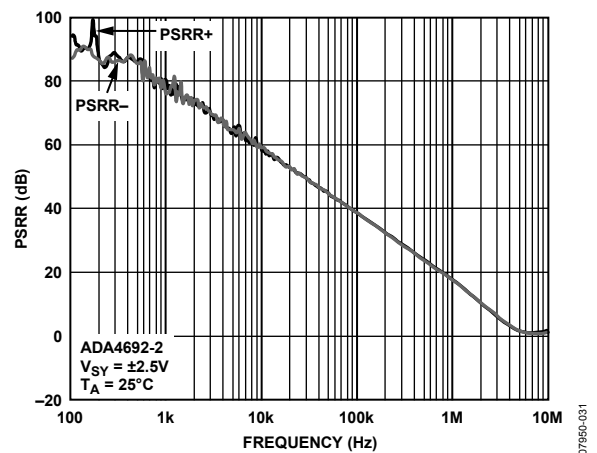


図 32. PSRR の周波数特性

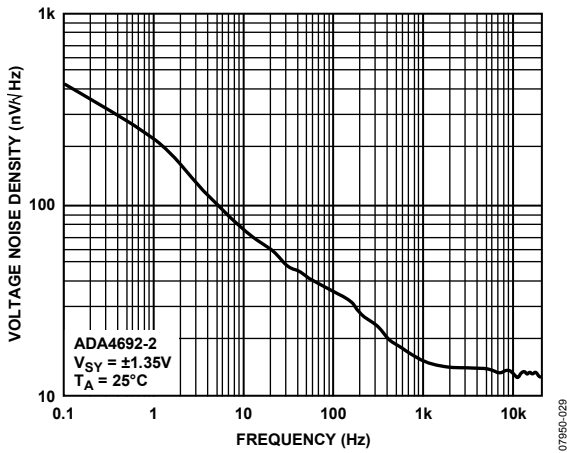


図 33. 電圧ノイズ密度の周波数特性

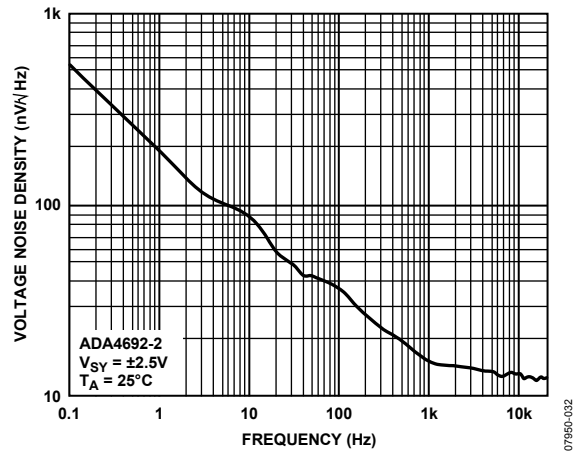


図 36. 電圧ノイズ密度の周波数特性

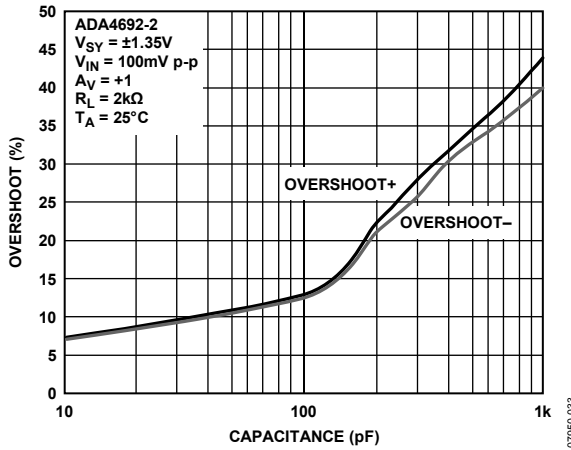


図 34. 負荷容量対小信号オーバーシュート

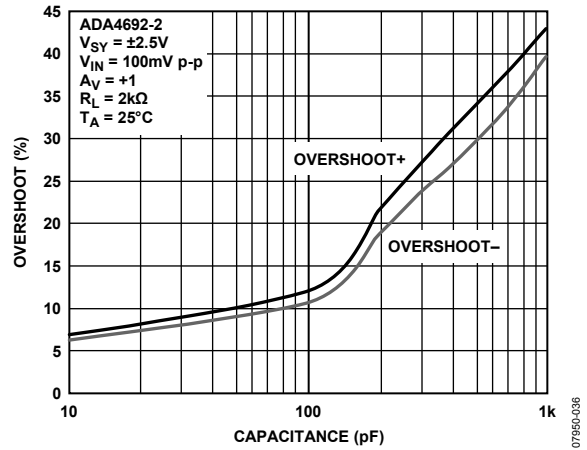


図 37. 負荷容量対小信号オーバーシュート

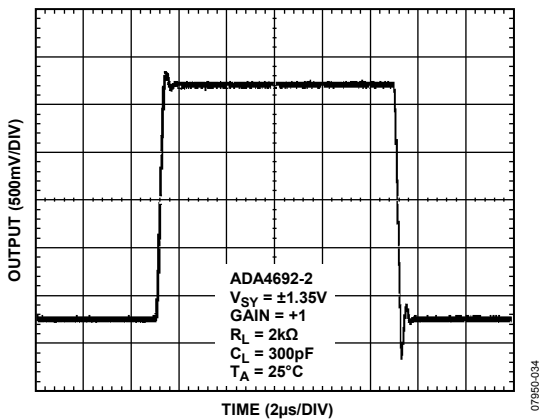


図 35. 大信号過渡応答

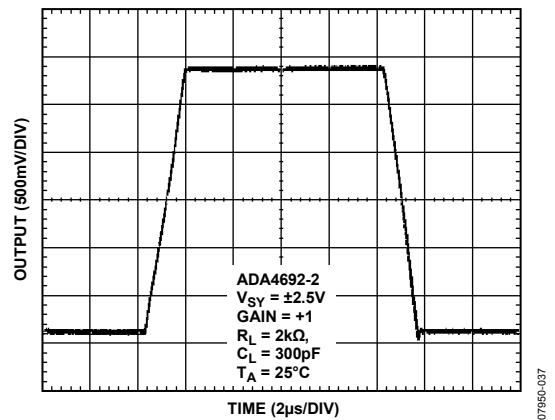


図 38. 大信号過渡応答

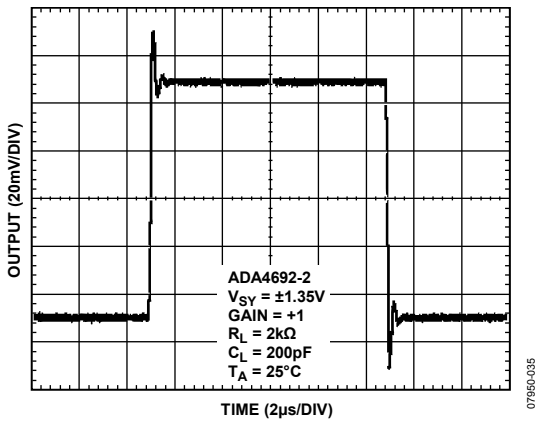


図 39. 小信号過渡応答

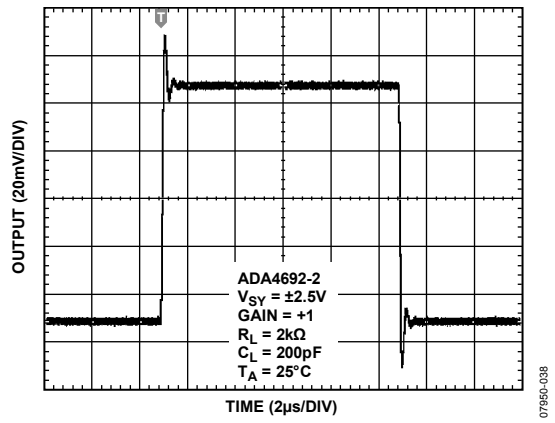


図 42. 小信号過渡応答

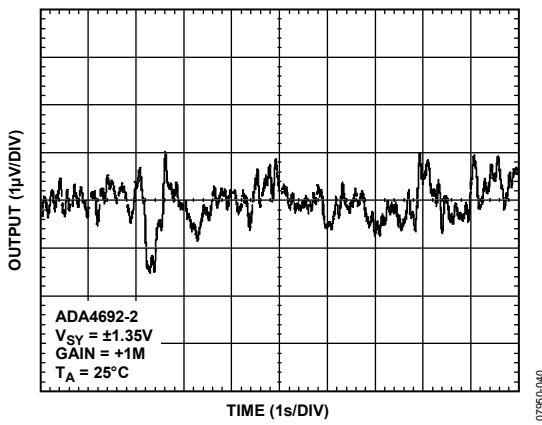


図 40. 0.1~10 Hz でのノイズ

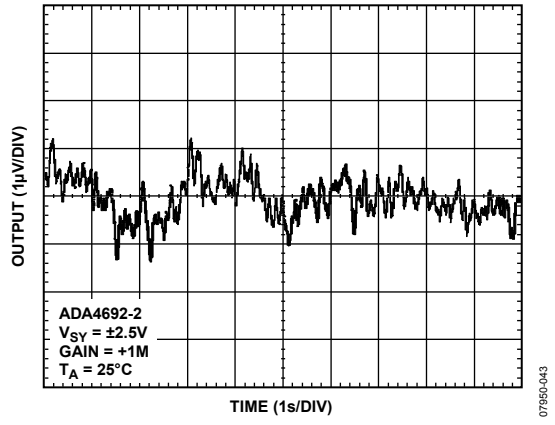


図 43. 0.1~10 Hz でのノイズ

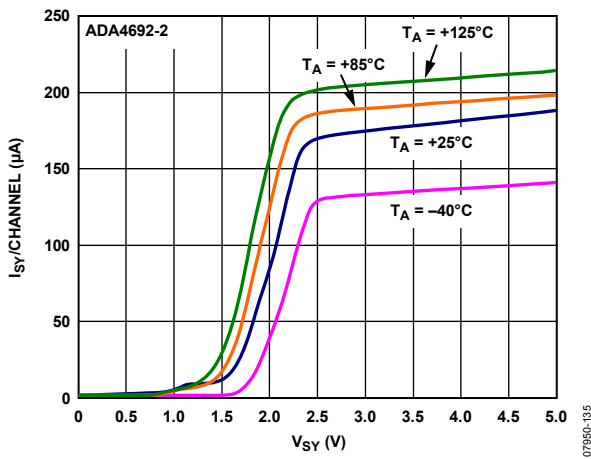


図 41. 電源電圧対アンプあたりの電源電流

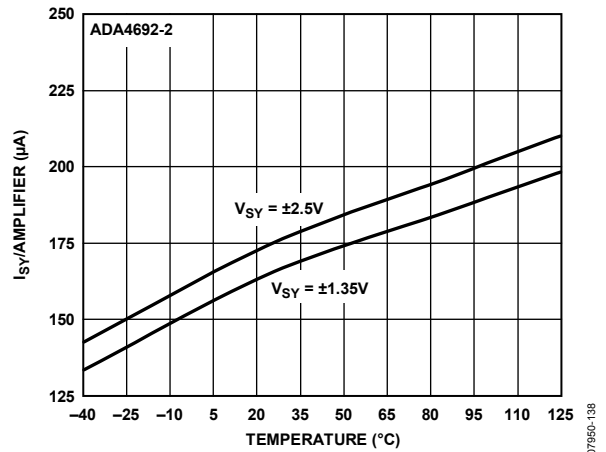


図 44. チャンネルあたりの電源電流の温度特性

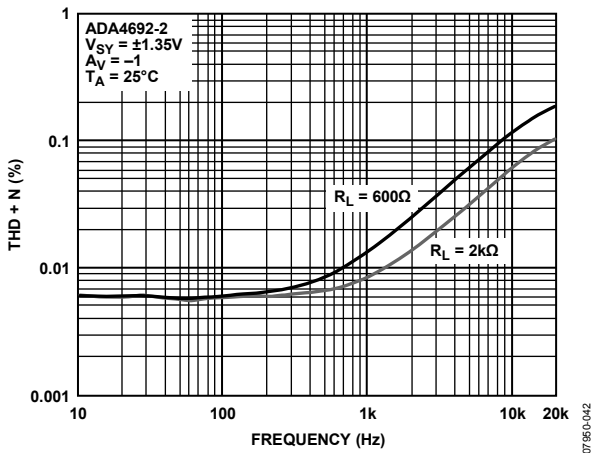


図 45. THD + ノイズの周波数特性

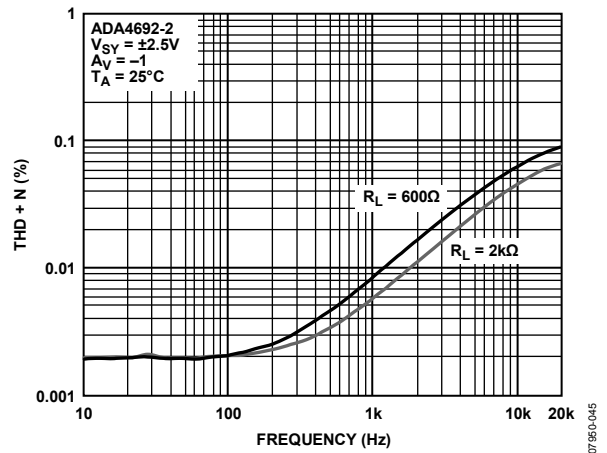


図 48. THD + ノイズの周波数特性

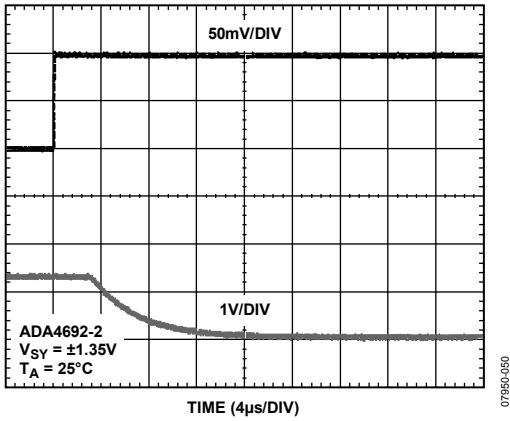


図 46. 正側過負荷回復

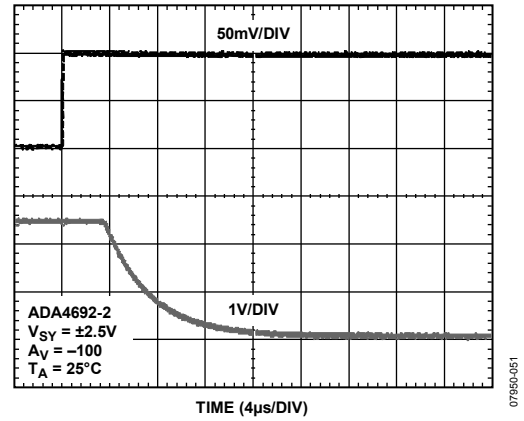


図 49. 正側過負荷回復

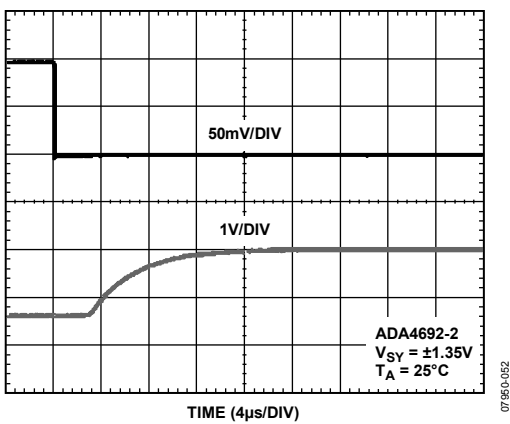


図 47. 負側過負荷回復

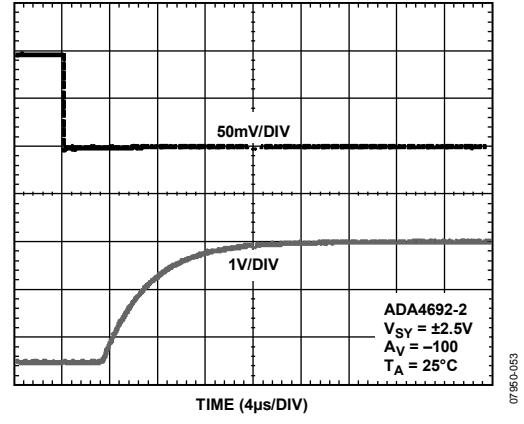


図 50. 負側過負荷回復

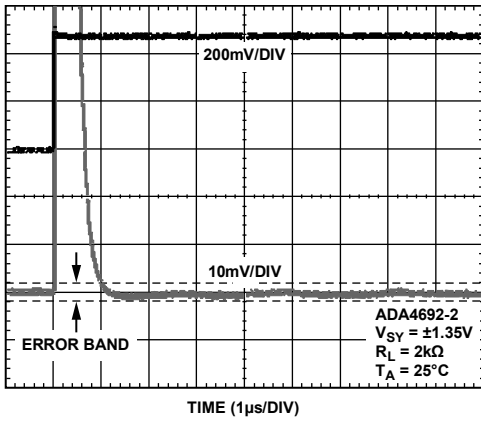


図 51.0.1%への正セットリング・タイム

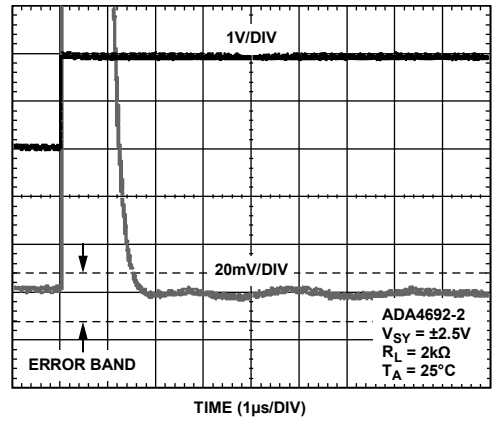


図 54.0.1%への正セットリング・タイム

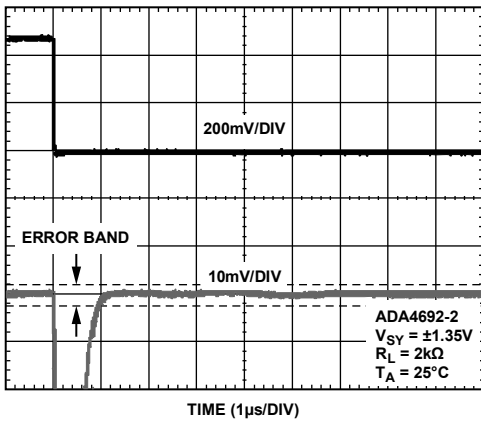


図 52.0.1%への負セットリング・タイム

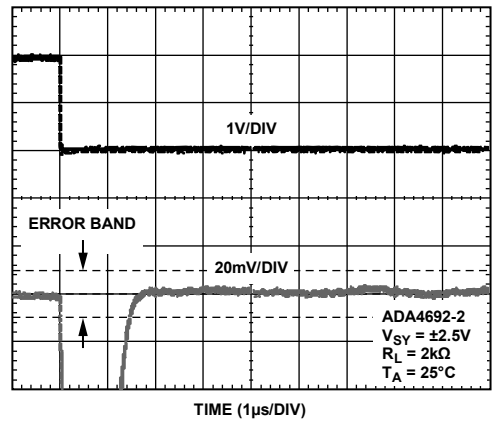


図 55.0.1%への負セットリング・タイム

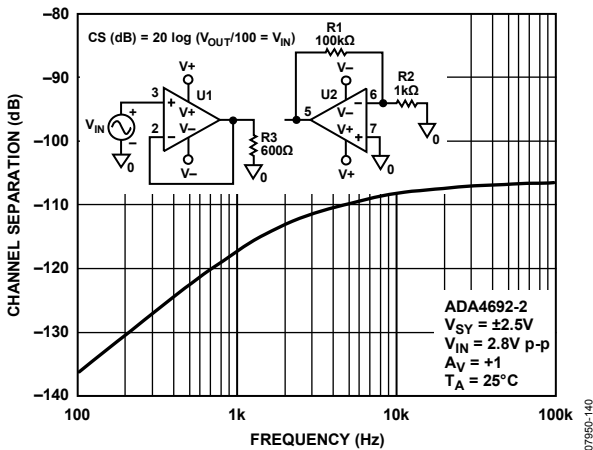


図 53.チャンネル・セパレーション (CS)の周波数特性

シャットダウン動作

入力ピン特性

ADA4691-2 は、各シャットダウン・ピンに従来型のCMOS ロジック・インバータ入力を持っています(図 56参照)。

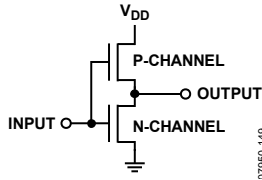


図 56.CMOS インバータ

低速で変化する入力では、上のトランジスタと下のトランジスタが同時に少し導通することがあるため、電源電流が増えます。これは、高速な立上がり時間と立下がり時間を持つデジタル・ロジック出力で入力を駆動することにより回避することができます。図 57～図 59に、1 μ s、10 μ s、1 msの立上がり時間で同時にスイッチングする両セクションの電源電流を示します。明らかに、立上がり時間と立下がり時間は 10 μ sより短い必要があります。シャットダウンをイネーブル/ディスエーブルするために RC 時定数を使用することは推奨されません。

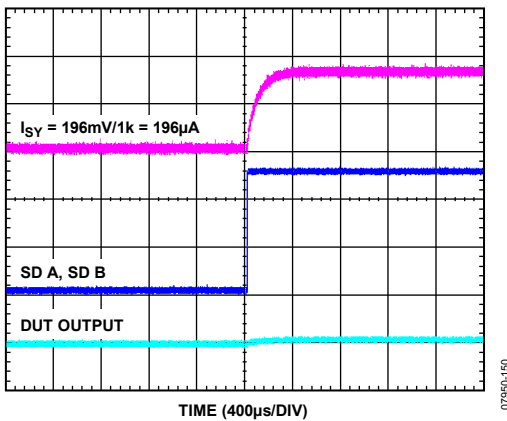


図 57.シャットダウン・ピンの立上がり時間 = 1 μ s

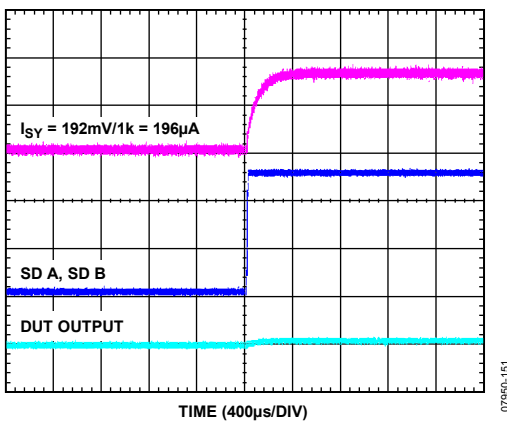


図 58.シャットダウン・ピンの立上がり時間 = 10 μ s

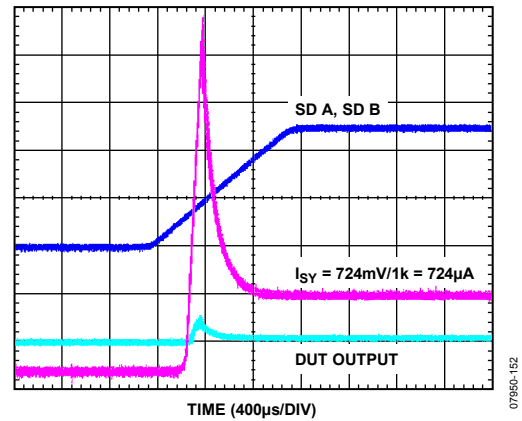


図 59.シャットダウン・ピンの立上がり時間 = 1 ms

入力スレッシュホールド

入力スレッシュホールドはグラウンドと 5 Vで動作する場合V-ピンより約 1.2 V上で、2.7 Vで動作する場合は 0.9 V上です(図 60と図 61参照)。スレッシュホールドは温度に対して比較的安定です。分割電源で動作する場合は、ロジック振幅をレベル・シフトさせる必要があります。

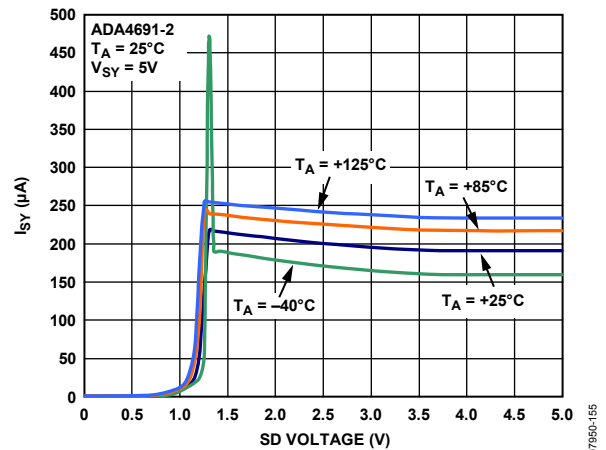


図 60.電源電流の温度特性、 $V_{SY} = 5 V$

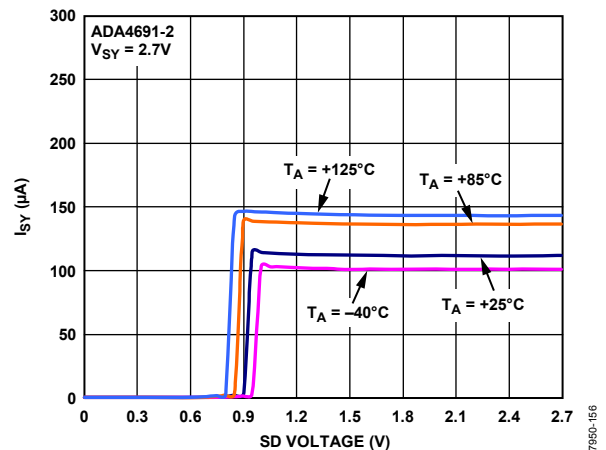


図 61.電源電流の温度特性、 $V_{SY} = 2.7 V$

外形寸法

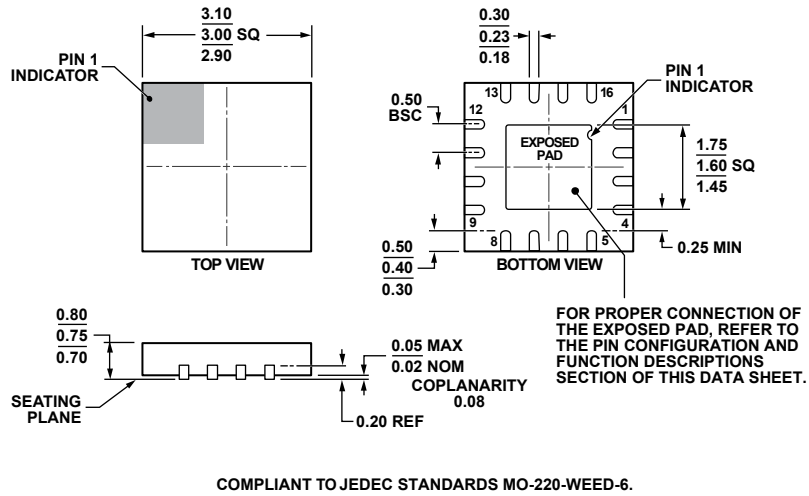


図 62. 16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
3 mm x 3 mm ボディ、極薄クワッド
(CP-16-22)
寸法: mm

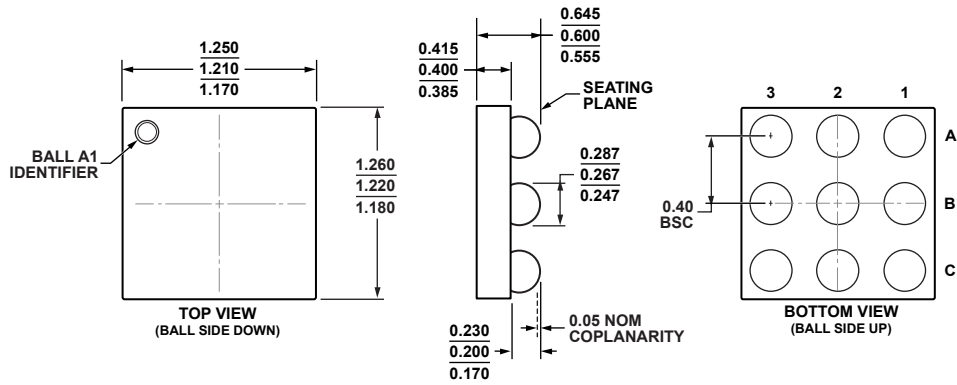
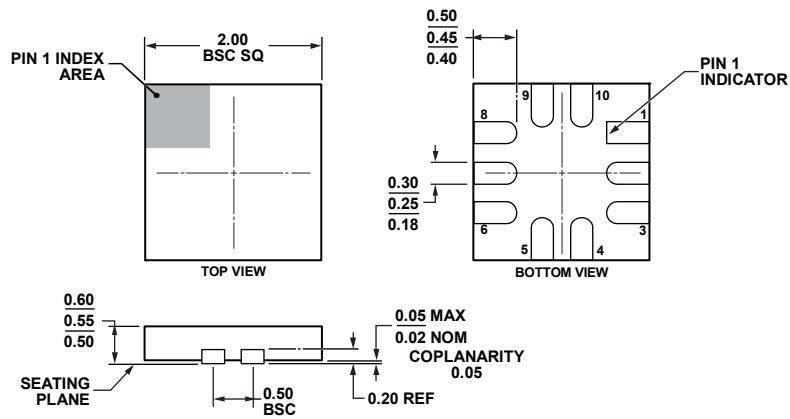
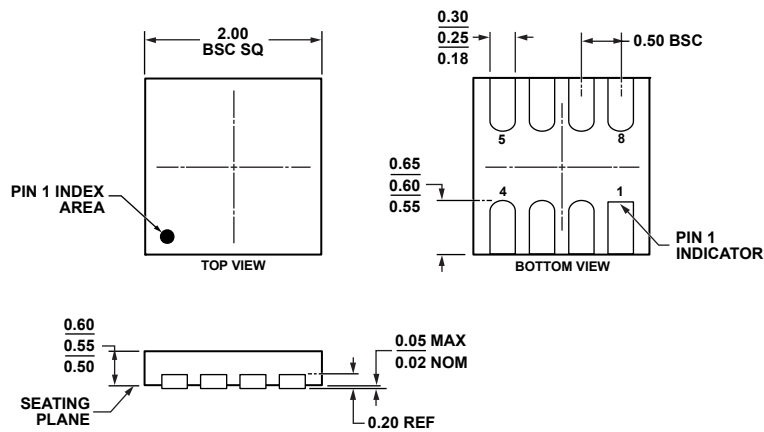


図 63. 9 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP]
(CB-9-3)
寸法: mm



061305-D

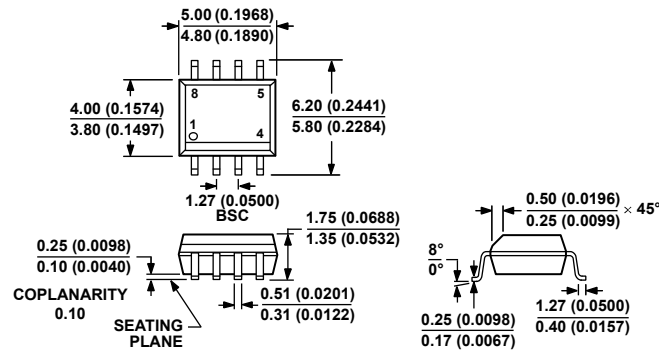
図 64. 10 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_UQ]
 2 mm × 2 mm ボディ、超薄型クワッド
 (CP-10-11)
 寸法: mm



062409-A

図 65. 8 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_UD]
 2 mm × 2 mm ボディ、超薄型、デュアルリード
 (CP-8-6)
 寸法: mm

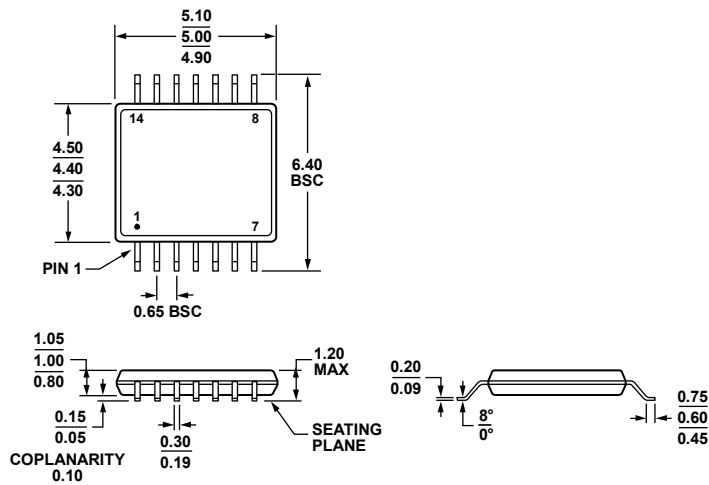
ADA4691-2/ADA4691-4/ADA4692-2/ADA4692-4



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 66.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロー・ボディ
 (R-8)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

061908-A

図 67.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
 (RU-14)
 寸法: mm

ADA4691-2/ADA4691-4/ADA4692-2/ADA4692-4

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4691-2ACBZ-R7	-40°C to +125°C	9-Ball WLCSP	CB-9-3	A2C
ADA4691-2ACBZ-RL	-40°C to +125°C	9-Ball WLCSP	CB-9-3	A2C
ADA4691-2ACPZ-R7	-40°C to +125°C	10-Lead LFCSP_UQ	CP-10-11	A2
ADA4691-2ACPZ-RL	-40°C to +125°C	10-Lead LFCSP_UQ	CP-10-11	A2
ADA4691-4ACPZ-R2	-40°C to +125°C	16-Lead LFCSP_WQ	CP-16-22	A2P
ADA4691-4ACPZ-R7	-40°C to +125°C	16-Lead LFCSP_WQ	CP-16-22	A2P
ADA4691-4ACPZ-RL	-40°C to +125°C	16-Lead LFCSP_WQ	CP-16-22	A2P
ADA4692-2ACPZ-R7	-40°C to +125°C	8-Lead LFCSP_UD	CP-8-6	A3
ADA4692-2ACPZ-RL	-40°C to +125°C	8-Lead LFCSP_UD	CP-8-6	A3
ADA4692-2ARZ	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4692-2ARZ-R7	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4692-2ARZ-RL	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4692-4ARUZ	-40°C to +125°C	14-Lead TSSOP	RU-14	
ADA4692-4ARUZ-RL	-40°C to +125°C	14-Lead TSSOP	RU-14	

¹ Z = RoHS 準拠製品。