

ADA4899-1

特長

ユニティ・ゲインで安定動作
 超低ノイズ：1nV/√Hz、2.6pA/√Hz
 超低歪み：-117dBc@1MHz
 高速
 -3dB帯域幅：600MHz (G=+1)
 スルーレート：310V/μs
 オフセット電圧：230μV (max)
 低入力バイアス電流：100nA
 広い電源電圧範囲：5~12V
 電源電流：14.7mA
 高性能ピン配置
 ディスエーブル・モード

アプリケーション

A/Dドライバ
 計測機器
 フィルタ
 IFおよびベースバンド・アンプ
 DACバッファ
 光エレクトロニクス

概要

ADA4899-1は、超低ノイズ (1nV/√Hz)、超低歪み (<-117dBc @1MHz)、ユニティ・ゲインで安定動作の電圧帰還型オペアンプで、16/18ビット・システムに最適です。高い直線性をもつ低ノイズ入力段と補償機能を備えており、ユニティ・ゲイン時でも高スルーレートと低ノイズを達成します。アナログ・デバイス独自の次世代XFCBプロセスと革新的な回路設計により、この高性能アンプが実現しました。

ADA4899-1は、わずか15mAの電源電流により、画期的な性能レベルで100Ωの負荷を駆動します。広い電源電圧範囲 (4.5~12V)、低オフセット電圧 (最大230μV)、広帯域幅 (600MHz)、高スルーレート (310V/μs) により、最も要求の厳しいアプリケーションで機能するように設計されています。入力バイアス電流キャンセル・モードも備えており、入力バイアス電流が1/60に減少します。

接続図

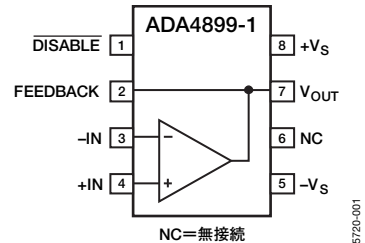


図1. 8ピンLFCSP_VD (CP-8-2)

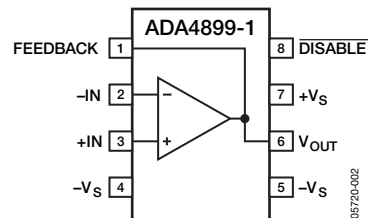


図2. 8ピンSOIC_N_EP (RD-8-1)

ADA4899-1は、3mm×3mmのLFCSPパッケージと8ピンSOICパッケージを採用しています。いずれのパッケージにも金属性の露出パドルがあり、グラウンド・プレーンへの熱伝導が従来のプラスチック・パッケージに比べて大きく改善されています。-40~+125℃の拡張工業用温度範囲で動作するように規定されています。

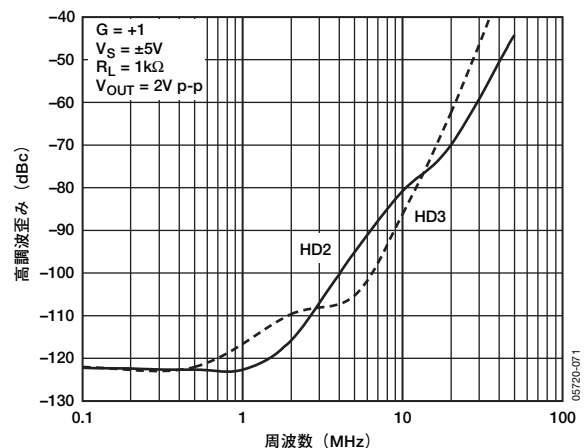


図3. 高調波歪みの周波数特性

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
 © 2006 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
 電話03 (5402) 8200
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
 電話06 (6350) 6868

ADA4899-1

目次

特長	1	パッケージングに関する新技術.....	13
アプリケーション	1	$\overline{\text{DISABLE}}$ ピン	13
接続図	1	アプリケーション	14
概要	1	ユニティ・ゲイン動作.....	14
改訂履歴	2	さまざまなゲインに対する推奨値.....	14
±5V電源での仕様.....	3	ノイズ.....	15
±5V電源での仕様.....	4	ADCドライバ	15
絶対最大定格	5	$\overline{\text{DISABLE}}$ ピンの動作	16
最大消費電力.....	5	ADA4899-1のMUX.....	16
ESDに関する注意.....	5	回路の考慮事項.....	16
代表的な性能特性	6	外形寸法	18
テスト回路	12	オーダー・ガイド.....	19
動作原理	13		

改訂履歴

4/06—Rev. 0 to Rev. A

Changes to Figure 2

10/05—Revision 0: Initial Version

±5V電源での仕様

特に指定のない限り、 $T_A=25^\circ\text{C}$ 、 $G=+1$ 、 $R_L=1\text{k}\Omega$ （グラウンドに接続）。

表1

パラメータ	条件	Min	Typ	Max	単位
動的性能					
−3dB帯域幅	$V_{OUT}=25\text{mVp-p}$		600		MHz
	$V_{OUT}=2\text{Vp-p}$		80		MHz
0.1dB平坦性帯域幅	$G=+2$ 、 $V_{OUT}=2\text{Vp-p}$		35		MHz
スルーレート	$V_{OUT}=5\text{V}$ ステップ		310		V/ μs
0.1%までのセトリング時間	$V_{OUT}=2\text{V}$ ステップ		50		ns
ノイズ/歪み性能					
高調波歪み (dBc) HD2/HD3	$f_c=500\text{kHz}$ 、 $V_{OUT}=2\text{Vp-p}$		−123/−123		dBc
	$f_c=10\text{MHz}$ 、 $V_{OUT}=2\text{Vp-p}$		−80/−86		dBc
入力電圧ノイズ	$f=100\text{kHz}$		1.0		nV/ $\sqrt{\text{Hz}}$
入力電流ノイズ	$f=100\text{kHz}$ 、 $\overline{\text{DISABLE}}$ ピンは開放のまま		2.6		pA/ $\sqrt{\text{Hz}}$
	$f=100\text{kHz}$ 、 $\overline{\text{DISABLE}}$ ピン= $+V_S$		5.2		pA/ $\sqrt{\text{Hz}}$
DC性能					
入力オフセット電圧			35	230	μV
入力オフセット電圧ドリフト			5		$\mu\text{V}/^\circ\text{C}$
入力バイアス電流	$\overline{\text{DISABLE}}$ ピンは開放のまま		−6	−12	μA
	$\overline{\text{DISABLE}}$ ピン= $+V_S$		−0.1	−1	μA
入力バイアス電流ドリフト			3		nA/ $^\circ\text{C}$
入力バイアス・オフセット電流			0.05	0.7	μA
オープン・ループ・ゲイン		82	85		dB
入力特性					
入力抵抗	差動モード		4		k Ω
	同相モード		7.3		M Ω
入力容量			4.4		pF
入力同相電圧範囲			−3.7~+3.7		V
同相ノイズ除去比		98	130		dB
$\overline{\text{DISABLE}}$ピン					
$\overline{\text{DISABLE}}$ 入力スレッシュホールド電圧	出力ディスエーブル		<2.4		V
ターンオフ時間	$\overline{\text{DISABLE}}$ 電圧の50%から V_{OUT} の10%まで、 $V_{IN}=0.5\text{V}$		100		ns
ターンオン時間	$\overline{\text{DISABLE}}$ 電圧の50%から V_{OUT} の90%まで、 $V_{IN}=0.5\text{V}$		40		ns
入力バイアス電流	$\overline{\text{DISABLE}}=+V_S$ （イネーブル）		17	21	μA
	$\overline{\text{DISABLE}}=-V_S$ （ディスエーブル）	−44	−35		μA
出力特性					
出力オーバードライブ回復時間（立上がり/立下がり）	$V_{IN}=-2.5\sim+2.5\text{V}$ 、 $G=+2$		30/50		ns
出力電圧振幅	$R_L=1\text{k}\Omega$	−3.65~+3.65	−3.7~+3.7		V
	$R_L=100\Omega$	−3.13~+3.15	−3.25~+3.25		V
短絡電流	シンク/ソース		160/200		mA
オフ・アイソレーション	$f=1\text{MHz}$ 、 $\overline{\text{DISABLE}}=-V_S$		−48		dB
電源					
動作範囲		4.5		12	V
無負荷時電流			14.7	16.2	mA
無負荷時電流（ディスエーブル）	$\overline{\text{DISABLE}}=-V_S$		1.8	2.1	mA
正側電源電圧変動除去比	$+V_S=4\sim6\text{V}$ （入力換算）	84	90		dB
負側電源電圧変動除去比	$-V_S=-6\sim-4\text{V}$ （入力換算）	87	93		dB

ADA4899-1

±5V電源での仕様

特に指定のない限り、 $V_S=5V@T_A=25^\circ C$ 、 $G=+1$ 、 $R_L=1k\Omega$ （グラウンドに接続）。

表2

パラメータ	条件	Min	Typ	Max	単位
動的性能					
−3dB帯域幅	$V_{OUT}=25mVp-p$		535		MHz
	$V_{OUT}=2Vp-p$		60		MHz
0.1dB平坦性帯域幅	$G=+2$ 、 $V_{OUT}=2Vp-p$		25		MHz
スルーレート	$V_{OUT}=2V$ ステップ		185		V/ μs
0.1%までのセトリング時間	$V_{OUT}=2V$ ステップ		50		ns
ノイズ/歪み性能					
高調波歪み (dBc) HD2/HD3	$f_C=500kHz$ 、 $V_{OUT}=1Vp-p$		−100/−113		dBc
	$f_C=10MHz$ 、 $V_{OUT}=1Vp-p$		−89/−100		dBc
入力電圧ノイズ	$f=100kHz$		1.0		nV/ \sqrt{Hz}
入力電流ノイズ	$f=100kHz$ 、 $\overline{DISABLE}$ ピンは開放のまま		2.6		pA/ \sqrt{Hz}
	$f=100kHz$ 、 $\overline{DISABLE}$ ピン= $+V_S$		5.2		pA/ \sqrt{Hz}
DC性能					
入力オフセット電圧			5	210	μV
入力オフセット電圧ドリフト			5		$\mu V/^\circ C$
入力バイアス電流	$\overline{DISABLE}$ ピンは開放のまま		−6	−12	μA
	$\overline{DISABLE}$ ピン= $+V_S$		−0.2	−1.5	μA
入力バイアス・オフセット電流			0.05		μA
入力バイアス・オフセット電流ドリフト			2.5		nA/ $^\circ C$
オープン・ループ・ゲイン		76	80		dB
入力特性					
入力抵抗	差動モード		4		k Ω
	同相モード		7.7		M Ω
入力容量			4.4		pF
入力同相電圧範囲			1.3~3.7		V
同相ノイズ除去比		90	114		dB
DISABLEピン					
$\overline{DISABLE}$ 入力スレッシュホールド電圧	出力ディスエーブル		<2.4		V
ターンオフ時間	$\overline{DISABLE}$ 電圧の50%から V_{OUT} の10%まで、 $V_{IN}=0.5V$		100		ns
ターンオン時間	$\overline{DISABLE}$ 電圧の50%から V_{OUT} の90%まで、 $V_{IN}=0.5V$		60		ns
入力バイアス電流	$\overline{DISABLE}=+V_S$ （イネーブル）		16	18	μA
	$\overline{DISABLE}=-V_S$ （ディスエーブル）	−42	−33		μA
出力特性					
出力オーバードライブ回復時間（立上がり/立下がり）	$V_{IN}=0\sim 2.5V$ 、 $G=+2$		50/70		ns
出力電圧振幅	$R_L=1k\Omega$	1.25~3.75	1.2~3.8		V
	$R_L=100\Omega$	1.4~3.6	1.35~3.65		V
短絡電流	シンク/ソース		60/80		mA
オフ・アイソレーション	$f=1MHz$ 、 $\overline{DISABLE}=-V_S$		−48		dB
電源					
動作範囲		4.5		12	V
無負荷時電流			14.3	16	mA
無負荷時電流（ディスエーブル）	$\overline{DISABLE}=-V_S$		1.5	1.7	mA
正側電源電圧変動除去比	$+V_S=4.5\sim 5.5V$ 、 $-V_S=0V$ （入力換算）	84	90		dB
負側電源電圧変動除去比	$+V_S=5V$ 、 $-V_S=-0.5\sim +0.5V$ （入力換算）	86	90		dB

絶対最大定格

表3

パラメータ	定格値
電源電圧	12.6V
消費電力	図4を参照
差動入力電圧	±1.2V
差動入力電流	±10mA
保存温度範囲	-65～+150°C
動作温度範囲	-40～+125°C
ピン温度範囲 (ハンダ処理、10秒)	300°C
ジャンクション温度	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

最大消費電力

ADA4899-1パッケージの最大安全消費電力は、ダイ上のジャンクション温度 (T_J) が電力に伴って上昇することによって制限されます。ダイをプラスチック封止すると、局所的に規定のジャンクション温度に到達します。ガラス遷移温度である約150°Cで、プラスチックの属性が変化します。この温度限界値を一時的に超過しても、パッケージからダイに加わる応力が変化し、ADA4899-1のパラメータ性能が恒久的に変化することがあります。長時間にわたってジャンクション温度が150°Cを超えると、シリコン・デバイスの特性が変化し、動作不良が生じる可能性が高くなります。

ダイのジャンクション温度は、パッケージとPCボードの自然空冷での熱特性 (θ_{JA})、周囲温度 (T_A)、パッケージ内の合計消費電力 (P_D) によって決まります。ジャンクション温度は次式で計算します。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージ内部で消費される電力 (P_D) は、無負荷時の消費電力、およびすべての出力に対する負荷の駆動によってパッケージ内部で消費される電力を合計したものです。無負荷時消費電力は、電源ピン間の電圧 (V_S) を無負荷時電源電流 (I_S) と乗算した値になります。負荷 (R_L) は電源電圧の1/2を基準とするものと仮定すると、合計駆動電力は $V_S/2 \times I_{OUT}$ になり、この電力がパッケージ内と負荷 ($V_{OUT} \times I_{OUT}$) で消費されます。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されなまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

合計駆動電力と負荷電力との差が、パッケージ内で消費される駆動電力です。

$$P_D = \text{無負荷時消費電力} + (\text{合計駆動電力} - \text{負荷電力})$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S \times V_{out}}{2 R_L} \right) - \frac{V_{out}^2}{R_L}$$

RMS出力電圧を考慮に入れる必要があります。単電源動作のように、 R_L が V_{S-} を基準とすると、合計駆動電力は $V_S \times I_{OUT}$ になります。rms信号レベルが未確定の場合には、電源電圧の1/2を基準とする R_L に対して $V_{OUT} = V_S/4$ の最悪時のケースを検討します。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

V_{S-} を基準とする R_L を使う単電源動作では、最悪時のケースは $V_{OUT} = V_S/2$ になります。

エアフローがあると放熱が促進されるため、実質的に θ_{JA} は減少します。さらに、金属のパターン配線、スルーホール、グラウンド、電源プレーンがパッケージのピンに直接接触する割合が高くなる場合にも、 θ_{JA} は小さくなります。露出パドルをグラウンド・プレーンにハンダ付けすると、パッケージの全体的な熱抵抗が大幅に減少します。

図4は、JEDEC規格に適合した4層ボード上に実装されるSOIC-8 (70°C/W) パッケージとLFCSP (70°C/W) パッケージについて、パッケージの最大安全消費電力と露出パドル (e-pad) の周囲温度の関係を示します。 θ_{JA} 値は概算値です。

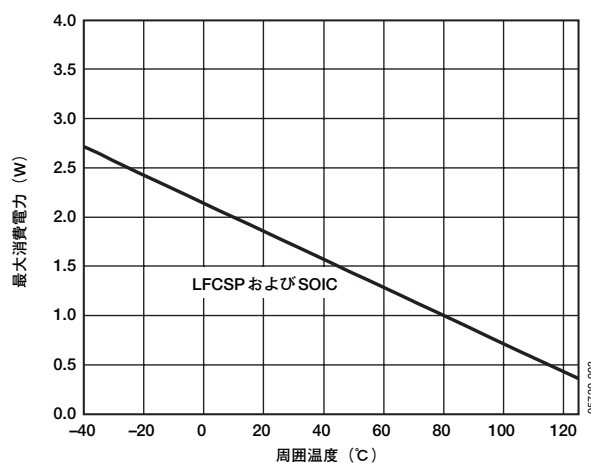


図4. 周囲温度 対 最大消費電力



代表的な性能特性

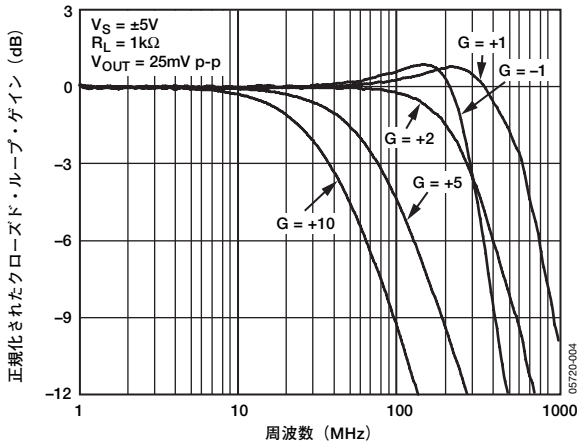


図5. さまざまなゲインに対する小信号周波数応答

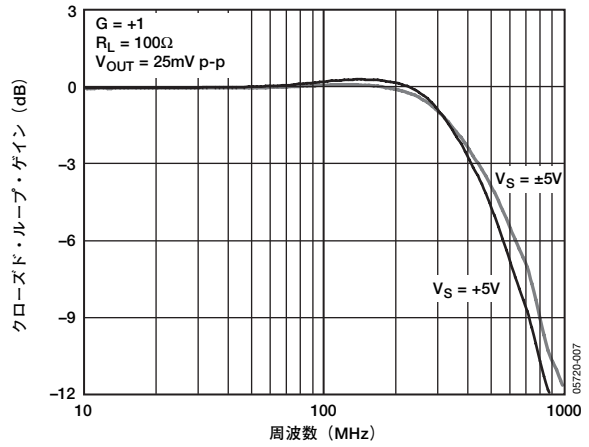


図8. さまざまな電源電圧に対する小信号周波数応答

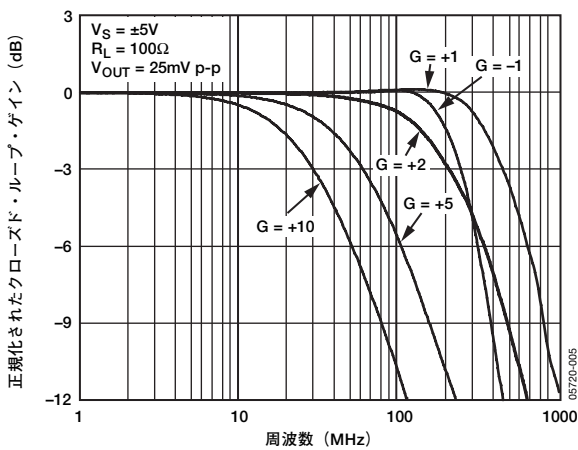


図6. さまざまなゲインに対する小信号周波数応答

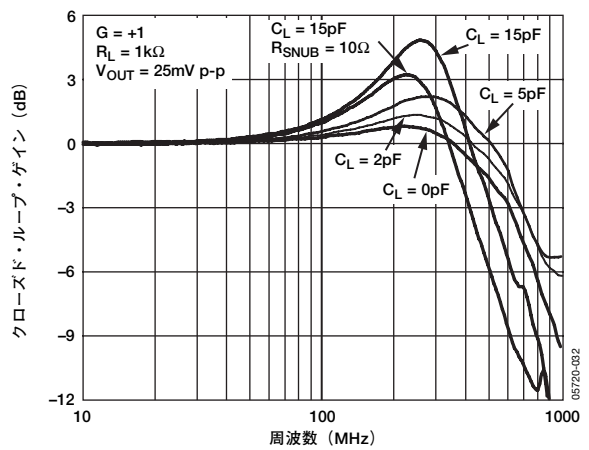


図9. 容量性負荷に対する小信号周波数応答

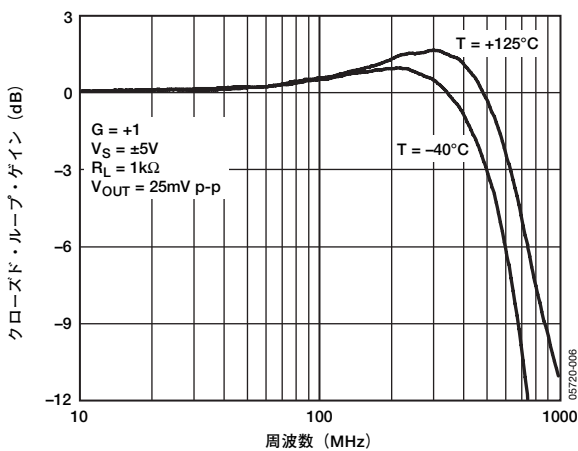


図7. さまざまな温度に対する小信号周波数応答

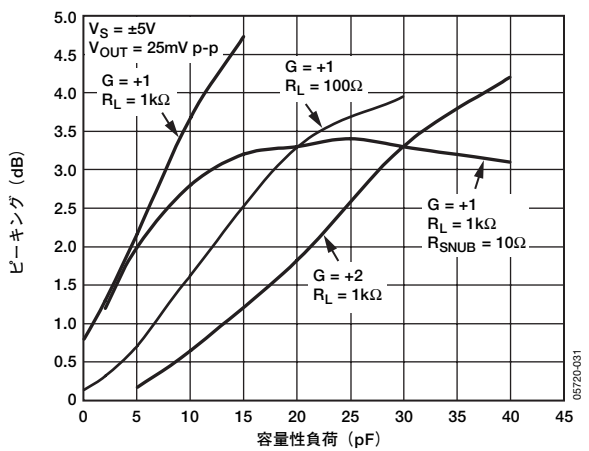


図10. さまざまなゲインに対する容量性負荷対小信号周波数応答ピーキング

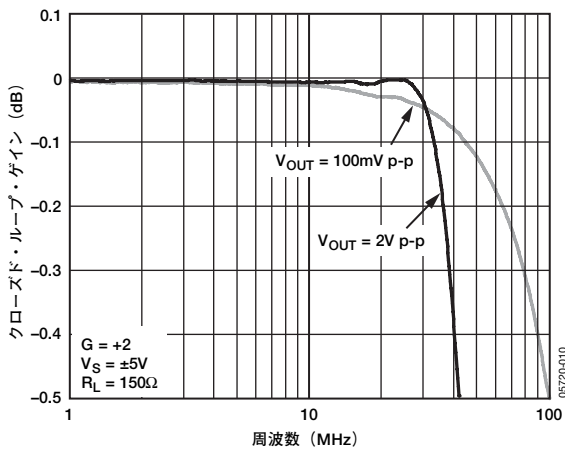


図11. さまざまな出力電圧に対する0.1dB平坦性

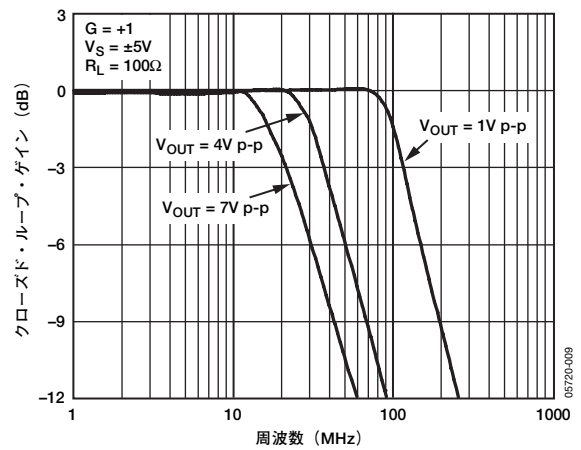


図14. さまざまな出力電圧に対する大信号周波数応答

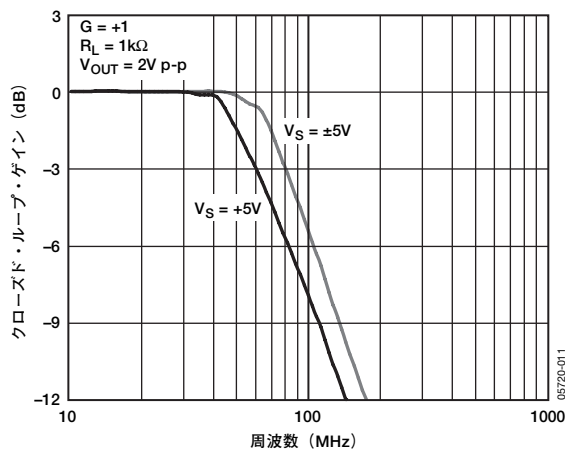


図12. さまざまな電源電圧に対する大信号周波数応答

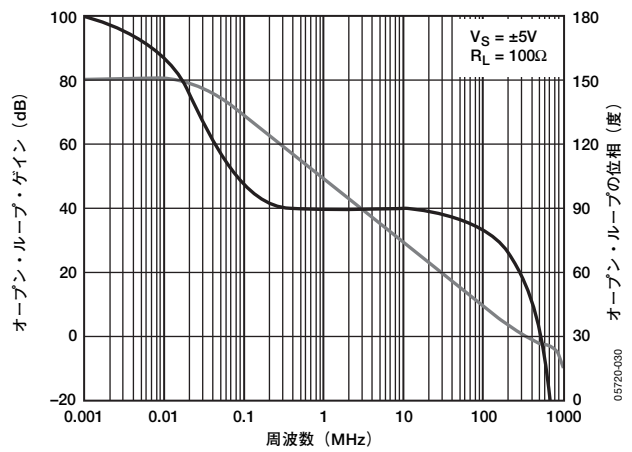


図15. オープン・ループ・ゲイン/位相の周波数特性

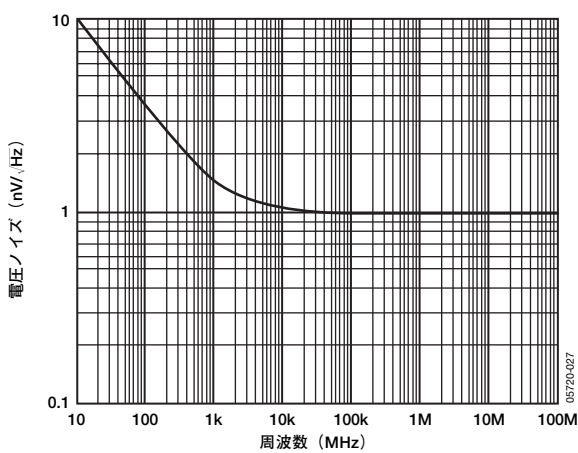


図13. 電圧ノイズの周波数特性

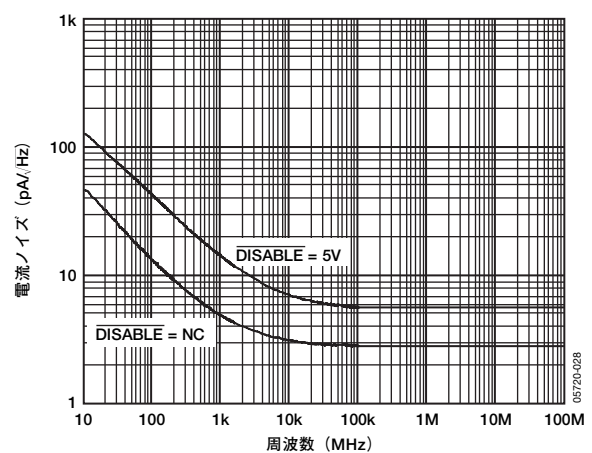


図16. 入力電流ノイズの周波数特性

ADA4899-1

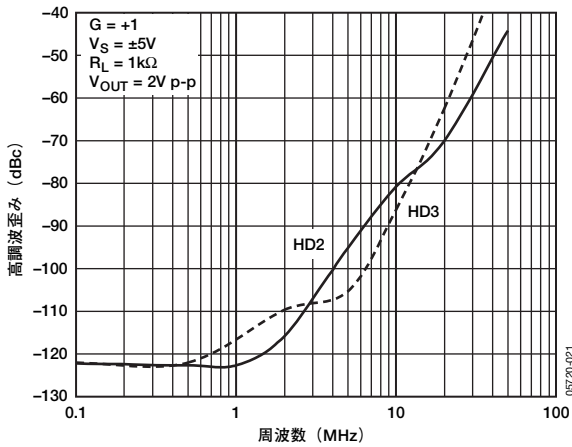


図17. 高調波歪みの周波数特性

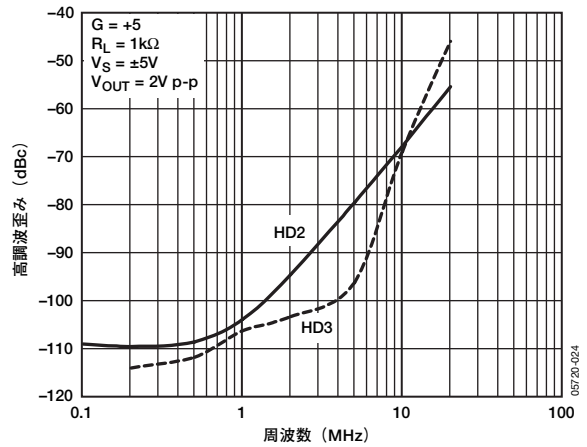


図20. 高調波歪みの周波数特性

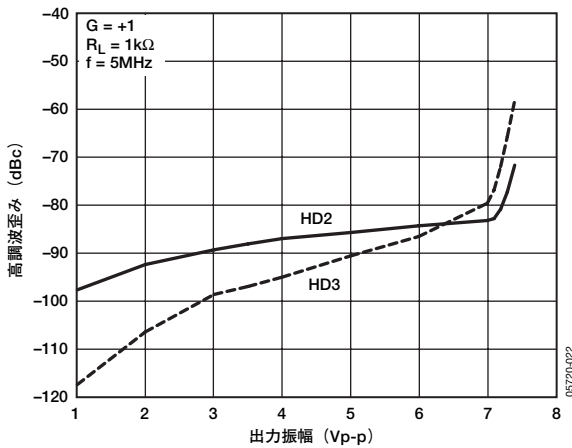


図18. 出力振幅 対 高調波歪み

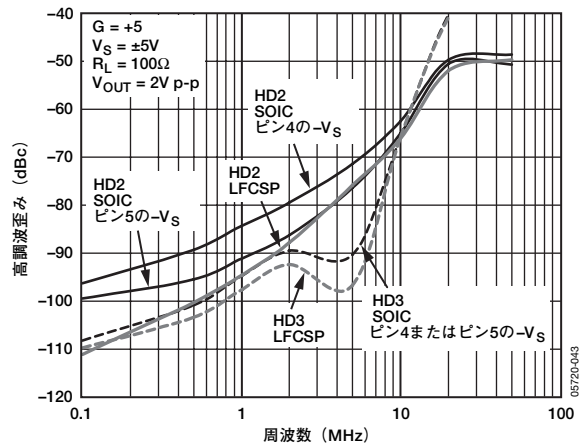


図21. さまざまなピン配置とパッケージに対する高調波歪みの周波数特性

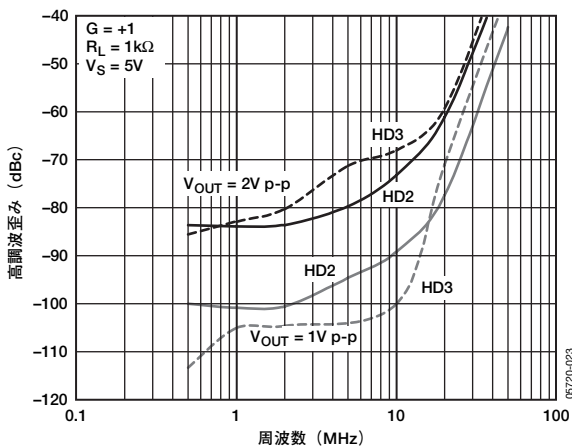


図19. 高調波歪みの周波数特性

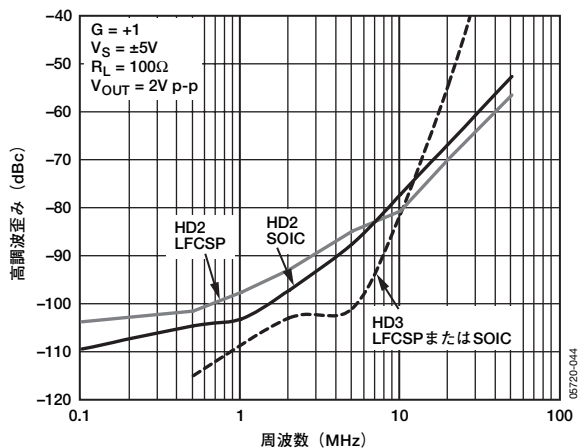


図22. 2つのパッケージに対する高調波歪みの周波数特性

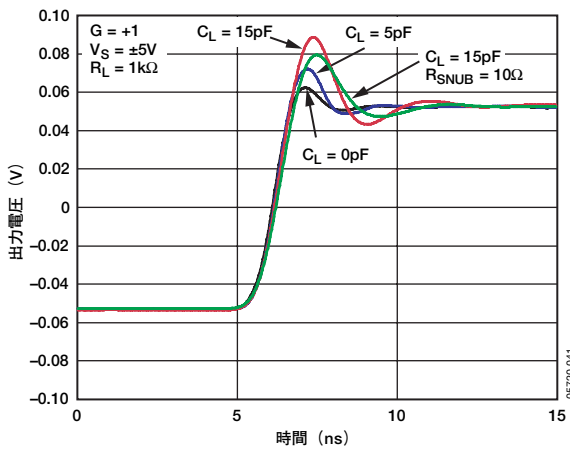


図23. さまざまな容量性負荷に対する小信号過渡応答 (立上がりエッジ)

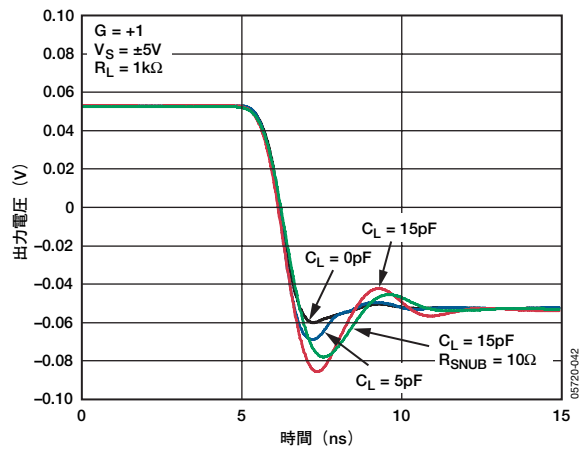


図26. さまざまな容量性負荷に対する小信号過渡応答 (立下がりエッジ)

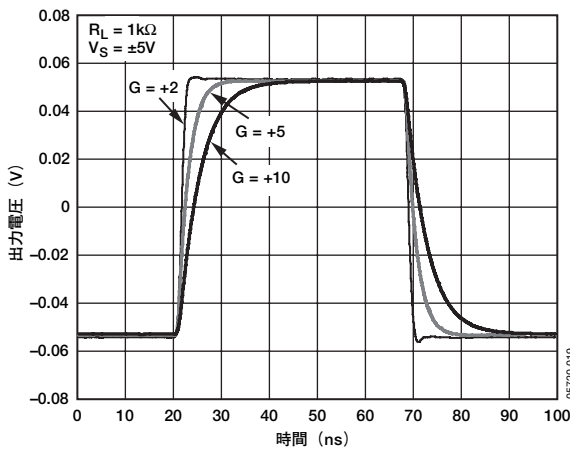


図24. さまざまなゲインに対する小信号過渡応答

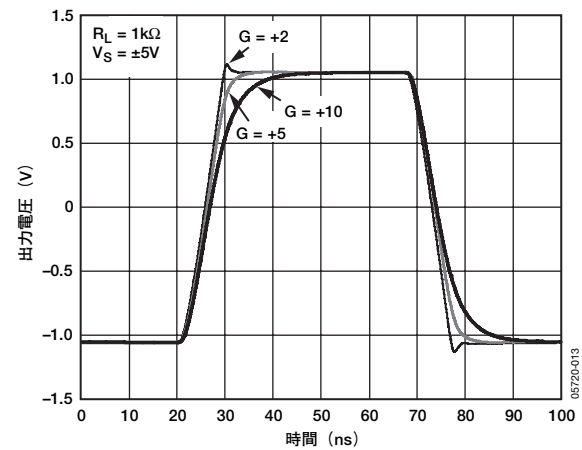


図27. さまざまなゲインに対する大信号過渡応答

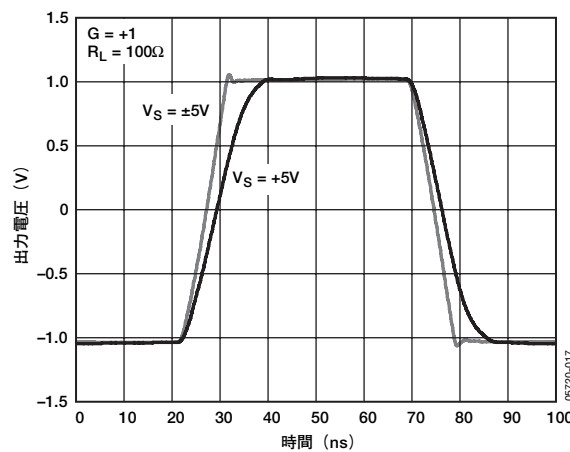


図25. さまざまな電源電圧に対する大信号過渡応答

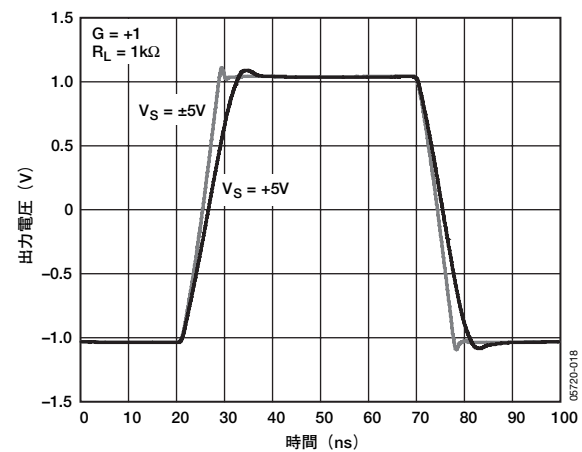


図28. さまざまな電源電圧に対する大信号過渡応答

ADA4899-1

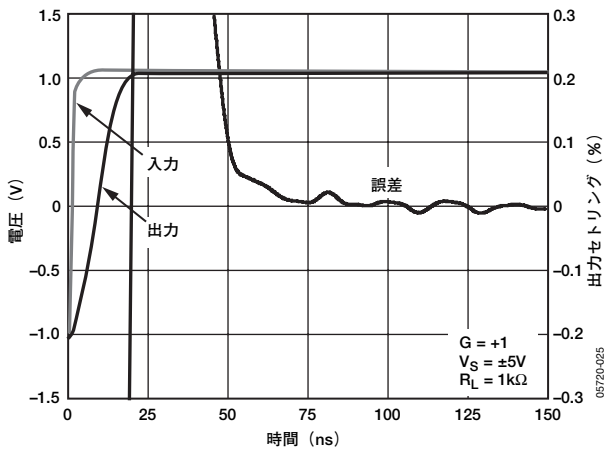


図29. セトリング時間

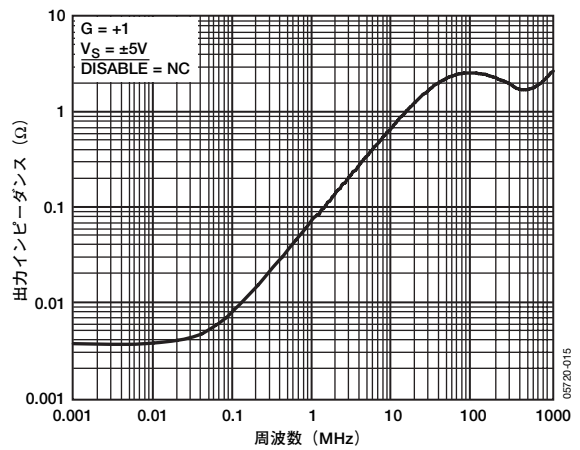


図32. 出力インピーダンスの周波数特性

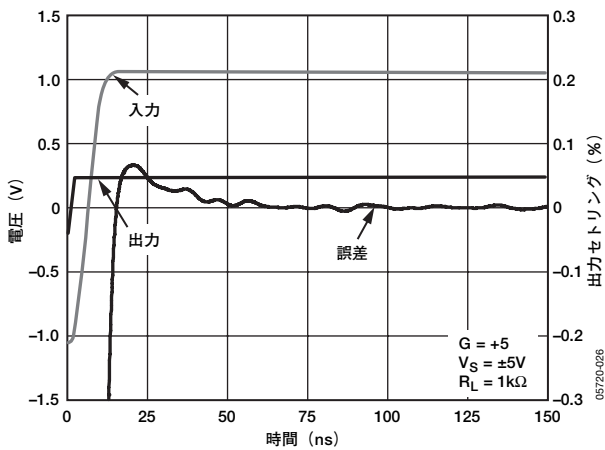


図30. セトリング時間

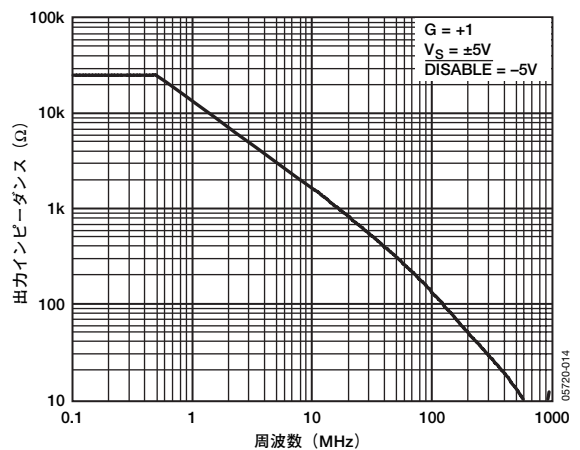


図33. 出力インピーダンスの周波数特性 (ディスエーブル)

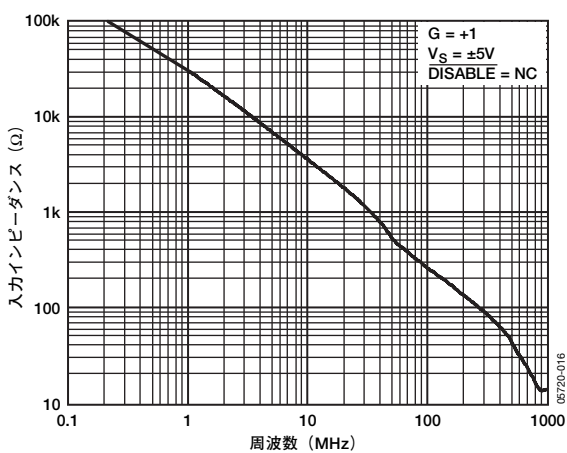


図31. 入力インピーダンスの周波数特性

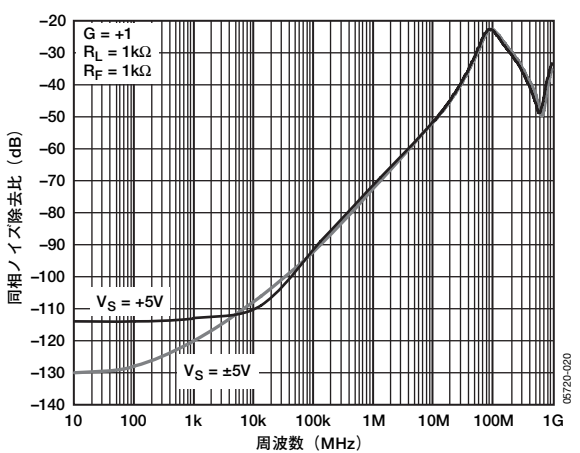


図34. 同相ノイズ除去比の周波数特性

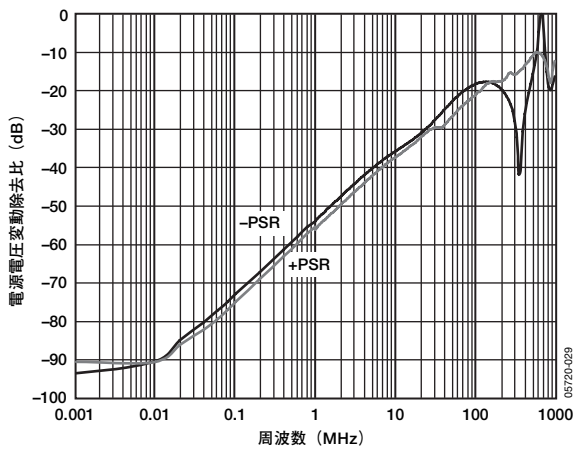


図35. 電源電圧変動除去比

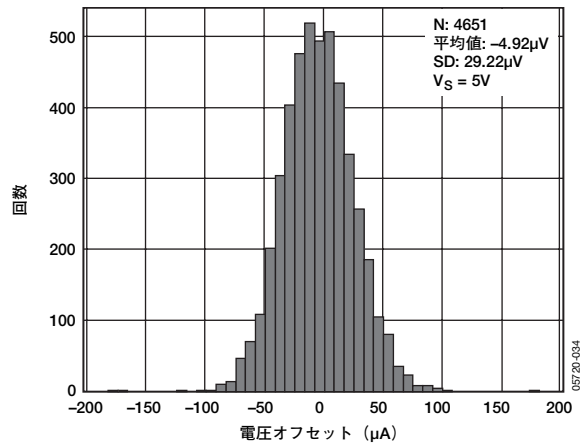


図38. 入力オフセット電圧の分布 ($V_S=5V$)

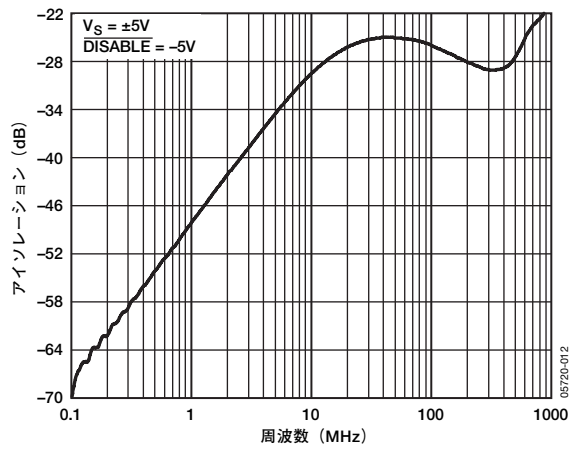


図36. オフ・アイソレーションの周波数特性

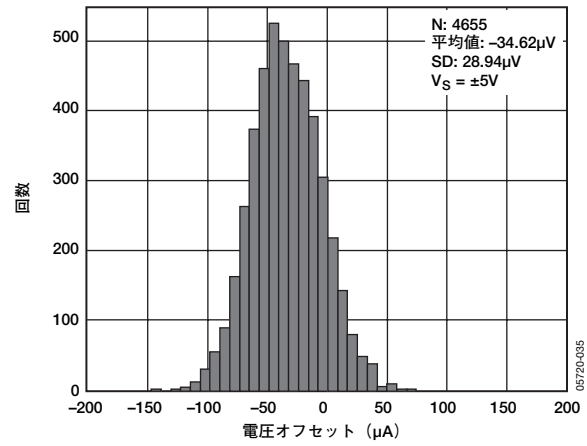


図39. 入力オフセット電圧の分布 ($V_S=\pm 5V$)

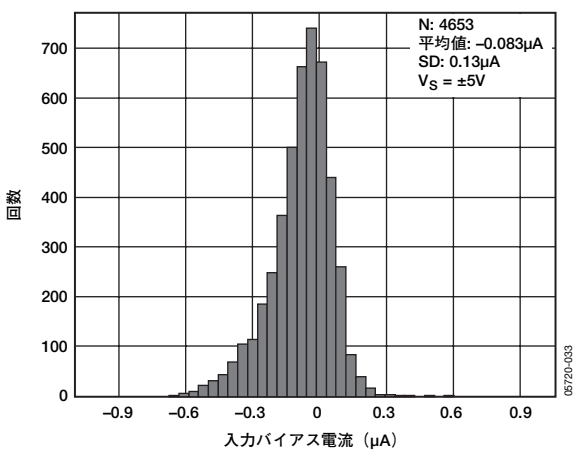


図37. 入力バイアス電流の分布

テスト回路

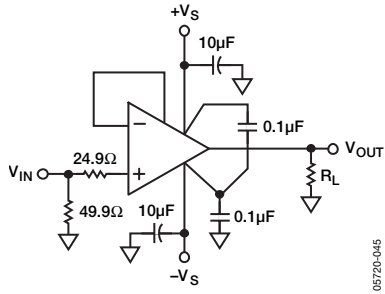


図40. 代表的な非反転負荷構成

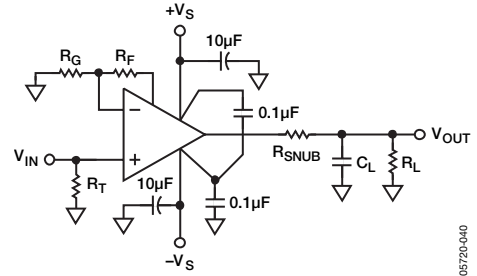


図43. 代表的な容量性負荷構成

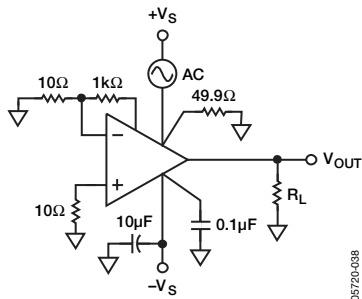


図41. 正側電源電圧変動除去比

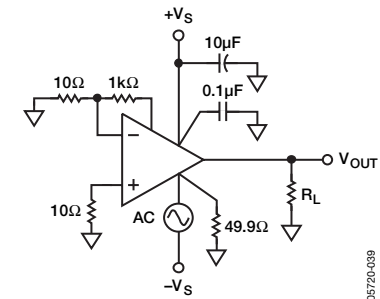


図44. 負側電源電圧変動除去比

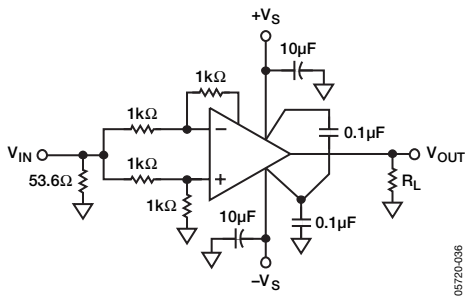


図42. 同相ノイズ除去比

動作原理

ADA4899-1は、ユニティ・ゲイン安定性と $1\text{nV}/\sqrt{\text{Hz}}$ の入力ノイズを組み合わせた電圧帰還型オペアンプです。ユニティ・ゲイン構成において10MHzまで -80dBc (@ 2Vp-p) を超える歪みを維持できる、直線性の高い入力段を採用しています。このような低ゲイン安定性、入力換算ノイズ、超低歪みというきわめてまれな組み合わせが実現したのは、アナログ・デバイス独自のオペアンプ・アーキテクチャと高速相補型バイポーラ処理技術によるものです。

図45に示すADA4899-1の簡略トポロジは、ユニティ・ゲインの出力バッファを備えたゲイン段で構成されています。このトポロジでは、 80dB を超えるオープン・ループ・ゲインを持ち、CMRR、PSRR、オフセットなどの精度仕様を、通常は複数のゲイン段を持つトポロジに対応するレベルまで維持します。

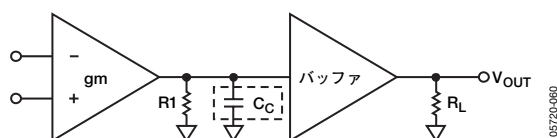


図45. ADA4899-1のトポロジ

ADA4899-1の非反転入力と反転入力との間の差動電圧は、内部的に接続された1対のダイオードによって制限されます。ダイオードの各セットには、逆並列に接続される2個の直列ダイオードがあります。このため、入力間の差動電圧は約 $\pm 1.2\text{V}$ に制限されます。ADA4899-1のすべてのピンは、両レール間に接続された電圧制限ダイオードによってESDに対して保護されています。保護ダイオードは 10mA まで対応します。直列制限抵抗を使用して、これらのダイオードを流れる電流を 10mA 以下に制限してください。

パッケージングに関する新技術

ADA4899-1にはSOICとLFCSPパッケージがあり、いずれもデバイスの動作温度を下げて信頼性を高めるためにサーマル・パッドを使用しています。両パッケージとも、ボード・レイアウトでこのパッド周辺への配線を回避できるように、パッケージの反対側にも出力ピンが1本あり、帰還回路が入力に接続しやすくなっています。この補助出力ピンは、出力の容量性負荷、パッケージの自己インダクタンス、帰還ループからのボンディング・ワイヤ間の干渉も防止します。帰還に対しては補助出力ピンを使用しますが、主出力のインダクタンスは、アンプの出力インピーダンスから容量性負荷を分離するのに役立ちます。

SOICもLFCSPも、重い負荷時の2次高調波歪み性能を改善するために、ピン配置が変更されています。いずれも、非反転入力から負側電源ピンを分離することが目的です。そのため、LFCSPでは、8ピン・パッケージの標準ピン配置を1ピンだけ反時計回りに回転させています。これにより、電源ピンと出力ピンは、入力ピンとは別の側に配置されます。SOICでは2つの目的があり、状況は若干異なります。その1つは入力を電源ピンから分離することであり、もう1つは、わずかな変更を加えるだけで（あるいはまったく変更せずに）ADA4899-1を標準のSOICボード・レイアウトで使用できるようにすることです。未使用の5番ピンを第2の負側電源ピンとして使用すれば、入力を分離したレイアウトと従来のレイアウトの両方に対応できるようになります。

DISABLEピン

ADA4899-1には、高インピーダンス・ディセーブルとオプションの入力バイアス電流キャンセル回路のために、スリーステート入力ピンが用意されています。高インピーダンス出力を使用すれば、複数のADA4899-1が同じADCや出力ラインを時間インターリーブで駆動できます。DISABLEピンをローレベルにすると、高インピーダンス状態がアクティブになります。スレッショルド・レベルについては、表7を参照してください。DISABLEピンがフロート状態（開放状態）のままであれば、ADA4899-1は通常に動作します。DISABLEピンが正側電源の 0.7V 以内にプルアップされると、オプションの入力バイアス電流キャンセル回路がオンになり、入力バイアス電流は 200nA 未満に低下します。このモードでは、ADA4899-1を高DCソース・インピーダンスで駆動し、かつインピーダンス・マッチング技術を使わずに出力換算オフセットを最小に維持できます。さらに、ADA4899-1は、高DCインピーダンス回路をもった入力バイアス・ポイントを設定しながら、ACカップリングすることもできます。入力バイアス電流キャンセル回路では入力換算電流ノイズが2倍になりますが、広帯域インピーダンスを低く維持する限り、この影響は大きくありません（図16を参照）。

アプリケーション

ユニティ・ゲイン動作

ユニティ・ゲイン構成に関するADA4899-1の回路図は、ほぼ標準的な例です（図46を参照）。唯一の例外は、非反転入力にある小さな24.9Ω直列抵抗です。この直列抵抗は、ユニティ・ゲイン構成でのみ必要とされます。高いゲインでは、この抵抗は必要ありません。表4から、アンプと24.9Ω抵抗による全体的なノイズ増加分は、1本の87Ω抵抗のノイズと等価であることがわかります。

図47は、図46に示すユニティ・ゲイン・アンプの小信号周波数応答を示します。

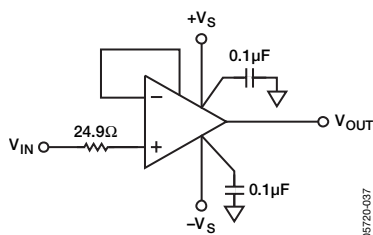


図46. ユニティ・ゲイン回路図

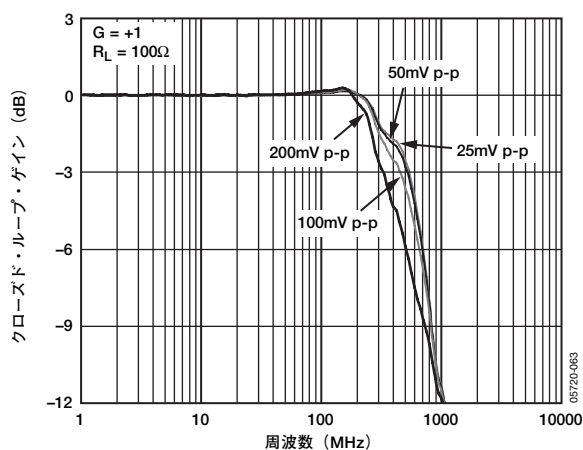


図47. さまざまな出力電圧に対する小信号周波数応答

さまざまなゲインに対する推奨値

表4は、さまざまなゲインとそれに対応する性能を判定するための参考として便利です。1を超えるノイズ・ゲインに対しては、直列抵抗 R_S は必要ありません。アンプの全体的なノイズ性能に対する影響を最小限に抑えるには、抵抗 R_F と R_G の値を低くします。

表4. 条件： $V_S = \pm 5V$ 、 $T_A = 25^\circ C$ 、 $R_L = 1k\Omega$

ゲイン	$R_F(\Omega)$	$R_G(\Omega)$	$R_S(\Omega)$	-3dB SS BW (MHz) (25mVp-p)	スルーレート (V/ μ s) (2Vステップ)	ADA4899-1電圧 ノイズ (nV/Hz)	合計電圧ノイズ (nV/ \sqrt{Hz})
+1	0	NA	24.9	605	274	1	1.2
-1	100	100	0	294	265	2	2.7
+2	100	100	0	277	253	2	2.7
+5	200	49.9	0	77	227	5	6.5
+10	453	49.9	0	37	161	10	13.3

ノイズ

アンプ回路のノイズ性能を解析するには、まずノイズ源を特定する必要があります。次に、ノイズ源がアンプの全体ノイズ性能に大きな影響を与えているかどうかを調べます。ノイズの計算を簡単にするため、実際の電圧ではなくノイズ・スペクトル密度を使って、式から帯域幅を除去します（一般に nV/\sqrt{Hz} で表されるノイズ・スペクトル密度は、帯域幅1Hzのノイズと等価です）。

図48に示すノイズ・モデルには、3つの抵抗のジョンソン・ノイズ、オペアンプ電圧ノイズ、アンプの各入力電流ノイズという、6つのノイズ源があります。各ノイズ源は、それぞれ出力でのノイズに影響を与えています。ノイズは一般に入力換算 (RTI) で規定されますが、出力換算 (RTO) ノイズの計算の方が簡単なので、これをノイズ・ゲインで除算してRTIノイズを求めます。

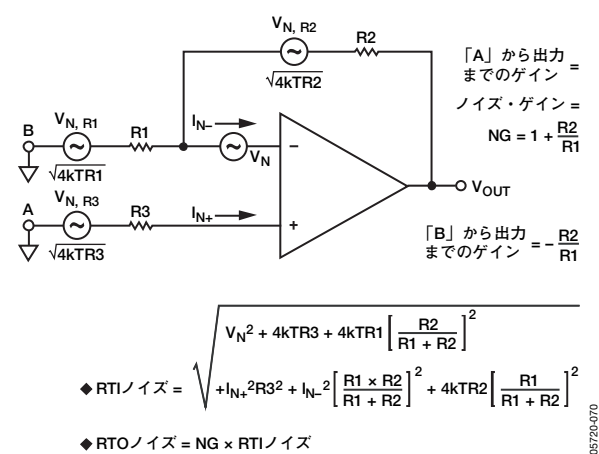


図48. オペアンプのノイズ解析モデル

すべての抵抗には、次式で計算されるジョンソン・ノイズがあります。

$$\sqrt{(4kBTR)}$$

ここで、

k はボルツマン定数 (1.38×10^{-23} J/K)

T は絶対温度 (K)

B は帯域幅 (Hz)

R は抵抗 (Ω)

50 Ω の抵抗が25 $^{\circ}C$ で $1nV/\sqrt{Hz}$ のジョンソン・ノイズを発生すると覚えておくとよいでしょう。

ノイズ感度が重要なアプリケーションでは、他の大きなノイズ源がアンプに混入しないようにしてください。各抵抗はノイズ源になります。低ノイズ性能を維持するには、設計、レイアウト、部品選択に対する注意が必要です。アンプと関連する抵抗のノイズ性能を表4にまとめてあります。

ADCドライバ

ADA4899-1は、超低ノイズと優れた歪み性能という特長によって、16ビットADCの駆動に最適です。図49に、ADA4899-1とAD7677 (1MSPS、16ビットADC)を使用したシングルエンド入力バッファの回路図を示します。表5は、ADA4899-1とAD7677の性能データです。

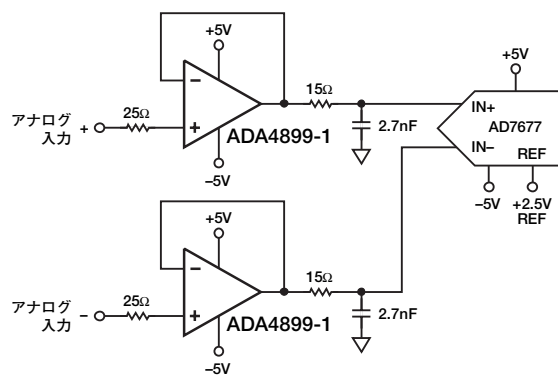


図49. シングルエンド入力のADCドライバ

表5. ADA4899-1、AD7677 (16ビット、1MSPS、 $f_c=50kHz$) 用のシングルエンド・ドライバ

パラメータ	測定値 (dB)
2次高調波歪み	-116.5
3次高調波歪み	-111.9
THD	-108.6
SFDR	+101.4
SNR	+92.6

図50に、AD7677用のシングルエンド/差動変換ドライバとして構成されたADA4899-1を示し、表6に関連する性能を示します。

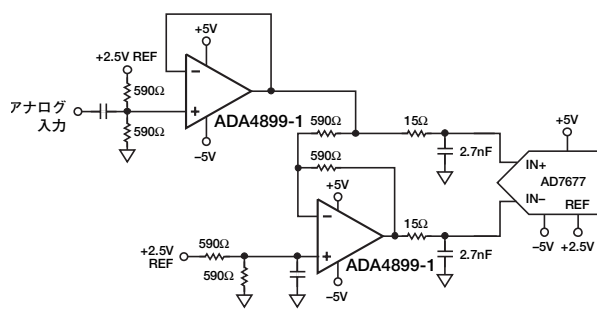


図50. シングルエンド/差動変換ADCドライバ

表6. ADA4899-1、AD7677 (16ビット、1MSPS、 $f_c=50kHz$) 用のシングルエンド/差動変換ドライバ

パラメータ	測定値 (dB)
THD	-92.7
SFDR	+91.8
SNR	+90.6

ADA4899-1

DISABLEピンの動作

ADA4899-1のDISABLEピンは、動作のイネーブル、ディスエーブル、入力バイアス電流の低減の3つの機能を実行します。DISABLEピンが正側電源の0.7V以内になると、入力バイアス電流補正回路がイネーブルになります。これにより、入力バイアス電流は1/100に減少します。この状態で、入力電流ノイズは2.6pAから5.2pA/√Hzまで倍増します。表7にDISABLEピンの動作の概要を示します。

表7. DISABLEピンの真理値表

電源電圧	±5V	+5V
ディスエーブル	-5~+2.4	0~2.4
イネーブル	オープン	オープン
低入力バイアス電流	4.3~5	4.3~5

ADA4899-1のMUX

真の出力ディスエーブルにより、ADA4899-1はマルチプレクサ・アプリケーションで使用できます。2つのADA4899-1の出力が接続されて、2:1 MUXを形成します。図51に、2:1 MUXの回路図を示します。

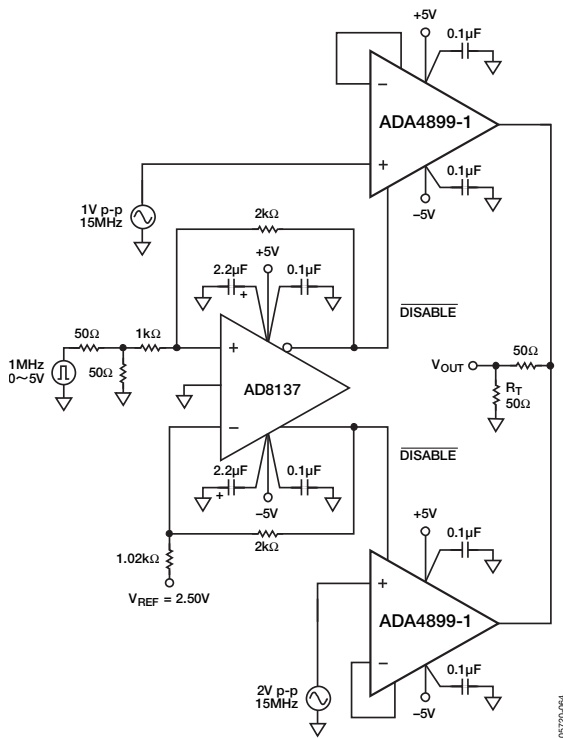


図51. ADA4899-1、2:1 MUXの回路図

AD8137差動アンプは、レベル変換器として使用され、ADA4899-1のDISABLEピンを駆動するためにTTL入力を±3Vの相補出力に変換します。図52に、2:1 MUXの過渡応答を示します。

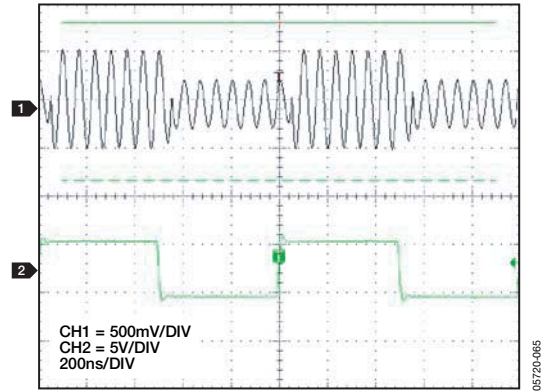


図52. ADA4899-1、2:1 MUXの過渡応答

回路の考慮事項

ADA4899-1の性能の最適化には、ボードのレイアウトに細心の注意を払ってください。電源バイパス、寄生容量、部品の選択は、すべてアンプの全般的な性能に影響を与えます。

PCボードのレイアウト

ADA4899-1は600MHzまで動作できるため、RFボードのレイアウト技術を採用することが不可欠です。ADA4899-1のピンの下の部品面以外すべてのグラウンド・プレーンと電源プレーンから銅箔を除去して、グラウンドと入力ピン、グラウンドと出力ピンとの間に寄生容量が発生しないようにしてください。マウント・パッドの下からグラウンド・プレーンの銅箔を除去しない場合、SOICフットプリント上のマウント・パッド1つあたり、0.2pFも容量がグラウンドとの間に加わります。ADA4899-1の低歪みピン配置は、アンプの出力と反転入力との間の距離が短くなります。これによって帰還パスの容量と寄生インダクタンスが最小限に抑えられ、リングングと2次高調波歪みが減少します。

電源のバイパス

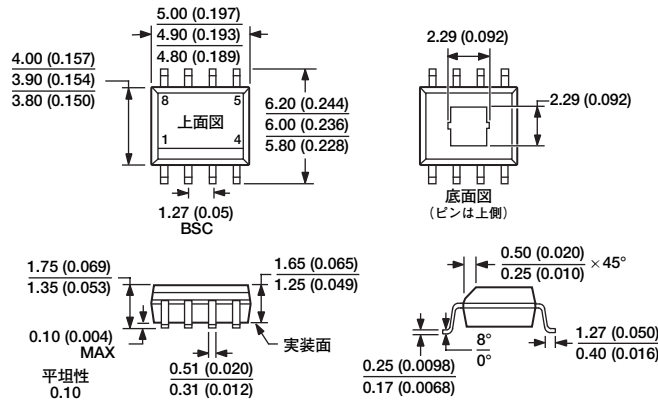
ADA4899-1の電源のバイパスは、周波数応答と歪み性能に対して最適化されています。図40に、バイパス・コンデンサの推奨値と位置を示します。電源のバイパスは、安定性、周波数応答、歪み、PSR性能にとって重要です。図40に示す0.1μFコンデンサは、ADA4899-1の電源ピンのできるだけ近くに配置します。電解コンデンサは、0.1μFコンデンサに隣接して配置します。2つの電源間のコンデンサは、PSRと歪み性能の改善に役立ちます。場合によっては、並列コンデンサを追加すると周波数と過渡応答が改善されます。

グラウンディング

可能であれば、グラウンド・プレーンと電源プレーンを使用してください。グラウンド・プレーンと電源プレーンは、供給電源側とグラウンド・リターンの抵抗とインダクタンスを小さくします。入力のリターン、出力の終端、バイパス・コンデンサ、 R_G は、すべてADA4899-1のできるだけ近くに配置してください。出力負荷のグラウンドとバイパス・コンデンサのグラウンドは、グラウンド・プレーン上の共通の1点に戻してください。パターンの寄生インダクタンス、リンギング、オーバーシュートが最小になり歪み性能が改善されます。

ADA4899-1のパッケージは露出パドルを備えています。最適な電気性能と熱性能を得るため、このパドルをグラウンドにハンダ付けしてください。高速回路設計の詳細については、『A Practical Guide to High-Speed Printed-Circuit-Board Layout』を参照してください。

外形寸法



JEDEC規格MS-012-AAに準拠

管理寸法はミリメートルの単位で表記しています。カッコ内に示すインチ単位の寸法は、ミリメートル値に基づく概数で、参考のためにのみ記載しています。設計ではこの値を使用しないでください。

111705-0

図53. 8ピン標準スモール・アウトライン・パッケージ（露出パッド付き）[SOIC_N_EP] (RD-8-1)
寸法単位：mm（インチ）

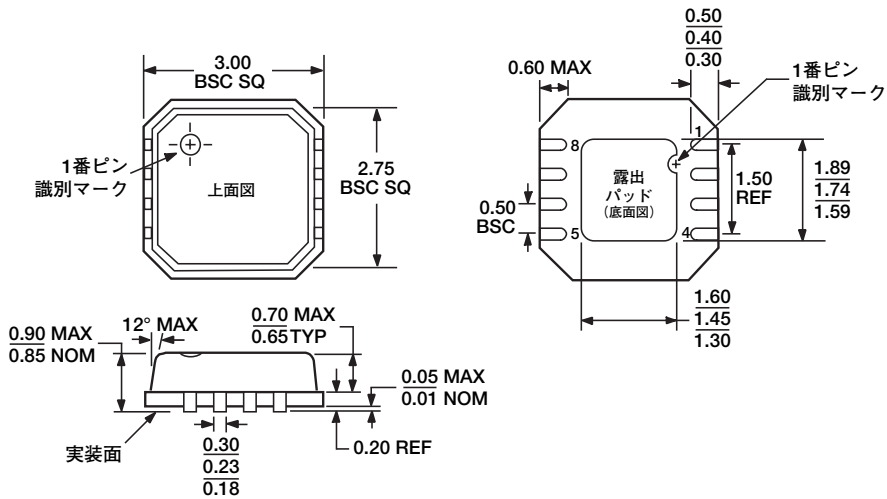


図54. 8ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VD]
3mm×3mmボディ、極薄、デュアル・ピン
(CP-8-2)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	マーキング	発注量
ADA4899-1YRDZ ¹	-40~+125℃	8ピンSOIC_N_EP	RD-8-1		1
ADA4899-1YRDZ-R7 ¹	-40~+125℃	8ピンSOIC_N_EP	RD-8-1		1,000
ADA4899-1YRDZ-RL ¹	-40~+125℃	8ピンSOIC_N_EP	RD-8-1		2,500
ADA4899-1YCPZ-R2 ¹	-40~+125℃	8ピンLFCSP_VD	CP-8-2		250
ADA4899-1YCPZ-R7 ¹	-40~+125℃	8ピンLFCSP_VD	CP-8-2	HBC	1,500
ADA4899-1YCPZ-RL ¹	-40~+125℃	8ピンLFCSP_VD	CP-8-2	HBC	5,000

¹Z=鉛フリー製品