

特長

帯域幅: 200 MHz

電源: 2.7 V~5.5 V

5 V システムでチューニング電圧の拡張を可能にする外付けチャージ・ポンプ電源(V_P)

チャージ・ポンプ電流が設定可能

3 線式シリアル・インターフェースを内蔵

ハードウェアとソフトウェアのパワーダウン・モード

アナログとデジタルのロック検出

ADF4110/ADF4111/ADF4112/ADF4113 とハードウェア互換

動作電流: 4.5 mA

極めて小さい位相ノイズ

16 ピン TSSOP

20 ピン LFCSP

概要

ADF4001 クロック・ジェネレータは、非常に低いノイズの安定なリファレンス信号を必要とする PLL クロック源を構成するときに使うことができます。低ノイズ・デジタル位相周波数検出器(PFD)、高精度チャージ・ポンプ、プログラマブルなリファレンス分周器、プログラマブルな 13 ビットの N カウンタから構成されています。さらに、14 ビットのリファレンス・カウンタ(R カウンタ)を使うと、PFD 入力で REF_{IN} 周波数が選択可能になります。シンセサイザを外部ループ・フィルタおよび電圧制御発振器(VCO)または電圧制御水晶発振器(VCXO)と組み合わせて使うと、位相ロック・ループ(PLL)全体を構成することができます。N = 1 の最小値により、柔軟なクロック生成が可能になります。

アプリケーション

クロック生成

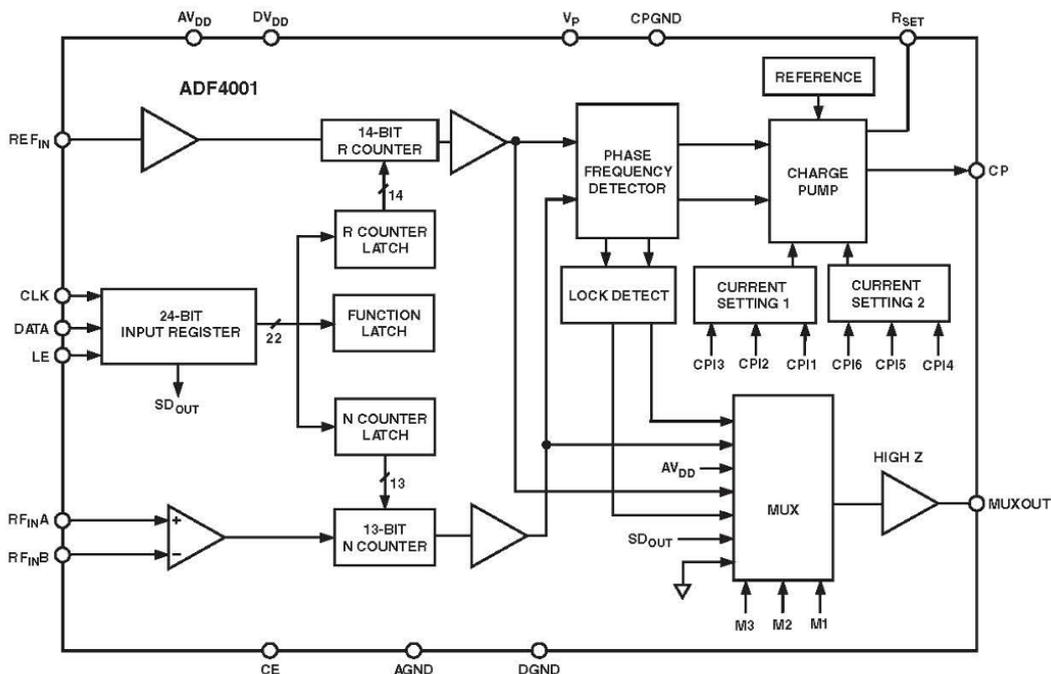
低周波数 PLL

低ジッタのクロック源

クロックの平滑化

周波数変換

SONET、ATM、ADM、DSLAM、SDM

機能ブロック図


アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2003 Analog Devices, Inc. All rights reserved.

Rev. A

ADF4001 の仕様¹ (特に指定がない限り、 $AV_{DD} = DV_{DD} = 3\text{ V} \pm 10\%$ 、 $5\text{ V} \pm 10\%$; $AV_{DD} \leq V_P \leq 6.0\text{ V}$; $AGND = DGND = CPGND = 0\text{ V}$; $R_{SET} = 4.7\text{ k}\Omega$; $T_A = T_{MIN} \sim T_{MAX}$; dBm は 50 Ω 基準)

Parameter	B Version	Unit	Test Conditions/Comments
RF CHARACTERISTICS (3 V)			See Figure 3 for Input Circuit
RF Input Frequency	5/165	MHz min/max	
RF Input Sensitivity	-10/0	dBm min/max	
RF CHARACTERISTICS (5 V)			
RF Input Frequency	10/200 20/200	MHz min/max MHz min/max	-5/0 dBm min/max -10/0 dBm min/max
REF _{IN} CHARACTERISTICS			See Figure 2 for Input Circuit
REF _{IN} Input Frequency	5/104	MHz min/max	For $f < 5\text{ MHz}$, Use DC-Coupled Square Wave (0 to V_{DD})
REF _{IN} Input Sensitivity ²	-5	dBm min	AC-Coupled. When DC-Coupled: 0 to V_{DD} Max (CMOS Compatible)
REF _{IN} Input Capacitance	10	pF max	
REF _{IN} Input Current	± 100	μA max	
PHASE DETECTOR			
Phase Detector Frequency ³	55	MHz max	
CHARGE PUMP			
I _{CP} Sink/Source			Programmable: See Table V
High Value	5	mA typ	With $R_{SET} = 4.7\text{ k}\Omega$
Low Value	625	μA typ	
Absolute Accuracy	2.5	% typ	With $R_{SET} = 4.7\text{ k}\Omega$
R _{SET} Range	2.7/10	k Ω typ	See Table V
I _{CP} Three-State Leakage Current	1	nA typ	
Sink and Source Current Matching	2	% typ	$0.5\text{ V} \leq V_{CP} \leq V_P - 0.5$
I _{CP} vs. V _{CP}	1.5	% typ	$0.5\text{ V} \leq V_{CP} \leq V_P - 0.5$
I _{CP} vs. Temperature	2	% typ	$V_{CP} = V_P/2$
LOGIC INPUTS			
V _{INH} , Input High Voltage	$0.8 \times DV_{DD}$	V min	
V _{INL} , Input Low Voltage	$0.2 \times DV_{DD}$	V max	
I _{INH} /I _{INL} , Input Current	± 1	μA max	
C _{IN} , Input Capacitance	10	pF max	
LOGIC OUTPUTS			
V _{OH} , Output High Voltage	$DV_{DD} - 0.4$	V min	I _{OH} = 500 μA
V _{OL} , Output Low Voltage	0.4	V max	I _{OL} = 500 μA
POWER SUPPLIES			
AV _{DD}	2.7/5.5	V min/V max	
DV _{DD}	AV _{DD}		
V _P	AV _{DD} /6.0	V min/V max	$AV_{DD} \leq V_P \leq 6.0\text{ V}$
I _{DD} ⁴ (AI _{DD} + DI _{DD})			
ADF4001	5.5	mA max	4.5 mA typical
I _P	0.4	mA max	T _A = 25°C
Low Power Sleep Mode	1	μA typ	
NOISE CHARACTERISTICS			
ADF4001 Phase Noise Floor ⁵	-161 -153	dBc/Hz typ dBc/Hz typ	@ 200 kHz PFD Frequency @ 1 MHz PFD Frequency
Phase Noise Performance ⁶			@ VCXO Output
200 MHz Output ⁷	-99	dBc/Hz typ	@ 1 kHz Offset and 200 kHz PFD Frequency
Spurious Signals			
200 MHz Output ⁷	-90/-95	dBc typ/dBc typ	@ 200 kHz/400 kHz and 200 kHz PFD Frequency

注

¹ 動作温度範囲(Bバージョン)は-40°C~+85°C。² $AV_{DD} = DV_{DD} = 3\text{ V}$; $AV_{DD} = DV_{DD} = 5\text{ V}$ の場合は CMOS 互換レベルを使用してください。³ デザインにより保証します。サンプル・テストにより適合性を保証します。⁴ T_A = 25°C; $AV_{DD} = DV_{DD} = 3\text{ V}$; RF_{IN} = 100 MHz。⁵ シンセサイザ位相ノイズ・フロアは、VCO 出力での帯域内位相ノイズの測定値から 20logN (N は N デバイダの値)を減算して計算されています。⁶ 位相ノイズは、EVAL-ADF4001EB1 評価ボードと HP8562E スペクトル・アナライザを使用して測定。⁷ f_{REF_IN} = 10 MHz; f_{PFD} = 200 kHz; オフセット周波数 = 1 kHz; f_{RF} = 200 MHz; N = 1000; ループ帯域幅 = 20 kHz。

仕様は予告なく変更されることがあります。

タイミング特性

(特に指定がない限り、 $AV_{DD} = DV_{DD} = 3V \pm 10\%$ 、 $5V \pm 10\%$; $AV_{DD} \leq V_P \leq 6.0V$; $AGND = DGND = CPGND = 0V$;
 $R_{SET} = 4.7k\Omega$; $T_A = T_{MIN} \sim T_{MAX}$; dBm は 50Ω 基準)

Parameter	Limit at T_{MIN} to T_{MAX} (B Version)	Unit	Test Conditions/Comments
t_1	10	ns min	DATA to CLOCK Setup Time
t_2	10	ns min	DATA to CLOCK Hold Time
t_3	25	ns min	CLOCK High Duration
t_4	25	ns min	CLOCK Low Duration
t_5	10	ns min	CLOCK to LE Setup Time
t_6	20	ns min	LE Pulsewidth

デザインにより保証しますが、出荷テストは行いません。

仕様は予告なく変更されることがあります。

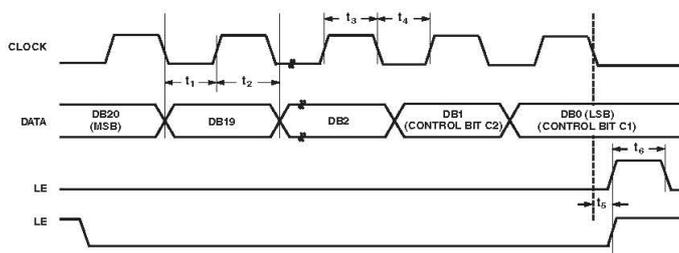


図 1. タイミング図

絶対最大定格^{1,2}

(特に指定がない限り、 $T_A = 25^\circ C$)

GND ³ に対する AV_{DD}	-0.3 V ~ +7 V
DV_{DD} に対する AV_{DD}	0 V ~ +0.3 V
GND に対する V_P	-0.3 V ~ +7 V
AV_{DD} に対する V_P	-0.3 V ~ +5.5 V
GND に対するデジタル I/O 電圧	-0.3 ~ $V_{DD} + 0.3$ V
GND に対するアナログ I/O 電圧	-0.3 V ~ $V_P + 0.3$ V
GND に対する REF_{IN} 、 $RF_{IN}A$ 、 $RF_{IN}B$	-0.3 ~ $V_{DD} + 0.3$ V
$RF_{IN}B$ に対する $RF_{IN}A$	± 320 mV
動作温度範囲	
工業用(Bバージョン)	-40°C ~ +85°C
保存温度範囲	-65°C ~ +150°C
最大ジャンクション温度	150°C

TSSOP の θ_{JA} 熱抵抗	150.4°C/W
LFCSP の θ_{JA} 熱抵抗(パドルのハンダ付けあり)	122°C/W
LFCSP の θ_{JA} 熱抵抗(パドルのハンダ付けなし)	216°C/W
ピン温度、ハンダ処理	
蒸着(60sec)	215°C
赤外線(15sec)	220°C

注

¹ 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くことはデバイスの信頼性に影響を与えます。

² このデバイスは、 $2k\Omega$ 以下の ESD 定格を持ち、ESD に敏感な高性能 RF 集積回路です。取り扱いと組み立てでは適切な注意が必要です。

³ $GND = AGND = DGND = 0V$ 。

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADF4001BRU	-40°C to +85°C	Thin Shrink Small Outline Package (TSSOP)	RU-16
ADF4001BRU-REEL	-40°C to +85°C	Thin Shrink Small Outline Package (TSSOP)	RU-16
ADF4001BRU-REEL7	-40°C to +85°C	Thin Shrink Small Outline Package (TSSOP)	RU-16
ADF4001BCP	-40°C to +85°C	Lead Frame Chip Scale Package (LFCSP)*	CP-20
ADF4001BCP-REEL	-40°C to +85°C	Lead Frame Chip Scale Package (LFCSP)*	CP-20
ADF4001BCP-REEL7	-40°C to +85°C	Lead Frame Chip Scale Package (LFCSP)*	CP-20
EVAL-ADF4001EB2		Evaluation Board	

*チップの供給については当社営業にお尋ねください

注意

ESD (electrostatic discharge) に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。ADF4001 は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。



ピン配置

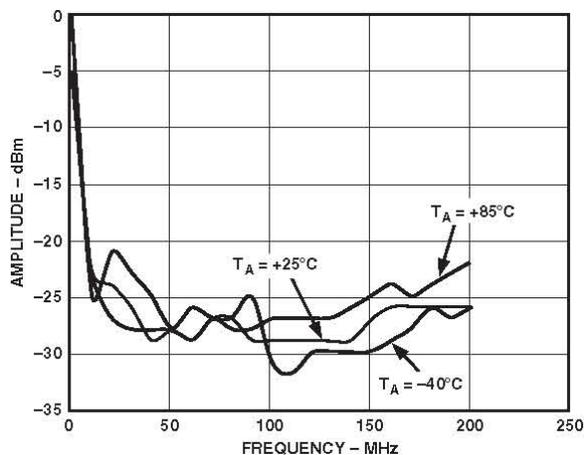


注: トランジスタ数は 6425 (CMOS) と 50 (バイポーラ)。

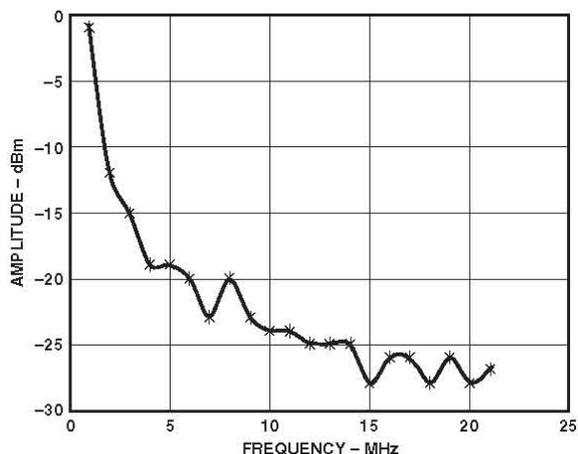
ピン機能の説明

TSSOP ピン番号	LFCSP ピン番号	記号	機能
1	19	R _{SET}	このピンと CPGND との間に抵抗を接続すると、最大チャージ・ポンプ出力電流が設定されます。R _{SET} ピンの公称電位は 0.66 V です。I _{CP} と R _{SET} の関係は次のようになります。 $I_{CP\ MAX} = 23.5/R_{SET}$ したがって、R _{SET} = 4.7 kΩ では I _{CP MAX} = 5 mA。
2	20	CP	チャージ・ポンプ出力。イネーブルされると、このピンから ±I _{CP} が外部ループ・フィルタに出力されて、外付け VCO または VCXO が駆動されます。
3	1	CPGND	チャージ・ポンプ・グラウンド。このピンはチャージ・ポンプのグラウンド・リターン・パスです。
4	2, 3	AGND	アナログ・グラウンド。このピンは分周器のグラウンド・リターン・パスです。
5	4	RF _{INB}	N カウンタへの相補入力。このポイントは、小さいバイパス・コンデンサ 100 pF (typ) でグラウンド・プレーンへデカップリングする必要があります。図 3 参照。
6	5	RF _{INA}	N カウンタへの入力。この小信号入力は、外付け VCO または VCXO へ AC 結合されます。
7	6, 7	AV _{DD}	アナログ電源。2.7 V ~ 5.5 V の範囲が可能。アナログ・グラウンド・プレーンへのデカップリング・コンデンサは、このピンのできるだけ近くに配置する必要があります。AV _{DD} は DV _{DD} と同じ値である必要があります。
8	8	REF _{IN}	リファレンス電圧入力。これは、V _{DD} /2 の公称スレッシュホールドと 100 kΩ の DC 等価入力抵抗を持つ CMOS 入力です。図 2 を参照。この入力は、TTL または CMOS 水晶発振器から駆動するか、または AC 結合することができます。
9	9, 10	DGND	デジタル・グラウンド。
10	11	CE	チップ・イネーブル。このピンをロー・レベルにすると、デバイスがパワーダウンして、チャージ・ポンプ出力はスリー・ステート・モードになります。このピンをハイ・レベルにすると、パワーダウン・ビット F2 の状態に応じてデバイスがパワーアップします。
11	12	CLK	シリアル・データ入力。このシリアル・クロックは、シリアル・データをレジスタに入力するときに使います。データは、CLK の立ち上がりエッジで 24 ビットのシフトレジスタへ入力されます。この入力は高インピーダンス CMOS 入力です。
12	13	DATA	シリアル・データ入力。シリアル・データが、MSB ファーストでロードされます。下位 2 ビットがコントロール・ビットです。この入力は高インピーダンス CMOS 入力です。
13	14	LE	ロード・イネーブル、CMOS 入力。LE がハイ・レベルになると、シフトレジスタに格納されているデータが 4 個のラッチの内の 1 つにロードされます。ラッチはコントロール・ビットで選択されます。
14	15	MUXOUT	このマルチプレクサ出力を使うと、ロック検出、スケール済み RF、またはスケール済みリファレンス周波数が外部からアクセスできるようになります。
15	16, 17	DV _{DD}	デジタル電源。2.7 V ~ 5.5 V の範囲が可能。デジタル・グラウンド・プレーンへのデカップリング・コンデンサは、このピンのできるだけ近くに配置する必要があります。DV _{DD} は AV _{DD} と同じ値である必要があります。
16	18	V _p	チャージ・ポンプ電源。このピンの電圧は V _{DD} 以上である必要があります。V _{DD} = 3 V のシステムでは、このピンを 5 V に設定することができ、最大 5 V までのチューニング範囲を持つ VCO または VCXO の駆動に使用されます。

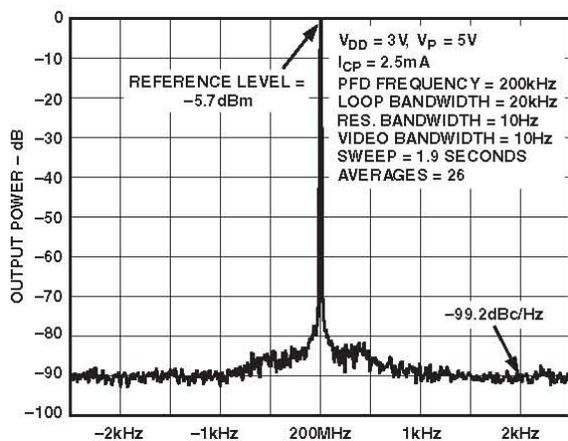
代表的な性能特性



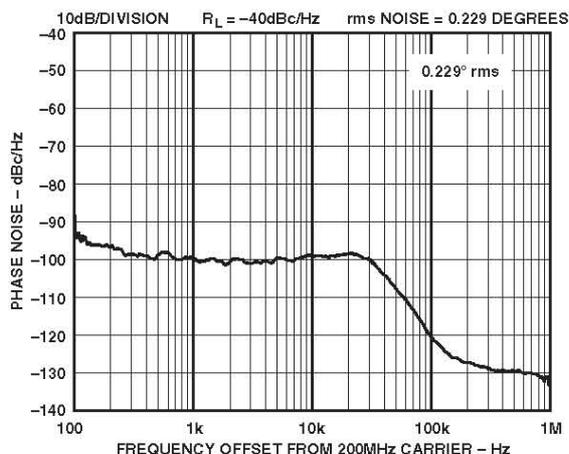
特性 1. 入力感度、 $V_{DD} = 3.3\text{ V}$ 、 $R_{F_{IN}}$ に 100 pF 接続



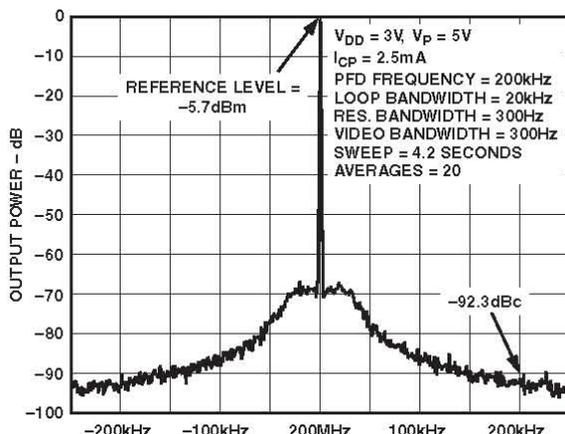
特性 2. 入力感度、 $V_{DD} = 3.3\text{ V}$ 、 $R_{F_{IN}}$ に 100 pF 接続



特性 3. 位相ノイズ(200 MHz、200 kHz、20 kHz)



特性 4. 積分位相ノイズ(200 MHz、200 kHz、20 kHz)



特性 5. リファレンス電圧のスプリアス(200 MHz、200 kHz、20 kHz)

回路説明

リファレンス電圧入力セクション

リファレンス入力ステージを図2に示します。SW1とSW2はノーマル・クローズ・スイッチです。SW3はノーマル・オープンです。パワーダウンが開始されると、SW3が閉じて、SW1とSW2が開きます。これにより、パワーダウン時にREF_{IN}ピンの負荷がなくなります。

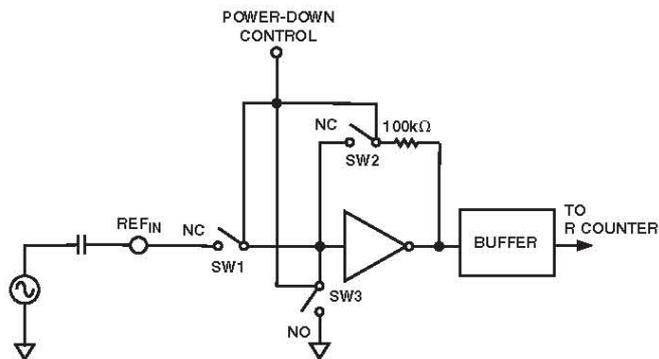


図2.リファレンス電圧入力ステージ

RF入力ステージ

RF入力ステージを図3に示します。この後ろに2ステージの制限アンプが続いて、Nカウンタ・バッファに必要なCMLクロック・レベルを発生します。

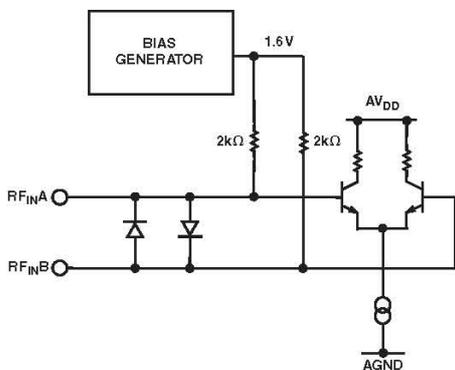


図3. RF入力ステージ

Nカウンタ

N CMOSカウンタを使うと、PLL帰還カウンタで広範囲な分周比が可能になります。1~8191の分周比が可能です。

NとRの関係

NカウンタとRカウンタを組み合わせると、リファレンス周波数×Rだけ離れた出力周波数を発生することができます。VCO周波数の式は次のようになります。

$$f_{VCO} = N / R \times f_{REFIN}$$

f_{VCO} は外部電圧制御発振器(VCO)の出力周波数。

Nは、バイナリ13ビット・カウンタ(1~8,191)に設定されている分周比。

f_{REFIN} は外部リファレンス発振器の周波数。

Rは、プログラマブルなバイナリ14ビット・リファレンス・カウンタ(1~16,383)に設定されている分周比。

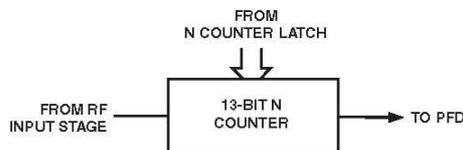


図4. Nカウンタ

Rカウンタ

14ビットのRカウンタを使うと、入力リファレンス周波数を分周して、位相周波数検出器(PFD)へのリファレンス・クロックを発生することができます。1~16,383の分周比が可能です。

位相周波数検出器(PFD)およびチャージ・ポンプ

PFDはRカウンタとNカウンタから入力を受け取り、両入力の位相差と周波数差に比例した出力を発生します。図5に簡略化した回路図を示します。PFDにはプログラマブルな遅延要素が含まれており、バックラッシュ防止パルスの幅を制御しています。このパルスは、PFD伝達関数内でデッド・ゾーンが発生しないようにし、位相ノイズとリファレンス・スプリアスを最小にします。リファレンス・カウンタ・ラッチの2ビット(ABP2とABP1)がパルス幅を制御しています(表III参照)。

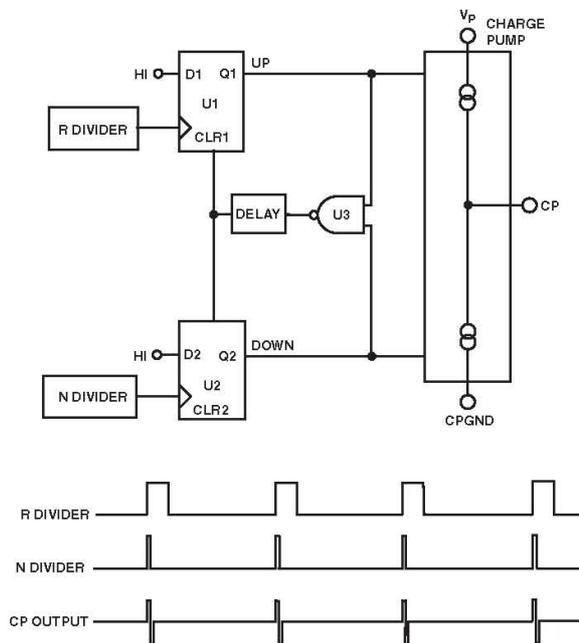


図5. PFDの簡略化した回路図とタイミング(ロック時)

MUXOUTとロック検出

ADF4001ファミリの出力マルチプレクサを使うと、チップ上の種々の内部ポイントをアクセスすることができます。MUXOUTの状態はファンクション・ラッチ内のM3、M2、M1によって制御されます。表Vに真理値表を示します。図6に、MUXOUTセクションのブロック図を示します。

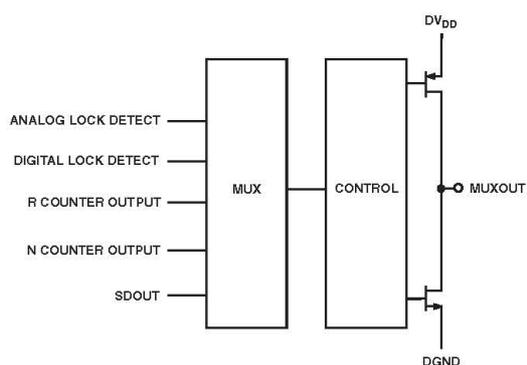


図 6. MUXOUT 回路

動作する必要があります。ロックが検出されると、この出力は狭い負のパルスを持つハイ・レベルになります。

入カシフトレジスタ

ADF4001 デジタル・セクションには、24 ビット入カシフト・レジスタ、14 ビット R カウンタ、13 ビット N カウンタがあります。データは、CLK の各立ち上がりエッジで 24 ビット・シフト・レジスタに入カされます。データは MSB ファーストで入カされます。データは、シフト・レジスタから LE の立ち上がりエッジで 4 個のラッチ内の 1 つに転送されます。ディステネーション・ラッチは、シフト・レジスタの 2 ビットのコントロール・ビット(C2、C1)の状態に指定されます。これらのビットは、タイミング図(図 1)に示すように、DB1 と DB0 の下位 2 ビットです。これらのビットの真理値表を表 I に示します。表 II にラッチのプログラム方法を示します。

表 I. C2 と C1 の真理値表

Control Bits		Data Latch
C2	C1	
0	0	R カウンタ
0	1	N カウンタ
1	0	ファンクション・ラッチ
1	1	初期化ラッチ

ロック検出

MUXOUT は、デジタル・ロック検出とアナログ・ロック検出の 2 タイプのロック検出に設定することができます。デジタル・ロック検出はアクティブ・ハイです。R カウンタ・ラッチの LDP が 0 の場合、位相検出器の連続する 3 サイクルの位相誤差が 15 ns を下回る時、デジタル・ロック検出はハイ・レベルになります。LDP が 1 の場合、ロック検出がハイ・レベルになるためには、5 サイクル間連続して 15 ns を下回る必要があります。25 ns を上回る位相誤差が、任意の後続 PD サイクルで検出されるまで、ロック検出はハイ・レベルを維持します。N チャンネルのオープン・ドレインのアナログ・ロック検出は、公称 10 kΩ の外付けプルアップ抵抗で

表 II.ADF4001 ファミリーのラッチの一覧

リファレンス・カウンタ・ラッチ

RESERVED			LOCK DETECT PRECISION	TEST MODE BITS		ANTI-BACKLASH WIDTH		14-BIT REFERENCE COUNTER														CONTROL BITS	
DB23	DB22	DB21		DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
X	X	X	LDP	T2	T1	ABP2	ABP1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)

N カウンタ・ラッチ

RESERVED			CP GAIN	13-BIT N COUNTER													RESERVED					CONTROL BITS	
DB23	DB22	DB21		DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
X	X	G1	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	X	X	X	X	X	X	C2 (0)	C1 (1)

ファンクション・ラッチ

RESERVED			POWER-DOWN 2	CURRENT SETTING 2			CURRENT SETTING 1			TIMER COUNTER CONTROL				FASTLOCK MODE	FASTLOCK ENABLE	CP THREE-STATE	PHASE DETECTOR POLARITY	MUXOUT CONTROL			POWER-DOWN 1	COUNTER RESET	CONTROL BITS	
DB23	DB22	DB21		DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11					DB10	DB9	DB8			DB7	DB6
X	X	PD2	CP16	CP15	CP14	CP13	CP12	CP11	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (0)	

初期化ラッチ

RESERVED			POWER-DOWN 2	CURRENT SETTING 2			CURRENT SETTING 1			TIMER COUNTER CONTROL				FASTLOCK MODE	FASTLOCK ENABLE	CP THREE-STATE	PHASE DETECTOR POLARITY	MUXOUT CONTROL			POWER-DOWN 1	COUNTER RESET	CONTROL BITS	
DB23	DB22	DB21		DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11					DB10	DB9	DB8			DB7	DB6
X	X	PD2	CP16	CP15	CP14	CP13	CP12	CP11	TC4	TC3	TC2	TC1	F5	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (1)	

X = DON'T CARE

表 III.リファレンス・カウンタ・ラッチのマップ

RESERVED			LOCK DETECT PRECISION	TEST MODE BITS		ANTI- BACKLASH WIDTH		14-BIT REFERENCE COUNTER														CONTROL BITS	
DB23	DB22	DB21		DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
X	X	X	LDP	T2	T1	ABP2	ABP1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)

X = DON'T CARE

R14	R13	R12	R3	R2	R1	DIVIDE RATIO
0	0	0	0	0	1	1
0	0	0	0	1	0	2
0	0	0	0	1	1	3
0	0	0	1	0	0	4
.
.
.
1	1	1	1	0	0	16380
1	1	1	1	0	1	16381
1	1	1	1	1	0	16382
1	1	1	1	1	1	16383

ABP2	ABP1	ANTIBACKLASH PULSE WIDTH
0	0	2.9ns
0	1	1.3ns
1	0	6.0ns
1	1	2.9ns

TEST MODE BITS SHOULD BE SET TO 00 FOR NORMAL OPERATION

LDP	OPERATION
0	THREE CONSECUTIVE CYCLES OF PHASE DELAY LESS THAN 15ns MUST OCCUR BEFORE LOCK DETECT IS SET.
1	FIVE CONSECUTIVE CYCLES OF PHASE DELAY LESS THAN 15ns MUST OCCUR BEFORE LOCK DETECT IS SET.

表 IV.N カウンタ・ラッチのマップ

RESERVED		CP GAIN	13-BIT N COUNTER													RESERVED						CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	X	G1	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	X	X	X	X	X	X	C2 (0)	C1 (1)

X = DON'T CARE

N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	N COUNTER DIVIDE RATIO
0	0	0	0	0	1							1
0	0	0	0	1	0							2
0	0	0	0	1	1							3
0	0	0	1	0	0							4
.
.
.
1	1	1	1	0	0							8188
1	1	1	1	0	1							8189
1	1	1	1	1	0							8190
1	1	1	1	1	1							8191

F4 (FUNCTION LATCH) FASTLOCK ENABLE	CP GAIN	OPERATION
0	0	CHARGE PUMP CURRENT SETTING 1 IS PERMANENTLY USED
0	1	CHARGE PUMP CURRENT SETTING 2 IS PERMANENTLY USED
1	0	CHARGE PUMP CURRENT SETTING 1 IS USED
1	1	CHARGE PUMP CURRENT IS SWITCHED TO SETTING 2. THE TIME SPENT IN SETTING 2 IS DEPENDENT ON WHICH FASTLOCK MODE IS USED. SEE FUNCTION LATCH DESCRIPTION.

THESE BITS ARE NOT USED BY THE DEVICE AND ARE DON'T CARE BITS.

表V.ファンクション・ラッチのマップ

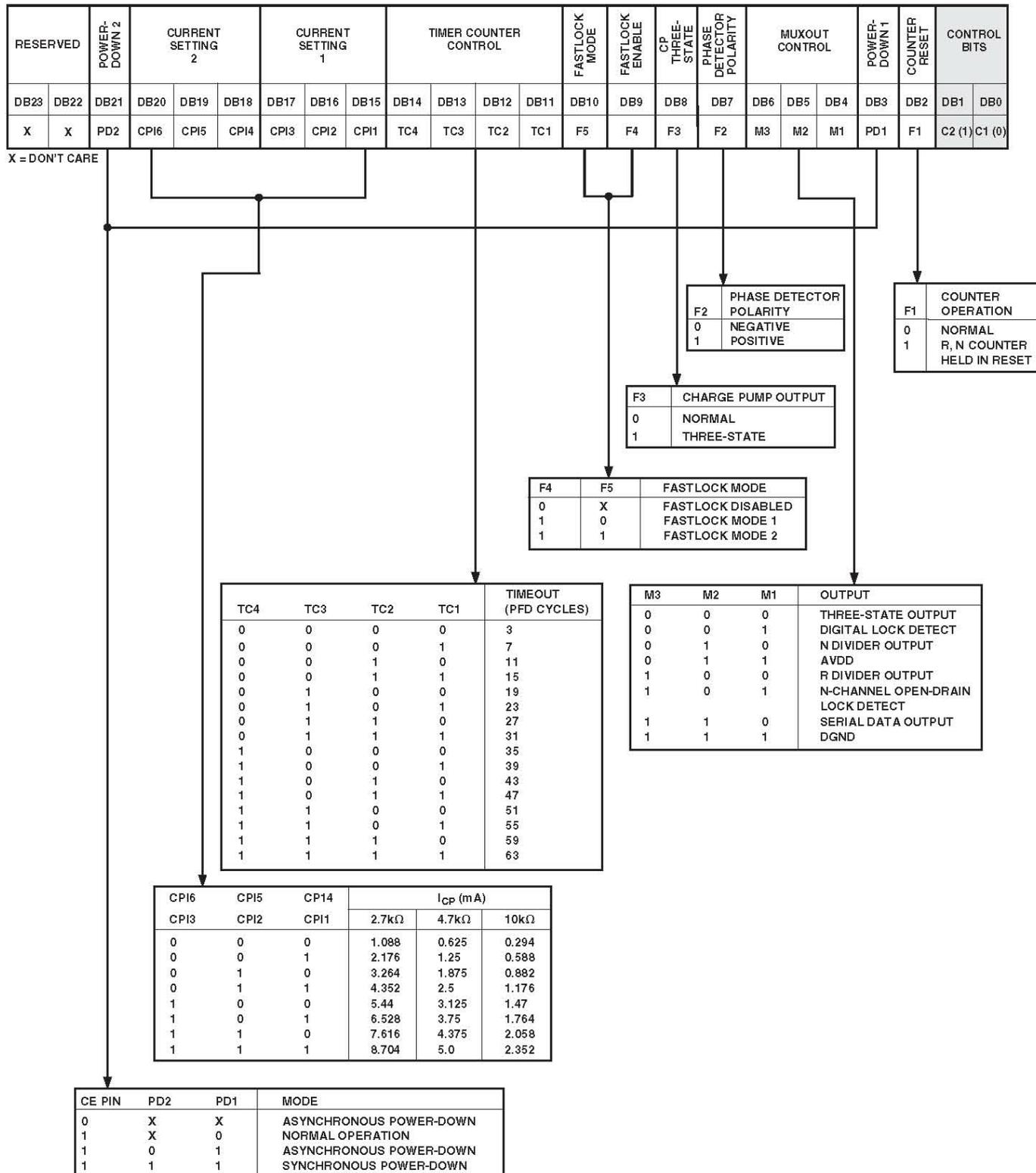
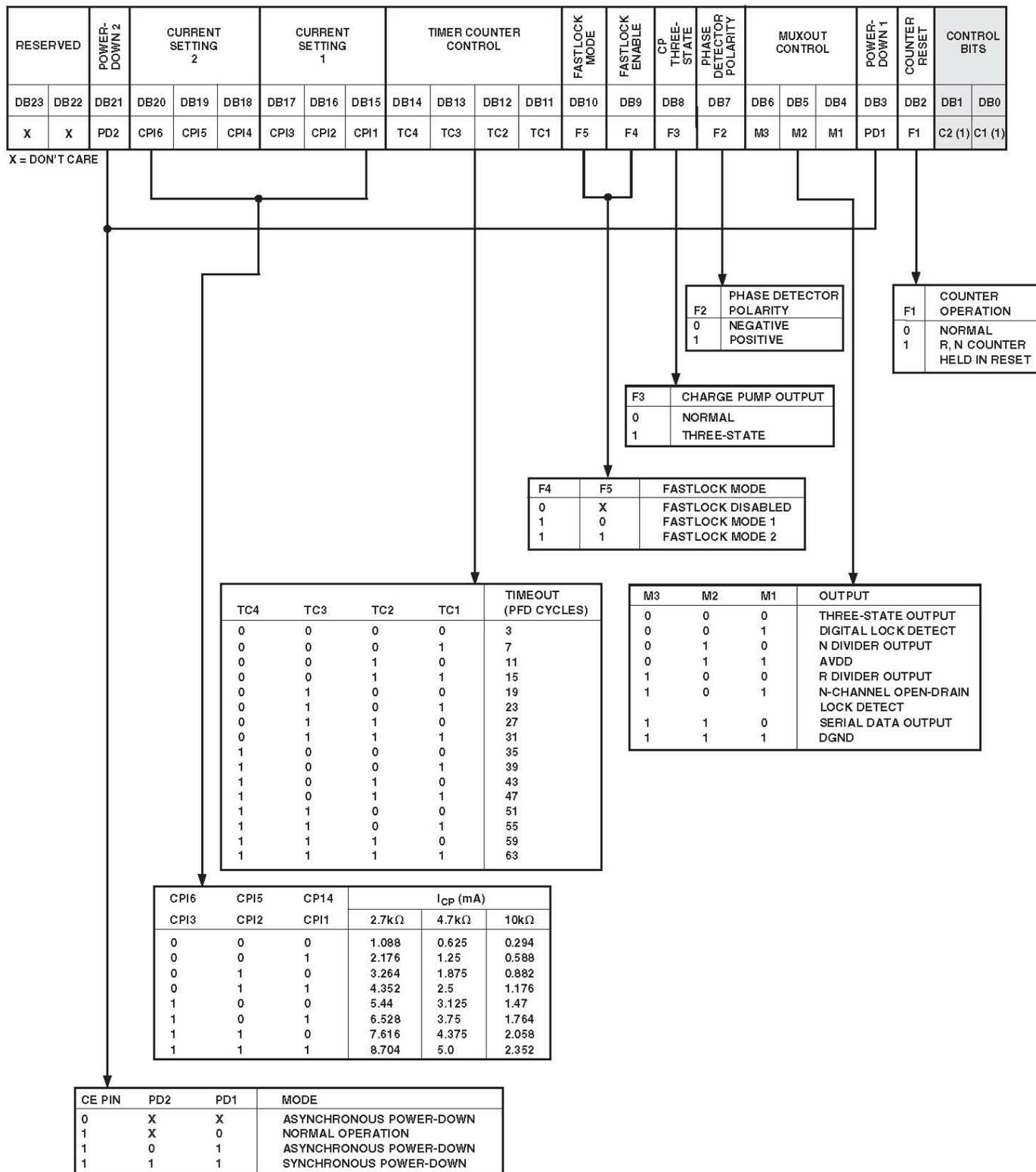


表 VI.初期化ラッチのマップ



ファンクション・ラッチ

C2、C1 を 1、0 に設定すると、内蔵ファンクション・ラッチが書き込まれます。表 V に、ファンクション・ラッチを書き込む際の入力データ・フォーマットを示します。

カウンタ・リセット

DB2 (F1)はカウンタ・リセット・ビットです。このビットが 1 のとき、R カウンタ、A カウンタ、B カウンタがリセットされます。通常動作では、このビットをロジック 0 にしておく必要があります。パワーアップ時、F1 ビットはディスエーブルする必要があり、R カウンタと N カウンタが近い値からカウンティングを再開します。(最大の差は 1 プリスケアラ・サイクルです)。

パワーダウン

ADF4001 ファミリーでは DB3 (PD1)と DB21 (PD2)は、プログラム可能なパワーダウン・モードを提供します。これらのビットは、CE ピンによりイネーブルされます。

CE ピンがロー・レベルのとき、PD2 ビットと PD1 ビットの状態に無関係にデバイスは直ちにディスエーブルされます。

同期パワーダウンが設定されると、ビット PD2 に 0 が既にロードされている場合、ビット PD1 に 1 をラッチした直後にデバイスはパワーダウンします。

同期パワーダウン・モードが設定されると、不要な周波数ジャンプを防止するため、デバイス・パワーダウンはチャージ・ポンプでゲーティングされます。1 をビット PD1 に書き込んでパワーダウンがイネーブルされた後(ただしビット PD2 にも 1 が既にロードされているものとします)、次のチャージ・ポンプ・イベントが発生したときにデバイスはパワーダウンになります。

パワーダウンが開始されると(CE ピンによるパワーダウンの起動も含む同期モードまたは非同期モードで)、次のイベントが発生します。

- すべてのアクティブ DC 電流パスがなくなります。
- R、N、タイムアウトの各カウンタは、強制的にロード状態にされます。
- チャージ・ポンプは強制的にスリー・ステート・モードにされます。
- デジタル・クロック検出回路がリセットされます。
- RF_{IN} 入力がディスエーブルされます。
- リファレンス入力バッファ回路がディスエーブルされます。
- 入力レジスタはアクティブ状態を維持し、データのロードとラッチが可能です。

MUXOUT の制御

内蔵マルチプレクサは ADF4001 上の M3、M2、M1 によって制御されます。表 V に真値表を示します。

高速ロック・イネーブル・ビット

ファンクション・ラッチの DB9 は高速ロック・イネーブル・ビットです。このビットが 1 のときのみ、高速ロックがイネーブルされます。

高速ロック・モード・ビット

ファンクション・ラッチの DB10 は高速ロック・モード・ビットです。高速ロックがイネーブルされると、このビットにより使用する高速ロック・モードが指定されます。高速ロック・モード・ビットが 0 の場合、高速ロック・モード 1 が選択され、高速ロック・モード・ビットが 1 の場合、高速ロック・モード 2 が選択されます。

高速ロック・モード 1

チャージ・ポンプ電流が電流設定 2 の値に切り替えられます。

N カウンタ・ラッチの CP ゲイン・ビットに 1 が書き込まれると、デバイスは高速ロックを開始します。AB カウンタ・ラッチの CP ゲイン・ビットに 0 が書き込まれると、デバイスは高速ロックを終了します。

高速ロック・モード 2

チャージ・ポンプ電流が電流設定 2 の値に切り替えられます。

N カウンタ・ラッチの CP ゲイン・ビットに 1 が書き込まれると、デバイスは高速ロックを開始します。デバイスはタイマ・カウンタの制御の下で高速ロックを終了します。TC4~TC1 の値によりタイムアウト周期が指定されると、N カウンタ・ラッチの CP ゲイン・ビットは自動的に 0 にリセットされて、デバイスは高速ロックから通常モードへ変わります。タイムアウト周期については、表 V を参照してください。

タイマ・カウンタの制御

2 つのチャージ・ポンプ電流を設定するオプションがあります。RF 出力が安定で、かつシステムがスタティック状態にあるとき、電流設定 1 を使うことが目的です。電流設定 2 は、システムがダイナミックに変化状態にあるとき、すなわち新しい出力周波数が設定されたときに使います。イベントの通常シーケンスは次の通りです。

ユーザが初めにチャージ・ポンプ電流を決定します。たとえば、電流設定 1 として 2.5 mA、電流設定 2 として 5 mA を選択することができます。

同時に、プライマリ電流に切り替える前に、セカンダリ電流のアクティブを継続する時間を決める必要があります。これは、ファンクション・ラッチのタイマ・カウンタ・コントロール・ビット DB14~DB11 (TC4~TC1)により制御されます。表 V に真値表を示します。

新しい出力周波数を設定するときは、単に N の新しい値を N カウンタ・ラッチに設定します。同時に、CP ゲイン・ビットを 1 に設定することができます。これにより、TC4~TC1 で指定される時間長に対する CPI6~CPI4 の値がチャージ・ポンプに設定されます。この時間長が経過すると、チャージ・ポンプ電流は、CPI3~CPI1 により設定される値へ戻ります。同時に、N カウンタ・ラッチの CP ゲイン・ビットが 0 にリセットされ、次の周波数変更に対する準備が整います。

タイマ・カウンタにはイネーブル機能がないことに注意してください。ファンクション・ラッチの高速ロック・モード・ビット DB10 を 1 に設定して高速ロック・モード 2 が選択されたときに、この機能がイネーブルされます。

チャージ・ポンプ電流

CPI3、CPI2、CPI1 により、チャージ・ポンプの電流設定 1 が設定されます。CPI6、CPI5、CPI4 により、チャージ・ポンプの電流設定 2 が設定されます。表 V に真値表を示します。

PD 極性

このビットにより PD 極性ビットが設定されます(表 V 参照)。

CP スリーステート

このビットにより、CP 出力ピンが設定されます。このビットをハイ・レベルに設定すると、CP 出力がスリー・ステートになります。このビットをロー・レベルにすると、CP 出力がイネーブルされます。

初期化ラッチ

C2、C1 = 1、1 のとき、初期化ラッチが設定されます。これは、ファンクション・ラッチと本質的に同じです(C2、C1 = 1、0 のときに設定)。

ただし、初期化ラッチが設定されると、R カウンタと N カウンタにさらに内部リセット・パルスが 1 個追加されます。このパルスにより、N カウンタ・データがラッチされて、デバイスが近い位相アライメントでカウンティングを開始するとき、N カウンタが確実にロード・ポイントになるようになります。

ラッチが同期パワーダウンに設定されると(CE ピンがハイ・レベル; PD1 ビットがハイ・レベル; PD2 ビットがロー・レベル)、内部パルスはこのパワーダウンも開始させます。発振器入力バッファは内部リセット・パルスから影響を受けないため、カウンティングを再開したとき、近い位相アライメントが維持されます。

初期化後に最初に N カウンタ・データがラッチされたとき、内部リセット・パルスが再度発生されますが、この後、後続する複数の N カウンタ・ロードにより内部リセット・パルスは発生されません。

初期パワーアップ後のデバイスの設定

デバイスを最初にパワーアップした後、デバイスを設定する次の 3 つの方法があります。

初期化ラッチの方法

V_{DD} をオンにします。

初期化ラッチを設定します(入力ワードの下位 2 ビットに 11 を設定)。F1 ビットが 0 に設定されていることを確認します。

R ロードを 1 回実行します(下位 2 ビット=00)。

N ロードを 1 回実行します(下位 2 ビット=01)。

初期化ラッチがロードされると、次が発生します。

1. ファンクション・ラッチの値がロードされます。
2. 内部パルスにより、R、N、タイムアウトの各カウンタがロード状態にリセットされ、チャージ・ポンプもスリー・ステートになります。プリスケラ・バンド・ギャップ・リファレンスと発振器入力バッファは内部リセット・パルスから影響を受けないため、カウンティングを再開したとき、近い位相関係が維持されることに注意してください。
3. 初期化ワード後に最初に N カウンタ・データがラッチされると、同じ内部リセット・パルスが発生されますが、もう 1 回初期化が行われない限り、後続の N ロードでは内部リセット・パルスは発生されません。

CE ピンの方法

V_{DD} をオンにします。

CE をロー・レベルにしてデバイスをパワーダウンさせます。

これは直ちに実行されるため非同期パワーダウンです。

ファンクション・ラッチ(10)を設定します。

R カウンタ・ラッチ(00)を設定します。

N カウンタ・ラッチ(01)を設定します。

CE をハイ・レベルにして、デバイスをパワーダウンから抜け出させます。R カウンタと AB カウンタが近い値からカウンティングを再開します。

CE がハイ・レベルになった後、プリスケラ・バンド・ギャップ電圧と発振器入力バッファ・バイアスが安定状態になるまで、1 μ s の時間が必要になることに注意してください。

チャンネル動作をチェックするとき、CE を使ってデバイスをパワーアップ/パワーダウンすることができます。V_{DD} が最初にオンした後少なくとも 1 回入力レジスタが設定されているかぎり、デバイスをディスエーブル/イネーブルするごとに、入力レジスタを再設定する必要はありません。

カウンタ・リセットの方法

V_{DD} をオンにします。

ファンクション・ラッチのロードを実行します(下位 2 ビットに 10 を設定)。このステップ内で、1 を F1 ビットにロードします。これによりカウンタ・リセットがイネーブルされます。

R ロードを 1 回実行します(下位 2 ビット=00)。

N カウンタのロードを 1 回実行します(下位 2 ビット=01)。

ファンクション・ラッチのロードを実行します(下位 2 ビットに 10 を設定)。このステップ内で、0 を F1 ビットにロードします。これによりカウンタ・リセットがディスエーブルされます。

このシーケンスは、初期化方法と同じ近いアライメントを提供します。この方法で、内部リセットの直接制御が可能になります。カウンタ・リセットにより各カウンタはロード・ポイントに維持されて、チャージ・ポンプはスリー・ステートになりますが、同期パワーダウンは開始されないことに注意してください。カウンタ・リセット方法では、初期化ラッチ方法よりファンクション・ラッチのロードが 1 回多く必要です。

アプリケーション

GSM 基地局トランスミッタ向けの極めて安定な低ジッタのリファレンス電圧クロック

図 7 に、ADF4001 と VCXO を使用した、GSM 基地局ローカル発振器(LO)用の極めて安定な低ジッタ・リファレンス・クロックを示します。

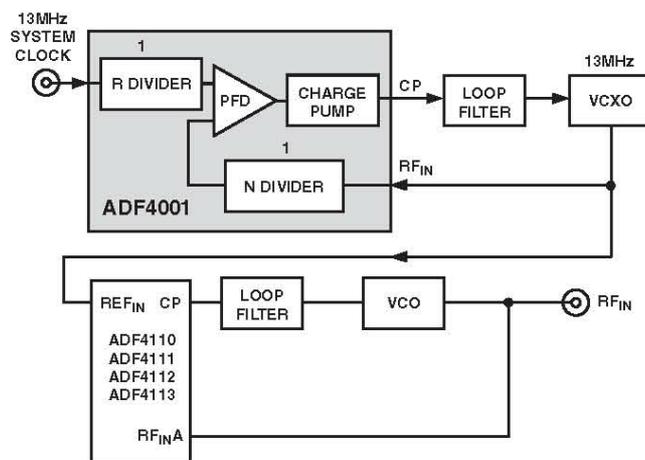


図 7. GSM 基地局トランスミッタ向けの極めて安定な低ジッタのリファレンス電圧クロック

システム・リファレンス信号は回路の REF_{IN} に入力されます。一般に、GSM システムには基地局全体に対するクロック源として非常に安定な OCXO がありますが、この信号を基地局内で分配すると、ノイズに弱くなり、スプリアスが混入し易くなります。また、駆動対象の種々の負荷からも混入し易くなります。

ADF4001 のチャージ・ポンプ出力(TSSOP のピン 2)がループ・フィルタと 13 MHz の VCXO を駆動します。VCXO 出力は ADF4001 の RF 入力に帰還され、さらに LO のリファレンス(REF_N)も駆動します。T 回路構成により、VCXO 出力(LO REF_N)と ADF4001 の RF_{IN} ピンの間の 50 Ω 整合が提供されます。

コヒーレントなクロックの発生

A/D コンバータをテストする際、コヒーレントなテスト・システム、すなわち A/D コンバータ入力信号と A/D コンバータ・サンプル・レートとの間の特定の関係を保証するシステムを使用すると便利があります。このデータに FFT を実行すると、ウインドウ重み機能が不要になります。図 8 に、入力信号周波数とサンプリング・レートのすべての組み合わせを処理するために ADF4001 を使用する方法を示します。まず ADF4001 を VCO に位相ロックさせます。VCO 出力を 2 つ目の ADF4001 の N デバイダにも入力します。これにより、両 ADF4001 は REF_{IN} に対してコヒーレントになります。REF_{IN} は信号ジェネレータから入力されるため、2 つ目の ADF4001 の MUXOUT 信号は ADC へ入力される f_{IN} 周波数とコヒーレントになります。この信号が、サンプリング・クロック f_s として使用されます。

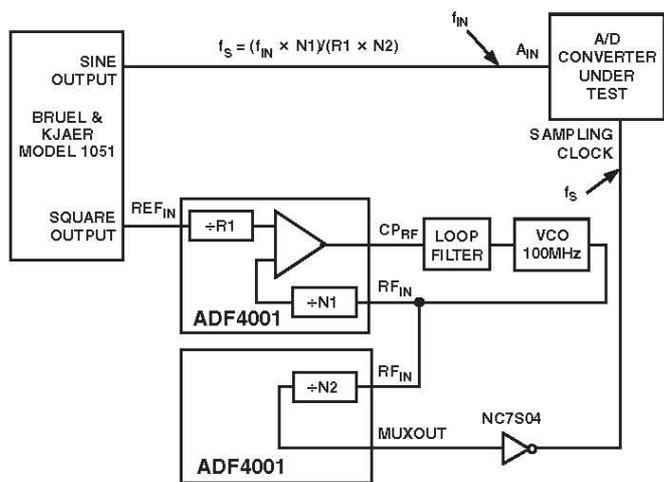


図 8.コヒーレントクロック・ジェネレータ

トライ・バンド・クロック発生回路

マルチバンド・アプリケーションでは、1 個のマスター・クロック周波数から様々なクロックを発生することが必要になります。たとえば、GSM では 13 MHz のシステム・クロックを、WCDMA では 19.44 MHz を、CDMA では 19.2 MHz を、それぞれ使用します。図 9 の回路に、ADF4001 を使って 1 つの 52 MHz マスター・クロックから GSM、WCDMA、CDMA の各システム・クロックを発生する方法を示します。ADF4001 には低 RF f_{min} 仕様と 1 までの小さい R 値と N 値を設定できる機能があるため、この目的に適しています。他の f_{out} クロック周波数は次式を使って発生することができます。

$$f_{out} = REF_{IN} \times (N \div R)$$

シャットダウン回路

図 10 の回路に、ADF4001 と VCO をシャットダウンさせる方法を示します。ロジック 1 が IN 入力に加えられると、ADG702 スイッチが開きます。低価格スイッチは、SOT-23 パッケージと micro SOIC パッケージを採用しています。

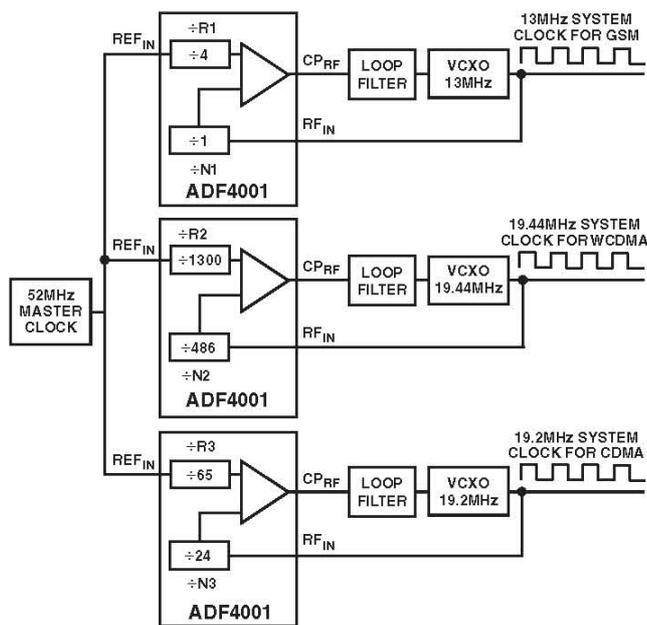


図 9.トライ・バンド・システム・クロックの発生

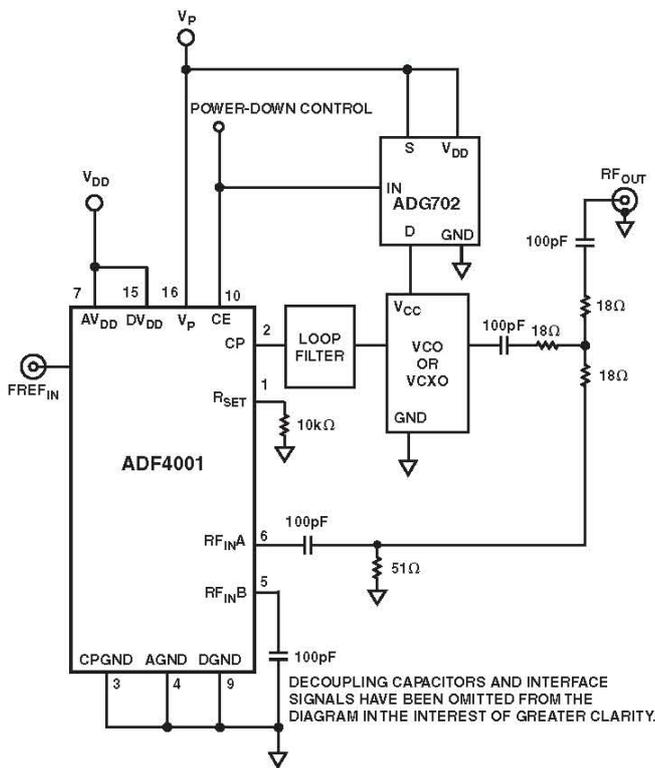


図 10.ローカル発振器のシャットダウン回路

インターフェース

ADF4001 には、デバイスに対する書き込みを行うためのシンプルな SPI[®] 互換シリアル・インターフェースが内蔵されています。SCLK、SDATA、LE を使ってデータ転送を制御します。LE(ラッチ・イネーブル)をハイ・レベルにすると、SCLK の各立ち上がりエッジで入力レジスタに入力された 24 ビットが該当するラッチへ転送されます。タイミング図については図 1 を、ラッチ真理値表については表 I を、それぞれ参照してください。

最大許容シリアル・クロック・レートは 20 MHz です。これは、デバイスで可能な最大更新レートは 833 kHz であること、すなわち 1.2 ms ごとの更新を意味します。このレートは、数百 μ sec の一般的なロック時間を持つシステムにとっては十分以上の性能です。

ADuC812 のインターフェース

図 11 に、ADF4001 ファミリーと ADuC812 MicroConverter[®] との間のインターフェースを示します。ADuC812 は 8051 コアを採用しているため、このインターフェースは任意の 8051 を採用したマイクロコントローラに対して使用することができます。MicroConverter は CPHA = 0 の SPI マスター・モード用に設定されています。動作を開始するときには、LE を駆動する I/O ポートをロー・レベルにします。ADF4001 の各ラッチは 24 ビット・ワードを必要とします。これは、MicroConverter からデバイスへ 3 バイトを書き込むことによって実行されます。3 番目のバイトを書き込んだとき、LE 入力をハイ・レベルにすると転送が完了します。

最初に ADF4001 ファミリーに電源を加えるとき、出力をアクティブにするために 3 回の書き込みが必要です(R カウンタ・ラッチ、N カウンタ・ラッチ、初期化ラッチにそれぞれ 1 回)。

ADuC812 の I/O ポート・ラインは、パワーダウン制御(CE 入力)とロックの検出(MUXOUT をロック検出に設定してポート入力をポーリング)にも使われます。

上記モードで動作する場合、ADuC812 の最大 SCLOCK レートは 4 MHz です。これは、出力周波数を変更できる最大レートが 166 kHz であることを意味します。

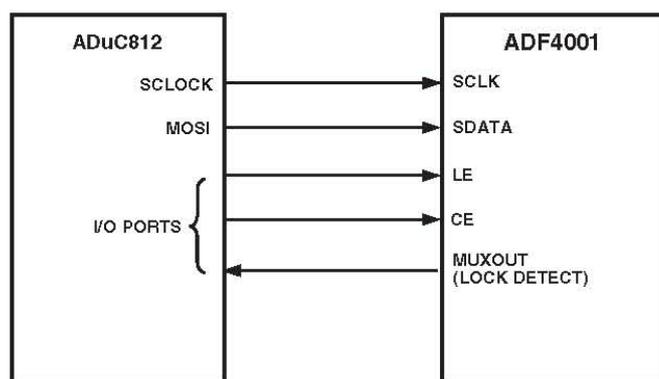


図 11. ADuC812 と ADF4001 ファミリーとのインターフェース

ADSP-2181 インターフェース

図 12 に、ADF4001 ファミリーと ADSP-21xx デジタル信号プロセッサとの間のインターフェースを示します。ADF4001 ファミリーは、各ラッチの書き込みに 24 ビットのシリアル・ワードを必要とします。ADSP-21xx ファミリーを使用してこれを実行する最も簡単な方法は、交替フレーミングによる自動バッファ送信動作モードを使用することです。これは、シリアル・データのブロック全体を送信した後に割り込みを発生させる方法を提供します。ワード長を 8 ビットに設定して、各 24 ビット・ワードに対して 3 個のメモリ・ロケーションを使います。各 24 ビット・ラッチへ書き込むときは、3 バイトを格納して自動バッファ・モードをイネーブルし、次に DSP の送信レジスタへ書き込みを行います。この最後の命令で自動バッファ転送が開始されます。

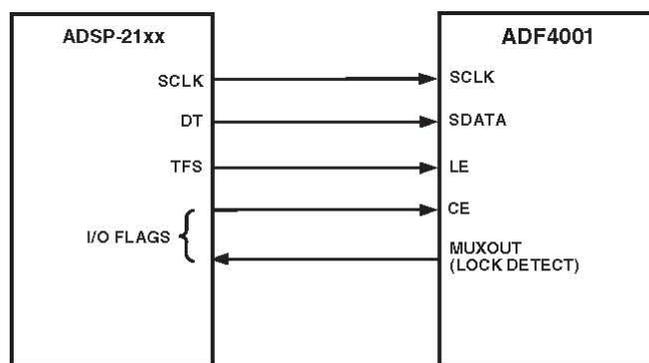


図 12. ADSP-21xx と ADF4001 ファミリーとのインターフェース

チップ・スケール・パッケージ用の PCB デザイン・ガイドライン

チップ・スケール・パッケージ(CP-20)のリードは長方形です。これらに対するプリント回路ボードのパッドは、パッケージのリード長より 0.1 mm 長く、かつパッケージのリード幅より 0.05 mm 広い必要があります。ハンダ接続サイズを大きくするため、リードの中心とパッドの中心は一致している必要があります。

チップ・スケール・パッケージの底面には、中央にサーマル・パッドがあります。プリント回路ボード上のサーマル・パッドは、少なくともこの露出パッドより大きい必要があります。プリント回路ボード上では、サーマル・パッドとパッド・パターンの内側エッジとの間に少なくとも 0.25 mm の間隙を設けてください。これにより、短絡が防止されます。

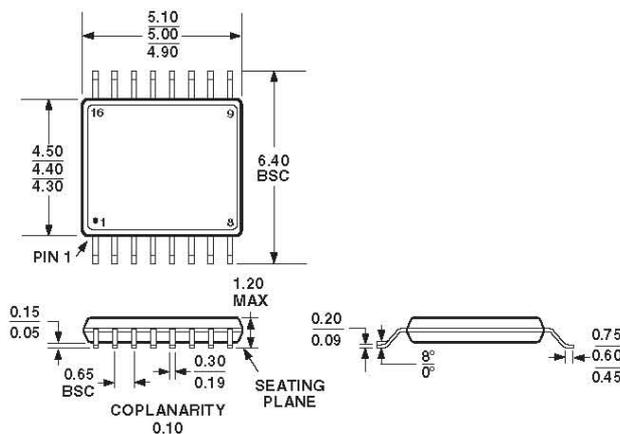
サーマル・ビアをプリント回路ボードのサーマル・パッドに使用すると、パッケージの熱性能を向上させることができます。ビアを使用する場合は、1.2 mm ピッチ・グリッドのサーマル・パッドを使用する必要があります。ビアの直径は 0.3 mm~0.33 mm であり、ビア・バレルは 1 oz.の銅でメッキして、ビアを構成する必要があります。

プリント回路ボードのサーマル・パッドは AGND へ接続してください。

外形寸法

16ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)

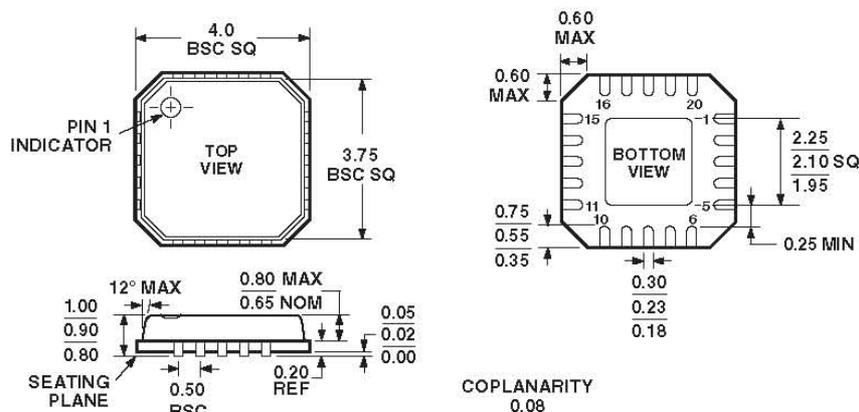
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153AB

20ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP]
(CP-20)

寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-1

改訂履歴

変更場所

10/03—Data Sheet changed from REV. 0 to REV. A.

Changes to SPECIFICATIONS.....	2
Edits to ORDERING GUIDE.....	3
Changes to PIN CONFIGURATIONS.....	4
Updated OUTLINE DIMENSIONS.....	16

ページ

ライセンスを受けたアナログ・デバイスまたはサブライセンスを受けた関連会社の1つからI²C部品を購入すると、Phillips社の制定するI²C標準仕様にシステムが準拠している場合、I²Cシステム内でこれらのデバイスを使うためのPhillips社のI²C特許権のもとにライセンスが購入者に移転されます。