

ADF4116/ADF4117/ADF4118

特長

ADF4116 : 550MHz

ADF4117 : 1.2GHz

ADF4118 : 3.0GHz

2.7~5.5V電源

分離したチャージポンプ電源 (V_P) により3Vシステムにおける電圧調整を拡張

チャージ・ポンプ電流を選択可能

デュアル係数プリスケアラ

ADF4116 : 8/9

ADF4117/ADF4118 : 32/33

3線式シリアル・インターフェース

デジタル・ロック検出

パワー・ダウン・モード

ファーストロック・モード

アプリケーション

無線ラジオ基地局 (GSM、PCS、DCS、CDMA、WCDMA)

無線ハンドセット (GSM、PCS、DCS、CDMA、WCDMA)

無線LAN

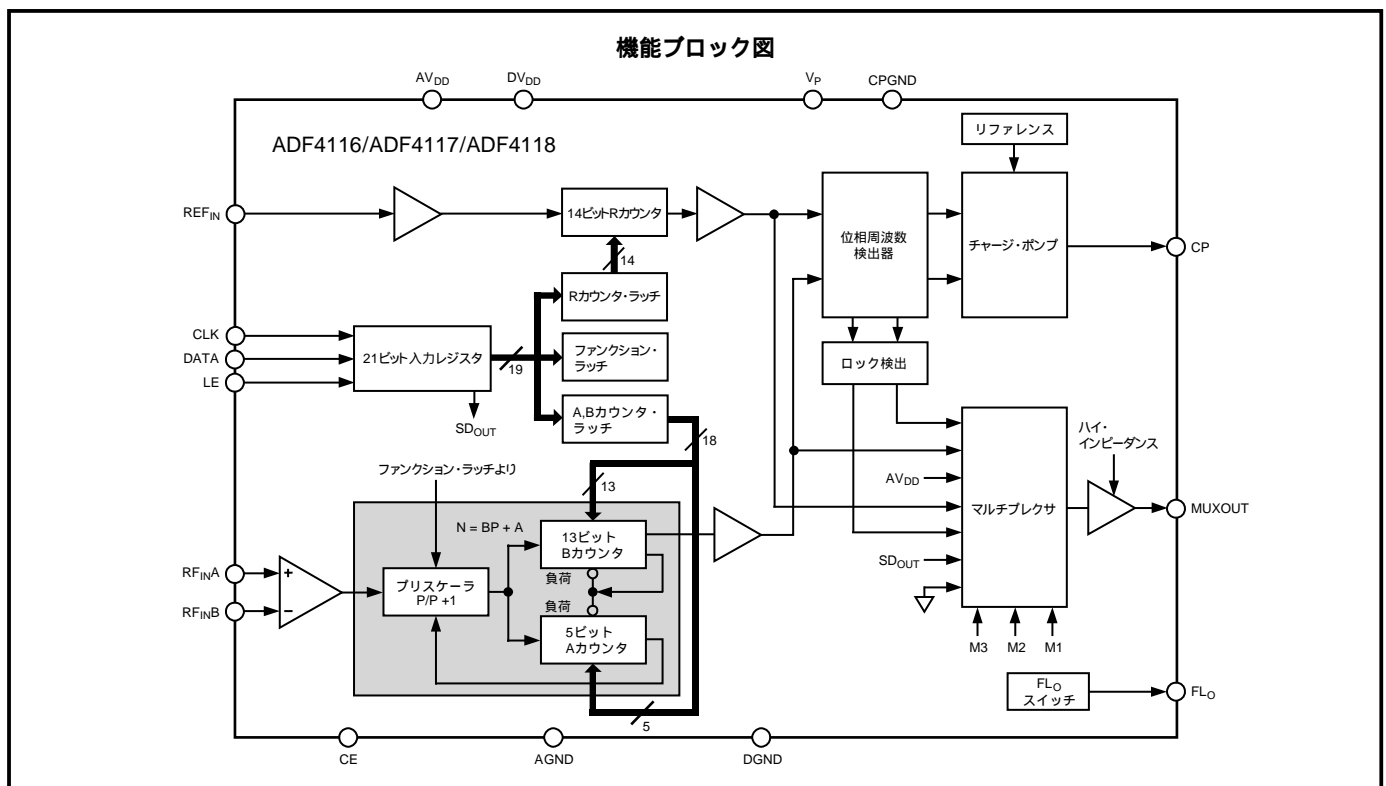
通信テスト機器

CATV機器

概要

周波数シンセサイザADF4116ファミリーを使用することにより、無線トランスミッタおよびレシーバにおけるアップ/ダウン・コンバージョンの各セクションのローカル発振器を実現できます。ADF4116/ADF4117/ADF4118は、ローノイズのデジタルPFD (Phase Frequency Detector : 位相周波数検出器)、高精度チャージ・ポンプ、プログラマブルなリファレンス・ディバイダ、プログラマブルなA、Bカウンタおよびデュアル係数プリスケアラ ($P/P+1$) で構成されます。Aカウンタ (5ビット) およびBカウンタ (13ビット) は、デュアル係数プリスケアラ ($P/P+1$) とともにNディバイダ ($N=BP+A$) を実現します。さらに、14ビットのリファレンス・カウンタ (Rカウンタ) は、PFDの入力において選択可能なREFIN周波数を提供します。シンセサイザを外部のループ・フィルタおよびVCO (Voltage Controlled Oscillator : 電圧制御発振器) とともに使用することにより、完全なPLL (Phase-Locked Loop : 位相ロック・ループ) が実現できます。

内蔵レジスタの制御は、3線式インターフェース経由で行います。ADF4116/ADF4117/ADF4118は2.7~5.5Vの電源電圧範囲で動作し、使用しないときにはパワー・ダウンできます。



SoftCellは、アナログ・デバイセズの商標です。

REV.0

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

ADF4116/ADF4117/ADF4118 仕様¹

DC特性 (特に指示のない限り、 $AV_{DD} = DV_{DD} = 3V \pm 10\%$ 、 $5V \pm 10\%$ 、 $AV_{DD} \ V_P \ 6.0V$ 、 $AGND = DGND = CPGND = 0V$ 、 $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	Bバージョン	Bチップ ²	単位	試験条件 / 備考
RF特性				
RF入力周波数				入力回路について図22参照
ADF4116	45/550	45/550	MHz min/max	
ADF4117	0.045/1.2	0.045/1.2	GHz min/max	
ADF4118	0.1/3.0	0.1/3.0	GHz min/max	入力レベル = -10dBm
ADF4118	0.2/3.0	0.2/3.0	GHz min/max	
最大許容プリスケアラ出力周波数 ³	165	165	MHz max	$AV_{DD}, DV_{DD} = 3V$
	200	200	MHz max	$AV_{DD}, DV_{DD} = 5V$
RF入力感度	-15/0	-15/0	dBm min/max	$AV_{DD} = 3V$
	-10/0	-10/0	dBm min/max	$AV_{DD} = 5V$
REFIN特性				
REFIN入力周波数	0/100	0/100	MHz min/max	
リファレンス入力感度 ⁴	-5/0	-5/0	dBm min/max	AC結合。DC結合の場合：0 ~ $V_{DD} \max$ (CMOSコンパチブル)
REFIN入力容量	10	10	pF max	
REFIN入力電流	± 100	± 100	$\mu A \ max$	
位相検出器周波数 ⁵	55	55	MHz max	
チャージ・ポンプ				
I_{CP} シンク/ソース				
最高値	1	1	mA typ	
最低値	250	250	$\mu A \ typ$	
絶対精度	2.5	2.5	% typ	
I_{CP} スリー・ステート・リーク電流	1	1	nA max	
シンク/ソース電流マッチング	3	3	% typ	$0.5V \ V_{CP} \ V_P - 0.5$
I_{CP} 対 V_{CP}	2	2	% typ	$0.5V \ V_{CP} \ V_P - 0.5$
I_{CP} 対温度	2	2	% typ	$V_{CP} = V_P/2$
ロジック入力				
V_{INH} 、入力ハイ電圧	$0.8 \times DV_{DD}$	$0.8 \times DV_{DD}$	V min	
V_{INL} 、入力ロー電圧	$0.2 \times DV_{DD}$	$0.2 \times DV_{DD}$	V max	
I_{INH}/I_{INL} 、入力電流	± 1	± 1	$\mu A \ max$	
C_{IN} 、入力容量	10	10	pF max	
リファレンス入力電流	± 100	± 100	$\mu A \ max$	
ロジック出力				
V_{OH} 、出力ハイ電圧	$DV_{DD} - 0.4$	$DV_{DD} - 0.4$	V min	$I_{OH} = 500 \mu A$
V_{OL} 、出力ロー電圧	0.4	0.4	V max	$I_{OL} = 500 \mu A$
電源				
AV_{DD}	2.7/5.5	2.7/5.5	V min/V max	
DV_{DD}	AV_{DD}	AV_{DD}		
V_P	$AV_{DD}/6.0$	$AV_{DD}/6.0$	V min/max	$AV_{DD} \ V_P \ 6.0V$
I_{DD}^6 ($AI_{DD} + DI_{DD}$)				図20参照
ADF4116	5.5	4.5	mA max	4.5mA typ
ADF4117	5.5	4.5	mA max	4.5mA typ
ADF4118	7.5	6.5	mA max	6.5mA typ
I_P	0.4	0.4	mA max	$T_A = 25$
ローパワー・スリープ・モード	1	1	$\mu A \ typ$	

ADF4116/ADF4117/ADF4118

パラメータ	Bバージョン	Bチップ ²	単位	試験条件 / 備考
ノイズ特性				
ADF4118位相ノイズ・フロア ⁷	- 170	- 170	dBc/Hz typ	@25kHz PFD周波数
	- 162	- 162	dBc/Hz typ	@200kHz PFD周波数
位相ノイズ特性⁸				
ADF4116 ⁹ : 540MHz出力	- 89	- 89	dBc/Hz typ	@VCO出力 @1kHzオフセットおよび200kHz PFD周波数
ADF4117 ¹⁰ : 900MHz出力	- 87	- 87	dBc/Hz typ	注15
ADF4118 ¹⁰ : 900MHz出力	- 90	- 90	dBc/Hz typ	注15
ADF4117 ¹¹ : 836MHz出力	- 78	- 78	dBc/Hz typ	@300Hzオフセットおよび30kHz PFD周波数
ADF4118 ¹² : 1750MHz出力	- 85	- 85	dBc/Hz typ	@1kHzオフセットおよび200kHz PFD周波数
ADF4118 ¹³ : 1750MHz出力	- 65	- 65	dBc/Hz typ	@200Hzオフセットおよび10kHz PFD周波数
ADF4118 ¹⁴ : 1960MHz出力	- 84	- 84	dBc/Hz typ	@1kHzオフセットおよび200kHz PFD周波数
スプリアス信号				
ADF4116 ⁹ : 540MHz出力	- 88/ - 99	- 88/ - 99	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数
ADF4117 ¹⁰ : 900MHz出力	- 90/ - 104	- 90/ - 104	dBc typ	注15
ADF4118 ¹⁰ : 900MHz出力	- 91/ - 100	- 91/ - 104	dBc typ	注15
ADF4117 ¹¹ : 836MHz出力	- 80/ - 84	- 80/ - 84	dBc typ	@30kHz/60kHzおよび30kHz PFD周波数
ADF4118 ¹² : 1750MHz出力	- 88/ - 90	- 88/ - 90	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数
ADF4118 ¹³ : 1750MHz出力	- 65/ - 73	- 65/ - 73	dBc typ	@10kHz/20kHzおよび10kHz PFD周波数
ADF4118 ¹⁴ : 1960MHz出力	- 80/ - 86	- 80/ - 86	dBc typ	@200kHz/400kHzおよび200kHz PFD周波数

注

- 1 動作温度は次のとおりです。Bバージョン - 40 ~ + 85
- 2 Bチップの仕様は代表値です。
- 3 これはCMOSカウンタの最大動作周波数です。
- 4 AV_{DD} = DV_{DD} = 3V、AV_{DD} = DV_{DD} = 5VについてはCMOSコンパチブルのレベルとしてください。
- 5 設計により保証されています。サンプル・テストによりコンプライアンスが保証されています。
- 6 AV_{DD} = DV_{DD} = 3V、ADF4116に対するRF_{IN} = 540MHz、ADF4117、ADF4118に対するRF_{IN} = 900MHz。
- 7 シンセサイザの位相ノイズ・フロアはVCOの出力で帯域内ノイズを測定し20logN (Nは分割値) を減算して求められています。
- 8 位相ノイズはEVAL-ADF411XEB評価ボードおよびHP8562Eスペクトラム・アナライザを用いて測定されています。スペクトラム・アナライザはシンセサイザに対してREFINを供給します (fREFOUT = 10MHz @ 0dBm)。
- 9 fREFIN = 10MHz、fPFD = 200kHz、オフセット周波数 = 1kHz、fRF = 540MHz、N = 2700、ループ帯域幅 = 20kHz。
- 10 fREFIN = 10MHz、fPFD = 200kHz、オフセット周波数 = 1kHz、fRF = 900MHz、N = 4500、ループ帯域幅 = 20kHz。
- 11 fREFIN = 10MHz、fPFD = 30kHz、オフセット周波数 = 300Hz、fRF = 836MHz、N = 27867、ループ帯域幅 = 3kHz。
- 12 fREFIN = 10MHz、fPFD = 200kHz、オフセット周波数 = 1kHz、fRF = 1750MHz、N = 8750、ループ帯域幅 = 20kHz。
- 13 fREFIN = 10MHz、fPFD = 10kHz、オフセット周波数 = 200Hz、fRF = 1750MHz、N = 175000、ループ帯域幅 = 1kHz。
- 14 fREFIN = 10MHz、fPFD = 200kHz、オフセット周波数 = 1kHz、fRF = 1960MHz、N = 9800、ループ帯域幅 = 20kHz。
- 15 上記と同じ条件

仕様は予告なく変更されることがあります。

タイミング特性¹ (特に指示のない限り、AV_{DD} = DV_{DD} = 3V ± 10%、5V ± 10%、AV_{DD} V_P 6.0V、AGND = DGND = CPGND = 0V、T_A = T_{MIN} ~ T_{MAX})

パラメータ	T _{MIN} ~ T _{MAX} における限界 (Bバージョン)	単位	試験条件/コメント
t ₁	10	ns min	データからクロックへのセットアップ・タイム
t ₂	10	ns min	データからクロックへのホールド・タイム
t ₃	25	ns min	クロック・ハイ期間
t ₄	25	ns min	クロック・ロー期間
t ₅	10	ns min	クロックからLEへのセットアップ・タイム
t ₆	20	ns min	LEパルス幅

注

- 1 設計において保証されていますが製造テストは行われていません。
- 仕様は予告なく変更されることがあります。

ADF4116/ADF4117/ADF4118

絶対最大定格^{1,2} (特に指示のない限りT_A = 25)

AV _{DD} ~ GND ³	- 0.3 ~ + 7V
AV _{DD} ~ DV _{DD}	- 0.3 ~ + 0.3V
V _P ~ GND	- 0.3 ~ + 7V
V _P ~ AV _{DD}	- 0.3 ~ + 5.5V
デジタルI/O電圧 ~ GND	- 0.3 ~ V _{DD} + 0.3V
アナログI/O電圧 ~ GND	- 0.3 ~ V _P + 0.3V

動作温度範囲

工業用 (Bバージョン)	- 40 ~ + 85
保管温度範囲	- 65 ~ + 150
最大接合温度	150
TSSOP J _A 熱抵抗	150.4 /W
CSP J _A 熱抵抗	
(パドル・ハンダ付け)	122 /W
(パドル・ハンダ付けなし)	216 /W

ピン温度、ハンダ付け

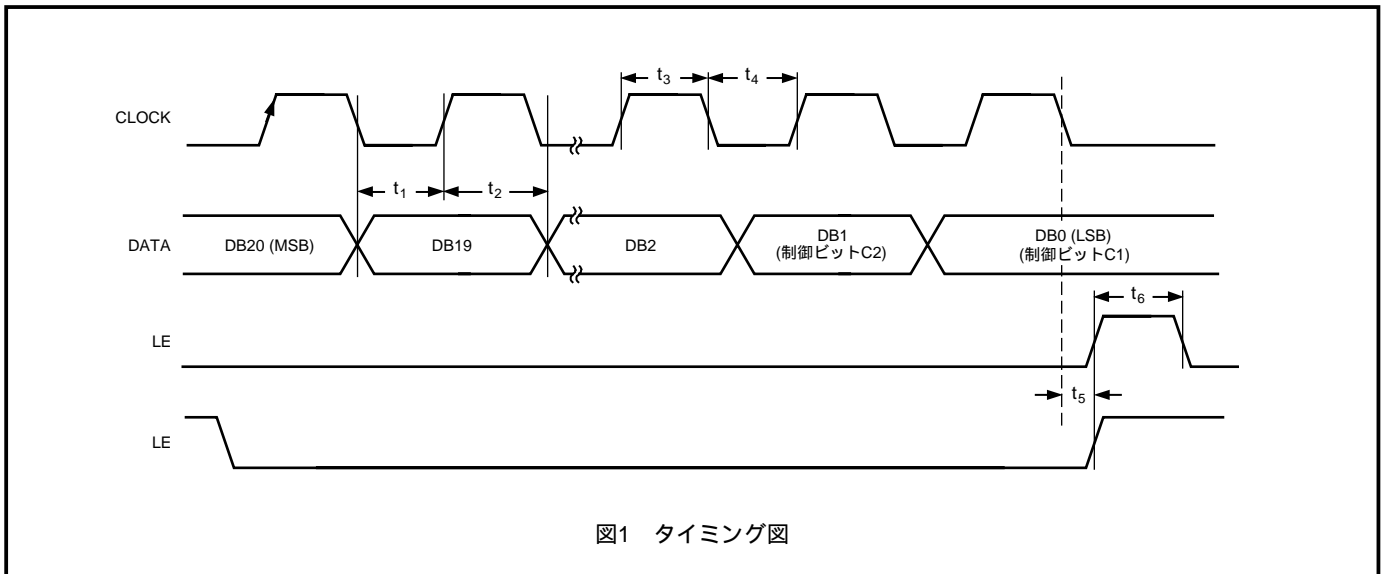
蒸着 (60秒)	215
赤外線 (15秒)	220

注

- 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格ファーストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。
- このデバイスはESD定格 < 2kVの高性能RF集積回路でありESDに敏感です。デバイスの取り扱いと組み立てには適切な配慮が必要です。
- GND = AGND = DGND = 0V

トランジスタ数

6425 (CMOS) および303 (バイポーラ)



注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション*
ADF4116BRU	- 40 ~ + 85	薄型シュリンク・スモール・アウトライン・パッケージ (TSSOP)	RU-16
ADF4116BCP	- 40 ~ + 85	チップ・スケール・パッケージ	CP-20
ADF4117BRU	- 40 ~ + 85	薄型シュリンク・スモール・アウトライン・パッケージ (TSSOP)	RU-16
ADF4117BCP	- 40 ~ + 85	チップ・スケール・パッケージ	CP-20
ADF4118BRU	- 40 ~ + 85	薄型シュリンク・スモール・アウトライン・パッケージ (TSSOP)	RU-16
ADF4118BCP	- 40 ~ + 85	チップ・スケール・パッケージ	CP-20

* チップの供給状況についてはお問い合わせください。

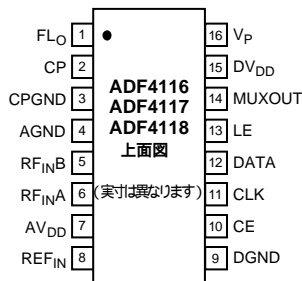
ADF4116/ADF4117/ADF4118

ピン機能説明

ピン番号	記号	機能
1	FL _O	ファーストロック・スイッチ出力。外部抵抗をスイッチしてループ・フィルタの帯域幅を変更するのに使用します。これでPLLのロックをスピード・アップできます。
2	CP	チャージ・ポンプ出力。このピンがイネーブルにされると外部ループ・フィルタに±I _{CP} が供給され、これにより外部VCOがドライブされます。
3	CPGND	チャージ・ポンプ・グラウンド。チャージ・ポンプのグラウンド・リターン経路です。
4	AGND	アナログ・グラウンド。プリスケララのグラウンド・リターン経路です。
5	RF _{INB}	RFプリスケララへのコンプリメンタリ入力。この点はグラウンド・プレーンに対して、代表値100pF程度の小さなバイパス・コンデンサでデカップリングしてください。図22を参照。
6	RF _{INA}	RFプリスケララへの入力。この小信号入力は通常、VCOからAC結合されます。
7	AV _{DD}	アナログ電源。2.7～5.5Vの範囲とすることができます。アナログ・グラウンドに対するデカップリング・コンデンサはこのピンのできるだけ近くに設置する必要があります。AV _{DD} はDV _{DD} と同じ値である必要があります。
8	REF _{IN}	リファレンス入力。定格スレシールドV _{DD} /2、等価入力抵抗100kのCMOS入力です。図21を参照。この入力はTTLまたはCMOSクリスタル・オシレータから駆動、またはAC結合することができます。
9	DGND	デジタル・グラウンド。
10	CE	チップ・イネーブル。このピンをロジック・ローにすることによりデバイスがパワーダウンされ、チャージ・ポンプがスリー・ステート・モードとなります。このピンをハイにすると、パワーダウン・ビットF2の状態に応じてデバイスがパワー・アップされます。
11	CLK	シリアル・クロック入力。このシリアル・クロックはシリアル・データをレジスタにクロック入力するために使用されます。データはCLKの立ち上がりエッジで21ビットのシフト・レジスタにラッチされます。この入力はハイ・インピーダンスのCMOS入力です。
12	DATA	シリアル・データ入力。シリアル・データは2つのLSBを制御ビットとしてMSB先頭でロードされます。この入力はハイ・インピーダンスのCMOS入力です。
13	LE	ロード・イネーブル、CMOS入力。LEがハイとなったときに、シフト・レジスタに格納されたデータが4つのラッチのうちの制御ビットによって選択された1つにロードされます。
14	MUXOUT	このマルチプレクサ出力により、ロック検出、スケールされたRFまたはリファレンス周波数のいずれかが外部からアクセス可能となります。
15	DV _{DD}	デジタル電源。2.7～5.5Vの範囲とすることができます。デジタル・グラウンドに対するデカップリング・コンデンサはこのピンのできるだけ近くに設置する必要があります。DV _{DD} はAV _{DD} と同じ値である必要があります。
16	V _P	チャージ・ポンプ電源。V _{DD} 以上にしてください。V _{DD} が3Vのシステムでは、これを5Vに設定して6Vまでのチューニング範囲のVCOをドライブするために使用できます。

ピン機能説明

TSSOP



チップ・スケール・パッケージ

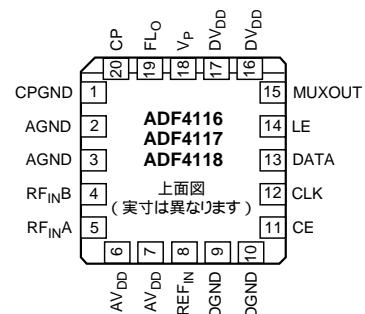


表1 ADF4118RF入力Sパラメータ・データ
(1.8GHzまで)

周波数 単位 GHz	パラメータ・ タイプ S	データ・ フォーマット MA	キーワード インビダンス R	50	
FREQ	MagS11	AngS11	FREQ	MagS11	AngS11
0.05	0.89207	-2.0571	0.95	0.92087	-36.961
0.10	0.8886	-4.4427	1.00	0.93788	-39.343
0.15	0.89022	-6.3212	1.05	0.9512	-40.134
0.20	0.96323	-2.1393	1.10	0.93458	-43.747
0.25	0.90566	-12.13	1.15	0.94782	-44.393
0.30	0.90307	-13.52	1.20	0.96875	-46.937
0.35	0.89318	-15.746	1.25	0.92216	-49.6
0.40	0.89806	-18.056	1.30	0.93755	-51.884
0.45	0.89565	-19.693	1.35	0.96178	-51.21
0.50	0.88538	-22.246	1.40	0.94354	-53.55
0.55	0.89699	-24.336	1.45	0.95189	-56.786
0.60	0.89927	-25.948	1.50	0.97647	-58.781
0.65	0.87797	-28.457	1.55	0.98619	-60.545
0.70	0.90765	-29.735	1.60	0.95459	-61.43
0.75	0.88526	-31.879	1.65	0.97945	-61.241
0.80	0.81267	-32.681	1.70	0.98864	-64.051
0.85	0.90357	-31.522	1.75	0.97399	-66.19
0.90	0.92954	-34.222	1.80	0.97216	-63.775

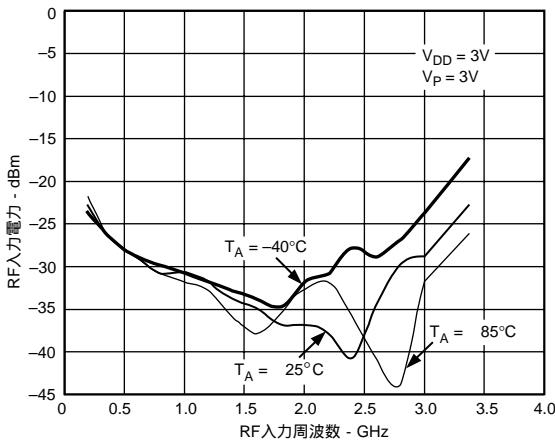


図2 入力感度 (ADF4118)

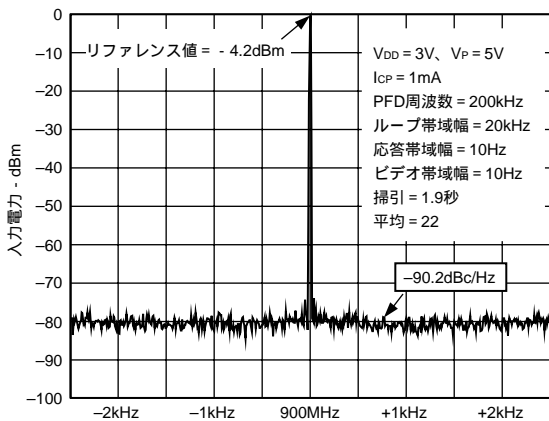


図3 ADF4118位相ノイズ (900MHz、200kHz、20kHz)

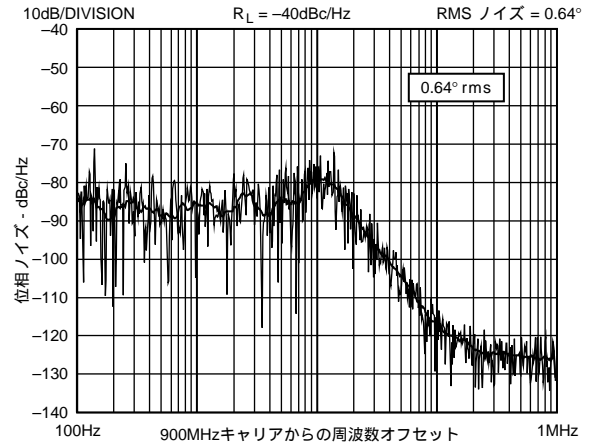


図4 ADF4118積分位相ノイズ
(900MHz、200kHz、35kHz、代表的ロック時間: 200μs)

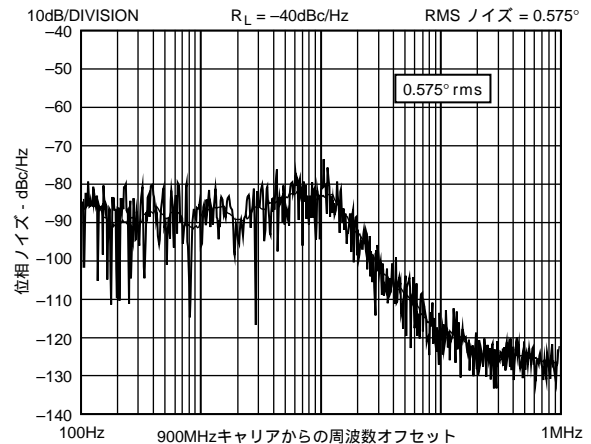


図5 ADF4118積分位相ノイズ
(900MHz、200kHz、20kHz、代表的ロック時間: 400μs)

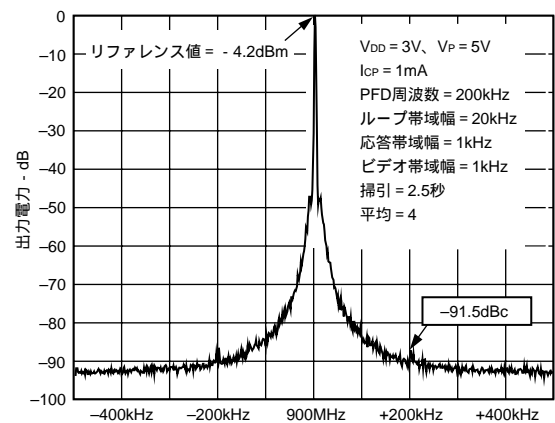


図6 ADF4118リファレンス・スプリアス
(900MHz、200kHz、20kHz)

ADF4116/ADF4117/ADF4118

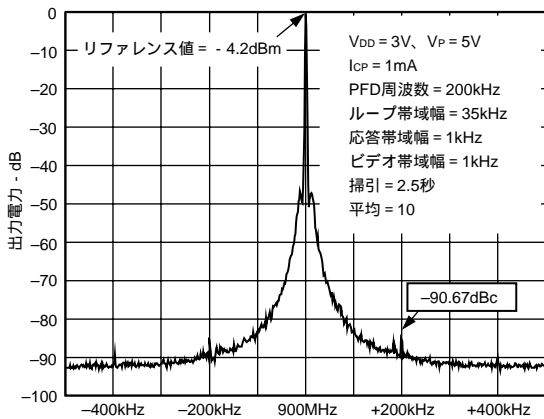


図7 ADF4118リファレンス・スプリアス
(900MHz、200kHz、35kHz)

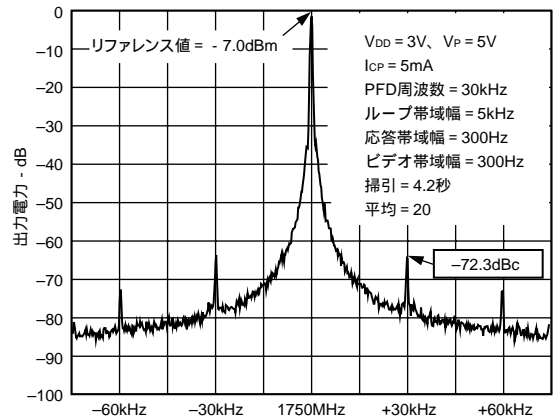


図10 ADF4118リファレンス・スプリアス
(1750MHz、30kHz、3kHz)

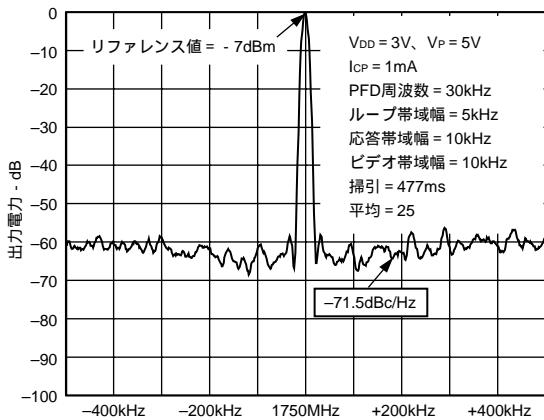


図8 ADF4118位相ノイズ
(1750MHz、30kHz、3kHz)

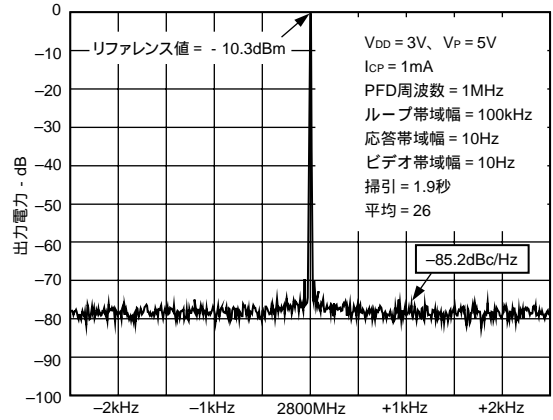


図11 AD4118位相ノイズ
(2800MHz、1MHz、100kHz)

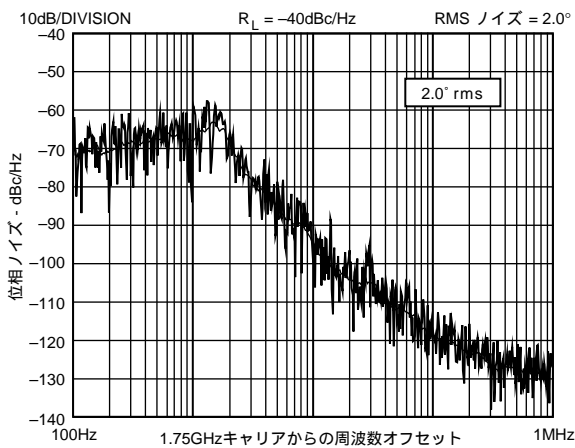


図9 ADF4118積分位相ノイズ
(1750MHz、30kHz、3kHz)

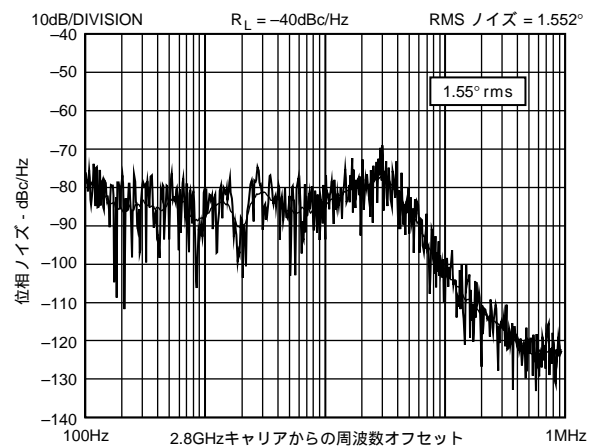


図12 ADF4118積分位相ノイズ
(2800MHz、1MHz、100kHz)

ADF4116/ADF4117/ADF4118

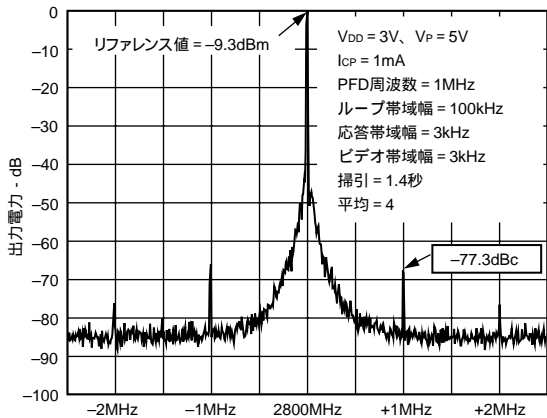


図13 ADF4118リファレンス・スプリアス (2800MHz、1MHz、100kHz)

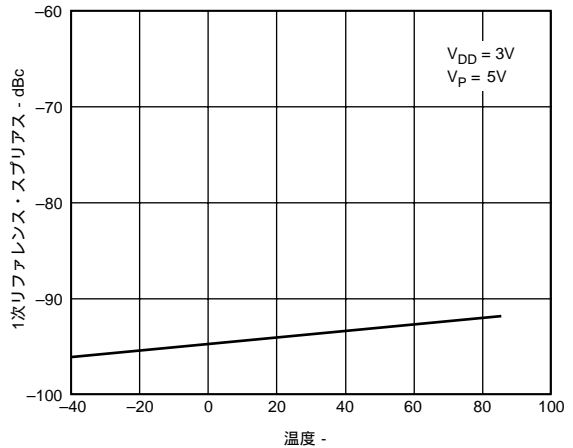


図16 ADF4118リファレンス・スプリアス 対温度 (900MHz、200kHz、20kHz)

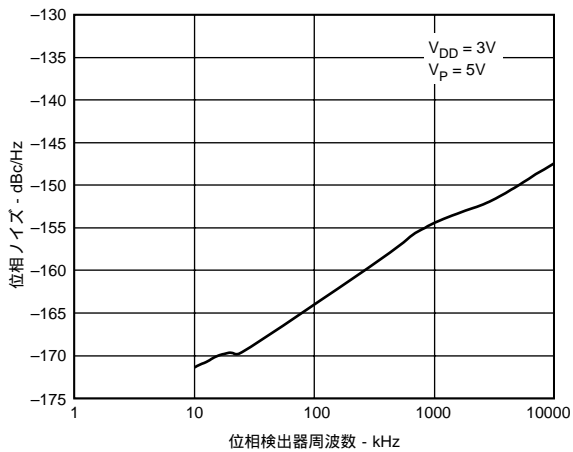


図14 ADF4118位相ノイズ (CP出力を基準) 対 PFD周波数

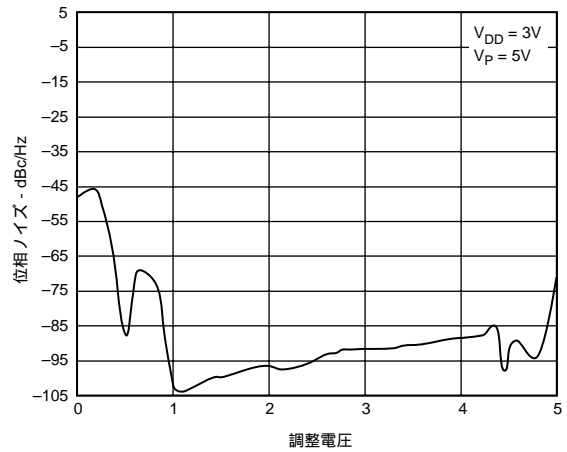


図17 ADF4118リファレンス・スプリアス (200kHz) 対 V_{TUNE} (900MHz、200kHz、20kHz)

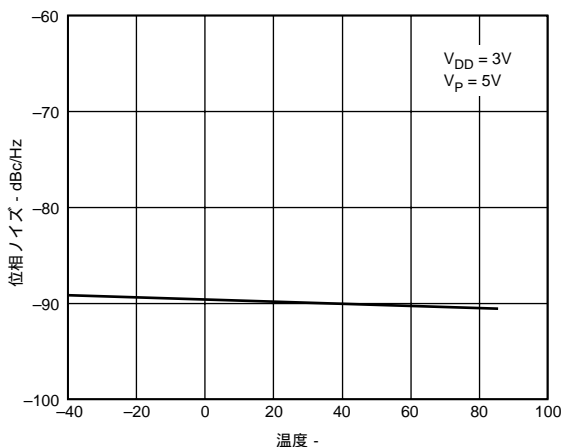


図15 ADF4118位相ノイズ 対温度 (900MHz、200kHz、20kHz)

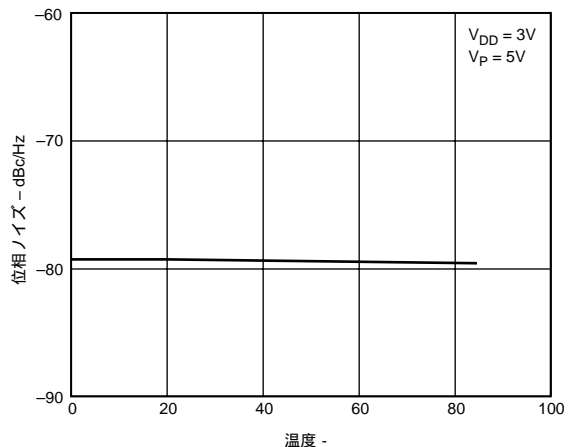


図18 ADF4118位相ノイズ 対温度 (836MHz、30kHz、3kHz)

ADF4116/ADF4117/ADF4118

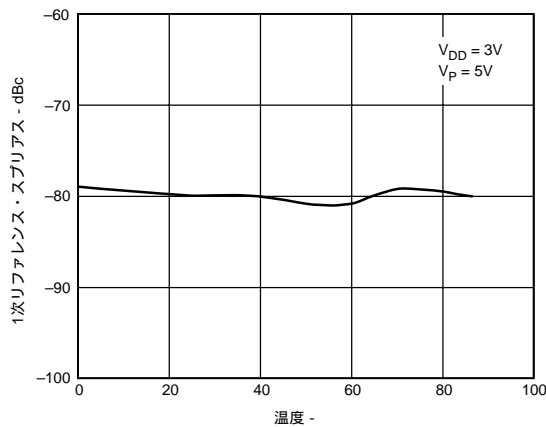


図19 ADF4118リファレンス・スプリアス 対 温度 (836MHz、30kHz、3kHz)

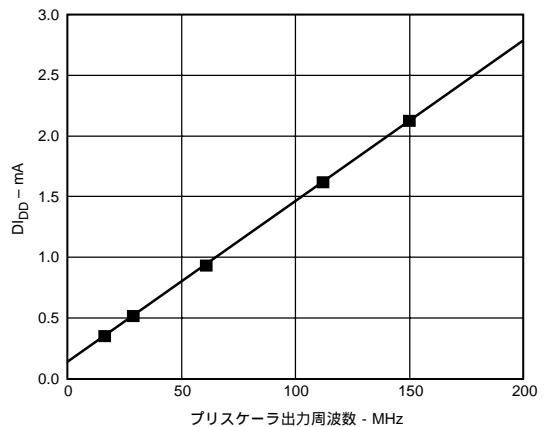


図20 $D_{I_{DD}}$ 対 プリスケラ出力周波数 (ADF4116、ADF4117、ADF4118)

回路の解説

リファレンス入力部

図21にリファレンス入力段を示します。SW1およびSW2は通常は閉のスイッチです。SW3は通常は開のスイッチです。パワーダウンが開始されると、SW3は閉じられSW1およびSW2は開かれます。これによりパワーダウン時のREF_{IN}への負荷がなくなります。

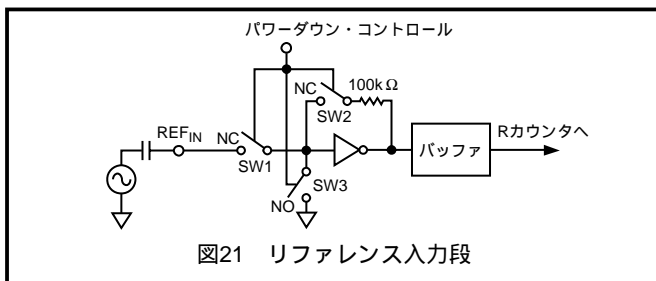


図21 リファレンス入力段

RF入力段

図22にRF入力段を示します。これはプリスケラによって必要とされるCMLクロック・レベルを生成するための2段の制限アンプに接続されます。

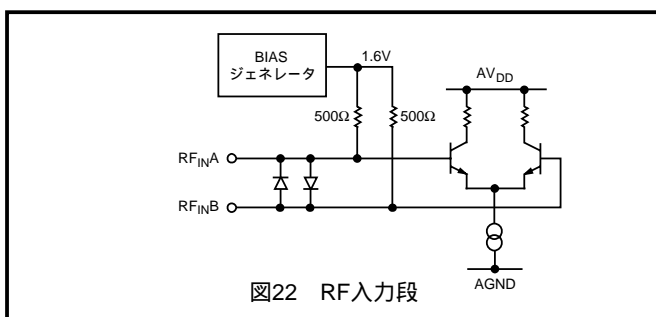


図22 RF入力段

プリスケラ (P/P + 1)

デュアル係数プリスケラ (P/P + 1) は、A、Bカウンタとともに、大きな分周比であるNを実現します (N = BP + A)。デュアル係数プリスケラはRF入力段からクロックを得て、これをCMOS A、Bカウンタで管理可能な周波数に分周します。プリスケラはプログラマブルであり、ADF4116に対しては8/9、ADF4117およびADF4118に対しては32/33にソフトウェアで設定できます。これは同期型の4/5コアに基づいています。

AおよびBカウンタ

AおよびBのCMOSカウンタはデュアル係数プリスケラとの組み合わせにより、PLLフィードバック・カウンタの広範囲の分割比を実現します。カウンタはプリスケラの出力が200MHz以下のときに動作する仕様となっています。

パルス・スワロー機能

AおよびBカウンタは、デュアル係数プリスケラとの組み合わせにより、リファレンス周波数をRで除算した値でのみスペースされる出力周波数を生成できます。以下はVCO周波数の式です。

$$f_{VCO} = [(P \times B) + A] \times f_{REFIN}/R$$

- f_{VCO} 外部電圧制御発振器 (VCO) の出力周波数。
- P デュアル係数プリスケラのプリセット係数。
- B バイナリ13ビット・カウンタのプリセット分周比 (3 ~ 8191)。
- A バイナリ5ビット・スワロー・カウンタのプリセット分周比 (0 ~ 31)。
- f_{REFIN} 外部リファレンス周波数発振器の出力周波数
- R 14ビット・プログラマブル・リファレンス・カウンタのプリセット分周比 (1 ~ 16383)。

Rカウンタ

14ビットRカウンタにより入力リファレンス周波数を分周して位相周波数検出器 (phase frequency detector, PFD) のリファレンス・クロックを生成できます。1 ~ 16,383までの分周比を選択できます。

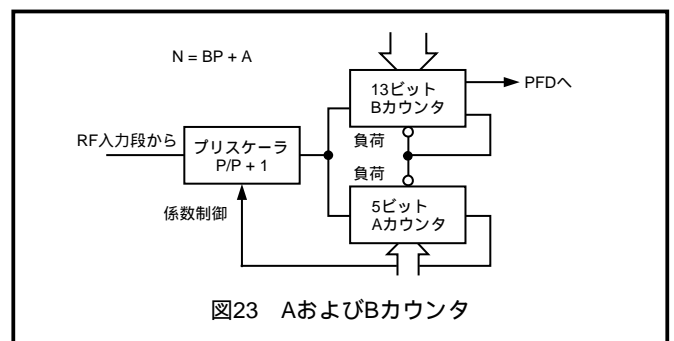


図23 AおよびBカウンタ

ADF4116/ADF4117/ADF4118

位相周波数検出器 (phase frequency detector, PFD) およびチャージ・ポンプ

PFDは、RカウンタおよびNカウンタから入力を得て、これらの間の位相と周波数の差異に比例した出力を生成します。図24に概略図を示します。PFDはアンチバックラッシュ・パルスの幅を制御する、代表値3nsの固定されたディレイ・エレメントを備えています。このパルスにより、PFDの伝達関数にデッド・ゾーンが存在しないこととなり、適したリファレンス・スプリアスが得られます。

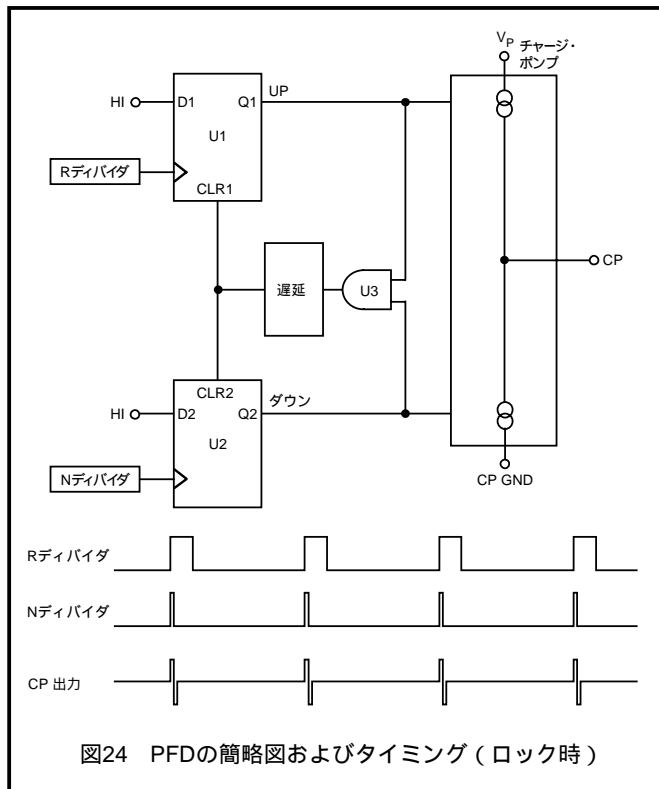


図24 PFDの簡略図およびタイミング (ロック時)

MUXOUTおよびロック検出

ADF4116ファミリーの出力マルチプレクサは、チップ上の様々な内部ポイントへのアクセスを可能とします。MUXOUTの状態はファンクション・ラッチのM3、M2、M1によって制御されます。表IIに真理値表を示します。図25はMUXOUT部のブロック図です。

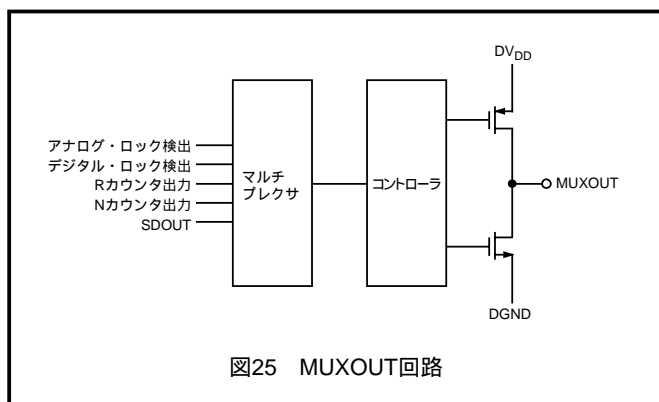


図25 MUXOUT回路

ロック検出

MUXOUTは、デジタル/アナログ・ロック検出の2種類のロック検出にプログラムできます。

デジタル・ロック検出はアクティブ・ハイです。3つの連続した位相検出サイクルで位相誤差が15ns未満であると、ハイに設定されます。後続の任意のPDサイクルにわたって25nsを超える位相誤差が検出されるまでハイの状態が続きます。

Nチャンネルのオープン・ドレイン・アナログ・ロック検出は、公称値10k の外部プルアップ抵抗によって操作してください。ロックが検出されている場合には、狭い幅の立ち下りパルスによりハイとなります。

入力シフト・レジスタ

ADF4116ファミリーのデジタル部には、21ビット・シフト・レジスタ、14ビットRカウンタと5ビットAカウンタと13ビットBカウンタによって構成される、18ビットのNカウンタが含まれています。データはCLKの各立ち上がりエッジで21ビットのシフト・レジスタにクロック入力されます。データはMSB先頭でクロック入力されます。データはLEの立ち上がりエッジでシフト・レジスタから4つのラッチのうち1つに転送されます。目的とされるラッチは、シフト・レジスタの2つの制御ビット (C2、C1) により決定されます。これらは、図1のタイミング図に示すように、2つのLSBであるDB1およびDB0です。表VIIにこれらのビットについての真理値表を示します。表IIにラッチがプログラムされる様子をまとめています。

表II C2、C1真理値表

制御ビット		データ・ラッチ
C2	C1	
0	0	Rカウンタ
0	1	Nカウンタ (AおよびB)
1	0	ファンクション・ラッチ (プリスケアラを含む)
1	1	初期化ラッチ

ADF4116/ADF4117/ADF4118

表III ADF4116ファミリーのラッチのまとめ

リファレンス・カウンタ・ラッチ

ロック 検出精度	テスト・モード・ビット					14ビット・リファレンス・カウンタ、R															制御ビット	
	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
LDP	T4	T3	T2	T1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)		

ABカウンタ・ラッチ

CPゲイン	13ビットBカウンタ													5ビットAカウンタ					制御ビット	
	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
G1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	A5	A4	A3	A2	A1	C2 (0)	C1 (1)

ファンクション・ラッチ

予約済み	パワー ダウン2	予約済み				タイマー・カウンタ制御				ファースト ロック・ モード	予約済み	ファースト ロック・ イネーブル	CP スリー ステート	PD極性	MIXOUT制御			パワー ダウン1	カウンタ リセット	制御ビット	
		DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11						DB6	DB5	DB4			DB3	DB2
X	PD2	X	X	X	TC4	TC3	TC2	TC1	F6	X	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (0)	

初期化ラッチ

予約済み	パワー ダウン2	予約済み				タイマー・カウンタ制御				ファースト ロック・ モード	予約済み	ファースト ロック・ イネーブル	CP スリー ステート	PD極性	MIXOUT制御			パワー ダウン1	カウンタ リセット	制御ビット	
		DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11						DB6	DB5	DB4			DB3	DB2
X	PD2	X	X	X	TC4	TC3	TC2	TC1	F6	X	F4	F3	F2	M3	M2	M1	PD1	F1	C2 (1)	C1 (1)	

ADF4116/ADF4117/ADF4118

表IV リファレンス・カウンタ・ラッチ・マップ

ロック 検出精度	テスト・モード・ビット				14ビット・リファレンス・カウンタ、R															制御ビット	
DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
LDP	T4	T3	T2	T1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (0)	

R14	R13	R12	*****	R3	R2	R1	分周比
0	0	0	*****	0	0	1	1
0	0	0	*****	0	1	0	2
0	0	0	*****	0	1	1	3
0	0	0	*****	1	0	0	4
•	•	•	*****	•	•	•	•
•	•	•	*****	•	•	•	•
•	•	•	*****	•	•	•	•
1	1	1	*****	1	0	0	163 80
1	1	1	*****	1	0	1	163 81
1	1	1	*****	1	1	0	163 82
1	1	1	*****	1	1	1	163 83

通常動作のためには
テスト・ビットを0000に設定

LDP	動作
0	ロック検出がセットされる前に3つの連続したサイクルにわたり位相遅延が15ns未満であることが必要
1	ロック検出がセットされる前に5つの連続したサイクルにわたり位相遅延が15ns未満であることが必要

ADF4116/ADF4117/ADF4118

表V AおよびBカウンタ・ラッチ・マップ

CPゲイン	13ビットBカウンタ													5ビットAカウンタ					制御ビット	
	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
G1	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	A5	A4	A3	A2	A1	C2 (0)	C1 (1)

ADF4116

A5	A4	A3	A2	A1	Aカウンタ分周比
X	X	0	0	0	0
X	X	0	0	1	1
•	•	•	•	•	•
•	•	•	•	•	•
X	X	1	1	0	6
X	X	1	1	1	7

ADF4117/ADF4118

A5	A4	A3	A2	A1	Aカウンタ分周比
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	2
•	•	•	•	•	•
•	•	•	•	•	•
1	1	1	0	1	29
1	1	1	1	0	30
1	1	1	1	1	31

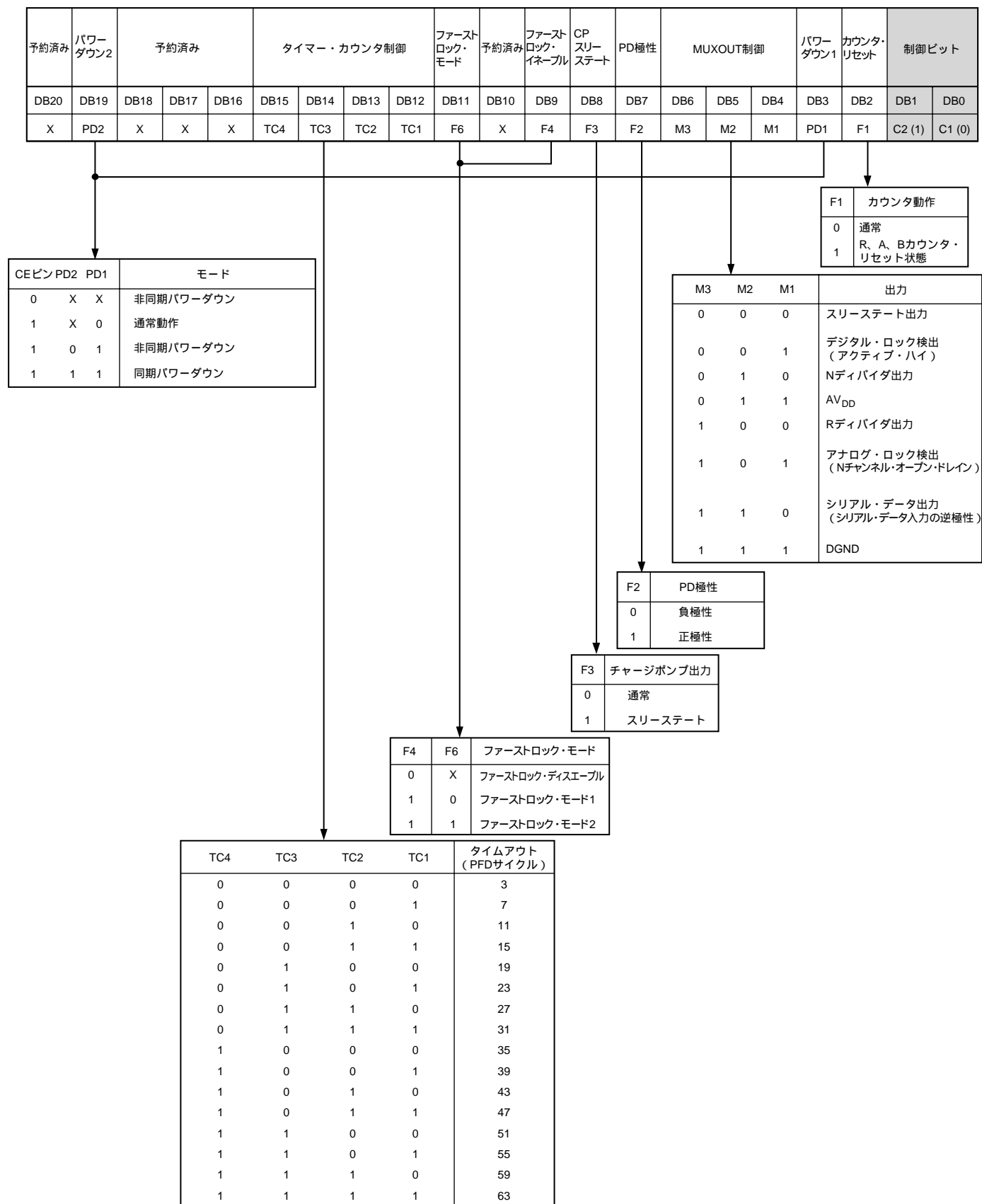
B13	B12	B11	B3	B2	B1	Bカウンタ分周比
0	0	0	0	0	1	不許可
0	0	0	0	1	0	不許可
0	0	0	0	1	1	3
0	0	0	1	0	0	4
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	1	1	1	0	0	8188
1	1	1	1	0	1	8189
1	1	1	1	1	0	8190
1	1	1	1	1	1	8191

LDP	電流設定
0	250μA
1	1mA

$N = BP + A$ 。Pはプリスケアラ値BはA以上であること。
連続的に隣接した値の $N \times F_{REF}$ に対して N_{MIN} は $(P^2 - P)$

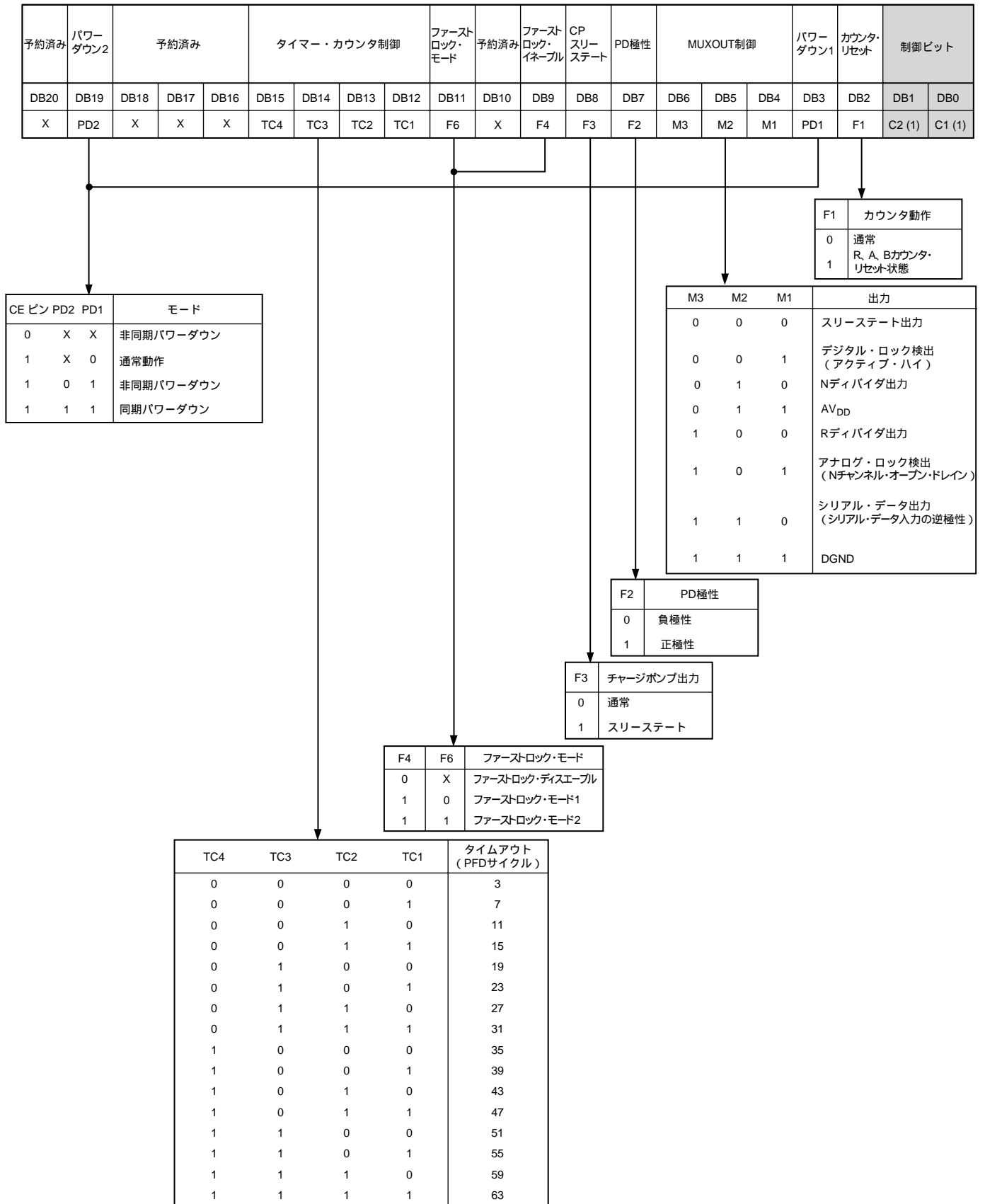
ADF4116/ADF4117/ADF4118

表VI ファンクション・ラッチ・マップ



ADF4116/ADF4117/ADF4118

表VII 初期化ラッチ・マップ



ADF4116/ADF4117/ADF4118

ファンクション・ラッチ

C2、C1を1、0に設定することによって、内蔵のファンクション・ラッチがプログラムされます。表Vにファンクション・ラッチをプログラムするための入力データ・フォーマットを示します。

カウンタ・リセット

DB2 (F1) はカウンタ・リセット・ビットです。これが“1”のときには、RカウンタおよびA、Bカウンタがリセットされます。通常動作のためには、このビットを“0”に設定します。電源投入の時点でF1ビットはディスエーブルにされている必要があり、NカウンタはRカウンタと「近い」差異でカウント動作を再開します。(最大誤差は1プリスケアラ・サイクル)

パワー・ダウン

ADF4116ファミリーのDB3 (PD1)、DB19 (PD2) はプログラマブルなパワー・ダウン・モードを提供します。これらはCEピンによってイネーブルにされます。

CEピンがローのときには、デバイスはPD2とPD1の状態にかかわらず直ちにディスエーブルにされます。

プログラムされた非同期パワー・ダウンでは、デバイスはPD2に“0”がロードされている条件でビット“PD1”に“1”をラッチした後、直ちにパワーダウンします。

プログラムされた同期パワーダウンでは、好ましくない周波数のジャンプを防止するため、デバイスのパワー・ダウンはチャージ・ポンプによりゲートされます。PD1に“1”を書き込むことにより (PD2にも“1”が書き込まれている条件で)、いったんパワー・ダウンがイネーブルになると、次のチャージ・ポンプのイベントの発生によりデバイスがパワー・ダウンとなります。

パワー・ダウンがアクティブのときには (CEピンによってアクティブとされた場合を含む同期 / 非同期のモード)、以下のイベントが発生します。

すべてのアクティブなDC電流経路が除去されます。

R、Nおよびタイムアウト・カウンタが強制的にロード・ステート条件となります。

チャージ・ポンプが強制的にスリー・ステート・モードとなります。

デジタル・クロック検出回路がリセットされます。

RF_{IN}入力がデバイアスされます。

オシレータ入力バッファ回路がイネーブルにされます。

入力レジスタはアクティブの状態を保持し、データのロードおよびラッチが可能です。

MUXOUT制御

内蔵マルチプレクサは、ADF4116ファミリーのM3、M2、M1によって制御されます。表VIに真理値表を示します。

位相検出極性

ファンクション・ラッチのDB7 (F2) が位相検出極性を設定します。VCO特性が正のとき、これは“1”に設定され、負のときは“0”に設定されます。

チャージ・ポンプ・スリーステート

このビットは、“1”にプログラムされるとチャージ・ポンプをスリーステート・モードにします。通常動作では“0”に設定する必要があります。

ファーストロック・イネーブル・ビット

ファンクション・ラッチのDB9はファーストロック・イネーブル・ビットです。これが“1”のときだけファーストロックがイネーブルにされます。

ファーストロック・モード・ビット

ファンクション・ラッチのDB10はファーストロック・モード・ビットです。ファーストロックがイネーブルのときに、このビットによりどちらのファーストロック・モードが使用されるかが決定されます。ファーストロック・モード・ビットが“0”の場合にはファーストロック・モード1が選択され、ファーストロック・モード・ビットが“1”の場合にはファーストロック・モード2が選択されます。

ファーストロックがイネーブルにされていない場合 (DB9 = “0”)、DB11 (ADF4116) によりFL₀出力の状態が決定されます。FL₀の状態はDB11にプログラムされているものと同じです。

ファーストロック・モード1

ADF4116ファミリーでは、FL₀の出力レベルがローの状態にプログラムされ、チャージ・ポンプ電流は高い値 (1mA) にスイッチされます。FL₀は、ループ・フィルタの抵抗をスイッチし、ループ帯域幅が変化することでファーストロックでの安定性を確保するのに使用されます。

NレジスタのCPゲイン・ビットに“1”を書き終えるとデバイスはファーストロックに入ります。NレジスタのCPゲイン・ビットに“0”を書き終えるとデバイスはファーストロックを脱出します。

ファーストロック・モード2

ADF4116ファミリーでは、FL₀の出力レベルがローの状態にプログラムされ、チャージ・ポンプ電流は高い値 (1mA) にスイッチされます。FL₀は、ループ・フィルタの抵抗をスイッチし、ループ帯域幅が変化することでファーストロックでの安定性を確保するのに使用されます。

NレジスタのCPゲイン・ビットに“1”を書き終えるとデバイスはファーストロックに入ります。デバイスはタイマー・カウンタの制御によりファーストロックを脱出します。TC4 ~ TC1の値によって決定されるタイム・アウト期間の後で、NレジスタのCPゲイン・ビットは自動的に“0”にリセットされ、デバイスがファーストロックではなく通常モードに復帰します。

タイマー・カウンタ制御

ADF4116ファミリーには、新しい周波数へのロックをスピードアップするために、2つのチャージ・ポンプ電流の間をスイッチするオプションがあります。

ADF4116ファミリーでファーストロックの機能を用いるとき、イベントの通常の順序は以下のとおりです。

ユーザーは確実にファーストロックをイネーブルにする必要があります。まず、ADF4116ファミリーのDB9を“1”に設定します。また、どちらのファーストロック・モードを使用するか選ぶ必要があります。前述のように、ファーストロック・モード2ではタイマー・カウンタの値を使って、ファーストロック後に通常動作に帰還する前のタイムアウト時間を決定します。ファーストロック・モード2はADF4116ファミリーのDB11を“1”に設定して選択します。また高い電流（1mA）が低い電流（250 μ A）に戻る前に、どのくらいの期間にわたってアクティブにする必要があるかも決定しなければなりません。これは、ファンクション・ラッチのタイマー・カウンタ制御ビットDB14~DB11（TC4~TC1）により制御されます。表VIIに真理値表を示します。

新しい出力周波数を設定するには、A、Bカウンタ・ラッチにAおよびBに対する新しい値をプログラムするだけです。同時にCPゲイン・ビットを“1”に設定することによって、TC4~TC1によって決定される期間に対して1mAにチャージ・ポンプを設定することができます。この期間が終了すると、チャージ・ポンプ電流は250 μ Aに戻ります。同時にA、Bカウンタ・ラッチのCPゲイン・ビットを0にリセットすることにより、次に再び周波数を変更するための準備が整います。

初期化ラッチ

$C2 = 1$ 、 $C1 = 1$ のときに初期化ラッチがプログラムされます。これは本質的にファンクション・ラッチと同じです（ $C2 = 1$ 、 $C1 = 0$ のときにプログラムされる）。

しかし、初期化ラッチがプログラムされるときにRおよびNカウンタに追加の内部リセット・パルスが加えられます。このパルスにより、Nカウンタ・データがラッチされたときにNカウンタがロード・ポイントにあり、デバイスが近い位相の差異でカウント動作を開始することが保証されます。

ラッチが同期パワー・ダウンにプログラムされている場合（CEピンがハイ、PD1ビットがハイ、PD2ビットがロー）には、内部パルスは、また、このパワー・ダウンをトリガーします。プリスケアラのリファレンスおよび発振器の入力バッファは内部リセット・パルスの影響を受けないため、カウント動作が再開されるときに近い位相の差異が保たれます。

初期化の後で最初のNカウンタ・データがラッチされたときに、内部のリセット・パルスは再びアクティブとされます。しかしながら、この後に続くNカウンタのロードは内部リセット・パルスをトリガーしません。

初期パワー・アップの後のデバイスのプログラミング

デバイスの初期パワー・アップを行った後、そのデバイスをプログラムするには3つの方法があります。

初期化ラッチ操作方法

V_{DD} を与えます。

初期化ラッチをプログラムします（入力ワードの2つのLSBに“11”）。F1ビットが“0”にプログラムされていることを

確認します。次にRロード（2つのLSBに“00”）を実行します。次にNロード（2つのLSBに“01”）を実行します。初期化ラッチがロードされたときに、以下の動作が発生します。

1. ファンクション・ラッチの内容がロードされます。
2. 内部パルスがR、Nおよびタイムアウト・カウンタをリセットして、ステート条件をロードしてチャージ・ポンプをスリー・ステートにします。プリスケアラのバンドギャップ・リファレンスおよび発振器の入力バッファは内部リセット・パルスの影響を受けず、カウント動作が再開されるときに近い位相の差異となります。
3. 初期化ワードの後で最初のNカウンタ・データをラッチすることにより同じ内部リセット・パルスがアクティブになります。これに続くN負荷は、他の初期化がない限り内部リセット・パルスをトリガーしません。

CEピン操作方法

V_{DD} を与えます。

CEをローにしてデバイスをパワーダウンします。これは直ちにパワーダウンとなるため非同期パワーダウンです。ファンクション・ラッチをプログラムします（10）。Rカウンタ・ラッチをプログラムします（00）。Nカウンタ・ラッチをプログラムします（01）。CEをハイにしてデバイスのパワーダウン・モードを解除します。これで、RおよびNカウンタは近い差異でカウント動作を再開します。

CEがハイとなった後で、プリスケアラのバンドギャップ電圧および発振器の入力バッファが安定な状態となるまでに1 μ s程度を必要とすることに注意してください。

CEを使ってチャンネルの動作を確認するためにデバイスの電源をオン/オフすることができます。入力レジスタは、 V_{DD} が初期化の時点で与えられた後に一度プログラムされていれば、デバイスがディスエーブル/イネーブルされる度に再プログラムする必要はありません。

カウンタ・リセット操作方法

V_{DD} を与えます。

ファンクション・ラッチのロードを行います（2つのLSBに“10”）。この作業とともに、F1ビットに“1”をロードします。これによりカウンタのリセットがイネーブルになります。Rカウンタのロードを行います（2つのLSBに“00”）。Nカウンタのロードを行います（2つのLSBに“01”）。ファンクション・ラッチのロードを行います（2つのLSBに“10”）。この作業とともに、F1ビットに“0”をロードします。これによりカウンタのリセットがディスエーブルになります。

このシーケンスにより初期化の操作と同様の近い差異が確保されます。これは内部リセットを超えた直接の制御を可能にします。カウンタのリセットによりカウンタはロード・ポイントの状態に保たれチャージ・ポンプはスリー・ステートの状態となりますが、同期パワーダウンはトリガーされないことに注意してください。カウンタのリセット方法は初期化ラッチ方法に比べてさらなるファンクション・ラッチを必要とします。

ADF4116/ADF4117/ADF4118

アプリケーション・セクション

GSM基地局送信器用のローカル発振器

図26はGSMの基地局の送信器のLOを構成するためにADF4117/ADF4118をVCOと共に用いた場合を示します。

リファレンス入力信号はFREF_{IN}から回路に与えられ、この場合には50Ωで終端にされます。代表的なGSMシステムでは、50Ωの終端なしにリファレンス入力をドライブする13MHzのTCXOを持っていると考えられます。200kHzのチャンネル間隔(GSMの標準)を得るためには、ADF4117/ADF4118の内部リファレンス・ディバイダを用いてリファレンス入力を65に分割する必要があります。

ADF4117/ADF4118のチャージ・ポンプ出力(ピン2)はループ・フィルタをドライブします。ループ・フィルタの部品の値を計算する場合には、アイテムの数を考慮する必要があります。この例ではループ・フィルタはシステムの全体としての位相余裕が45°となるように設計されました。他のPLLシステムの仕様は以下のとおりです。

- $K_D = 1\text{mA}$
- $K_V = 12\text{MHz/V}$
- ループ帯域幅 = 20kHz
- $F_{REF} = 200\text{kHz}$
- $N = 4500$
- 特別リファレンス・スプリアス減衰量 = 10dB

以上の仕様は、すべて図27のループ・フィルタの部品の値を得るために必要とです。

ループ・フィルタの出力はVCOをドライブし、これがPLLシンセサイザのRF入力に返され、また、RF出力端子をドライブします。T回路構成はVCO出力、RF出力およびシンセサイザのRF_{IN}端子の間での50Ωのマッチングを与えます。

PLLシステムでは、システムがロック状態にある時点を知ることが重要です。図26では、シンセサイザからのMUXOUT信号により判断を行っています。MUXOUTピンは、シンセサイザの中の様々な内部信号をモニターするためにプログラムできます。これらの1つと

してLD、ロック検出(lock-detect)信号があります。

シャットダウン回路

図27の回路は、ADF4116ファミリーと、使われているVCOの両方をシャットダウンする方法を示します。ADG701は、ロジック1がIN入力に与えられるとスイッチが開回路となります。ADG701はローコストのスイッチで、SOT-23およびμSOICパッケージの両方で入手可能です。

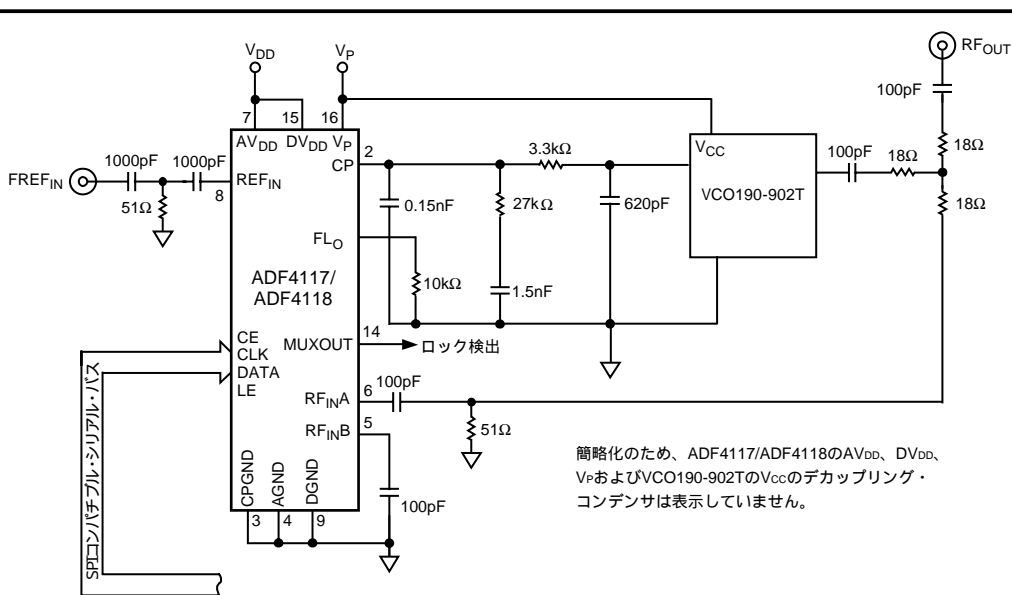
直接変換変調器

一部のアプリケーションでは、基地局の送信器で直接変換のアーキテクチャを採用できます。図28に、アナログ・デバイス製品を組み合わせ、このソリューションを実現する例を示します。

回路図ではAD9761がAD8346とともに使用されています。AD9761のような±0.02dBのゲインと±0.004dBのオフセットのマッチング特性を備えたDAC ICを使用することにより、信号チェーンのこの部分での誤差への寄与(温度変化によるもの)を最小化できます。

ローカル発振器(LO)はADF4113を用いて実現されます。この場合には、OSC 3B1-13M0が安定した13MHzのリファレンス周波数を提供します。このシステムは200kHzのチャンネル間隔と出力中心周波数1960MHzについて設計されています。ターゲットとなるアプリケーションはWCDMA基地局の送信器です。このLOからの代表的な位相ノイズ特性は1kHzのオフセットにおいて-85dBc/Hzです。AD8346のLOポートはシングル・エンド方式によりドライブされます。LOINは100pFのコンデンサでグラウンドに対してAC結合され、LOIPは50ΩのソースからACカップリング・コンデンサを介してドライブされます。-6dBmと-12dBmの間のLOドライブ・レベルが必要とされます。図28の回路により、代表値-8dBmのレベルが得られます。

RF出力は50Ωの負荷をドライブするように設計されていますが、図28に示すようにAC結合をする必要があります。IおよびQの入力が2V_{p-p}の矩形波信号でドライブされる場合には、出力電力は-10dBm程度となります。



簡略化のため、ADF4117/ADF4118のAV_{DD}、DV_{DD}、V_pおよびVCO190-902TのV_{CC}のデカップリング・コンデンサは表示していません。

図26 GSM基地局のためのローカル・オシレータ

ADF4116/ADF4117/ADF4118

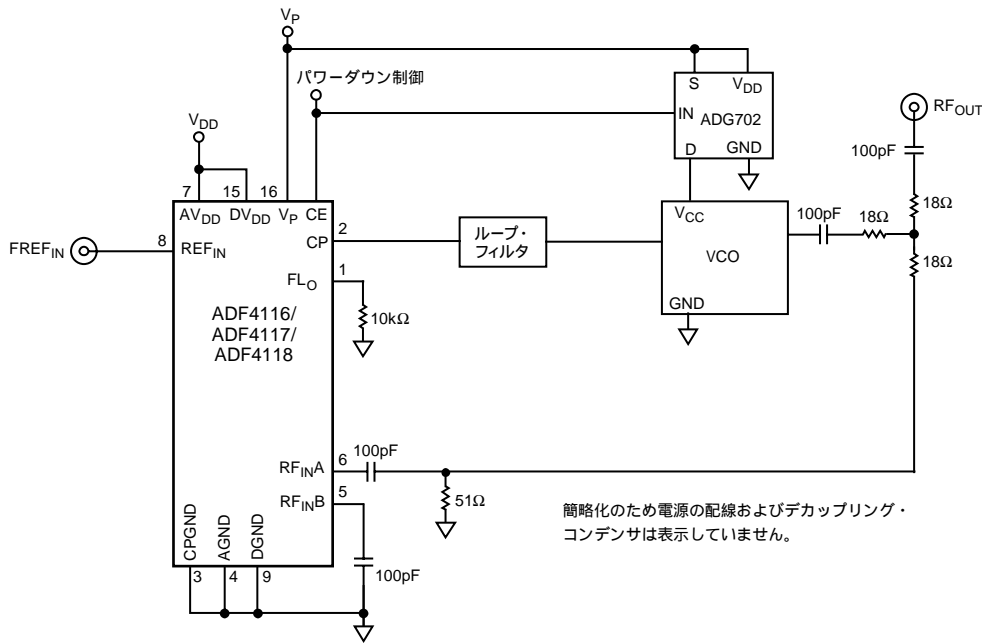


図27 ローカル・オシレータ・シャットダウン回路

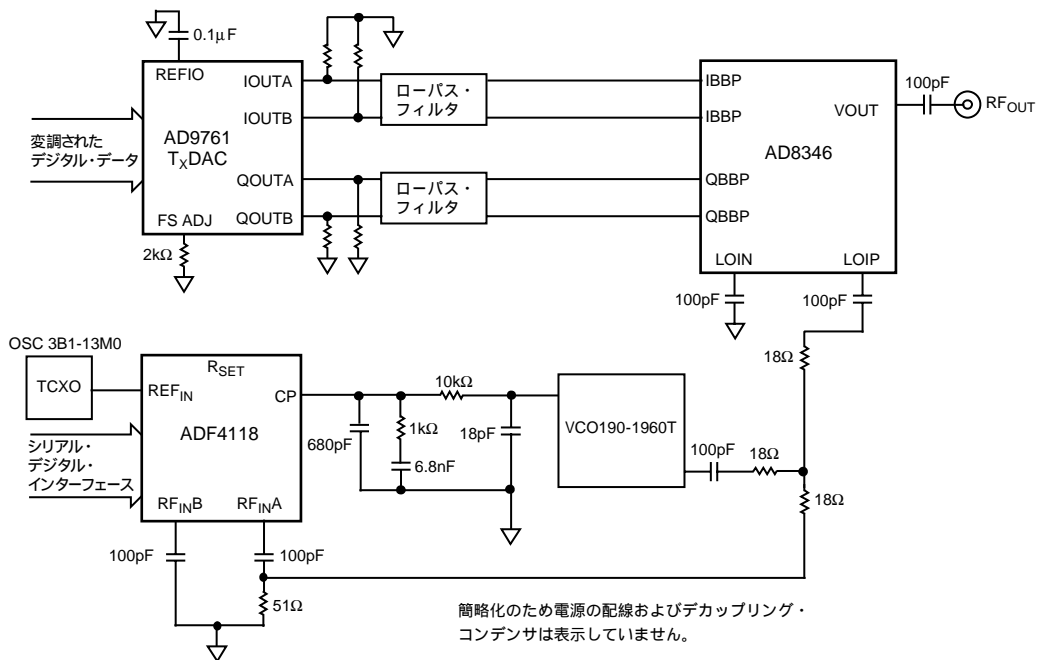


図28 直接変換送信器のソリューション

インターフェース

ADF4116ファミリーはデバイスへの書き込み用の簡素なSPI
 コンパチブルのシリアル・インターフェースを持っています。
 SCLK、SDATA、LEはデータ転送を制御します。LE
 (Latch Enable) がハイとなったときに、SCLKの各立ち上がり
 エッジで入力レジスタにクロック入力された24ビットが
 適当なラッチに転送されます。図1のタイミング図および表

IIのラッチの真値表を参照してください。

最大許容シリアル・クロック・レートは20MHzです。これ
 はデバイスで実現可能な最大アップデート・レートが
 833kHz、1.2 μ sに1回のアップデートであることを意味しま
 す。これは代表的なロック時間が数百 μ sのシステムには十
 分なものであるといえます。

ADF4116/ADF4117/ADF4118

ADuC812のインターフェース

図29にAD4116ファミリーとADuC812マイクロコンバータとのインターフェースを示します。ADuC812は8051コアを基礎としているため、このインターフェースは8051コアの全マイクロコントローラに使用できます。マイクロコンバータは、CPHA = 0のSPIマスター・モードについて設定されています。動作を開始するには、LEをドライブするI/Oポートをローにします。ADF4116ファミリーの各ラッチは24ビットのワードを必要とします。これは、3つの8ビット・バイトをマイクロコンバータからデバイスに書き込むことにより行えます。3番目のバイトが書き込まれたときにLE入力をハイにして転送を完了してください。

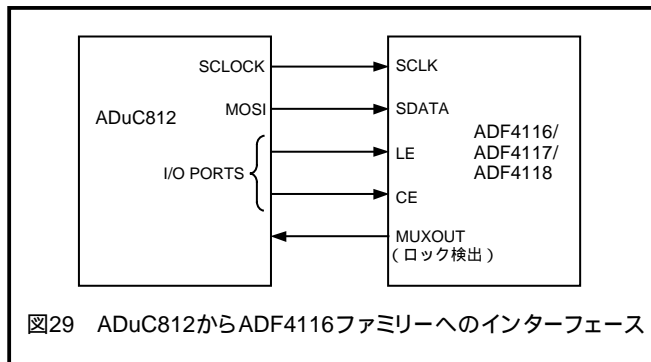


図29 ADuC812からADF4116ファミリーへのインターフェース

ADF4116ファミリーに初めて電源を投入すると、出力をアクティブとするために3つの書き込み(Rカウンタ・ラッチ、Nカウンタ・ラッチおよび初期化ラッチに各1回)が必要となります。ADuC812のI/Oポート・ラインは、パワーダウン(CE入力)およびロックの検出(MUXOUTをロック検出に設定しポート入力によりポーリング)にも使用されます。

解説したモードで動作させるときには、ADuC812の最大SCLOCKレートは4MHzです。これは出力周波数を変更することができる最大レートが166kHzであることを意味します。

ADSP-2181のインターフェース

図30に、ADF4116ファミリーとADSP-21xxデジタル・シグナル・プロセッサとのインターフェースを示します。ADF4116ファミリーは、各ラッチ書き込みについて21ビットのシリアル・ワードを必要とします。ADSP-21xxを用いてこれを行う最も簡単な方法は、オートバッファド・トランスミット・モードを交互フレーミングで使用することです。これにより割り込みが生成される前にシリアル・データのブロック全体を送信する手段が提供されます。

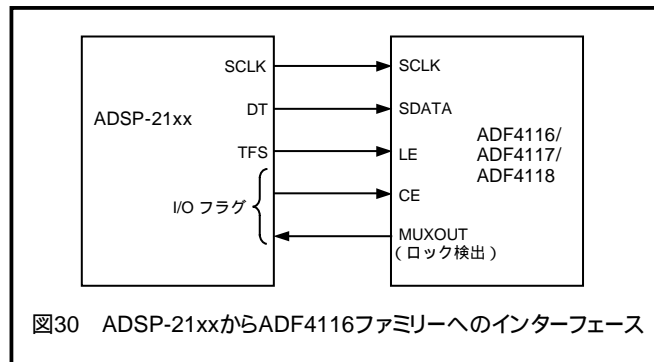


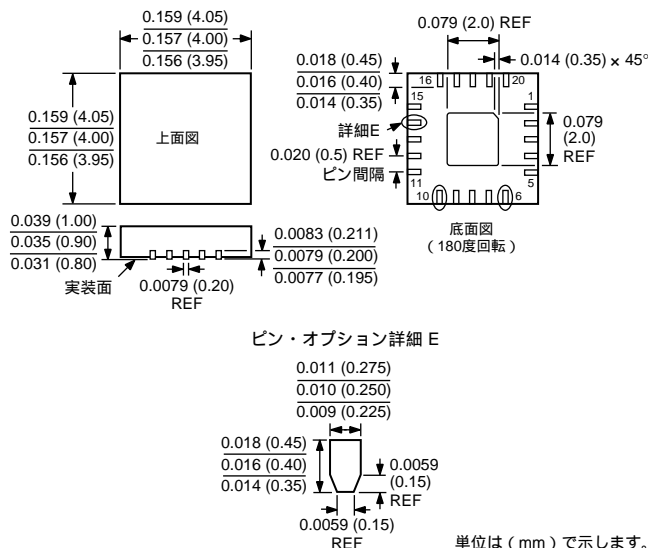
図30 ADSP-21xxからADF4116ファミリーへのインターフェース

ワード長を8ビットに設定し各24ビットのワードに対して3つのメモリー位置を使用します。21ビット・ラッチのそれぞれをプログラムするには、3つの8ビット・バイトを格納し、オートバッファド・モードをイネーブルにし、次にDSPの送信レジスタに書き込みを行います。最後の操作により、オートバッファ転送が開始されます。

外形寸法

サイズはインチと(mm)で示します。

チップ・スケール (CP-20)



薄型シュリンク・スモール・アウトライン (RU-16)

