

ADG1208/ADG1209

特長

- 電荷注入：1pC未満（全信号範囲）
- オフ容量：1pF
- 電源電圧範囲：33V
- オン抵抗：120Ω
- ±15V/+12Vで全仕様を規定
- 3Vロジック互換入力
- レールtoレール動作
- ブレーク・ビフォア・メークのスイッチング動作
- パッケージ：16ピンTSSOP、4mm×4mm LFCSP×VQ、16ピンSOIC
- 消費電力：0.03μW未満

アプリケーション

- オーディオおよびビデオ信号のルーティング
- 自動試験装置（ATE）
- データ・アキュイジション・システム
- バッテリー駆動のシステム
- サンプル&ホールド・システム
- 通信システム

概要

ADG1208/ADG1209はモノリシックの*i*CMOS[®]アナログ・マルチプレクサで、それぞれ8つのシングル・チャンネルと4つの差動チャンネルで構成されています。ADG1208は、3ビット・バイナリアドレス・ライン（A0、A1、A2）に応じて8つの入力のうち1つを共通の出力（D）に切り替えます。ADG1209は、2ビット・バイナリアドレス・ライン（A0とA1）に応じて4つの差動入力のうち1つを共通の差動出力（D）に切り替えます。いずれもEN入力を使用して、デバイスをイネーブル/ディスエーブルにします。ディスエーブル時には、すべてのチャンネルがオフになります。オンするとき、各チャンネルの導通は双方向に平等で、供給電圧までの入力信号を扱うことが可能です。

*i*CMOS（工業用CMOS）モジュラー製造プロセスは、高電圧CMOS（相補型金属酸化膜半導体）技術とバイポーラ技術とを組み合わせたものです。このプロセス技術により、これまでの高電圧向けデバイスでは実現が不可能だった小型フットプリントで、33V動作が可能なきざまな高性能アナログICを開発できるようになりました。従来のCMOSプロセスを使用するアナログICとは異なり、*i*CMOSのICは高い電源電圧に耐えるとともに、性能の向上、消費電力の大幅な削減、パッケージ・サイズの小型化も実現しています。

機能ブロック図

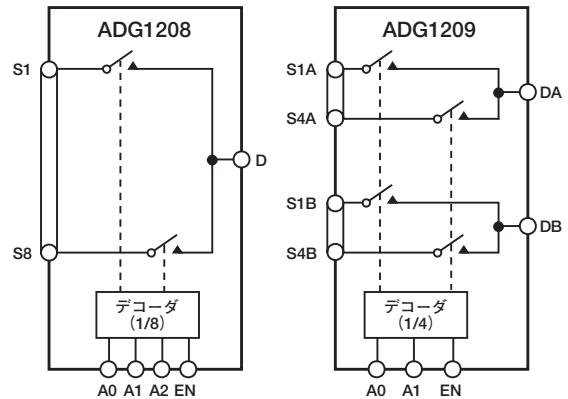


図1

これらのマルチプレクサは容量と電荷注入量が非常に低く抑えられているので、低グリッチと高速セトリングが求められるデータ・アキュイジションやサンプル&ホールドのアプリケーションに理想的なソリューションとなっています。図2から、デバイスの信号範囲の全域にわたり電荷注入量が最小になっていることがわかります。また、*i*CMOS構造によって消費電力が非常に低く抑えられるため、バッテリー駆動の携帯型計測器にも最適です。

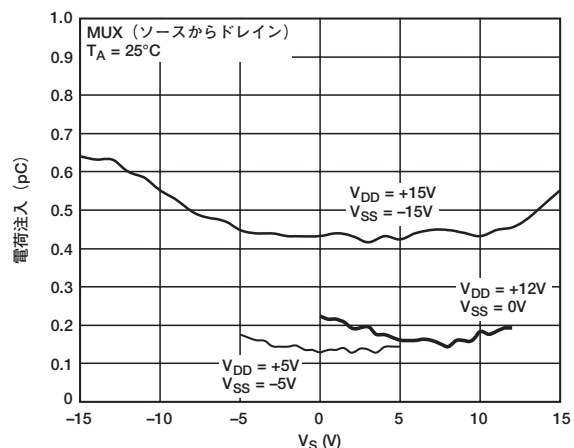


図2. ソース電圧 対 ソースからドレインへの電荷注入

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006–2007 Analog Devices, Inc. All rights reserved.

ADG1208/ADG1209

目次

特長	1	ESDに関する注意	7
アプリケーション	1	ピン配置と機能の説明	8
機能ブロック図	1	代表的な性能特性	10
概要	1	用語の説明	14
改訂履歴	2	テスト回路	15
仕様	3	外形寸法	17
両電源	3	オーダー・ガイド	18
単電源	5		
絶対最大定格	7		

改訂履歴

4/07—Rev. 0 to Rev. A

Added 16-lead SOIC	Universal
Changes to Table 1	3
Changes to Table 2	5
Changes to Figure 10 and Figure 11	10
Updated Outline Dimensions	17
Changes to Ordering Guide	18

1/06—Revision 0: Initial Version

仕様

両電源

特に指定のない限り、 $V_{DD}=+15V\pm 10\%$ 、 $V_{SS}=-15V\pm 10\%$ 、 $GND=0V_{\circ}$

表1

パラメータ	+25°C	-40~ +85°C	-40~ +125°C	単位	テスト条件/備考
アナログ・スイッチ					
アナログ信号範囲			$V_{SS}\sim V_{DD}$	V	
オン抵抗 (R_{ON})	120			Ω (typ)	$V_S=\pm 10V$ 、 $I_S=-1mA$ 、図29を参照
	200	240	270	Ω (max)	$V_{DD}=+13.5V$ 、 $V_{SS}=-13.5V$
チャンネル間のオン抵抗マッチング (ΔR_{ON})	3.5			Ω (typ)	$V_S=\pm 10V$ 、 $I_S=-1mA$
	6	10	12	Ω (max)	
オン抵抗平坦性 (R_{FLAT} (On))	20			Ω (typ)	$V_S=-5V/0V/+5V$ 、 $I_S=-1mA$
	64	76	83	Ω (max)	
リーク電流					
ソース・オフ時リーク (I_S (Off))	± 0.003			nA (typ)	$V_D=\pm 10V$ 、 $V_S=-10V$ 、図30を参照
	± 0.1	± 0.6	± 1	nA (max)	
ドレイン・オフ時リーク (I_D (Off))	± 0.003			nA (typ)	$V_S=1V/10V$ 、 $V_D=10V/1V$ 、 図30を参照
ADG1208	± 0.1	± 0.6	± 1	nA (max)	
ADG1209	± 0.1	± 0.6	± 1	nA (max)	
チャンネル・オン時リーク (I_D 、 I_S (On))	± 0.02			nA (typ)	$V_S=V_D=\pm 10V$ 、図31を参照
ADG1208	± 0.2	± 0.6	± 1	nA (max)	
ADG1209	± 0.2	± 0.6	± 1	nA (max)	
デジタル入力					
ハイレベル入力電圧 (V_{INH})			2.0	V (min)	
ローレベル入力電圧 (V_{INL})			0.8	V (max)	
入力電流 (I_{INL} または I_{INH})	± 0.005			μA (max)	$V_{IN}=V_{INL}$ または V_{INH}
			± 0.1	μA (max)	
デジタル入力容量 (C_{IN})	2			pF (typ)	
動的特性 ²					
遷移時間 ($t_{TRANSITION}$)	80			ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
	130	165	185	ns (max)	$V_S=10V$ 、図32を参照
t_{ON} (EN)	75			ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
	95	105	115	ns (max)	$V_S=10V$ 、図34を参照
t_{OFF} (EN)	83			ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
	100	125	140	ns (max)	$V_S=10V$ 、図34を参照
ブレイク・ピフォア・マーク遅延時間 (t_{BBM})	25			ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
			10	ns (min)	$V_{S1}=V_{S2}=10V$ 、図33を参照
電荷注入	0.4			pC (typ)	$V_S=0V$ 、 $R_S=0\Omega$ 、 $C_L=1nF$ 、 図35を参照
オフ・アイソレーション	-85			dB (typ)	$R_L=50\Omega$ 、 $C_L=5pF$ 、 $f=1MHz$ 、 図36を参照
チャンネル間クロストーク	-85			dB (typ)	$R_L=50\Omega$ 、 $C_L=5pF$ 、 $f=1MHz$ 、 図38を参照
全高調波歪み+ノイズ	0.15			% (typ)	$R_L=10k\Omega$ 、 $5V_{rms}$ 、 $f=20Hz\sim 20kHz$ 、 図39を参照
-3dB帯域幅	550			MHz (typ)	$R_L=50\Omega$ 、 $C_L=5pF$ 、図37を参照

ADG1208/ADG1209

パラメータ	+25°C	-40~ +85°C	-40~ +125°C	単位	テスト条件/備考
C _S (Off)	1			pF (typ)	f=1MHz、V _S =0V
	1.5			pF (max)	f=1MHz、V _S =0V
C _D (Off) ADG1208	6			pF (typ)	f=1MHz、V _S =0V
	7			pF (max)	f=1MHz、V _S =0V
C _D (Off) ADG1209	3.5			pF (typ)	f=1MHz、V _S =0V
	4.5			pF (max)	f=1MHz、V _S =0V
C _D 、C _S (On) ADG1208	7			pF (typ)	f=1MHz、V _S =0V
	8			pF (max)	f=1MHz、V _S =0V
C _D 、C _S (On) ADG1209	5			pF (typ)	f=1MHz、V _S =0V
	6			pF (max)	f=1MHz、V _S =0V
電源条件					V _{DD} =+16.5V、V _{SS} =-16.5V
I _{DD}	0.002			μA (typ)	デジタル入力=0VまたはV _{DD}
			1.0	μA (max)	
I _{DD}	220			μA (typ)	デジタル入力=5V
			320	μA (max)	
I _{SS}	0.002			μA (typ)	デジタル入力=0VまたはV _{DD}
			1.0	μA (max)	
I _{SS}	0.002			μA (typ)	デジタル入力=5V
			1.0	μA (max)	
V _{DD} /V _{SS}			±5/±16.5	V(min/max)	V _{DD} = V _{SS}

¹ 温度範囲 (Yバージョン) : -40~+125°C。

² これらの仕様については出荷テストを行っていませんが、設計により保証しています。

単電源

特に指定のない限り、 $V_{DD}=12V \pm 10\%$ 、 $V_{SS}=0V$ 、 $GND=0V$ 。¹

表2

パラメータ	+25°C	-40~ +85°C	-40~ +125°C	単位	テスト条件/備考
アナログ・スイッチ					
アナログ信号範囲			0~ V_{DD}	V	
オン抵抗 (R_{ON})	300			Ω (typ)	$V_S=0\sim 10V$ 、 $I_S=-1mA$ 、図29を参照
	475	567	625	Ω (max)	$V_{DD}=10.8V$ 、 $V_{SS}=0V$
チャンネル間のオン抵抗マッチング (ΔR_{ON})	5			Ω (typ)	$V_S=0\sim 10V$ 、 $I_S=-1mA$
	16	26	27	Ω (max)	
オン抵抗平坦性 (R_{FLAT} (On))	60			Ω (typ)	$V_S=3V/6V/9V$ 、 $I_S=-1mA$
リーク電流					$V_{DD}=13.2V$
ソース・オフ時リーク (I_S (Off))	± 0.003			nA (typ)	$V_S=1V/10V$ 、 $V_D=10V/1V$ 、 図30を参照
	± 0.1	± 0.6	± 1	nA (max)	
ドレイン・オフ時リーク (I_D (Off))	± 0.003			nA (typ)	$V_S=1V/10V$ 、 $V_D=10V/1V$ 、 図30を参照
ADG1208	± 0.1	± 0.6	± 1	nA (max)	
ADG1209	± 0.1	± 0.6	± 1	nA (max)	
チャンネル・オン時リーク (I_D 、 I_S (On))	± 0.02			nA (typ)	$V_S=V_D=1V$ または $10V$ 、図31を参照
ADG1208	± 0.2	± 0.6	± 1	nA (max)	
ADG1209	± 0.2	± 0.6	± 1	nA (max)	
デジタル入力					
ハイレベル入力電圧 (V_{INH})			2.0	V (min)	
ローレベル入力電圧 (V_{INL})			0.8	V (max)	
入力電流 (I_{INL} または I_{INH})	± 0.001			μA (max)	$V_{IN}=V_{INL}$ または V_{INH}
			± 0.1	μA (max)	
デジタル入力容量 (C_{IN})	3			pF (typ)	
動的特性 ²					
遷移時間 ($t_{TRANSITION}$)	100			ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
	170	210	235	ns (max)	$V_S=8V$ 、図32を参照
t_{ON} (EN)	90			ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
	110	140	160	ns (max)	$V_S=8V$ 、図34を参照
t_{OFF} (EN)	105			ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
	130	155	175	ns (max)	$V_S=8V$ 、図34を参照
ブレーク・ピフォア・マーク遅延時間 (t_{BBM})	45			ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
			20	ns (min)	$V_{S1}=V_{S2}=8V$ 、図33を参照
電荷注入	-0.2			pC (typ)	$V_S=6V$ 、 $R_S=0\Omega$ 、 $C_L=1nF$ 、 図35を参照
オフ・アイソレーション	-85			dB (typ)	$R_L=50\Omega$ 、 $C_L=5pF$ 、 $f=1MHz$ 、 図36を参照
チャンネル間クロストーク	-85			dB (typ)	$R_L=50\Omega$ 、 $C_L=5pF$ 、 $f=1MHz$ 、 図38を参照
-3dB帯域幅	450			MHz (typ)	$R_L=50\Omega$ 、 $C_L=5pF$ 、図37を参照
C_S (Off)	1.2			pF (typ)	$f=1MHz$ 、 $V_S=6V$
	1.8			pF (max)	$f=1MHz$ 、 $V_S=6V$
C_D (Off) ADG1208	7.5			pF (typ)	$f=1MHz$ 、 $V_S=6V$
	9			pF (max)	$f=1MHz$ 、 $V_S=6V$

ADG1208/ADG1209

パラメータ	+25℃	-40~ +85℃	-40~ +125℃	単位	テスト条件/備考
C _D (Off) ADG1209	4.5			pF (typ)	f=1MHz、V _S =6V
	5.5			pF (max)	f=1MHz、V _S =6V
C _D 、C _S (On) ADG1208	9			pF (typ)	f=1MHz、V _S =6V
	10.5			pF (max)	f=1MHz、V _S =6V
C _D 、C _S (On) ADG1209	6			pF (typ)	f=1MHz、V _S =6V
	7.5			pF (max)	f=1MHz、V _S =6V
電源条件					V _{DD} =13.2V
I _{DD}	0.002			μA (typ)	デジタル入力=0VまたはV _{DD}
			1.0	μA (max)	
I _{DD}	220			μA (typ)	デジタル入力=5V
			330	μA (max)	
V _{DD}			5/16.5	V(min/max)	V _{SS} =0V、GND=0V

¹ 温度範囲 (Yバージョン) : -40~+125℃。

² これらの仕様については出荷テストを行っていませんが、設計により保証しています。

絶対最大定格

特に指定のない限り、 $T_A=25^\circ\text{C}$ 。

表3

パラメータ	定格値
$V_{DD}\sim V_{SS}$	35V
GNDに対する V_{DD}	-0.3~+25V
GNDに対する V_{SS}	+0.3~-25V
アナログ、デジタル入力 ¹	$V_{SS}-0.3\text{V}\sim V_{DD}+0.3\text{V}$ または30mAのうち いずれか最初に発生する方
連続電流 (SまたはD)	30mA
ピーク電流 (SまたはD) (最大10%デューティサイクルの 1msパルス)	100mA
動作温度範囲	
工業用 (Yバージョン)	-40~+125°C
保存温度	-65~+150°C
ジャンクション温度	150°C
TSSOP、 θ_{JA} 熱抵抗	112°C/W
LFCSP_VQ、 θ_{JA} 熱抵抗	30.4°C/W
SOIC_N、 θ_{JA} 熱抵抗	77°C/W
リフロー・ハンダ処理の ピーク温度 (鉛フリー)	260 (+0/-5) °C

¹ A、EN、S、Dでの過電圧は、内部ダイオードでクランプされます。電流は規定された最大定格に制限してください。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ADG1208/ADG1209

ピン配置と機能の説明

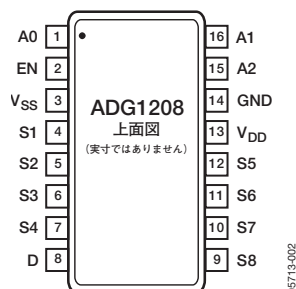


図3. ADG1208のピン配置 (TSSOP/SOIC)

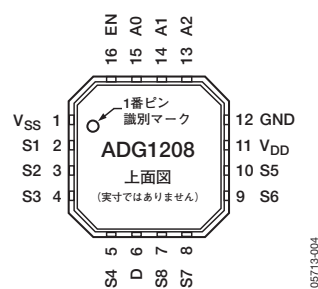


図4. ADG1208のピン配置 (LFCSP_VQ)、露出パッドは基板 (V_{SS}) に接続

表4. ADG1208のピン機能の説明

ピン番号		記号	説明
TSSOP/SOIC	LFCSP_VQ		
1	15	A0	ロジック制御入力
2	16	EN	アクティブ・ハイ・デジタル入力。ローレベルで、デバイスはディスエーブルになり、すべてのスイッチがオフになります。ハイレベルでは、Axロジック入力によりオン・スイッチが決定されます。
3	1	V _{SS}	負側電源電位。単電源アプリケーションでは、グラウンドに接続できます。
4	2	S1	ソース端子1。入力または出力
5	3	S2	ソース端子2。入力または出力
6	4	S3	ソース端子3。入力または出力
7	5	S4	ソース端子4。入力または出力
8	6	D	ドレイン端子。入力または出力
9	7	S8	ソース端子8。入力または出力
10	8	S7	ソース端子7。入力または出力
11	9	S6	ソース端子6。入力または出力
12	10	S5	ソース端子5。入力または出力
13	11	V _{DD}	正側電源電位
14	12	GND	グラウンド (0V) リファレンス
15	13	A2	ロジック制御入力
16	14	A1	ロジック制御入力

表5. ADG1208の真理値表

A2	A1	A0	EN	オン・スイッチ
X	X	X	0	なし
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8

ADG1208/ADG1209

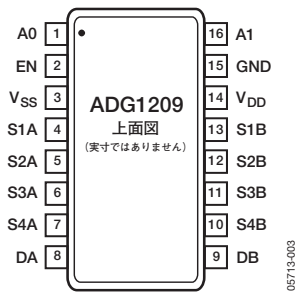


図5. ADG1209のピン配置 (TSSOP/SOIC)

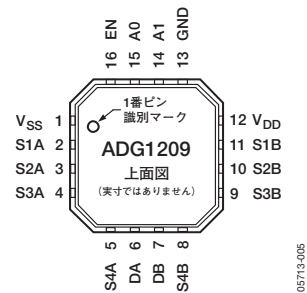


図6. ADG1209のピン配置 (LFCSP_VQ)、
露出パッドは基板 (V_{SS}) に接続

表6. ADG1209のピン機能の説明

ピン番号		記号	説明
TSSOP/SOIC	LFCSP_VQ		
1	15	A0	ロジック制御入力
2	16	EN	アクティブ・ハイ・デジタル入力。ローレベルで、デバイスはディスエーブルになり、すべてのスイッチがオフになります。ハイレベルでは、Axロジック入力によりオン・スイッチが決定されます。
3	1	V _{SS}	負側電源電位。単電源アプリケーションでは、グラウンドに接続できます。
4	2	S1A	ソース端子1A。入力または出力
5	3	S2A	ソース端子2A。入力または出力
6	4	S3A	ソース端子3A。入力または出力
7	5	S4A	ソース端子4A。入力または出力
8	6	DA	ドレイン端子A。入力または出力
9	7	DB	ドレイン端子B。入力または出力
10	8	S4B	ソース端子4B。入力または出力
11	9	S3B	ソース端子3B。入力または出力
12	10	S2B	ソース端子2B。入力または出力
13	11	S1B	ソース端子1B。入力または出力
14	12	V _{DD}	正側電源電位
15	13	GND	グラウンド (0V) リファレンス
16	14	A1	ロジック制御入力

表7. ADG1209の真理値表

A1	A0	EN	オン・スイッチ
X	X	0	なし
0	0	1	1
0	1	1	2
1	0	1	3
1	1	1	4

代表的な性能特性

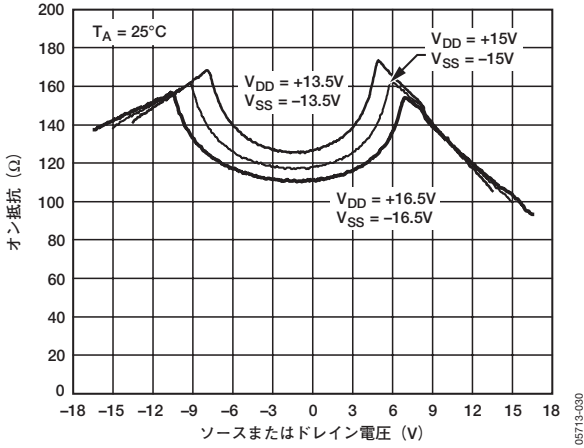


図7. V_D (V_S) とオン抵抗の関係 (両電源)

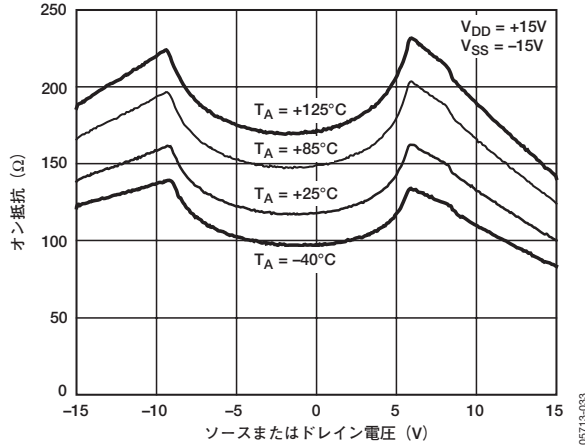


図10. さまざまな温度における V_D (V_S) とオン抵抗の関係 (両電源)

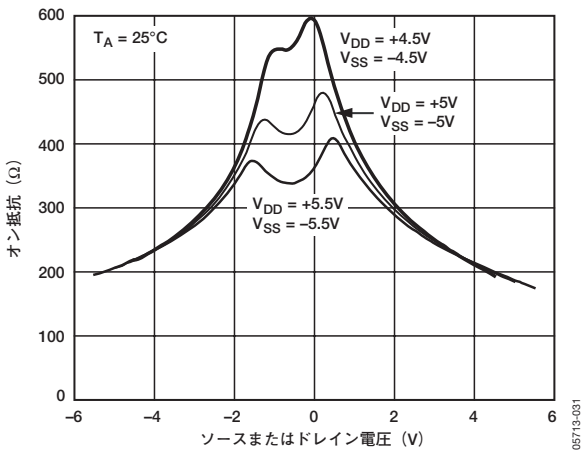


図8. V_D (V_S) とオン抵抗の関係 (両電源)

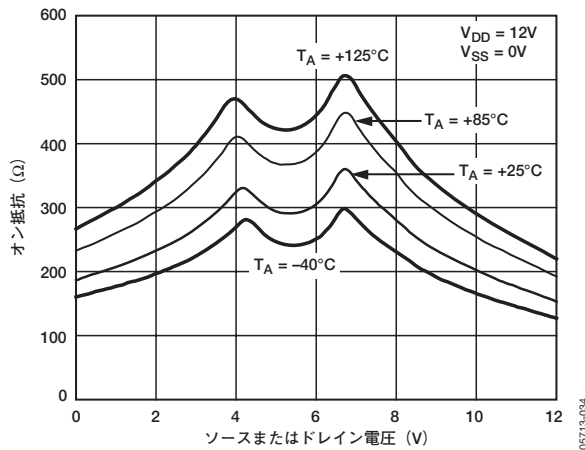


図11. さまざまな温度における V_D (V_S) とオン抵抗の関係 (単電源)

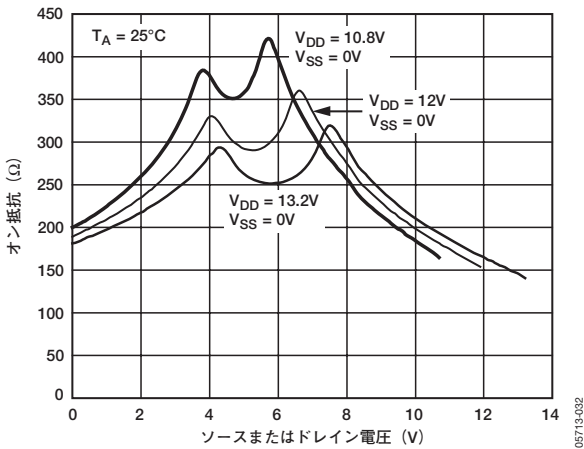


図9. V_D (V_S) とオン抵抗の関係 (単電源)

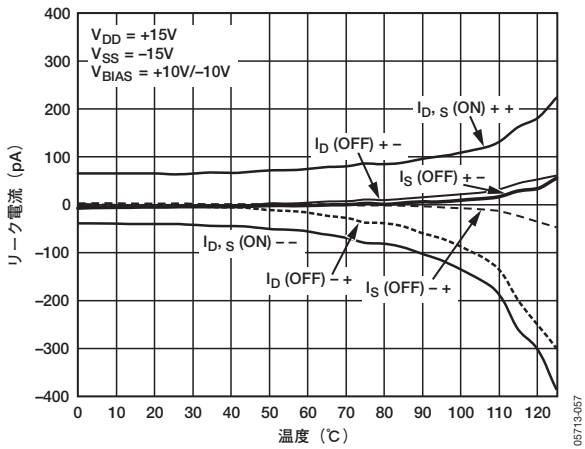


図12. ADG1208のリーク電流の温度特性 (両電源)

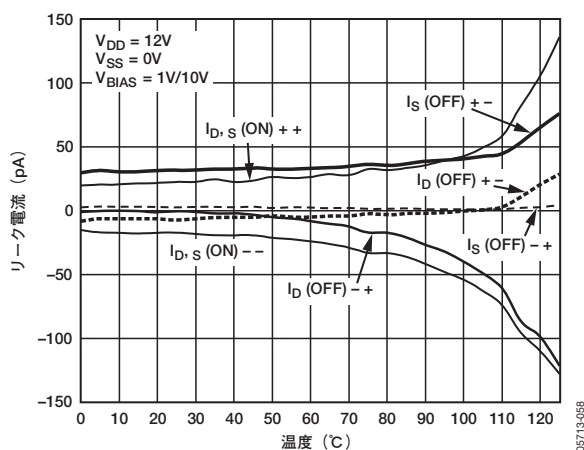


図13. ADG1208のリーク電流の温度特性 (単電源)

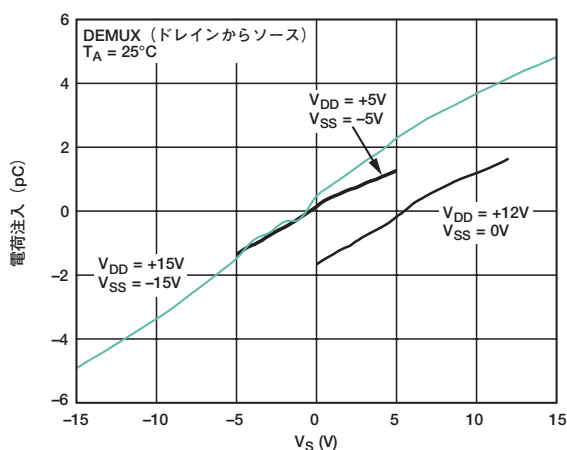


図16. ソース電圧 対 ドレインからソースへの電荷注入

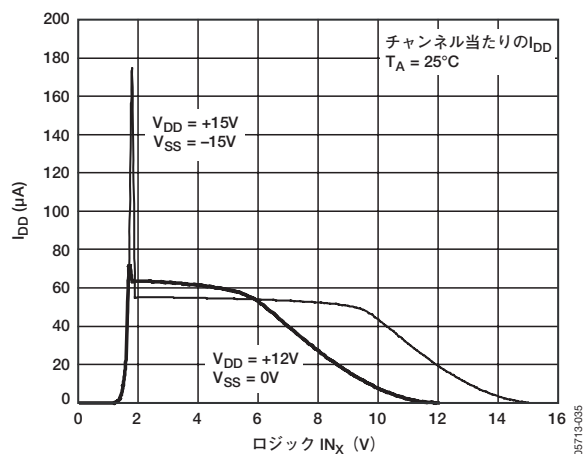


図14. ロジック・レベル 対 I_{DD}

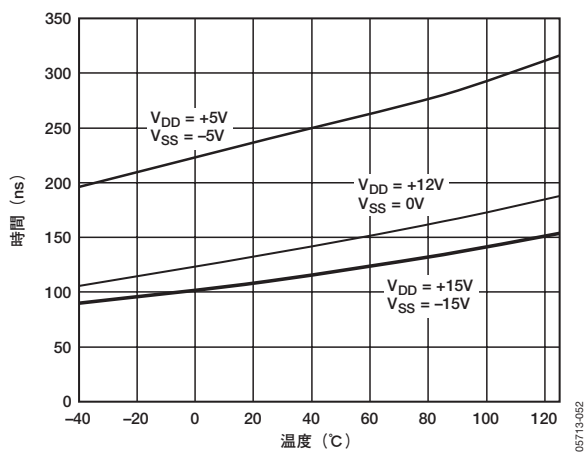


図17. t_{ON}/t_{OFF}時間の温度特性

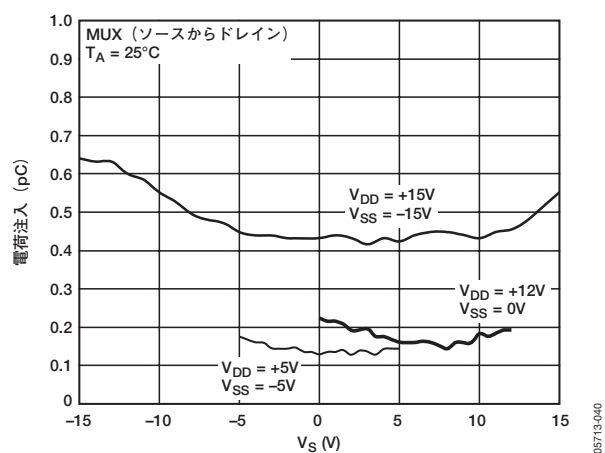


図15. ソース電圧 対 ソースからドレインへの電荷注入

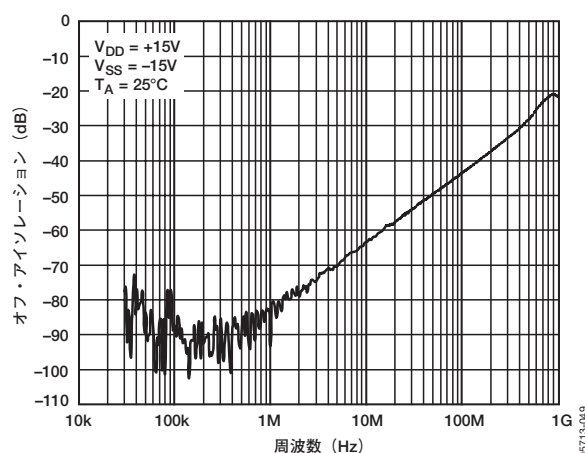


図18. オフ・アイソレーションの周波数特性

ADG1208/ADG1209

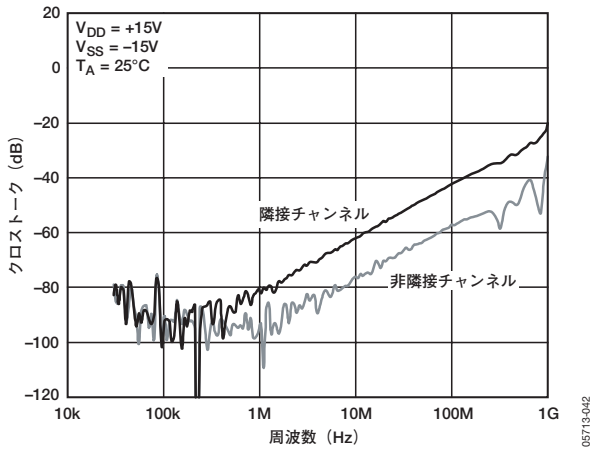


図19. ADG1208のクロストークの周波数特性

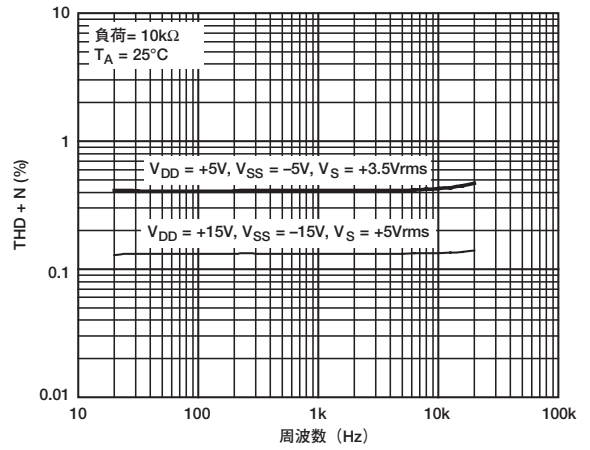


図22. THD+Nの周波数特性

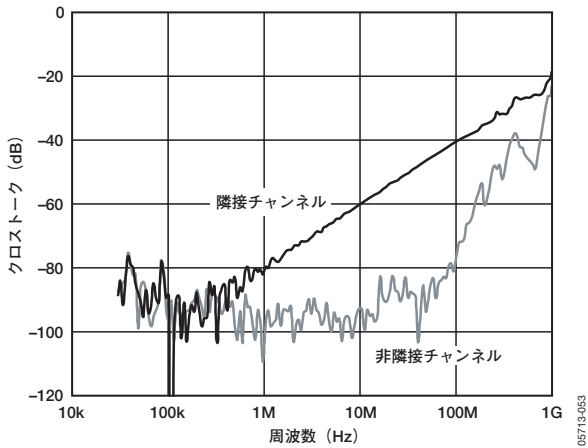


図20. ADG1209のクロストークの周波数特性

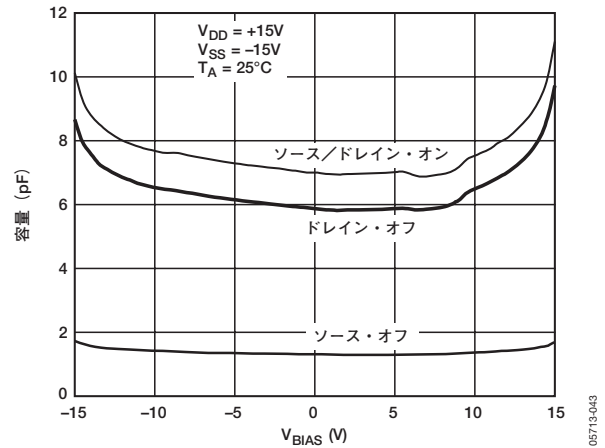


図23. ソース電圧 対 ADG1208の容量 (±15V両電源)

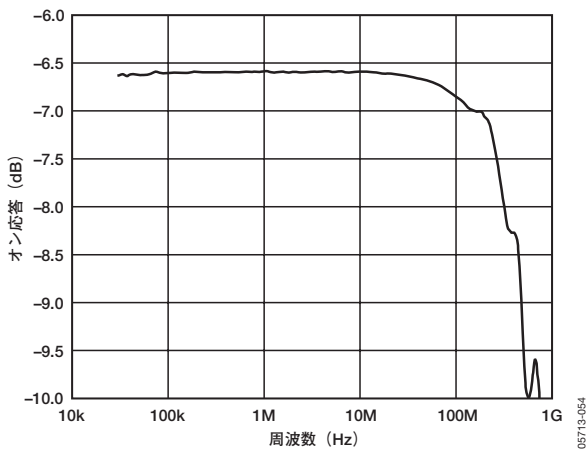


図21. オン応答の周波数特性

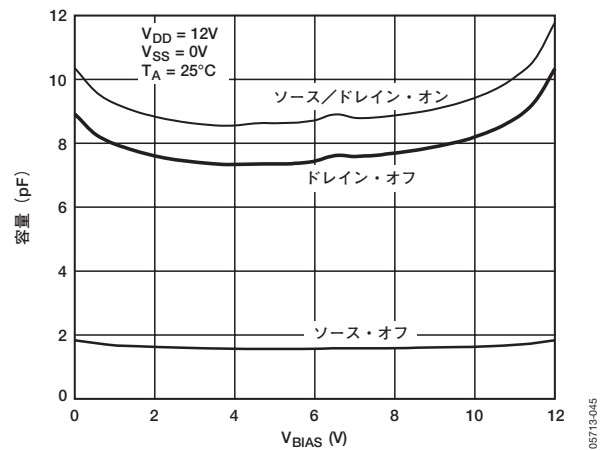


図24. ソース電圧 対 ADG1208の容量 (12V単電源)

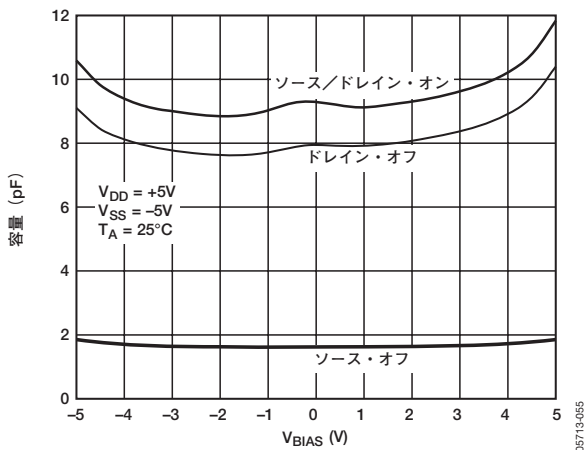


図25. ソース電圧 対 ADG1208の容量
(±5V両電源)

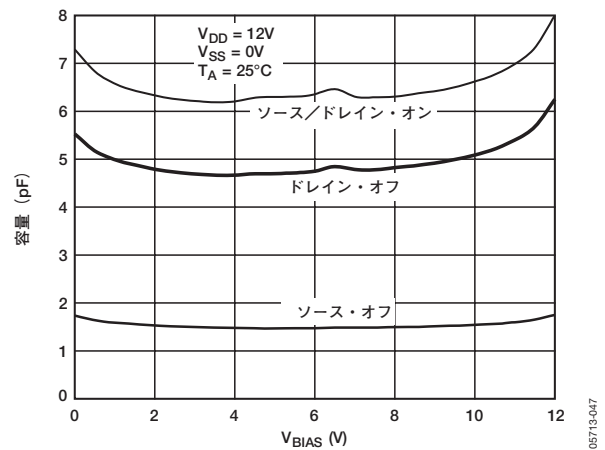


図27. ソース電圧 対 ADG1209の容量
(12V単電源)

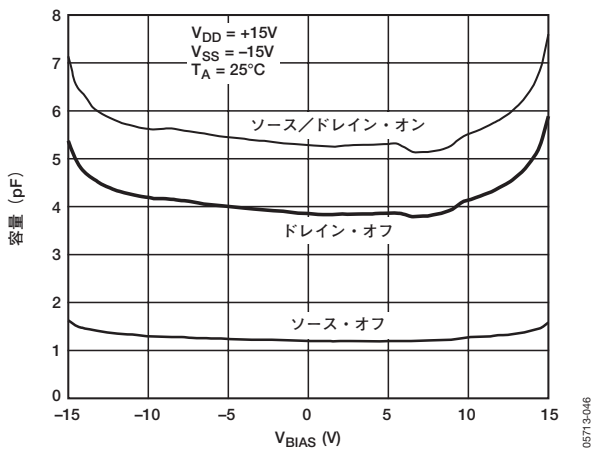


図26. ソース電圧 対 ADG1209の容量
(±15V両電源)

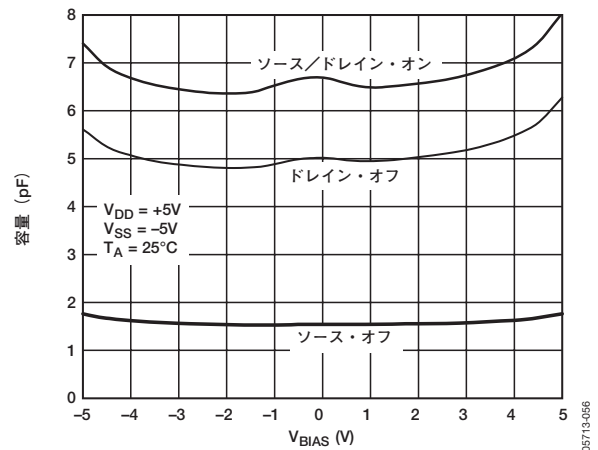


図28. ソース電圧 対 ADG1209の容量
(±5V両電源)

用語の説明

R_{ON}

スイッチ「オン」時のD端子とS端子の間の抵抗。

ΔR_{ON}

任意の2チャンネルのR_{ON}間の差。

I_S (Off)

スイッチ「オフ」時のソース・リーク電流。

I_D (Off)

スイッチ「オフ」時のドレイン・リーク電流。

I_D、I_S (On)

スイッチ「オン」時のチャンネル・リーク電流。

V_D (V_S)

D端子とS端子のアナログ電圧。

C_S (Off)

「オフ」状態のチャンネル入力容量。

C_D (Off)

「オフ」状態のチャンネル出力容量。

C_D、C_S (On)

オン・スイッチ容量。

C_{IN}

デジタル入力容量。

t_{ON} (EN)

デジタル入力の50%ポイントからスイッチ・オン時出力の90%ポイントに到達するまでの遅延時間。

t_{OFF} (EN)

デジタル入力の50%ポイントからスイッチ・オフ時出力の90%ポイントに到達するまでの遅延時間。

t_{TRANSITION}

あるアドレス状態から別のアドレス状態へ切り替わる時、デジタル入力の50%ポイントからスイッチ・オン時出力の90%ポイントに到達するまでの遅延時間。

T_{BBM}

あるアドレス状態から別のアドレス状態へ切り替わる時、両スイッチの80%ポイント間で測定した「オフ」時間。

V_{INL}

ロジック0の最大入力電圧。

V_{INH}

ロジック1の最小入力電圧。

I_{INL} (I_{INH})

デジタル入力の入力電流。

I_{DD}

正側電源電流。

I_{SS}

負側電源電流。

オフ・アイソレーション

「オフ」状態のチャンネルを通過してカップリングする不要信号の大きさ。

電荷注入

スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさ。

帯域幅

出力が3dB減衰するときの周波数。

オン応答

スイッチ「オン」時の周波数応答。

THD+N

高調波振幅と信号ノイズの和の基本波に対する比。

テスト回路

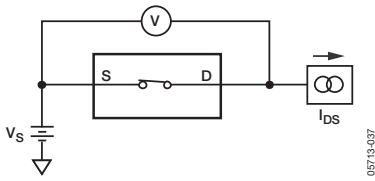


図29. オン抵抗

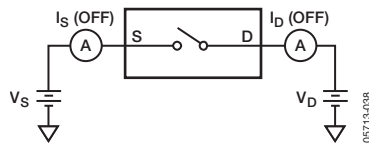


図30. オフ時リーク

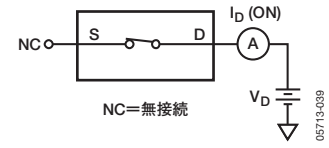


図31. オン時リーク

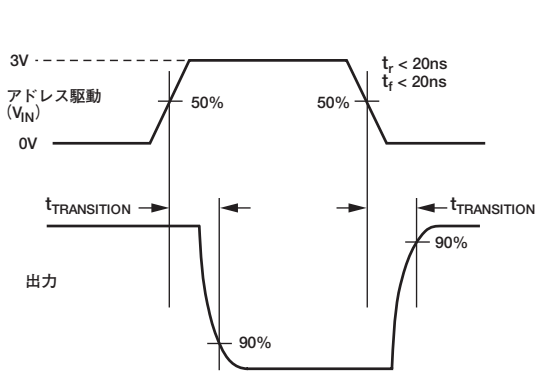
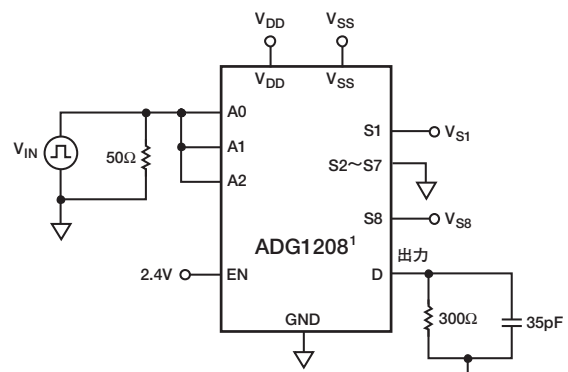


図32. アドレスから出力へのスイッチング時間 ($t_{\text{TRANSITION}}$)



¹ADG1209の接続も同様。

05713-022

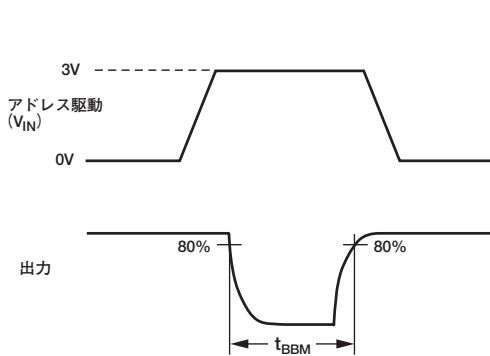
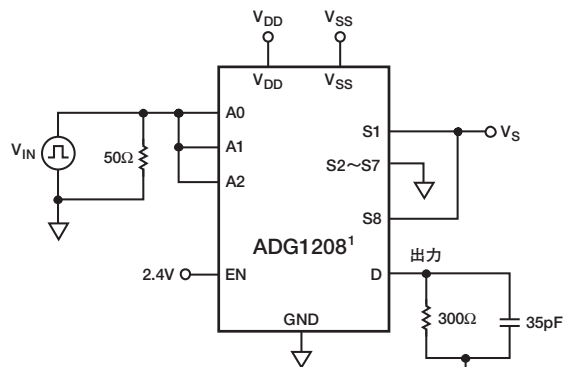


図33. ブレーク・ビフォア・メーク遅延 (t_{BBM})



¹ADG1209の接続も同様。

05713-023

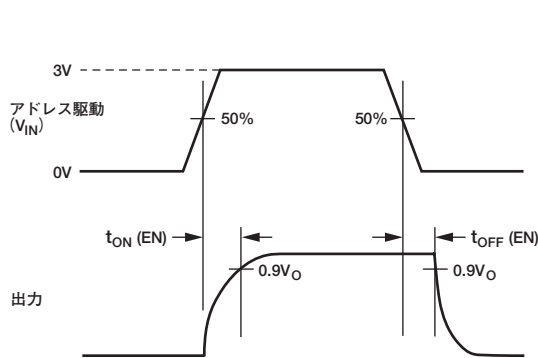
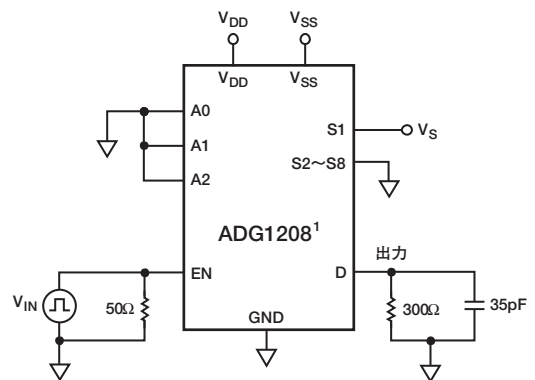


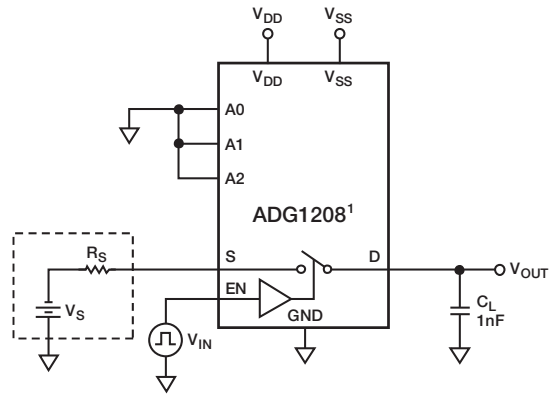
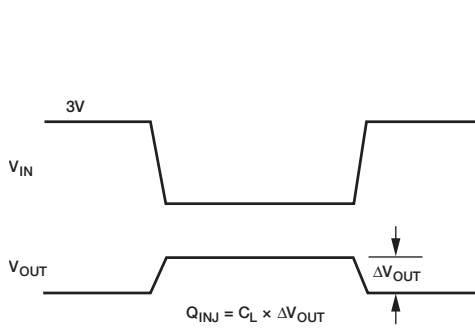
図34. イネーブル遅延 ($t_{\text{ON}}(\text{EN})$ 、 $t_{\text{OFF}}(\text{EN})$)



¹ADG1209の接続も同様。

05713-024

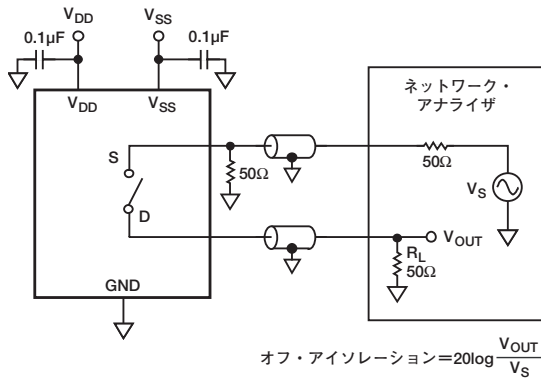
ADG1208/ADG1209



¹ADG1209の接続も同様。

05713-025

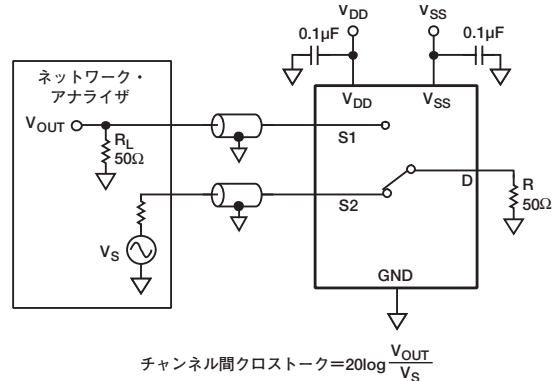
図35. 電荷注入



$$\text{オフ・アイソレーション} = 20 \log \frac{V_{OUT}}{V_S}$$

05713-026

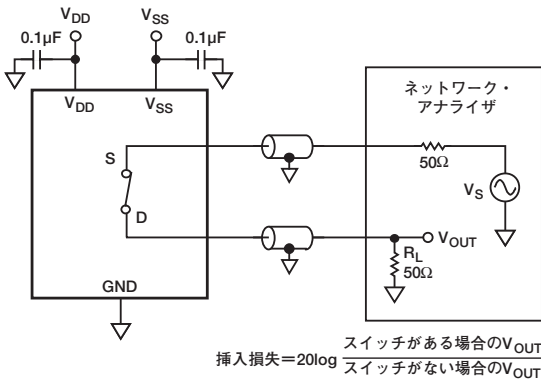
図36. オフ・アイソレーション



$$\text{チャンネル間クロストーク} = 20 \log \frac{V_{OUT}}{V_S}$$

05713-028

図38. チャンネル間クロストーク



$$\text{挿入損失} = 20 \log \frac{\text{スイッチがある場合の } V_{OUT}}{\text{スイッチがない場合の } V_{OUT}}$$

05713-027

図37. 帯域幅

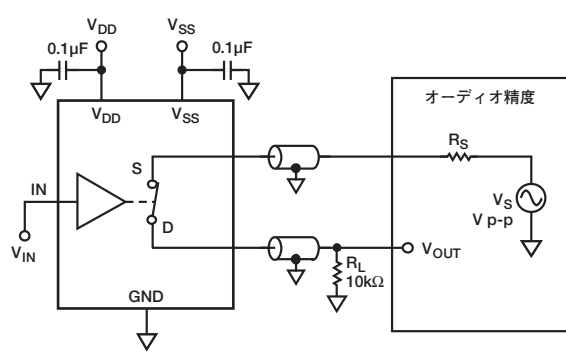
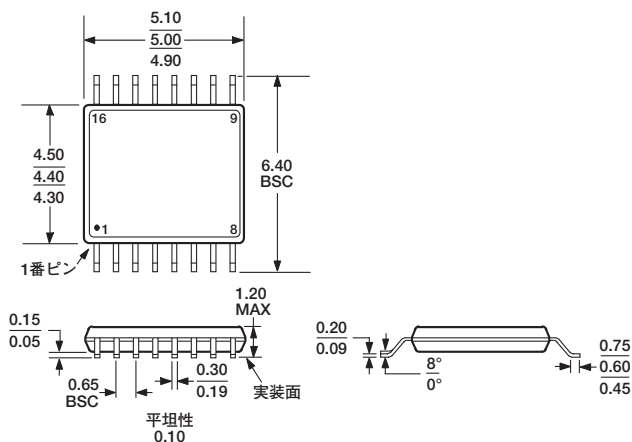


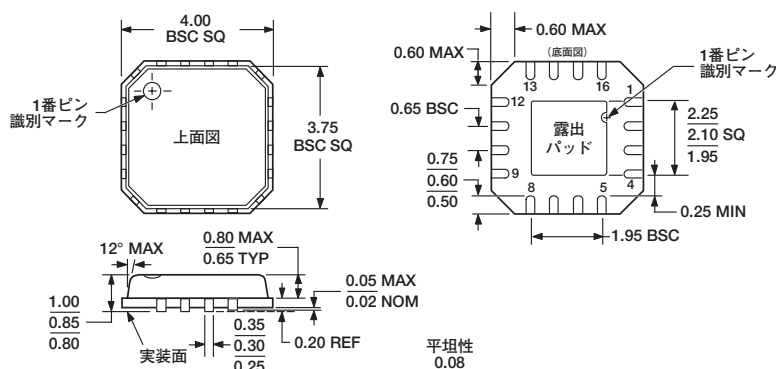
図39. THD+ノイズ

05713-029

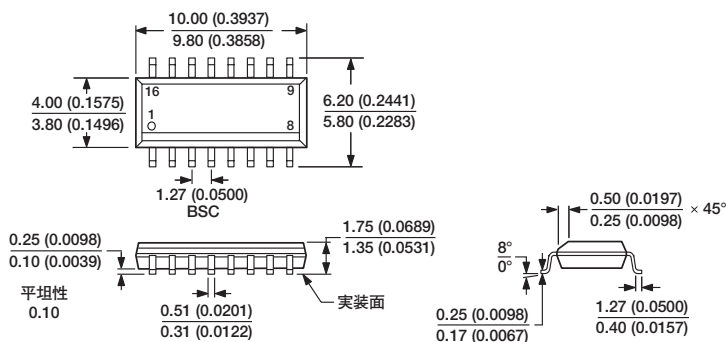
外形寸法



JEDEC規格MO-153-ABに準拠
 図40. 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-16)
 寸法単位：mm



JEDEC規格MO-220-VGGCに準拠
 図41. 16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ] 4mm×4mmボディ、極薄クワッド (CP-16-4)
 寸法単位：mm



JEDEC規格MS-012-ACに準拠
 管理寸法はミリメートルの単位で表記しています。カッコ内に示すインチ単位の寸法は、ミリメートル値に基づく概数で、参考のためにのみ記載しています。設計ではこの値を使用しないでください。
 図42. 16ピン標準スモール・アウトライン・パッケージ [SOIC_N] ナローボディ (R-16)
 寸法単位：mm (インチ)

ADG1208/ADG1209

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
ADG1208YRUZ ¹	-40～+125℃	16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]	RU-16
ADG1208YRUZ-REEL7 ¹	-40～+125℃	16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]	RU-16
ADG1208YCPZ-REEL ¹	-40～+125℃	16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-16-4
ADG1208YCPZ-REEL7 ¹	-40～+125℃	16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-16-4
ADG1208YRZ ¹	-40～+125℃	16ピン・ナローボディ・スモール・アウトライン・パッケージ [SOIC_N]	R-16
ADG1208YRZ-REEL7 ¹	-40～+125℃	16ピン・ナローボディ・スモール・アウトライン・パッケージ [SOIC_N]	R-16
ADG1209YRUZ ¹	-40～+125℃	16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]	RU-16
ADG1209YRUZ-REEL7 ¹	-40～+125℃	16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]	RU-16
ADG1209YCPZ-REEL ¹	-40～+125℃	16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-16-4
ADG1209YCPZ-REEL7 ¹	-40～+125℃	16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-16-4
ADG1209YRZ ¹	-40～+125℃	16ピン・ナローボディ・スモール・アウトライン・パッケージ [SOIC_N]	R-16
ADG1209YRZ-REEL7 ¹	-40～+125℃	16ピン・ナローボディ・スモール・アウトライン・パッケージ [SOIC_N]	R-16

¹ Z=RoHS準拠製品