

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

特長

高精度な電源電圧モニタ

2.63 V (ADM706P、ADM706R、ADM708R)

2.93 V (ADM706S、ADM708S)

3.08 V (ADM706T、ADM708T)

静止電流: 100 μ A

リセット・パルス幅: 200 ms

デバウンス回路付きのマニュアル・リセット入力(MR)

独立に動作するウォッチドッグ・タイマ

1.6 sec のタイムアウト(ADM706x)

リセット出力

アクティブ・ハイ(ADM706P)

アクティブ・ロー(ADM706R、ADM706S、ADM706T)

アクティブ・ハイおよびアクティブ・ロー(ADM708R、ADM708S、ADM708T)

電源故障警告用またはバッテリー電圧低下警告用の電圧モニタ機能

$V_{CC} = 1$ V で $\overline{\text{RESET}}$ の有効を保証

MAX706P/R/S/T、MAX708R/S/T に対するアップグレード製品

アプリケーション

マイクロプロセッサ・システム

コンピュータ

各種コントローラ

インテリジェント計測機器

クリティカルなマイクロプロセッサ・モニタ機能

バッテリー駆動のシステム

ポータブル計測機器

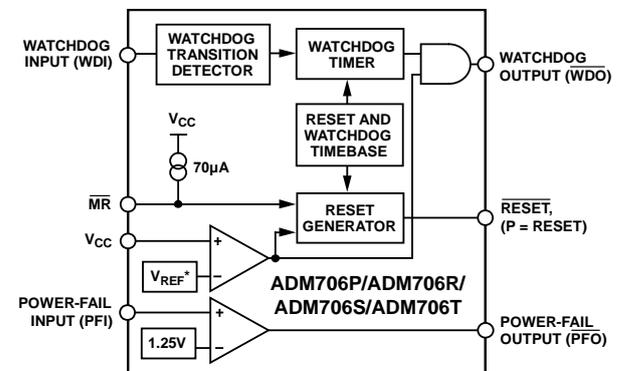
概要

マイクロプロセッサ監視回路の ADM706P/ADM706R/ADM706S/ADM706T および ADM708R/ADM708S/ADM708T は、3 V または 3.3 V の電源モニタに最適です。

ADM706P/ADM706R/ADM706S/ADM706T は、パワーアップ、パワーダウン、停電時にリセット出力を発生する電源モニタ回路を内蔵しています。リセット出力は、1 V までの低い V_{CC} 電圧で動作します。独立したウォッチドッグ・モニタ回路も内蔵しています。ウォッチドッグ入力に 1.6 sec 以内にトグルされないと、このウォッチドッグ回路が動作を開始します。

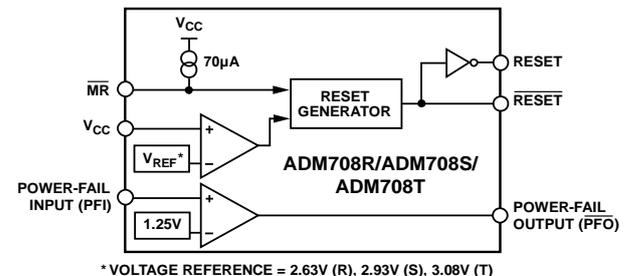
さらに、電源故障警告、バッテリー電圧低下検出、またはその他の電源のモニタに使う 1.25 V スレッシュホールドの検出器も内蔵しています。デバウンス回路を持つ MR 入力も用意してあります。

機能ブロック図



*VOLTAGE REFERENCE = 2.63V (P/R), 2.93V (S), 3.08V (T)

図1.ADM706P/ADM706R/ADM706S/ADM706T



*VOLTAGE REFERENCE = 2.63V (R), 2.93V (S), 3.08V (T)

図2.ADM708R/ADM708S/ADM708T

ADM706R、ADM706S、ADM706T は、リセット・スレッシュホールド・モニタ・レベルがそれぞれ 2.63 V、2.93 V、3.08 V である点が異なりますが、その他はすべて同じです。ADM706P はリセット・スレッシュホールドが 2.63 V である点で ADM706R と同じですが、アクティブ・ハイのリセット出力を持つ点が異なります。

ADM708R/ADM708S/ADM708T は ADM706R/ADM706S/ADM706T と同じ機能を持ちますが、ウォッチドッグ・タイマ機能がない点だけが異なります。その代わりに、アクティブ・ロー ($\overline{\text{RESET}}$) 出力の他にアクティブ・ハイのリセット出力 (RESET) が追加されています。

これらすべてのデバイスは、8 ピンのナロー PDIP または 8 ピンの SOIC パッケージ採用しています。

目次

特長 1 アプリケーション 1 機能ブロック図 1 概要 1 目次 2 改訂履歴 2 仕様 3 絶対最大定格 5 ESD の注意 5 ピン配置およびピン機能説明 6 代表的な性能特性 8 回路説明 10	電源故障リセット 10 マニュアル・リセット 10 ウォッチドッグ・タイマ(ADM706x) 10 電源故障検出コンパレータ 11 電源故障検出コンパレータへのヒステリシスの追加 11 1 V 以下の V_{CC} でも有効な \overline{RESET} 11 アプリケーション情報 12 その他の電源レベルのモニタ 12 双方向 \overline{RESET} を持つマイクロプロセッサ 12 外形寸法 13 オーダー・ガイド 14
--	---

改訂履歴

5/08—Rev. B to Rev. C

Changes to Applications Section 1
Changes to Table 2 5
Changes to Table 3 6
Changes to Figure 8 7
Changes to Figure 16 9

2/07—Rev. A to Rev. B

Updated Format Universal
Changes to Table 1 3
Updated Outline Dimensions 12
Changes to Ordering Guide 13

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

仕様

特に指定がない限り、 $V_{CC} = 2.70\text{ V} \sim 5.5\text{ V}$ (ADM706P/ADM70xR)、 $V_{CC} = 3.00\text{ V} \sim 5.5\text{ V}$ (ADM70xS)、 $V_{CC} = 3.15\text{ V} \sim 5.5\text{ V}$ (ADM70xT)、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER SUPPLY					
V_{CC} Operating Voltage Range	1.0		5.5	V	
Supply Current		100	200	μA	$V_{CC} < 3.6\text{ V}$
		150	350	μA	$V_{CC} < 5.5\text{ V}$
LOGIC OUTPUT					
Reset Threshold (V_{RST})	2.55	2.63	2.70	V	ADM706P/ADM70xR
	2.85	2.93	3.00	V	ADM70xS
	3.00	3.08	3.15	V	ADM70xT
Reset Threshold Hysteresis		20		mV	
RESET PULSE WIDTH					
	160	200	280	ms	ADM706P/ADM70xR, $V_{CC} = 3\text{ V}$
	160	200	280	ms	ADM70xS/ADM70xT, $V_{CC} = 3.3\text{ V}$
		200		ms	$V_{CC} = 5.0\text{ V}$
RESET OUTPUT VOLTAGE (ADM70xR/ADM70xS/ADM70xT)					
V_{OH}	$0.8 \times V_{CC}$			V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$, $I_{SOURCE} = 500\ \mu\text{A}$
V_{OL}			0.3	V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$, $I_{SINK} = 1.2\text{ mA}$
V_{OH}	$V_{CC} - 1.5\text{ V}$			V	$4.5\text{ V} < V_{CC} < 5.5\text{ V}$, $I_{SOURCE} = 800\ \mu\text{A}$
V_{OL}			0.4	V	$4.5\text{ V} < V_{CC} < 5.5\text{ V}$, $I_{SINK} = 3.2\text{ mA}$
V_{OL}			0.3	V	$V_{CC} = 1\text{ V}$, $I_{SINK} = 100\ \mu\text{A}$
RESET OUTPUT VOLTAGE (ADM706P)					
V_{OH}	$V_{CC} - 0.6\text{ V}$			V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$, $I_{SOURCE} = 215\ \mu\text{A}$
V_{OL}			0.3	V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$, $I_{SINK} = 1.2\text{ mA}$
V_{OH}	$V_{CC} - 1.5\text{ V}$			V	$4.5\text{ V} < V_{CC} < 5.5\text{ V}$, $I_{SOURCE} = 800\ \mu\text{A}$
V_{OL}			0.4	V	$4.5\text{ V} < V_{CC} < 5.5\text{ V}$, $I_{SINK} = 3.2\text{ mA}$
RESET OUTPUT VOLTAGE (ADM708x)					
V_{OH}	$0.8 \times V_{CC}$			V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$, $I_{SOURCE} = 500\ \mu\text{A}$
V_{OL}			0.3	V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$, $I_{SINK} = 500\ \mu\text{A}$
V_{OH}	$V_{CC} - 1.5\text{ V}$			V	$4.5\text{ V} < V_{CC} < 5.5\text{ V}$, $I_{SOURCE} = 800\ \mu\text{A}$
V_{OL}			0.4	V	$4.5\text{ V} < V_{CC} < 5.5\text{ V}$, $I_{SINK} = 1.2\text{ mA}$
WATCHDOG INPUT (ADM706x)					
Watchdog Timeout Period	1.00	1.60	2.25	sec	ADM706P/ADM706R: $V_{CC} = 3\text{ V}$; ADM706S/ADM706T: $V_{CC} = 3.3\text{ V}$; $V_{IL} = 0.4\text{ V}$, $V_{IH} = V_{CC} \times 0.8\text{ V}$
WDI Pulse Width	100			ns	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$
	50			ns	$4.5\text{ V} < V_{CC} < 5.5\text{ V}$
WDI Input Threshold					
V_{IL}			0.6	V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$
V_{IH}	$0.7 \times V_{CC}$			V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$
V_{IL}			0.8	V	$V_{CC} = 5.0\text{ V}$
V_{IH}	3.5			V	$V_{CC} = 5.0\text{ V}$
WDI Input Current	-1.0	+0.02	+1.0	μA	WDI = 0 V or V_{CC}
WDO OUTPUT VOLTAGE					
V_{OH}	$0.8 \times V_{CC}$			V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$, $I_{SOURCE} = 500\ \mu\text{A}$
	$V_{CC} - 1.5\text{ V}$			V	$4.5\text{ V} < V_{CC} < 5.5\text{ V}$, $I_{SOURCE} = 800\ \mu\text{A}$
V_{OL}			0.3	V	$V_{RST}(\text{max}) < V_{CC} < 3.6\text{ V}$, $I_{SINK} = 500\ \mu\text{A}$
			0.4	V	$4.5\text{ V} < V_{CC} < 5.5\text{ V}$, $I_{SINK} = 1.2\text{ mA}$

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
MANUAL RESET INPUT					
$\overline{\text{MR}}$ Pull-Up Current ($\overline{\text{MR}} = 0 \text{ V}$)	25	70	250	μA	$V_{\text{RST}}(\text{max}) < V_{\text{CC}} < 3.6 \text{ V}$
	100	250	600	μA	$4.5 \text{ V} < V_{\text{CC}} < 5.5 \text{ V}$
$\overline{\text{MR}}$ Pulse Width	500			ns	$V_{\text{RST}}(\text{max}) < V_{\text{CC}} < 3.6 \text{ V}$
	150			ns	$4.5 \text{ V} < V_{\text{CC}} < 5.5 \text{ V}$
MR INPUT THRESHOLD					
V_{IL}			0.6	V	$V_{\text{RST}}(\text{max}) < V_{\text{CC}} < 3.6 \text{ V}$
V_{IH}	$0.7 \times V_{\text{CC}}$			V	$V_{\text{RST}}(\text{max}) < V_{\text{CC}} < 3.6 \text{ V}$
V_{IL}			0.8	V	$4.5 \text{ V} < V_{\text{CC}} < 5.5 \text{ V}$
V_{IH}	2.0			V	$4.5 \text{ V} < V_{\text{CC}} < 5.5 \text{ V}$
MR TO RESET OUTPUT DELAY					
			750	ns	$V_{\text{RST}}(\text{max}) < V_{\text{CC}} < 3.6 \text{ V}$
			250	ns	$4.5 \text{ V} < V_{\text{CC}} < 5.5 \text{ V}$
POWER-FAIL INPUT					
PFI Input Threshold	1.2	1.25	1.3	V	ADM70xP/ADM70xR, $V_{\text{CC}} = 3 \text{ V}$ ADM70xS/ADM70xT, $V_{\text{CC}} = 3.3 \text{ V}$, PFI falling
PFI Input Current	-25	+0.01	+25	nA	
PFO OUTPUT VOLTAGE					
V_{OH}	$0.8 \times V_{\text{CC}}$			V	$V_{\text{RST}}(\text{max}) < V_{\text{CC}} < 3.6 \text{ V}$, $I_{\text{SOURCE}} = 500 \mu\text{A}$
V_{OL}			0.3	V	$V_{\text{RST}}(\text{max}) < V_{\text{CC}} < 3.6 \text{ V}$, $I_{\text{SINK}} = 1.2 \text{ mA}$
V_{OH}	$V_{\text{CC}} - 1.5 \text{ V}$			V	$4.5 \text{ V} < V_{\text{CC}} < 5.5 \text{ V}$, $I_{\text{SOURCE}} = 800 \mu\text{A}$
V_{OL}			0.4	V	$4.5 \text{ V} < V_{\text{CC}} < 5.5 \text{ V}$, $I_{\text{SINK}} = 3.2 \text{ mA}$

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表2.

Parameter	Rating
V_{CC}	-0.3 V to +6 V
All Other Inputs	-0.3 V to $V_{CC} + 0.3$ V
Input Current	
V_{CC}	20 mA
GND	20 mA
Digital Output Current	20 mA
Power Dissipation, N-8 (PDIP)	727 mW
θ_{JA} Thermal Impedance	135°C/W
Power Dissipation, R-8 (SOIC)	470 mW
θ_{JA} Thermal Impedance	110°C/W
Operating Temperature Range	
Industrial (Version A)	-40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
Storage Temperature Range	-65°C to +150°C
ESD Rating	>4.5 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

ピン配置およびピン機能説明

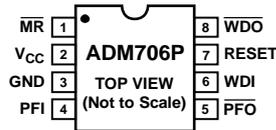


図3.ADM706P



図4.ADM706R/ ADM706S/ ADM706T

表3.ADM706P/ ADM706R/ ADM706S/ ADM706T のピン機能説明

ピン番号	記号	説明
1	$\overline{\text{MR}}$	マニュアル・リセット入力。この入力を 0.6 V より低くすると、 $\overline{\text{RESET}}/\overline{\text{RESET}}$ が発生します。 $\overline{\text{MR}}$ には内部にバウンス除去回路があるため、TTL ロジック、CMOS ロジック、またはマニュアル・リセット・スイッチから駆動することができます。フローティング時は内部の 70 μA プルアップ電流により入力がハイ・レベルに保持されます。
2	V_{CC}	電源入力。
3	GND	グラウンド。全信号のグラウンド基準(0 V)。
4	PFI	電源故障入力。PFI は、電源故障検出コンパレータへの非反転入力です。PFI を 1.25 V より低くすると、 $\overline{\text{PFO}}$ がロー・レベルになります。PFI を使用しない場合は GND に接続する必要があります。
5	$\overline{\text{PFO}}$	電源故障出力です。 $\overline{\text{PFO}}$ は電源故障検出コンパレータからの出力です。PFI を 1.25 V より低くすると、 $\overline{\text{PFO}}$ がロー・レベルになります。
6	WDI	ウォッチドッグ入力。ウォッチドッグ・タイムアウト周期より長い時間 WDI がハイ・レベルまたはロー・レベルを維持すると、ウォッチドッグ出力 $\overline{\text{WDO}}$ がロー・レベルになります。WDI 入力に変化するごとに、このタイマがリセットされます。ハイからローへの変化、またはローからハイへの変化によりカウンタがクリアされます。リセットがアサートされると、内部タイマもクリアされます。
7 (ADM706R/ADM706S/ADM706T の場合)	$\overline{\text{RESET}}$	ロジック出力。トリガーされると、 $\overline{\text{RESET}}$ 出力は 200 ms 間ロー・レベルになります。 V_{CC} がリセット・スレッシュホールドより低くなるか、または $\overline{\text{MR}}$ 入力にロー・レベルが入力されると、 $\overline{\text{RESET}}$ がトリガーされます。 V_{CC} がリセット・スレッシュホールドを下回るとともに、 $\overline{\text{RESET}}$ はロー・レベルを維持します。 V_{CC} がリセット・スレッシュホールドを上回るか、または $\overline{\text{MR}}$ がロー・レベルからハイ・レベルに変化した後、 $\overline{\text{RESET}}$ は 200 ms 間ロー・レベルを維持します。 $\overline{\text{WDO}}$ が $\overline{\text{MR}}$ に接続されていないかぎり、ウォッチドッグのタイムアウトにより $\overline{\text{RESET}}$ がトリガーされることはありません。
7 (ADM706P の場合)	RESET	ロジック出力。RESET はアクティブ・ハイ出力であるため、アクティブ・ハイのリセット・ロジックを使用するシステムに適しています。この信号は $\overline{\text{RESET}}$ の反転信号です。
8	$\overline{\text{WDO}}$	ウォッチドッグ出力。内部ウォッチドッグ・タイマのタイムアウト周期より長い時間 WDI に変化がないと、 $\overline{\text{WDO}}$ がロー・レベルになります。ウォッチドッグ・タイマがクリアされるまで、この信号はロー・レベルを維持します。 $\overline{\text{WDO}}$ はラインのロー状態でもロー・レベルになります。 V_{CC} がリセット・スレッシュホールドを下回ったときにも、 $\overline{\text{WDO}}$ はロー・レベルを維持します。 V_{CC} がリセット・スレッシュホールドを超えると、 $\overline{\text{WDO}}$ は直ちにハイ・レベルになります。

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

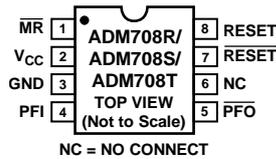


図5.ADM708R/ ADM708S/ ADM708T

表4.ADM708R/ ADM708S/ ADM708T のピン機能説明

ピン番号	記号	説明
1	$\overline{\text{MR}}$	マニュアル・リセット入力。この入力を 0.6 V より低くすると、 $\overline{\text{RESET}}/\overline{\text{RESET}}$ が発生します。 $\overline{\text{MR}}$ には内部にパワンス除去回路があるため、TTL ロジック、CMOS ロジック、またはマニュアル・リセット・スイッチから駆動することができます。フローティング時は内部の 70 μA プルアップ電流により入力がハイ・レベルに保持されます。
2	V_{CC}	電源入力。
3	GND	グラウンド。全信号のグラウンド基準(0 V)。
4	PFI	電源故障入力。PFI は、電源故障検出コンパレータへの非反転入力です。PFI を 1.25 V より低くすると、 $\overline{\text{PFO}}$ がロー・レベルになります。PFI を使用しない場合 GND に接続する必要があります。
5	$\overline{\text{PFO}}$	電源故障出力です。 $\overline{\text{PFO}}$ は電源故障検出コンパレータからの出力です。PFI を 1.25 V より低くすると、 $\overline{\text{PFO}}$ はロー・レベルになります。
6	NC	未接続。
7	$\overline{\text{RESET}}$	ロジック出力。トリガーされると、 $\overline{\text{RESET}}$ 出力は 200 ms 間ロー・レベルになります。 V_{CC} がリセット・スレッシュホールドより低くなるか、または $\overline{\text{MR}}$ 入力がロー・レベルが入力されると、 $\overline{\text{RESET}}$ がトリガーされます。 V_{CC} がリセット・スレッシュホールドを下回るごとに、 $\overline{\text{RESET}}$ はロー・レベルを維持します。 V_{CC} がリセット・スレッシュホールドを上回るか、または $\overline{\text{MR}}$ がロー・レベルからハイ・レベルに変化した後、 $\overline{\text{RESET}}$ は 200 ms 間ロー・レベルを維持します。 $\overline{\text{WDO}}$ が $\overline{\text{MR}}$ に接続されていないかぎり、ウォッチドッグのタイムアウトにより $\overline{\text{RESET}}$ がトリガーされることはありません。
8	RESET	ロジック出力。RESET はアクティブ・ハイ出力であるため、アクティブ・ハイのリセット・ロジックを使用するシステムに適しています。この信号は $\overline{\text{RESET}}$ の反転信号です。

代表的な性能特性

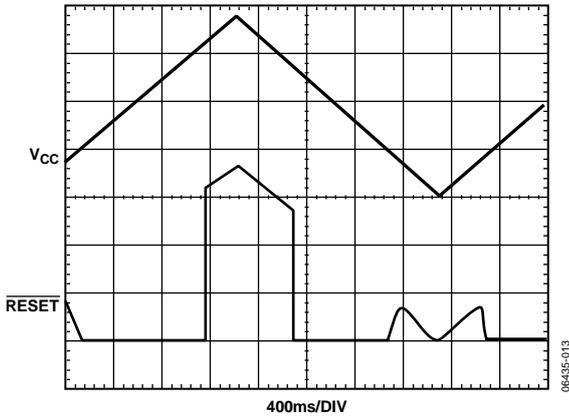


図6.ADM70xR/ ADM70xS/ ADM70xT
RESET出力電圧対電源電圧

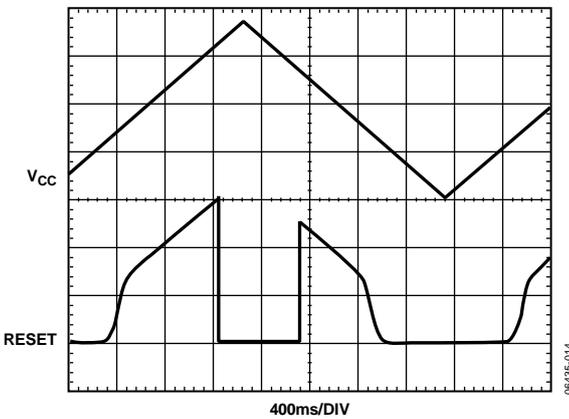


図7.RESET 出力電圧対電源電圧

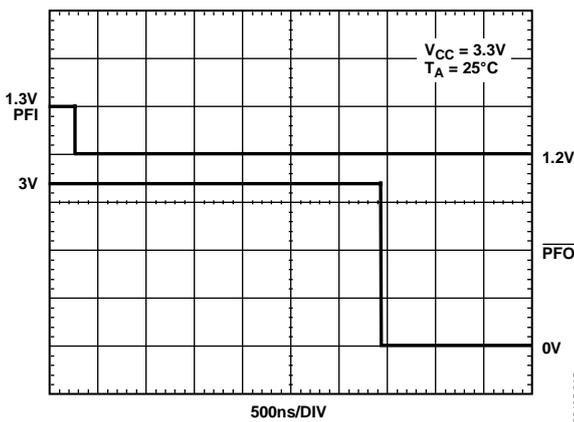


図8.PFI アサーション時の応答時間

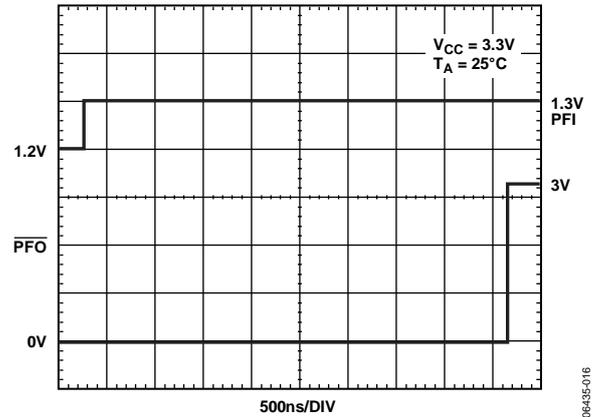


図9.PFI アサーション解除時の応答時間

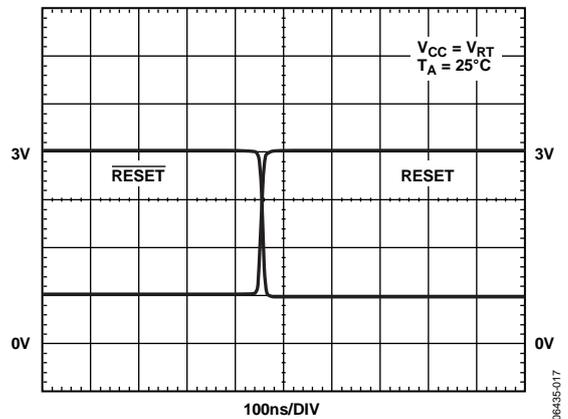


図10. $\overline{\text{RESET}}$ 、RESET のアサーション

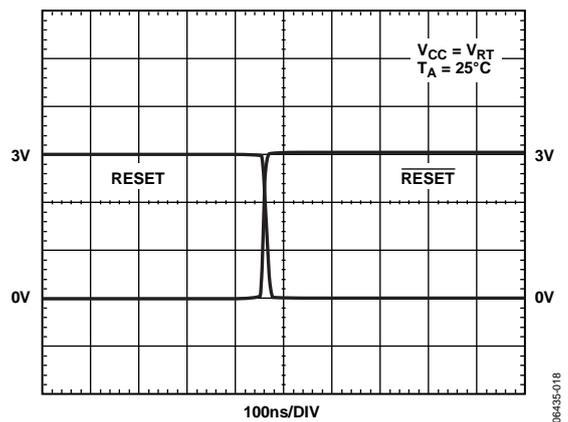


図11. $\overline{\text{RESET}}$ 、RESET のアサーション解除

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

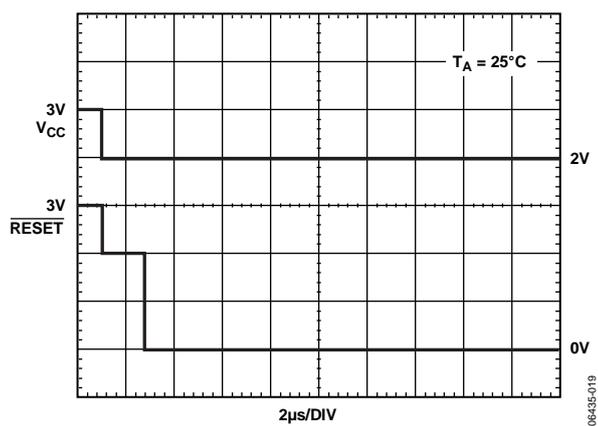


図12.ADM70xR/ ADM70xS/ ADM70xT $\overline{\text{RESET}}$ の応答時間

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

回路説明

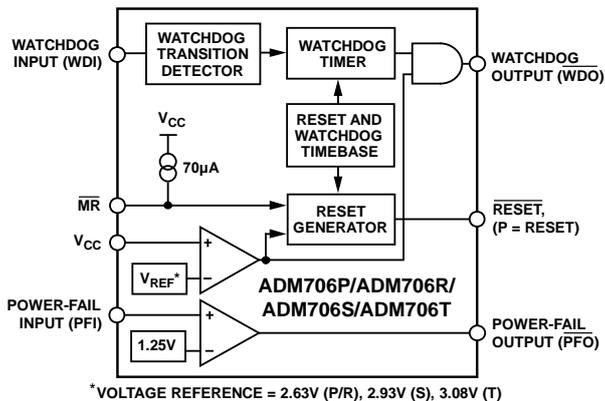


図13.ADM706の機能ブロック図

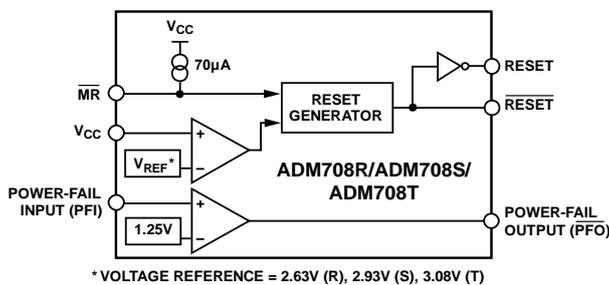


図14.ADM708の機能ブロック図

電源故障リセット

V_{CC} 入力のリセット・スレッショルドを下回ると、リセット出力からマイクロプロセッサへリセット信号(RESET または $\overline{\text{RESET}}$)が出力されます。実際のリセット・スレッショルド電圧は、使用するデバイスの P、R、S、T サブフィックスによって決まります。 V_{CC} 電圧がスレッショルドを超えてから 200 ms 間、内部タイマによりリセット出力がアクティブに維持されます。これは、マイクロプロセッサ用のパワーオン・リセット信号として使用することを念頭においています。電源とマイクロプロセッサがパワーアップ後に安定する時間を確保します。停電または電源が中断すると、リセット・ラインも同様にアクティブになり、電源が復旧した後 200 ms 間アクティブを維持します。アクティブ・リセット期間中にさらに電源の中断が発生すると、リセット・タイムアウト周期がさらに 200 ms 間続きます。

1 V と低い V_{CC} 電圧までリセット出力の有効が保証されています。これにより、電源がスタートアップするとき、マイクロプロセッサは確実にシャットダウン状態におかれます。

ADM706P はアクティブ・ハイの RESET 信号を、ADM706R/ADM706S/ADM706T はアクティブ・ローの $\overline{\text{RESET}}$ 信号を、ADM708R/ADM706S/ADM706T は RESET と $\overline{\text{RESET}}$ の両方を、それぞれ出力します。

マニュアル・リセット

MR 入力を使うと、マニュアル・リセット・スイッチに似たプロセッサ・リセットを発生するリセット・ソースが可能になります。入力では、200 ms (typ) のタイムアウト周期によりバウンスが除去されます。MR 入力は TTL/CMOS 互換であるため、すべてのロジック・リセット出力から駆動することができます。使用しない場合は、MR 入力をハイ・レベルに固定するかフローティングのままにしておくことができます。

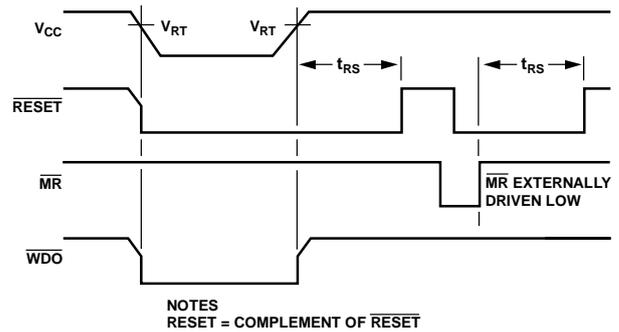


図15.RESET、 $\overline{\text{MR}}$ 、 $\overline{\text{WDO}}$ のタイミング

ウォッチドッグ・タイマ(ADM706x)

ウォッチドッグ・タイマ回路は、マイクロプロセッサが無ループに陥っていないことを確認するために使います。プロセッサの出力ラインを使ってウォッチドッグ入力(WDI)ラインをトグルさせます。タイムアウト周期(1.6 sec)より長い時間このラインがトグルされないと、ウォッチドッグ出力WDOがロー・レベルになります。WDO 出力は、プロセッサのマスク不能割り込み(NMI)に接続されます。このため、ウォッチドッグ・タイマがタイムアウトすると、割り込みが発生します。割り込みサービス・ルーチンを使って問題が処理されます。

WDI のハイ・レベルからロー・レベルへの変化またはロー・レベルからハイ・レベルへの変化により、ウォッチドッグ・タイマがクリアされます。最小 50 ns までのパルスを検出することができます。RESET/ $\overline{\text{RESET}}$ がアクティブになったときにも、このタイマはクリアされます。このため、ウォッチドッグ・タイムアウト周期は、リセットが解除された後に開始されます。

V_{CC} がリセット・スレッショルドを下回ると、ウォッチドッグ・タイマのタイムアウトの有無に関係なく WDO はロー・レベルになります。通常、これにより割り込みが発生されますが、RESET/ $\overline{\text{RESET}}$ がアクティブになることにより上書きされます。

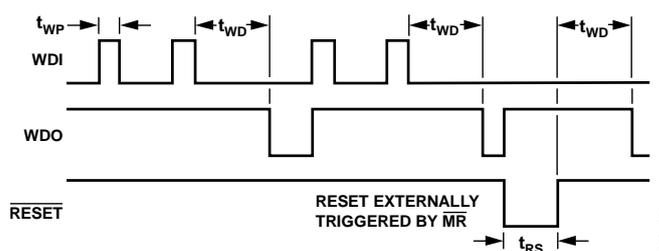


図16.ウォッチドッグのタイミング

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

電源故障検出コンパレータ

電源故障検出コンパレータは、入力電源のモニタに使える独立したコンパレータです。コンパレータの反転入力には、内部で 1.25 V のリファレンス電圧に接続されています。非反転入力には PFI 入力から得られます。この入力を使って、抵抗分圧器回路を介して入力電源をモニタします。PFI 入力の電圧が 1.25 V を下回ると、コンパレータ出力(PFO)がロー・レベルになって、電源故障を表示します。電源故障を早期に警告する場合は、コンパレータを使って、適切な抵抗分圧器回路を介してレギュレータ前の入力をモニタします。PFO 出力を使ってプロセッサへ割り込みを行って、電源が失われる前にシャットダウン手順が実行されるようにします。

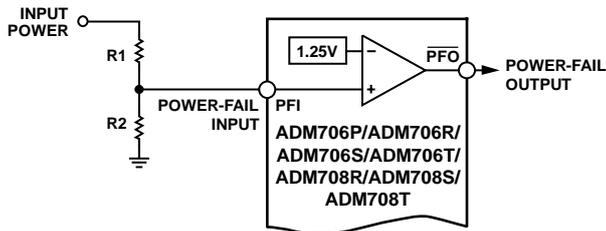


図17.電源故障検出コンパレータ

電源故障検出コンパレータへのヒステリシスの追加

ノイズ耐性を強化するため、ヒステリシスを電源故障検出コンパレータへ追加することができます。コンパレータ回路は非反転であるため、図 18 に示すように PFO 出力と PFI 入力との間に抵抗を接続するだけで、ヒステリシスを追加することができます。PFO がロー・レベルになると、PFI ピンの加算ノードから抵抗 R3 へ電流が流れます。PFO がハイ・レベルになると、電流が抵抗 R3 から PFI 加算ノードへ流れます。このため、コンパレータのトリップ・レベルに差が生じます。PFI と GND の間にコンデンサを接続すると、さらにノイズ耐性を強化することができます。

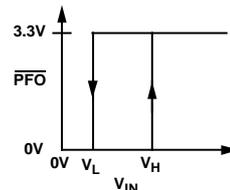
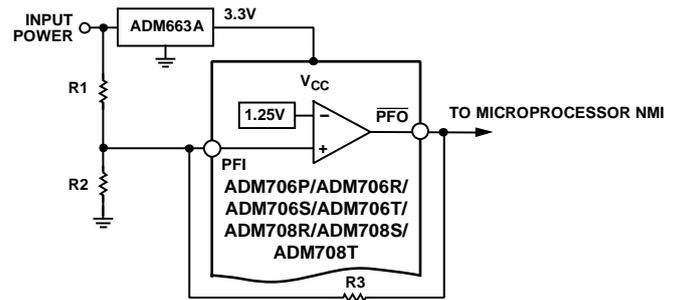


図18.電源故障検出コンパレータへのヒステリシスの追加

$$V_H = 1.25 \left[1 + \left(\frac{R_2 + R_3}{R_2 \times R_3} \right) R_1 \right]$$

$$V_L = 1.25 + R_1 \left(\frac{1.25}{R_2} - \frac{V_{CC} - 1.25}{R_3} \right)$$

$$V_{MID} = 1.25 \left(\frac{R_1 + R_2}{R_2} \right)$$

1 V 以下の V_{CC} でも有効な RESET

ADM706R/ADM706S/ADM706T と ADM708R/ADM708S/ADM708T の有効なリセット・レベルは、1 V と低い V_{CC} まで保証されています。代表的な性能特性のセクションを参照してください。V_{CC} が 1 V を下回ると、内部トランジスタは十分なオン駆動能力を持ってなくなるため、RESET の電圧を 0 V に維持できなくなります。図 19 に示すように、必要に応じてプルダウン抵抗を外付けして、ラインをロー・レベルに維持することができます。

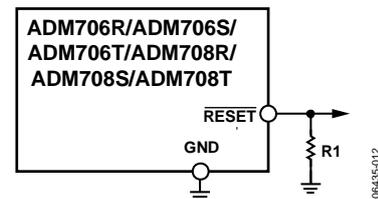


図19. 1 V 以下でも有効な RESET

アプリケーション情報

代表的動作回路を図 20 に示します。安定化していない DC 入力電源を、抵抗分圧器回路を介して PFI 入力を使ってモニタしています。電源電圧が所定レベル(たとえば、5 V)を下回ると、PFI の電圧が 1.25 V スレッシュホールドを下回るように抵抗 R1 と抵抗 R2 を選択します。これにより、マイクロプロセッサへの割り込みを発生させます。レギュレータ前の入力をモニタすると、電源が失われる前にシャットダウン手順を実行する時間を増やすことができます。

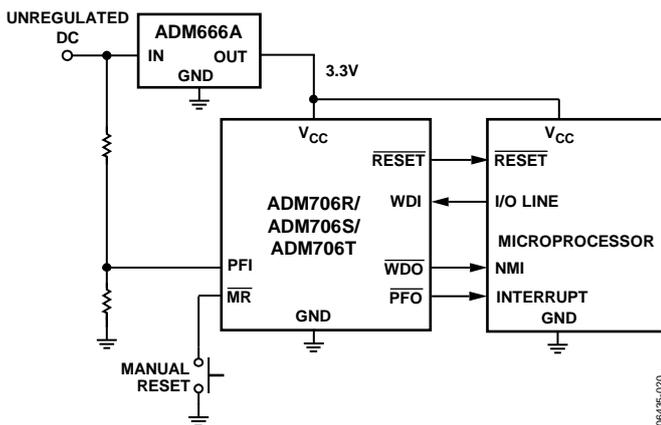


図20. 代表的なアプリケーション回路

WDI 入力を使うと、マイクロプロセッサの動作をモニタすることができます。この信号をプロセッサからの出力ラインを使って駆動します。ソフトウェア・ルーチンからこのラインを少なくとも 1.6 sec ごとにトグルさせます。問題が発生してこのラインがトグルされなくなると、 $\overline{\text{WDO}}$ がロー・レベルになってマスク不能割り込みが発生されます。この割り込みルーチンは、問題の解決にも使われます。

WDI ラインに変化がなく、システム・リセットが必要な場合には、図 21 のように $\overline{\text{WDO}}$ 出力が入力に接続されます。

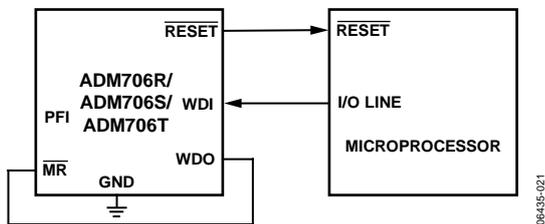


図21. WDO からの $\overline{\text{RESET}}$

その他の電源レベルのモニタ

図 22 に示すように、電源故障検出コンパレータを使って 2 つ目の電源をモニタすることができます。PFI の電圧が最小許容入力電源 1.25 V を下回るように、2 本の検出抵抗 R1 と R2 を選択します。電源が偏差外に低下したときリセットが発生するように、 $\overline{\text{PFO}}$ 出力を $\overline{\text{MR}}$ 入力へ接続することができます。この場合、いずれかの電源が偏差外に低下すると、リセットが発生します。

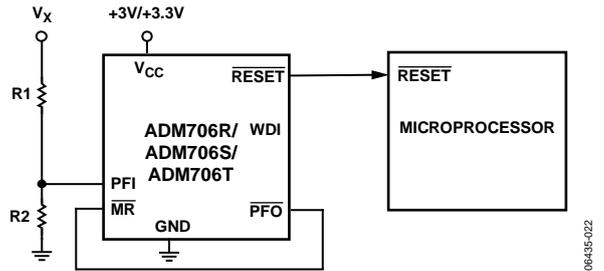


図22.3 V/ 3.3 V とその他の電源 V_x のモニタ

双方向 $\overline{\text{RESET}}$ を持つマイクロプロセッサ

双方向リセット・ラインを持つマイクロプロセッサでの輻輳を防止するため、ADM706R/ADM706S/ADM706T および ADM708R/ADM708S/ADM708T の $\overline{\text{RESET}}$ 出力ピンと、マイクロプロセッサ・リセット・ピンとの間に電流制限抵抗が使用されます。この抵抗により、出力リセット・レベルの間に競合が発生しても、電流が安全なレベルに制限されます。適切な抵抗値は 4.7 k Ω です。リセット出力が他の用途に必要な場合は、バッファの使用が必要です(図 23 参照)。

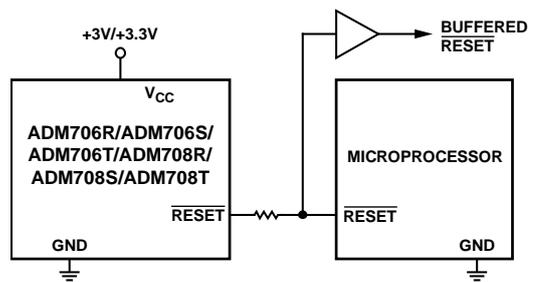
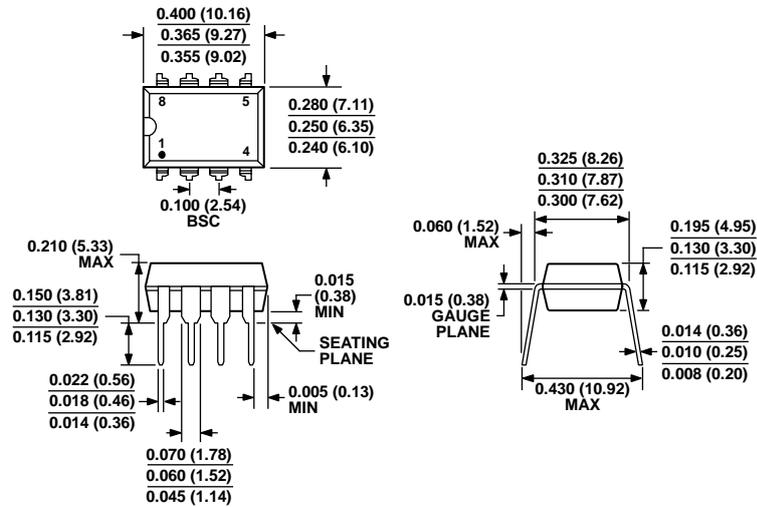


図23. 双方向(入力/出力)の $\overline{\text{RESET}}$

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

外形寸法

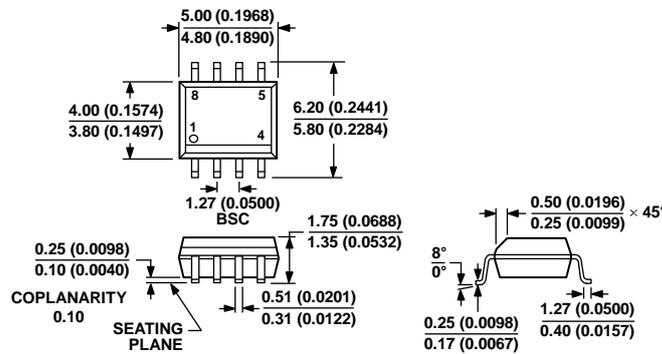


COMPLIANT TO JEDEC STANDARDS MS-001

CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN. CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

070606F-A

図24.8 ピン・プラスチック・デュアルインライン・パッケージ[PDIP]
小型ボディ
(N-8)
寸法:インチ(mm)



COMPLIANT TO JEDEC STANDARDS MS-012-AA

CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図25.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロー・ボディ
(R-8)
寸法: mm (インチ)

ADM706P/ADM706R/ADM706S/ADM706T, ADM708R/ADM708S/ADM708T

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADM706PAN	-40°C to +85°C	8-Lead PDIP	N-8
ADM706PANZ ¹	-40°C to +85°C	8-Lead PDIP	N-8
ADM706PAR	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706PAR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706PARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706PARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706RAN	-40°C to +85°C	8-Lead PDIP	N-8
ADM706RANZ ¹	-40°C to +85°C	8-Lead PDIP	N-8
ADM706RAR	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706RAR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706RAR-REEL ⁷	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706RARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706RARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706RARZ-REEL ⁷ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706SAN	-40°C to +85°C	8-Lead PDIP	N-8
ADM706SANZ ¹	-40°C to +85°C	8-Lead PDIP	N-8
ADM706SAR	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706SAR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706SARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706SARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706TAN	-40°C to +85°C	8-Lead PDIP	N-8
ADM706TANZ ¹	-40°C to +85°C	8-Lead PDIP	N-8
ADM706TAR	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706TAR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706TARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM706TARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708RAN	-40°C to +85°C	8-Lead PDIP	N-8
ADM708RANZ ¹	-40°C to +85°C	8-Lead PDIP	N-8
ADM708RAR	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708RAR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708RARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708RARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708SAN	-40°C to +85°C	8-Lead PDIP	N-8
ADM708SANZ ¹	-40°C to +85°C	8-Lead PDIP	N-8
ADM708SAR	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708SAR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708SARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708SARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708TAN	-40°C to +85°C	8-Lead PDIP	N-8
ADM708TANZ ¹	-40°C to +85°C	8-Lead PDIP	N-8
ADM708TAR	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708TAR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708TARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8
ADM708TARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8

¹Z = RoHS 準拠製品

D06435-0-5/08(C)-J