

## ADuM3200/ADuM3201

### 特長

IEC 61000-4-xに準拠してシステム・レベル ESD 性能を強化

RoHS 準拠のナロー・ボディ 8 ピン SOIC を採用

低消費電力動作

5 V 動作

0 Mbps~2 Mbps でチャンネルあたり最大 1.6 mA

10 Mbps でチャンネルあたり最大 3.7 mA

25 Mbps でチャンネルあたり最大 7.5 mA

3 V 動作

0 Mbps~2 Mbps でチャンネルあたり最大 1.4 mA

10 Mbps でチャンネルあたり最大 2.4 mA

25 Mbps でチャンネルあたり最大 4.6 mA

双方向通信

3 V/5 V のレベル変換

高温動作: 105°C

高いデータ・レート: DC~25 Mbps (NRZ)

高精度なタイミング特性

最大パルス幅歪み: 3 ns

最大チャンネル間マッチング: 3 ns

コモン・モード・トランジェント耐性: 25 kV/μs 以上

安全性規制の認定

UL 認定: 2,500 V rms 1 分間の UL 1577 規格

CSA Component Acceptance Notice #5A に準拠

VDE の適合性認定済み

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12

$V_{ORM} = 560 \text{ V peak}$

### アプリケーション

サイズに厳しいマルチチャンネル・アイソレーション

SPI インターフェース/データ・コンバータのアイソレーション

RS-232/RS-422/RS-485 トランシーバのアイソレーション

フィールド・バスのデジタル・アイソレーション

### 概要

ADuM320x<sup>1</sup> は、アナログ・デバイス社の iCoupler<sup>®</sup> 技術を採用した 2 チャンネルのデジタル・アイソレータです。これらのアイソレーション・デバイスは高速 CMOS 技術と空気コアを使ったモノリシック・トランス技術の組み合わせにより、フォトカプラ・デバイスなどの置換品より優れた性能特性を提供します。

iCoupler デバイスは LED とフォトダイオードを使用することなく、一般にフォトカプラに起因して生ずるデザインの難しさを解消します。一般的なフォトカプラは、不確かな電流変換比すなわち伝達関数が非線形である問題を持っていますが、温度と寿命の影響はシンプルな iCoupler デジタル・インターフェースと安定な性能特性により除去されます。これらの iCoupler 製品を使うと、外付けのドライバやその他のディスクリット部品が不要になります。さらに、iCoupler デバイスは同等の信号データ・レートで動作した場合、フォトカプラの消費電力の 1/10~1/6 で動作します。

ADuM320x アイソレータは、2 チャンネルの独立なアイソレーション・チャンネルをさまざまなチャンネル構成とデータ・レートで提供します(オーダー・ガイド参照)。両デバイスは、両側とも 2.7 V~5.5 V の範囲の電源電圧で動作するため、低い電圧のシステムと互換性を持ち、さらに絶縁障壁に跨がる電圧変換も可能です。ADuM320x アイソレータは、入力ロジックに変化がない場合およびパワーアップ/パワーダウン時に DC を正確に維持する特許取得済みのリフレッシュ機能を持っています。

ADuM120x アイソレータと比較すると、ADuM320x アイソレータではシステム・レベルの IEC 61000-4-x テスト (ESD、バースト、サージ)に関する機能を強化する種々の回路が追加され、レイアウト変更が行われています。ADuM120x 製品または ADuM320x 製品のこれらのテストに対する実際の耐性は、ユーザーのボードまたはモジュールのデザインとレイアウトに強く依存します。詳細については、[アプリケーション・ノート AN-793「ESD/Latch-Up Considerations with iCoupler Isolation Products」](#)をご覧ください。

<sup>1</sup> 米国特許 5,952,849; 6,873,065; 7,075,329 とその他の申請中の特許により保護されています。

### 機能ブロック図

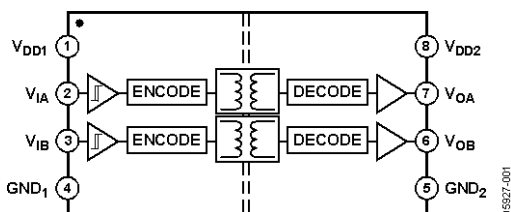


図 1.ADuM3200 の機能ブロック図

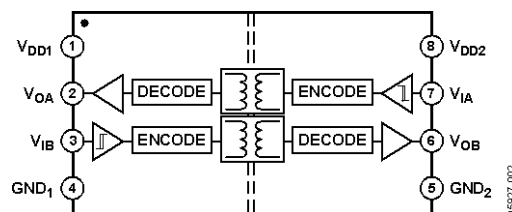


図 2.ADuM3201 の機能ブロック図

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2006-2007 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪 MT ビル 2 号  
電話 06 (6350) 6868

## 目次

特長.....	1	絶対最大定格.....	12
アプリケーション.....	1	ESD の注意.....	12
概要.....	1	ピン配置およびピン機能説明.....	13
機能ブロック図.....	1	代表的な性能特性.....	14
改訂履歴.....	2	アプリケーション情報.....	15
仕様.....	3	PC ボードのレイアウト.....	15
電気的特性—5 V 動作.....	3	システム・レベル ESD の考慮事項と強化.....	15
電気的特性—3 V 動作.....	5	伝搬遅延に関するパラメータ.....	15
電気的仕様—5 V/3 V ミックスまたは 3 V/5 V 動作.....	7	DC 精度と磁界耐性.....	15
パッケージ特性.....	10	消費電力.....	16
適用規格.....	10	絶縁寿命.....	17
絶縁および安全性関連の仕様.....	10	外形寸法.....	18
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	11	オーダー・ガイド.....	18
推奨動作条件.....	11		

## 改訂履歴

6/07—Rev. 0 to Rev. A

Updated VDE Certification Throughout.....	1
Changes to Features, General Description, and Note 1.....	1
Changes to Regulatory Information Section.....	10
Changes to DIN V VDE V 0884-10 (VDE V 0884-10) Insulation Characteristics Section.....	11
Added Table 10.....	12
Added Insulation Lifetime Section.....	17

7/06—Revision 0: Initial Version

## 仕様

## 電気的特性—5 V 動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定のない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に適用。すべてのtyp仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{ V}$ での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>DC SPECIFICATIONS</b>						
Input Supply Current, per Channel, Quiescent	$I_{DD1(Q)}$		0.4	0.8	mA	
Output Supply Current, per Channel, Quiescent	$I_{DDO(Q)}$		0.5	0.6	mA	
ADuM3200, Total Supply Current, Two Channels <sup>1</sup>						
DC to 2 Mbps						
$V_{DD1}$ Supply Current	$I_{DD1(Q)}$		1.3	1.7	mA	DC to 1 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(Q)}$		1.0	1.6	mA	DC to 1 MHz logic signal freq.
10 Mbps (BR and CR Grades Only)						
$V_{DD1}$ Supply Current	$I_{DD1(10)}$		3.5	4.6	mA	5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(10)}$		1.7	2.8	mA	5 MHz logic signal freq.
25 Mbps (CR Grade Only)						
$V_{DD1}$ Supply Current	$I_{DD1(25)}$		7.7	10.0	mA	12.5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(25)}$		3.1	3.9	mA	12.5 MHz logic signal freq.
ADuM3201, Total Supply Current, Two Channels <sup>1</sup>						
DC to 2 Mbps						
$V_{DD1}$ Supply Current	$I_{DD1(Q)}$		1.1	1.5	mA	DC to 1 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(Q)}$		1.3	1.8	mA	DC to 1 MHz logic signal freq.
10 Mbps (BR and CR Grades Only)						
$V_{DD1}$ Supply Current	$I_{DD1(10)}$		2.6	3.4	mA	5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(10)}$		3.1	4.0	mA	5 MHz logic signal freq.
25 Mbps (CR Grade Only)						
$V_{DD1}$ Supply Current	$I_{DD1(25)}$		5.3	6.8	mA	12.5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(25)}$		6.4	8.3	mA	12.5 MHz logic signal freq.
For All Models						
Input Currents	$I_{IA}, I_{IB}$	-10	+0.01	+10	$\mu\text{A}$	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$ or $V_{DD2}$
Logic High Input Threshold	$V_{IH}$	0.7 ( $V_{DD1}$ or $V_{DD2}$ )			V	
Logic Low Input Threshold	$V_{IL}$			0.3 ( $V_{DD1}$ or $V_{DD2}$ )	V	
Logic High Output Voltages	$V_{OAH}$	$(V_{DD1}$ or $V_{DD2}) - 0.1$	5.0		V	$I_{Ox} = -20\ \mu\text{A}$ , $V_{Ix} = V_{IxH}$
	$V_{OBH}$	$(V_{DD1}$ or $V_{DD2}) - 0.5$	4.8		V	$I_{Ox} = -4\ \text{mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}$		0.0	0.1	V	$I_{Ox} = 20\ \mu\text{A}$ , $V_{Ix} = V_{IxL}$
	$V_{OBL}$		0.04	0.1	V	$I_{Ox} = 400\ \mu\text{A}$ , $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\ \text{mA}$ , $V_{Ix} = V_{IxL}$
<b>SWITCHING SPECIFICATIONS</b>						
ADuM320xAR						
Minimum Pulse Width <sup>2</sup>	PW			1000	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Maximum Data Rate <sup>3</sup>		1			Mbps	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay <sup>4</sup>	$t_{PHL}, t_{PLH}$	20		150	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} ^4$	PWD			40	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			100	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Channel-to-Channel Matching <sup>6</sup>	$t_{PSKCD/OD}$			50	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Output Rise/Fall Time (10% to 90%)	$t_R/t_F$		10		ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
ADuM320xBR						
Minimum Pulse Width <sup>2</sup>	PW			100	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Maximum Data Rate <sup>3</sup>		10			Mbps	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay <sup>4</sup>	$t_{PHL}, t_{PLH}$	20		50	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Pulse Width Distortion, $ t_{PLH} - t_{PHL} ^4$	PWD			3	ns	$C_L = 15$ pF, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15$ pF, CMOS signal levels
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			15	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels <sup>6</sup>	$t_{PSKCD}$			3	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels <sup>6</sup>	$t_{PSKOD}$			15	ns	$C_L = 15$ pF, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	$t_R/t_F$		2.5		ns	$C_L = 15$ pF, CMOS signal levels
ADuM320xCR						
Minimum Pulse Width <sup>2</sup>	PW		20	40	ns	$C_L = 15$ pF, CMOS signal levels
Maximum Data Rate <sup>3</sup>		25	50		Mbps	$C_L = 15$ pF, CMOS signal levels
Propagation Delay <sup>4</sup>	$t_{PHL}, t_{PLH}$	20		45	ns	$C_L = 15$ pF, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} ^4$	PWD			3	ns	$C_L = 15$ pF, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15$ pF, CMOS signal levels
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			15	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels <sup>6</sup>	$t_{PSKCD}$			3	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels <sup>6</sup>	$t_{PSKOD}$			15	ns	$C_L = 15$ pF, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	$t_R/t_F$		2.5		ns	$C_L = 15$ pF, CMOS signal levels
For All Models						
Common-Mode Transient Immunity at Logic High Output <sup>7</sup>	$ CM_H $	25	35		kV/μs	$V_{IX} = V_{DD1}$ or $V_{DD2}$ , $V_{CM} = 1000$ V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output <sup>7</sup>	$ CM_L $	25	35		kV/μs	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V
Refresh Rate	$f_r$		1.2		Mbps	
Input Dynamic Supply Current, per Channel <sup>8</sup>	$I_{DD1(D)}$		0.19		mA/Mbps	
Output Dynamic Supply Current, per Channel <sup>8</sup>	$I_{DD0(D)}$		0.05		mA/Mbps	

<sup>1</sup> 電源電流値は、同一データ・レートで動作する両チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータ・レートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータ・レートの関数としてのチャンネル当たりの電源電流については、図6～図8を参照してください。ADuM3200とADuM3201のチャンネル構成に対するデータ・レートの関数としての  $I_{DD1}$  と  $I_{DD2}$  の合計電源電流については、図9～図11を参照してください。

<sup>2</sup> 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

<sup>3</sup> 最大データ・レートは、規定のパルス幅歪みが保証される最高速のデータ・レートです。

<sup>4</sup> 伝搬遅延  $t_{PHL}$  は、 $V_{IX}$  信号の立ち下がりエッジの50%レベルから  $V_{OX}$  信号の立ち下がりエッジの50%レベルまでを測定した値です。伝搬遅延  $t_{PLH}$  は、 $V_{IX}$  信号の立ち上がりエッジの50%レベルから  $V_{OX}$  信号の立ち上がりエッジの50%レベルまでを測定した値です。

<sup>5</sup>  $t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワースト・ケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

<sup>6</sup> 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

<sup>7</sup>  $CM_H$  は、 $V_O > 0.8 V_{DD2}$  を維持している間に維持できるコモン・モード電圧の最大スルーレートです。 $CM_L$  は  $V_O < 0.8$  V を維持している間に維持できるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、コモン・モード電圧の立ち上がりと立ち下りの両エッジに適用されます。過渡電圧振幅は、コモン・モードの平衡が失われる範囲を表します。

<sup>8</sup> ダイナミック電源電流は、信号データ・レートを1Mbps増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図6～図8を参照してください。与えられたデータ・レートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

## 電气的特性—3 V 動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定のない限り、 $2.7\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $2.7\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 。すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 3.0\text{ V}$  での値です。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>DC SPECIFICATIONS</b>						
Input Supply Current, per Channel, Quiescent	$I_{DD1(Q)}$		0.3	0.5	mA	
Output Supply Current, per Channel, Quiescent	$I_{DDO(Q)}$		0.3	0.5	mA	
ADuM3200, Total Supply Current, Two Channels <sup>1</sup>						
DC to 2 Mbps						
$V_{DD1}$ Supply Current	$I_{DD1(Q)}$		0.8	1.3	mA	DC to 1 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(Q)}$		0.7	1.0	mA	DC to 1 MHz logic signal freq.
10 Mbps (BR and CR Grades Only)						
$V_{DD1}$ Supply Current	$I_{DD1(10)}$		2.0	3.2	mA	5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(10)}$		1.1	1.7	mA	5 MHz logic signal freq.
25 Mbps (CR Grade Only)						
$V_{DD1}$ Supply Current	$I_{DD1(25)}$		4.3	6.4	mA	12.5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(25)}$		1.8	2.4	mA	12.5 MHz logic signal freq.
ADuM3201, Total Supply Current, Two Channels <sup>1</sup>						
DC to 2 Mbps						
$V_{DD1}$ Supply Current	$I_{DD1(Q)}$		0.7	1.3	mA	DC to 1 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(Q)}$		0.8	1.6	mA	DC to 1 MHz logic signal freq.
10 Mbps (BR and CR Grades Only)						
$V_{DD1}$ Supply Current	$I_{DD1(10)}$		1.5	2.1	mA	5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(10)}$		1.9	2.4	mA	5 MHz logic signal freq.
25 Mbps (CR Grade Only)						
$V_{DD1}$ Supply Current	$I_{DD1(25)}$		3.0	4.2	mA	12.5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(25)}$		3.6	5.1	mA	12.5 MHz logic signal freq.
For All Models						
Input Currents	$I_{IA}, I_{IB}$	-10	+0.01	+10	$\mu\text{A}$	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$ or $V_{DD2}$
Logic High Input Threshold	$V_{IH}$	0.7 ( $V_{DD1}$ or $V_{DD2}$ )			V	
Logic Low Input Threshold	$V_{IL}$			0.3 ( $V_{DD1}$ or $V_{DD2}$ )	V	
Logic High Output Voltages	$V_{OAH}$	$(V_{DD1}$ or $V_{DD2}) - 0.1$	3.0		V	$I_{Ox} = -20\ \mu\text{A}$ , $V_{Ix} = V_{IxH}$
	$V_{OBH}$	$(V_{DD1}$ or $V_{DD2}) - 0.5$	2.8		V	$I_{Ox} = -4\ \text{mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}$		0.0	0.1	V	$I_{Ox} = 20\ \mu\text{A}$ , $V_{Ix} = V_{IxL}$
	$V_{OBL}$		0.04	0.1	V	$I_{Ox} = 400\ \mu\text{A}$ , $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\ \text{mA}$ , $V_{Ix} = V_{IxL}$
<b>SWITCHING SPECIFICATIONS</b>						
ADuM320xAR						
Minimum Pulse Width <sup>2</sup>	PW			1000	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Maximum Data Rate <sup>3</sup>		1			Mbps	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay <sup>4</sup>	$t_{PHL}, t_{PLH}$	20		150	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ <sup>4</sup>	PWD			40	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			100	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Channel-to-Channel Matching <sup>6</sup>	$t_{PSKCD/OD}$			50	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Output Rise/Fall Time (10% to 90%)	$t_R/t_F$		10		ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
ADuM320xBR						
Minimum Pulse Width <sup>2</sup>	PW			100	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Maximum Data Rate <sup>3</sup>		10			Mbps	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay <sup>4</sup>	$t_{PHL}, t_{PLH}$	20		60	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $ <sup>4</sup>	PWD			3	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Change vs. Temperature			5		ps/ $^\circ\text{C}$	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			22	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Channel-to-Channel Matching,	$t_{PSKCD}$			3	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Codirectional Channels <sup>6</sup>						
Channel-to-Channel Matching, Opposing Directional Channels <sup>6</sup>	t <sub>PSKOD</sub>			22	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t <sub>R</sub> /t <sub>F</sub>		3.0		ns	C <sub>L</sub> = 15 pF, CMOS signal levels
ADuM320xCR						
Minimum Pulse Width <sup>2</sup>	PW		20	40	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Maximum Data Rate <sup>3</sup>			50		Mbps	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay <sup>4</sup>	t <sub>PHL</sub> , t <sub>PLH</sub>	20		55	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Pulse Width Distortion,  t <sub>PLH</sub> - t <sub>PHL</sub>   <sup>4</sup>	PWD			3	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Change vs. Temperature			5		ps/°C	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Skew <sup>5</sup>	t <sub>PSK</sub>			16	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels <sup>6</sup>	t <sub>PSKCD</sub>			3	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels <sup>6</sup>	t <sub>PSKOD</sub>			16	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t <sub>R</sub> /t <sub>F</sub>		3.0		ns	C <sub>L</sub> = 15 pF, CMOS signal levels
For All Models						
Common-Mode Transient Immunity at Logic High Output <sup>7</sup>	CM <sub>H</sub>	25	35		kV/μs	V <sub>IK</sub> = V <sub>DD1</sub> or V <sub>DD2</sub> , V <sub>CM</sub> = 1000 V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output <sup>7</sup>	CM <sub>L</sub>	25	35		kV/μs	V <sub>IK</sub> = 0 V, V <sub>CM</sub> = 1000 V, transient magnitude = 800 V
Refresh Rate	f <sub>r</sub>		1.1		Mbps	
Input Dynamic Supply Current, per Channel <sup>8</sup>	I <sub>DD1 (D)</sub>		0.10		mA/Mbps	
Output Dynamic Supply Current, per Channel <sup>8</sup>	I <sub>DD0 (D)</sub>		0.03		mA/Mbps	

<sup>1</sup> 電源電流値は、同一データ・レートで動作する両チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータ・レートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータ・レートの関数としてのチャンネル当たりの電源電流については、図6～図8を参照してください。ADuM3200とADuM3201のチャンネル構成に対するデータ・レートの関数としてのV<sub>DD1</sub>とV<sub>DD2</sub>の合計電源電流については、図9～図11を参照してください。

<sup>2</sup> 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

<sup>3</sup> 最大データ・レートは、規定のパルス幅歪みが保証される最高速のデータ・レートです。

<sup>4</sup> 伝搬遅延 t<sub>PHL</sub>は、V<sub>IK</sub>信号の立ち下がりエッジの50%レベルからV<sub>Ox</sub>信号の立ち下がりエッジの50%レベルまでを測定した値です。伝搬遅延 t<sub>PLH</sub>は、V<sub>IK</sub>信号の立ち上がりエッジの50%レベルからV<sub>Ox</sub>信号の立ち上がりエッジの50%レベルまでを測定した値です。

<sup>5</sup> t<sub>PSK</sub>は、t<sub>PHL</sub>またはt<sub>PLH</sub>におけるワースト・ケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

<sup>6</sup> 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

<sup>7</sup> CM<sub>H</sub>は、V<sub>O</sub> > 0.8 V<sub>DD2</sub>を維持している間に維持できるコモン・モード電圧の最大スルーレートです。CM<sub>L</sub>はV<sub>O</sub> < 0.8 Vを維持している間に維持できるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、コモン・モード電圧の立ち上がりと立ち下がりの両エッジに適用されます。過渡電圧振幅は、コモン・モードの平衡が失われる範囲を表します。

<sup>8</sup> ダイナミック電源電流は、信号データ・レートを1 Mbps増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図6～図8を参照してください。与えられたデータ・レートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

## 電氣的仕様—5 V/3 V ミックスまたは 3 V/5 V 動作

すべての電圧はそれぞれのグラウンドを基準とします。5 V/3 V 動作:  $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $2.7\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 。3 V/5 V 動作:  $2.7\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 。特に指定のない限り、すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.0\text{ V}$ 、 $V_{DD2} = 5.0\text{ V}$  または  $V_{DD1} = 5.0\text{ V}$ 、 $V_{DD2} = 3.0\text{ V}$  での値。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>DC SPECIFICATIONS</b>						
Input Supply Current, per Channel, Quiescent	$I_{DD1(Q)}$					
5 V/3 V Operation			0.4	0.8	mA	
3 V/5 V Operation			0.3	0.5	mA	
Output Supply Current, per Channel, Quiescent	$I_{DD0(Q)}$					
5 V/3 V Operation			0.3	0.5	mA	
3 V/5 V Operation			0.5	0.6	mA	
<b>ADuM3200, Total Supply Current, Two Channels<sup>1</sup></b>						
DC to 2 Mbps						
$V_{DD1}$ Supply Current	$I_{DD1(Q)}$					
5 V/3 V Operation			1.3	1.7	mA	DC to 1 MHz logic signal freq.
3 V/5 V Operation			0.8	1.3	mA	DC to 1 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(Q)}$					
5 V/3 V Operation			0.7	1.0	mA	DC to 1 MHz logic signal freq.
3 V/5 V Operation			1.0	1.6	mA	DC to 1 MHz logic signal freq.
10 Mbps (BR and CR Grades Only)						
$V_{DD1}$ Supply Current	$I_{DD1(10)}$					
5 V/3 V Operation			3.5	4.6	mA	5 MHz logic signal freq.
3 V/5 V Operation			2.0	3.2	mA	5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(10)}$					
5 V/3 V Operation			1.1	1.7	mA	5 MHz logic signal freq.
3 V/5 V Operation			1.7	2.8	mA	5 MHz logic signal freq.
25 Mbps (CR Grade Only)						
$V_{DD1}$ Supply Current	$I_{DD1(25)}$					
5 V/3 V Operation			7.7	10.0	mA	12.5 MHz logic signal freq.
3 V/5 V Operation			4.3	6.4	mA	12.5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(25)}$					
5 V/3 V Operation			1.8	2.4	mA	12.5 MHz logic signal freq.
3 V/5 V Operation			3.1	3.9	mA	12.5 MHz logic signal freq.
<b>ADuM3201, Total Supply Current, Two Channels<sup>1</sup></b>						
DC to 2 Mbps						
$V_{DD1}$ Supply Current	$I_{DD1(Q)}$					
5 V/3 V Operation			1.1	1.5	mA	DC to 1 MHz logic signal freq.
3 V/5 V Operation			0.7	1.3	mA	DC to 1 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(Q)}$					
5 V/3 V Operation			0.8	1.6	mA	DC to 1 MHz logic signal freq.
3 V/5 V Operation			1.3	1.8	mA	DC to 1 MHz logic signal freq.
10 Mbps (BR and CR Grades Only)						
$V_{DD1}$ Supply Current	$I_{DD1(10)}$					
5 V/3 V Operation			2.6	3.4	mA	5 MHz logic signal freq.
3 V/5 V Operation			1.5	2.1	mA	5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(10)}$					
5 V/3 V Operation			1.9	2.4	mA	5 MHz logic signal freq.
3 V/5 V Operation			3.1	4.0	mA	5 MHz logic signal freq.
25 Mbps (CR Grade Only)						
$V_{DD1}$ Supply Current	$I_{DD1(25)}$					
5 V/3 V Operation			5.3	6.8	mA	12.5 MHz logic signal freq.
3 V/5 V Operation			3.0	4.2	mA	12.5 MHz logic signal freq.
$V_{DD2}$ Supply Current	$I_{DD2(25)}$					

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
5 V/3 V Operation			3.6	5.1	mA	12.5 MHz logic signal freq.
3 V/5 V Operation			6.4	8.3	mA	12.5 MHz logic signal freq.
<b>For All Models</b>						
Input Currents	$I_{IA}, I_{IB}$	-10	+0.01	+10	$\mu$ A	$0 V \leq V_{IA}, V_{IB} \leq V_{DD1}$ or $V_{DD2}$
Logic High Input Threshold	$V_{IH}$	0.7 ( $V_{DD1}$ or $V_{DD2}$ )			V	
Logic Low Input Threshold	$V_{IL}$			0.3 ( $V_{DD1}$ or $V_{DD2}$ )	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}$	$(V_{DD1}$ or $V_{DD2}) - 0.1$	$(V_{DD1}$ or $V_{DD2})$		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
		$(V_{DD1}$ or $V_{DD2}) - 0.5$	$(V_{DD1}$ or $V_{DD2}) - 0.2$		V	$I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}$		0.0	0.1	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
			0.04	0.1	V	$I_{Ox} = 400 \mu A, V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IxL}$
<b>SWITCHING SPECIFICATIONS</b>						
<b>ADuM320xAR</b>						
Minimum Pulse Width <sup>2</sup>	PW			1000	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Maximum Data Rate <sup>3</sup>		1			Mbps	$C_L = 15 \text{ pF}$ , CMOS signal levels
Propagation Delay <sup>4</sup>	$t_{PHL}, t_{PLH}$	15		150	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} ^4$	PWD			40	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			50	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Channel-to-Channel Matching <sup>6</sup>	$t_{PSKCD/OD}$			50	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Output Rise/Fall Time (10% to 90%)	$t_R/t_F$		10		ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
<b>ADuM320xBR</b>						
Minimum Pulse Width <sup>2</sup>	PW			100	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Maximum Data Rate <sup>3</sup>		10			Mbps	$C_L = 15 \text{ pF}$ , CMOS signal levels
Propagation Delay <sup>4</sup>	$t_{PHL}, t_{PLH}$	15		55	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} ^4$	PWD			3	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15 \text{ pF}$ , CMOS signal levels
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			22	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels <sup>6</sup>	$t_{PSKCD}$			3	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels <sup>6</sup>	$t_{PSKOD}$			22	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Output Rise/Fall Time (10% to 90%)	$t_R/t_F$					
5 V/3 V Operation			3.0		ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
3 V/5 V Operation			2.5		ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
<b>ADuM320xCR</b>						
Minimum Pulse Width <sup>2</sup>	PW		20	40	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Maximum Data Rate <sup>3</sup>		25	50		Mbps	$C_L = 15 \text{ pF}$ , CMOS signal levels
Propagation Delay <sup>4</sup>	$t_{PHL}, t_{PLH}$	20		50	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} ^4$	PWD			3	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15 \text{ pF}$ , CMOS signal levels
Propagation Delay Skew <sup>5</sup>	$t_{PSK}$			15	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels <sup>6</sup>	$t_{PSKCD}$			3	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels <sup>6</sup>	$t_{PSKOD}$			15	ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
Output Rise/Fall Time (10% to 90%)	$t_R/t_F$					
5 V/3 V Operation			3.0		ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
3 V/5 V Operation			2.5		ns	$C_L = 15 \text{ pF}$ , CMOS signal levels
<b>For All Models</b>						
Common-Mode Transient Immunity at Logic High Output <sup>7</sup>	$ CM_H $	25	35		kV/ $\mu$ s	$V_{Ix} = V_{DD1}$ or $V_{DD2}, V_{CM} = 1000 \text{ V}$ , transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output <sup>7</sup>	$ CM_L $	25	35		kV/ $\mu$ s	$V_{Ix} = 0 \text{ V}, V_{CM} = 1000 \text{ V}$ , transient magnitude = 800 V
Refresh Rate	$f_r$					
5 V/3 V Operation			1.2		Mbps	



Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
3 V/5 V Operation Input Dynamic Supply Current, per Channel <sup>8</sup>	I <sub>DDI</sub> (D)		1.1		Mbps	
5 V/3 V Operation 3 V/5 V Operation			0.19 0.10		mA/Mbps mA/Mbps	
Output Dynamic Supply Current, per Channel <sup>8</sup>	I <sub>DDO</sub> (D)					
5 V/3 V Operation 3 V/5 V Operation			0.03 0.05		mA/Mbps mA/Mbps	

<sup>1</sup> 電源電流値は、同一データ・レートで動作する両チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータ・レートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータ・レートの関数としてのチャンネル当たりの電源電流については、図 6～図 8 を参照してください。ADuM3200 と ADuM3201 のチャンネル構成に対するデータ・レートの関数としての VDD1 と VDD2 の合計電源電流については、図 9～図 11 を参照してください。

<sup>2</sup> 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

<sup>3</sup> 最大データ・レートは、規定のパルス幅歪みが保証される最高速のデータ・レートです。

<sup>4</sup> 伝搬遅延 t<sub>PHL</sub> は、VIx 信号の立ち下がりエッジの 50%レベルから VOx 信号の立ち下がりエッジの 50%レベルまでを測定した値です。伝搬遅延 t<sub>PLH</sub> は、VIx 信号の立ち上がりエッジの 50%レベルから VOx 信号の立ち上がりエッジの 50%レベルまでを測定した値です。

<sup>5</sup> t<sub>PSK</sub> は、t<sub>PHL</sub> または t<sub>PLH</sub> におけるワースト・ケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

<sup>6</sup> 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

<sup>7</sup> CM<sub>H</sub> は、V<sub>O</sub> > 0.8 V<sub>DD2</sub> を維持している間に維持できるコモン・モード電圧の最大スルーレートです。CM<sub>L</sub> は V<sub>O</sub> < 0.8 V を維持している間に維持できるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、コモン・モード電圧の立ち上がり立ち下がりの両エッジに適用されません。過渡電圧振幅は、コモン・モードの平衡が失われる範囲を表します。

<sup>8</sup> ダイナミック電源電流は、信号データ・レートを 1 Mbps 増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図 6～図 8 を参照してください。与えられたデータ・レートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

## パッケージ特性

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input to Output) <sup>1</sup>	R <sub>I-O</sub>		10 <sup>12</sup>		Ω	f = 1 MHz  Thermocouple located at center of package underside
Capacitance (Input to Output) <sup>1</sup>	C <sub>I-O</sub>		1.0		pF	
Input Capacitance	C <sub>I</sub>		4.0		pF	
IC Junction-to-Case Thermal Resistance, Side 1	θ <sub>JCI</sub>		46		°C/W	
IC Junction-to-Case Thermal Resistance, Side 2	θ <sub>JCO</sub>		41		°C/W	

<sup>1</sup> デバイスは 2 端子デバイスと見なします。すなわち、ピン 1~ピン 4 を相互に接続し、ピン 5~ピン 8 を相互に接続します。

## 適用規格

ADuM3200/ADuM3201 は、表 5 に記載する組織の認定を取得しています。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 10 と絶縁寿命のセクションを参照してください。

表 5.

UL	CSA	VDE
Recognized under UL 1577 Component Recognition Program <sup>1</sup>	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 <sup>2</sup>
Single/basic 2500 V rms isolation voltage	Basic insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (566 V peak) maximum working voltage Functional insulation per CSA 60950-1-03 and IEC 60950-1, 800 V rms (1131 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

<sup>1</sup> UL1577 に従い、絶縁テスト電圧 3,000 V rms 以上を 1 秒間加えて各 ADuM320x を確認テストします(リーク電流検出規定値 = 5μA)。

<sup>2</sup> DIN V VDE V 0884-10 に従い、各 ADuM320x に 1050 V<sub>PEAK</sub> 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(\*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

## 絶縁および安全性関連の仕様

表 6.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	4.90 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	4.01 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

## DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみのアイソレーション強化に適します。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージ表面の(\*)マークは、560 Vpeak 動作電圧に対して DIN V VDE V 0884-10 認定済みであることを表示します。

表 7.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage $\leq 150$ V rms For Rated Mains Voltage $\leq 300$ V rms For Rated Mains Voltage $\leq 400$ V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		$V_{IORM}$	560	V peak
Input-to-Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PR}$ , 100% production test, $t_m = 1$ sec, partial discharge $< 5$ pC	$V_{PR}$	1050	V peak
Input-to-Output Test Voltage, Method A	$V_{IORM} \times 1.6 = V_{PR}$ , $t_m = 60$ sec, partial discharge $< 5$ pC	$V_{PR}$		
After Environmental Tests Subgroup 1			896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$ , $t_m = 60$ sec, partial discharge $< 5$ pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ seconds	$V_{TR}$	4000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure (see Figure 3)			
Case Temperature		$T_S$	150	$^{\circ}C$
Side 1 Current		$I_{S1}$	150	mA
Side 2 Current		$I_{S2}$	160	mA
Insulation Resistance at $T_S$	$V_{IO} = 500$ V	$R_S$	$>10^9$	$\Omega$

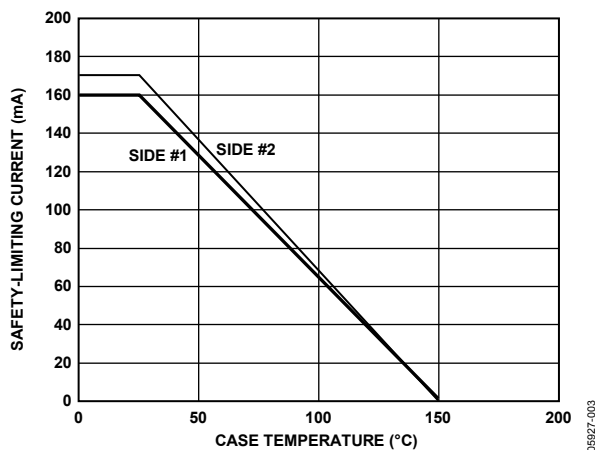


図 3. 温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

## 推奨動作条件

表 8.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	$T_A$	-40	+105	$^{\circ}C$
Supply Voltages <sup>1</sup>	$V_{DD1}$ , $V_{DD2}$	2.7	5.5	V
Input Signal Rise and Fall Times			1.0	ms

<sup>1</sup> すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、DC 精度と磁界耐性のセクションを参照してください。

## 絶対最大定格

特に指定のない限り、周囲温度は 25°C です。

表 9.

Parameter	Min	Max	Unit
Storage Temperature ( $T_{ST}$ )	-55	+150	°C
Ambient Operating Temperature ( $T_A$ )	-40	+105	°C
Supply Voltages ( $V_{DD1}$ , $V_{DD2}$ ) <sup>1</sup>	-0.5	+7.0	V
Input Voltage ( $V_{IA}$ , $V_{IB}$ ) <sup>1,2</sup>	-0.5	$V_{DD1} + 0.5$	V
Output Voltage ( $V_{OA}$ , $V_{OB}$ ) <sup>1,2</sup>	-0.5	$V_{DDO} + 0.5$	V
Average Output Current, per Pin ( $I_O$ ) <sup>3</sup>	-35	+35	mA
Common-Mode Transients ( $CM_L$ , $CM_H$ ) <sup>4</sup>	-100	+100	kV/ $\mu$ s

<sup>1</sup>すべての電圧はそれぞれのグラウンドを基準とします。

<sup>2</sup> $V_{DD1}$ と $V_{DDO}$ は、それぞれチャンネルの入力側と出力側の電源電圧を表します。

<sup>3</sup>種々の温度に対する最大定格電流値については図3を参照してください。

<sup>4</sup>絶縁障壁にまたがるコモン・モード過渡電圧を表します。絶対最大定格を超えるコモン・モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 10.最大連続動作電圧<sup>1</sup>

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	565	V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform			
Functional Insulation	1131	V peak	Maximum approved working voltage per IEC 60950-1
Basic Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10
DC Voltage			
Functional Insulation	1131	V peak	Maximum approved working voltage per IEC 60950-1
Basic Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10

<sup>1</sup>アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

表 11.ADuM3200 の真理値表(正論理)

$V_{IA}$ Input	$V_{IB}$ Input	$V_{DD1}$ State	$V_{DD2}$ State	$V_{OA}$ Output	$V_{OB}$ Output	Notes
H	H	Powered	Powered	H	H	
L	L	Powered	Powered	L	L	
H	L	Powered	Powered	H	L	
L	H	Powered	Powered	L	H	
X	X	Unpowered	Powered	H	H	Outputs return to the input state within 1 $\mu$ s of $V_{DD1}$ power restoration.
X	X	Powered	Unpowered	Indeterminate	Indeterminate	Outputs return to the input state within 1 $\mu$ s of $V_{DDO}$ power restoration.

表 12.ADuM3201 の真理値表(正論理)

$V_{IA}$ Input	$V_{IB}$ Input	$V_{DD1}$ State	$V_{DD2}$ State	$V_{OA}$ Output	$V_{OB}$ Output	Notes
H	H	Powered	Powered	H	H	
L	L	Powered	Powered	L	L	
H	L	Powered	Powered	H	L	
L	H	Powered	Powered	L	H	
X	X	Unpowered	Powered	Indeterminate	H	Outputs return to the input state within 1 $\mu$ s of $V_{DD1}$ power restoration.
X	X	Powered	Unpowered	H	Indeterminate	Outputs return to the input state within 1 $\mu$ s of $V_{DDO}$ power restoration.

## ピン配置およびピン機能説明

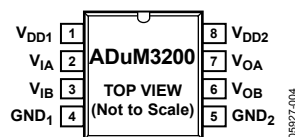


図 4.ADuM3200 のピン配置

表 13.ADuM3200 のピン機能説明

ピン番号	記号	機能
1	V <sub>DD1</sub>	アイソレータ・サイド1の電源電圧、2.7V～5.5V。
2	V <sub>IA</sub>	ロジック入力 A。
3	V <sub>IB</sub>	ロジック入力 B。
4	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。
5	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。
6	V <sub>OB</sub>	ロジック出力 B。
7	V <sub>OA</sub>	ロジック出力 A。
8	V <sub>DD2</sub>	アイソレータ・サイド2の電源電圧、2.7V～5.5V。

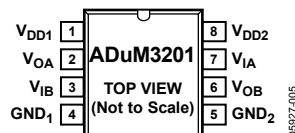


図 5.ADuM3201 のピン配置

表 14.ADuM3201 のピン機能説明

ピン番号	記号	機能
1	V <sub>DD1</sub>	アイソレータ・サイド1の電源電圧、2.7V～5.5V。
2	V <sub>OA</sub>	ロジック出力 A。
3	V <sub>IB</sub>	ロジック入力 B。
4	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。
5	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。
6	V <sub>OB</sub>	ロジック出力 B。
7	V <sub>IA</sub>	ロジック入力 A。
8	V <sub>DD2</sub>	アイソレータ・サイド2の電源電圧、2.7V～5.5V。

## 代表的な性能特性

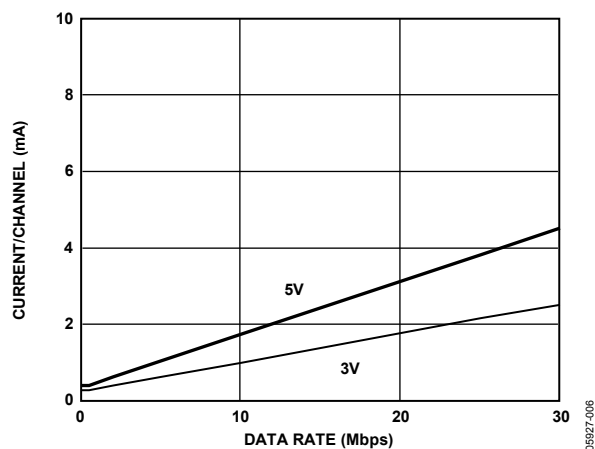


図 6. チャンネル当たりの入力電源電流(Typ)対 5V および 3V 動作でのデータ・レート

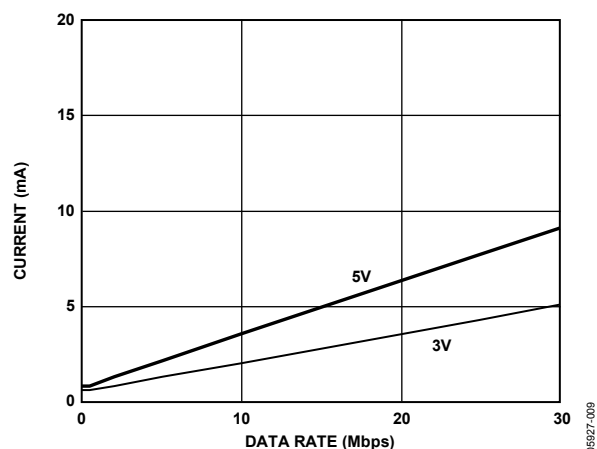


図 9. ADuM3200  $V_{DD1}$  電源電流(Typ)対 5V および 3V 動作でのデータレート

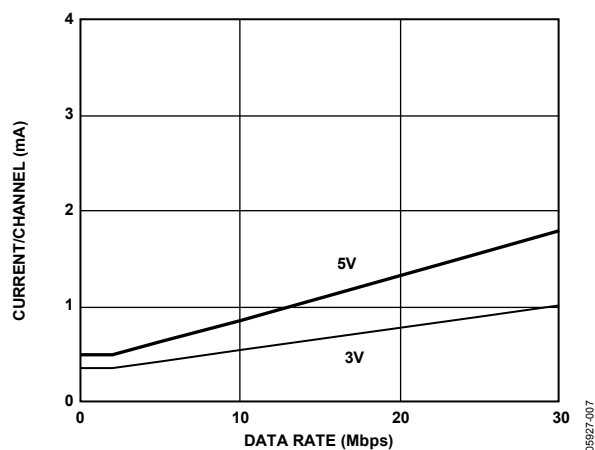


図 7. チャンネルあたりの出力電源電流(Typ)対 5V および 3V 動作でのデータ・レート(出力無負荷)

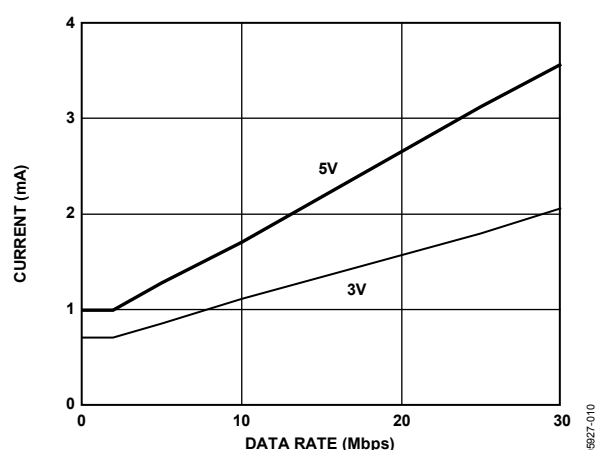


図 10. ADuM3200  $V_{DD2}$  電源電流(Typ)対 5V および 3V 動作でのデータレート

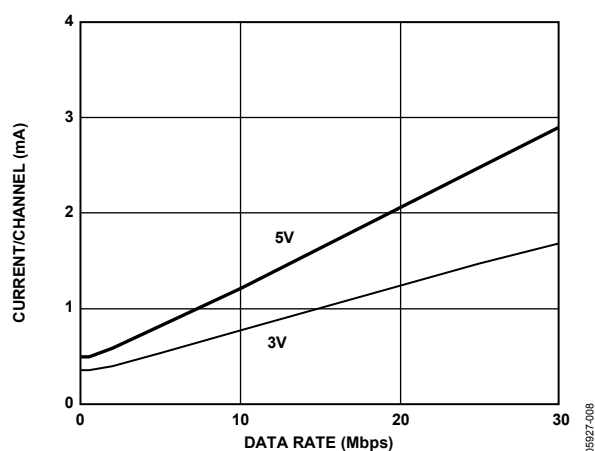


図 8. チャンネルあたりの出力電源電流(Typ)対 5V および 3V 動作でのデータ・レート(15 pF 出力負荷)

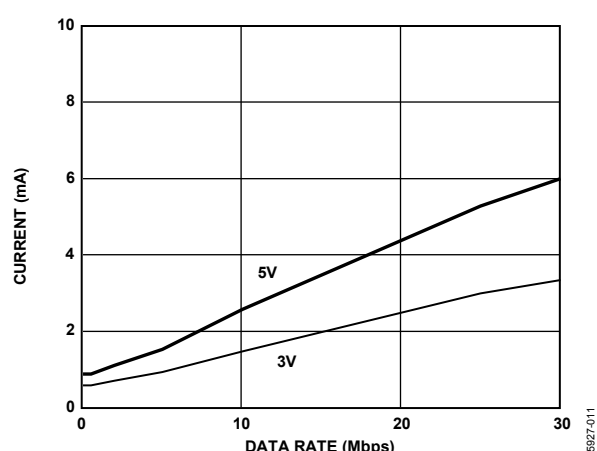


図 11. ADuM3201 の  $V_{DD1}$  または  $V_{DD2}$  電源電流(Typ)対 5V および 3V 動作でのデータレート

## アプリケーション情報

### PC ボードのレイアウト

ADuM320x デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサを接続することが推奨されます。コンデンサの値は、 $0.01\mu\text{F}\sim 0.1\mu\text{F}$  とする必要があります。コンデンサの両端と入力電源ピンとの間のパターン長は 20 mm 以下にする必要があります。

### システム・レベル ESD の考慮事項と強化

システム・レベル ESD の信頼性 (たとえば IEC 61000-4-x) は、アプリケーションごとに大幅に変わるシステム・デザインに大きく依存します。ADuM320x では、ESD 信頼性のシステム・デザインへの依存性を小さくするために多くの機能強化を行っています。この機能強化には次が含まれます。

- すべての入力/出力インターフェースへ ESD 保護セルを追加。
- ピア付きの太い並行ラインの使用による主要なメタル・パターン抵抗を削減。
- PMOS デバイスと NMOS デバイスとの間にガードおよびアイソレーション技術を採用することにより、CMOS デバイスに固有な SCR 効果を削減。
- メタル・パターンに 45° コーナーを採用することにより電界集中領域を削減。
- 各電源ピンとそれぞれのグラウンドとの間の ESD クランプを大きくして、電源ピンの過電圧保護機能を強化。

ADuM320x ではシステム・レベルの ESD 信頼性を強化していますが、強固なシステム・レベル・デザインの代わりになるものではありません。ボード・レイアウトとシステム・レベル・デザインの推奨事項については、[アプリケーション・ノート AN-793 「ESD/Latch-Up Considerations with iCoupler Isolation Products」](#) を参照してください。

### 伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通過するのに要する時間を表すパラメータです。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベルへの伝搬遅延と異なることがあります。

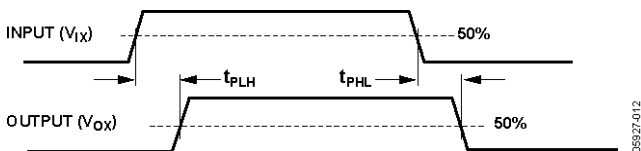


図 12.伝搬遅延パラメータ

パルス幅歪みとは、これら 2 値の間の最大の差を意味し、入力信号のタイミングが出力信号で再現される精度を表します。

チャンネル間マッチングとは、1 つの ADuM320x デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM320x デバイス間での伝搬遅延差の最大値を表します。

### DC 精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、入力ロジックの変化を指定するパルスによりセットまたはリセットされます。1 $\mu\text{s}$  以上入力にロジック変化がない場合、該当する入力状態を表す周期的な一連の更新パルスが出力の DC 精度を確保するために送出されます。デコーダが約 5 $\mu\text{s}$  間以上この入力パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマー回路によりアイソレータ出力が強制的にデフォルト状態(表 8 参照)にされます。

ADuM320x は、外部磁界に対して極めて強い耐性を持っています。ADuM320x の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなって、デコーダをセットまたはリセットさせる誤動作の発生により決まります。この状態が発生する条件を以下の解析により求めます。ADuM320x の 3 V 動作は最も敏感な動作モードであるため、この条件について調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッショルドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2, n = 1, 2, \dots, N$$

ここで、

B = 磁束密度(Gauss)。

N = 受信側コイルの巻数。

r<sub>n</sub> = 受信側コイルの n 回目の半径(cm)。

ADuM320x 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 13 のように計算されます。

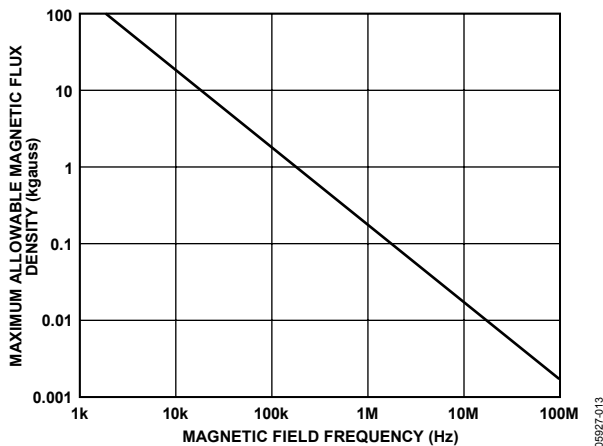


図 13.最大許容外部磁束密度

たとえば、磁界周波数= 1 MHz で、最大許容磁界= 0.2 k Gauss の場合、受信側コイルでの誘導電圧は 0.25V になります。これは検出スレッシュホールドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM320x トランスから与えられた距離だけ離れた特定の電流値に対応します。図 14 に、周波数の関数としての許容電流値を距離に対して示します。図から読み取れるように、ADuM320x の耐性は極めて高く、影響を受けるのは、高周波でかつデバイスに非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM320x から 5 mm の距離まで近づける必要があります。

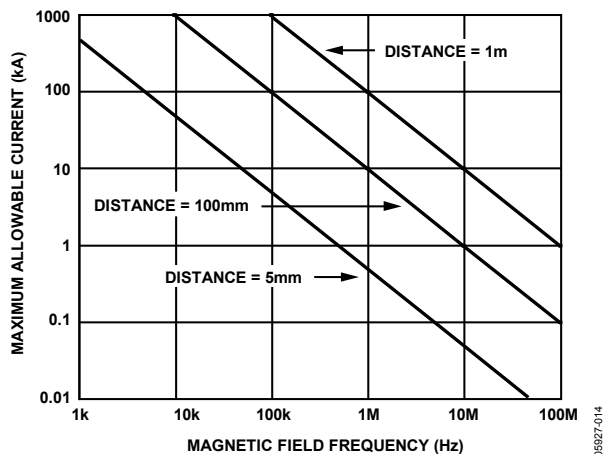


図 14.さまざまな電流値と ADuM320x までの距離に対する最大許容電流

強い磁界と高周波が組合わされると、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガーされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

## 消費電力

ADuM320x アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータ・レート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad f \leq 0.5f_r$$

$$I_{DD1} = I_{DD1(D)} \times (2f - f_r) + I_{DD1(Q)} \quad f > 0.5f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

ここで、

$I_{DD1(D)}$  と  $I_{DDO(D)}$  は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。

$C_L$  は出力負荷容量 (pF)。

$V_{DDO}$  は出力電源電圧 (V)。

$f$  は入力ロジック信号周波数 (MHz、入力データ・レートの 1/2、NRZ シグナリング)。

$f_r$  は入力ステージのリフレッシュ・レート (Mbps)。

$I_{DD1(Q)}$  と  $I_{DDO(Q)}$  は、それぞれ指定された入力静止電源電流と出力静止電源電流です (mA)。

$I_{DD1}$  と  $I_{DD2}$  の電源電流を計算するために、 $I_{DD1}$  と  $I_{DD2}$  に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。図 6 に、データ・レートの関数としてのチャンネル当たりの入力電源電流を示します。

図 7 と図 8 に、それぞれ無負荷出力と 15 pF 出力に対して、データ・レートの関数としてのチャンネル当たりの出力電源電流を示します。図 9 ~ 図 11 に、ADuM3200 と ADuM3201 のチャンネル構成に対するデータ・レートの関数としての  $V_{DD1}$  と  $V_{DD2}$  の合計電源電流を示します。



## 絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施して ADuM320x の絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。

表 10 に、バイポーラ AC 動作条件とアナログ・デバイセズの最大推奨動作電圧での 50 年のサービス寿命に対するピーク電圧と最大 CSA/VDE 認定動作電圧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM320x の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 15、図 16、図 17 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 10 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 16 または図 17 適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 10 に示す 50 年寿命電圧値に制限する必要があります。

図 16 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができますが、電圧は 0 V を通過することはできません。

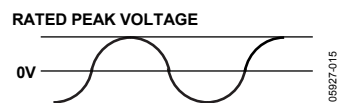


図 15. バイポーラ AC 波形

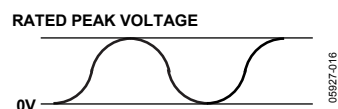


図 16. ユニポーラ AC 波形

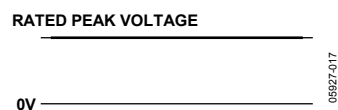
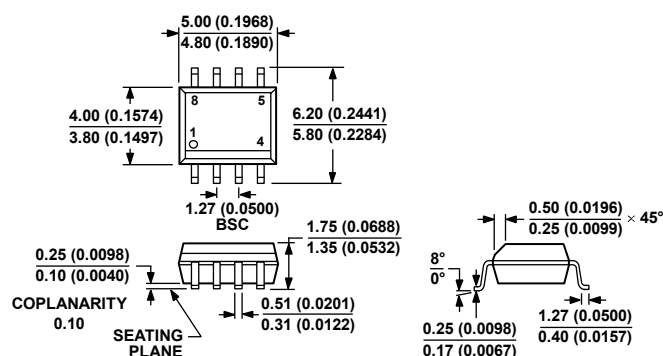


図 17. DC 波形

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA  
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407A

図 18.8 ピン標準スモール・アウトライン・パッケージ[SOIC\_N]  
 ナロー・ボディ(R-8)  
 寸法: mm (インチ)

## オーダー・ガイド

Model	Number of Inputs, V <sub>DD1</sub> Side	Number of Inputs, V <sub>DD2</sub> Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range (°C)	Package Option <sup>1</sup>
ADuM3200ARZ <sup>2</sup>	2	0	1	150	40	-40 to +105	R-8
ADuM3200ARZ-RL7 <sup>2</sup>	2	0	1	150	40	-40 to +105	R-8
ADuM3200BRZ <sup>2</sup>	2	0	10	50	3	-40 to +105	R-8
ADuM3200BRZ-RL7 <sup>2</sup>	2	0	10	50	3	-40 to +105	R-8
ADuM3200CRZ <sup>2</sup>	2	0	25	45	3	-40 to +105	R-8
ADuM3200CRZ-RL7 <sup>2</sup>	2	0	25	45	3	-40 to +105	R-8
ADuM3201ARZ <sup>2</sup>	1	1	1	150	40	-40 to +105	R-8
ADuM3201ARZ-RL7 <sup>2</sup>	1	1	1	150	40	-40 to +105	R-8
ADuM3201BRZ <sup>2</sup>	1	1	10	50	3	-40 to +105	R-8
ADuM3201BRZ-RL7 <sup>2</sup>	1	1	10	50	3	-40 to +105	R-8
ADuM3201CRZ <sup>2</sup>	1	1	25	45	3	-40 to +105	R-8
ADuM3201CRZ-RL7 <sup>2</sup>	1	1	25	45	3	-40 to +105	R-8

<sup>1</sup> R-8 = 8 ピン・ナロー・ボディ SOIC\_N

<sup>2</sup> Z = RoHS 準拠製品