

特長

USB 2.0 に互換

ロー・スピードとフル・スピードのデータレートをサポート: 1.5 Mbps と 12 Mbps

双方向通信

4.5 V~5.5 V の V_{BUS} での動作

7 mA の最大アップストリーム電源電流、1.5 Mbps

8 mA の最大アップストリーム電源電流、12 Mbps

2.3 mA の最大アップストリーム・アイドル電流

アップストリーム短絡保護機能

ANSI/ESD STM5.1-2007 準拠のクラス 3A コンタクト ESD 性能

高温動作: 105°C

高い同相モード・トランジェント耐性: 25 kV/ μ s 以上

16 ピン SOIC ワイド・ボディ・パッケージ・バージョン

16 ピン SOIC ワイド・ボディ・クレーページ強化型バージョン

RoHs 準拠製品

安全性規定の認定(RI-16 パッケージ)

UL 認定: 5,000 V rms 1 分間の UL 1577 規格

「CSA Component Acceptance Notice #5A」に準拠

IEC 60601-1: 250 V rms (強化)

IEC 60950-1: 400 V rms (強化)

VDE の適合性認定済み

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12

$V_{IORM} = 846$ V peak

アプリケーション

USB ペリフェラルのアイソレーション

絶縁型 USB ハブ

医用アプリケーション

概要

ADuM4160¹ は、アナログ・デバイセズの iCoupler® 技術を採用した USB ポート・アイソレータです。これらのアイソレーション部品は高速 CMOS とモノリシック中空コア・トランス技術の組み合わせにより、優れた性能特性を提供し、ロー・スピードとフル・スピードの USB 互換ペリフェラル・デバイスに容易に組み込むことができます。

機能ブロック図

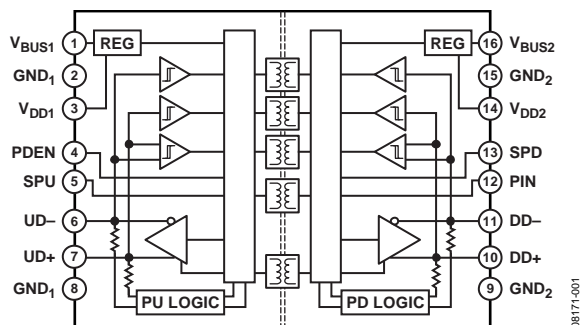


図 1.

多くのマイクロコントローラは USB を内蔵し、D+ラインと D-ラインのみを外部ピンに取り出しています。これは、外付け部品数を少なくし、デザインを簡素化するため多くの場合に望ましいことですが、アイソレーションが必要な場合には特に困難が生じます。USB ラインでは、D+/D-をアクティブに駆動する動作と(データ受信)、外部抵抗にバス状態を設定させる動作との間で動作を自動的に切り替える必要があります。このため、ADuM4160 はデータ・フローの方向を検出し、出力バッファの状態を制御するメカニズムを提供します。データ方向はパケットごとに決定されます。

ADuM4160 では、iCoupler 技術を採用したエッジ検出と内部ロジックとの組み合わせにより、トランスペアレントで設定が容易なアップストリーム用ポート・アイソレータを構成しています。アップストリーム・ポートをアイソレーションすると、簡索性、パワー・マネジメント、強固な動作について幾つかの利点が得られます。

アイソレータでは、標準のハブやケーブルと同等の伝搬遅延が生じます。4.5 V~5.5 V の範囲のいずれかの側のバス電圧で動作するため、電圧をシグナリング・レベルに内部で安定化することにより、 V_{BUS} に直接接続することができます。ADuM4160 がブルアップ抵抗の絶縁型制御を提供するため、ペリフェラルは接続タイミングを制御することができます。デバイスのアイドル電流は十分小さいため、停止モードは不要です。2.5 kV バージョンの ADuM3160 も提供しています。



¹ 米国特許 5,952,849; 6,873,065; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2009-2010 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	ESD の注意.....	7
アプリケーション.....	1	ピン配置およびピン機能説明.....	8
概要.....	1	アプリケーション情報.....	10
機能ブロック図.....	1	機能説明.....	10
改訂履歴.....	2	製品の使い方.....	10
仕様.....	3	アップストリーム・アプリケーションの互換性.....	10
電気的特性.....	3	電源オプション.....	11
パッケージ特性.....	4	プリント回路ボード(PCB)のレイアウト.....	11
適用規格.....	4	DC 精度と磁界耐性.....	11
絶縁および安全性関連の仕様.....	5	絶縁寿命.....	12
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	5	外形寸法.....	14
推奨動作条件.....	6	オーダー・ガイド.....	14
絶対最大定格.....	7		

改訂履歴

10/10—Rev. B to Rev. C

Changes to Features and General Description Section.....	1
Changes to Endnote 3 in Table 1 and Table 3.....	4
Changes to Table 4.....	5
Changes to Table 7 and Table 8.....	7
Updated Outline Dimensions.....	14
Changes to Ordering Guide.....	14

8/10—Rev. A to Rev. B

Change to Data Sheet Title.....	1
Changes to Features Section.....	1
Changes to Applications Section.....	1
Changes to General Description Section.....	1
Changes to Table 3.....	4

9/09—Rev. 0 to Rev. A

Added USB Logo, Reformatted Page 1.....	1
---	---

7/09—Revision 0: Initial Version

仕様

電気的特性

4.5 V ≤ V_{BUS1} ≤ 5.5 V, 4.5 V ≤ V_{BUS2} ≤ 5.5 V; 3.1 V ≤ V_{DD1} ≤ 3.6 V, 3.1 V ≤ V_{DD2} ≤ 3.6 V; 特に指定がない限り、すべての最小/最大仕様は全推奨動作範囲に適用されます; すべての typ 仕様は T_A = 25°C, V_{DD1} = V_{DD2} = 3.3 V で規定します。各電圧はそれぞれのグラウンドを基準とします。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Total Supply Current ¹						
1.5 Mbps						
V _{DD1} or V _{BUS1} Supply Current	I _{DD1} (L)		5	7	mA	750 kHz logic signal rate C _L = 450 pF
V _{DD2} or V _{BUS2} Supply Current	I _{DD2} (L)		5	7	mA	750 kHz logic signal rate C _L = 450 pF
12 Mbps						
V _{DD1} or V _{BUS1} Supply Current	I _{DD1} (F)		6	8	mA	6 MHz logic signal rate C _L = 50 pF
V _{DD2} or V _{BUS2} Supply Current	I _{DD2} (F)		6	8	mA	6 MHz logic signal rate C _L = 50 pF
Idle Current						
V _{DD1} or V _{BUS1} Idle Current	I _{DD1} (I)		1.7	2.3	mA	
Input Currents	I _{DD-} , I _{DD+} , I _{UD+} , I _{UD-} , I _{SPD} , I _{PIN} , I _{SPU} , I _{PDEN}	-1	+0.1	+1	μA	0 V ≤ V _{DD-} , V _{DD+} , V _{UD+} , V _{UD-} , V _{SPD} , V _{PIN} , V _{SPU} , V _{PDEN} ≤ 3.0
Single-Ended Logic High Input Threshold	V _{IH}	2.0			V	
Single-Ended Logic Low Input Threshold	V _{IL}			0.8	V	
Single-Ended Input Hysteresis	V _{HST}		0.4		V	
Differential Input Sensitivity	V _{DI}	0.2			V	V _{XD+} - V _{XD-}
Logic High Output Voltages	V _{OH}	2.8		3.6	V	R _L = 15 kΩ, V _L = 0 V
Logic Low Output Voltages	V _{OL}	0		0.3	V	R _L = 1.5 kΩ, V _L = 3.6 V
V _{DD1} and V _{DD2} Supply Undervoltage Lockout	V _{UVLO}	2.4		3.1	V	
V _{BUS1} Supply Undervoltage Lockout	V _{UVLOB1}	3.5		4.35	V	
V _{BUS2} Supply Undervoltage Lockout	V _{UVLOB2}	3.5		4.4	V	
Transceiver Capacitance	C _{IN}		10		pF	UD+, UD-, DD+, DD- to ground
Capacitance Matching			10		%	
Full Speed Driver Impedance	Z _{OUTH}	4		20	Ω	
Impedance Matching			10		%	
SWITCHING SPECIFICATIONS, I/O PINS LOW SPEED						
Low Speed Data Rate			1.5		Mbps	C _L = 50 pF
Propagation Delay ²	t _{PHLL} , t _{PLHL}			325	ns	C _L = 50 pF, SPD = SPU = low V _{DD1} , V _{DD2} = 3.3 V
Side 1 Output Rise/Fall Time (10% to 90%) Low Speed	t _{RI} /t _{FL}	75		300	ns	C _L = 450 pF SPD = SPU = low V _{DD1} , V _{DD2} = 3.3 V
Low Speed Differential Jitter, Next Transition	t _{LJN}		45		ns	C _L = 50 pF
Low Speed Differential Jitter, Paired Transition	t _{LJP}		15		ns	C _L = 50 pF
SWITCHING SPECIFICATIONS, I/O PINS FULL SPEED						
Full Speed Data Rate			12		Mbps	C _L = 50 pF
Propagation Delay ²	t _{PHLF} , t _{PLHF}	20	60	70	ns	C _L = 50 pF SPD = SPU = high, V _{DD1} , V _{DD2} = 3.3 V
Output Rise/Fall Time (10% to 90%) Full Speed	t _{RF} /t _{FF}	4		20	ns	C _L = 50 pF SPD = SPU = high, V _{DD1} , V _{DD2} = 3.3 V
Full Speed Differential Jitter, Next Transition	t _{FJN}		3		ns	C _L = 50 pF
Full Speed Differential Jitter, Paired Transition	t _{FJP}		1		ns	C _L = 50 pF

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
For All Operating Modes						
Common-Mode Transient Immunity						
At Logic High Output ²	CM _H	25	35		kV/μs	V _{UD+} , V _{UD-} , V _{DD+} , V _{DD-} = V _{DD1} or V _{DD2} , V _{CM} = 1000 V, transient magnitude = 800 V
At Logic Low Output ²	CM _L	25	35		kV/μs	V _{UD+} , V _{UD-} , V _{DD+} , V _{DD-} = 0 V, V _{CM} = 1000 V, transient magnitude = 800 V

¹ J 状態と K 状態を交互に切り替え、50% デューティ・サイクル、固定連続データ・レートで動作するデバイスの電源電流値。電源電流値は、USB 準拠の出力負荷を接続して規定。

² いずれかの信号方向のロー・スピードの DD+ から UD+へまたは DD- から UD-への伝搬遅延は、立上がりまたは立下がりエッジの 50% レベルから対応する出力信号の立上がりまたは立下がりエッジの 50% レベルまでで測定。

³ CM_H は、V_O > 0.8 V_{DDx} を維持している間に維持できる同相モード電圧の最大スルーレートです。CM_L は V_O < 0.8 V を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立上がりと立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

パッケージ特性

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction-to-Ambient Thermal Resistance	θ _{JA}		45		°C/W	Thermocouple located at center of package underside

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1~ピン 8 を相互に接続し、ピン 9~ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間。

適用規格

ADuM4160 は、表 3 に記載する組織の認定を取得しています。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 8 と絶縁寿命のセクションを参照してください。

表 3.

UL	CSA	VDE
Recognized under 1577 component recognition program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
Single Protection 5000 V rms Isolation Voltage	Basic insulation per CSA 60950-1-03 and IEC 60950-1, 600 V rms (848 V peak) maximum working voltage Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 380 V rms (537 V peak) maximum working voltage, RW-16 package. Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (565 V peak) maximum working voltage, RI-16 package. Reinforced insulation per IEC 60601-1 125 V rms (176 V peak) maximum working voltage, RW-16 package. Reinforced insulation per IEC 60601-1 250 V rms (353 V peak) maximum working voltage, RI-16 package.	Reinforced insulation, 846 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 6,000 V rms 以上を 1 秒間加えて各 ADuM4160 を確認テストします(リーク電流検出規定値 = 10μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM4160 に 1,050 Vpeak 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		5000	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	8.0 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage) RW-16 Package	L(I02)	7.7 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum External Tracking (Creepage) RI-16 Package	L(I02)	8.5 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージに(*)マークが付いたブランドは、DIN V VDE V 0884-10 認定製品を表します。

表 5.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110			I to IV	
For Rated Mains Voltage ≤ 150 V rms			I to III	
For Rated Mains Voltage ≤ 300 V rms			I to II	
For Rated Mains Voltage ≤ 400 V rms			40/105/21	
Climatic Classification			2	
Pollution Degree per DIN VDE 0110, Table 1				
Maximum Working Insulation Voltage		V_{IORM}	846	V peak
Input-to-Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	1590	V peak
Input-to-Output Test Voltage, Method a	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC	V_{PR}		
After Environmental Tests Subgroup 1			1375	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		1018	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ seconds	V_{TR}	6000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure (see Figure 2)			
Case Temperature		T_S	150	$^{\circ}\text{C}$
Side 1+ Side 2 Current		I_{S1}	550	mA
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	$>10^9$	Ω

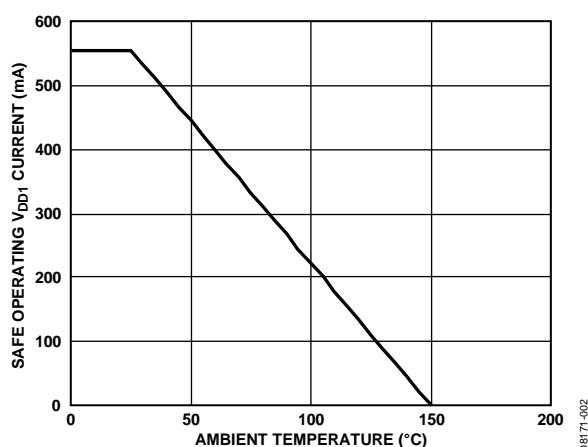


図 2.熱ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 6.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T_A	-40	+105	°C
Supply Voltages ¹	V_{BUS1}, V_{BUS2}	3.1	5.5	V
Input Signal Rise and Fall Times			1.0	ms

¹ すべての電圧はそれぞれのグラウンドを基準とします。 外部磁界耐性については、DC 精度と磁界耐性のセクションを参照してください。

絶対最大定格

特に指定のない限り、周囲温度は 25°C です。

表 7.

Parameter	Rating
Storage Temperature (T_{ST})	-65°C to +150°C
Ambient Operating Temperature (T_A)	-40°C to +105°C
Supply Voltages (V_{BUS1} , V_{BUS2} , V_{DD1} , V_{DD2}) ¹	-0.5 V to +6.5 V
Upsream Input Voltage (V_{UD+} , V_{UD-} , V_{SPU}) ^{1,2}	-0.5 V to $V_{DD1} + 0.5$ V
Downstream Input Voltage (V_{DD+} , V_{DD-} , V_{SPD} , V_{PIN}) ^{1,2}	-0.5 V to $V_{DD2} + 0.5$ V
Average Output Current per Pin ³	
Side 1 (I_{O1})	-10 mA to +10 mA
Side 2 (I_{O2})	-10 mA to +10 mA
Common-Mode Transients ⁴	-100 kV/ μ s to +100 kV/ μ s

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1} 、 V_{BUS1} と V_{DD2} 、 V_{BUS2} はカプラーのそれぞれアップストリーム側とダウンストリーム側の電源電圧を表します。

³ 種々の温度に対する最大定格電流値については、図 2 を参照してください。

⁴ 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 8.最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	565	V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform			
Basic Insulation	848	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	846	V peak	Maximum approved working voltage per VDE 0884-10
DC Voltage			
Basic Insulation	848	V peak	Maximum approved working voltage per IEC60950-1
Reinforced Insulation	846	V peak	Maximum approved working voltage per VDE 0884-10

¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

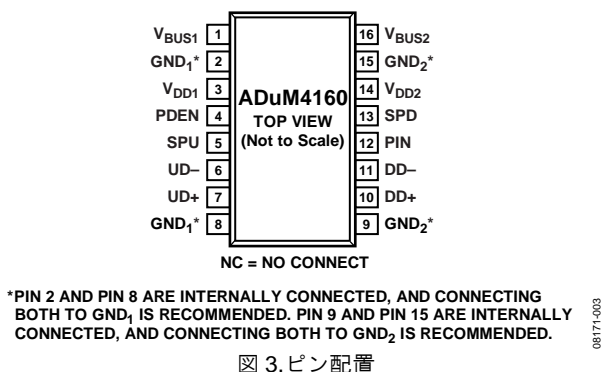


図 3. ピン配置

表 9. ピン機能の説明

ピン番号	記号	方向	説明
1	V _{BUS1}	電源	サイド 1 の入力電源。アイソレータが USB バスから 4.5 V~5.5 V の電源の供給を受ける場合は、V _{BUS1} と USB 電源バスを接続してください。アイソレータが 3.3 V 電源から電源の供給を受ける場合は、V _{BUS1} と V _{DD1} を接続し、次に外部 3.3 V 電源へ接続してください。GND ₁ へのバイパスが必要です。
2	GND ₁	リターン	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。
3	V _{DD1}	電源	サイド 1 の電源。アイソレータが USB バスから 4.5 V~5.5 V の電源の供給を受ける場合は、V _{DD1} ピンと GND ₁ の間にバイパス・コンデンサを接続してください。PDEN や SPU のようなプルアップを必要とする信号ラインは、このピンに接続する必要があります。アイソレータが 3.3 V 電源から電源の供給を受ける場合は、V _{BUS1} と V _{DD1} を接続し、次に外部 3.3 V 電源へ接続してください。GND ₁ へのバイパスが必要です。
4	PDEN	入力	プルダウン・イネーブル。リセットを終了するときこのピンが読出されます。このピンは、標準動作時には V _{DD1} へ接続する必要があります。リセットから抜け出すときに GND ₁ に接続されていると、ダウンストリーム・プルダウン抵抗が切り離されて、バッファ・インピーダンスの測定が可能になります。
5	SPU	入力	スピード・セレクト・アップストリーム・バッファ。アクティブ・ハイのロジック入力。SPU がハイ・レベルのとき、フル・スピードのスルーレート、タイミング、ロジック規則が選択され、SPU がロー・レベルのとき、ロー・スピードのスルーレート、タイミング、ロジック規則が選択されます。この入力は V _{DD1} へ接続してハイ・レベルにするか、GND ₁ へ接続してロー・レベルにする必要があります、さらにピン 13 と一致する必要があります。
6	UD-	I/O	アップストリーム D-。
7	UD+	I/O	アップストリーム D+。
8	GND ₁	リターン	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。
9	GND ₂	リターン	グラウンド 2。アイソレータ・サイド 2 のグラウンド基準。
10	DD+	I/O	ダウンストリーム D+。
11	DD-	I/O	ダウンストリーム D-。
12	PIN	入力	アップストリーム・プルアップ・イネーブル。PIN がアップストリーム・ポートのプルアップへの電源接続を制御します。このピンは、パワーアップ時の動作に対しては V _{DD2} へ、または遅延エミュレーションを必要とするアプリケーションに対しては外部制御信号へ、それぞれ接続することができます。
13	SPD	入力	スピード・セレクト・ダウンストリーム・バッファ。アクティブ・ハイのロジック入力。SPD がハイ・レベルのとき、フル・スピードのスルーレート、タイミング、ロジック規則が選択され、SPD がロー・レベルのとき、ロー・スピードのスルーレート、タイミング、ロジック規則が選択されます。この入力は V _{DD2} へ接続してハイ・レベルにするか、GND ₂ へ接続してロー・レベルにする必要があります、さらにピン 5 と一致する必要があります。
14	V _{DD2}	電源	サイド 2 の電源。アイソレータが USB バスから 4.5 V~5.5 V の電源の供給を受ける場合は、V _{DD2} ピンと GND ₂ の間にバイパス・コンデンサを接続してください。SPD のようなプルアップを必要とする信号ラインは、このピンに接続することができます。アイソレータが 3.3 V 電源から電源の供給を受ける場合は、V _{BUS2} と V _{DD2} を接続し、次に外部 3.3 V 電源へ接続してください。GND ₂ へのバイパスが必要です。
15	GND ₂	リターン	グラウンド 2。アイソレータ・サイド 2 のグラウンド基準。
16	V _{BUS2}	電源	サイド 2 の入力電源。アイソレータが USB バスから 4.5 V~5.5 V の電源の供給を受ける場合は、V _{BUS2} と USB 電源バスを接続してください。アイソレータが 3.3 V 電源から電源の供給を受ける場合は、V _{BUS2} と V _{DD2} を接続し、次に外部 3.3 V 電源へ接続してください。GND ₂ へのバイパスが必要です。

表 10. 真理値表、制御信号、電源(正ロジック)¹

V _{SPU} Input	V _{BUS1} , V _{DD1} State	V _{UD+} , V _{UD-} State	V _{SPD} Input	V _{BUS2} , V _{DD2} State	V _{DD+} , V _{DD-} State	V _{PIN} Input	Notes
H	Powered	Active	H	Powered	Active	H	Input and output logic set for full speed logic convention and timing.
L	Powered	Active	L	Powered	Active	H	Input and output logic set for low speed logic convention and timing.
L	Powered	Active	H	Powered	Active	H	Not allowed: V _{SPU} and V _{SPD} must be set to the same value. USB host detects communications error.
H	Powered	Active	L	Powered	Active	H	Not allowed: V _{SPU} and V _{SPD} must be set to the same value. USB host detects communications error.
X	Powered	Z	X	Powered	Z	L	Upstream Side 1 presents a disconnected state to the USB cable.
X	Unpowered	X	X	Powered	Z	X	When power is not present on V _{DD1} , the downstream data output drivers revert to high-Z within 32 bit times. The downstream side initializes in high-Z state.
X	Powered	Z	X	Unpowered	X	X	When power is not present on the V _{DD2} , the upstream side disconnects the pull-up and disables the upstream drivers within 32 bit times.

¹ H はハイ・レベルの入力または出力を、L はロー・レベルの入力または出力を、X は don't care を、Z はハイ・インピーダンス出力状態を、それぞれ表わします。

アプリケーション情報

機能説明

D+/D-ラインでの USB アイソレーションは幾つかの理由で困難な問題です。1 つ目は、トランシーバを制御するために、出力イネーブル信号に対するアクセスが必要なことです。アイソレータにある程度の知能を組込んで、データ・ストリームを解釈して、アップストリームとダウンストリームの出力バッファをイネーブル/ディスエーブルするタイミングを決める必要があります。2 つ目は、カプラーの出力側で信号を忠実に再生すると同時に、正確なタイミングを維持し、無効な SE0 状態や SE1 状態のような過渡状態を通過させない必要があります。さらに、デバイスは停止モードの低消費電力条件を満たす必要があります。

このため、エッジ検出を採用する iCoupler 技術は USB アプリケーションに適しています。デバイスを通過するデータ・フローは、入力動作をモニタし、アイドル(J) 状態からの変化に基づいてデータ転送の方向を設定することにより実現されます。データ方向が決定された後データが転送され、エンド・オブ・パケット(EOP)または十分長いアイドル状態が検出されるまでデータ転送が続きます。この時点で、カプラーは出力バッファをディスエーブルして、次の動作のため入力をモニタします。

データ転送中、カプラーの入力側が出力バッファのディスエーブルを維持します。出力側は出力バッファをイネーブルし、入力バッファからのエッジ検出をディスエーブルします。これにより、データが一方に流れるようになり、カプラーから折り返されて iCoupler によりラッチされることはありません。差動バッファとシングルエンド・バッファの入力スレッショルドの相異により発生する誤動作をなくするロジックが内蔵されています。入力状態は、3 つの有効状態 J、K、SE0 の内の 1 つとしてアイソレーション障壁を超えて転送されます。信号は、固定時間遅延後に入力側差動入力から出力側で再生されます。

iCoupler には特別な停止モードがなく、必要になることもありません。これは、USB バスのアイドル時に電源電流が停止電流規定値 2.5 mA より小さくなるためです。

ADuM4160 は、D+/D-ラインをアイソレーションすることにより、アップストリーム用ロー/フル・スピードUSBポートとインターフェースするようにデザインされています。アップストリーム用ポートは、1 つの速度動作のみをサポートするため、速度関連パラメータ、J/Kロジック・レベル、D+/D-スルーレートは、アップストリーム用ペリフェラル・ポートの速度と一致するように設定されます(表 10参照)。

ADuM4160 のダウンストリーム側のコントロール・ラインが、アップストリーム側のプルアップ抵抗をアクティブ化します。これにより、ダウンストリーム・ポートはアップストリーム・ポートを USB バスに接続するタイミングを制御できるようになります。このピンは、初期バス接続を行うタイミングに応じて、ペリフェラル・プルアップ、制御ライン、または V_{DD2} ピンに接続することができます。

製品の使い方

ADuM4160 は、図 4に示すようにアップストリーム用USBポートを持つUSBペリフェラルへ組込むようにデザインされています。主要な設計ポイントは次のようになります。

1. USB ホストから ADuM4160 のアップストリーム側電源をケーブルを通して供給します。
2. ペリフェラル電源から ADuM4160 のダウンストリーム側電源を供給します。
3. アイソレータの DD+/DD-ラインはペリフェラル・コントローラとインターフェースし、アイソレータの UD+/UD-ラインはケーブルまたはホストに接続されます。
4. ペリフェラル・デバイスは、デザイン時に設定された固定データレートを持ちます。ADuM4160 は設定ピン SPU と SPD を持っており、これらのピンを使って、各サイドのバッファ速度とロジック規約を指定します。これらのピンは、ペリフェラル速度に一致するように独自に設定する必要があります。
5. USB ケーブルのペリフェラル側(ADuM4160 のアップストリーム側)で UD+ラインまたは UD-ラインがハイ・レベルになると、USB エミュレーションが開始されます。このイベントのタイミング制御は、カプラーのダウンストリーム側のピン入力から行われます。
6. プルアップ抵抗とプルダウン抵抗は、カプラー内部に内蔵されています。動作には外付けの直列抵抗とバイパス・コンデンサだけが必要です。

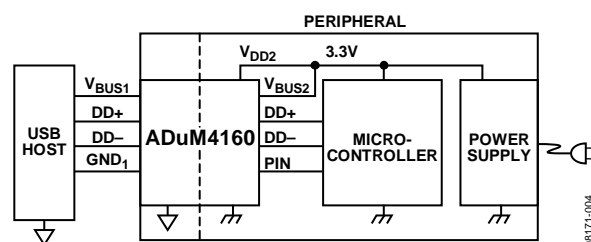


図 4. 代表的なアプリケーション

プルアップ抵抗の遅延適用以外は、ADuM4160 は USB トラフィックにとってトランスペアレントであり、アイソレーションを提供するためにペリフェラル・デザインを変更する必要はありません。アイソレータにより、ハブやケーブルと同等の伝搬遅延が信号に加わります。データ・チェーン内の最大ハブ数を求めるとき、絶縁型ペリフェラルは、組込みハブのように扱う必要があります。

ハブは、他のペリフェラルと同様に絶縁型にすることができます。絶縁型ハブは、ハブ・チップのアップストリーム・ポートに ADuM4160 を配置することにより実現することができます。この構成をハブ 2 個の遅延としてカウントできる場合は、仕様準拠していると見なすことができます。ハブ・チップを使うと、ADuM4160 はフル・スピードで動作することができ、さらにロー・スピード・デバイスと互換性を維持することができます。

アップストリーム・アプリケーションの互換性

ADuM4160 は、USB ペリフェラルのアイソレーション用に特別にデザインされていますが、このチップは USB ケーブル駆動の電気的条件を満たす USB インターフェースを 2 つ内蔵しています。これにより、アップストリーム・デバイスおよびダウンストリーム・デバイスに対する一般的な接続、さらにホスト・ポートのアイソレーションを行う絶縁型ケーブルのような、ダウンストリーム USB ポートでのアイソレーションを実現することができます。

フル準拠のアプリケーションでは、アップストリーム・プルアップの適用に基づいて、ペリフェラルがロー・スピードまたはフル・スピードのいずれであるかをダウンストリーム用ポートが検

出できる必要があります。バッファ規則とロジック規則により、要求される速度に一致するように調節する必要があります。ADuM4160 の速度はハードワイヤ・ピンで設定されるため、デバイスは即座に様々なペリフェラルに合わせるできません。

ホスト・ポートでの ADuM4160 使用の実用的な方法は、ポートを 1 つの速度で動作させることです。この動作は、組込みホスト・アプリケーションでは許容できますが、このタイプのインターフェースは、汎用 USB ポートとして完全準拠にはなりません。

絶縁型ケーブル・アプリケーションにも同じ問題があります。ケーブル動作は予め設定された速度でのみ動作するため、ケーブル組み立てを汎用絶縁型ケーブルとしてではなく、カスタム・アプリケーションとして扱ってください。

電源オプション

大部分の USB トランシーバでは、3.3 V を LDO レギュレータを使って 5 V USB バスから発生しています。ADuM4160 は、アップストリーム側とダウンストリーム側に LDO レギュレータを内蔵しています。LDO 出力は、 V_{DD1} ピンと V_{DD2} ピンから出力されています。場合によっては、アイソレーションのペリフェラル側では特に、5 V 電源が存在しないことがあります。ADuM4160 は、レギュレータをバイパスして直接 3.3 V 電源で動作する機能を持っています。

2本の電源ピン(V_{BUSx} と V_{DDx})は、両側にあります。5 V を V_{BUSx} に入力すると、内部レギュレータは 3.3 V を発生して、xD+ドライバと xD-ドライバに電源を供給します。 V_{DDx} ピンからは、外部バイパスや外付けプルアップのバイアスを可能にする 3.3 V 電源が供給されます。3.3 V のみを使用する場合には、 V_{BUSx} と V_{DDx} に供給することができます。これにより、レギュレータがディスエーブルされて、カプラー電源が直接 3.3 V 電源から供給されます。

図 5 に、カプラーのアップストリーム側が USB バスから直接電源の供給を受け、ダウンストリーム側がペリフェラル電源から 3.3 V の供給を受けるときの代表的なアプリケーションの構成方法を示します。ダウンストリーム側は、5V V_{BUS2} 電源から動作することもできます。必要に応じて、図 5 に示すように、 V_{BUS1} と同じ方法で接続することができます。

プリント回路ボード(PCB)のレイアウト

ADuM4160 デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。フル・スピード動作の場合、デバイスの両側の D+ラインと D-ラインには、 $24 \Omega \pm 1\%$ 直列終端抵抗が必要です。これらの抵抗は、ロー・スピード・アプリケーションには不要です。入力電源ピンと出力電源ピンには電源バイパスが必要です(図 5 参照)。チップの両側の V_{BUSx} と V_{DDx} の間にバイパス・コンデンサを接続してください。コンデンサ値は $0.1 \mu\text{F}$ で、ESR が小さい必要があります。コンデンサピンと電源ピンとの間の合計リード長は 10 mm を超えないようにします。各パッケージ側のグラウンド対がパッケージのすぐ近くで接続されていない限り、ピン 2 とピン 8 の間およびピン 9 とピン 15 の間でバイパスしてください。

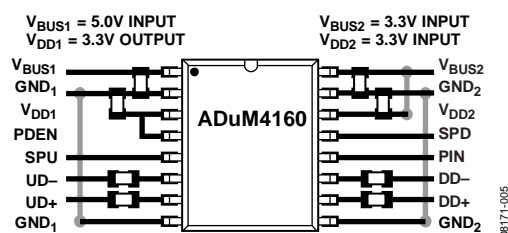


図 5. プリント回路ボードの推奨レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるようにすることが重要です。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインしてください。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

DC精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。約 12 USB ビット時間以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力での DC を正常に維持します。デコーダが約 36 USB ビット時間以上この入力パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態(表 10 参照)にされます。

ADuM4160 の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。

この状態が発生する条件を以下の解析により求めます。ADuM4160 の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

β = 磁束密度(Gauss)。

N = 受信側コイルの巻き数

r_n = 受信側コイル巻き数 n 回目の半径(cm)

ADuM4160 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられると、最大許容磁界は図 6 のように計算されます。

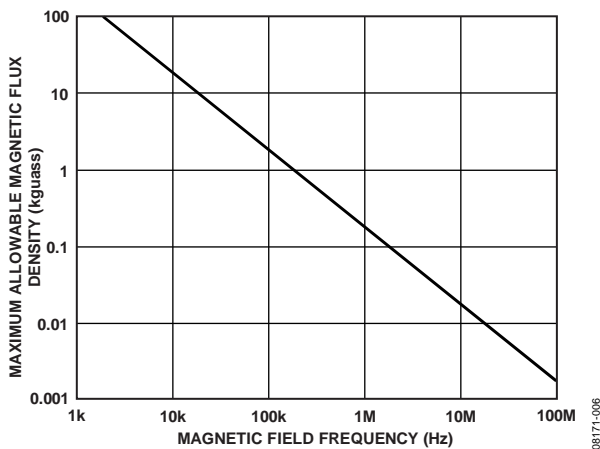


図 6. 最大許容外部磁束密度

たとえば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.2 k Ggauss の場合、受信側コイルでの誘導電圧は 0.25V になります。これは検出スレッシュホールドの約 50% であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM4160 トランスから与えられた距離だけ離れた特定の電流値に対応します。図 7 に、周波数の関数としての許容電流値を与えられた距離に対して示します。

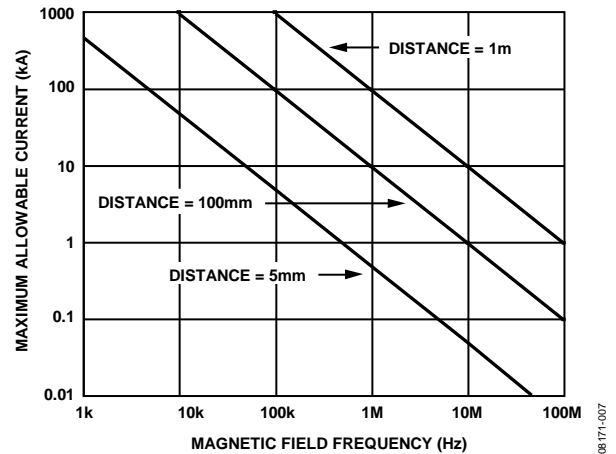


図 7. 様々な電流値と ADuM4160 までの距離に対する最大許容電流

図から読み取れるように、ADuM4160 の耐性は極めて高く、影響を受けるのは、高周波でかつデバイスに非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM4160 から 5 mm の距離まで近づける必要があります。

強い磁界と高周波が組合わさると、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施して ADuM4160 の絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。表 8 に、バイポーラ AC 動作条件と最大推奨動作電圧での 50 年のサービス寿命に対するピーク電圧と最大 CSA/VDE 認定動作電圧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM4160 の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。

iCoupler絶縁構造の性能は、波形がバイポーラAC、ユニポーラAC、DCのいずれであるかに応じて、異なるレートで低下します。図 8、図 9、図 10に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラACまたはユニポーラDC電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 8に示す動作電圧は、ユニポーラAC電圧またはユニポーラDC電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 9または図 10に適合しない絶縁電圧波形は、バイポーラAC波形として扱う必要があり、ピーク電圧は表 8に示す 50 年寿命電圧値に制限する必要があります。

図 9に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 Vとある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができますが、電圧は 0 Vを通過することはできません。

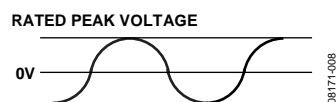


図 8.バイポーラ AC 波形

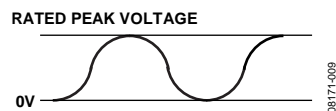


図 9.ユニポーラ AC 波形

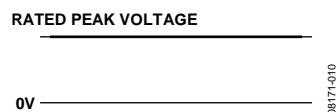
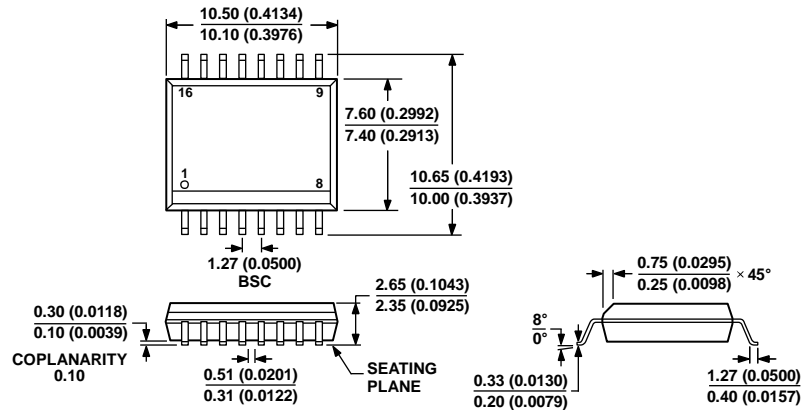


図 10.DC 波形

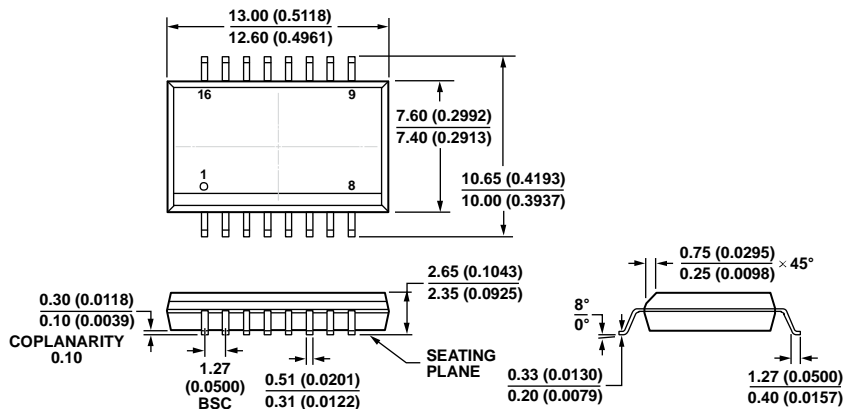
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

図 11.16 ピン標準スモール・アウトライン・パッケージ [SOIC_W]
ワイド・ボディ (RW-16)
寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MS-013-AC
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

10-122010-A

図 12.16 ピン標準スモール・アウトライン・パッケージ、クリーベッジ強化型 [SOIC_IC]
ワイド・ボディ (RI-16)
寸法: mm (インチ)

オーダー・ガイド

Model ^{1, 2}	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{DD2} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Jitter (ns)	Temperature Range	Package Description	Package Option
ADuM4160BRWZ	2	2	12	70	3	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4160BRWZ-RL	2	2	12	70	3	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM4160BRIZ	2	2	12	70	3	-40°C to +105°C	16-Lead SOIC_IC	RI-16
ADuM4160BRIZ-RL	2	2	12	70	3	-40°C to +105°C	16-Lead SOIC_IC	RI-16
EVAL-ADUM4160EBZ							Evaluation Board	

¹ Z = RoHS 準拠製品。

² 記載するすべてのデバイスについて、仕様ではフル・スピード・バッファ構成を表しています。