

+2.7V、低電力、マルチチャンネル  
シリアル8ビットADC

## 概要

MAX1110/MAX1111は、内部トラック/ホールド、電圧リファレンス、クロック及びシリアルインタフェースを備えた低電力の8ビット8チャンネルアナログデジタルコンバータ(ADC)です。+2.7V~+5.5Vの単一電源で動作し、最大サンプリングレートは50ksp/s、消費電流は僅か85 $\mu$ Aとなっています。MAX1110の8つのアナログ入力及びMAX1111の4つのアナログ入力は、ソフトウェアにより、ユニポーラ/バイポーラ及びシングルエンド/差動動作に設定できます。

逐次比較型のアナログデジタル変換は、内部クロック又は外部シリアルインタフェースクロックを使用することにより行われます。フルスケールアナログ入力範囲は、2.048V内部リファレンス又は外部から印加された1V~V<sub>DD</sub>範囲のリファレンスによって決定されます。4線シリアルインタフェースは、SPI™、QSPI™及びMICROWIRE™シリアルインタフェース規格に適合しています。シリアルストロブ出力により、割込み駆動プロセッサへの変換完了信号が提供されます。

MAX1110/MAX1111は、消費電力を最小限に抑えるためにソフトウェアで設定可能な2 $\mu$ A自動パワーダウンモードを備えています。パワーダウンモードを使用すると、消費電流は1ksp/sで僅か6 $\mu$ A、10ksp/sで僅か52 $\mu$ Aに低減します。パワーダウンは、SHDN入力ピンによって制御することも可能です。シリアルインタフェースにアクセスすると、素子は自動的にパワーアップします。

MAX1110は、20ピンSSOP及びDIPパッケージ、MAX1111は小型16ピンQSOP及びDIPパッケージで提供されています。

## アプリケーション

- ポータブルデータロギング
- ハンドヘルド測定機器
- 医療機器
- システム診断
- 太陽電池駆動のリモート機器
- 4~20mA駆動のリモートデータ収集機器

ピン配置は最後に記載されています。

SPI及びQSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

## 特長

- ◆ 電源：+2.7V~+5.5V単一
- ◆ 低電力：50ksp/sで85 $\mu$ A  
1ksp/sで6 $\mu$ A
- ◆ 入力：8チャンネルシングルエンド又は4チャンネル差動 (MAX1110)  
4チャンネルシングルエンド又は2チャンネル差動 (MAX1111)
- ◆ 内部トラック/ホールド  
サンプリングレート：50kHz
- ◆ 内部2.048V リファレンス
- ◆ シリアルインタフェース：  
SPI/QSPI/MICROWIREコンパチブル
- ◆ ユニポーラ又はバイポーラ入力：ソフトウェアで設定
- ◆ 全未調整エラー： $\pm 1$ LSB(max)  
 $\pm 0.3$ LSB(typ)

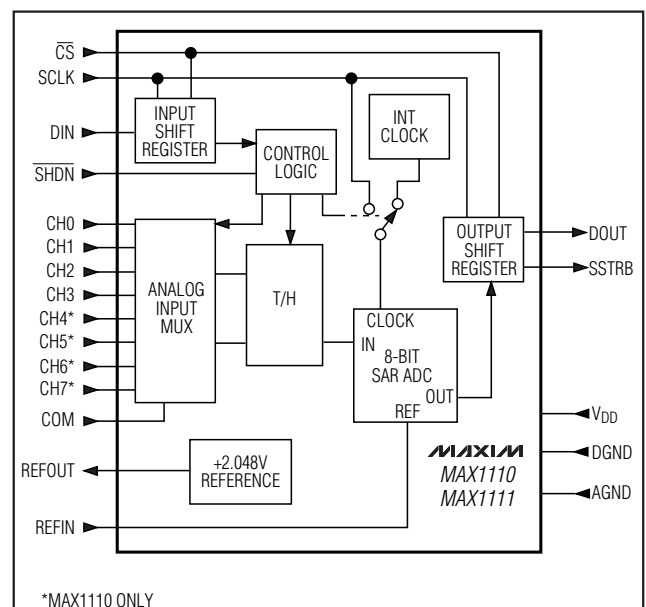
## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1110CPP	0°C to +70°C	20 Plastic DIP
MAX1110CAP	0°C to +70°C	20 SSOP
MAX1110C/D	0°C to +70°C	Dice*

\*Dice are specified at T<sub>A</sub> = +25°C, DC parameters only.

型番の続きは最後に記載されています。

## ファンクションダイアグラム



# +2.7V、低電力、マルチチャンネル シリアル8ビットADC

MAX1110/MAX1111

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND .....	-0.3V to 6V	20 Plastic DIP (derate 11.11mW/°C above +70°C) .....	889mW
AGND to DGND .....	-0.3V to 0.3V	20 SSOP (derate 8.00mW/°C above +70°C) .....	640mW
CH0-CH7, COM, REFIN,		20 CERDIP (derate 11.11mW/°C above +70°C) .....	889mW
REFOUT to AGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	Operating Temperature Ranges	
Digital Inputs to DGND .....	-0.3V to 6V	MAX1110C_P/MAX1111C_E .....	0°C to +70°C
Digital Outputs to DGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	MAX1110E_P/MAX1111E_E .....	-40°C to +85°C
Continuous Power Dissipation (T <sub>A</sub> = +70°C)		MAX1110MJP/MAX1111MJE .....	-55°C to +125°C
16 Plastic DIP (derate 10.53mW/°C above +70°C) .....	842mW	Storage Temperature Range .....	-65°C to +150°C
16 QSOP (derate 8.30mW/°C above +70°C) .....	667mW	Lead Temperature (soldering, 10sec) .....	+300°C
16 CERDIP (derate 10.00mW/°C above +70°C) .....	800mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +2.7V to +5.5V; unipolar input mode; COM = 0V; f<sub>CLK</sub> = 500kHz, external clock (50% duty cycle); 10 clocks/conversion cycle (50kps); 1μF capacitor at REFOUT; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>						
Resolution			8			Bits
Relative Accuracy (Note 1)	INL	V <sub>DD</sub> = 2.7V to 3.6V		±0.15	±0.5	LSB
		V <sub>DD</sub> = 5.5V (Note 2)		±0.2		
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error		V <sub>DD</sub> = 2.7V to 3.6V		±0.35	±1	LSB
		V <sub>DD</sub> = 5.5V (Note 2)		±0.5		
Gain Error (Note 3)		Internal or external reference			±1	LSB
Gain Temperature Coefficient		External reference, 2.048V		±0.8		ppm/°C
Total Unadjusted Error	TUE			±0.3	±1	LSB
Channel-to-Channel Offset Matching				±0.1		LSB
<b>DYNAMIC SPECIFICATIONS</b> (10.034kHz sine-wave input, 2.048Vp-p, 50kps, 500kHz external clock)						
Signal-to-Noise and Distortion Ratio	SINAD			49		dB
Total Harmonic Distortion (up to the 5th harmonic)	THD			-70		dB
Spurious-Free Dynamic Range	SFDR			68		dB
Channel-to-Channel Crosstalk		V <sub>CH_</sub> = 2.048Vp-p, 25kHz (Note 4)		-75		dB
Small-Signal Bandwidth		-3dB rolloff		1.5		MHz
Full-Power Bandwidth				800		kHz

# +2.7V、低電力、マルチチャネル シリアル8ビットADC

MAX1110/MAX1111

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +2.7V to +5.5V; unipolar input mode; COM = 0V; f<sub>SCLK</sub> = 500kHz, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksps); 1μF capacitor at REFOUT; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	t <sub>CONV</sub>	Internal clock		25	55	μs
		External clock, 500kHz, 10 clocks/conversion	20			
Track/Hold Acquisition Time	t <sub>ACQ</sub>	External clock, 2MHz	1			μs
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Internal Clock Frequency				400		kHz
External Clock-Frequency Range		(Note 6)	50		500	kHz
		Used for data transfer only			2	MHz
<b>ANALOG INPUT</b>						
Input Voltage Range, Single-Ended and Differential (Note 7)		Unipolar input, COM = 0V	0		V <sub>REFIN</sub>	V
		Bipolar input, COM = V <sub>REFIN</sub> / 2			COM ± V <sub>REFIN</sub> / 2	
Multiplexer Leakage Current		On/off leakage current, V <sub>CHL</sub> = 0V or V <sub>DD</sub>		±0.01	±1	μA
Input Capacitance				18		pF
<b>INTERNAL REFERENCE</b>						
REFOUT Voltage			1.968	2.048	2.128	V
REFOUT Short-Circuit Current				3.5		mA
REFOUT Temperature Coefficient				±50		ppm/°C
Load Regulation (Note 8)		0mA to 0.5mA output load		2.5		mV
Capacitive Bypass at REFOUT			1			μF
<b>EXTERNAL REFERENCE AT REFIN</b>						
Input Voltage Range			1		V <sub>DD</sub> + 50mV	V
Input Current		(Note 9)		1	20	μA
<b>POWER REQUIREMENTS</b>						
Supply Voltage	V <sub>DD</sub>		2.7		5.5	V
Supply Current (Note 2)	I <sub>DD</sub>	V <sub>DD</sub> = 2.7V to 3.6V Full-scale input C <sub>LOAD</sub> = 10pF	Operating mode	85	250	μA
			Reference disabled	45		
		V <sub>DD</sub> = 5.5V Full-scale input C <sub>LOAD</sub> = 10pF	Operating mode	120	250	
			Reference disabled	80		
		Power-down	Software	2		
			SHDN at DGND	3.2	10	
Power-Supply Rejection (Note 10)	PSR	V <sub>DD</sub> = 2.7V to 3.6V; external reference, 2.048V; full-scale input		±0.4	±4	mV

# +2.7V、低電力、マルチチャネル シリアル8ビットADC

MAX1110/MAX1111

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+5.5V$ ; unipolar input mode;  $COM = 0V$ ;  $f_{SCLK} = 500kHz$ , external clock (50% duty cycle); 10 clocks/conversion cycle (50ksps);  $1\mu F$  capacitor at  $REFOUT$ ;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DIGITAL INPUTS: DIN, SCLK, <math>\overline{CS}</math></b>						
DIN, SCLK, $\overline{CS}$ Input High Voltage	$V_{IH}$	$V_{DD} \leq 3.6V$	2			V
		$V_{DD} > 3.6V$	3			
DIN, SCLK, $\overline{CS}$ Input Low Voltage	$V_{IL}$				0.8	V
DIN, SCLK, $\overline{CS}$ Input Hysteresis	$V_{HYST}$			0.2		V
DIN, SCLK, $\overline{CS}$ Input Leakage	$I_{IN}$	Digital inputs = $0V$ or $V_{DD}$			$\pm 1$	$\mu A$
DIN, SCLK, $\overline{CS}$ Input Capacitance	$C_{IN}$	(Note 6)			15	pF
<b><math>\overline{SHDN}</math> INPUT</b>						
$\overline{SHDN}$ Input High Voltage	$V_{SH}$		$V_{DD} - 0.4$			V
$\overline{SHDN}$ Input Mid-Voltage	$V_{SM}$		1.1	$V_{DD} - 1.1$		V
$\overline{SHDN}$ Voltage, Floating	$V_{FLT}$	$\overline{SHDN} = \text{open}$		$V_{DD} / 2$		V
$\overline{SHDN}$ Input Low Voltage	$V_{SL}$				0.4	V
$\overline{SHDN}$ Input Current		$\overline{SHDN} = 0V$ or $V_{DD}$			$\pm 4$	$\mu A$
$\overline{SHDN}$ Maximum Allowed Leakage for Mid-Input		$\overline{SHDN} = \text{open}$			$\pm 100$	nA
<b>DIGITAL OUTPUTS: DOUT, SSTRB</b>						
Output Low Voltage	$V_{OL}$	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 16mA$			0.8	
Output High Voltage	$V_{OH}$	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V
Three-State Leakage Current	$I_L$	$\overline{CS} = V_{DD}$		$\pm 0.01$	$\pm 10$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$ (Note 6)			15	pF

# +2.7V、低電力、マルチチャネル シリアル8ビットADC

MAX1110/MAX1111

## TIMING CHARACTERISTICS (Figures 8 and 9)

( $V_{DD} = +2.7V$  to  $+5.5V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Track/Hold Acquisition Time	t <sub>ACQ</sub>			1			μs
DIN to SCLK Setup	t <sub>DS</sub>			100			ns
DIN to SCLK Hold	t <sub>DH</sub>			0			ns
SCLK Fall to Output Data Valid	t <sub>DO</sub>	Figure 1, C <sub>LOAD</sub> = 100pF	MAX111_C/E	20		200	ns
			MAX111_M	20		240	
$\overline{CS}$ Fall to Output Enable	t <sub>DV</sub>	Figure 1, C <sub>LOAD</sub> = 100pF				240	ns
$\overline{CS}$ Rise to Output Disable	t <sub>TR</sub>	Figure 2, C <sub>LOAD</sub> = 100pF				240	ns
$\overline{CS}$ to SCLK Rise Setup	t <sub>CSS</sub>			100			ns
$\overline{CS}$ to SCLK Rise Hold	t <sub>CSH</sub>			0			ns
SCLK Pulse Width High	t <sub>CH</sub>			200			ns
SCLK Pulse Width Low	t <sub>CL</sub>			200			ns
SCLK Fall to SSTRB	t <sub>SSTRB</sub>	C <sub>LOAD</sub> = 100pF				240	ns
$\overline{CS}$ Fall to SSTRB Output Enable (Note 6)	t <sub>SDV</sub>	Figure 1, external clock mode only, C <sub>LOAD</sub> = 100pF				240	ns
$\overline{CS}$ Rise to SSTRB Output Disable (Note 6)	t <sub>STR</sub>	Figure 2, external clock mode only, C <sub>LOAD</sub> = 100pF				240	ns
SSTRB Rise to SCLK Rise (Note 6)	t <sub>SCK</sub>	Figure 11, internal clock mode only		0			ns
Wakeup Time	t <sub>WAKE</sub>	External reference			20		μs
		Internal reference (Note 11)			12		ms

**Note 1:** Relative accuracy is the analog value's deviation (at any code) from its theoretical value after the full-scale range is calibrated.

**Note 2:** See *Typical Operating Characteristics*.

**Note 3:**  $V_{REFIN} = 2.048V$ , offset nulled.

**Note 4:** On-channel grounded; sine wave applied to all off-channels.

**Note 5:** Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

**Note 6:** Guaranteed by design. Not subject to production testing.

**Note 7:** Common-mode range for the analog inputs is from AGND to  $V_{DD}$ .

**Note 8:** External load should not change during the conversion for specified accuracy.

**Note 9:** External reference at 2.048V, full-scale input, 500kHz external clock.

**Note 10:** Measured as  $|V_{FS}(2.7V) - V_{FS}(3.6V)|$ .

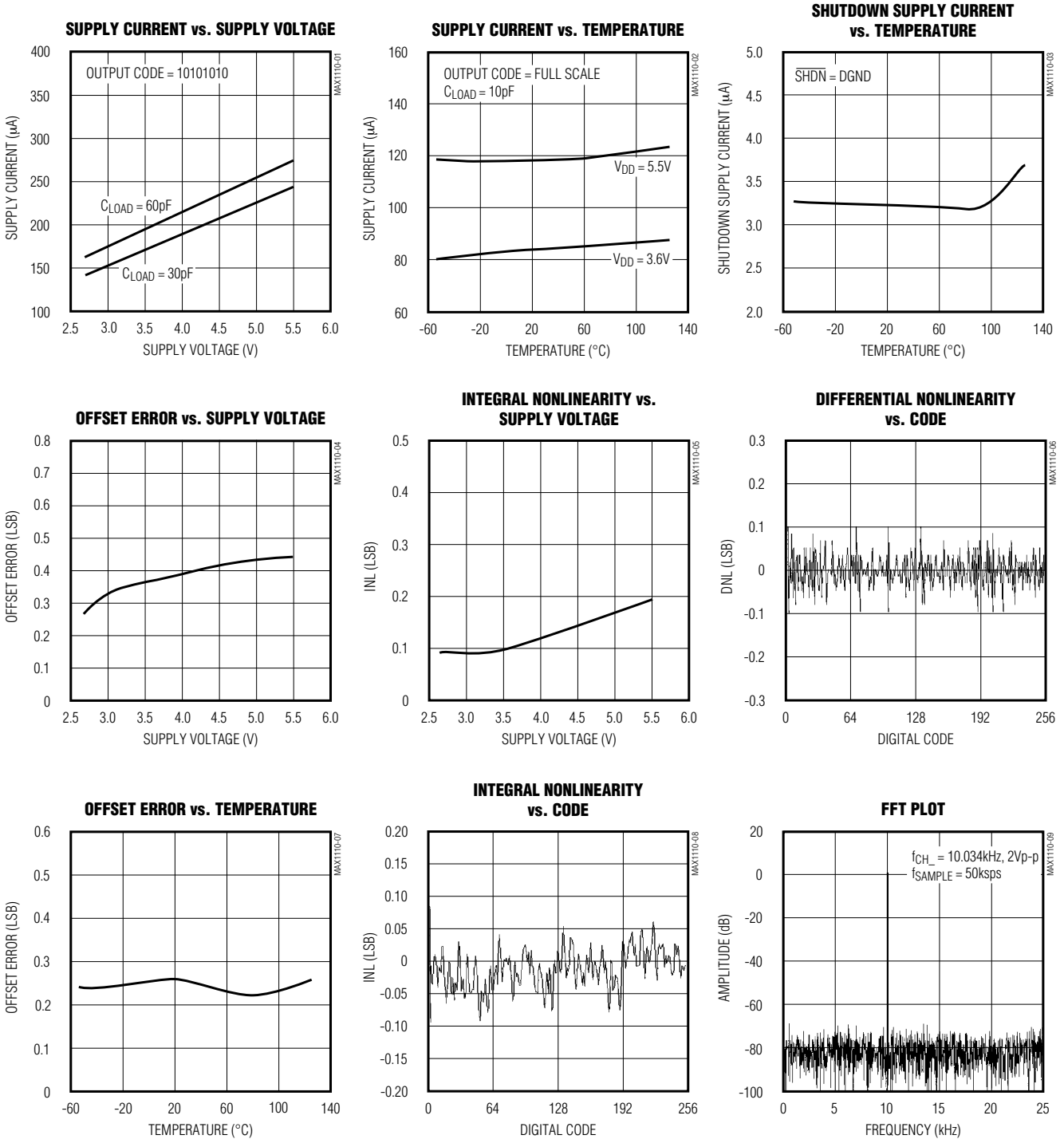
**Note 11:** 1μF at REFOUT; internal reference settling to 0.5LSB.

# +2.7V、低電力、マルチチャンネル シリアル8ビットADC

MAX1110/MAX1111

## 標準動作特性

( $V_{DD} = +2.7V$ ;  $f_{SCLK} = 500kHz$ ; external clock (50% duty cycle);  $R_L = \infty$ ;  $T_A = +25^\circ C$ , unless otherwise noted.)



# +2.7V、低電力、マルチチャネル シリアル8ビットADC

MAX1110/MAX1111

## 端子説明

端子		名称	機能
MAX1110	MAX1111		
1-4	1-4	CH0-CH3	サンプリングアナログ入力
5-8	—	CH4-CH7	サンプリングアナログ入力
9	5	COM	アナログ入力のグラウンドリファレンス。シングルエンドモードにおけるゼロコード電圧を設定します。±0.5LSBの安定性が必要です。
10	6	$\overline{\text{SHDN}}$	3レベルシャットダウン入力。通常はフローティングです。MAX1110/MAX1111は $\overline{\text{SHDN}}$ をローにするとシャットダウンし、消費電流が10 $\mu\text{A}$ (max)に低減されます。それ以外の場合は、完全動作状態です。 $\overline{\text{SHDN}}$ をハイにすると、内部リファレンスがシャットダウンされます。
11	7	REFIN	アナログデジタル変換用のリファレンス電圧入力。内部リファレンスを使用する場合はREFOUTに接続してください。
12	8	REFOUT	内部リファレンスジェネレータ出力。1 $\mu\text{F}$ コンデンサでAGNDにバイパスしてください。
13	9	AGND	アナロググラウンド
14	10	DGND	デジタルグラウンド
15	11	DOUT	シリアルデータ出力。データは、SCLKの立下がりエッジでクロック出力されます。 $\overline{\text{CS}}$ がハイの時は、ハイインピーダンスになります。
16	12	SSTRB	シリアルストロブ出力。内部クロックモードのSSTRBIは、MAX1110/MAX1111がA/D変換を開始した時にローになり、変換終了時にハイになります。外部クロックモードでは、MSBがシフトアウトされる前に2クロックサイクル間パルス的にハイになります。 $\overline{\text{CS}}$ がハイの時は、ハイインピーダンスになります(外部クロックモードのみ)。
17	13	DIN	シリアルデータ入力。データはSCLKの立上がりエッジでクロック入力されます。DINIにおける電圧は、 $V_{\text{DD}}$ を超えることがあります(最大5.5V)。
18	14	$\overline{\text{CS}}$	アクティブローのチップセレクト。 $\overline{\text{CS}}$ がローでない限り、データはDINにクロック入力されません。 $\overline{\text{CS}}$ がハイの時、DOUTはハイインピーダンスになります。 $\overline{\text{CS}}$ における電圧は、 $V_{\text{DD}}$ を超えることがあります(最大5.5V)。
19	15	SCLK	シリアルクロック入力。シリアルインタフェースのデータをクロック入力及び出力します。SCLKは、外部クロックモードのときに変換速度も設定します(デューティサイクルは45%~55%である必要があります)。SCLKにおける電圧は、 $V_{\text{DD}}$ を超えることがあります(最大5.5V)。
20	16	$V_{\text{DD}}$	正電源電圧(+2.7V ~ +5.5V)

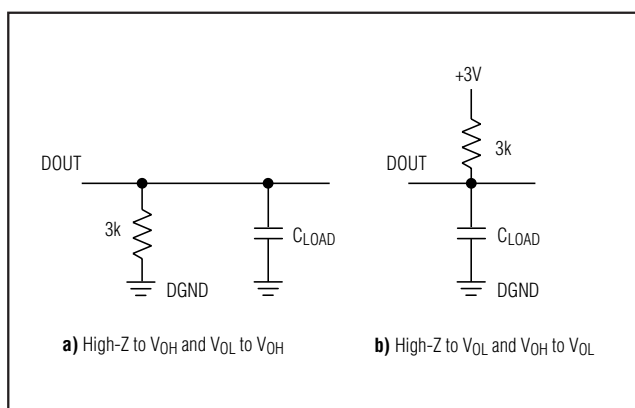


図1. イネーブル時間用の負荷回路

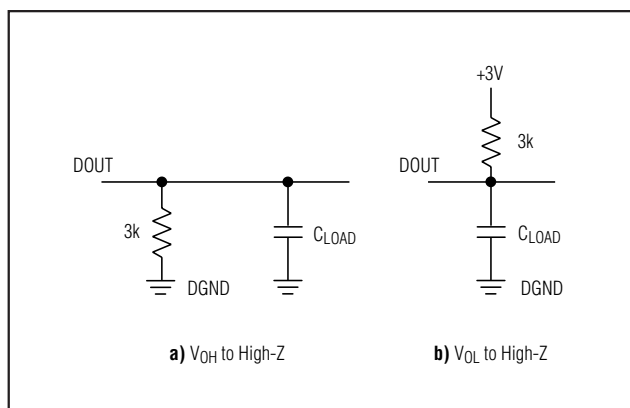


図2. ディセーブル時間用の負荷回路

# +2.7V、低電力、マルチチャンネル シリアル8ビットADC

MAX1110/MAX1111

## 詳細

MAX1110/MAX1111アナログデジタルコンバータ(ADC)は、逐次比較型の変換技法及び入力トラック/ホールド(T/H)回路を使用することによって、アナログ信号を8ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースにより、マイクロプロセッサ( $\mu\text{P}$ )とのインタフェースを容易にしています。図3に、標準動作回路を示します。

## 疑似差動入力

図4は、このADCのアナログコンパレータのサンプリング構成を示す等価入力回路です。シングルエンドモードでは、IN+が内部で選択された入力チャンネルCH<sub>n</sub>にスイッチングされ、IN-はCOMにスイッチングされます。差動モードの場合のIN+及びIN-は、CH0/CH1、CH2/CH3、CH4/CH5、及びCH6/CH7の組み合わせの中から選択します。MAX1110及びMAX1111のチャンネルの設定は、それぞれ表1及び表2を参考に行ってください。

差動モードでは、IN-及びIN+がどちらかのアナログ入力に内部でスイッチ接続されます。この構成ではIN+の信号だけがサンプリングされるため、疑似差動と呼ばれています。リターン側(IN-)は、変換中、AGNDに対して $\pm 0.5\text{LSB}$ (最良の結果を得るには $\pm 0.1\text{LSB}$ )以内で安定している必要があります。これを実現するには、(選択したアナログ入力)IN-とAGNDの間に $0.1\mu\text{F}$ のコンデンサを接続してください。

アキュイジション期間中は、正入力(IN+)として選択されたチャンネルにより、コンデンサ $C_{\text{HOLD}}$ が充電されます。

アキュイジション期間は2 SCLKサイクル間続き、入力制御ワードの最後のビットが入力された後のSCLKの立下がりエッジで完了します。アキュイジション期間の終了時にT/Hスイッチが開き、 $C_{\text{HOLD}}$ の電荷をIN+の信号のサンプルとして保持します。変換期間は、入力マルチプレクサが $C_{\text{HOLD}}$ を正入力(IN+)から負入力(IN-)にスイッチングした時から始まります。シングルエンドモードにおけるIN-はCOMです。このため、コンパレータの入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACによりノードZEROが8ビット分解能の制限範囲で0Vに調節されます。この動作は、 $18\text{pF} \times [(V_{\text{IN}+}) - (V_{\text{IN}-})]$ の電荷を $C_{\text{HOLD}}$ からバイナリ重み付の容量性DACに移すことと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

## トラック/ホールド

T/Hは、8ビット制御ワードの6番目のビットがシフトインされた後の立下がりクロックエッジでトラッキングモードに入り、制御ワードの8番目のビットがシフトインされた後の立下がりクロックエッジでホールドモードに入ります。コンバータがシングルエンド入力用に設定されている場合は、IN-がCOMに接続され、コンバータは「+」入力をサンプリングします。コンバータが差動入力用に設定されている場合は、IN-が「-」入りに接続され、差(IN+ - IN-)がサンプリングされます。変換完了時に正入力再びIN+に接続され、 $C_{\text{HOLD}}$ は入力信号電圧まで充電されます。

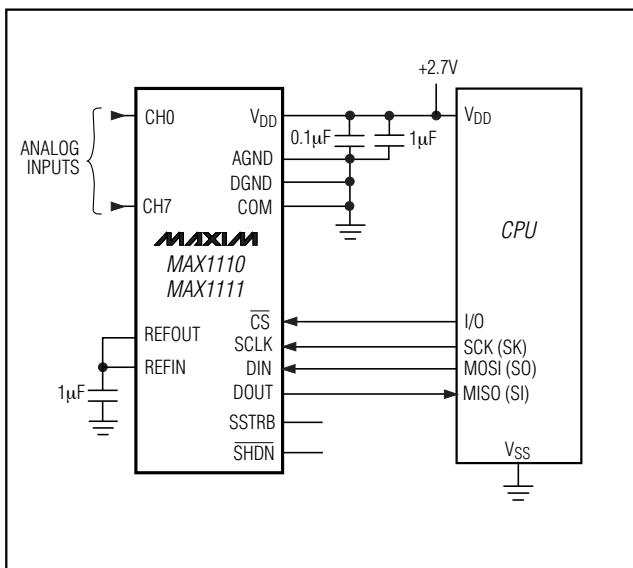


図3. 標準動作回路

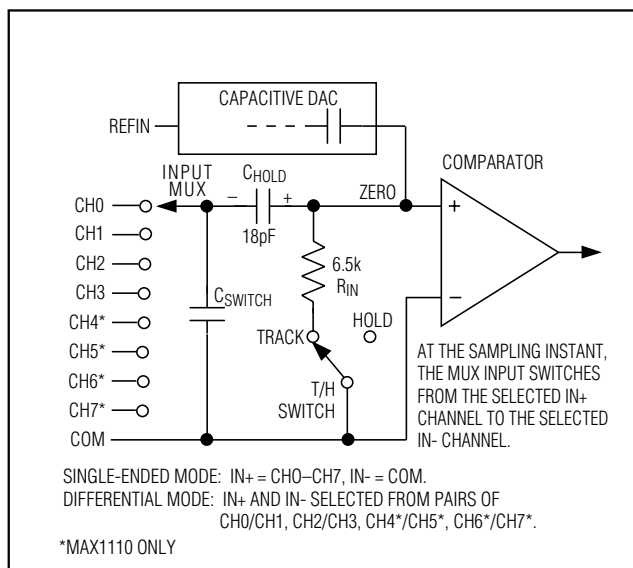


図4. 等価入力回路



# +2.7V、低電力、マルチチャネル シリアル8ビットADC

表1a. MAX1110のシングルエンドモードにおけるチャネル選択(SGL/ $\overline{\text{DIF}}$ = 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+								-
1	0	0		+							-
0	0	1			+						-
1	0	1				+					-
0	1	0					+				-
1	1	0						+			-
0	1	1							+		-
1	1	1								+	-

表1b. MAX1110の差動モードにおけるチャネル選択(SGL/ $\overline{\text{DIF}}$ = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

表2a. MAX1111のシングルエンドモードにおけるチャネル選択(SGL/ $\overline{\text{DIF}}$ = 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	COM
0	0	X	+				-
1	0	X		+			-
0	1	X			+		-
1	1	X				+	-

表2b. MAX1111の差動モードにおけるチャネル選択(SGL/ $\overline{\text{DIF}}$ = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3
0	0	X	+	-		
0	1	X			+	-
1	0	X	-	+		
1	1	X			-	+

# +2.7V、低電力、マルチチャンネル シリアル8ビットADC

T/Hが入力信号を取込むために要する時間は、入力容量が充電される速さの関数になっています。入力信号のソースインピーダンスが高いとアキュイジション時間が長くなるため、変換と変換の間の時間を長くする必要があります。アキュイジション時間 $t_{ACQ}$ は信号の取込みに必要な最低時間です。 $t_{ACQ}$ は、次式で求めます。

$$t_{ACQ} = 6 \times (R_S + R_{IN}) \times 18pF$$

ここで、 $R_{IN} = 6.5k$ 、 $R_S$  = 入力信号のソースインピーダンス、そして $t_{ACQ}$ は必ず $1\mu s$ 以上です。ソースインピーダンスが $2.4k$ 以下であれば、ADCのAC性能に大きな影響はありません。

## 入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は1.5MHzであるため、高速の過渡現象を数値化し、アンダーサンプリング技法を使用することにより帯域幅がADCのサンプリングレート以上の帯域の周期信号を測定できます。高周波信号が計測する周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングをお勧めします。

## アナログ入力

内部保護ダイオードによってアナログ入力が $V_{DD}$ とAGNDにクランプされているため、チャンネル入力ピンは $(AGND - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲で損傷を起こすことなくスイングできます。しかし、フルスケール

付近で正確な変換を行うには、入力が $V_{DD}$ を50mV以上超えたり、AGNDを50mV以上下回ることがないようにします。

アナログ入力が電源を50mV以上超えた場合、オフチャネルの保護ダイオードに2mA以上の順方向バイアスをかけないでください。

MAX1110/MAX1111は、制御バイトのビット2及びビット3によって差動又はシングルエンド入力用に設定できます(表3)。シングルエンドモードにおけるアナログ入力は内部でCOMを基準としており、フルスケール入力範囲はCOMから $V_{REFIN} + COM$ となります。バイポーラ動作の場合は、COMを $V_{REFIN}/2$ に設定してください。

差動モードの場合ユニポーラモードを選択すると、差動入力範囲が $0V \sim V_{REFIN}$ になります。ユニポーラモードでは、負の差動入力電圧が印加されると出力コードは無効(コードゼロ)になります。バイポーラモードでは差動入力範囲は $\pm V_{REFIN}/2$ に設定されます。このモードでは、入力同相範囲に両電源電圧が含まれています。入力電圧範囲については、表4を参照してください。

## 性能チェック回路

MAX1110/MAX1111のアナログ性能を迅速に評価するには、図5の回路を使用してください。MAX1110/MAX1111では、各変換の前に制御バイトがDINに書き込まれる必要があります。DINを+3Vにすると、

表3. 制御バイトフォーマット

ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
START	SEL2	SEL1	SEL0	UNI/BIP	SGL/DIF	PD1	PD0

ビット	名称	内容
7 (MSB)	START	$\overline{CS}$ がローになった後の最初のロジック「1」が制御バイトの開始になります。
6 5 4	SEL2 SEL1 SEL0	入力チャンネルのうちのどれを変換に使用するかを選択します(表1及び表2)。
3	UNI/BIP	1 = ユニポーラ、0 = バイポーラ。ユニポーラ変換モードかバイポーラ変換モードかを選択します。バイポーラモードを使用する場合は、差動動作を選択してください。表4を参照。
2	SGL/DIF	1 = シングルエンド、0 = 差動。シングルエンド変換か差動の変換かを選択します。シングルエンドモードの入力信号電圧は、COMを基準としています。差動モードでは2つのチャンネルの間の電圧差が測定されます。表1及び表2を参照。
1	PD1	1 = 完全動作、0 = パワーダウン 完全動作モードかパワーダウンモードかを選択します。
0 (LSB)	PD0	1 = 外部クロックモード、0 = 内部クロックモード 外部クロックモードか内部クロックモードかを選択します。

# +2.7V、低電力、マルチチャネル シリアル8ビットADC

MAX1110/MAX1111

表4. フルスケール及びゼロスケール電圧

ユニポーラモード		バイポーラモード		
フルスケール	ゼロスケール	正のフルスケール	ゼロスケール	負のフルスケール
VREFIN + COM	COM	+VREFIN / 2 + COM	COM	-VREFIN / 2 + COM

\$FF(HEX)という制御バイトが書き込まれます。これは、変換と変換の間にパワーダウンのない外部クロックモードのCH7(MAX1110)又はCH3(MAX1111)のシングルエンドユニポーラ変換をトリガします。外部クロックモードでは、8ビット変換結果の最高位ビットがDOUTからシフトアウトされる前に、SSTRB出力が2クロック周期の間パルス的にハイになります。アナログ入力を変化させると出力コードが変わります。1変換当たり合計10クロックサイクルが必要です。SSTRB及びDOUTの遷移は、SCLKの立下がりエッジで起こります。

### 変換開始方法

MAX1110/MAX1111の変換は、制御バイトをDINにクロックインすることによって開始されます。 $\overline{CS}$ がローの場合、SCLKクロックの各立上がりエッジ毎にDINからMAX1110/MAX1111の内部シフトレジスタへ1ビットずつクロック入力されます。 $\overline{CS}$ が下がった

後で最初に来たDINにおけるロジック「1」のビットが制御バイトのMSBを定義します。この最初の「スタート」ビットが来るまでは、ロジック「0」のビットがいくつDINにクロック入力されても一切影響はありません。表3に、制御バイトのフォーマットを示します。

MAX1110/MAX1111は、MICROWIERE、SPI及びQSPI機器とコンパチブルです。SPIの場合は、SPI制御レジスタで正しいクロック極性及びサンプリングエッジを選択してください(CPOL = 0及びCPHA = 0に設定してください)。MICROWIERE、SPI及びQSPIはいずれもバイトの送信とバイトの受信を同時に行います。標準動作回路(図3)を使用した場合、最もシンプルなソフトウェアインタフェースでは8ビット転送を3回行うことにより変換が行えます(1回の8ビット転送でADCを設定し、残り2回の8ビット転送で8ビット変換結果をクロック出力します)。図6に、MAX1110とMAX1111に共通なシリアルインタフェースの接続を示します。

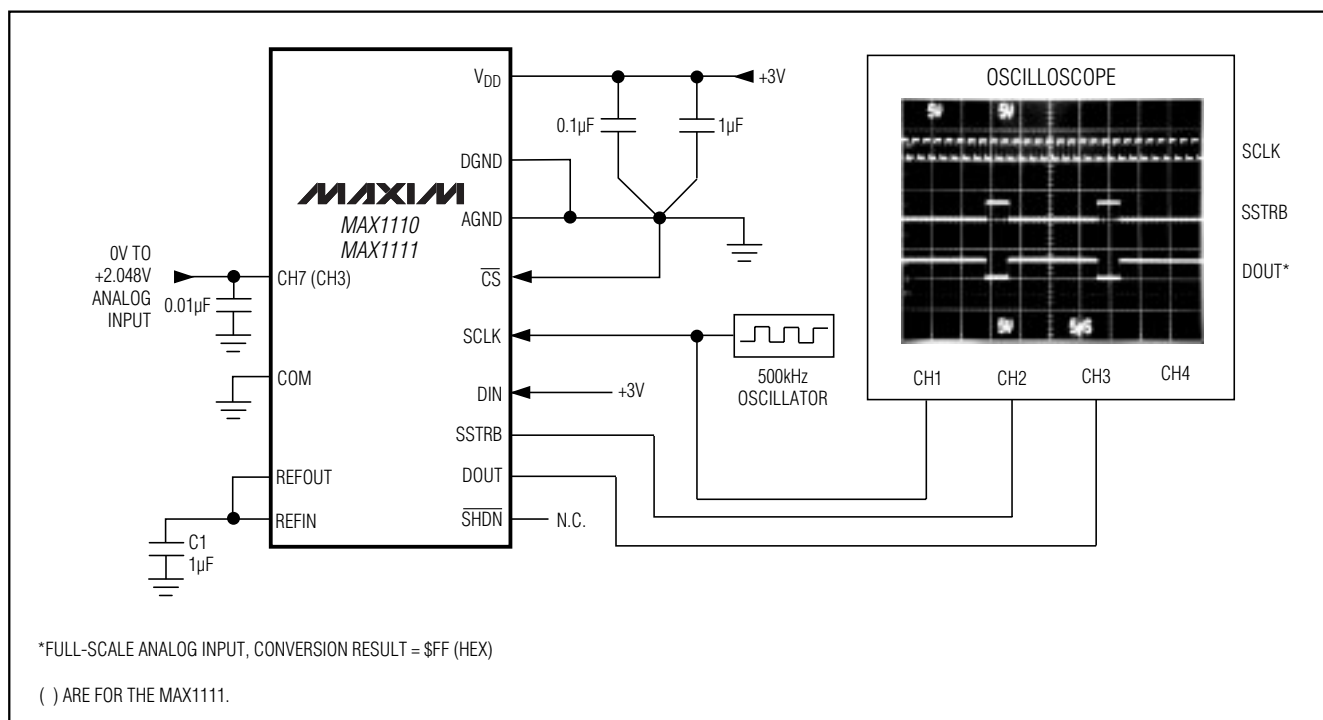


図5. 性能チェック回路

# +2.7V、低電力、マルチチャンネル シリアル8ビットADC

MAX1110/MAX1111

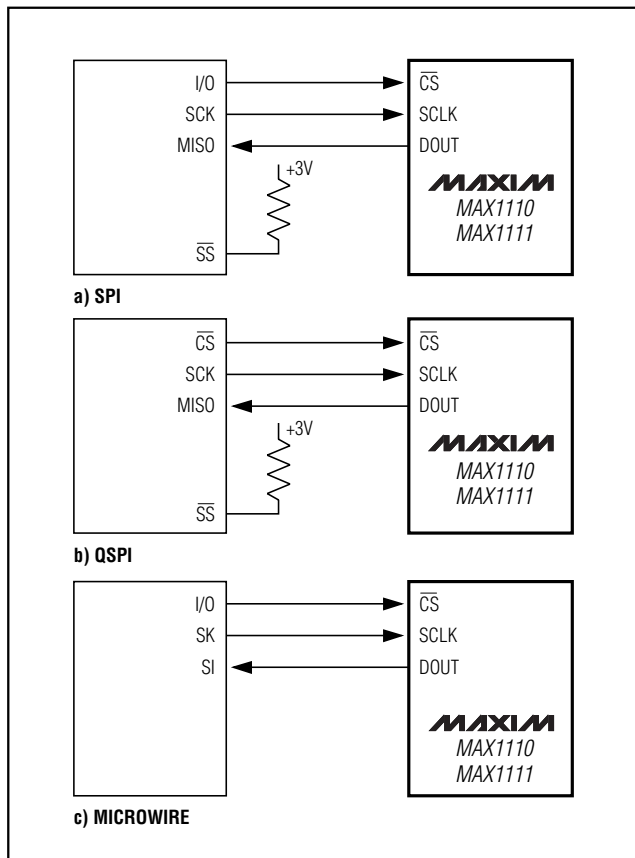


図6. MAX1110とMAX1111に共通なシリアルインタフェースの接続

## シンプルなソフトウェアインタフェース

CPUがシリアルクロックを発生するように、CPUのシリアルインタフェースがマスターモードで動作していることを確認してください。クロック周波数は、50kHz~500kHzの範囲で選択してください。

- 1) 制御バイトを外部クロックモードに設定し、これをTB1と呼びます。TB1のフォーマットは、バイナリの1XXXXX11になります。ここで、Xは選択された特定のチャンネル及び変換モードを意味します。
- 2) CPUの汎用I/Oラインを使用して、MAX1110/MAX1111の $\overline{CS}$ をローにします。
- 3) TB1を送信し、同時にバイトを受信します。受信したバイトをRB1と呼びます。RB1は無視します。
- 4) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB2を受信します。
- 5) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB3を受信します。
- 6)  $\overline{CS}$ をハイにします。

図7に、このシーケンスのタイミングを示します。バイトRB2及びRB3は、先行のゼロ2個及び後続ビットである6つのゼロに挟まれた変換結果を含んでいます。合計変換時間は、シリアルクロック周波数及び8ビット転送間のアイドル時間の関数です。T/Hが過剰にドループするのを防ぐために、合計変換時間が1msを超えないようにしてください。

## デジタル入力

$\overline{CS}$ 、SCLK及びDINは、電源電圧に関係なく最大5.5Vまでの入力信号を許容します。これにより、MAX1110/MAX1111は3V機器及び5V機器の両方からデジタル入力を受けることができます。

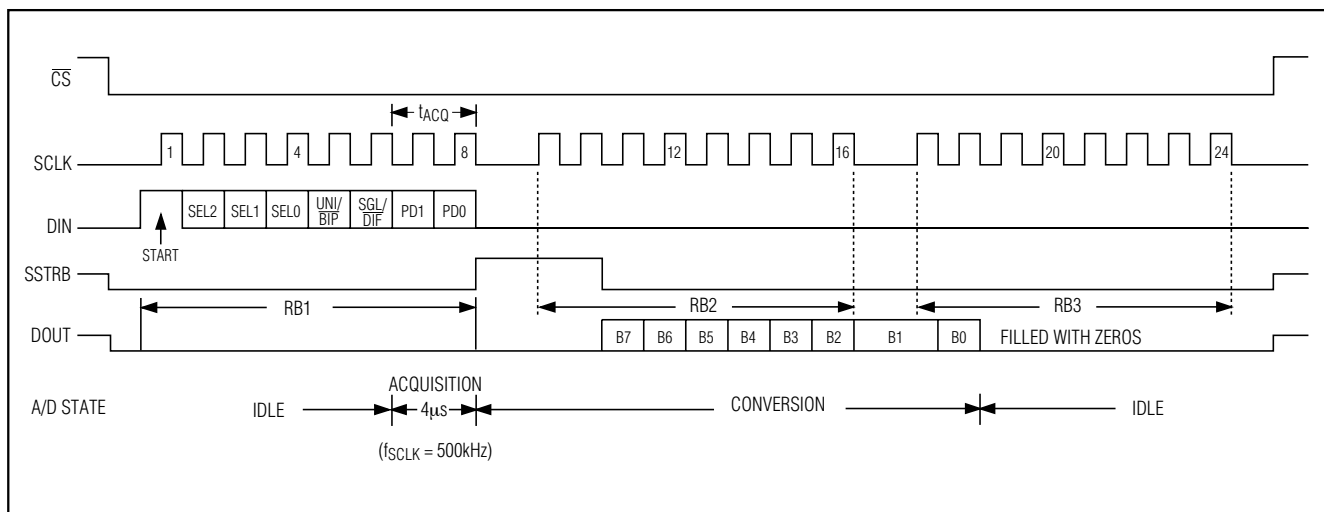


図7. 単一変換のタイミング(外部クロックモード、24クロック)

# +2.7V、低電力、マルチチャネル シリアル8ビットADC

## デジタル出力

ユニポーラ入力モードにおける出力は、ストレートなバイナリです(図15)。バイポーラ入力の場合、出力は2の補数形式になります(図16)。データは、SCLKの立下がりエッジで、MSBを先頭にクロックアウトされます。

## クロックモード

MAX1110/MAX1111では、外部シリアルクロック又は内部クロックのいずれかを使用することにより、逐次比較型変換を行うことができます。どちらのクロックモードの場合も、外部クロックがMAX1110/MAX1111からデータをシフトイン/アウトします。制御バイトのビットPD0によってクロックモードがプログラムされます。図8~11に、両方のモードに共通するタイミングの特性を示します。

## 外部クロック

外部クロックモードにおける外部クロックは、データをシフトイン/アウトするだけでなく、A/D変換ステップ

の駆動も行います。SSTRBは制御バイトの最後のビットの後に、2クロック周期の間パルスのハイになります。逐次比較用のビット決定は、それに続くSCLKの立下がりエッジ8個でそれぞれ行われ、DOUTに出力されます(図7)。8個のデータビットがクロックアウトされた後のクロックパルスは、DOUTピンからゼロをクロックアウトすることになります。

$\overline{CS}$ がハイになると、SSTRB及びDOUTはハイインピーダンス状態になります。そして、その次の $\overline{CS}$ の立下がりエッジでSSTRBはロジックローを出力します。図9に、外部クロックモードにおけるSSTRBのタイミングを示します。

変換は、1ms以内に完了する必要があります。完了しない場合は、サンプルアンドホールドコンデンサのドループによって変換結果が劣化することがあります。シリアルクロック周波数が50kHz以下の場合やシリアルクロックの割込みによって変換周期が1msを超える可能性がある場合は、内部クロックモードを使用してください。

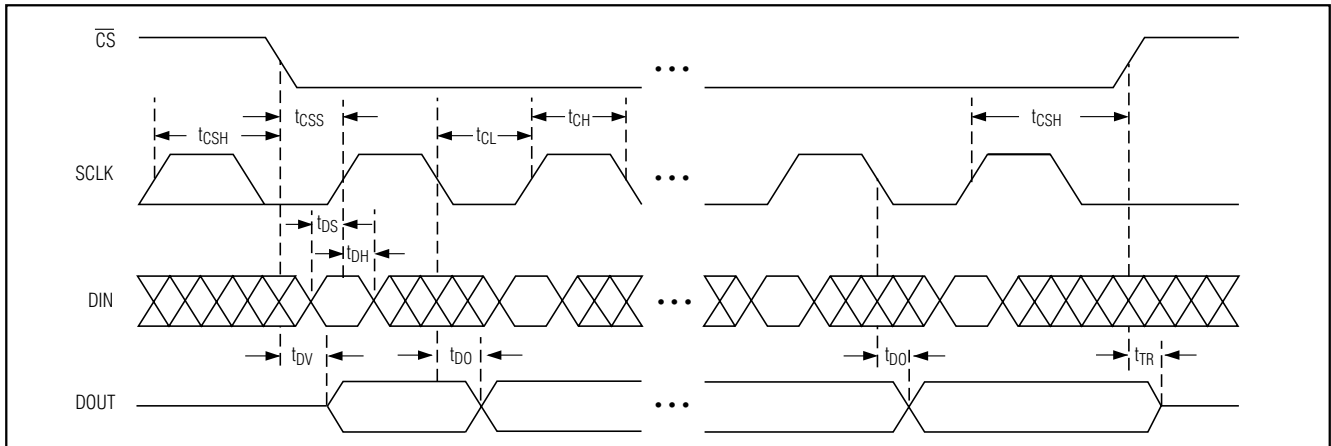


図8. シリアルインタフェースのタイミングの詳細

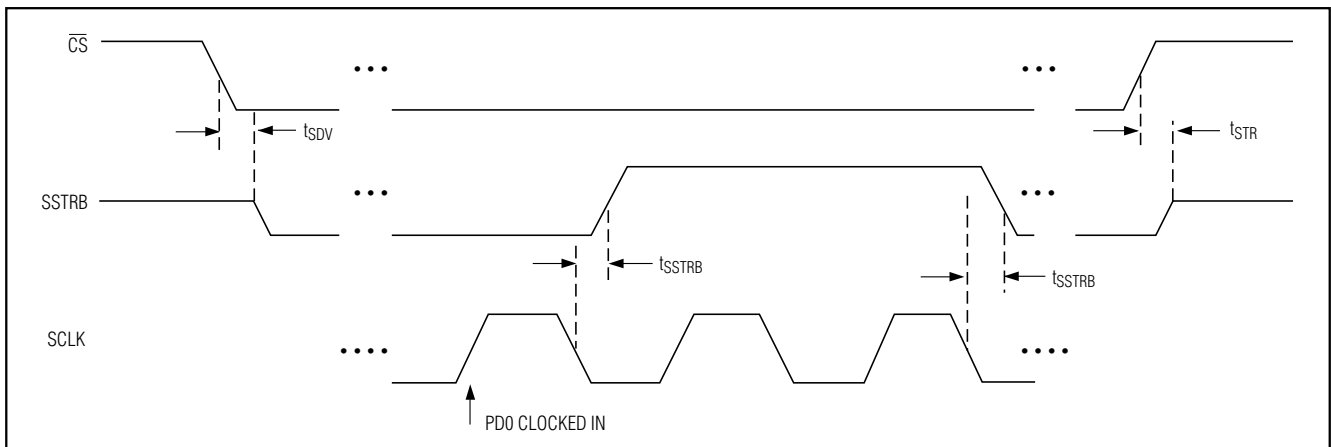


図9. 外部クロックモードにおけるSSTRBのタイミングの詳細

# +2.7V、低電力、マルチチャンネル シリアル8ビットADC

MAX1110/MAX1111

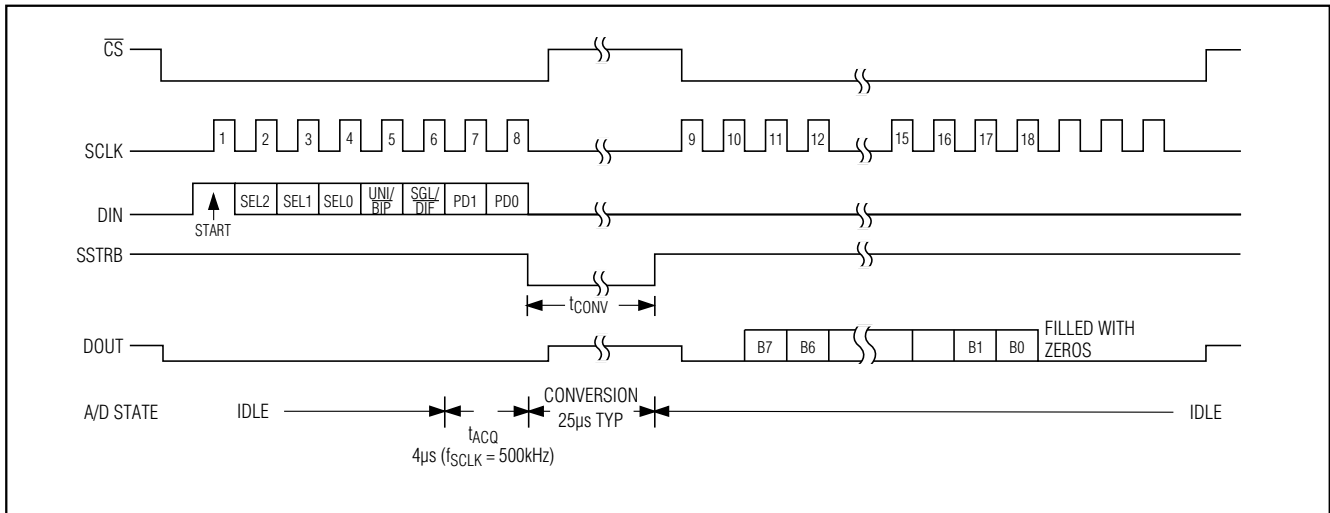


図10. 内部クロックモードのタイミング

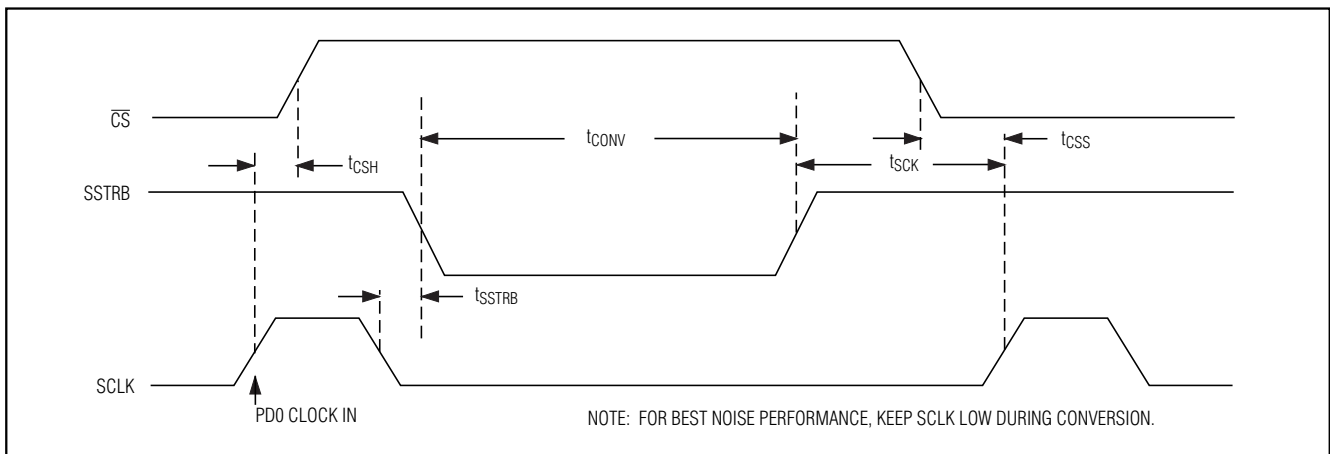


図11. 内部クロックモードでのSSTRBのタイミングの詳細

## 内部クロック

内部クロックモードでは、 $\mu\text{P}$ がSAR変換クロックを動作させる役割から解放され、変換結果はプロセッサの都合のよいときに、2MHzまでの任意のクロックレートで読取ることができます。SSTRBは変換開始時にローになり、変換が完了するとハイになります。SSTRBは25 $\mu\text{s}$ (typ)間ローに留まりますが、最高のノイズ性能を得るには、その間SCLKをローに保つようにします。

変換中は、内部レジスタにデータが保管されます。変換の完了後任意の時点で、SCLKがこのレジスタからデータをクロックアウトします。SSTRBがハイになった後、2番目の立下がりクロックエッジでDOUTに変換のMSBが出力され、続いて残りのビットがMSBを先頭にしたフォーマットで出力されます(図10)。一旦変換

が開始された後は、 $\overline{\text{CS}}$ をローに保持する必要はありません。 $\overline{\text{CS}}$ をハイにするとデータがMAX1110/MAX1111にクロックインされなくなり、DOUTがスリーステートになりますが、すでに進行中の内部クロックモードの変換に悪影響を与えることはありません。内部クロックモードが選択されている場合は、 $\overline{\text{CS}}$ がハイになってもSSTRBがハイインピーダンス状態にはなりません。

図11に、内部クロックモードにおけるSSTRBのタイミングを示します。このモードでは、最小アキュイジションタイム( $t_{\text{ACQ}}$ )が1 $\mu\text{s}$ 以上に保持されている限り、2.0MHzまでのクロックレートでデータをMAX1110/MAX1111にシフトインできると共に、シフトアウトすることもできます。

# +2.7V、低電力、マルチチャネル シリアル8ビットADC

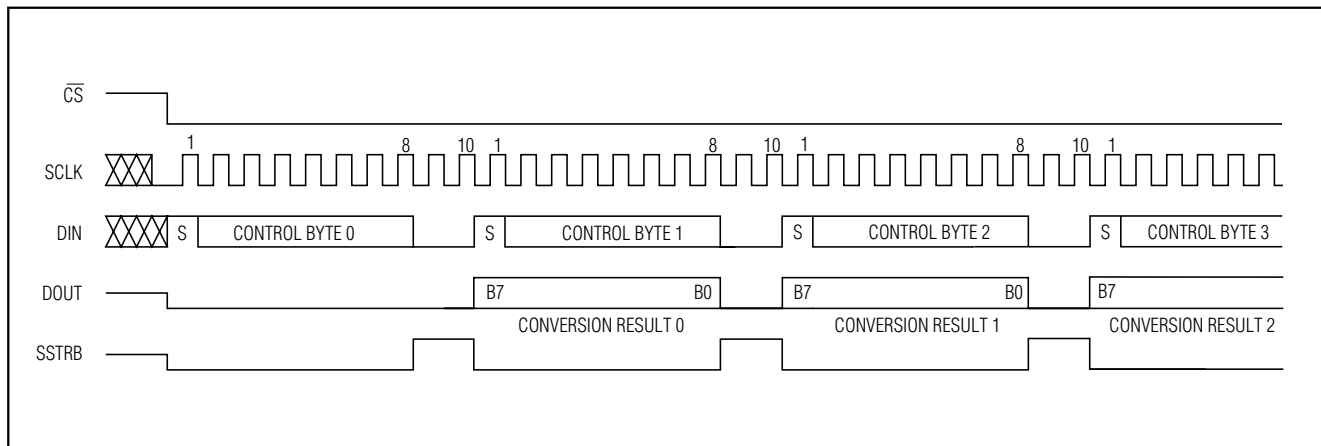


図12a. 外部クロックモードでの連続変換(10クロック/変換のタイミング)

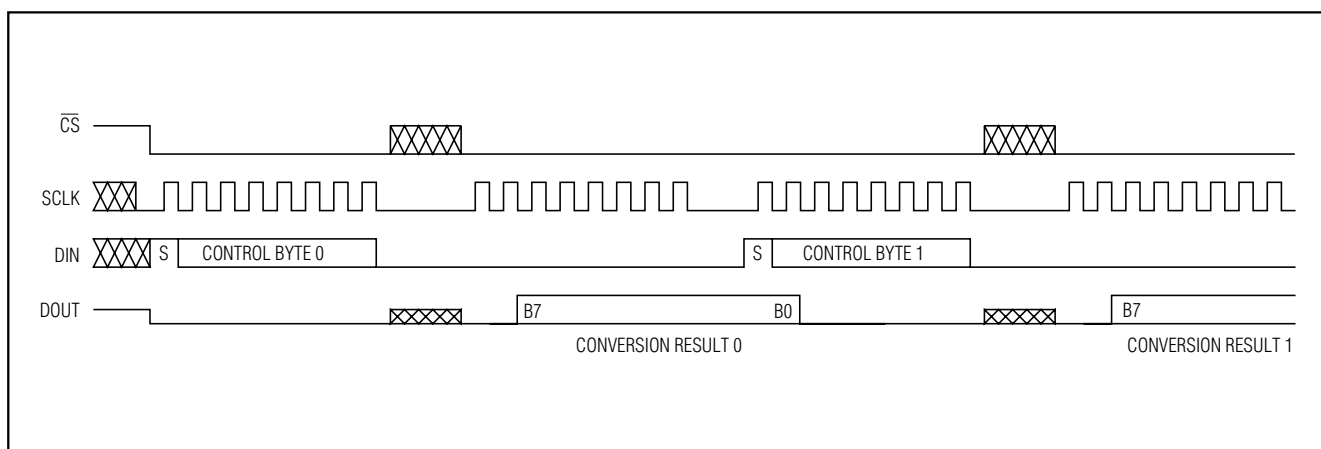


図12b. 外部クロックモードでの連続変換(16クロック/変換のタイミング)

## データフレーミング

変換は、 $\overline{CS}$ の立下がりエッジでは開始されません。DINにクロックインされる最初のロジックハイがスタートビットとして解釈され、これが制御バイトの最初のビットとなります。変換は8番目の制御ビット(PD0ビット)がDINにクロックインされた後のSCLKの立下がりエッジで開始されます。スタートビットの定義は、以下のとおりです。

コンバータがアイドル状態である任意の時間(例えば  $V_{DD}$ が印加された後)に、 $\overline{CS}$ がローの状態にDINにクロックインされてきた最初のハイビット。

又は

進行中の変換のMSBがDOUTピンに出てきた後に、DINにクロックインされてきた最初のハイビット。

現在の変換が完了する前に $\overline{CS}$ がトグルされると、その後初めてDINにクロックインされてきたハイビットがスタートビットとして認識されます。現在の変換は中止され、新しい変換が開始されます。

MAX1110/MAX1111が動作できる最高速度は、10クロック/変換です。図12aに、外部クロックモードで10 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

多くのマイクロコントローラの場合、変換は8 SCLKクロックの倍数で起きることが必要です。従って、マイクロコントローラによってMAX1110/MAX1111を動作させる最高速度は通常16クロック/変換ということになります。図12bに、外部クロックモードで16 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

# +2.7V、低電力、マルチチャネル シリアル8ビットADC

## アプリケーション情報

### パワーオンリセット

最初に電源が入った時に $\overline{\text{SHDN}}$ がローでない場合は、内部パワーオンリセット回路により内部クロックモードでMAX1110/MAX1111が起動されます。SSTRBはパワーアップ時にはハイで、 $\overline{\text{CS}}$ がローの場合は、DINの最初のロジック1がスタートビットと見なされます。DOUTは、変換が行われるまではゼロをシフトアウトします。リファレンス電圧が安定するまでは変換を行わないでください(「Electrical Characteristics」を参照)。

### パワーダウン

最大サンプリングレートよりも遅いスピードで動作している場合、MAX1110/MAX1111の自動パワーダウンモードにより変換と変換の間でコンバータが低電流のシャットダウン状態になるため、電力が節約されます。図13に、平均消費電流をサンプリングレートの関数として示します。

パワーダウンを選択するには、 $\overline{\text{SHDN}}$ がハイ又はフローティングの状態ではDIN制御バイトのPD1を使用します(表3)。 $\overline{\text{SHDN}}$ をローにすることにより、いつでもコンバータを完全にシャットダウンできます。 $\overline{\text{SHDN}}$ は、制御バイトのPD1に優先します(表6)。図14a及び図14bに、外部及び内部クロックモード時の様々なパワーダウンシーケンスを示します。

### ソフトウェアのパワーダウン

制御バイトのビットPD1を使用することにより、ソフトウェアのパワーダウンを起動できます。ソフトウェアのパワーダウンが発生すると、変換が完了するまでADCは最後に指定されたクロックモードで動作し続けます。その後、ADCはパワーダウンし、低自己消費電流状態になります。内部クロックモードにおけるインターフェースは、MAX1110/MAX1111がソフトウェアのパワーダウンに入った後もアクティブ状態を保ち、変換結果をクロックアウトできます。

DINの最初のロジック「1」がスタートビットと見なされ、これによってMAX1110/MAX1111がパワーアップします。DINワードにPD1 = 1が含まれていると、チップは

表5. ハード配線によるパワーダウン及び内部リファレンス状態

SHDN 状態	素子のモード	内部リファレンス
1	イネーブル	ディセーブル
フローティング	イネーブル	イネーブル
0	パワーダウン	ディセーブル

パワーアップ状態に留まります。PD1 = 0の時は変換を1回だけ行い、その後再びパワーダウンします。

### ハード配線のパワーダウン

$\overline{\text{SHDN}}$ ピンをローにすると、コンバータはハード配線のパワーダウン状態に入ります。ソフトウェアのパワーダウンモードとは異なり、変換は完了せずに、 $\overline{\text{SHDN}}$ がローになると同時に停止します。 $\overline{\text{SHDN}}$ は、内部リファレンスの状態も制御します(表5)。 $\overline{\text{SHDN}}$ をフローティング状態にすると、2.048V電圧リファレンスがイネーブルされます。 $\overline{\text{SHDN}}$ がフローティングの状態でも通常動作に戻るときは、約 $1M \times C_{\text{LOAD}}$ の $t_{\text{RC}}$ ディレイがあります( $C_{\text{LOAD}}$ は $\overline{\text{SHDN}}$ ピンに対する容量性負荷です)。 $\overline{\text{SHDN}}$ をハイにすると内部リファレンスがディセーブルされるため、外部リファレンスを使用して電力を節約できます。

### 外部リファレンス

1V ~  $V_{\text{DD}}$ の外部リファレンスをREFIN端子に直接接続してください。REFINにおけるDC入力インピーダンスは非常に大きく、リーク電流(10nA typ)のみに起因します。変換中、リファレンスは最大平均負荷電流20 $\mu\text{A}$ を供給することを要求され、また変換クロック周波数における出力インピーダンスが1k $\Omega$ 以下であることが必要です。リファレンスの出力インピーダンスがこれより大きい場合やノイズが大きい場合は、0.1 $\mu\text{F}$ コンデンサを使用してREFINの近くでバイパスしてください。

MAX1110/MAX1111で外部リファレンスを使用する場合は、 $\overline{\text{SHDN}}$ を $V_{\text{DD}}$ に接続して内部リファレンスをディセーブルすることにより、消費電力を削減してください。

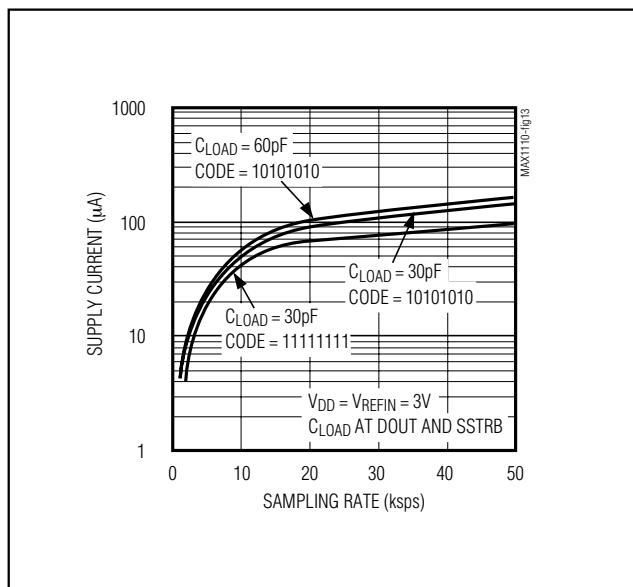


図13. 平均消費電流対サンプリングレート



# +2.7V、低電力、マルチチャネル シリアル8ビットADC

MAX1110/MAX1111

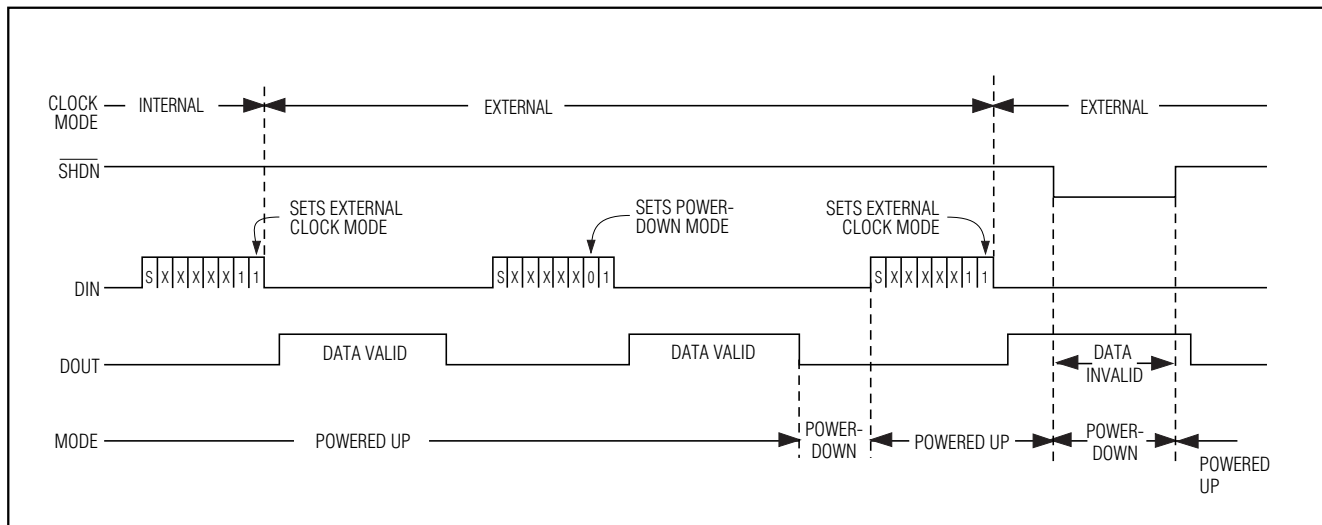


図14a. パワーダウンモード、外部クロック時のタイミング図

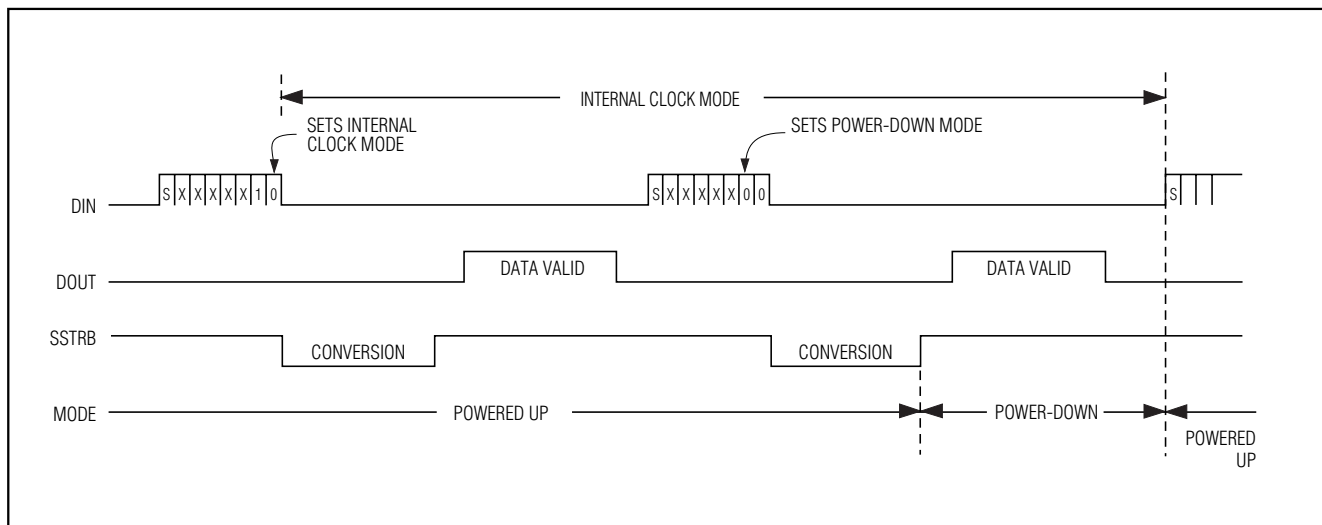


図14b. パワーダウンモード、内部クロック時のタイミング図

## 内部リファレンス

MAX1110/MAX1111を内部リファレンスで使用するには、REFINをREFOUTに接続してください。内部リファレンスを使用したMAX1110/MAX1111のフルスケール範囲は、ユニポーラ入力で2.048V(typ)、バイポーラ入力で±1.024Vです。内部リファレンスは、REFINピンのできるだけ近くに取り付けた1μFコンデンサでAGNDにバイパスしてください。

## 伝達関数

表4に、ユニポーラ及びバイポーラモードでのフルスケール電圧範囲を示します。図15は公称ユニポーラI/O伝達関数、図16はバイポーラI/O伝達関数を示していません(2.048Vリファレンス使用時)。コード遷移は、整数のLSB値のところで行われます。出力コーディングはバイナリで、ユニポーラ動作では1LSB = 8mV(2.048V/256)、バイポーラ動作では1LSB = 8mV[(2.048V/2 - -2.048V/2)/256]となります。

# +2.7V、低電力、マルチチャンネル シリアル8ビットADC

MAX1110/MAX1111

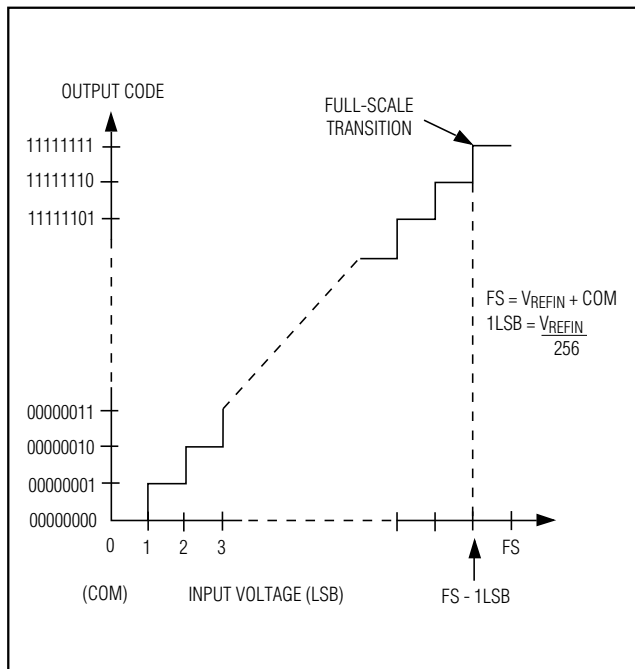


図15. ユニポーラの伝達関数

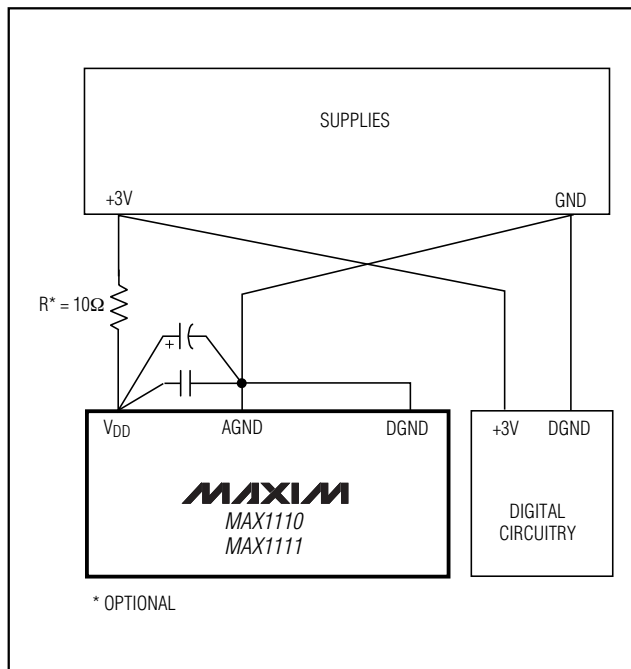


図17. 電源グランド接続図

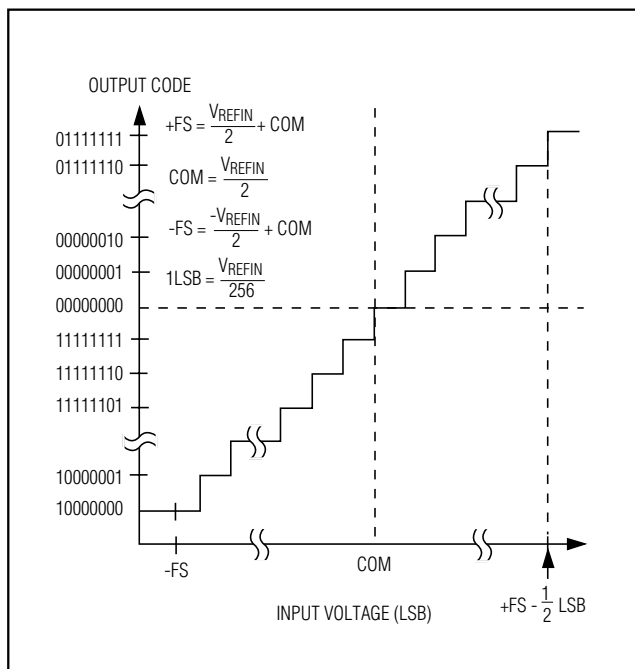


図16. バイポーラの伝達関数

## レイアウト、グランド、及びバイパス

最高の性能を得るために、プリント回路基板を使用してください。ワイヤラップボードはお勧めできません。ボードレイアウトについては、デジタル信号ラインとアナログ信号ラインを分離してください。アナログとデジタル(特にクロック)ラインを互いに平行に走らせないでください。又、デジタルラインがADCパッケージの下に配置されないようにしてください。

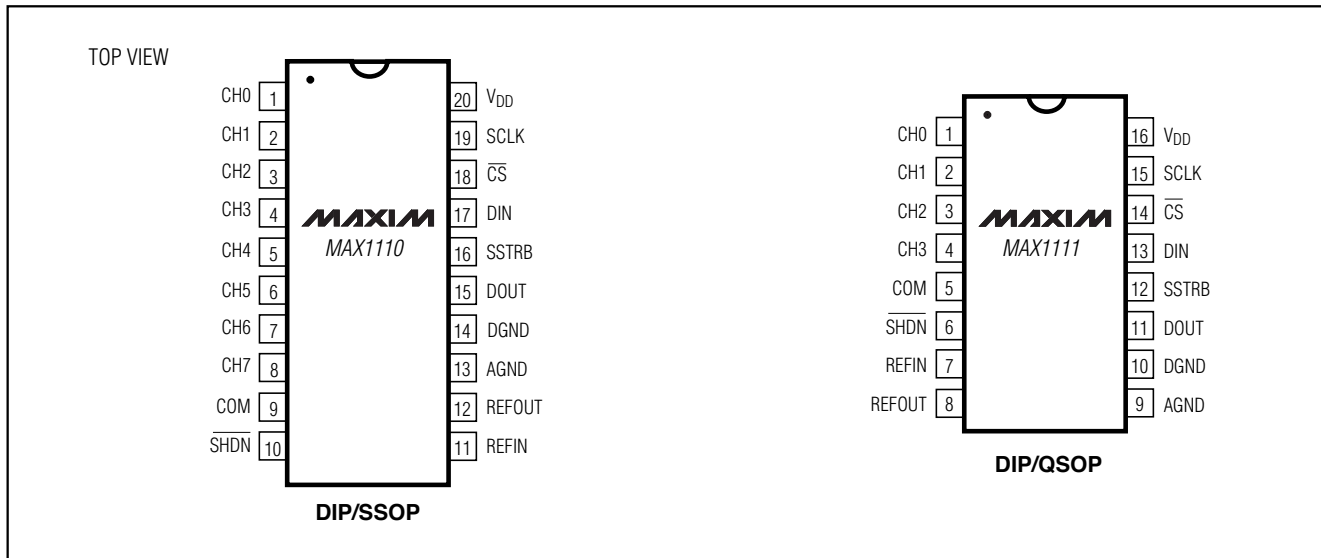
図17に、推奨されるシステムグランド接続法を示します。ロジックグランドとは別に、シングルポイントアナロググランド(スターグランドポイント)をAGNDのところを設定し、その他のアナロググランド及びDGNDは全てこのグランドに接続してください。このシングルポイントアナロググランドには、その他のデジタルシステムグランドを接続しないでください。ノイズを排除するために、このグランドから電源へのグランドリターンはできるだけ短くすると共に、低インピーダンスにしてください。

$V_{DD}$ 電源内の高周波ノイズがADCのコンパレータに影響を与える可能性があります。MAX1110/MAX1111の $V_{DD}$ ピンに近いところで、0.1 $\mu$ F及び1 $\mu$ Fコンデンサを使用してスターポイントアナロググランドにバイパスしてください。最高の電源ノイズ除去比を得るために、コンデンサのリード線をできるだけ短くしてください。+3V電源のノイズが特に大きい場合は、10抵抗をローパスフィルタとして接続できます。

# +2.7V、低電力、マルチチャンネル シリアル8ビットADC

MAX1110/MAX1111

## ピン配置



## 型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE
MAX1110EPP	-40°C to +85°C	20 Plastic DIP
MAX1110EAP	-40°C to +85°C	20 SSOP
MAX1110MJP	-55°C to +125°C	20 CERDIP**
<b>MAX1111CPE</b>	0°C to +70°C	16 Plastic DIP
MAX1111CEE	0°C to +70°C	16 QSOP
MAX1111EPE	-40°C to +85°C	16 Plastic DIP
MAX1111EEE	-40°C to +85°C	16 QSOP
MAX1111MJE	-55°C to +125°C	16 CERDIP**

\*\*Contact factory for availability.

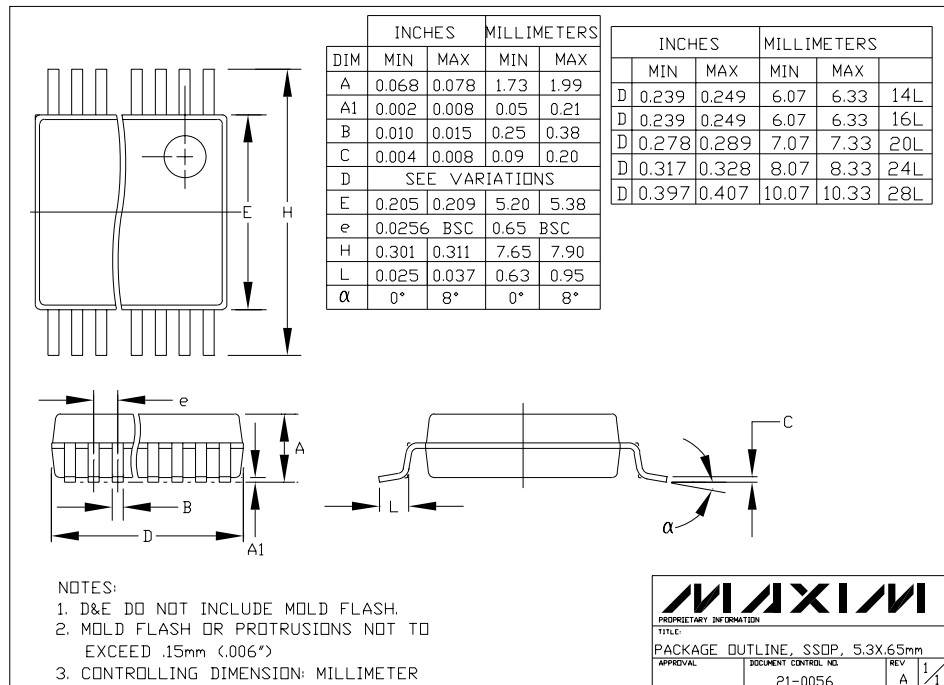
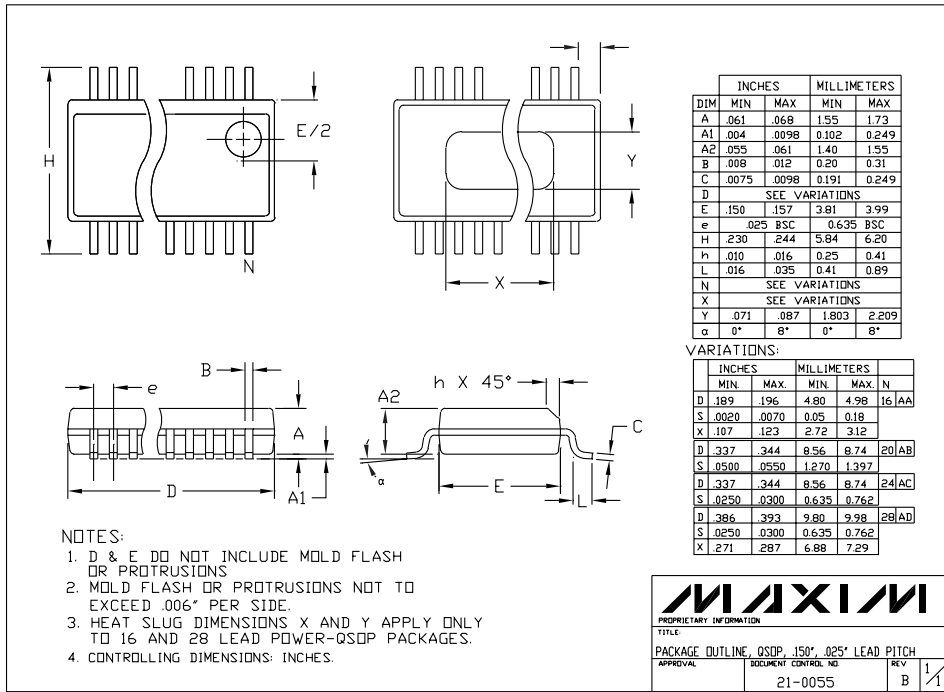
## チップ情報

TRANSISTOR COUNT: 1996

SUBSTRATE CONNECTED TO DGND

# +2.7V、低電力、マルチチャンネル シリアル8ビットADC

## パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600