

CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

概要

MAX685はCCD画像処理デバイス及びLCD駆動用の低ノイズデュアル出力を提供するDC-DCコンバータです。本デバイスは単一のインダクタを使って個別に安定化された正及び負の出力を提供します。スペース及びコストを削減するために、パワースイッチが小型24ピン4mm x 4mmのThin QFNパッケージに内蔵されています。16ピンQSOPパッケージも提供されています。

各出力は+2.7V~+5.5Vの入力電圧範囲から最大10mAを供給します。出力電圧は個別に最高24V、最低-9Vまで設定できます。低コスト部品をいくつか追加するだけで、出力電圧を最高45V、最低-16Vまで設定することができます。出力リップルは30mVp-pです。MAX685は固定周波数(220kHz又は400kHz)のパルス幅変調(PWM)制御方式を採用しているため、出力ノイズの除去が可能です。しかも外付部品のサイズを小さくすることができます。この周波数は200kHz~480kHzの外部クロック信号に同期させることもできます。

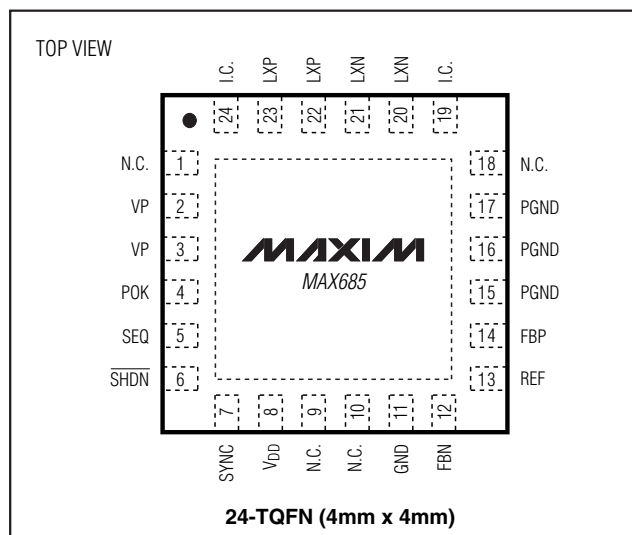
MAX685は、両方の出力が安定化範囲にあることを知らせるパワーOKインジケータ出力(POK)を備えています。ロジック制御シャットダウンにより両方の出力を完全にターンオフし、消費電流を0.1µAまで低減します。正又は負のどちらの出力を先にターンオンするかのシーケンスを設定することができます。

設計を容易にするための実装済みMAX685評価キットも用意されています。

アプリケーション

カムコーダ	LCD
デジタルカメラ	CCD画像処理デバイス
ノートブック	

ピン配置



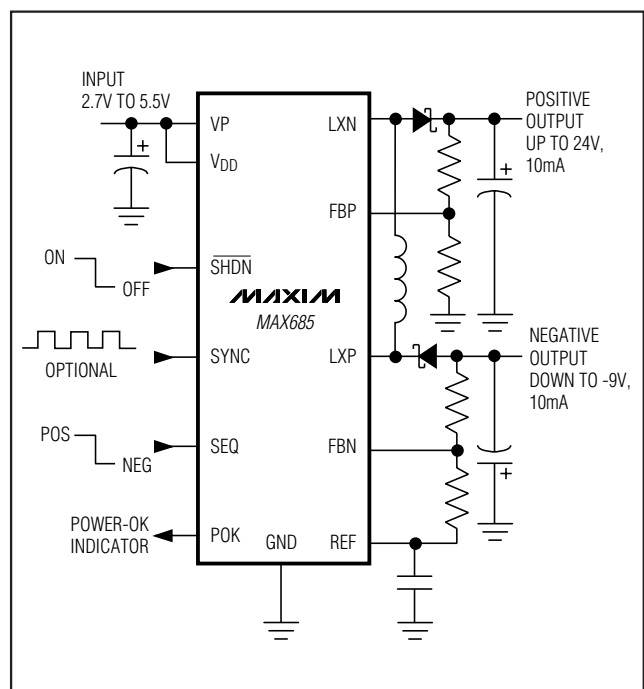
特長

- ◆ 単一のインダクタを用いたデュアル出力
- ◆ 低ノイズ出力：リップル30mVp-p
- ◆ 出力電圧：最高24V、最低-9V
部品の追加により最高45V、最低-16Vまで可能
- ◆ 小型24ピン4mm x 4mmのThin QFNパッケージにパワースイッチを内蔵
- ◆ 220kHz/400kHz固定周波数PWM動作
- ◆ 周波数は外部クロックに同期可能
- ◆ パワーOKインジケータ
- ◆ パワーオンシーケンスは選択可能
- ◆ ロジック制御シャットダウン電流：0.1µA

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX685EEE	-40°C to +85°C	16 QSOP
MAX685ETG	-40°C to +85°C	24 TQFN

標準動作回路



CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

MAX685

ABSOLUTE MAXIMUM RATINGS

V _{DD} , VP to GND.....	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C) 16-Pin QSOP (derate 8.3mW/°C above +70°C).....	667mW
PGND to GND	-0.3V to +0.3V		
V _{DD} to VP.....	-0.3V to +0.3V	24-Pin TQFN (derate 20.8mW/°C above +70°C)	1667mW
LXN, POK to GND	-0.3V to +30V	Operating Temperature Range	-40°C to +85°C
LXP to V _{DD}	-15V to +0.3V	Junction Temperature	+150°C
REF, SEQ, SHDN to GND	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range	-65°C to +165°C
FBP, FBN, SYNC to GND	-0.3V to +6V	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = VP = 5V, T_A = 0°C to +85°C unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Voltage Range	V _{DD} = VP	2.7		5.5	V
Positive Output Voltage Range		VP		24	V
Negative Output Voltage Range	V _{DD} = 5.5V (Note 1)	-9		-1.27	V
Output Current	V _{DD} = 4.5V, V _{OUT+} ≥ 14.25V, V _{OUT-} ≤ -7.125V, Figure 3	10			mA
LX Current Limit	T _A = +25°C		440		mA
LXP, LXN On-Resistance	V _{DD} = 4.5V		0.6	2	Ω
Quiescent Current	SYNC = V _{DD}		0.8		mA
Idle Quiescent Current	V _{FBP} = 1.35V, V _{FBN} = -0.1V		300	500	μA
Line Regulation	V _{DD} = 4.5V to 5.5V		0.2		%/V
Load Regulation	I _{OUT} = 0 to 10mA, C1 = 10μF		0.13		%/mA
Output Voltage Ripple	C3 = C4 = 10μF, I _{LOAD} = 5mA		30		mVp-p
SHUTDOWN ($\overline{\text{SHDN}}$)					
Shutdown Supply Current	SYNC = SEQ = $\overline{\text{SHDN}}$ = GND		0.1	10	μA
UNDERVOLTAGE LOCKOUT					
UVLO Threshold	V _{DD} = rising	2.35	2.5	2.65	V
UVLO Hysteresis			50		mV
REFERENCE VOLTAGE					
V _{REF} Output Voltage	No load	1.23	1.250	1.27	V
V _{REF} Load Regulation	0 < I _{REF} < 50μA		-2		mV
FB INPUTS					
FBP Threshold Voltage	No load	1.21	1.24	1.27	V
FBN Threshold Voltage	No load	-16	10	36	mV
FBP, FBN Input Leakage Current			±0.01	±0.1	μA
LOGIC INPUTS (SEQ, $\overline{\text{SHDN}}$, SYNC)					
Logic-Low Input	2.7V < V _{DD} < 5.5V		0.3 × V _{DD}		V
Logic-High Input	2.7V < V _{DD} < 5.5V	0.7 × V _{DD}			V
Input Bias Current			0.1	1	μA

CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

MAX685

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = V_P = 5V$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$ unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SYNC INPUT					
Sync Frequency Range (external)		200		480	kHz
Oscillator Frequency (internal)	SYNC = GND	175	220	265	kHz
	SYNC = V_{DD}	320	400	480	
POK COMPARATORS					
FBP POK Threshold	FBP rising	1.090	1.122	1.150	V
FBN POK Threshold	FBN falling	54	79	108	mV
POK Output Low Voltage	$I_{POK} = 2mA$			0.4	V
POK Output Off Current	$V_{POK} = 10V$			1	μA

ELECTRICAL CHARACTERISTICS

(V_{DD} , $V_P = 5V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$ unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS	MIN	MAX	UNITS
Input Voltage Range	$V_{DD} = V_P$	2.7	5.5	V
Positive Output Voltage Range		V_P	24	V
Negative Output Voltage Range	$V_{DD} = 5.5V$ (Note 1)	-9	-1.27	V
Maximum Output Current	$V_{IN} = 4.5V$, $V_{OUT+} \geq 14.25V$, $V_{OUT-} \leq -7.125V$, Figure 3	10		mA
Idle Quiescent Current	SYNC = GND		500	μA
SHUTDOWN				
Shutdown Supply Current	SYNC = SEQ = \overline{SHDN} = GND		10	μA
UNDERVOLTAGE LOCKOUT				
UVLO Threshold	V_{DD} = rising	2.35	2.65	V
FB INPUTS AND REFERENCE VOLTAGE				
FBP Threshold Voltage	No load	1.205	1.275	V
FBN Threshold Voltage	No load	-20	40	mV
VREF Output Voltage	No load	1.225	1.275	V
LOGIC INPUTS (SEQ, \overline{SHDN} , SYNC)				
Logic-Low Input	$2.7V < V_{DD} \leq 5.5V$		$0.3 \times V_{DD}$	V
Logic-High Input	$2.7V < V_{DD} \leq 5.5V$	$0.7 \times V_{DD}$		V
POK COMPARATORS				
FBP POK Threshold	FBP rising	1.090	1.150	V
FBN POK Threshold	FBN falling	54	108	mV

Note 1: Negative output voltage can be larger magnitude for lower values of V_{DD} . The voltage between V_{DD} and V_{OUT-} must not exceed 14.5V.

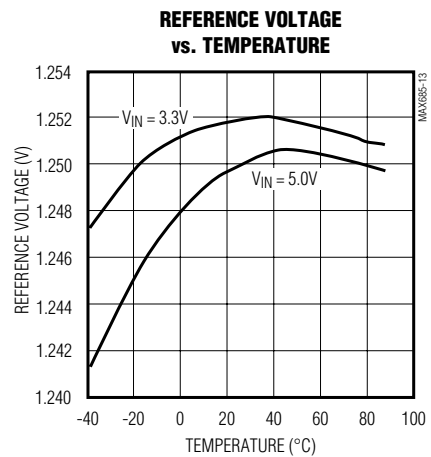
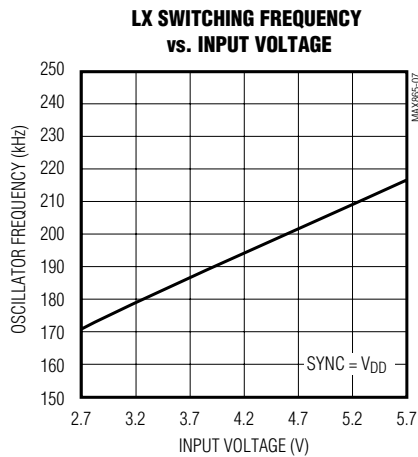
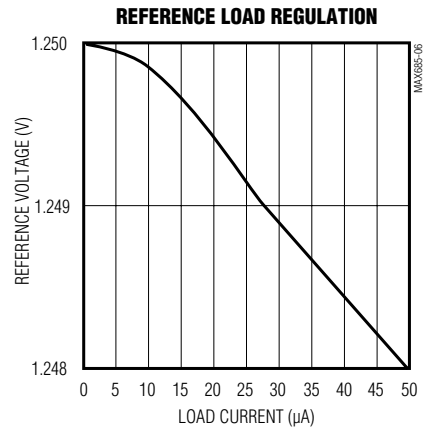
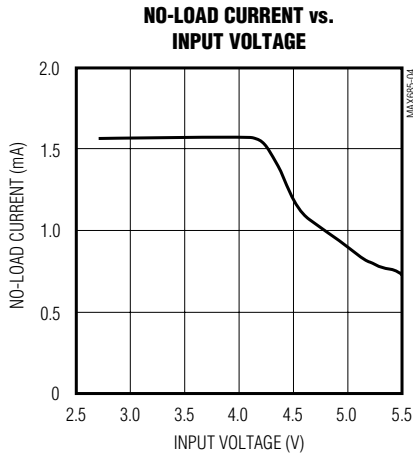
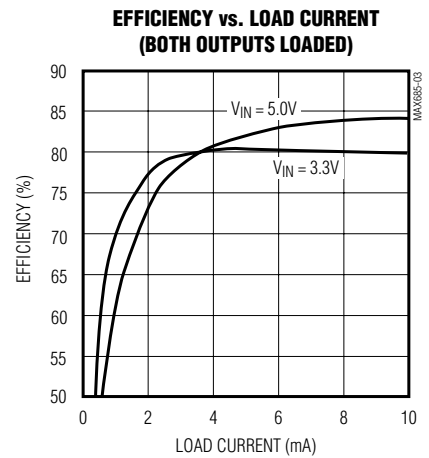
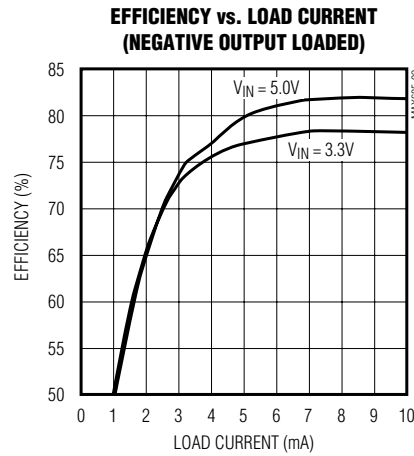
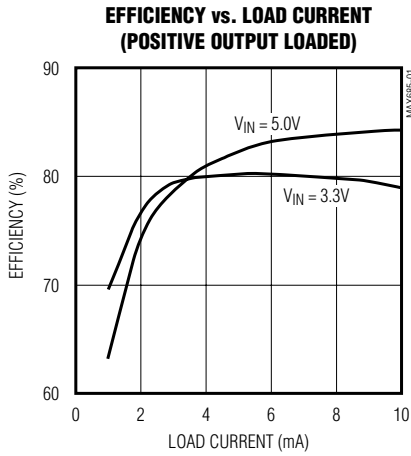
Note 2: Specifications to $-40^{\circ}C$ are guaranteed by design, not production tested.

CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

MAX685

標準動作特性

(Circuit of Figure 3, $V_{OUT+} = 15V$, $V_{OUT-} = -7.5V$, $T_A = +25^\circ C$, unless otherwise noted.)

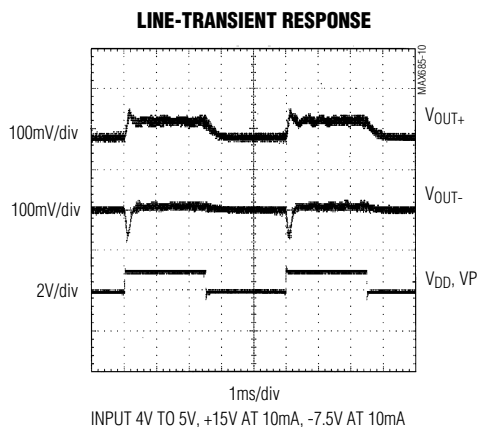
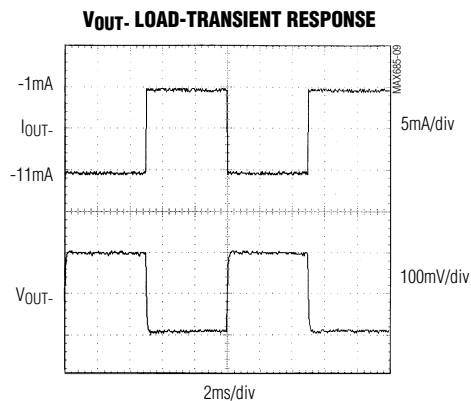
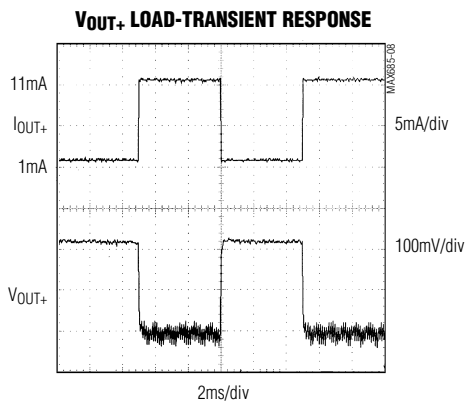


CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

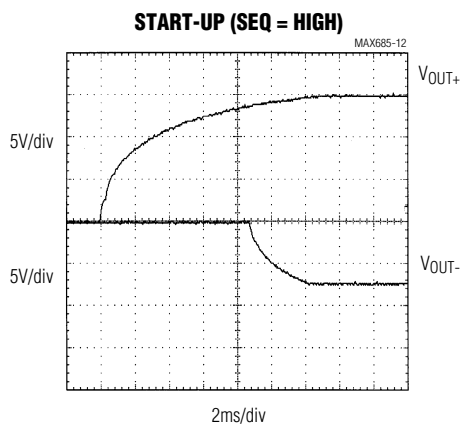
MAX685

標準動作特性(続き)

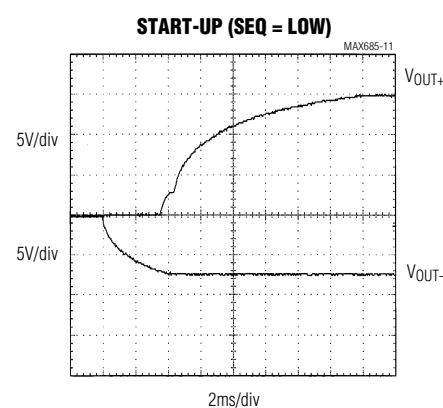
(Circuit of Figure 3, $V_{OUT+} = 15V$, $V_{OUT-} = -7.5V$, $T_A = +25^{\circ}C$, unless otherwise noted.)



INPUT 4V TO 5V, +15V AT 10mA, -7.5V AT 10mA



START-UP, SEQ = HIGH, $V_{DD} = V_P = 5.0V$,
+15V AT 10mA, -7.5V AT 10mA



START-UP, SEQ = LOW, $V_{DD} = V_P = 5.0V$,
+15V AT 10mA, -7.5V AT 10mA

CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

MAX685

端子説明

端子 16ピン QSOP	端子 24ピン TQFN	名称	機能
1	22, 23	LXP	Pチャンネルスイッチングインダクタノード。LXPは素子がシャットダウンに入るとターンオフします。
2, 15	19, 24	I.C.	内部接続されています。外部接続しないで下さい。
3	2, 3	VP	電源入力。V _{DD} に接続して下さい。
4	4	POK	オープンドレインパワーOK出力。POKは両方の出力が安定化状態にあるときにハイになります。POKは100kΩプルアップ抵抗を通じてV _{DD} に接続して下さい。
5	5	SEQ	パワーアップシーケンス選択入力。先に負の出力電圧を出力するにはSEQをGNDに接続して下さい。先に正の出力電圧を出力するにはSEQをV _{DD} に接続して下さい。
6	6	$\overline{\text{SHDN}}$	シャットダウン入力。シャットダウン中は両方の出力が0Vになります。V _{DD} に接続すると自動スタートアップになります。
7	7	SYNC	同期入力。このピンはオシレータを200kHzと480kHzの間の外部クロック周波数に同期させます。内部発振周波数を用いる場合はSYNCをGND(220kHz)又はV _{DD} (400kHz)に接続して下さい。
8	8	V _{DD}	電源入力。V _{DD} は1.0μF以上のセラミックコンデンサでGNDにバイパスして下さい。
9	11	GND	グラウンド
10	12	FBN	負出力電圧のフィードバック入力。負出力とREFの間に抵抗分圧器を接続し、その中央点をFBNに接続して負出力電圧を設定して下さい。
11	13	REF	1.25Vリファレンス電圧出力。0.22μFでGNDにバイパスして下さい。
12	14	FBP	正出力電圧のフィードバック。正出力とGNDの間に抵抗分圧器を接続し、その中央点をFBPに接続して正出力電圧を設定して下さい。
13, 14	15, 16, 17	PGND	電源グラウンド。PGNDをGNDに接続して下さい。
16	20, 21	LXN	Nチャンネルスイッチングインダクタノード。素子がシャットダウンしているとき、LXNは内部トランジスタを通じてGNDに接続されます。
—	1, 9, 10, 18	N.C.	この端子は内部接続されていません。

詳細

MAX685 DC-DCコンバータは、+2.7V~+5.5Vの入力電圧を許容し、単一のインダクタを使って正及び負の電圧を発生します(図1)。本製品はサイクル毎に交互にステップアップコンバータ及び反転コンバータとして動作します。両出力電圧は個別に安定化されています。

各出力はパルス幅変調(PWM)電流モードレギュレータによってそれぞれ個別に制御されています。これにより、本素子はノイズに敏感なアプリケーション用に固定周波数で動作することができます。内部発振器は220kHz又は400kHzで動作し、外部信号に同期させることも可能です。2つのレギュレータの間で交互にスイッチングが行われるため、それぞれ発振周波数の半分の周波数(110kHz、200kHz、すなわち同期周波数の半分)で動作します。発振器は200kHz~480kHzクロックに同期させることができます。

動作の最初のサイクルでは、本素子はステップアップコンバータとして動作します。LXPはV_{DD}に接続し、LXNはグラウンドに接続されます。インダクタ電流が正電圧側のエラーアンプによって設定されたレベルまで上昇すると、LXNがリリースされ、インダクタ電流がD2を通過して正出力に流れます。インダクタ電流がゼロに落ちると(通常の断続動作では各サイクルで発生します)、LXNは入力電圧に戻ります。

第2のサイクルでは、LXNがグラウンドに保持されます。LXPは、電流が負のエラーアンプによって設定されたリミットに達するまで入力電圧にプルアップされます。それによりLXPがリリースされ、インダクタ電流がD1を通過して負出力に流れます。インダクタ電流がゼロに達すると、LXPの電圧がグラウンドに戻ります。図2に標準的な2サイクルにおけるLXNとLXPの波形を示します。

LXNピンに流れる電流を検出して、インダクタ電流を測定します。MAX685はインダクタ電流を制御することによって正及び負の出力電圧を調節します。

CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

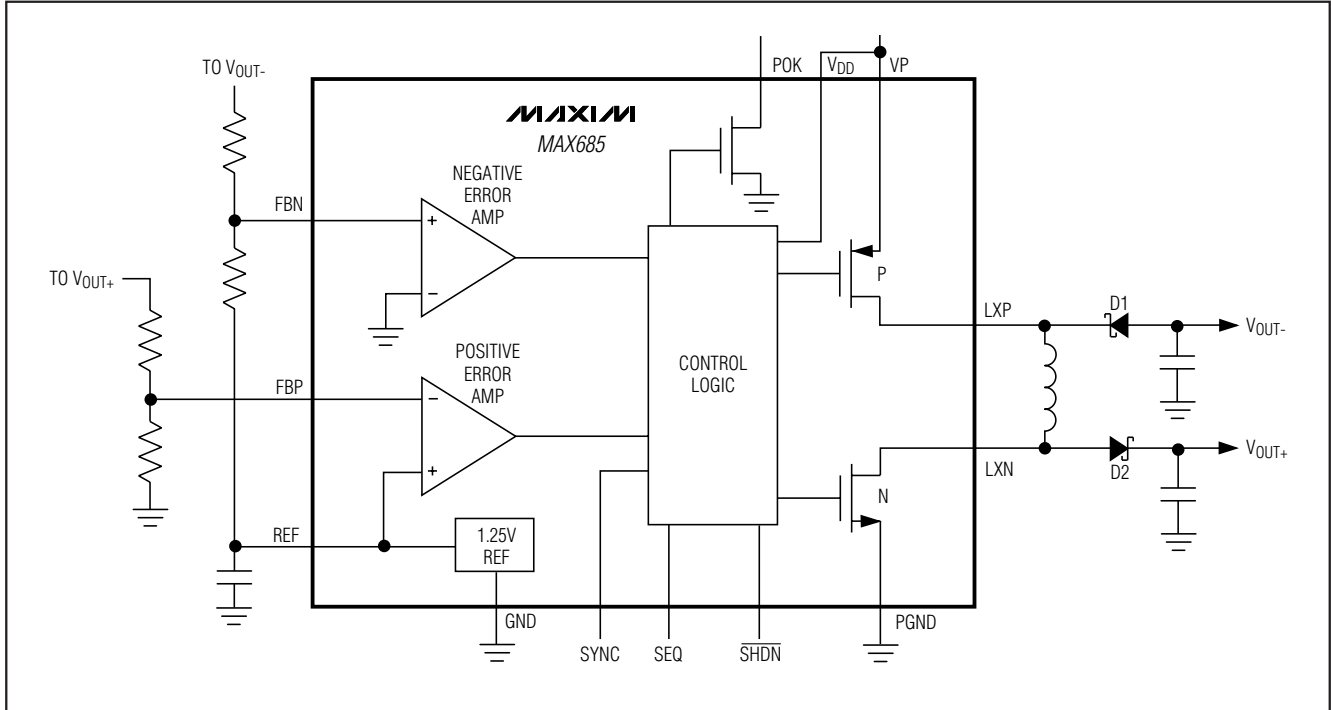


図1. ファンクションダイアグラム

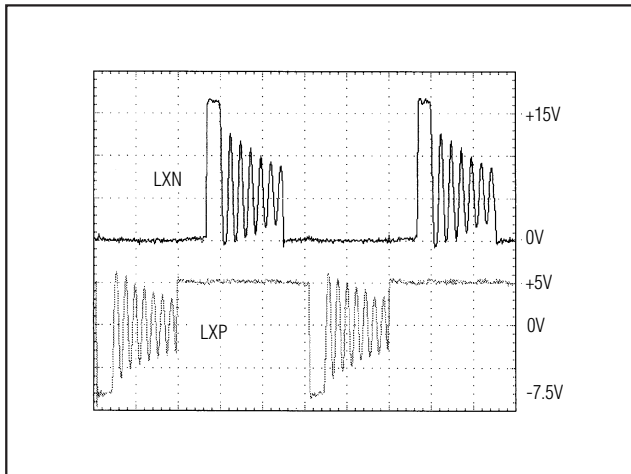


図2. LXN及びLXP波形(図5も参照)

SEQ及びパワーOK(POK)

SEQピンはパワーアップシーケンスを制御します。SEQがローのとき、負出力がレギュレーションポイントの90%以内になるまで正出力がディセーブルされます。SEQがハイのとき、正出力がレギュレーションポイントの90%以内になるまで負出力がディセーブルされます。パワーOK出力(POK)は、両方の出力電圧が安定化状態

であることを示します。両方の出力がレギュレーションポイントの90%以内にあると、POKはハイインピーダンスになります。片方あるいは両方の出力電圧がそれぞれのレギュレーションポイントの90%よりも低くなると、POKはグラウンドに接続されます。POKは最大2mAまでシンクすることができます。消費電流を少なくするため、素子がシャットダウンしている間POKはハイインピーダンスになっています。シャットダウン解除時には、POKは50ns(typ)だけハイインピーダンスに留まってからローになります。POKは100kΩ抵抗を通じてV_{DD}に接続して下さい。

同期/内部周波数の選択

MAX685は固定スイッチング周波数で動作します。SYNCピンを使って動作周波数を設定して下さい。SYNCが接地されている場合、220kHzの内部設定周波数で動作します。SYNCがV_{DD}に接続されていると、400kHzで動作します。MAX685は200kHz~480kHzの信号に同期させることもできます。各出力は発振器又は同期周波数の半分の周波数でスイッチングすることに注意して下さい。実際のスイッチング周波数は印加されるクロック信号の半分ですので、SYNCは希望のスイッチング周波数の2倍で駆動して下さい。

CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

アプリケーション情報

図3はMAX685の標準アプリケーション回路です。表1に示す値を使うと最大出力電流10mAまで良好に動作します。又、本回路はコンデンサとインダクタを変えることで特定のアプリケーションに合わせて最適化することができます。

高出力電圧

-7.5V又は+24Vよりも大きな出力電圧が必要なアプリケーションにおいては、図4の回路を使用して下さい。この回路はLX_ピンへの電圧ストレスを増やすことなく、チャージポンプを使って出力電圧を増加させます。図4の回路の最大出力電圧は-15V及び+48Vです。

D2、D5及びD6の電圧定格は30V以上でなければなりません。負出力電圧だけを大きくして正出力は変えない場合(あるいはその逆の場合)は図4の回路の半分と図3の回路の半分を使用して下さい。

インダクタの選択

殆どのアプリケーションでは22 μ Hインダクタが適していますが、インダクタンスを大きくするとインダクタリップル電流と出力電圧リップルが低減します。又、抵抗と損失の増大が許容されない場合には、通常はサイズを大きくする必要があります。

通常はスペースとコストを削減するため、小さいインダクタが好まれます。殆どのアプリケーションに使える小型表面実装インダクタの例としてはMurata LHQ及びTDK NLCタイプが挙げられます。このような小型インダクタはワイヤを細くしているため、大型のものに比べて抵抗と損失が大きくなります。高い効率が要求されるアプリケーションでは、大型で抵抗の小さいコイル、例えばSumida CD43又はCD54、Coilcraft DT1608又はDO1608、Coiltronics UP1Vシリーズを使用して下さい。

フィルタコンデンサの選択

出力リップル電圧はピークインダクタ電流、周波数及び出力コンデンサのタイプと容量値に応じて変わります。等価直列抵抗(ESR)が小さく、容量の大きなコンデンサを使用すると、出力リップルが小さくなります。通常、タンタル又はセラミックコンデンサが最適です。タンタルコンデンサはセラミックコンデンサよりもESRが大きく、容量も大きくなっています。従って、タンタルコンデンサのESRが出力リップルを決定します。これは使用周波数においてESRがコンデンサのインピーダンスを左右するためです。セラミックコンデンサを使用する場合は、容量によって出力リップルが決まります。

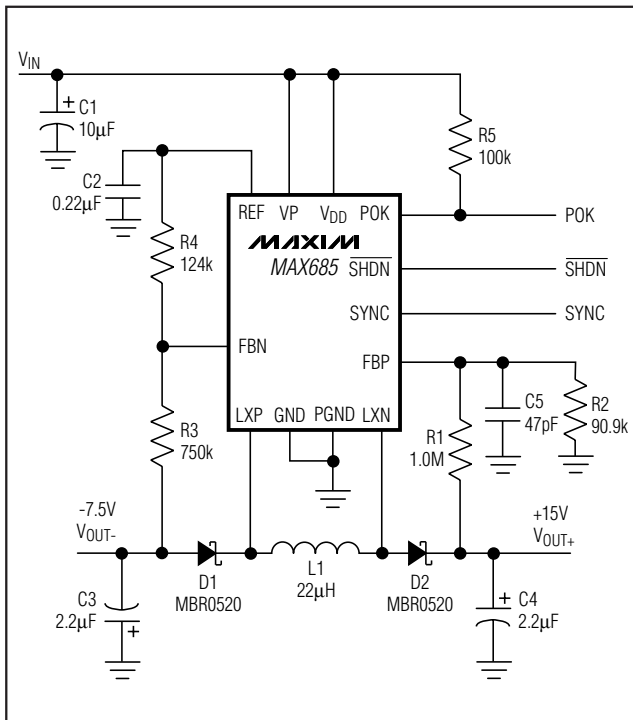


図3. 標準アプリケーション回路

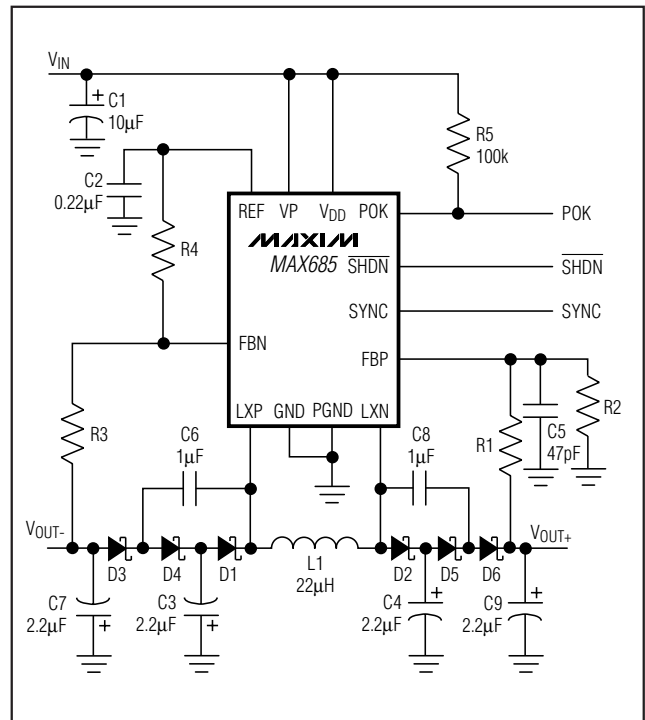


図4. 出力電圧<-9V及び>+24V用の回路

CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

表1. 標準動作回路の部品定数

REF	DESCRIPTION	MANUFACTURER PART NUMBER
C1	10μF, 10V tantalum cap	Sprague 595D106X0010A2T or AVX TAJA106K010R
C2	0.22μF ceramic capacitor	Any manufacturer
C3, C4	2.2μF ceramic capacitor	Any manufacturer
C5	47pF ceramic cap	Any manufacturer
D1, D2	0.1A, 20V Schottky rectifier	Motorola MBR0520LT1 (0.5A) or Central Semiconductor CMPSH-3
L1	22μH, 0.4A inductor	Murata LHQ4N220J04 or TDK NLC32522T-220K

出力電圧の設定

R4とR3で形成される抵抗分圧器が負の出力電圧を設定します。R1とR2で形成される抵抗分圧器が正の出力電圧を設定します。抵抗分圧器の電流が約10μAになるように、R4を100kΩ付近にしてください。R3の値は次式で決めて下さい。

$$R3 = R4 \frac{|V_{OUT-}|}{1.24V}$$

抵抗分圧器の電流が約10μAになるように、R2を100kΩ付近にしてください。R1の値は次式で決めて下さい。

$$R1 = R2 \times (V_{OUT+} - 1.24V) / 1.24$$

LXのダンピング

LXN及びLXPは各スイッチングサイクルが終ってインダクタ電流がゼロまで下がるとリングングが発生することがあります。通常はリングング波形はLX_のみに表れ、出力リップルとノイズにはまったく影響がありません。それでもLX_のリングングが問題になる場合は、L1と並列に直列RCを接続することでリングングを減衰させることができます。通常は1kΩと100pFを直列に接続したものを使用することで良好なダンピングが得られ、効率の劣化は僅か3%で済みます。図5を参照して下さい。

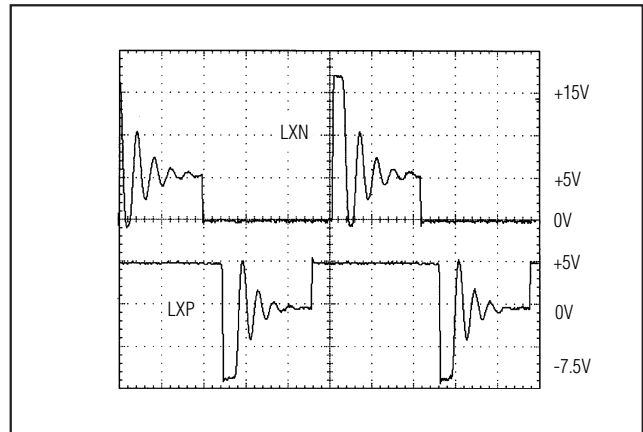


図5. 1kΩ抵抗と100pFコンデンサを直列に接続したものをL1に並列に接続してリングングを減衰させた場合のLXN及びLXP波形

チップ情報

TRANSISTOR COUNT: 902

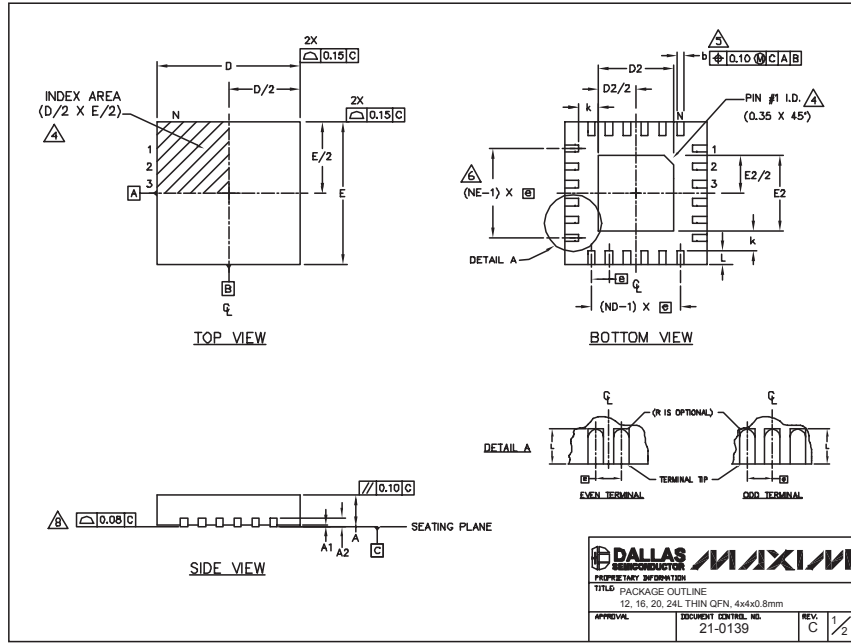
SUBSTRATE CONNECTED TO GND

CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

MAX685

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



COMMON DIMENSIONS												
PKG REF.	12L 4x4			16L 4x4			20L 4x4			24L 4x4		
	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
AL	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.43	0.55	0.65	0.43	0.55	0.65	0.43	0.55	0.65	0.30	0.40	0.50
N	12			16			20			24		
ND	3			4			5			6		
NE	3			4			5			6		
Wing Var.	WGGB			VGGC			VGGD-1			WGGD-2		

EXPOSED PAD VARIATIONS												
PKG CODES	D2			E2			DOWN BOND ALLOWED					
	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.						
T1244-2	1.95	2.30	2.25	1.95	2.10	2.25	NO					
T1244-3	1.95	2.30	2.25	1.95	2.10	2.25	YES					
T1244-4	1.95	2.30	2.25	1.95	2.10	2.25	NO					
T1644-2	1.95	2.30	2.25	1.95	2.10	2.25	NO					
T1644-3	1.95	2.30	2.25	1.95	2.10	2.25	YES					
T1644-4	1.95	2.30	2.25	1.95	2.10	2.25	NO					
T2044-1	1.95	2.30	2.25	1.95	2.10	2.25	NO					
T2044-2	1.95	2.30	2.25	1.95	2.10	2.25	YES					
T2044-3	1.95	2.30	2.25	1.95	2.10	2.25	NO					
T2444-1	2.45	2.60	2.63	2.45	2.60	2.63	NO					
T2444-2	1.95	2.30	2.25	1.95	2.10	2.25	YES					
T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES					
T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO					

NOTES:
 1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
 2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
 3. N IS THE TOTAL NUMBER OF TERMINALS.
 4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SFF-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
 5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
 6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
 7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
 8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
 9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-1, T2444-3 AND T2444-4.

DALLAS SEMICONDUCTOR **MAXIM**
 PROPRIETARY INFORMATION
 TITLE PACKAGE OUTLINE
 12, 16, 20, 24L THIN QFN, 4x4x0.8mm
 APPROVAL DOCUMENT CONTROL NO. 21-0139 REV. C 2/2

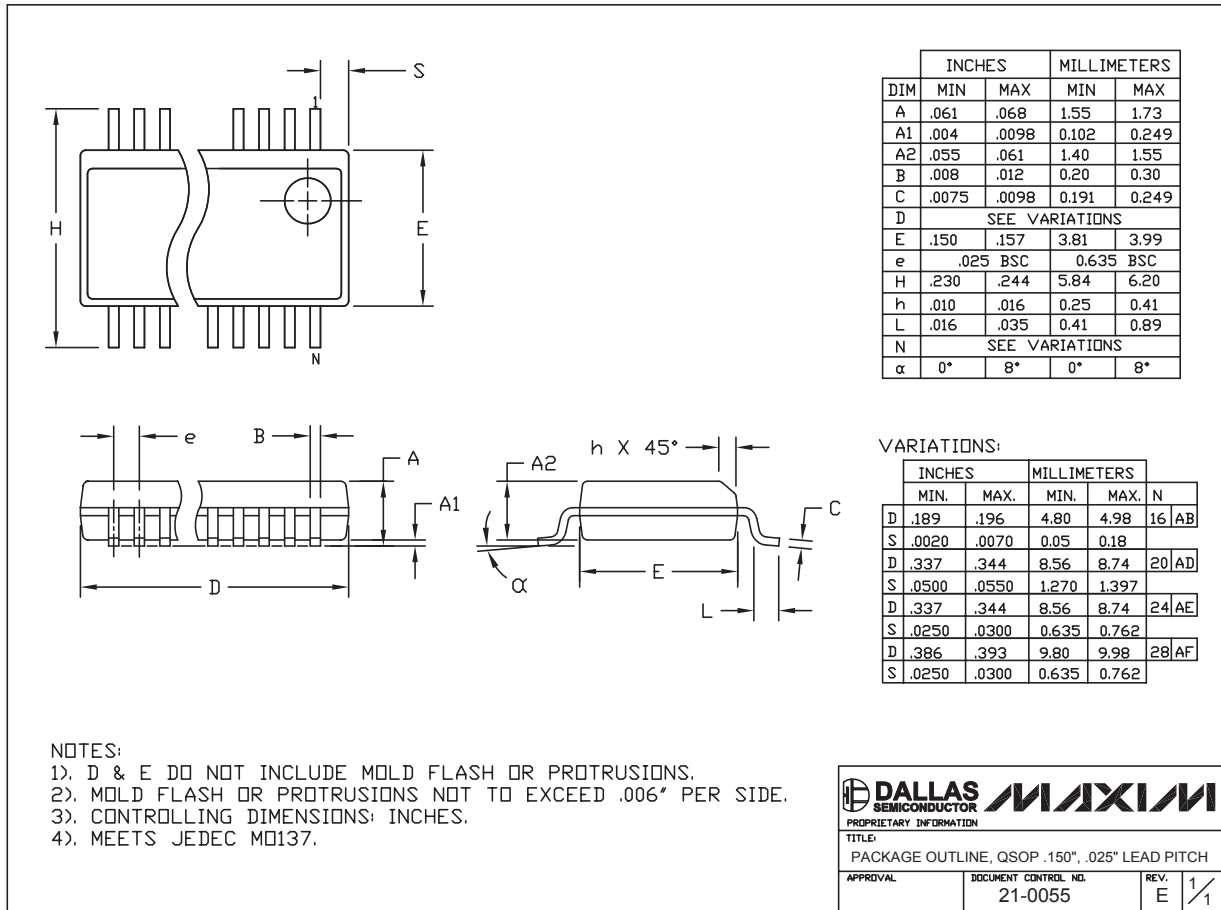
CCD及びLCD用デュアル出力(正及び負) DC-DCコンバータ

MAX685

QSOP-EPS

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 11