

3.0V/3.3V/可変 マイクロプロセッサ監視回路

概要

MAX793/MAX794/MAX795は、バックアップバッテリー切換え、ローライン表示、 μ Pリセット、CMOS RAMの書込み保護及びウォッチドッグ等(「選択ガイド」を参照)の機能により、+3.0V/+3.3V μ Pのアクティビティを監視、制御するマイクロプロセッサ(μ P)監視回路です。 V_{CC} を超えるバックアップバッテリー電圧にも対応するため、 V_{CC} が3.0V~3.3Vのシステムでも3.6Vリチウムバッテリーを用いることができます。

MAX793/MAX795は3.00V~3.15V(T)、2.85V~3.00V(S)及び2.55V~2.70V(R)の中からリセットスレッシュホールド電圧範囲を選択できます(末尾の文字で区別)。MAX794のリセットスレッシュホールドは抵抗分圧器によって外部設定されます。MAX793/MAX794は16ピンDIP及びびナローSOPパッケージで供給され、MAX795は8ピンDIP及びびSOPパッケージで提供されています。

選択ガイド

機能	MAX793	MAX794	MAX795
アクティブローリセット	○	○	○
アクティブハイリセット	○	○	
調整可能なリセット電圧		○	
ローライン早期警報出力	○	○	
バックアップバッテリー切換え	○	○	○
外部スイッチドライバ	○	○	○
パワーフェイルコンパレータ	○	○	
バッテリーOK出力	○		
ウォッチドッグ入力	○	○	
バッテリーフレッシュネスシール	○	○	
マニュアルリセット入力	○	○	
チップイネーブルゲート	○	○	○
ピン数 - パッケージ	16DIP/SOP	16DIP/SOP	8DIP/SOP

アプリケーション

- バッテリー駆動のコンピュータ及びコントローラ
- 組込み型コントローラ
- インテリジェントコントローラ
- 精密な μ P電源監視
- ポータブル機器

ピン配置はデータシートの最後を参照してください。

特長

MAX793/MAX794/MAX795

- ◆ 高精度電源電圧モニタ：
固定リセットトリップ電圧(MAX793/MAX795)
可変リセットトリップ電圧(MAX794)
- ◆ $V_{CC} = 1V$ まで有効なリセット保証
- ◆ バックアップバッテリーへの電源切換え
(バッテリー電圧が V_{CC} を超えても可)
- ◆ チップイネーブル信号のゲートを内蔵
(最大伝播遅延7ns)

MAX793/MAX794のみ

- ◆ バッテリーフレッシュネスシール
- ◆ バッテリーOK出力(MAX793)
- ◆ パワーフェイル又はローバッテリー警報用の電圧監視
- ◆ 独立ウォッチドッグタイマ(タイムアウト1.6秒)
- ◆ マニュアルリセット入力

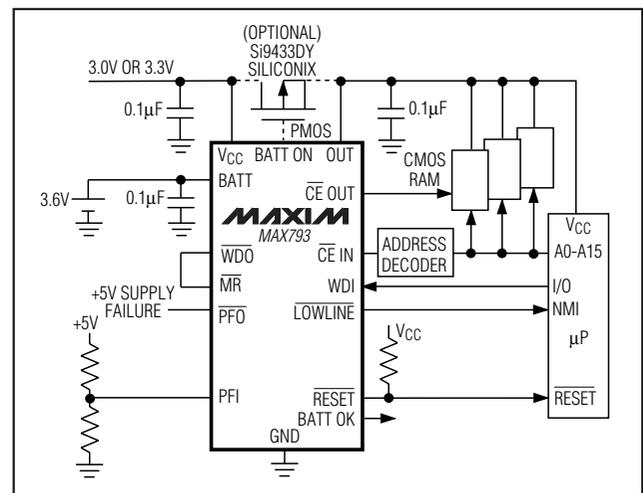
型番

PART*	TEMP. RANGE	PIN-PACKAGE
MAX793_CPE	0°C to +70°C	16 Plastic DIP
MAX793_CSE	0°C to +70°C	16 Narrow SO
MAX793_EPE	-40°C to +85°C	16 Plastic DIP
MAX793_ESE	-40°C to +85°C	16 Narrow SO

型番の続きはデータシートの最後に記載されています。

* MAX793/MAX795ではリセットスレッシュホールド電圧を選択することができます。所望のリセットスレッシュホールド電圧範囲に対応する文字(T = 3.00V~3.15V、S = 2.85V~3.00V、R = 2.55V~2.70V)を選択し、型番の空いた部分に入れて、型番を完成させてください。MAX794のリセットスレッシュホールドは可変です。

標準動作回路



3.0V/3.3V/可変 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)	
V _{CC}	-0.3V to 6.0V
V _{BATT}	-0.3V to 6.0V
All Other Inputs	-0.3V to the higher of V _{CC} or V _{BATT}
Continuous Input Current	
V _{CC}200mA
V _{BATT}50mA
GND20mA
Output Current	
V _{OUT}200mA
All Other Outputs20mA

Continuous Power Dissipation (T _A = +70°C)		
8-Pin Plastic DIP (derate 9.09mW/°C above +70°C)	727mW	
8-Pin SO (derate 5.88mW/°C above +70°C)	471mW	
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C)	842mW	
16-Pin Narrow SO (derate 9.52mW/°C above +70°C)	696mW	
Operating Temperature Ranges		
MAX793_C_/MAX794C_/MAX795_C_	0°C to +70°C	
MAX793_E_/MAX794E_/MAX795_E_	-40°C to +85°C	
Storage Temperature Range		-65°C to +160°C
Lead Temperature (soldering, 10s)		+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = 3.17V to 5.5V for the MAX793T/MAX795T, V_{CC} = 3.02V to 5.5V for the MAX793S/MAX795S, V_{CC} = 2.72V to 5.5V for the MAX793R/MAX794/MAX795R, V_{BATT} = 3.6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Operating Voltage Range, V _{CC} , V _{BATT} (Note 1)		MAX79_C		1.0		5.5	V
		MAX79_E		1.1		5.5	
V _{CC} Supply Current (excluding I _{OUT} , I _{CE OUT})	I _{SUPPLY}	MAX793/MAX794, MR = V _{CC}	V _{CC} < 3.6V		46	60	μA
			V _{CC} < 5.5V		62	80	
		MAX795	V _{CC} < 3.6V		35	50	
			V _{CC} < 5.5V		49	70	
V _{CC} Supply Current in Battery-Backup Mode (excluding I _{OUT})	I _{SUPPLY}	V _{CC} = 2.1V, V _{BATT} = 2.3V	MAX793/MAX794		32	45	μA
			MAX795		24	35	
BATT Supply Current (excluding I _{OUT}) (Note 2)						1	μA
BATT Leakage Current, Freshness Seal Enabled		V _{CC} = 0V, V _{OUT} = 0V				1	μA
Battery Leakage Current (Note 3)						0.5	μA
OUT Output Voltage in Normal Mode	V _{OUT}	I _{OUT} = 75mA		V _{CC} - 0.3	V _{CC} - 0.125		V
		I _{OUT} = 30mA (Note 4)		V _{CC} - 0.12	V _{CC} - 0.050		
		I _{OUT} = 250μA (Note 4)		V _{CC} - 0.001	V _{CC} - 0.5mV		
OUT Output Voltage in Battery-Backup Mode	V _{OUT}	V _{BATT} = 2.3V	I _{OUT} = 250μA	V _{BATT} - 0.1	V _{BATT} - 0.034		V
			I _{OUT} = 1mA		V _{BATT} - 0.14		
Battery Switch Threshold (V _{CC} falling)	V _{CC} - V _{BATT}	V _{SW} > V _{CC} > 1.75V (Note 5)			20	65	mV
	V _{SW}	V _{BATT} > V _{CC} (Note 6)	MAX793T/MAX795T	2.69	2.82	2.95	V
			MAX793S/MAX795S	2.55	2.68	2.80	
			MAX793R/MAX795R/MAX794	2.30	2.41	2.52	
Battery Switch Threshold (V _{CC} rising) (Note 7)	V _{CC} - V _{BATT}	This value is identical to the reset threshold, V _{CC} rising for V _{BATT} > V _{RST}					
		V _{BATT} < V _{RST}			25	65	mV

3.0V/3.3V/可変 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = 3.17V to 5.5V for the MAX793T/MAX795T, V_{CC} = 3.02V to 5.5V for the MAX793S/MAX795S, V_{CC} = 2.72V to 5.5V for the MAX793R/MAX794/MAX795R, V_{BATT} = 3.6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Reset Threshold (Note 8)	V _{RST}	V _{CC} Falling	MAX793T/MAX795T	3.00	3.075	3.15	V
			MAX793S/MAX795S	2.85	2.925	3.00	
			MAX793R/MAX795R	2.55	2.625	2.70	
		V _{CC} Rising	MAX793T/MAX795T	3.00	3.085	3.17	
			MAX793S/MAX795S	2.85	2.935	3.02	
			MAX793R/MAX795R	2.55	2.635	2.72	
RESET IN Threshold (MAX794 only)	V _{RST IN}	V _{CC} Falling		1.212	1.240	1.262	V
		V _{CC} Rising		1.212	1.250	1.282	
RESET IN Leakage Current (MAX794 only)				-25	2	25	nA
Reset Timeout Period	t _{RP}	V _{CC} < 3.6V		140	200	280	ms
LOWLINE-to-Reset Threshold, (V _{LOWLINE} - V _{RST}), V _{CC} Falling	V _{LR}	MAX793		30	45	60	mV
		MAX794		5	15	25	
Low-Line Comparator Hysteresis		MAX793			10		mV
		MAX794			10		mV
LOWLINE Threshold, V _{CC} Rising	V _{LL}	MAX793T/MAX795T				3.23	V
		MAX793S/MAX795S				3.08	
		MAX793R/MAX795R				2.78	
		MAX794				1.317	
PFI Input Threshold	V _{TH}	V _{PFI} falling		1.212	1.240	1.262	V
		V _{PFI} rising		1.212	1.250	1.287	
PFI Input Current				-25	2	25	nA
PFI Hysteresis, PFI Rising					10	20	mV
BATT OK Threshold (MAX793)	V _{BOK}			2.00	2.25	2.50	V
INPUT AND OUTPUT LEVELS							
RESET Output Voltage High	V _{OH}	I _{SOURCE} = 300μA, V _{CC} = V _{RST} min		0.8V _{CC}	0.86V _{CC}		V
BATT OK, BATT ON, W _D O, LOWLINE Output Voltage High	V _{OH}	I _{SOURCE} = 300μA, V _{CC} = V _{RST} max		0.8V _{CC}	0.86V _{CC}		V
P _F O Output Voltage High	V _{OH}	I _{SOURCE} = 65μA, V _{CC} = V _{RST} max		0.8V _{CC}			V
BATT ON Output Voltage High	V _{OH}	I _{SOURCE} = 100μA, V _{CC} = 2.3V, V _{BATT} = 3V		0.8V _{BATT}			V
RESET Output Leakage Current (Note 9)	I _{LEAK}	V _{CC} = V _{RST} max		-1		-1	μA
P _F O Output Short to GND Current	I _{SC}	V _{CC} = 3.3V, V _{P_FO} = 0V			180	500	μA
P _F O, RESE _T , RESE _T , W _D O, LOWLINE Output Voltage Low	V _{OL}	I _{SINK} = 1.2mA; RESE _T , LOWLINE tested with V _{CC} = V _{RST} min; RESE _T , BATTOK, W _D O tested with V _{CC} = V _{RST} max			0.08	0.2V _{CC}	V

3.0V/3.3V/可変 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = 3.17V$ to $5.5V$ for the MAX793T/MAX795T, $V_{CC} = 3.02V$ to $5.5V$ for the MAX793S/MAX795S, $V_{CC} = 2.72V$ to $5.5V$ for the MAX793R/MAX794/MAX795R, $V_{BATT} = 3.6V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RESET Output Voltage Low	VOL	MAX79_C, $V_{BATT} = V_{CC} = 1.0V$, $I_{SINK} = 40\mu A$		0.13	0.3	V
		MAX79_E, $V_{BATT} = V_{CC} = 1.2V$, $I_{SINK} = 200\mu A$		0.17	0.3	
BATT ON Output Voltage Low	VOL	$I_{SINK} = 3.2mA$, $V_{CC} = V_{RST} \text{ max}$			$0.2V_{CC}$	V
All Inputs Including PFO (Note 10)	V _{IH}	$V_{RST} \text{ max} < V_{CC} < 5.5V$			$0.7V_{CC}$	V
	V _{IL}		$0.3V_{CC}$			
MANUAL RESET INPUT						
\overline{MR} Pulse Width	t _{MR}	MAX793/MAX794 only	100			ns
\overline{MR} -to-Reset Delay	t _{MD}	MAX793/MAX794 only		75	250	ns
\overline{MR} Pullup Current		MAX793/MAX794 only, $\overline{MR} = 0V$	25	70	250	μA
CHIP-ENABLE GATING						
\overline{CE} IN Leakage Current	I _{LEAK}	Disable mode		± 10		nA
\overline{CE} IN-to- \overline{CE} OUT Resistance		Enable mode, $V_{CC} = V_{RST} \text{ max}$		46		Ω
\overline{CE} IN-to- \overline{CE} OUT Propagation Delay		$V_{CC} = V_{RST} \text{ max}$, Figure 9		2	7	ns
\overline{CE} OUT Drive from \overline{CE} IN	V _{OH}	$V_{CC} = V_{RST} \text{ max}$, $I_{OUT} = -1mA$, $V_{\overline{CE} \text{ IN}} = V_{CC}$	$0.8V_{CC}$			V
	V _{OL}	$V_{CC} = V_{RST} \text{ max}$, $I_{OUT} = 1.6mA$, $V_{\overline{CE} \text{ IN}} = 0V$			$0.2V_{CC}$	
Reset to \overline{CE} OUT High Delay				10		μs
\overline{CE} OUT Output Voltage High (reset active)	V _{OH}	$I_{OH} = 500\mu A$, $V_{CC} < 2.3V$	$0.8V_{BATT}$			V
WATCHDOG (MAX793/MAX794 only)						
WDI Input Current		$0V < V_{CC} < 5.5V$	-1	0.01	1	μA
Watchdog Timeout Period	t _{WD}		1.00	1.60	2.25	sec
WDI Pulse Width			1.00			ns

Note 1: V_{CC} supply current, logic input leakage, watchdog functionality (MAX793/MAX794), MR functionality (MAX793/MAX794), PFI functionality (MAX793/MAX794), and state of \overline{RESET} and RESET (MAX793/MAX794) tested at $V_{BATT} = 3.6V$ and $V_{CC} = 5.5V$. The state of RESET is tested at $V_{CC} = V_{CC} \text{ min}$.

Note 2: Tested at $V_{BATT} = 3.6V$, $V_{CC} = 3.5V$ and $0V$. The battery current rises to $10\mu A$ over a narrow transition window around $V_{CC} = 1.9V$.

Note 3: Leakage current into the battery is tested under the worst-case conditions at $V_{CC} = 5.5V$, $V_{BATT} = 1.8V$ and $V_{CC} = 1.5V$, $V_{BATT} = 1.0V$.

Note 4: Guaranteed by design.

Note 5: When $V_{SW} > V_{CC} > V_{BATT}$, OUT remains connected to V_{CC} until V_{CC} drops below V_{BATT} . The V_{CC} -to- V_{BATT} comparator has a small 15mV typical hysteresis to prevent oscillation. For $V_{CC} < 1.75V$ (typical), OUT switches to BATT regardless of V_{BATT} .

Note 6: When $V_{BATT} > V_{CC} > V_{SW}$, OUT remains connected to V_{CC} until V_{CC} drops below the battery switch threshold (V_{SW}).

Note 7: OUT switches from BATT to V_{CC} when V_{CC} rises above the reset threshold, if $V_{BATT} > V_{RST}$. In this case, switchover back to V_{CC} occurs at the exact voltage that causes reset to be asserted, however, switchover occurs 200ms prior to reset. If $V_{BATT} < V_{RST}$, OUT switches from BATT to V_{CC} when V_{CC} exceeds V_{BATT} .

Note 8: The reset threshold tolerance is wider for V_{CC} rising than for V_{CC} falling to accommodate the 10mV typical hysteresis, which prevents internal oscillation.

Note 9: The leakage current into or out of the RESET pin is tested with RESET not asserted (RESET output high impedance).

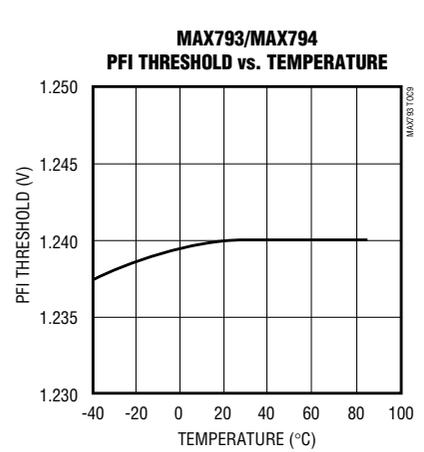
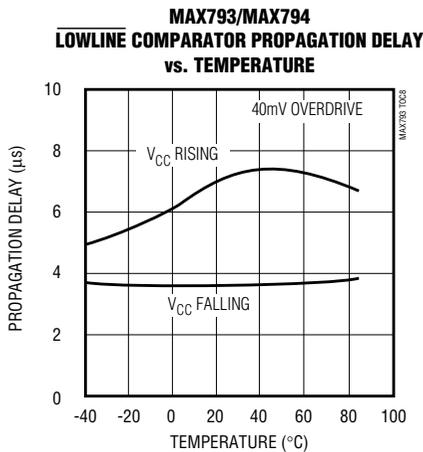
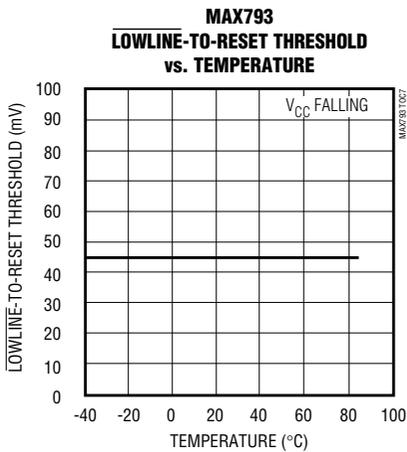
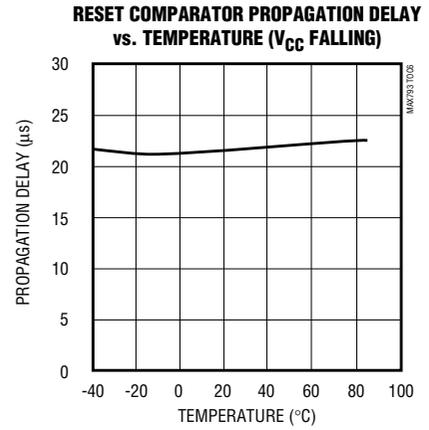
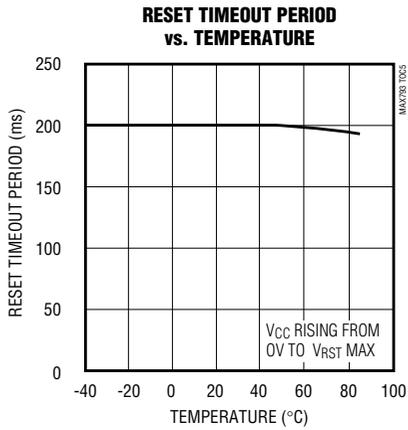
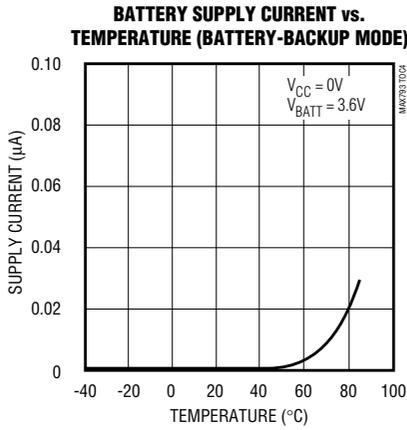
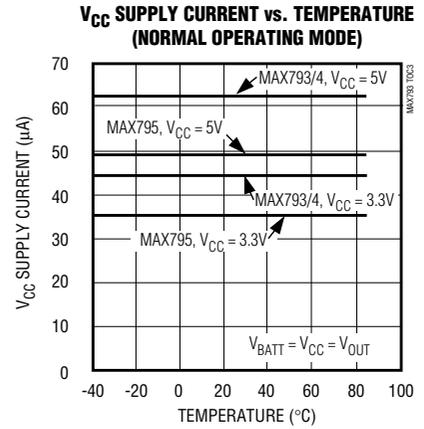
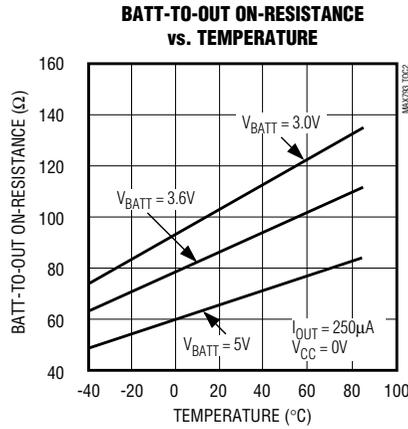
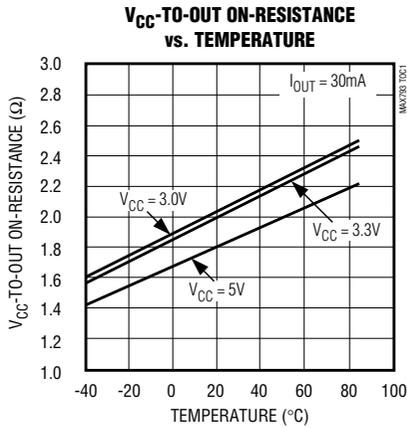
Note 10: PFO is normally an output, but is used as an input when activating the battery freshness seal.

3.0V/3.3V/可変 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

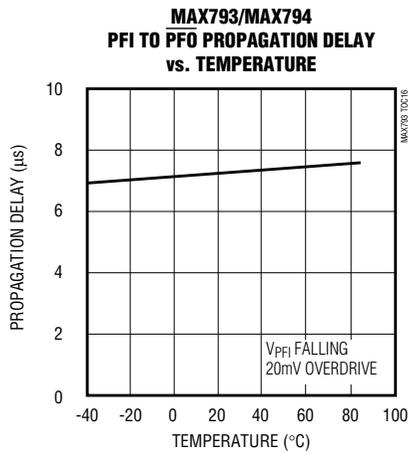
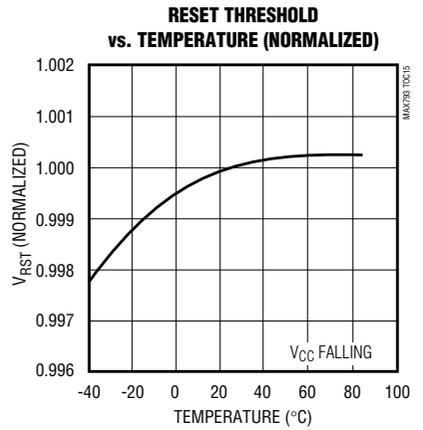
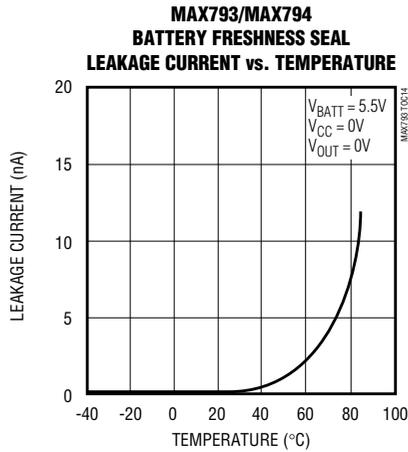
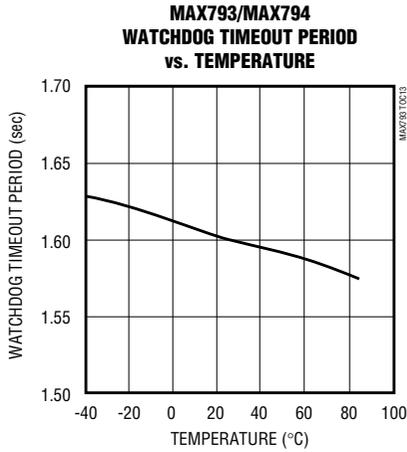
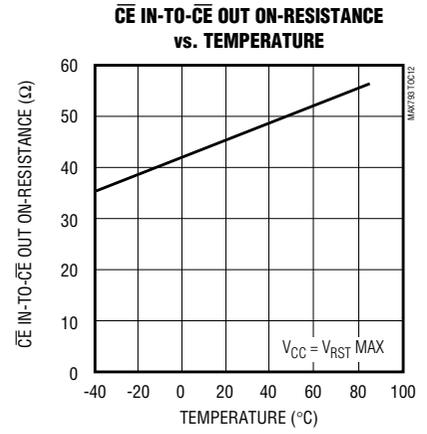
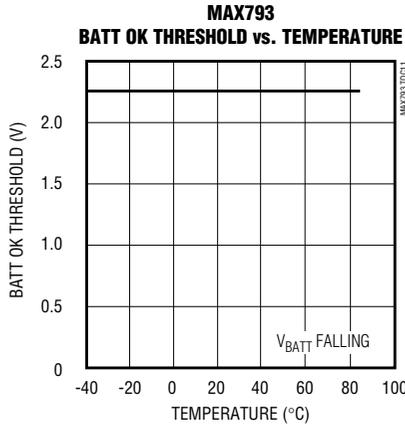
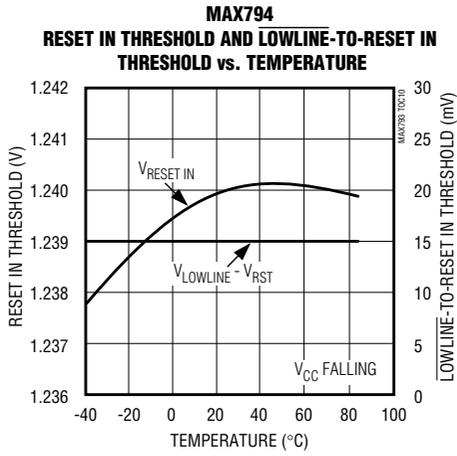


3.0V/3.3V/可変 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

標準動作特性(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



3.0V/3.3V/可変 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

端子説明

端子		名称	機能
MAX793/ MAX794	MAX795		
1	1	OUT	CMOS RAMへの電源出力。V _{CC} がリセットスレッシュホールド以上又はV _{BATT} 以上の時には、OUTは内部PチャンネルMOSFETスイッチでV _{CC} に接続されます。V _{CC} がV _{SW} 及びV _{BATT} 以下の時には、BATTがOUTに接続されます。
2	2	V _{CC}	主電源入力
3	—	BATT OK (MAX793)	バッテリー状態出力。V _{BATT} がV _{BOK} 以上の正常動作モードの時にはハイ、それ以外の時にはロー。V _{BATT} は連続的にチェックされます。V _{CC} がV _{SW} 以下の時にはティセーブルされ、ロジックローになります。
		RESET IN (MAX794)	リセット入力。リセットスレッシュホールドを選択するために、外部抵抗分圧器に接続してください。リセットスレッシュホールドはV _{SW} ~5.5Vの範囲内で任意に設定できます。
4	—	PFI	パワーフェイルコンパレータ入力。PFIがV _{PFT} 以下又はV _{CC} がV _{SW} 以下の時には、PFOはロー。それ以外の時にはPFOはハイに留まります(「パワーフェイルコンパレータ」の項を参照)。使用しない場合はV _{CC} に接続してください。
5	3	BATT ON	ロジック出力/外部バイパススイッチドライバ出力。OUTがBATTに切換わるとハイ。OUTがV _{CC} に切換わるとロー。I _{OUT} が75mA以上必要な場合は、PNP/PMOSトランジスタのベース/ゲートをBATT ONに接続してください。
6	4	GND	グラウンド
7	—	PFO	パワーフェイルコンパレータ出力。PFIがV _{PFT} 以下又はV _{CC} がV _{SW} 以下の時には、PFOはロー。それ以外の時にはPFOはハイに留まります。PFOはバッテリーフレッシュネスシールをイネーブルする時にも使用されます(「バッテリーフレッシュネスシール」及び「パワーフェイルコンパレータ」の項を参照)。
8	—	MR	マニュアルリセット入力。MRがロジックローの時にリセットを発生します。リセット状態はMRがローの間続き、MRがハイに戻った後も200msの間維持されます。このアクティブロー入力は内部的に70µAでプルアップされています。TTL又はCMOSロジックラインで駆動するか、あるいはスイッチでグラウンドに短絡することができます。使用しない場合はオープンにしてください。
9	—	WDO	ウォッチドッグ出力。ウォッチドッグタイムアウト期間よりも長い間WDIがハイ又はローを維持した場合、WDOはローになります。WDOはWDIの次の変化でハイに戻ります。WDOはV _{SW} < V _{CC} < V _{RST} の時はロジックハイになり、V _{CC} がV _{SW} 以下の時はローになります。
10	—	WDI	ウォッチドッグ入力。ウォッチドッグタイムアウト期間よりも長い間WDIがハイ又はローを維持した場合、内部ウォッチドッグタイムアウトが切れてWDOがローになります。WDOはWDIの次の変化でハイに戻ります。ウォッチドッグフォルト時にリセットを発生させたい場合はWDOをMRに接続してください。
11	5	CE IN	チップイネーブル入力。チップイネーブルゲート回路への入力。使用しない場合はGNDに接続してください。
12	6	CE OUT	チップイネーブル出力。CE INがローでリセットが実行されていない場合のみ、CE OUTはローになります。CE INがローでリセットが実行されている場合、CE OUTは10µsが経過するか、あるいはCE INがハイになるまで(いずれか早い方)ローのままです。CE OUTはOUTへプルアップされます。
13	—	RESET	アクティブハイリセット出力。電流のソース及びシンク。RESETはRESETの反転です。
14	—	LOWLINE	早期パワーフェイル警報出力。V _{CC} がV _{LR} 以下に低下した時にロー。この出力を使用してNMIを発生させ、パワーフェイルの早期警報を行うことができます。
15	7	RESET	オープンドレイン、アクティブローリセット出力。トリガされるとパルスは200msローになり、V _{CC} がリセットスレッシュホールド以下に低下するかあるいはMRがロジックローの時にローに留まります。V _{CC} がリセットスレッシュホールド以上に上昇した時、ウォッチドッグがリセットをトリガした時(WDOがMRに接続)、あるいはMRがローからハイになった後でも200msの間ローになります。
16	8	BATT	バックアップバッテリー入力。V _{CC} がV _{SW} 及びV _{BATT} 以下の時OUTがV _{CC} からBATTに切換わります。V _{CC} がリセットスレッシュホールドあるいはV _{BATT} 以上の時はOUTはV _{CC} に再び接続されます。V _{BATT} はV _{CC} を超えることができます。バッテリーを使用しない場合はV _{CC} 、OUT及びBATTを互いに接続してください。

3.0V/3.3V/可変 マイクロプロセッサ監視回路

詳細

一般的なタイミング特性

MAX793/MAX794/MAX795は3.3V及び3Vシステム用に数多くの監視機能を備えています(最初のページの「選択ガイド」を参照)。図1及び図2に標準的な V_{CC} 立上り/立下り時間を想定した場合のパワーアップ及びパワーダウン時の様々な出力の標準的なタイミングを示します。

マニュアルリセット入力(MAX793/MAX794)

マイクロプロセッサベース製品の多くは、オペレータ、エンジニア又は外部ロジック回路によってリセットを発生させられるよう、マニュアルリセット機能を必要とします。MAX793/MAX794では、 \overline{MR} がロジックローになるとリセットが発生します。リセット状態はMRがローである間続き、ハイに戻った後も t_{RP} (200ms)の間続きます。リセットタイムアウト期間(t_{RP})の前半は、PFOが外部で強制的にローにされている場合は \overline{MR} の

状態は無視されます。これは、バッテリーフレッシュネスシールをイネーブルしやすくするためです。 \overline{MR} は内部的に70 μ Aにプルアップされているため、使用していない時はオープンのみでかまいません。この入力はTTL又はCMOSロジックレベル、あるいはオープンドレイン/コレクタ出力によって駆動することができます。 \overline{MR} とGND間にノーマリーオープンのもメンタリースイッチを接続することでマニュアルリセット機能を実現できます(外部デバウンス回路は必要ありません)。長いケーブルを用いてMRを駆動する場合や環境のノイズが大きい場合は、 \overline{MR} とグラウンドの間に0.1 μ Fのコンデンサを取付けてノイズ耐性を強化してください。

リセット出力

マイクロプロセッサ(μ P)のリセット入力は μ Pを既定の状態ですスタートさせます。MAX793/MAX794/MAX795 μ P監視回路はリセットを発生してパワーアップ、パワーダウン及び低電圧状態でのコード実行エラーを防止する

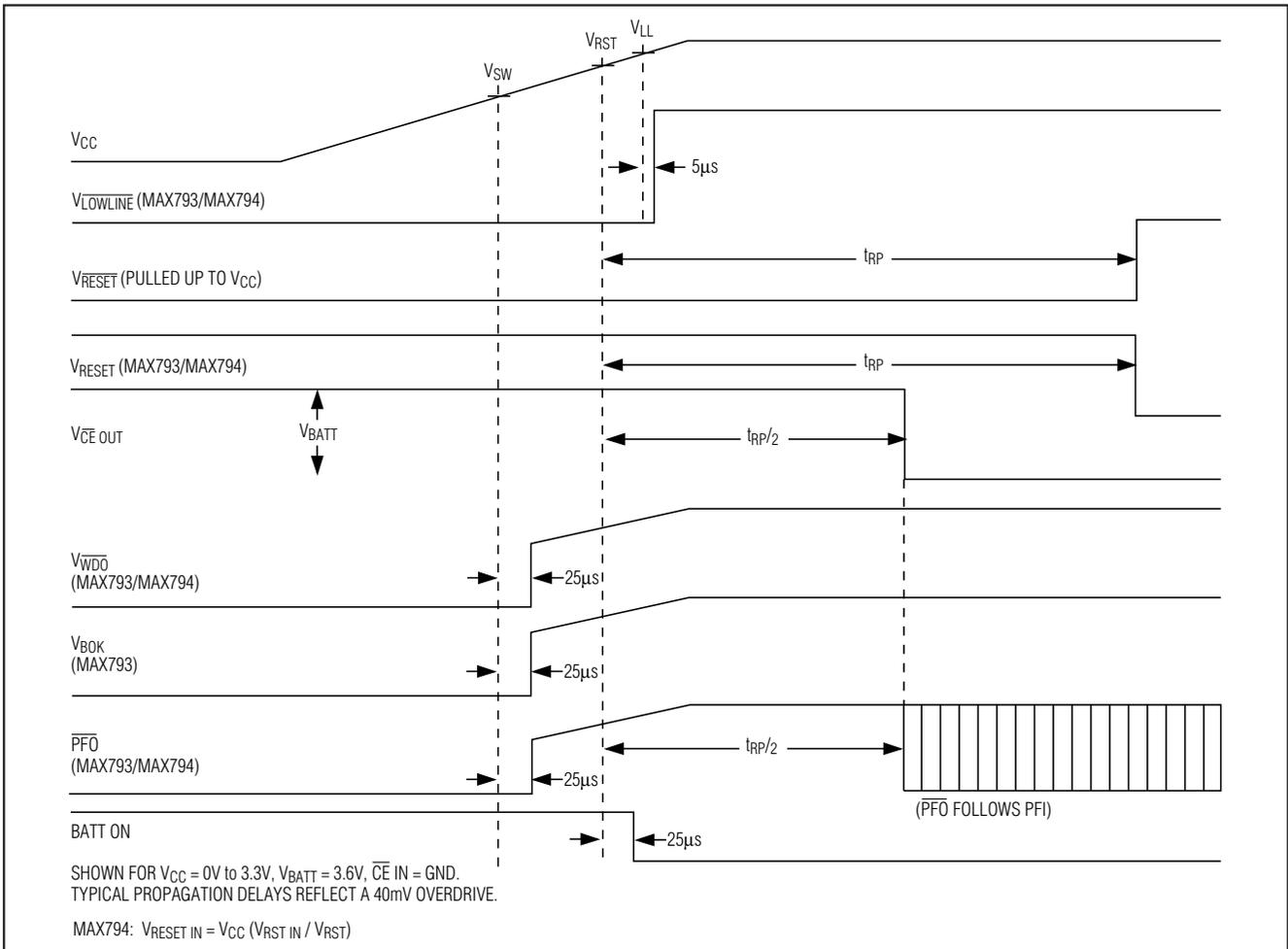


図1. タイミング図、 V_{CC} の立上り

3.0V/3.3V/可変 マイクロプロセッサ監視回路

ことができます。RESETは V_{BATT} が1V以上で $0V < V_{CC} < V_{RST}$ の条件が満たされていればロジックローになることが保証されています。バックアップ 배터리がない場合($V_{BATT}=V_{CC}=V_{OUT}$)、 \overline{RESET} は $V_{CC} \geq 1V$ の条件で有効であることが保証されています。 V_{CC} がリセットスレッシュホールドを超えると、リセットタイムアウト期間(t_{RP})中は内部タイマがRESETをローに保持します。この期間が過ぎるとRESETはハイインピーダンスになります(図2)。RESETはオープンドレイン出力で、 V_{CC} へのプルアップ抵抗を必要とします(図3)。 μP に適正なロジックレベルを与えられるだけの電流を供給できる $4.7k\Omega \sim 1M\Omega$ のプルアップ抵抗を使用してください。

低電圧状態になった場合(V_{CC} がリセットスレッシュホールド以下に低下)、 \overline{RESET} がローになります。 \overline{RESET} は発生毎にリセットタイムアウト期間中はローのまま保持されます。 V_{CC} がリセットスレッシュホールド以下になる度に再び内部タイマがスタートします。

ウォッチドッグ出力(\overline{WDO})を用いてリセットを発生させることもできます。「ウォッチドッグ出力」の項を参照してください。

RESET出力は \overline{RESET} 出力を反転したもので、電流のソース及びシンクができます。

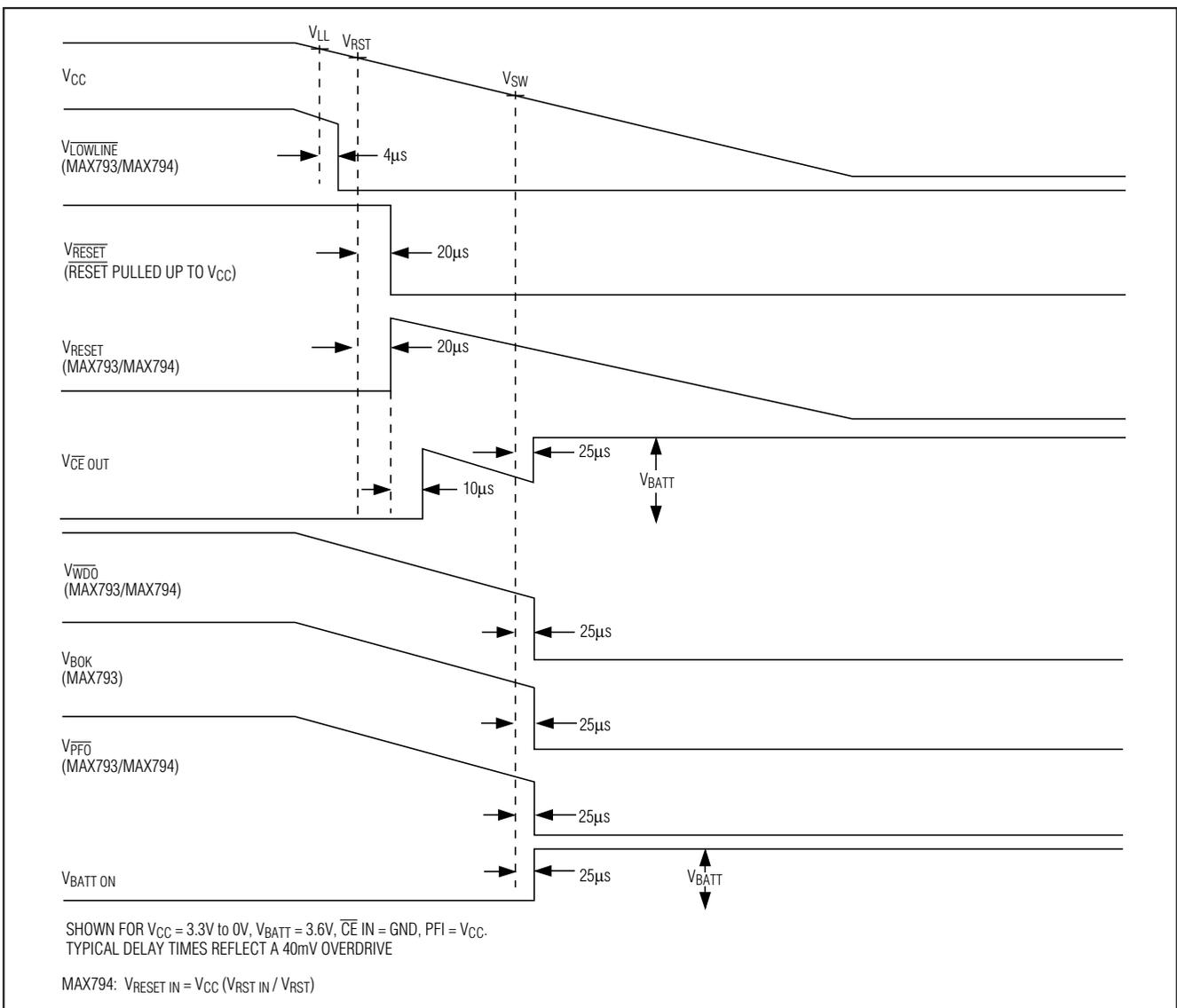


図2. タイミング図、 V_{CC} 立下り

3.0V/3.3V/可変 マイクロプロセッサ監視回路

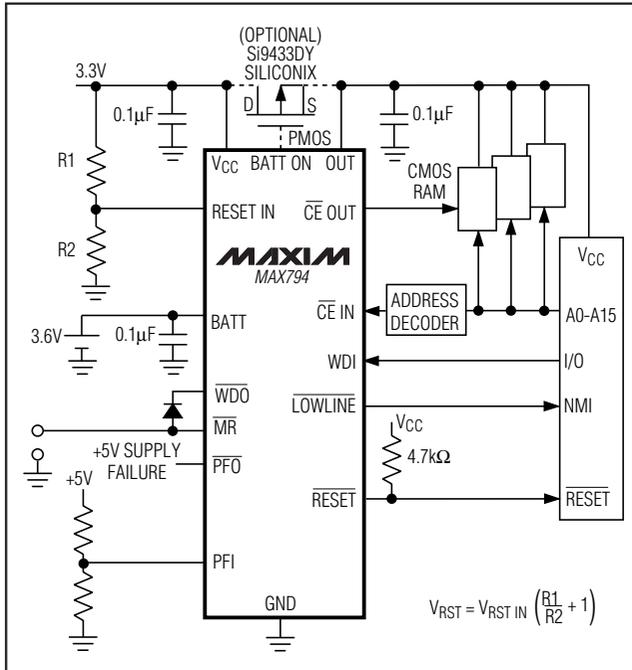


図3. MAX794の標準アプリケーション回路

リセットスレッショルド

MAX793T/MAX795Tは電源許容誤差±5%、システム許容誤差10%の3.3Vシステム用です。MRが発生している場合を除き、電源が3.15V(3.3V-5%)以上であればリセットは発生しません。電源が3.0V(3.3V-10%)以下に低下する前にリセットが発生することが保証されています。

MAX793S/MAX795Sは3.3V±10%の電源用です。MRが発生している場合を除き、電源が3.0V(3.0Vは3.3V-10%より僅かに上)以上であればリセットは発生しません。電源が2.85V(3.3V-14%)以下に低下する前にリセットが発生することが保証されています。

MAX793R/MAX795Rは3.0V±10%の電源を監視するのに最適です。V_{CC}が2.7V(3.0V-10%)以上であればリセットは発生しません。電源が2.55V(3.0V-15%)以下に低下する前にリセットが発生することが保証されています。

MAX794のリセットスレッショルドを設定するには、外部分圧器をRESET INに接続します。リセットスレッショルドの許容誤差はRESET INの許容誤差及び外部分圧器に使用される抵抗の許容誤差に起因します。リセットスレッショルドは次式によって計算されます。

$$V_{RST} = V_{RST IN} (R1 / R2 + 1)$$

標準アプリケーション回路(図3)を使用する場合、リセットスレッショルドはV_{SW}(バッテリースイッチスレッショルド)と5.5Vの間の任意の値に設定できます。リセットはV_{CC}がV_{SW}以下になった時に発生します。

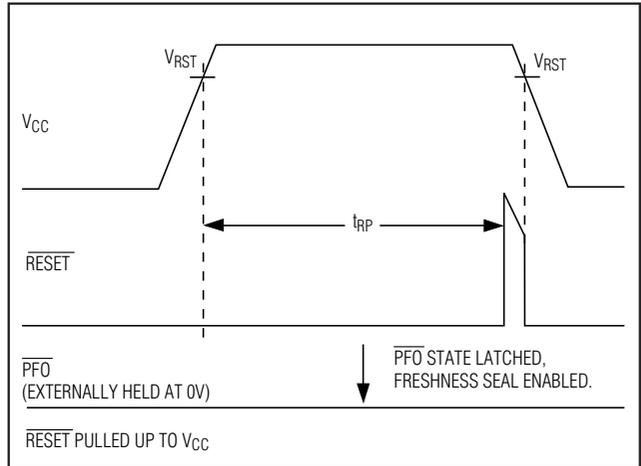


図4. バッテリーフレッシュネスシールのイネーブルタイミング

バッテリーフレッシュネスシール

MAX793/MAX794のバッテリーフレッシュネスシール機能は、必要な時までバックアップバッテリーを内部回路から切り離しておきます。これによって、BATTに接続されたバッテリーの鮮度を最終製品が使用されるまで保つことができます。フレッシュネスシールをイネーブルするには、バッテリーをBATTに接続し、PFOを接地し、V_{CC}をリセットスレッショルドよりも高くします。リセットタイムアウト期間が終了してリセットが解除されるまでV_{CC}をそのまま保持し、次にV_{CC}を再び低くします(図4)。いったんバッテリーフレッシュネスシールがイネーブルされると(バックアップバッテリーを内部回路及びOUTに接続された回路から切り離し)、V_{CC}がV_{RST}以上になるまでイネーブル状態が続きます。PFOをMRに接続してもバッテリーフレッシュネスシールの動作には影響しないことに注意してください。

BATT OK出力(MAX793)

BATT OKはバックアップバッテリーの状態を表示します。リセットが発生していない時、MAX793はバッテリー電圧を連続的にチェックしています。V_{BATT}がV_{BOK}(2.0Vmin)以下の時にはBATT OKはローになり、それ以外の時はV_{CC}にプルアップされたままです。BATT OKはV_{CC}がV_{SW}以下になった時にもローになります。

ウォッチドッグ入力(MAX793/MAX794)

MAX793/MAX794ではウォッチドッグ回路がμPの動作を監視します。μPが1.6秒以内にウォッチドッグ入力(WDI)をトグルしない場合、WDOはローになります。リセットが発生するか、あるいはWDIが変化(ハイからローへ、又はローからハイへ)した時に内部1.6秒タイムはクリアされ、WDOはハイに戻ります。リセットが発生している限り、タイムはクリアされたままとなり、

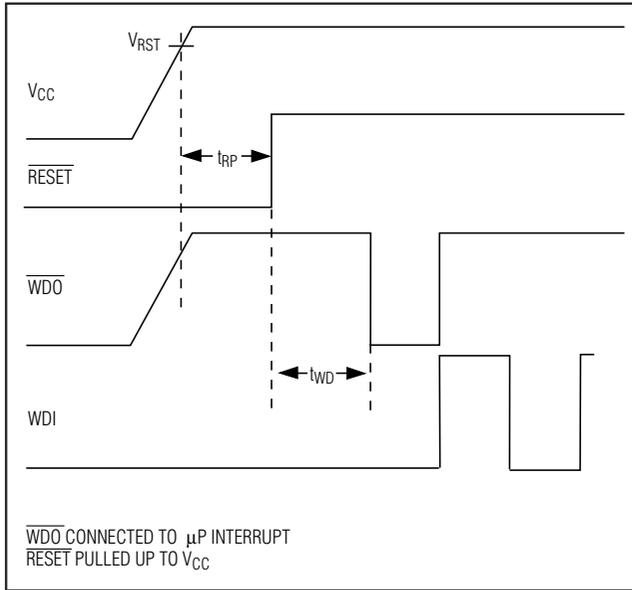


図5. ウォッチドッグのタイミング関係

カウントはしません。リセットが解除されるかあるいはWDIの状態が変化すると、直ちにタイマがカウントを始めます(図5)。WDIは最小100nsのパルスを検出することができます。5V MAX690ファミリの場合と異なり、このウォッチドッグ機能はディセーブルできません。

ウォッチドッグ出力(MAX793/MAX794)

MAX793/MAX794では、ウォッチドッグタイムアウト期間中にWDIに変化又はパルスの発生があった場合にWDOはハイを維持します(WDOがV_{CC}にプルアップされます)。ウォッチドッグタイムアウト期間中にWDIが変化しない場合はWDOはローになります。V_{CC}がV_{SW}以上の時にリセットが実行された場合には、ウォッチドッグ機能はディセーブルされWDOはロジックハイになります。V_{CC}がV_{SW}以下の時にはWDOはロジックローになります。

ウォッチドッグフォルトの度にシステムリセットを希望する場合は、WDOをMRにダイオードOR接続してください(図6)。このモードでウォッチドッグフォルトが起こると、WDOがローになり、MRがローに引下げられるため、リセットパルスが発生します。リセットを実行してから10μs経過すると、ウォッチドッグタイマはクリアし、WDOはハイに戻ります。この遅延によってWDOに10μsのパルスが出力され、外部回路はこれを検出することでウォッチドッグフォルト状態を認識します。WDIが連続的にハイ又はローの時には、1.6秒おきに200msのリセットパルスが発生します。

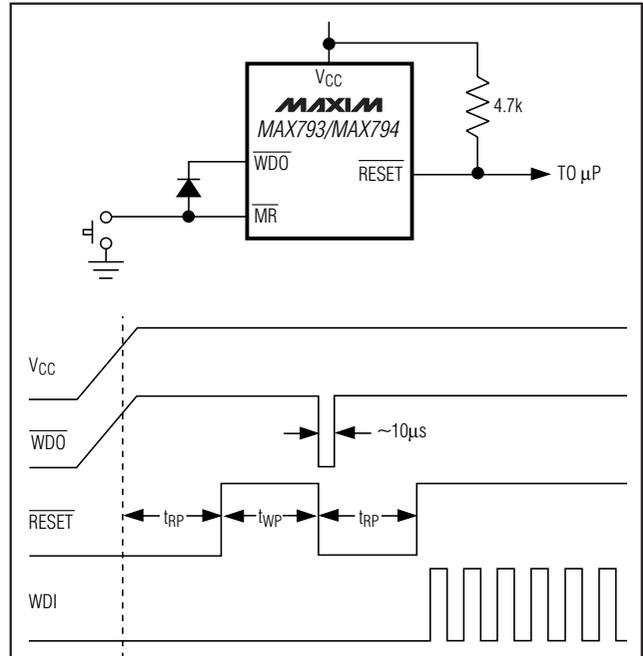


図6. 各ウォッチドッグフォルトでリセットを発生

チップイネーブル信号ゲート

チップイネーブル(CE)信号の内部ゲートは、低電圧状態での違ったデータによるCMOS RAMの破壊を防ぎます。MAX793/MAX794/MAX795のCE INからCE OUTへは直列トランスミッションゲートが使用されています(図7)。通常動作時(リセットが実行されていない時)ではCEトランスミッションゲートはイネーブルされ、全CEトランジションを通過させます。リセットが実行された場合はこの経路はディセーブルされ、違ったデータがCMOS RAMのデータを破壊するのを防ぐことができます。CE INからCE OUTへのCE伝播遅延は短いため、殆どのμPでこれらのμP監視回路を使用することができます。リセットが実行されていてCE INがローの場合、進行中の書き込みサイクルを完結させるためにCE OUTは10μs(typ)間だけローに留まります。

チップイネーブル入力

リセットが実行されている間CEトランスミッションゲートはディセーブルされ、CE INはハイインピーダンス(ディセーブルモード)です。パワーダウンシーケンス中にV_{CC}がリセットスレッショルドを切った場合、CEトランスミッションゲートはディセーブルされ、CE INでの電圧がハイの場合CE INはすぐにハイインピーダンスになります。リセットが実行され、CE INがローの場合、CEトランスミッションゲートはCE INがハイになった時、又はリセットが実行されてから10μs後のどちらか先に起こった方でディセーブルになります(図8)。これにより進行中の書き込みサイクルはパワーダウン中に完結します。

3.0V/3.3V/可変 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

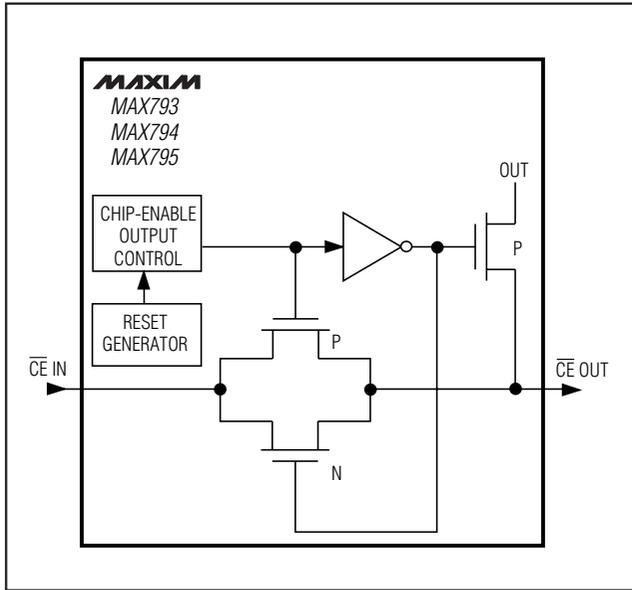


図7. チップイネーブルトランスミッションゲート

リセットが発生した場合、リセットタイムアウト期間の前半($t_{RP}/2$)はCEトランスミッションゲートはディセーブルのままで、 $\overline{CE IN}$ は(そのアクティビティに関係なく)ハイインピーダンスを維持します。ディセーブルの間、 $\overline{CE IN}$ はハイインピーダンスです。CEトランスミッションゲートがイネーブルの時、 $\overline{CE IN}$ のインピーダンスは $\overline{CE OUT}$ の負荷と直列に接続された46Ωの抵抗として見えます。

CEのトランスミッションゲートの伝播遅延は、 V_{CC} 、 $\overline{CE IN}$ に接続されているドライブのソースインピーダンス及びOUTでの負荷に依存します(「標準動作特性」の「チップイネーブル伝播遅延対CE OUT負荷容量」のグラフを参照)。CE伝播遅延は、 $\overline{CE IN}$ の50%ポイントからCE OUTの50%ポイントまで、50Ωドライバと50pFの負荷容量を用いてテストされています(図9)。伝播遅延を最小限にするには、 $\overline{CE OUT}$ の容量性負荷を最小化し、また低出力インピーダンスドライバを使用してください。

チップイネーブル出力

CEトランスミッションゲートがイネーブルの時、 $\overline{CE OUT}$ のインピーダンスは、 $\overline{CE IN}$ を駆動するソースと直列に接続された46Ωと同じです。ディセーブルモードでは、トランスミッションゲートはオフされ、アクティブプルアップにより $\overline{CE OUT}$ がOUTに接続されます(図8)。トランスミッションゲートがイネーブルになった場合、このプルアップはターンオフされます。

早期パワーフェイル警報(MAX793/MAX794)

重要なシステムでは、電源が落下しつつあることを知らせる早期警報が必要とされる場合がしばしばあります。この警報によって、 μP は電源電圧が許容範囲から大きく外れて正しい動作が不可能になる前に重要なデータを記憶し、その他の「システム保護」機能を実行する時間を取ることができます。MAX793/MAX794はこの早期警報を実現する方法を2つ提供しています。非安定化

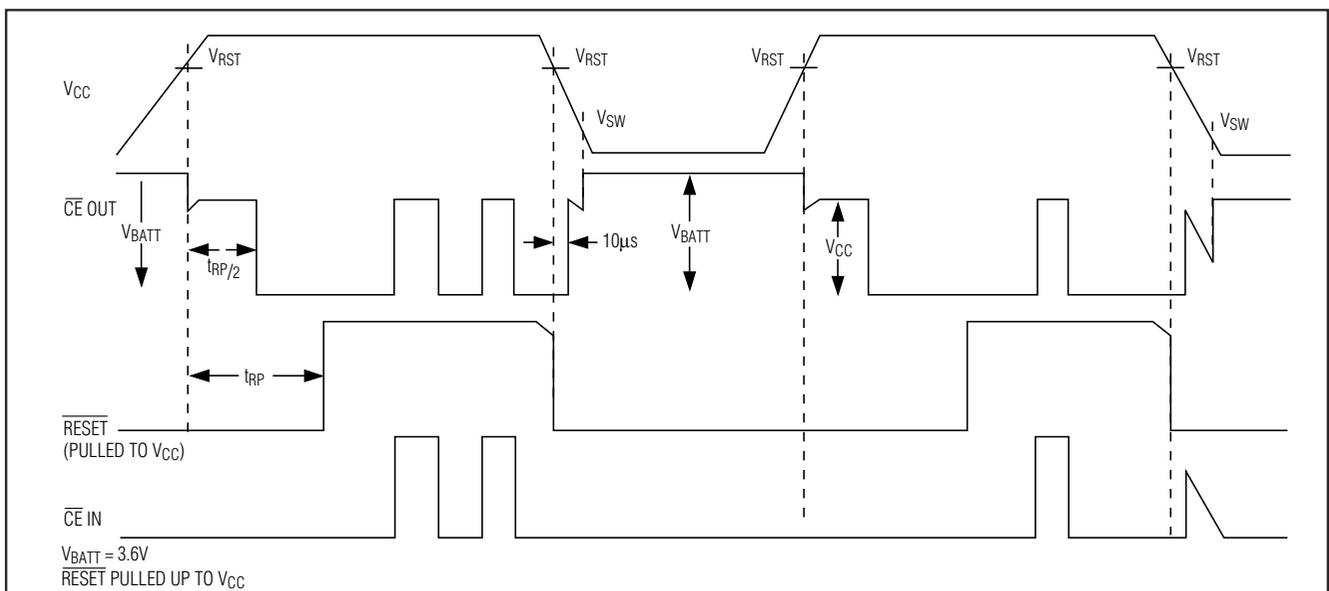


図8. チップイネーブルタイミング

3.0V/3.3V/可変 マイクロプロセッサ監視回路

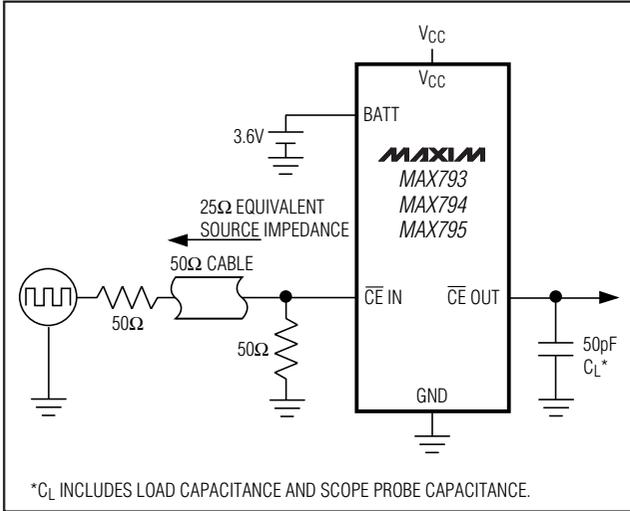


図9. CE伝播遅延試験回路

電源を使用できる場合は、分圧器を通じてパワーフェイルコンパレータ入力(PFI)を非安定化電源に接続し、パワーフェイルコンパレータの出力(PFO)がμPに対するNMIを発生させることができます(図10)。非安定化電源がアクセスできない場合、LOWLINE出力を用いてμPに対するNMIを発生させることができます(「LOWLINE出力」の項を参照)。

LOWLINE出力(MAX793/MAX794)

ローラインコンパレータは、MAX793の場合はリセットスレッショルド(ヒステリシス10mV)より45mV(typ)高いスレッショルド電圧で、MAX794の場合はRESET IN(ヒステリシス4mV)より15mV高いスレッショルド電圧でV_{CC}を監視します。通常動作時(V_{CC}がリセット

スレッショルドより上)ではLOWLINEはV_{CC}にプルアップされています。電源が低下しかけた時にLOWLINEを使用してμPへNMIを発生します。

殆どのバッテリー駆動ポータブル機器では、ローライン警報が出てからリセットが発生するまでの間にシャットダウンルーチンを実行するだけの余裕がまだ電池に残っています。通常動作中にメインバッテリーが切り離されたりハイサイドスイッチが開放された場合等、V_{CC}の立下りが速い場合は、V_{CC}ライン上の容量を用いてシャットダウンルーチンを実行する時間を稼いでください(図11)。

まず、システムがシャットダウンルーチンを行うのに要する時間のワーストケースの値を計算します。次に、ワーストケースのシャットダウン時間、ワーストケースの負荷電流及びローラインとリセットスレッショルドの差の最小値(V_{LR min})を用いて、リセットが発生する前にシャットダウンルーチンを完了させるために必要な容量を計算します。

$$C_{HOLD} > I_{LOAD} \times t_{SHDN} / V_{LR}$$

ここで、I_{LOAD}はコンデンサから流れ出る電流、V_{LR}はローラインとリセットスレッショルドの差(V_{LL} - V_{RST})、t_{SHDN}はシステムが秩序正しいシャットダウンルーチンを完了するのに要する時間です。

パワーフェイルコンパレータ(MAX793/MAX794)

MAX793/MAX794のPFI入力は内部リファレンスと比較されます。PFIがパワーフェイルスレッショルド(V_{PFT})以下の時にはPFOがローになります。パワーフェイルコンパレータは電源低下を知らせる低電圧検出器として提供されています(図12)。しかし、このコンパレータは他の回路から完全に独立しているため、必ずしもこの機能だけに使用する必要はありません。

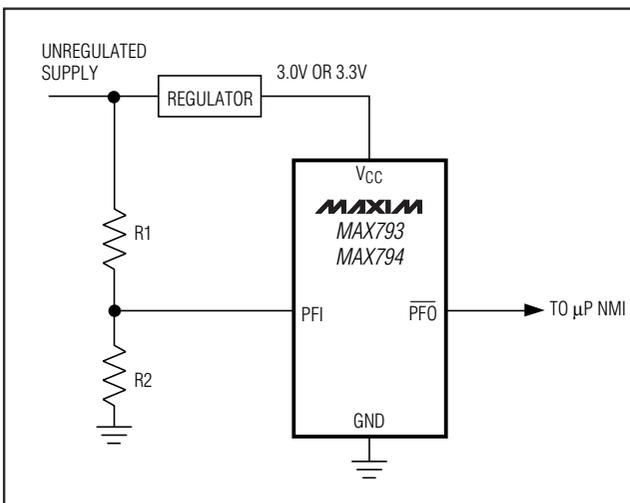


図10. パワーフェイルコンパレータを用いてパワーフェイル警報を発生

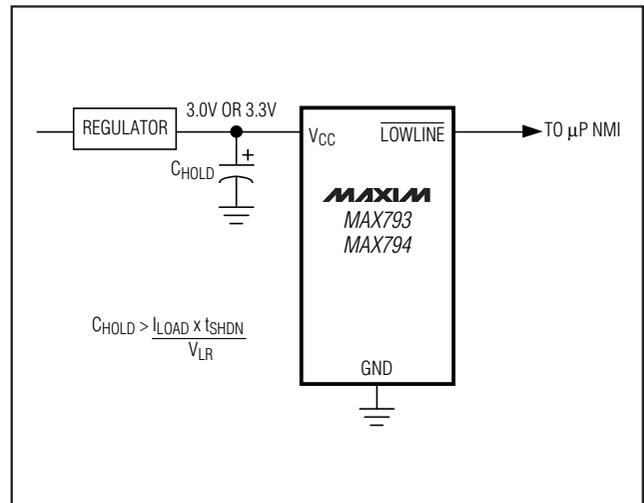


図11. LOWLINEを用いてμPにパワーフェイル警報を送信

3.0V/3.3V/可変 マイクロプロセッサ監視回路

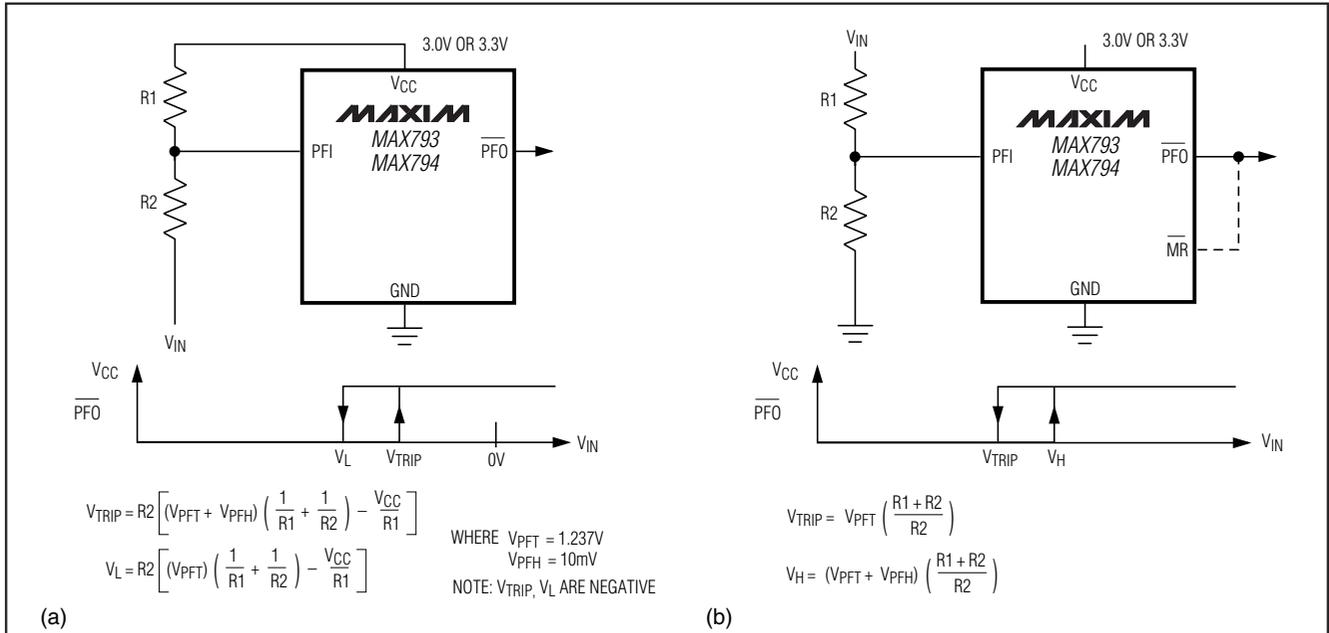


図12. パワーフェイルコンパレータを用いて別の電源を監視する場合 — (a) V_{IN} は負電圧、(b) V_{IN} は正電圧

パワーダウンで V_{CC} が V_{SW} 以下になった時にパワーフェイルコンパレータはターンオフし、 \overline{PFO} はローになります。リセットタイムアウト期間(t_{RP})の前半では \overline{PFO} は V_{PFI} に関係なく強制的にハイになります。 t_{RP} の後半の始めにパワーフェイルコンパレータがイネーブルされ、 \overline{PFO} が PFI に従うようになります。コンパレータを使用しない場合は、 PFI を V_{CC} に接続し、 \overline{PFO} は未接続のままにしてください。 \overline{PFO} を \overline{MR} に接続し、 PFI が低電圧になった時にリセットが発生するような構成にすることもできます(図12b)。この構成では監視されている電圧によって PFI が V_{PFI} 以下になった時、 \overline{PFO} が \overline{MR} をローに引下げ、リセットが発生します。リセット状態は、 \overline{PFO} が \overline{MR} をローに引下げている間及び監視されている電源が設定されたスレッショルド以上になり、 \overline{PFO} が \overline{MR} をハイに引上げてから200ms間だけ維持されます。

バックアップバッテリー切換え

低電圧や電源異常時には、RAMの内容を保持することが必要になってきます。バックアップバッテリーをBATTに接続することで、 V_{CC} が低下した時にデバイスはRAMを自動的にバックアップ電源に切換えます。この μP 監視回路ファミリ(3.3V及び3.0Vシステム用)では、バックアップバッテリー(例えば3.6Vリチウムセル)の電圧が V_{CC} より高くても対応できるように、 V_{BATT} が V_{CC} より高い場合でも必ずしもBATTをOUTに接続しないようになっています。BATTがOUTに接続する(140 Ω スイッチを通して)のは、 V_{CC} が V_{SW} 以下で V_{BATT} が V_{CC} 以上の時、又はBATT電圧に関係なく V_{CC} が1.75V(typ)以下になった時です。

V_{SW} で切換えることにより、大多数のCMOS RAMにおけるデータ保持で必要とする最低電圧2.0Vに V_{OUT} が近付きすぎる前にバックアップバッテリーモードに入ることができます(これより高い V_{CC} 電圧で切換えることはバックアップバッテリーの寿命を縮めます)。 V_{CC} が回復した時、 V_{BATT} が V_{RST} 以下の場合は V_{CC} が V_{BATT} を超えるまで、 V_{BATT} が V_{RST} 以上の時は V_{CC} がリセットスレッショルド(V_{RST})を超えるまで切換えは起こりません。このパワーアップ切換え方法は、BATT ONが駆動する外部トランジスタを使用している場合に、 V_{CC} がOUTを通してバックアップバッテリーを充電するのを防ぎます。 V_{CC} がリセットスレッショルドを超える時に、OUTは4 Ω (max)PMOSパワースイッチを通して V_{CC} に接続します(図13)。

BATT ON(MAX793/MAX794)

BATT ONはOUTがBATTに接続されている時にハイになります。BATT ONはバッテリー切換え状態を表示するためのロジック出力として使用することもできますが、多くの場合は高電流アプリケーション用の外部パストランジスタのゲート又はベースドライブとして用いられます(「アプリケーション情報」の項の「BATT ONによる外部スイッチの駆動」を参照)。パワーアップ時に V_{CC} が V_{RST} を超えると、BATT ONは0.4Vで3.2mAの電流シンクになります。バッテリーバックアップモードではこの端子はBATTから100 μA の電流ソースになります。

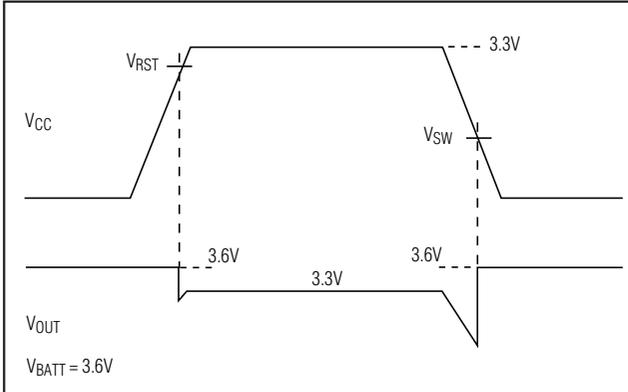


図13. バッテリ切換えのタイミング

表1. バッテリバックアップモードでの
入力及び出力状態

PIN NAME	STATUS
OUT	Connected to BATT through an internal 140Ω switch
VCC	Disconnected from OUT
BATT ON	Pulled up to BATT
BATT OK	Logic low
PFI	Disabled
PFO	Logic low
MR	Disabled, but still pulled up to VCC
WDO	Logic low
WDI	Disabled
RESET	Logic low
RESET	Pulled up to VCC
BATT	Connected to OUT
LOWLINE	Logic low
CE IN	High impedance
CE OUT	Pulled to BATT

アプリケーション情報

これらのμP監視回路は短絡保護が施されていません。デカップリングコンデンサの充電等のパワーアップトランジェントを除き、V_{OUT}をグランドに短絡するとデバイスが破壊されます。V_{CC}とBATTピンは、0.1μFセラミックコンデンサをデバイスにできるだけ近いところに配置することでグランドにデカップリングしてください。

BATT ONによる外部スイッチの駆動

BATT ONはPNPトランジスタのベース又はPMOSトランジスタのゲートに直接接続することができます。PNPの

接続は簡単です。まずエミッタをV_{CC}に、コレクタをOUTに、そしてベースをBATT ONに接続してください(図14a)。電流制限抵抗は必要ありませんが、PNPのベースとBATT ONの間に抵抗を入れることでV_{CC}からの電流を制限し、ポータブル機器のバッテリー寿命を拡張することができます。

しかし、PMOSトランジスタを使用している場合は従来の接続と逆にしなければなりません。すなわち、ゲートをBATT ONに、ドレインをV_{CC}に、そしてソースをOUTに接続してください(図14b)。この接続方法ではボディダイオードがV_{CC}からOUTへ方向になり、ゲートがハイの時にバックアップ 배터리がFETを通して放電するのを防ぐことができます。Siliconix社LITTLE FOOT™ シリーズの2つのPMOSトランジスタは、V_{GS}の仕様を-2.7Vで規定しています。Si9433DYはゲートドライブ2.7V及びドレイン・ソース電流2Aの時の最大ドレイン・ソースオン抵抗が100mΩです。Si9434DYは、ゲートドライブ2.7V及びドレイン・ソース電流5.1Aの時のドレイン・ソースオン抵抗が60mΩです。

SuperCap™のバックアップ電源としての使用

SuperCapはサイズの割に容量が非常に大きいコンデンサです(例えば0.47F程度)。図15にSuperCapをバックアップ電源として使用する方法を2つ示します。1つの方法はダイオードを通してSuperCapを3V入力に接続する方法(図15a)で、もう1つの方法は5V電源が使用できる場合にSuperCapを5Vの電源電圧まで充電して(図15b)バックアップ期間を延長することです。V_{CC}がリセットスレッシュホールドよりも高い時にV_{BATT}がV_{CC}を超えてもかまわないため、これらのμP監視回路をSuperCapと使用する時に特別な注意は必要ありません。

バックアップ電源なしの動作

これらのμP監視回路はバッテリーバックアップ付のアプリケーション用として作られています。バックアップバッテリーを使用しない場合はBATT、OUT及びV_{CC}を互いに接続するか、あるいは別のμP監視回路を使用してください。後出の「μP監視回路」の表を参照してください。

バックアップバッテリーの交換

BATTが0.1μFコンデンサでグランドにデカップリングされている限り、V_{CC}が有効な時にバックアップ電源を取去ってもリセットパルスが発生する心配はありません。V_{CC}がリセットスレッシュホールドよりも高い間はバッテリーバックアップモードには入りません。

LITTLE FOOTはSiliconix Inc.の商標です。
SuperCapはBaknor Industriesの商標です。

3.0V/3.3V/可変 マイクロプロセッサ監視回路

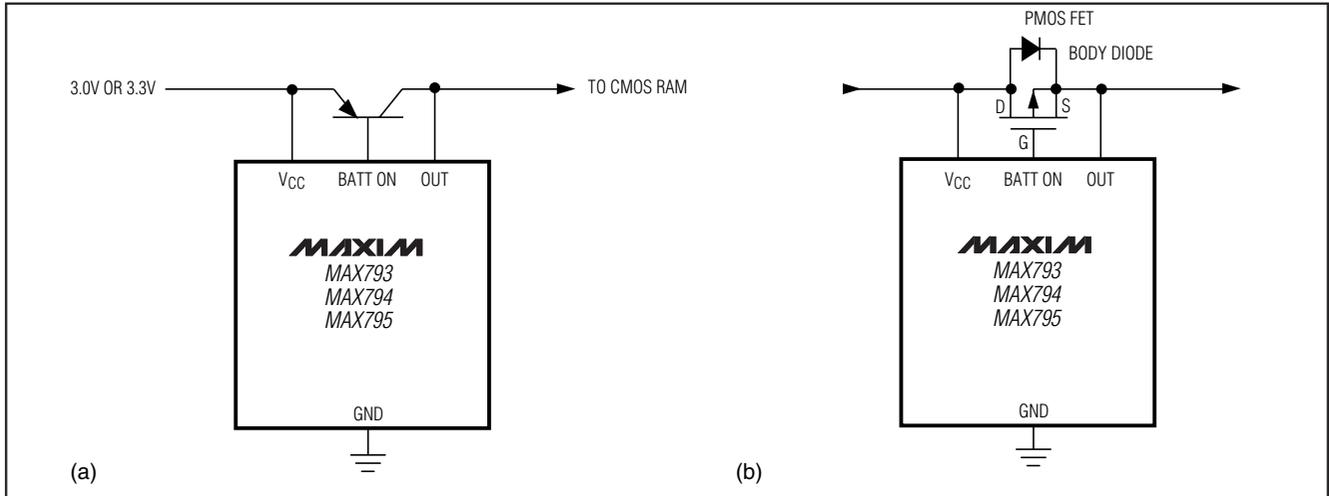


図14. BATT ONによる外部トランジスタの駆動

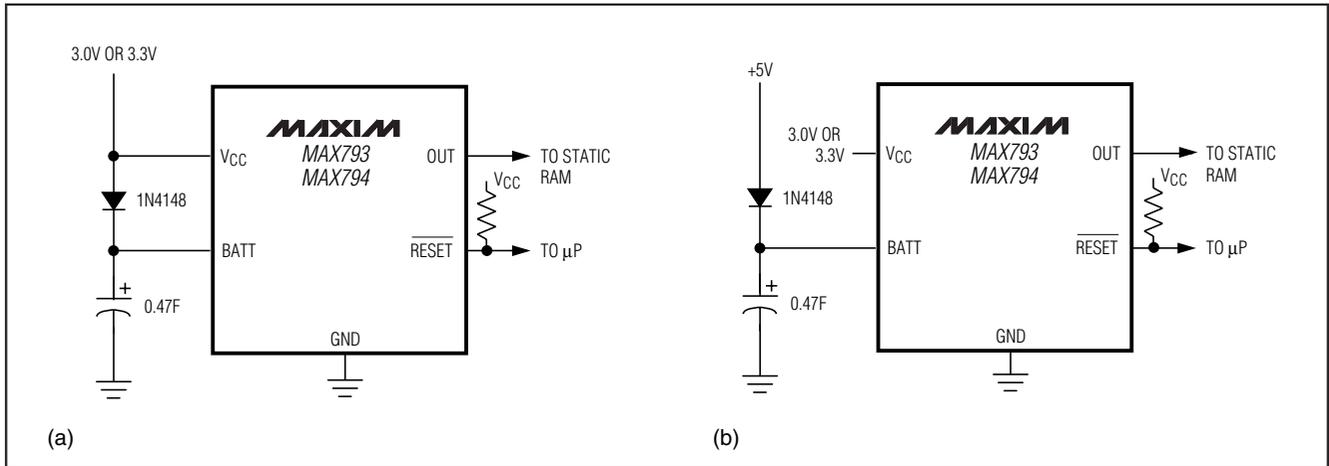


図15. SuperCapのバックアップ電源としての使用

訂正

MAX793とMAX794の初期バージョンはロジックの設計ミスのため、たとえバックアップ 배터리がBATT入力に接続されていてもV_{CC}がない場合は、出力電圧(OUT)が失われることがあります。MR入力を使用しないアプリケーション(MAX795の全アプリケーションを含む)ではこの現象の影響を受けることはありません。また、PFOを使用しないアプリケーションは、PFIがV_{CC}に接続されていれば影響はありません。

出力電圧が失われるのは、ICが「バッテリーフレッシュネスシール」モードに誤って入ってしまうためです。通常フレッシュネスシールモードが起動するのは、パワーアップリセットタイムアウト期間中にPFOを接地したときです。そこでV_{CC}が除去されると、バックアップ 배터리をOUTに接続することなくICがパワーダウンされます。

ICはリセットタイムアウト期間に入る度に、フレッシュネスシールモードに入るべきかどうか決定します。パワーアップリセットタイムアウト期間中(すなわちV_{CC}がMAX793のリセットスレッシュホールドよりも高いとき、あるいはMAX794のRESET INピンの電圧がRESET INスレッシュホールドよりも高いとき)にICはPFOピンをコンパレータ出力から瞬時的に切り離し、PFOをV_{CC}に軽くプルアップします。ここでPFOピンの電圧レベルが検出され、ローの場合はフレッシュネスシールモードが選択されます(リセットタイムアウト期間が終了する前にPFOは再びコンパレータ出力に接続されます)。

しかし、MRによってリセットが実行された場合は、PFOピンは誤ってタイムアウト期間中ずっとコンパレータ出力に接続され続け、プルアップされません。MRのリセットタイムアウト期間中にコンパレータがPFOをローに駆動している場合(PFIがPFIスレッシュホールドより

3.0V/3.3V/可変 マイクロプロセッサ監視回路

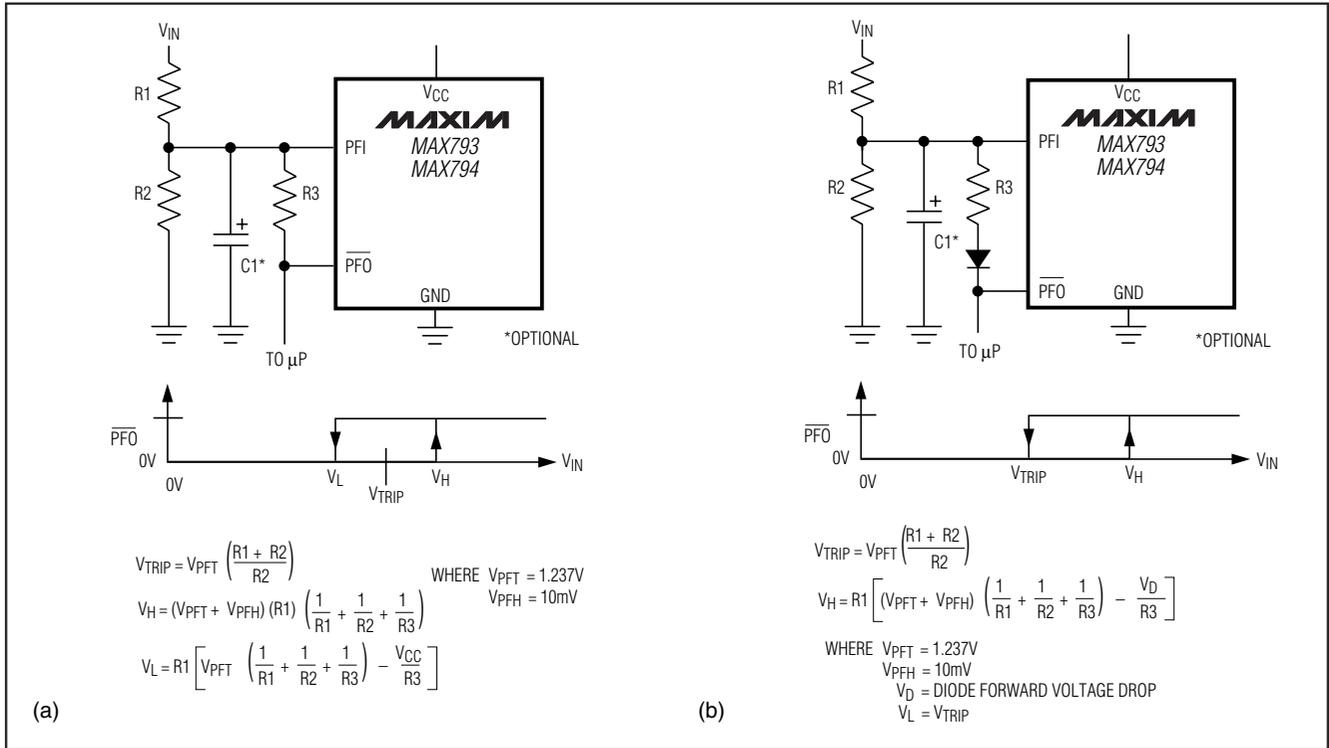


図16. パワーフェイルコンパレータへのヒステリシスの追加 — (a) 対称的ヒステリシス、(b) V_{IN} が立上がる時だけのヒステリシス

も低いために)、ICは \overline{PFO} の電圧レベルを検出し、それがローであることを確認した上で誤ってフレッシュネスシールモードに入ってしまいます。その後で V_{CC} を除去すると、バックアップバッテリーはOUTに接続されなまとなり、OUTが駆動していた機器は電源を失います。 \overline{PFO} コンパレータを使用しないアプリケーションはこの問題を回避できます。単にPFIを V_{CC} に接続しさえすれば、 \overline{PFO} をリセットタイムアウト期間中ずっとハイに保つことができます。フレッシュネスシールモードに入れるのは \overline{PFO} がローのときのみです。

この問題を解決するために、現在ICの設計変更を行っています。改定版のICは \overline{MR} によって発生したリセットを含め、全てのリセットのタイムアウト期間中に \overline{PFO} をディセーブルします。この改定は \overline{MR} を使用しないアプリケーション及び \overline{PFO} を使用しないアプリケーションには影響を与えませんが、 \overline{MR} によって発生したリセットタイムアウト期間中に、 \overline{PFO} 出力を使用する必要があるアプリケーションには影響を与える可能性があります。改定されたICは1996年末に提供される予定です。技術的なお問い合わせはマキシムアプリケーション(電話0120-231690又は<http://www.maxim-ic.com>)までどうぞ。

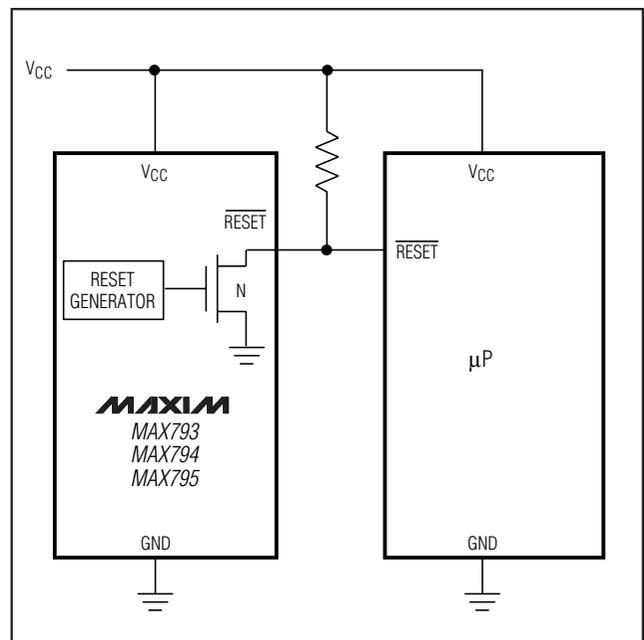


図17. 双方向リセットI/O付きの μP へのインタフェース

3.0V/3.3V/可変 マイクロプロセッサ監視回路

MAX793/MAX794/MAX795

パワーフェイルコンパレータへの ヒステリシスの追加(MAX793/MAX794)

パワーフェイルコンパレータの入力ヒステリシスは10mV (typ)です。これは外部分圧器を通して電源ラインを監視する殆どのアプリケーションで十分な値です(「他の電源の監視」の項を参照)。

これ以上のノイズマージンが必要な場合は、図16aに示すようにPFOとPFIの間に抵抗を接続してください。R1とR2の比は、 V_{IN} がトリップポイント(V_{TRIP})まで低下した時にPFIの電圧が V_{PFT} になるように設定してください。R3によってヒステリシスを追加し、標準的な値はR1またはR2の10倍以上です。ヒステリシスウィンドウは元のトリップポイント(V_{TRIP})の上(V_R)と下(V_L)に拡張します。

図16bに示すように、普通の信号ダイオードをR3と直列に接続すると、下側のトリップポイント(V_L)がヒステリシスなしのトリップポイント(V_{TRIP})と一致し、ヒステリシスウィンドウ全体が V_{TRIP} の上になります。この方法を用いることで、監視されている電圧の低下時にパワーフェイルスレッショルドの精度に悪影響を与えることなくノイズマージンを増大させることができます。これは低下して行く電圧がスレッショルドを通過する点を正確に検出する時に有用です。25nA(全温度範囲の最大値)のPFI入力が入力がトリップポイントをずらさないようにするためには、R1とR2の電流は最低1 μ A必要です。R3はPFOピンの負荷が重くなりすぎないように82k Ω 以上にすべきです。

他の電源の監視

これらの μ P監視回路はPFIへの抵抗分圧器を用いることでプラス又はマイナスの電源を監視できます。PFOを使用して μ Pに割込みを掛けたり、リセットを実行することができます(図12)。

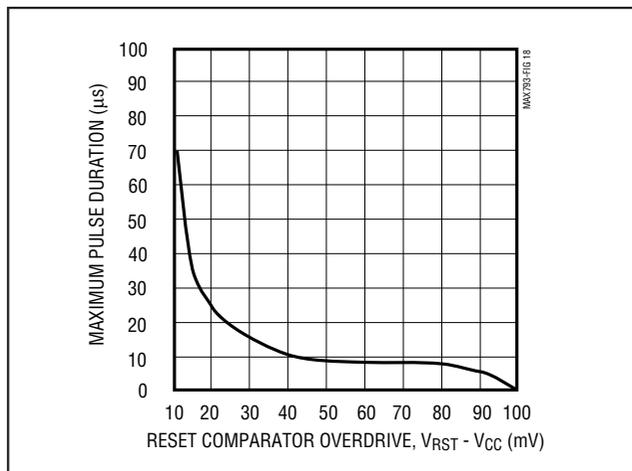


図18. リセットパルスが発生しない最大変化持続時間対リセットコンパレータのオーバードライブ

双方向リセット端子付きの μ Pへのインタフェース

RESET出力はオープンドレインのため、MAX793/MAX794/MAX795はMotorola社の68HC11等、双方向リセット端子を備えた μ Pのインタフェースが容易です。単一のプルアップ抵抗を用いて μ P監視回路のRESET出力を直接マイクロコントローラのRESET入力に接続することで、どちらのデバイスからもリセットを実行できます(図17)。

V_{CC} の負方向への変化

これらの監視回路はパワーアップ、パワーダウン及び低電圧状態で μ Pにリセット信号を送りますが、 V_{CC} の負方向の瞬時的な変化(グリッチ)に対しては比較的耐性があります。従って、 V_{CC} に僅かなグリッチがあった時に μ Pをリセットすることは通常推奨されません。

図18にリセットパルスが発生しない最大変化持続時間対リセットコンパレータのオーバードライブのグラフを示します。このグラフは3.3Vで始まり、リセットスレッショルドよりも表示されている量(リセットコンパレータオーバードライブ)だけ低い電圧で終わる負方向の V_{CC} パルスを用いて作成されています。このグラフは、リセットパルスが発生させない範囲での負方向への V_{CC} の変化での標準的な最大パルス幅を示しています。変化の大きさが増加するに従い(リセットスレッショルドよりさらに低下)、最大許容パルス幅は低下します。標準的には、 V_{CC} の変化がリセットスレッショルドよりも40mV低下し、10 μ s以下のパルス幅の場合はリセットが発生しません。

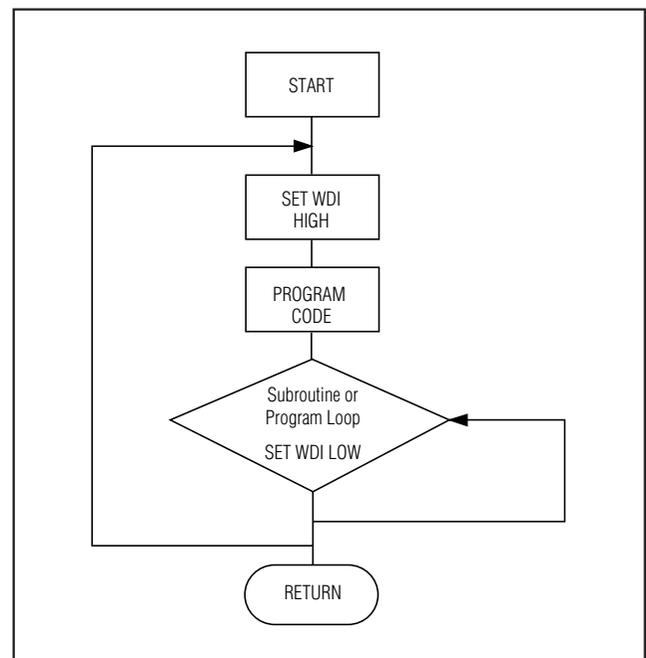


図19. ウォッチドッグのフロー図

3.0V/3.3V/可変 マイクロプロセッサ監視回路

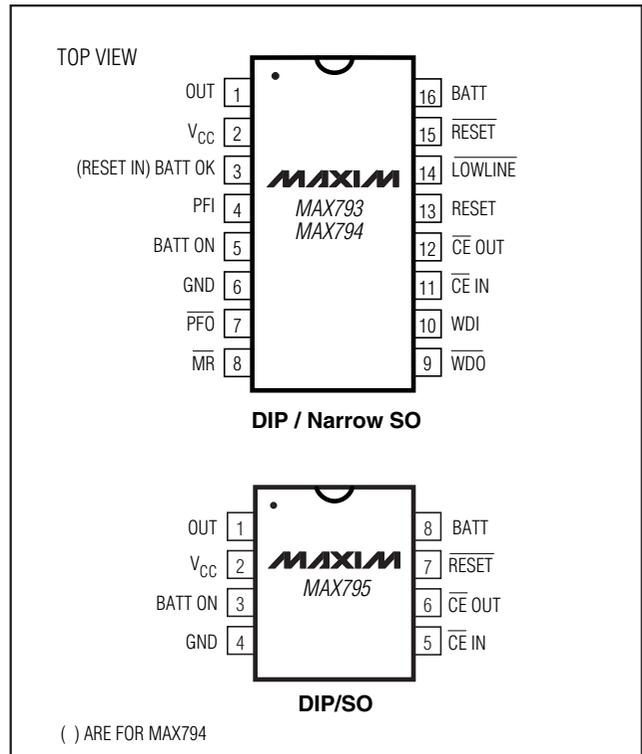
MAX793/MAX794/MAX795

V_{CC}ピンの近くに0.1μFのバイパスコンデンサを取付けることで、さらに変化に対する耐性を改善することができます。

ウォッチドッグ機能のためのソフトウェア上の考慮

ウォッチドッグタイマがソフトウェアの実行をより精密に監視できる方法があります。これは、ウォッチドッグ入力に「ハイ・ロー・ハイ」や「ロー・ハイ・ロー」のパルスを送るのではなく、プログラム中の異なる点でウォッチドッグ入力をセット、リセットする方法です。この方法を用いることで、ループの中でウォッチドッグタイマがリセットし続け、ウォッチドッグタイマがタイムアウトしなくなるスタックループを避けることができます。図19に例示するフロー図では、ウォッチドッグ入力を駆動するI/Oはプログラムの最初でハイに設定され、各サブルーチン又はループの最初でローに設定されます。そしてプログラムが始めに戻ると再びハイに設定されます。プログラムがどこかのサブルーチンでハングした場合、I/Oがローに設定され続けるため、ウォッチドッグタイマがタイムアウトしてリセット又は割込みを発行することができ、迅速に問題を解決することができます。

ピン配置



型番(続き)

PART*	TEMP. RANGE	PIN-PACKAGE
MAX794CPE	0°C to +70°C	16 Plastic DIP
MAX794CSE	0°C to +70°C	16 Narrow SO
MAX794EPE	-40°C to +85°C	16 Plastic DIP
MAX794ESE	-40°C to +85°C	16 Narrow SO
MAX795_CPA	0°C to +70°C	8 Plastic DIP
MAX795_CSA	0°C to +70°C	8 SO
MAX795_EPA	-40°C to +85°C	8 Plastic DIP
MAX795_ESA	-40°C to +85°C	8 SO

* MAX793/MAX795ではリセットスレッショルド電圧を選択することができます。所望のリセットスレッショルド電圧範囲に対応する文字(T = 3.00V~3.15V、S = 2.85V~3.00V、R = 2.55V~2.70V)を選択し、型番の空いた部分に入れて、型番を完成させてください。MAX794のリセットスレッショルドは可変です。

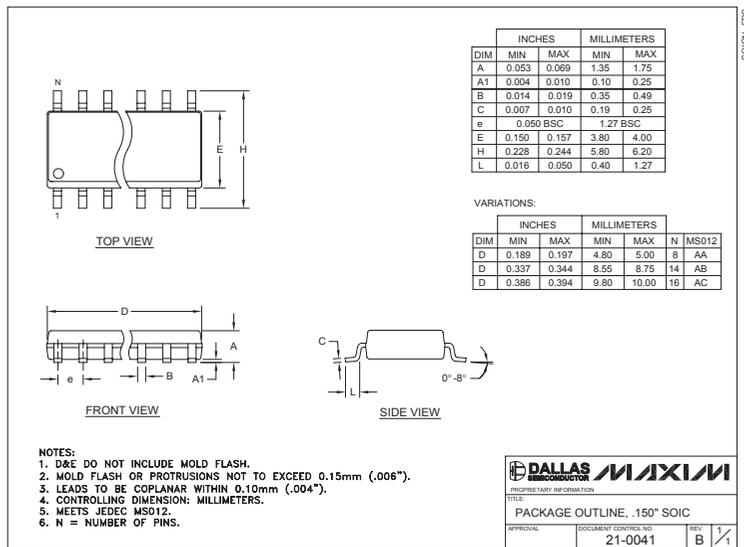
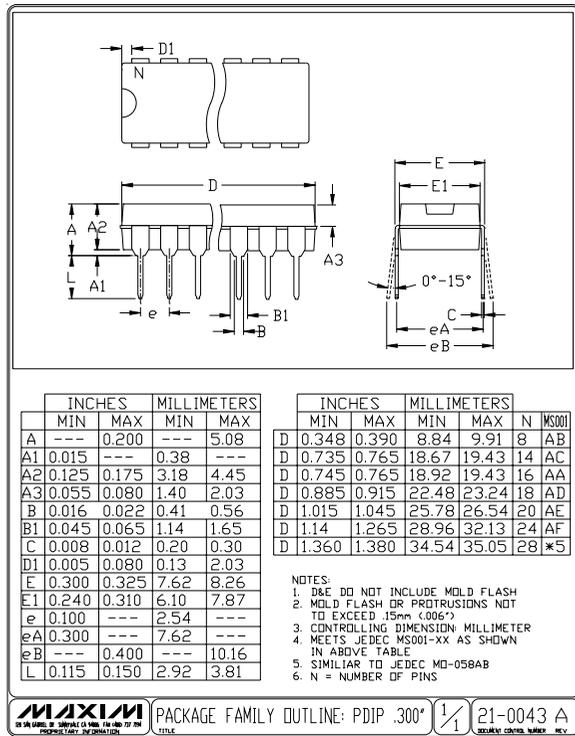
チップインフォメーション

TRANSISTOR COUNT: 1271

3.0V/3.3V/可変 マイクロプロセッサ監視回路

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600