

30V, 4A ハーフブリッジドライバ

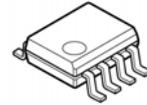
概要

NJW4800 は、4A の電流を供給できる汎用ハーフブリッジドライバです。内蔵のゲートドライバによって、ハイサイド及びローサイドのパワーMOSFET をドライブするため、高速スイッチングが可能です。

過電流保護、サーマルシャットダウンの保護機能を搭載し、異常時には FAULT 信号を出力することができます。

マイコンや DSP などのロジック信号からパワー・スイッチングを行うアプリケーションに最適です。

外形

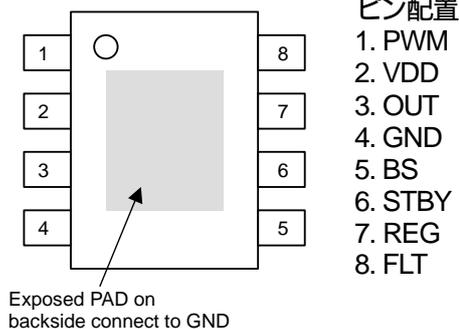


NJW4800GM1

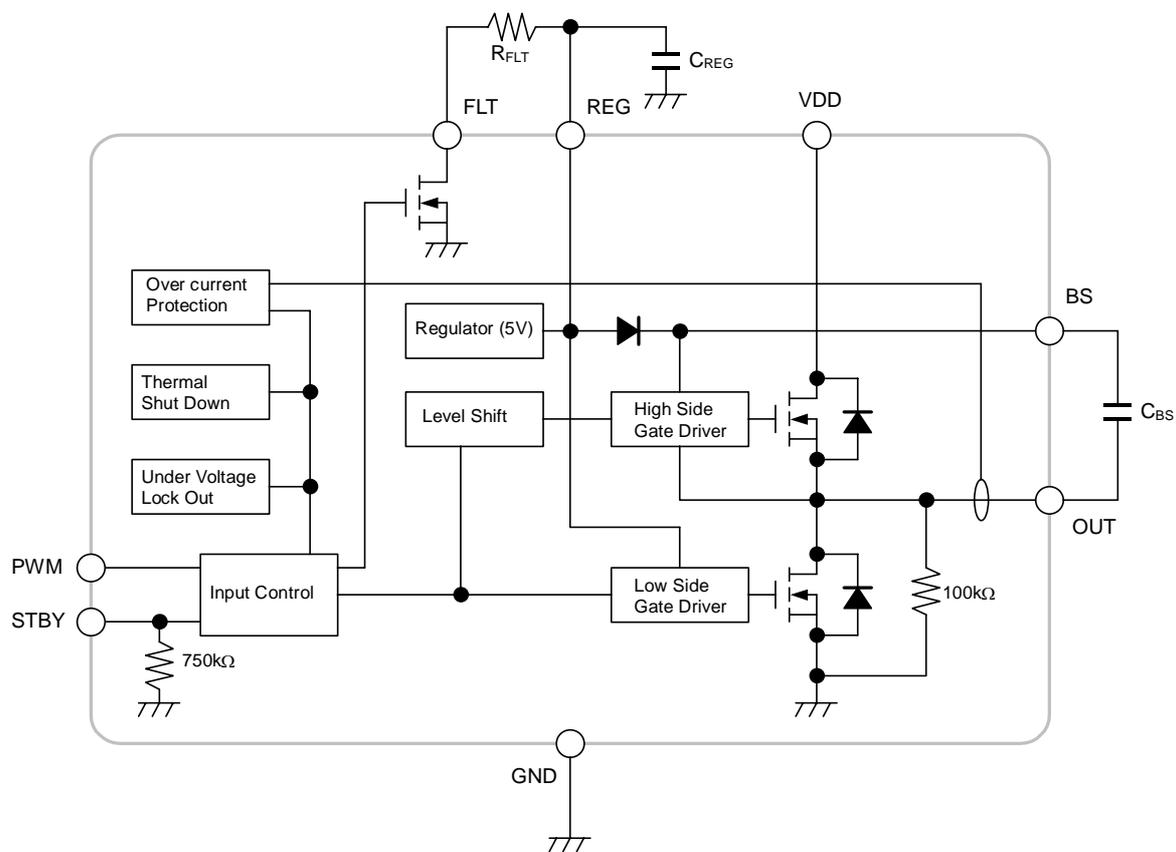
特徴

出力スイッチ電流	± 4A
動作電圧範囲	7.5V ~ 30V
スイッチング周波数	1.2MHz max.
サーマルシャットダウン	
過電流検出回路	
低電圧誤動作防止回路	
FAULT 信号出力機能	
スタンバイモード	3μA typ.
高放熱パッケージ	P _D =3.1W
外形	HSOP8

端子配列



ブロック図



絶対最大定格

(Ta=25°C)

項目	記号	定格	単位	備考
電源電圧	V ⁺	35	V	VDD-GND端子
入力電圧	V _{STBY} , V _{PWM}	-0.3 ~ 6	V	STBY, PWM-GND端子
FLT 端子電圧	V _{FLT}	-0.3 ~ 6	V	FLT-GND端子
BS 端子電圧	V _{BS}	40	V	BS-GND端子
BS-OUT 端子電圧	V _{BS-OUT}	-0.3 ~ 6	V	BS-OUT端子
消費電力	P _D	900 (*1) 3100 (*2)	mW	-
接合部温度範囲	T _j	-40 ~ +150	°C	-
動作温度範囲	T _{opr}	-40 ~ +85	°C	-
保存温度範囲	T _{stg}	-50 ~ +150	°C	-

推奨動作条件 (Ta=25°C)

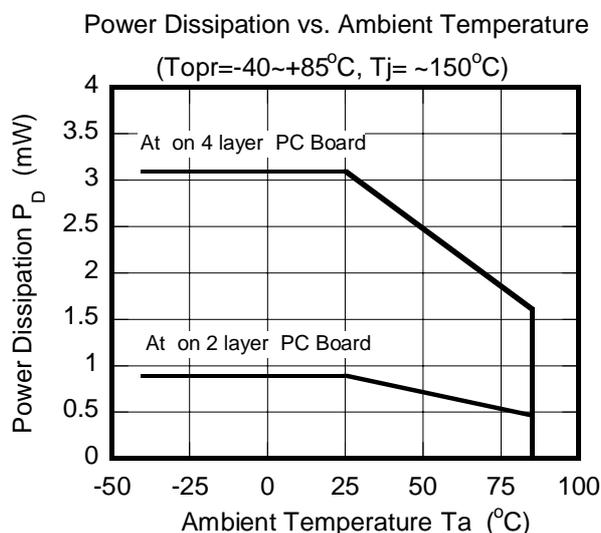
項目	記号	最小	標準	最大	単位	備考
動作電源電圧範囲	V _{opr}	7.5	-	30	V	VDD-GND 端子
出力スイッチ電流	I _{OM}	0	-	4	A	OUT 端子
入力電圧	V _{STBY} , V _{PWM}	0	-	5.5	V	STBY, PWM-GND 端子
FLT 端子電圧	V _{FLT}	0	-	V _{REG1}	V	FLT-GND 端子

熱抵抗

項目	記号	熱抵抗値	単位
接合部 - 周囲雰囲気間	θ _{ja}	139 (*1) 40 (*2)	°C/W
接合部 - ケース間	ψ _{jt}	19 (*1) 3.7 (*2)	°C/W

(*1): 基板実装時 114.3mm × 76.2mm × 1.6mm(2層 FR-4)で EIA/JEDEC 準拠による

(*2): 基板実装時 114.3mm × 76.2mm × 1.6mm(4層 FR-4)で EIA/JEDEC 準拠による



NJW4800

電気的特性

(特記事項なき場合、 $V^+=12V$, $V_{STBY}=0V$, $C_{BS}=0.1\mu F$, $C_{REG}=1\mu F$, $T_a=25^\circ C$)

項目	記号	条件	最小	標準	最大	単位
全体						
消費電流 1 (動作時)	I_{Q1}	$V_{PWM}=0V$	–	1	2	mA
消費電流 2 (スイッチング時)	I_{Q2}	$V_{PWM}=0V$ to $3V$, $f_{PWM}=1.2MHz$	–	9	14	mA
消費電流 3 (スタンバイ時)	I_{QOFF}	$V_{STBY}=5.5V$, $V_{PWM}=0V$	–	3	10	μA
出力部						
ハイサイド SW ON 抵抗	R_{DSH}	$I_{OSOURCE}=1A$, $V_{BS-OUT}=5V$	–	0.25	0.45	Ω
ローサイド SW ON 抵抗	R_{DSL}	$I_{OSINK}=1A$	–	0.25	0.45	Ω
過電流リミット	I_{LIMIT}	High-side and Low-side	4	5.5	7	A
出力立ち上がり時間	t_r	$V_{PWM}=0V$ to $3V$	–	3	–	ns
出力立ち下がり時間	t_f	$V_{PWM}=3V$ to $0V$	–	3	–	ns
デッドタイム	Dt	$V_{PWM}=0V$ to $3V$	–	20	–	ns
PWM立ち上がり遅延時間	t_{d_ON}	$V_{PWM}=0V$ to $3V$	–	60	–	ns
PWM立ち下がり遅延時間	t_{d_OFF}	$V_{PWM}=3V$ to $0V$	–	60	–	ns
OUT端子-VDD端子間電位差	V_{PDOV}	$V^+=5.7V$, $I_{ORH}=1A$	–	0.85	1.1	V
GND端子-OUT端子間電位差	V_{PDGO}	$V^+=5.7V$, $I_{ORL}=1A$	–	0.85	1.1	V
OUTプルダウン抵抗	R_{PD}	$V^+=5.7V$, $V_{STBY}=5.5V$	50	100	200	$k\Omega$
ハイサイドSW OFF時リーク電流	$I_{OLEAKOUT}$	$V^+=30V$, $V_{STBY}=5.5V$, $V_{OUT}=0V$	–	–	1	μA
FLT信号出力時 OUT端子出力電流	I_{O-FLT}	$V^+=5.7V$, $V_{OUT}=0V$	–	30	60	μA
入力回路部						
STBY端子 High電圧 (スタンバイモード)	V_{IHSTBY}		2.4	–	5.5	V
STBY端子 Low電圧 (動作モード)	V_{ILSTBY}		0	–	0.8	V
STBY端子 流入電流	I_{ISTBY}	$V_{STBY}=5.5V$	4.8	7.33	14.7	μA
STBYプルダウン抵抗	R_{PD_ISTBY}		–	750	–	$k\Omega$
PWM端子 High電圧	V_{IHPWM}		2.2	–	5.5	V
PWM端子 Low電圧	V_{ILPWM}		0	–	0.9	V
PWM端子 流入電流	I_{IPWM}	$V_{PWM}=5.5V$	–	0.01	1	μA
最大連続出力High時間	t_{HPWM}	$V_{PWM}=5.5V$	140	300	–	μs
低電圧誤動作防止(UVLO) 回路						
UVLO 検出解除電圧	V_{UVLO2}	$V^+ = L \rightarrow H$	5.9	6.6	7.3	V
UVLO 検出動作電圧	V_{UVLO1}	$V^+ = H \rightarrow L$	5.65	6.35	7.05	V
UVLO ヒステリシス電圧幅	V_{UVLO}	$V_{UVLO2}-V_{UVLO1}$	–	0.25	–	V

電気的特性 (特記事項なき場合、 $V^+=12V$, $V_{STBY}=0V$, $C_{BS}=0.1\mu F$, $C_{REG}=1\mu F$, $T_a=25^\circ C$)

項 目	記 号	条 件	最 小	標 準	最 大	単 位
内部電源回路						
出力電圧 1	V_{REG1}	$I_{REG}=0mA$	4.75	5	5.25	V
ラインレギュレーション	$V_{REG-VDD}$	$V^+=8 \sim 30V$, $I_{REG}=0mA$	–	5	20	mV
ロードレギュレーション	V_{REG-IO}	$I_{REG}=0 \sim 20mA$	–	20	50	mV
REG端子出力電流	I_{OREG}	$V_{REG1} \times 0.95$, 入力信号 500kHz	30	–	–	mA
FLT 端子						
Lowレベル出力電圧	V_{LFLT}	$I_{FLT}=500\mu A$	–	0.25	0.5	V
OFF時リーク電流	$I_{OLEAKFLT}$	$V_{FLT}=V_{REG1}$	–	–	1	μA

端子動作表

INPUT			OUTPUT			Mode
PWM	STBY	VDD	FLT	ハイサイド SW	ローサイド SW	
L	L	$V^+ \geq V_{UVLO2}$	ON	OFF	ON	Normal
H	L	$V^+ \geq V_{UVLO2}$	ON	ON (*3)	OFF	Normal
L	H	–	OFF	OFF	OFF	Stand-by
H	H	–	OFF	OFF	OFF	Stand-by
L	L	$V^+ < V_{UVLO1}$	OFF	OFF	OFF	UVLO
H	L	$V^+ < V_{UVLO1}$	OFF	OFF	OFF	UVLO

(*3) PWM=H が t_{HPWM} 以上連続して入力されると $t_{HPWM}/128$ の間、ローサイド SW=ON となります。

INPUT		OUTPUT			Mode
T_j	I_{OUT}	FLT	ローサイド SW	ハイサイド SW	
$T_j > 150^\circ C$	–	OFF	OFF	OFF	TSD
–	$I_{OM} \geq I_{LIMIT}$	OFF	OFF	OFF	OCP

タイミングチャート

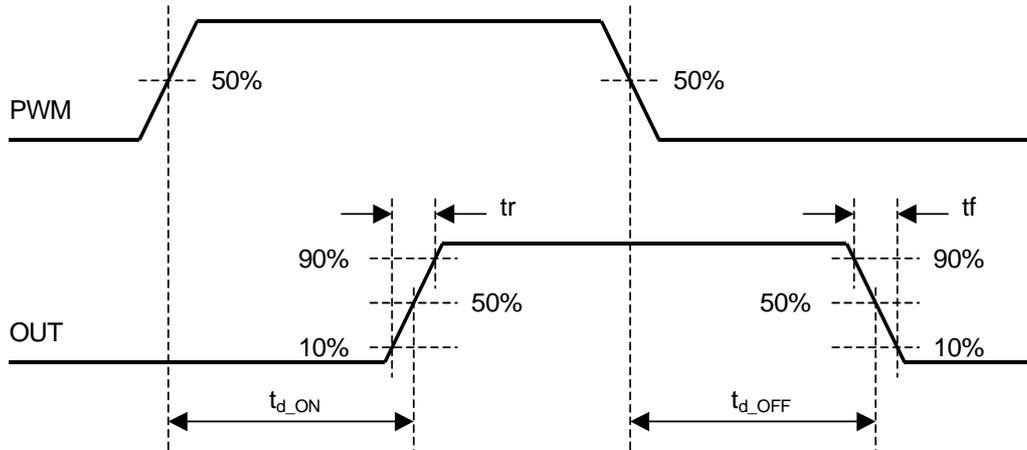


図1 出力立ち上がり/下がり時間、PWM立ち上がり/下がり遅延時間

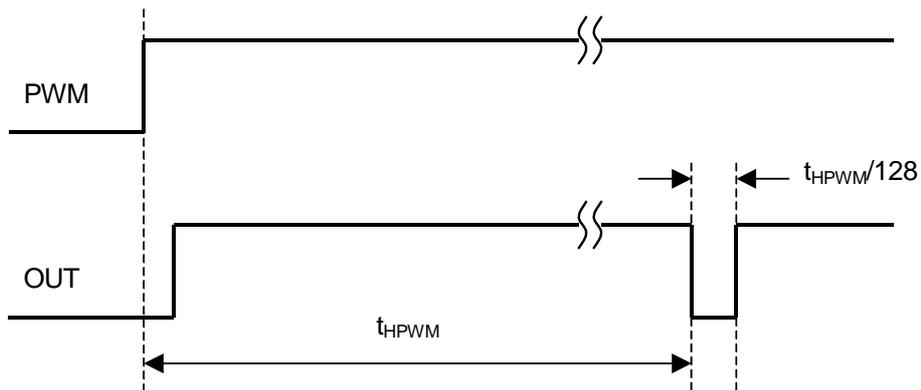


図2 最大連続出力 High 時間

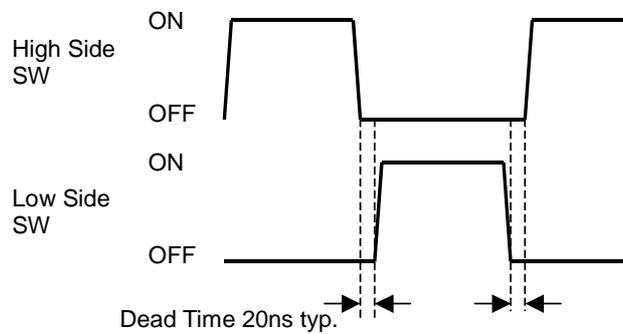
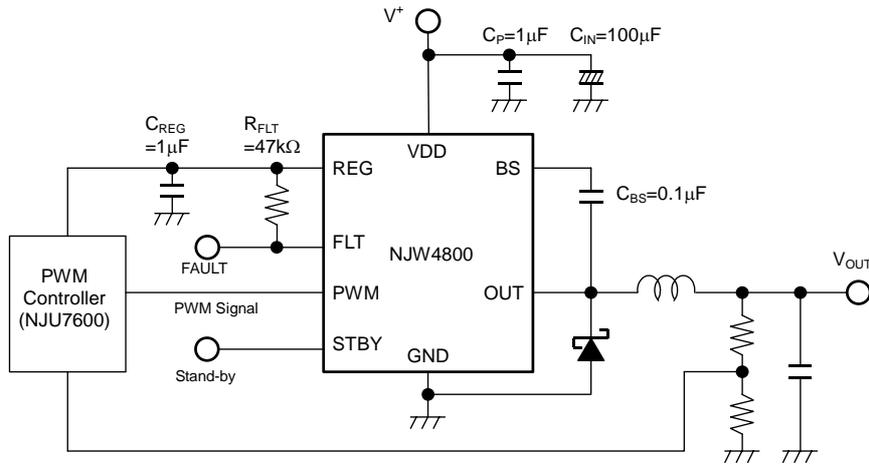
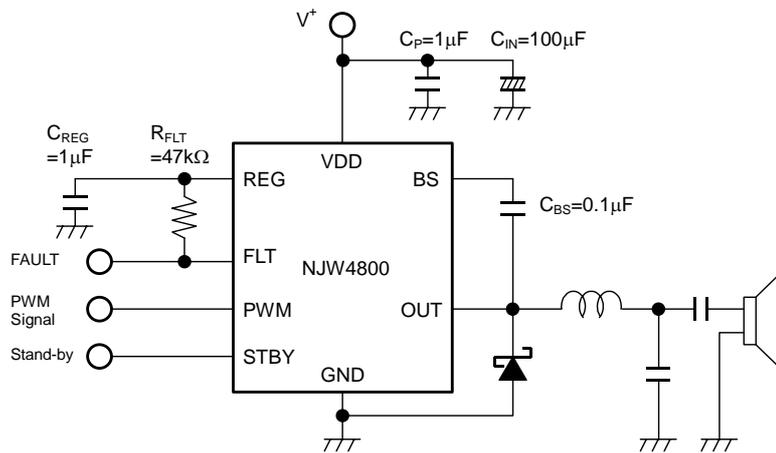


図3 SW動作とデッドタイム

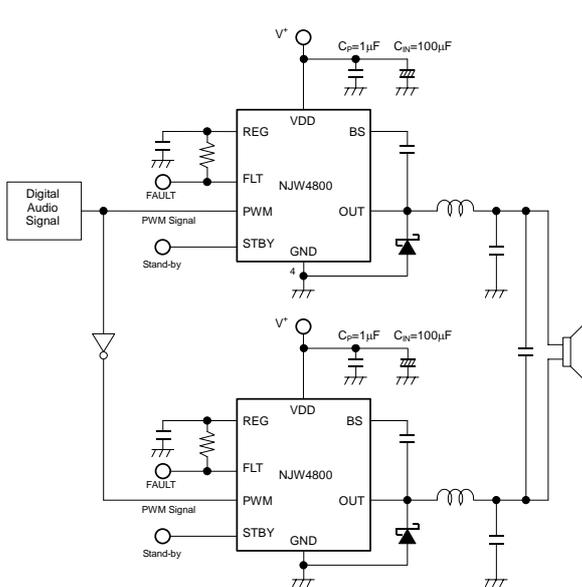
アプリケーション回路例



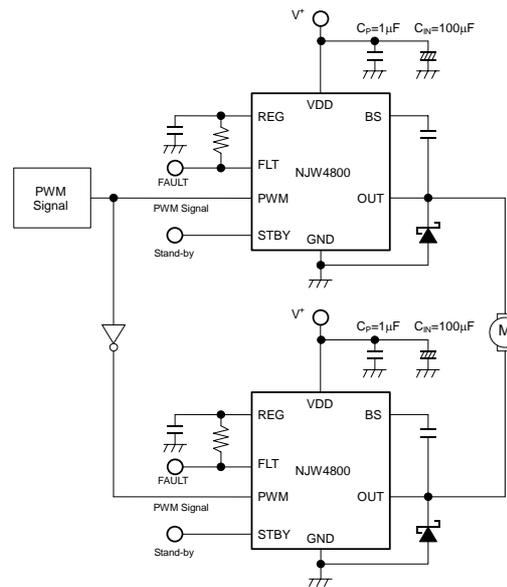
Synchronous PWM step down switching regulator



Class-D single ended audio amplifier



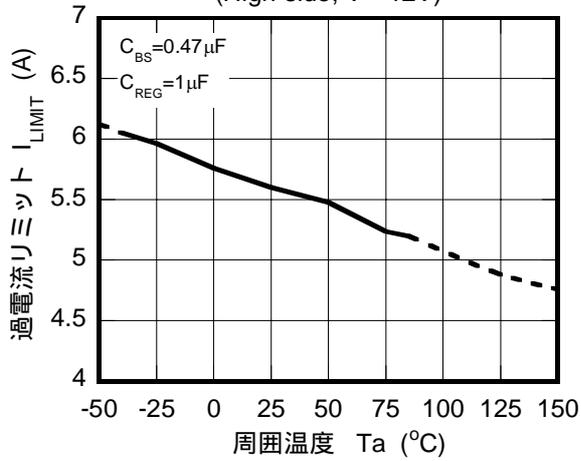
Class-D full bridge audio amplifier



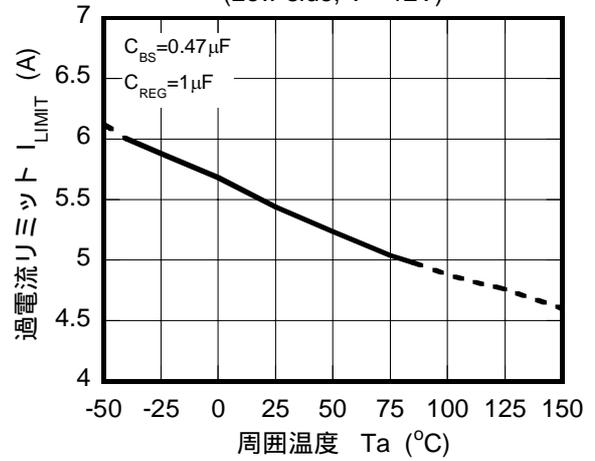
Full bridge motor driver

特性例

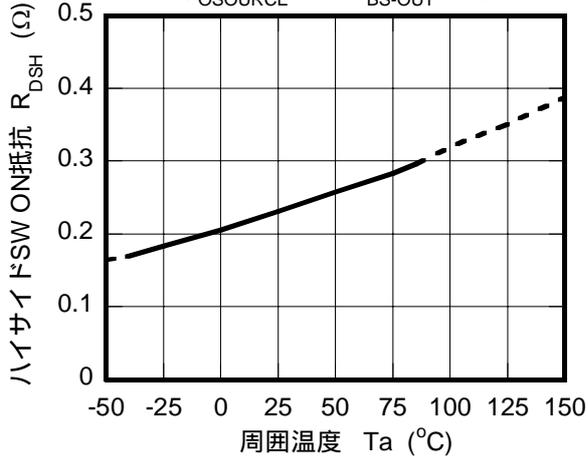
過電流リミット温度特性例
(High-side, $V^+=12V$)



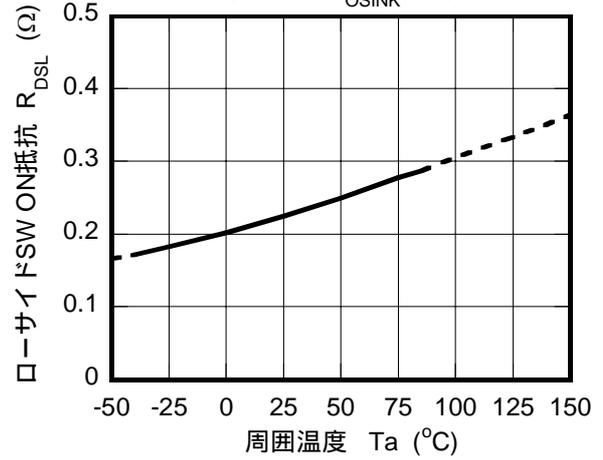
過電流リミット温度特性例
(Low-side, $V^+=12V$)



ハイサイドSW ON抵抗温度特性例
($I_{OSOURCE}=1A$, $V_{BS-OUT}=5V$)

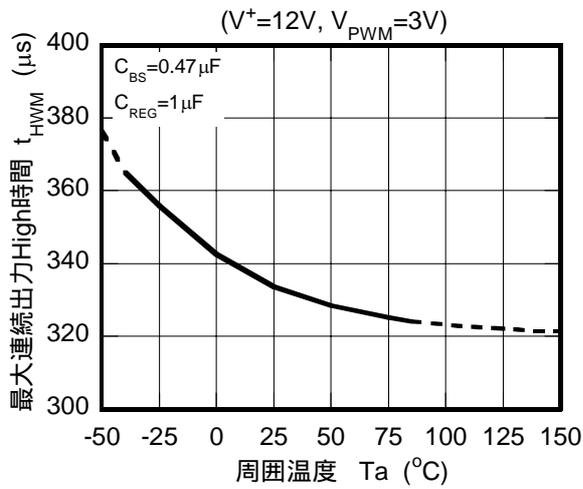


ローサイドSW ON抵抗温度特性例
($V^+=12V$, $I_{OSINK}=1A$)

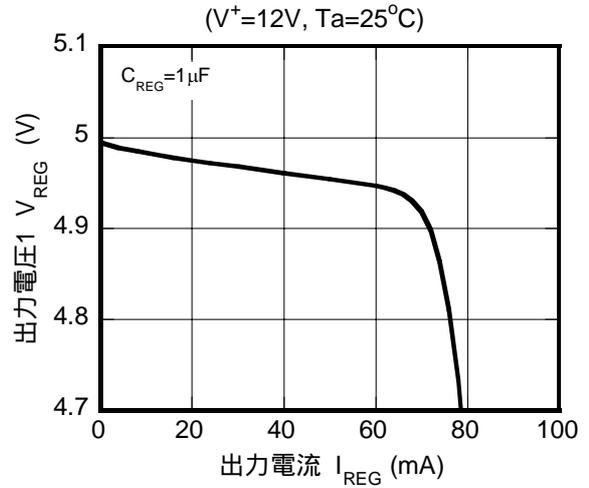


特性例

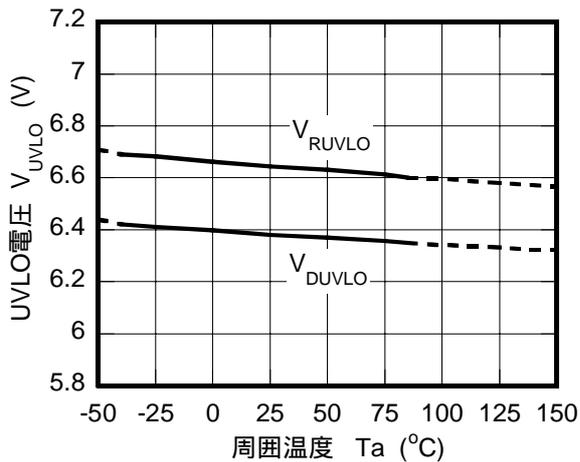
最大連続出力High時間温度特性例



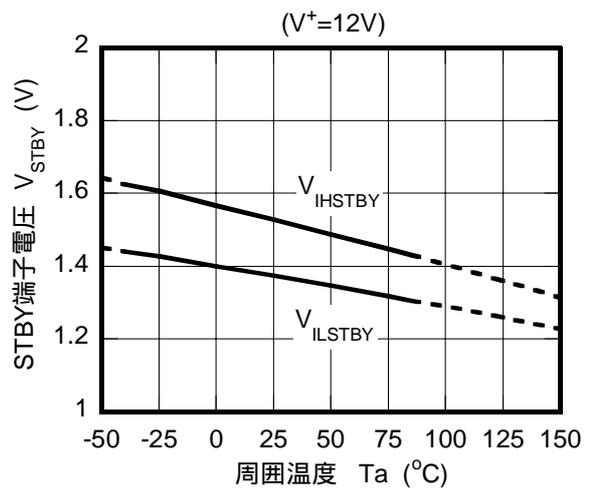
内部電源回路ロードレギュレーション特性例



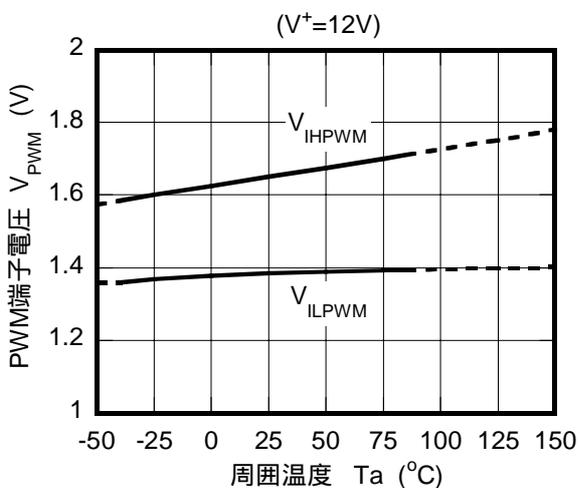
低電圧誤動作防止回路温度特性例



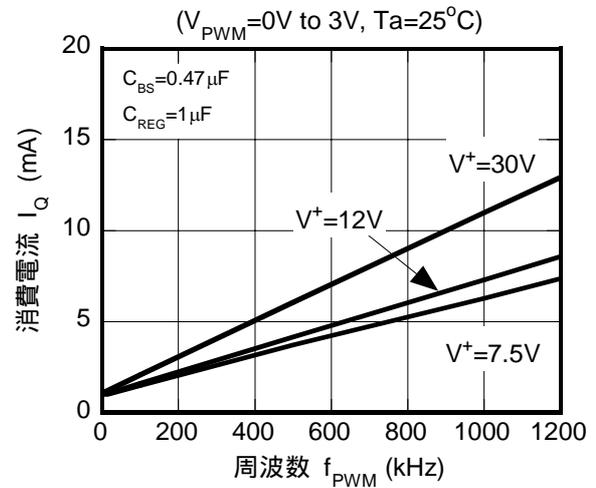
STBY端子電圧温度特性例



PWM端子電圧温度特性例

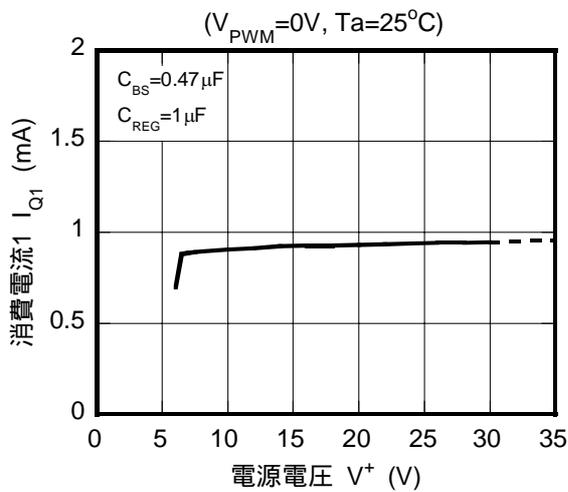


周波数対電源電圧特性例

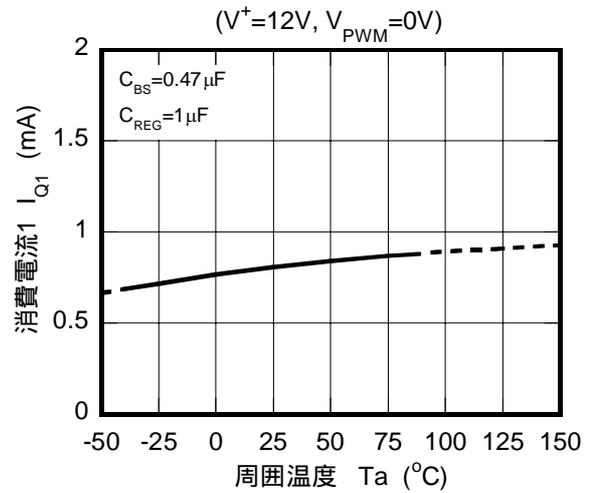


特性例

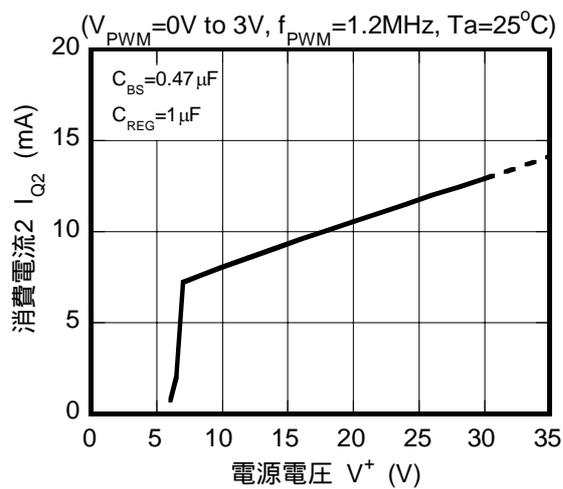
消費電流1对電源電圧特性例



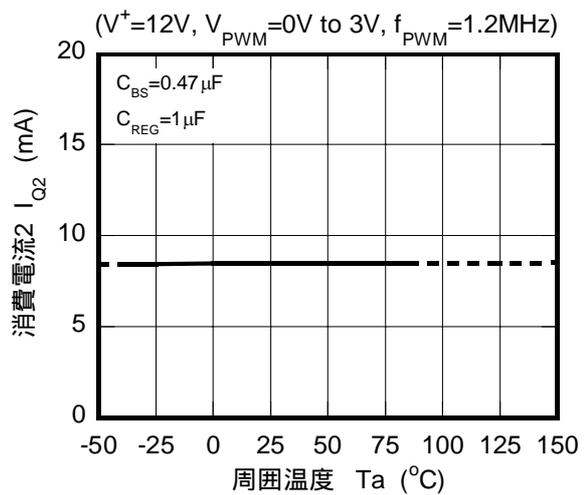
消費電流1温度特性例



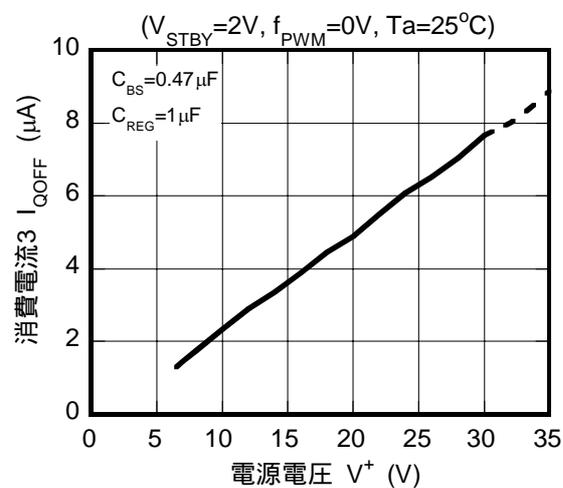
消費電流2对電源電圧特性例



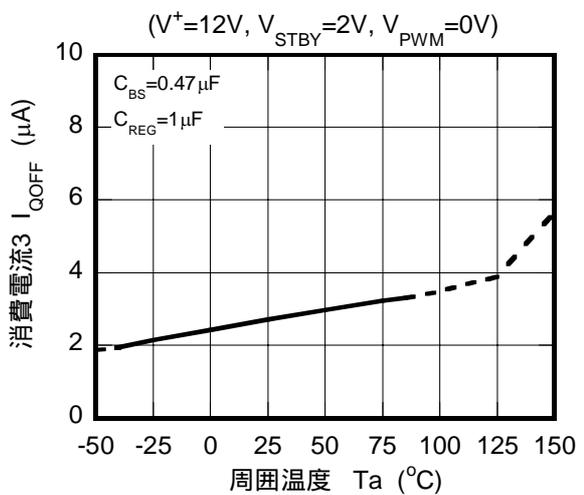
消費電流2温度特性例



消費電流3对電源電圧特性例



消費電流3温度特性例



参 考 資 料

端子説明

端子番号	端子名称	機能
1	PWM	ドライバ信号入力端子です。ハイサイド SW を動作させるには High レベル、ローサイド SW を動作させるには Low レベル信号を入力してください。
2	VDD	電源供給端子です。IC の制御回路および、出力部への電流供給を行います。電源供給のインピーダンスを下げるため、IC の近傍に電解コンデンサとセラミックコンデンサを接続してください。
3	OUT	ハーフブリッジの出力端子です。両サイドの SW は、過電流検出機能によって 5.5A typ. に制限されます。
4	GND	接地
5	BS	ブートストラップ用の電源を出力します。ブートストラップによってハイサイド SW のゲートを駆動します。BS 端子-OUT 端子間には、0.1 μ F 以上のコンデンサを接続してください。
6	STBY	スタンバイ端子です。 High レベルで NJW4800 のスタンバイによる停止、Low レベルで NJW4800 が動作します。
7	REG	内蔵されたレギュレータによって 5V を出力します。レギュレータの出力を安定させるために、1 μ F 以上のコンデンサを接続してください。
8	FLT	異常時に信号を出力します。オープンドレイン形式になっており、プルアップ抵抗を通じて、REG 端子や外部電源に接続してください。 正常時は FET が ON し出力電圧: Low レベル、異常時は FET が OFF 出力電圧: High レベルになります。
-	Exposed PAD	4pin の GND 端子に接続されています。

機能説明

ハイサイド、ローサイド SW

OUT 端子より内蔵されたハイサイド、ローサイド SW のドライブが出力されます。それぞれの SW は、PWM 入力信号によって変化し交互に動作を繰り返します。2.2V 以上でハイサイド SW が動作、0.9V 以下でローサイド SW が動作します。

ハイサイド、ローサイド SW は、0.25Ω typ. の Nch-MOSFET で構成されています。ハイサイド SW のゲートはブートストラップ機能により $V^+ + 5V$ で駆動されます。ハイサイド SW を ON し続ける時間は制限されており、標準で 300μs です。(図 2 参照)

ハイサイド、ローサイド SW の動作切り替えには、短絡を防止するためにデッドタイム時間が設けられています。(図 3) デッドタイムは 20ns typ. に設計されており、高周波を必要とするスイッチングレギュレータのアプリケーションにも使用が可能です。PWM 端子の入力周波数は、1.2MHz 以下で行ってください。

OUT 端子は、内部で 100kΩ typ. にプルダウンされ、ハイサイド SW によるリーク電流を補償しています。

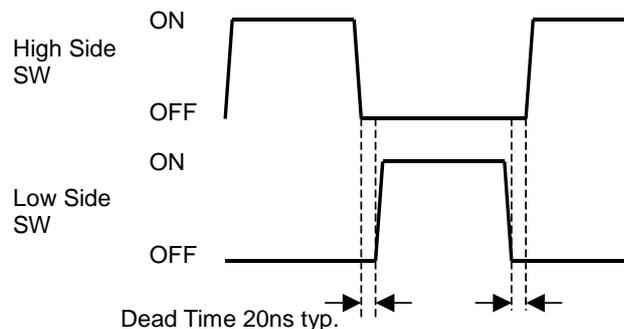


図 3 SW 動作とデッドタイム

過電流保護機能

ハイサイド、ローサイド SW に流れる電流は、過電流保護機能によって監視されます。電流リミットの 5.5A typ. を超えると SW 動作を停止し、同時に FLT 端子より異常信号を出力します。過電流保護による動作停止は、PWM 入力信号の立ち下がりエッジで解除されます。(図 4 参照)

OUT 端子が GND へ直接短絡した場合、電流変化(di/dt)が速いため大きなサージ電流が流れ、電流リミットを越える可能性があります。そのとき NJW4800 には瞬間的に大きな消費電力が発生するため、十分な放熱設計を行ってください。また誘導性負荷の逆起電力は、ハイサイド、ローサイド SW のダイオードに逆方向の電流が流れます。

NJW4800 の過電流保護機能では、逆電流に対して保護することができないため、アプリケーションによっては逆起電力を回生するためのダイオードを外部に設けることを検討してください。

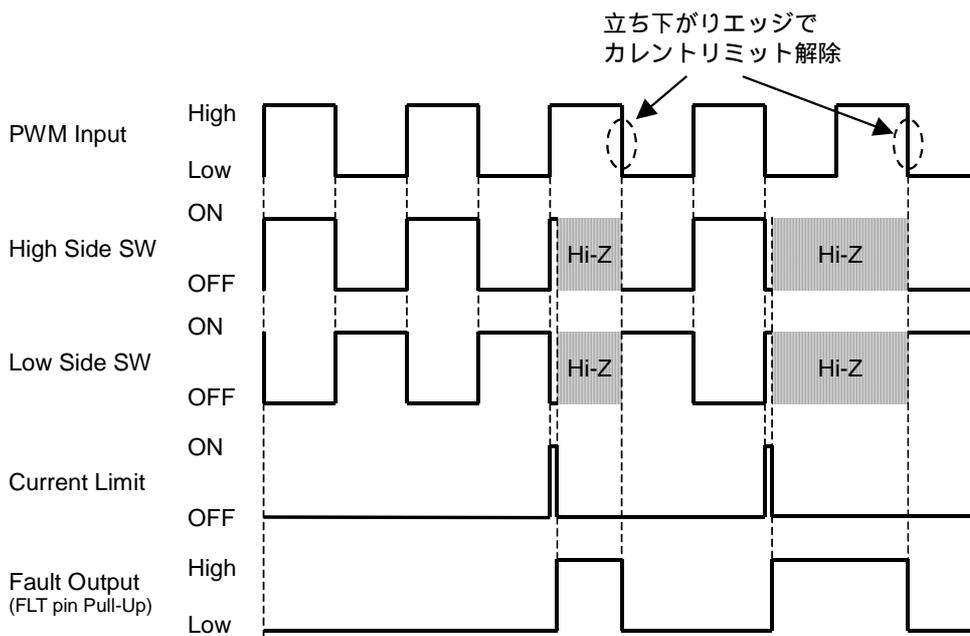


図 4 ハイサイド、ローサイド SW と過電流保護時の動作

参 考 資 料

機能説明 (続き)

ブートストラップ機能

ハイサイド SW のゲート駆動するには、電源電圧より高い電圧が必要になります。外部のブートストラップ・コンデンサによって BS 端子に $V^+ + 5V$ の電源電圧を作り出し、ハイサイド SW のゲートドライバ電源供給を行います。動作原理を図 5 に示します。

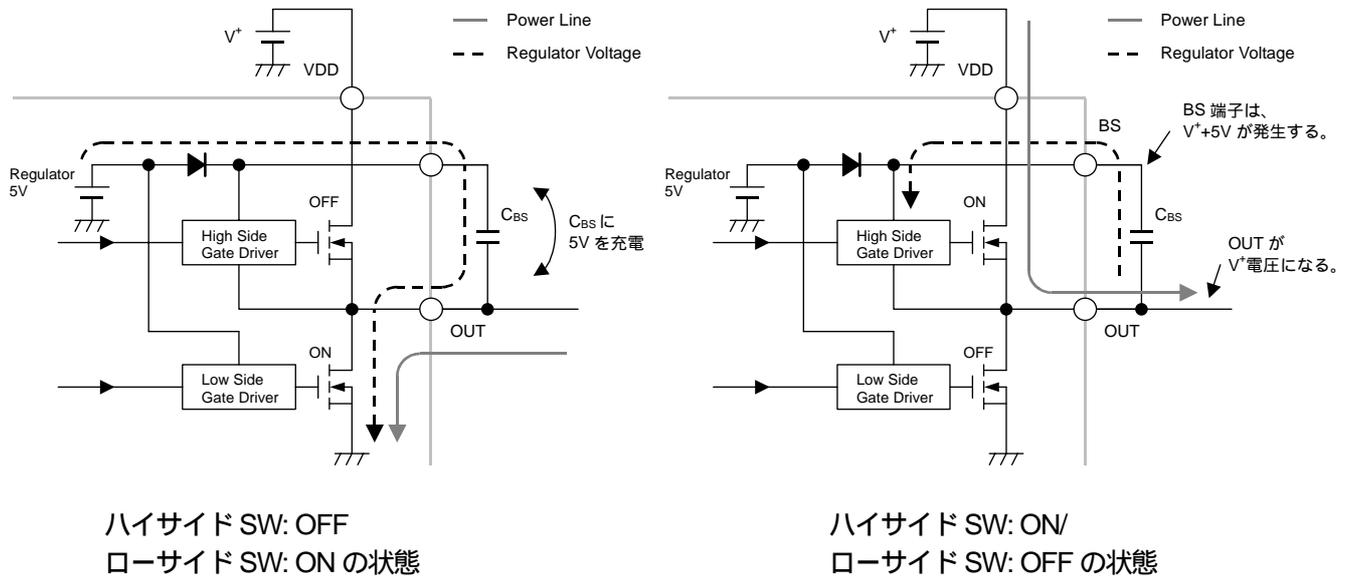


図 5 ブートストラップによるハイサイドドライブ

BS 端子-OUT 端子間にブートストラップ用コンデンサ $C_{BS} = 0.1\mu F$ 以上を接続してください。ブートストラップ用コンデンサの充放電は、内部カウンターによって時間が決められています。ハイサイド SW の最大 ON 時間となる、コンデンサの放電時間は、 $t_{HPWM} = 300\mu s$ typ. ローサイド SW の最小 ON 時間となる、コンデンサの充電時間は、 $t_{HPWM} / 128 = 2.34\mu s$ typ. です。

レギュレータ

REG 端子より 5V を出力します。IC 内部でブートストラップ用の電源を供給するほか、外部回路への電源供給としても使用可能です。レギュレータの出力を安定させるために、 $C_{REG} = 1\mu F$ 以上のセラミックコンデンサを接続してください。レギュレータの出力電流は $I_{OREG} = 30mA$ min. ($V_{REG1} \times 0.95$) まで流す事ができ、過負荷時は出力を垂下制御します。

サーマルシャットダウン機能

サーマルシャットダウン機能は、NJW4800 のチップ温度が $170^\circ C$ を超えると SW 動作を停止し、同時に FLT 端子より異常信号を出力します。SW 動作を復帰させるには、チップ温度を $150^\circ C$ 以下にしてください。サーマルシャットダウン機能は、高温時における IC の熱暴走を防止するための予備回路であり、不適切な熱設計を補うためでは有りません。IC のジャンクション温度 ($\sim +150^\circ C$) 範囲内で動作させるように、十分な余裕を満たすことをお奨めします。

(* 参考値)

機能説明 (続き)

低電圧誤動作防止(UVLO)回路

電源電圧が低い場合、UVLO 回路によって動作を停止し、 $V^+=6.6V$ typ.以上で UVLO 回路解除されて IC の動作が開始します。電源電圧の立ち上がりと立ち下がりに $0.25V$ typ.のヒステリシス電圧幅を持たせています。これにより、UVLO の解除と動作のばたつきを防止し、NJW4800 を安定させて動作させます。

FAULT 信号出力

NJW4800 の動作に異常がある場合、FLT 端子より信号を出力します。オープンドレイン形式になっておりプルアップ抵抗を通じて、REG 端子や外部電源に接続してください。正常時は FET が ON し Low レベル電圧、異常時は FET が OFF し High レベル電圧になります。

FAULT 信号として反映される情報は、下記の通りです。

- ・低電圧誤動作防止(UVLO)による動作停止
- ・過電流保護機能
- ・サーマルシャットダウン

スタンバイ状態における機能停止状態では、FLT 端子が OFF するため High レベル電圧となります。

なお FAULT 信号を出力した状態では、SW 動作を停止させていますが、内部制御を維持するためレギュレータが動作を続けます。レギュレータ回路からの微小電流が OUT 端子を通じて $I_{O-FLT}=30\mu A$ typ.流れ出します。

スタンバイ機能

STBY 端子を $V_{IHSTBY}=2.4V$ min.以上にすることで NJW4800 の機能を停止させスタンバイ状態になります。

スタンバイ機能を使用しない場合は、ノイズによる誤動作を防ぐため、STBY 端子を GND に接続してください。

参 考 資 料

アプリケーション情報

大電流、高速スイッチングを行う NJW4800 のアプリケーションは、PWM 周波数に応じて電流が流れるため基板レイアウトが重要な項目です。

NJW4800 は、スイッチング時の損失を抑えるためにゲートを高速駆動しています。ハイサイド、ローサイド SW に流れる高速の電流変化が、配線の寄生インダクタンスによって過渡電圧を発生させるため、大電流の流れるラインは太く、短くし、電流ループ面積を最小限にすることで過渡電圧の低減を図ってください。

あわせて、過渡電圧発生による誤動作・最大定格の超過を防ぐために、電源ライン (VDD 端子) - GND 間にはバイパスコンデンサを挿入してください。バイパスコンデンサには高周波特性の優れた 1 μ F 以上のセラミックコンデンサを推奨します。

また誘導性負荷の供給電流が大きい場合は、逆起電流によって電源電圧が上昇することがあります。

エネルギー吸収用のバイパスコンデンサとして、100 μ F の電解コンデンサを標準としていますが、負荷の特性やアプリケーション環境に応じてこれ以上の容量を確保してください。これらのバイパスコンデンサは、VDD 端子の近傍に接続する必要があります。

使用部品例

Components	Parts Name	Functions	Manufacturers
C _{IN}	-	Aluminum-Cap.	Nippon Chemi-con
C _P	GRM21BB11H104KA01B	Ceramic-Cap. 0.1 μ F, 50V (B-val)	Murata
C _{REG}	GRM31MB31H105KA87B	Ceramic-Cap. 1 μ F, 50V (B-val)	Murata
C _{BS}	GRM21BR71H474KA88B	Ceramic-Cap. 0.1 μ F, 50V (X7R-val)	Murata
R _{FLT}	RK73B1JT473	47k Ω	KOA

MEMO

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の暗黙を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。