

OP191/OP291/OP491

特長

- 単電源動作：2.7 V TO 12 V
- 広い入力電圧範囲
- レール TO レール出力スイング
- 低消費電流：300UA/AMP
- 広い周波数帯域：3MHZ
- スルーレート：0.5V/US
- 低オフセット電圧：700UV
- 位相反転なし

アプリケーション

- プロセスコントロール
- バッテリー駆動の計測器
- 電源の制御と保護回路
- 通信機器
- リモートセンサ
- 低電圧ストレイン・ゲージ・アンプ
- DAC 出力アンプ

概要

OP191,OP291,OP491 はそれぞれシングル、デュアル、クワッドのマイクロパワー、単電源、3MHz 帯域、レール to レール入出力オペアンプです。これらのアンプは+3V 単電源動作と共に、±5V 両電源動作も保証されています。

OPX91 ファミリーはアナログ・デバイセズの CBCMOS プロセスでつくられていますが、入力段がユニークな構造になっているので、入力電圧が上下それぞれの電源電圧より 10V 以上超過しても位相反転することなく、又ラッチアップする事はありません。出力電圧は上下それぞれの電源電圧の MILLIVOLTS 以内まで振れ、電源電圧近くぎりぎりまで吸い込み、吐き出し続けます。

これらオペアンプのアプリケーションには携帯用通信機器、電源の制御と保護回路、出力電圧範囲が広い変換器のインターフェースがあります。又レール TO レール入出力のオペアンプが必

ピン配置

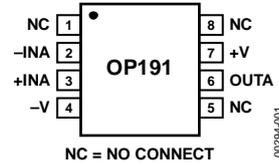


図 1.8 ピン ナロー・ボディ SOIC

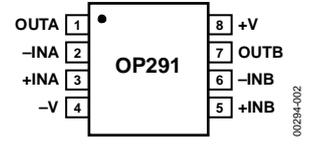


図 1.8 ピン ナロー・ボディ SOIC

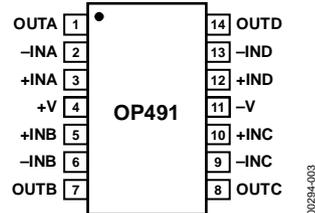


図 2.14 ピン ナロー・ボディ SOIC

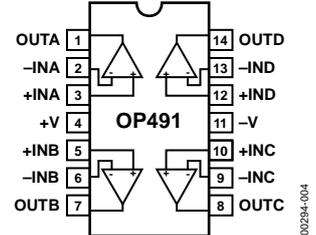


図 3.14 ピン PDIP

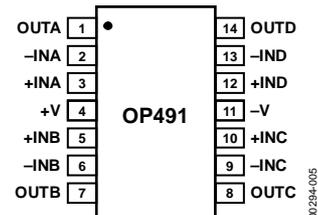


図 4.14 ピン TSSOP

要とされるセンサにはホール効果、圧電、抵抗体などの変換器などがあります。

入力と出力でレール TO レールスイングが可能な事により単電源回路において複数段のフィルター回路を構築でき、高い信号対ノイズ比を維持することができます。

OP191,OP291,OP491 の仕様は拡張工業温度範囲 (-40°C ~ +125°C) で規定されています。シングルアンプの OP191、デュアルアンプの OP291 のパッケージは 8 ピン プラスチック SOIC 表面実装型です。クワッドオペアンプ OP491 のパッケージはナロー 14 ピン SOIC、14 ピン PDIP と 14 ピン TSSOP があります。

目次

特長.....	1	過負荷回復.....	18
アプリケーション.....	1	アプリケーション.....	19
ピン配置.....	1	3V単電源,計装アンプ.....	19
概要.....	1	単電源 RTD アンプ.....	19
改訂履歴.....	2	3V 電源から 2.5V 基準電圧を生成する回路.....	20
仕様.....	3	5V 電源でレール TO レールスウィングする 12BIT DAC20	
電気的特性.....	3	高電位側での電流モニター.....	20
絶対最大定格.....	7	3V 駆動、冷接点補償熱電対アンプ.....	21
熱抵抗.....	7	モデム向け単電源ダイレクト・アクセス回路.....	21
ESD の注意.....	7	仮想グラウンド使用の 3V 駆動 50 HZ/60 HZ アクテブ・ノッチ・フィルタ.....	22
標準的な性能特性.....	8	単電源、半波、全波整流回路.....	22
動作原理.....	17	外形寸法.....	23
入力過電圧保護.....	18	オーダー・ガイド.....	24
出力電圧位相反転.....	18		

改訂履歴

4/06—REV. C TO REV. D

CHANGES TO NOISE PERFORMANCE, VOLTAGE DENSITY, TABLE 1.....	3
CHANGES TO NOISE PERFORMANCE, VOLTAGE DENSITY, TABLE 2.....	4
CHANGES TO NOISE PERFORMANCE, VOLTAGE DENSITY, TABLE 3.....	5
CHANGES TO FIGURE 23 AND FIGURE 24.....	10
CHANGES TO FIGURE 42.....	13
CHANGES TO FIGURE 43.....	14
CHANGES TO FIGURE 57.....	16
ADDED FIGURE 58.....	16
CHANGED REFERENCE FROM FIGURE 47 TO FIGURE 12.....	17
UPDATED OUTLINE DIMENSIONS.....	23
CHANGES TO ORDERING GUIDE.....	24

3/04—REV. B TO REV. C.

CHANGES TO OP291 SOIC PIN CONFIGURATION.....	1
--	---

11/03—REV. A TO REV. B.

EDITS TO GENERAL DESCRIPTION.....	1
EDITS TO PIN CONFIGURATION.....	1
CHANGES TO ORDERING GUIDE.....	5
UPDATED OUTLINE DIMENSIONS.....	19

12/02—REV. 0 TO REV. A.

EDITS TO GENERAL DESCRIPTION.....	1
EDITS TO PIN CONFIGURATION.....	1
CHANGES TO ORDERING GUIDE.....	5
EDITS TO DICE CHARACTERISTICS.....	5

仕様

電気的特性

特に指定がない限り、 $V_S = 3.0\text{ V}$, $V_{CM} = 0.1\text{ V}$, $V_O = 1.4\text{ V}$, $T_A = 25^\circ\text{C}$.

表 1.

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNIT
INPUT CHARACTERISTICS						
OFFSET VOLTAGE OP191G	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		80	500	μV
OP291G/OP491G	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		80	700	μV
INPUT BIAS CURRENT	I_B	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		30	65	NA
INPUT OFFSET CURRENT	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.1	11	NA
INPUT VOLTAGE RANGE COMMON-MODE REJECTION RATIO	CMRR	$V_{CM} = 0\text{ V TO } 2.9\text{ V}$	0 70	90	3	V DB
LARGE SIGNAL VOLTAGE GAIN	A_{VO}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $R_L = 10\text{ K}\Omega$, $V_O = 0.3\text{ V TO } 2.7\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	65 25	87 70		DB V/MV
OFFSET VOLTAGE DRIFT	$\Delta V_{OS}/\Delta T$			1.1		$\mu\text{V}/^\circ\text{C}$
BIAS CURRENT DRIFT	$\Delta I_B/\Delta T$			100		$\text{PA}/^\circ\text{C}$
OFFSET CURRENT DRIFT	$\Delta I_{OS}/\Delta T$			20		$\text{PA}/^\circ\text{C}$
OUTPUT CHARACTERISTICS						
OUTPUT VOLTAGE HIGH	V_{OH}	$R_L = 100\text{ K}\Omega\text{ TO GND}$ $-40^\circ\text{C TO } +125^\circ\text{C}$	2.95 2.90	2.99 2.98		V V
		$R_L = 2\text{ K}\Omega\text{ TO GND}$ $-40^\circ\text{C TO } +125^\circ\text{C}$	2.8 2.70	2.9 2.80		V V
OUTPUT VOLTAGE LOW	V_{OL}	$R_L = 100\text{ K}\Omega\text{ TO } V_+$ $-40^\circ\text{C TO } +125^\circ\text{C}$		4.5	10	MV
		$R_L = 2\text{ K}\Omega\text{ TO } V_+$ $-40^\circ\text{C TO } +125^\circ\text{C}$		40	75	MV
SHORT-CIRCUIT LIMIT	I_{SC}	SINK/SOURCE $-40^\circ\text{C TO } +125^\circ\text{C}$	± 8.75 ± 6.0	± 13.50 ± 10.5	130	MA MA
OPEN-LOOP IMPEDANCE	Z_{OUT}	$F = 1\text{ MHz}$, $A_V = 1$		200		Ω
POWER SUPPLY						
POWER SUPPLY REJECTION RATIO	PSRR	$V_S = 2.7\text{ V TO } 12\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	80 75	110 110		DB DB
SUPPLY CURRENT/AMPLIFIER	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		200 330	350 480	μA μA
DYNAMIC PERFORMANCE						
SLEW RATE	+SR	$R_L = 10\text{ K}\Omega$		0.4		$\text{V}/\mu\text{S}$
SLEW RATE	-SR	$R_L = 10\text{ K}\Omega$		0.4		$\text{V}/\mu\text{S}$
FULL-POWER BANDWIDTH	BW_P	1% DISTORTION		1.2		KHZ
SETTLING TIME	T_S	TO 0.01%		22		μS
GAIN BANDWIDTH PRODUCT	GBP			3		MHZ
PHASE MARGIN	Θ_O			45		DEGREES
CHANNEL SEPARATION	CS	$F = 1\text{ KHZ}$, $R_L = 10\text{ K}\Omega$		145		DB
NOISE PERFORMANCE						
VOLTAGE NOISE	$E_N\text{ P-P}$	0.1 HZ TO 10 HZ		2		$\mu\text{V P-P}$
VOLTAGE NOISE DENSITY	E_N	$F = 1\text{ KHZ}$		30		$\text{NV}/\sqrt{\text{HZ}}$
CURRENT NOISE DENSITY	I_N			0.8		$\text{PA}/\sqrt{\text{HZ}}$

特に指定がない限り $V_S = 5.0\text{ V}$, $V_{CM} = 0.1\text{ V}$, $V_O = 1.4\text{ V}$, $T_A = 25^\circ\text{C}$. +5 V 電源の仕様は +3 V と $\pm 5\text{ V}$ 電源でのテストで保障.

表 1.

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNIT
INPUT CHARACTERISTICS						
OFFSET VOLTAGE						
OP191	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		80	500	μV
OP291/OP491	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		80	700	μV
INPUT BIAS CURRENT	I_B	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		30	65	NA
INPUT OFFSET CURRENT	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.1	11	NA
INPUT VOLTAGE RANGE			0		5	V
COMMON-MODE REJECTION RATIO	CMRR	$V_{CM} = 0\text{ V TO } 4.9\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	70	93		DB
LARGE SIGNAL VOLTAGE GAIN	A_{VO}	$R_L = 10\text{ K}\Omega$, $V_O = 0.3\text{ V TO } 4.7\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	25	70		V/MV
OFFSET VOLTAGE DRIFT	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		1.1		$\mu\text{V}/^\circ\text{C}$
BIAS CURRENT DRIFT	$\Delta I_B/\Delta T$			100		PA/ $^\circ\text{C}$
OFFSET CURRENT DRIFT	$\Delta I_{OS}/\Delta T$			20		PA/ $^\circ\text{C}$
OUTPUT CHARACTERISTICS						
OUTPUT VOLTAGE HIGH	V_{OH}	$R_L = 100\text{ K}\Omega\text{ TO GND}$ $-40^\circ\text{C TO } +125^\circ\text{C}$	4.95	4.99		V
		$R_L = 2\text{ K}\Omega\text{ TO GND}$ $-40^\circ\text{C TO } +125^\circ\text{C}$	4.90	4.98		V
OUTPUT VOLTAGE LOW	V_{OL}	$R_L = 100\text{ K}\Omega\text{ TO V+}$ $-40^\circ\text{C TO } +125^\circ\text{C}$	4.8	4.85		V
		$R_L = 2\text{ K}\Omega\text{ TO V+}$ $-40^\circ\text{C TO } +125^\circ\text{C}$	4.65	4.75		V
SHORT-CIRCUIT LIMIT	I_{SC}	SINK/SOURCE $-40^\circ\text{C TO } +125^\circ\text{C}$	± 8.75	± 13.5		MA
OPEN-LOOP IMPEDANCE	Z_{OUT}	$F = 1\text{ MHz}$, $A_V = 1$	± 6.0	200		MA
						Ω
POWER SUPPLY						
POWER SUPPLY REJECTION RATIO	PSRR	$V_S = 2.7\text{ V TO } 12\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	80	110		DB
SUPPLY CURRENT/AMPLIFIER	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	75	110		DB
				220	400	μA
				350	500	μA
DYNAMIC PERFORMANCE						
SLEW RATE	+SR	$R_L = 10\text{ K}\Omega$		0.4		V/ μS
SLEW RATE	-SR	$R_L = 10\text{ K}\Omega$		0.4		V/ μS
FULL-POWER BANDWIDTH	BW _P	1% DISTORTION		1.2		KHZ
SETTLING TIME	T_S	TO 0.01%		22		μS
GAIN BANDWIDTH PRODUCT	GBP			3		MHZ
PHASE MARGIN	Θ_O			45		DEGREES
CHANNEL SEPARATION	CS	$F = 1\text{ KHZ}$, $R_L = 10\text{ K}\Omega$		145		DB
NOISE PERFORMANCE						
VOLTAGE NOISE	$E_N\text{ P-P}$	0.1 HZ TO 10 HZ		2		$\mu\text{V P-P}$
VOLTAGE NOISE DENSITY	E_N	$F = 1\text{ KHZ}$		42		NV/ $\sqrt{\text{HZ}}$
CURRENT NOISE DENSITY	I_N			0.8		PA/ $\sqrt{\text{HZ}}$

特に指定がない限り $V_O = \pm 5.0\text{ V}$, $-4.9\text{ V} \leq V_{CM} \leq +4.9\text{ V}$, $T_A = +25^\circ\text{C}$.

表 2.

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNIT
INPUT CHARACTERISTICS						
OFFSET VOLTAGE OP191	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		80	500	μV MV
OP291/OP491	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		80	700	μV MV
INPUT BIAS CURRENT	I_B	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		30	65	NA NA
INPUT OFFSET CURRENT	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.1	11	NA NA
INPUT VOLTAGE RANGE COMMON-MODE REJECTION RATIO	CMRR	$V_{CM} = \pm 5\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-5 75	100	+5	V DB DB
LARGE SIGNAL VOLTAGE GAIN	A_{VO}	$R_L = +10\text{ K}\Omega$, $V_O = \pm 4.7\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	25	70		V/MV
OFFSET VOLTAGE DRIFT	$\Delta V_{OS}/\Delta T$			1.1		$\mu\text{V}/^\circ\text{C}$
BIAS CURRENT DRIFT	$\Delta I_B/\Delta T$			100		$\text{PA}/^\circ\text{C}$
OFFSET CURRENT DRIFT	$\Delta I_{OS}/\Delta T$			20		$\text{PA}/^\circ\text{C}$
OUTPUT CHARACTERISTICS						
OUTPUT VOLTAGE SWING	V_O	$R_L = 100\text{ K}\Omega$ TO GND -40°C TO $+125^\circ\text{C}$	± 4.93 ± 4.90	± 4.99 ± 4.98		V V
		$R_L = 2\text{ K}\Omega$ TO GND $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	± 4.80 ± 4.65	± 4.95 ± 4.75		V V
SHORT-CIRCUIT LIMIT	I_{SC}	SINK/SOURCE -40°C TO $+125^\circ\text{C}$	± 8.75 ± 6	± 16.00 ± 13		MA MA
OPEN-LOOP IMPEDANCE	Z_{OUT}	$F = 1\text{ MHz}$, $A_V = 1$		200		Ω
POWER SUPPLY						
POWER SUPPLY REJECTION RATIO	PSRR	$V_S = \pm 5\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	80 75	110 100		DB DB
SUPPLY CURRENT/AMPLIFIER	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		260 390	420 550	μA μA
DYNAMIC PERFORMANCE						
SLEW RATE	$\pm SR$	$R_L = 10\text{ K}\Omega$		0.5		$\text{V}/\mu\text{S}$
FULL-POWER BANDWIDTH	BW_P	1% DISTORTION		1.2		KHZ
SETTLING TIME	T_S	TO 0.01%		22		μS
GAIN BANDWIDTH PRODUCT	GBP			3		MHZ
PHASE MARGIN	Θ_O			45		DEGREES
CHANNEL SEPARATION	CS	$F = 1\text{ KHZ}$		145		DB
NOISE PERFORMANCE						
VOLTAGE NOISE	E_N P-P	0.1 HZ TO 10 HZ		2		μV P-P
VOLTAGE NOISE DENSITY	E_N	$F = 1\text{ KHZ}$		42		$\text{NV}/\sqrt{\text{HZ}}$
CURRENT NOISE DENSITY	I_N			0.8		$\text{PA}/\sqrt{\text{HZ}}$

絶対最大定格

表 4.

PARAMETER	RATING
SUPPLY VOLTAGE	16 V
INPUT VOLTAGE	GND TO V_S 10 V
DIFFERENTIAL INPUT VOLTAGE	7 V
OUTPUT SHORT-CIRCUIT DURATION TO GND	INDEFINITE
STORAGE TEMPERATURE RANGE N, R, RU PACKAGES	-65°C TO +150°C
OPERATING TEMPERATURE RANGE OP191G/OP291G/OP491G	-40°C TO +125°C
JUNCTION TEMPERATURE RANGE N, R, RU PACKAGES	-65°C TO +150°C
LEAD TEMPERATURE (SOLDERING, 60 SEC)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。この定格はストレスについてのみを規定するものです；デバイスの動作機能についてはこの定格あるいはこの仕様の動作部分に記載する規定値以上のいかなる条件についても定めたものではありません。デバイスを長時間絶対最大定格の状態に置くと、デバイスの信頼性に影響を与えることがあります。

他に指定のない限り、絶対最大定格はチップとパッケージ品の両方に適用されます。

熱抵抗

Θ_{JA} はワーストケース条件で規定；すなわち PDIP パッケージの場合、デバイスをソケットに装着した状態で Θ_{JA} を規定；TSSOP と SOIC パッケージの場合、デバイスを回路ボードにハンダ付けした状態で Θ_{JA} を規定。

表 3. 熱抵抗

PACKAGE TYPE	Θ_{JA}	Θ_{JC}	UNIT
8-LEAD SOIC (R)	158	43	°C/W
14-LEAD PDIP (N)	76	33	°C/W
14-LEAD SOIC (R)	120	36	°C/W
14-LEAD TSSOP (RU)	180	35	°C/W

ESD の注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4,000V もの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



標準的な性能特性

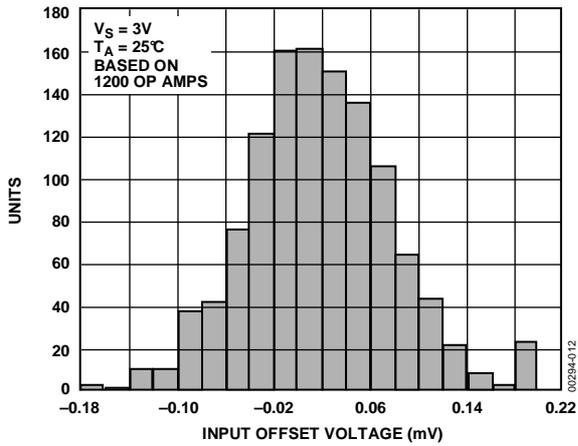


図6. OP291 入力オフセット電圧の分布, $V_S = 3\text{ V}$

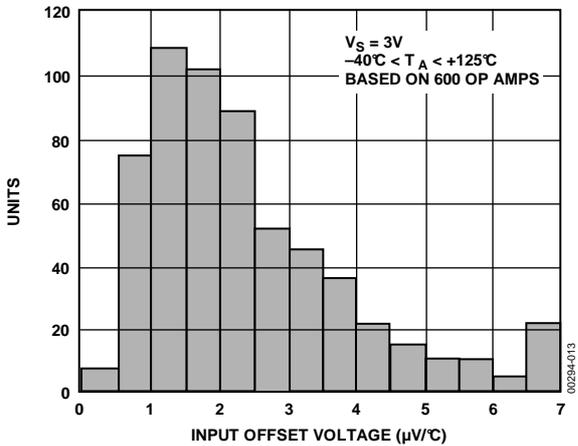


図7. OP291 入力オフセット電圧ドリフトの分布, $V_S = 3\text{ V}$

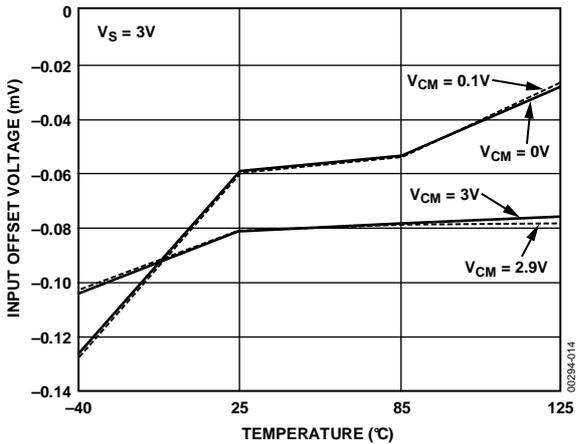


図8. 入力オフセット電圧 対 温度, $V_S = 3\text{ V}$

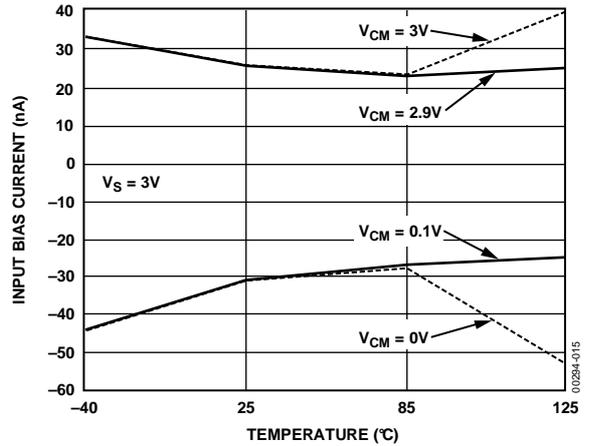


図9. 入力バイアス電流 対 温度, $V_S = 3\text{ V}$

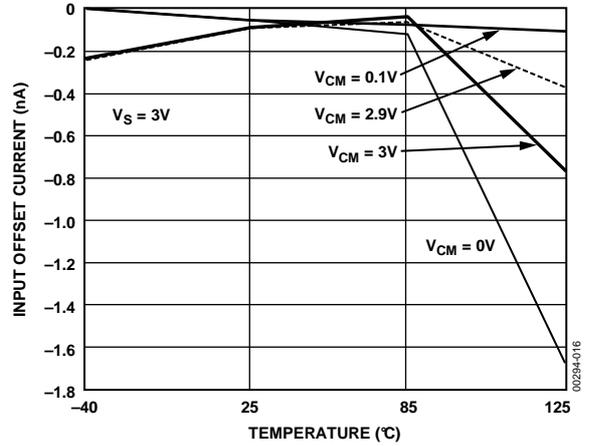


図10. 入力オフセット電流 対 温度, $V_S = 3\text{ V}$

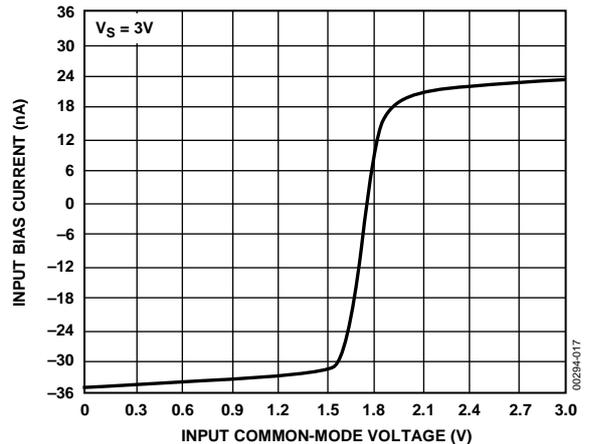


図11. 入力バイアス電流 対 入力同相電圧, $V_S = 3\text{ V}$

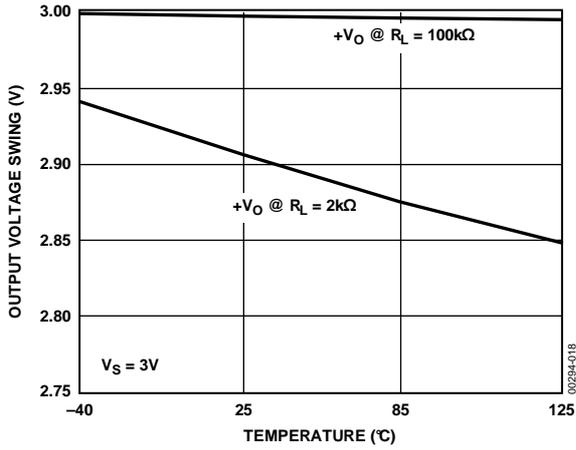


図12. 出力電圧振幅 対 温度, $V_S = 3\text{ V}$

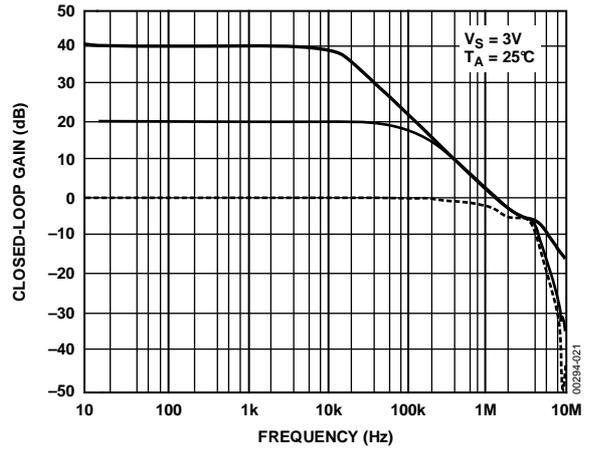


図15. クローズド・ループ・ゲイン 対 周波数, $V_S = 3\text{ V}$

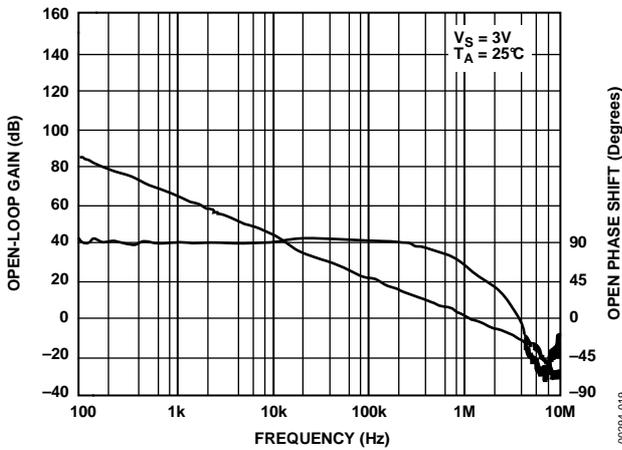


図13. オープン・ループ・ゲイン及び位相対周波数, $V_S = 3\text{ V}$

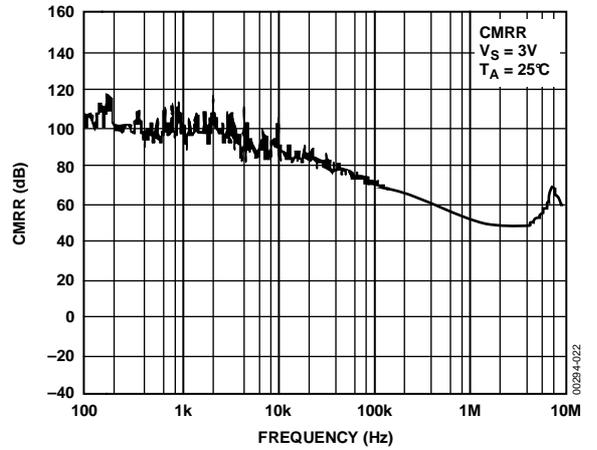


図16. CMRR 対 周波数, $V_S = 3\text{ V}$

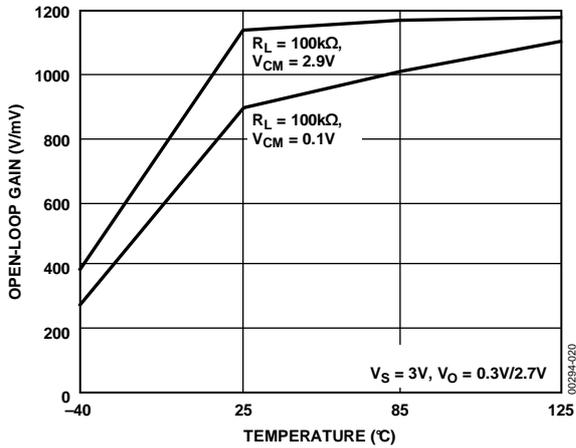


図14. オープン・ループ・ゲイン対温度, $V_S = 3\text{ V}$

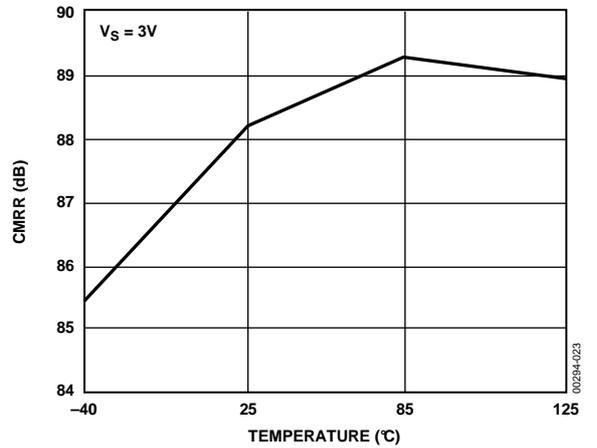


図17. CMRR 対 温度, $V_S = 3\text{ V}$

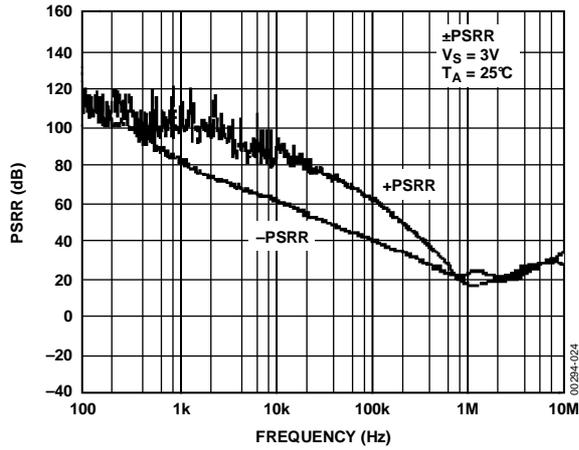


図18. PSRR 対周波数, $V_S = 3V$

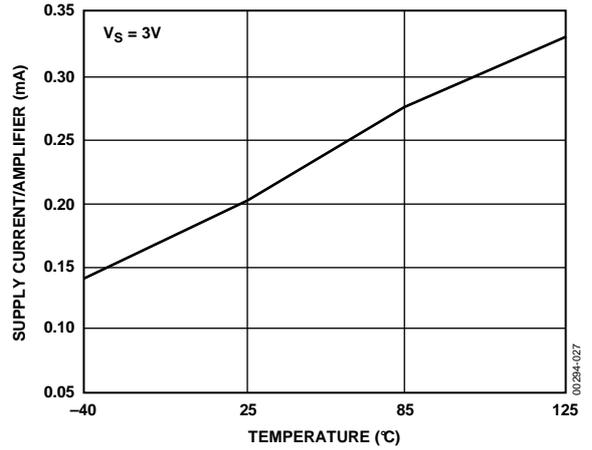


図21. 電源電流 対 温度, $V_S = +3V, +5V, \pm 5V$

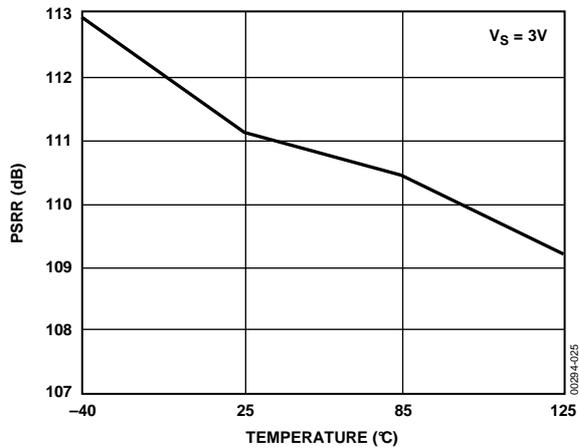


図19. PSRR 対 温度, $V_S = 3V$

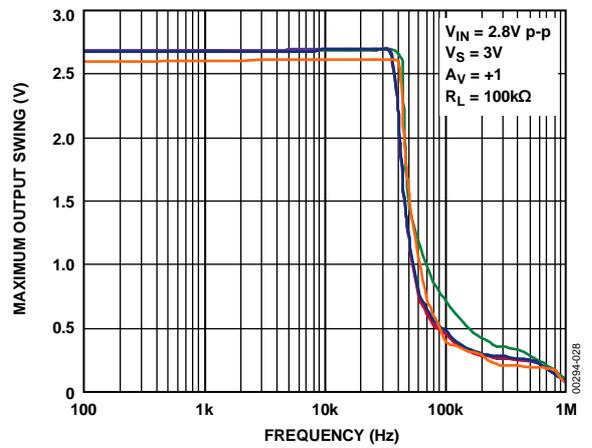


図22. 最大出力振幅 対 周波数, $V_S = 3V$

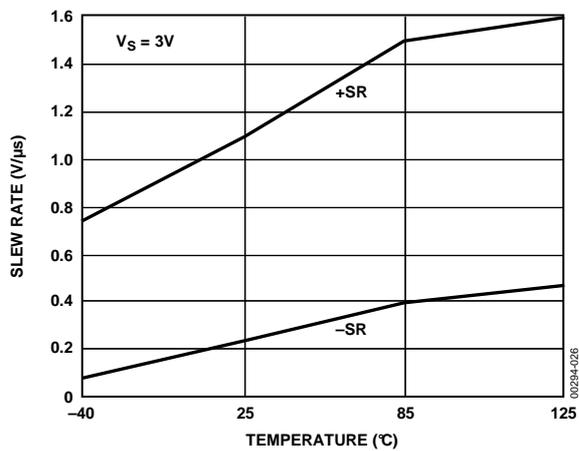


図20. スルーレート 対 温度, $V_S = 3V$

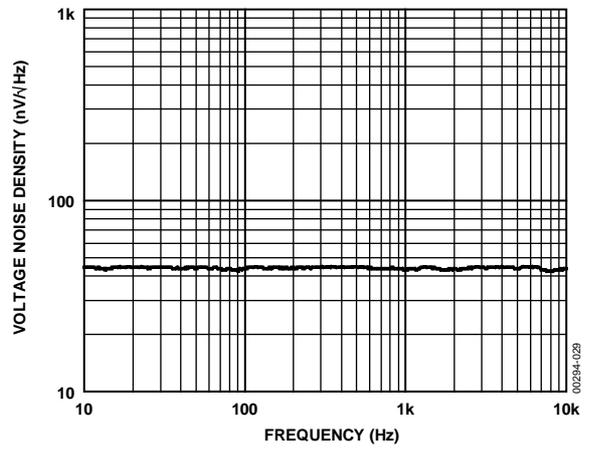


図23. 電圧ノイズ密度, $V_S = 5V \text{ OR } \pm 5V$

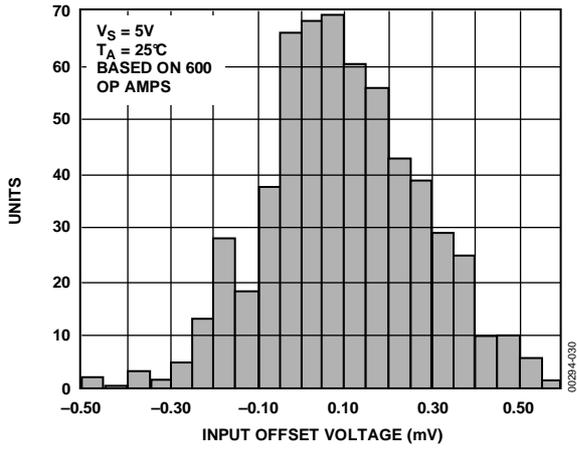


図24. OP291 入力オフセット電圧の分布, $V_S = 5\text{ V}$

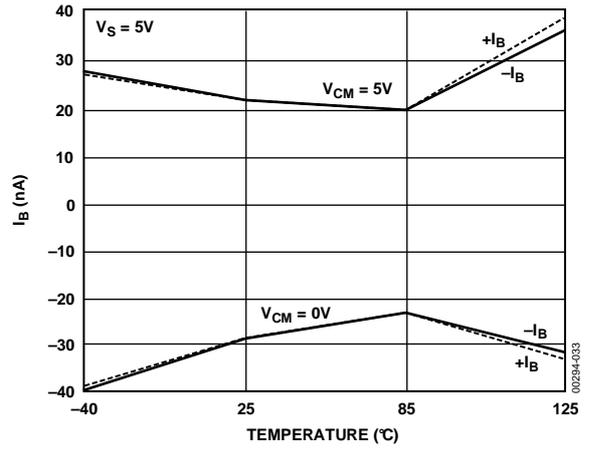


図27. 入力バイアス電流 対 温度, $V_S = 5\text{ V}$

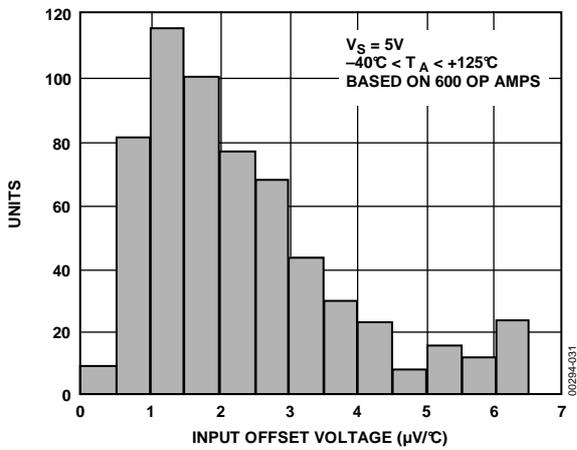


図25. OP291 入力オフセット電圧ドリフトの分布, $V_S = 5\text{ V}$

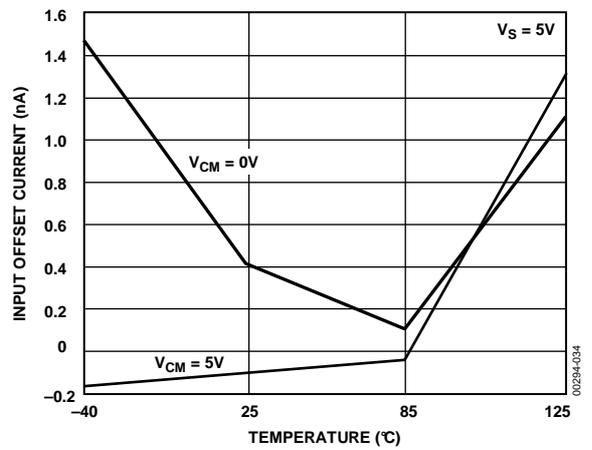


図28. 入力オフセット電流 対 温度, $V_S = 5\text{ V}$

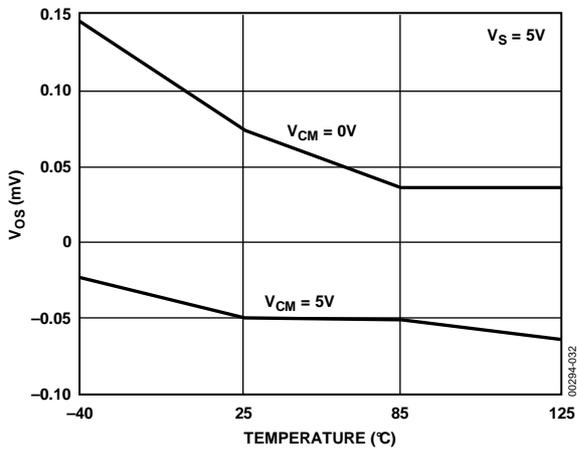


図 26. 入力オフセット電圧 対 温度 $V_S = 5\text{ V}$

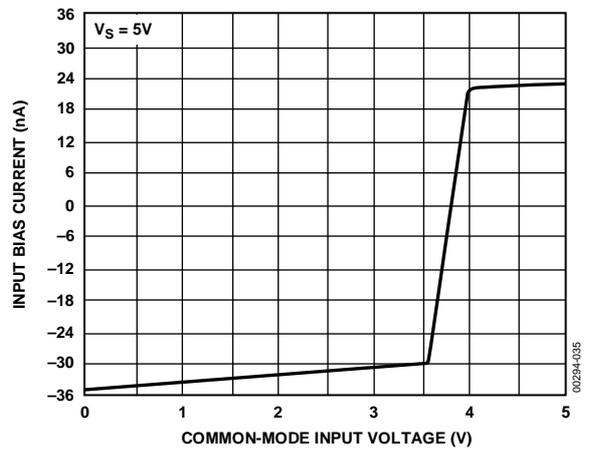


図29. 入力バイアス電流 対 同相入力電圧, $V_S = 5\text{ V}$

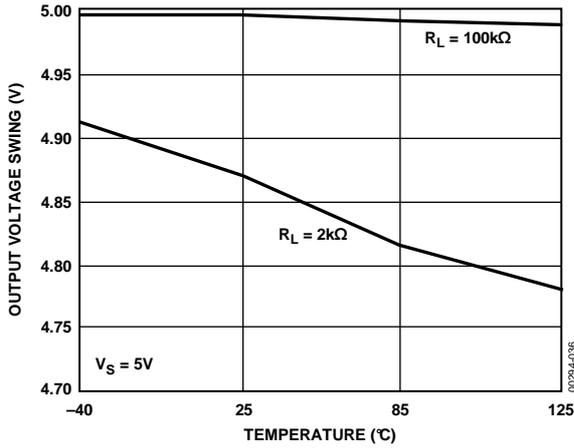


図 30. 出力電圧振幅 対 温度, $V_S = 5\text{ V}$

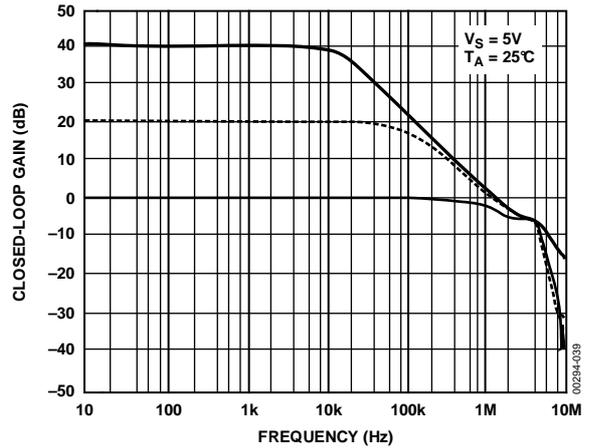


図 33. クローズド・ループ・ゲイン 対 周波数, $V_S = 5\text{ V}$

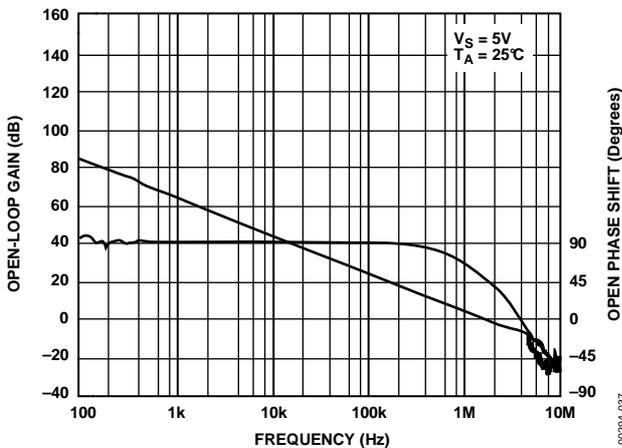


図 31. オープン・ループ・ゲイン及び位相対周波数, $V_S = 5\text{ V}$

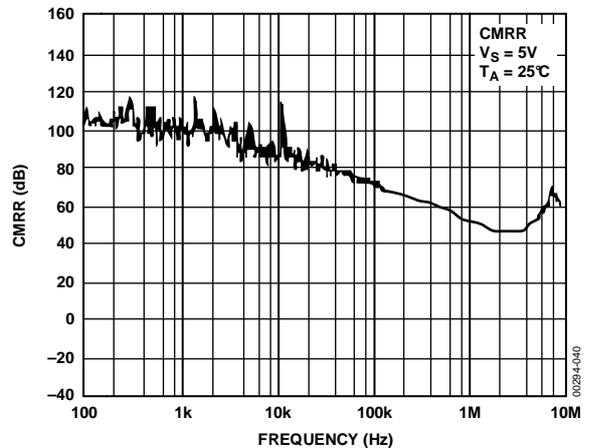


図 34. CMRR 対 周波数, $V_S = 5\text{ V}$

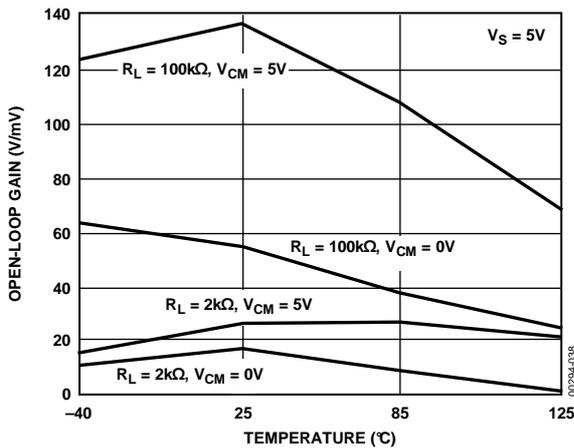


図 32. オープン・ループ・ゲイン 対 温度, $V_S = 5\text{ V}$

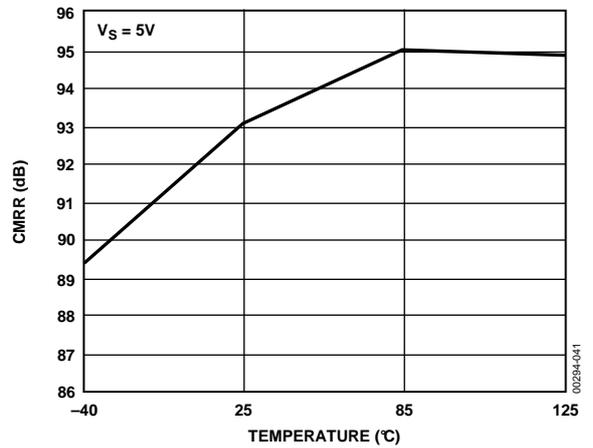


図 35. CMRR 対 温度, $V_S = 5\text{ V}$

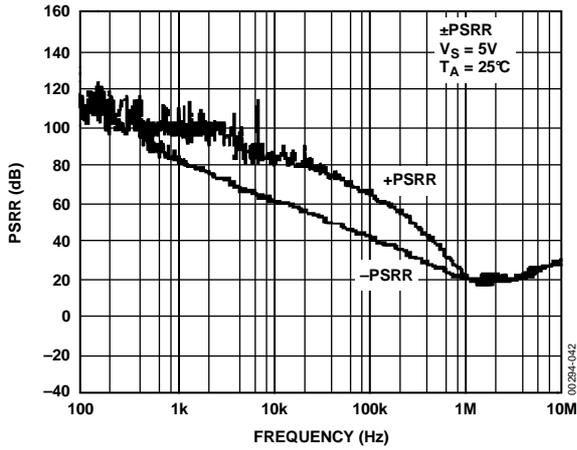


図 36. PSRR 対周波数, $V_S = 5\text{ V}$

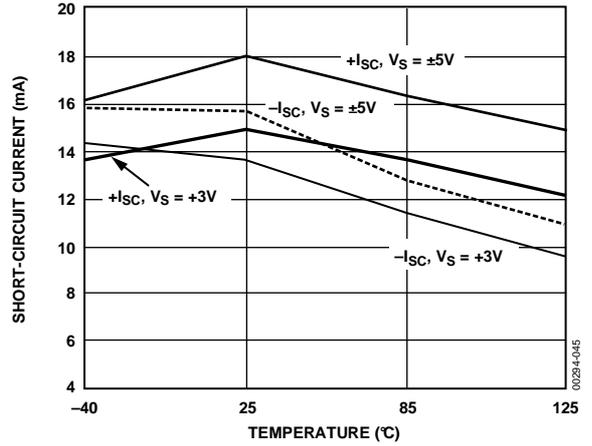


図 39. 出力短絡電流 対温度, $V_S = +3\text{ V}, +5\text{ V}, \pm 5\text{ V}$

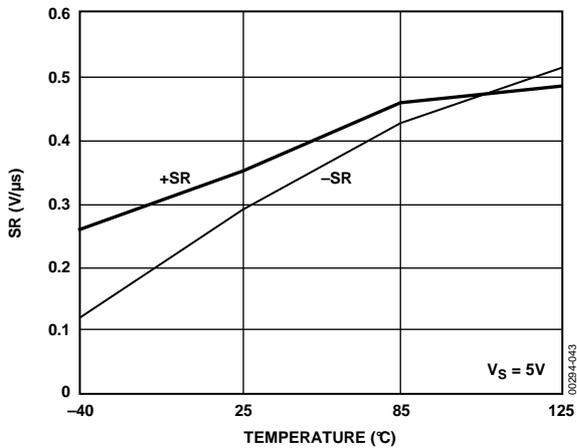


図 37. OP291 スルーレート 対温度, $V_S = 5\text{ V}$

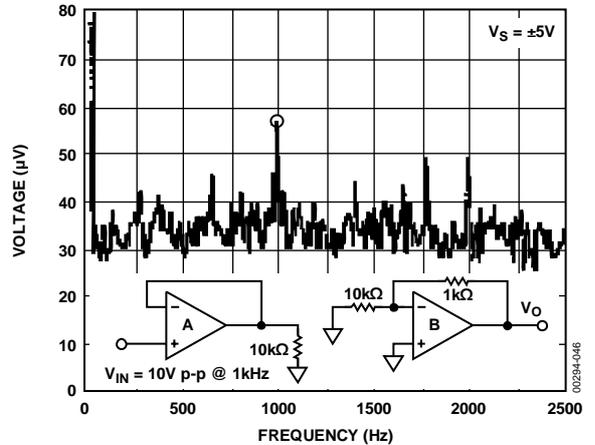


図 40. チャンネル間分離, $V_S = \pm 5\text{ V}$

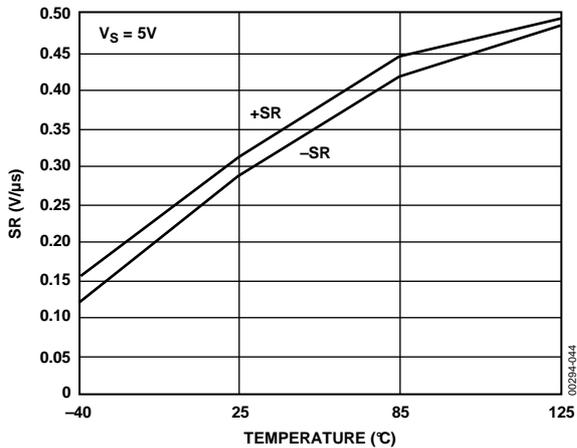


図 38. OP491 スルーレート 対温度, $V_S = 5\text{ V}$

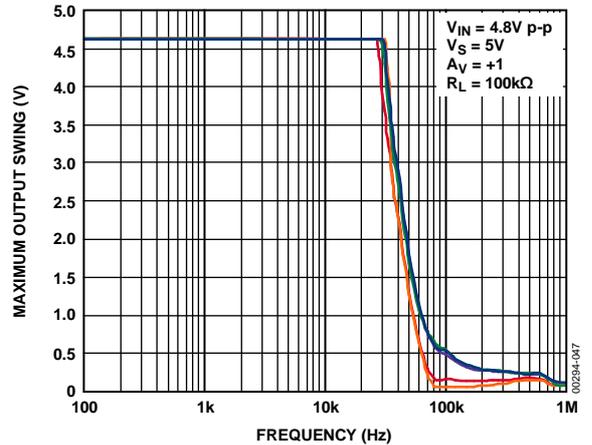


図 41. 最大出力振幅 対周波数, $V_S = 5\text{ V}$

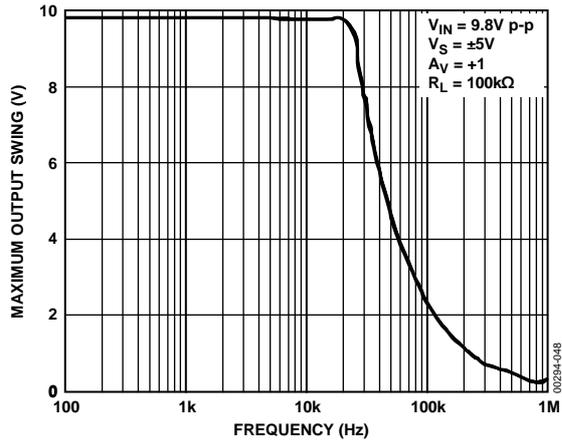


図42.最大出力振幅 対 周波数, $V_S = \pm 5V$

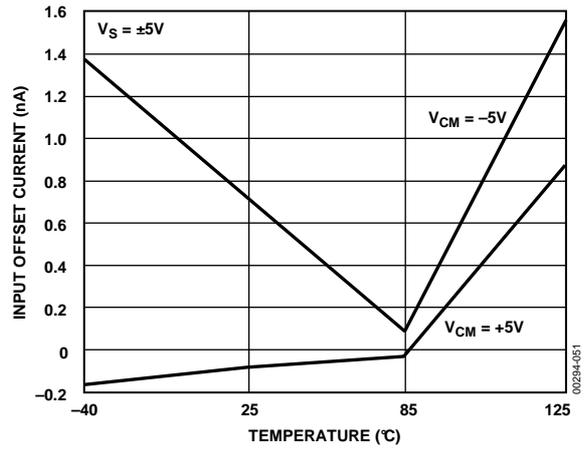


図45.入力オフセット電流 対 温度, $V_S = \pm 5V$

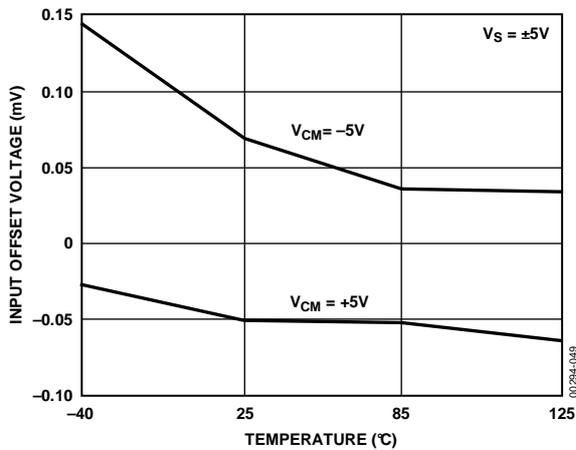


図43.入力オフセット電圧 対 温度, $V_S = \pm 5V$

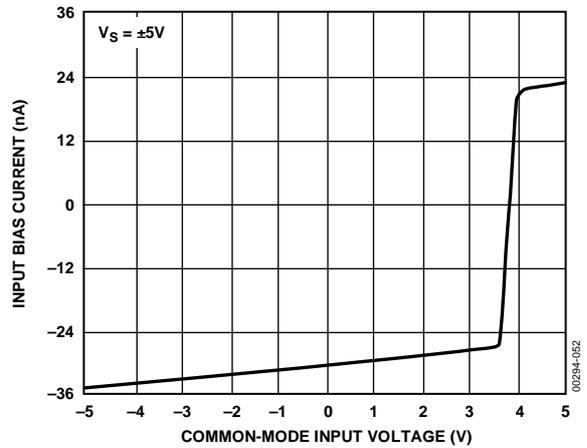


図46.入力バイアス電流 対 同相入力電圧, $V_S = \pm 5V$

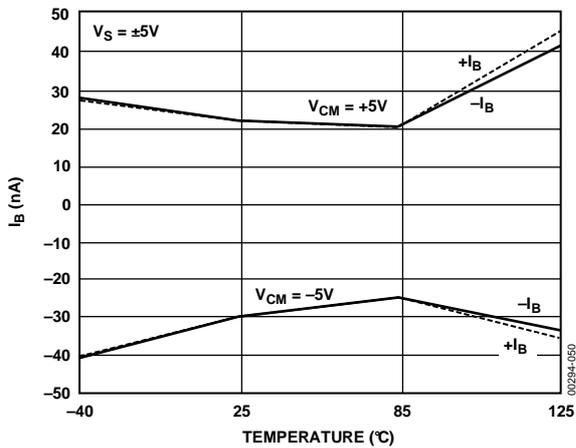


図44.入力バイアス電流 対 温度, $V_S = \pm 5V$

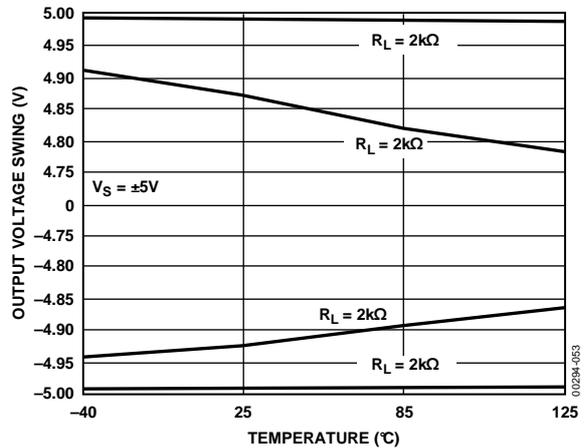


図47.出力電圧振幅 対 温度, $V_S = \pm 5V$

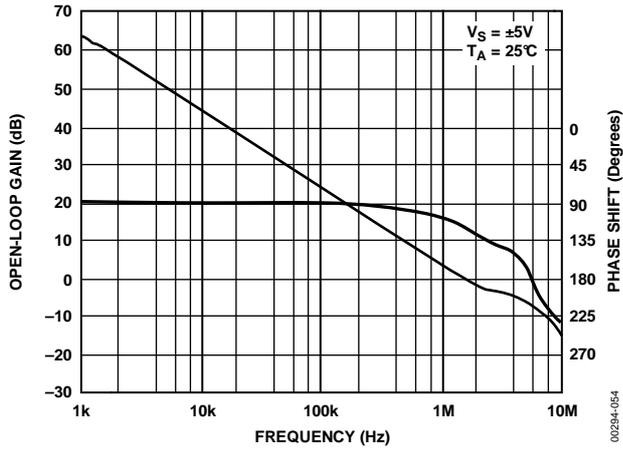


図48. オープン・ループ・ゲイン 対 周波数, $V_S = \pm 5V$

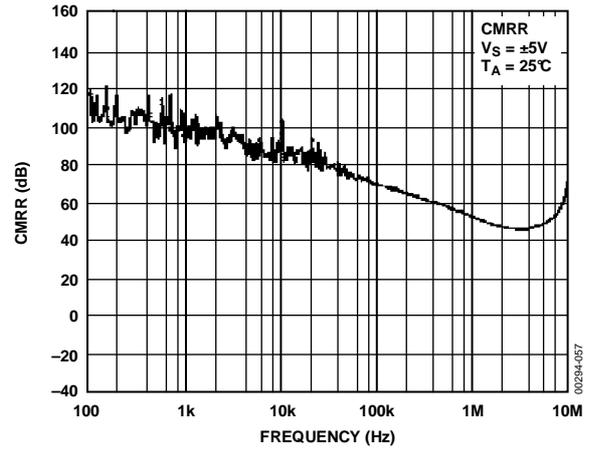


図51. CMRR 対 周波数, $V_S = \pm 5V$

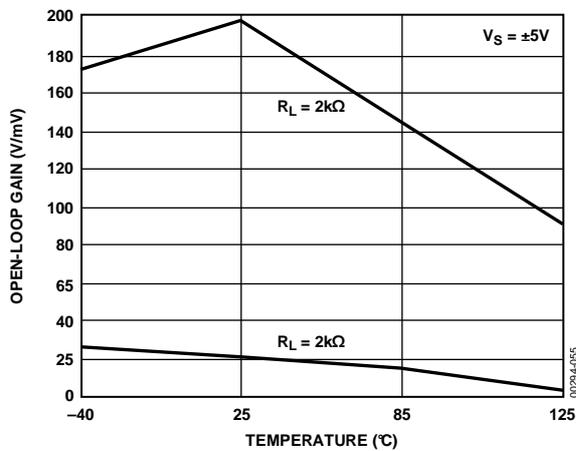


図49. オープン・ループ・ゲイン 対 温度, $V_S = \pm 5V$

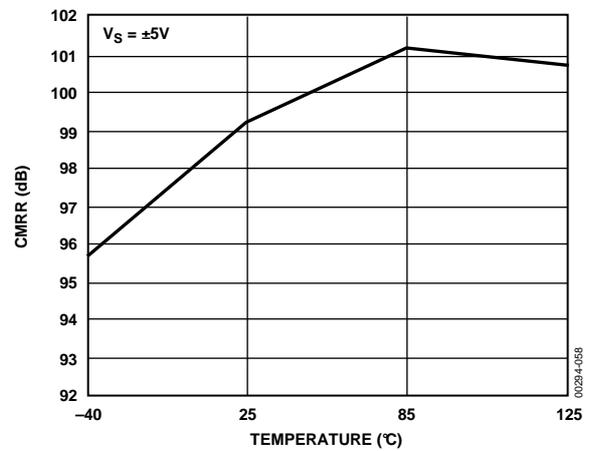


図52. CMRR 対 温度, $V_S = \pm 5V$

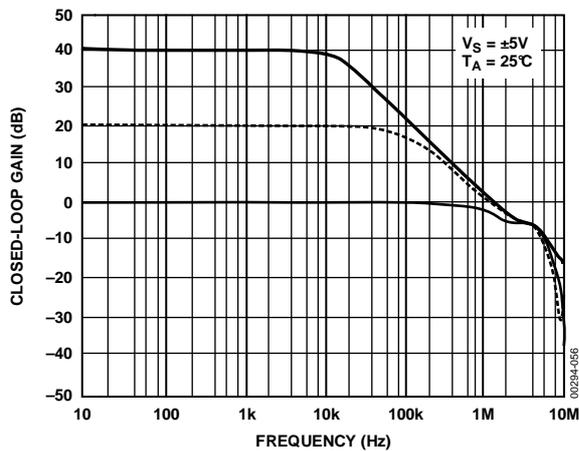


図50. クローズド・ループ・ゲイン 対 周波数, $V_S = \pm 5V$

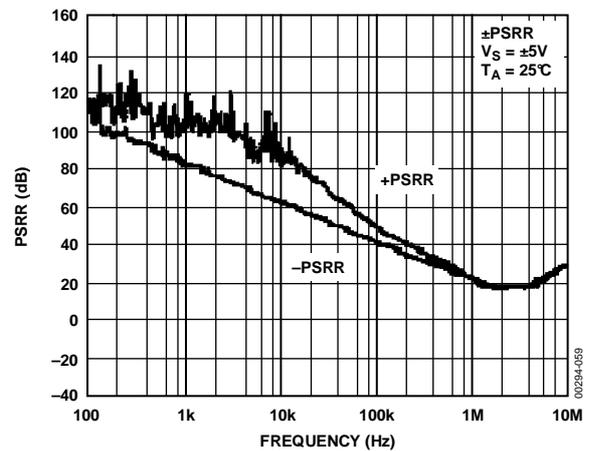


図53. PSRR 対 周波数, $V_S = \pm 5V$

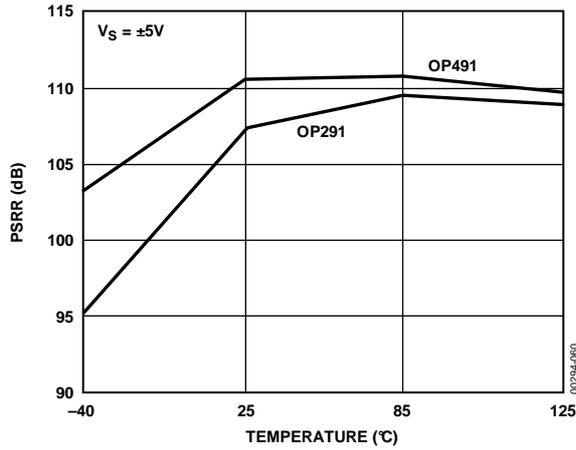


図54. OP291/OP491 PSRR 対温度, $V_S = \pm 5\text{ V}$

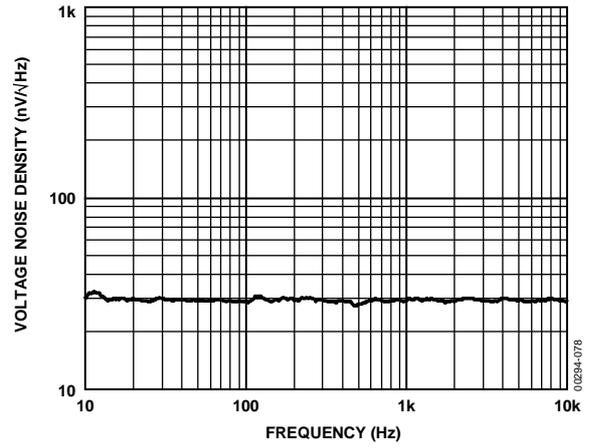


図57. 電圧ノイズ密度, $V_S = 3\text{ V}$

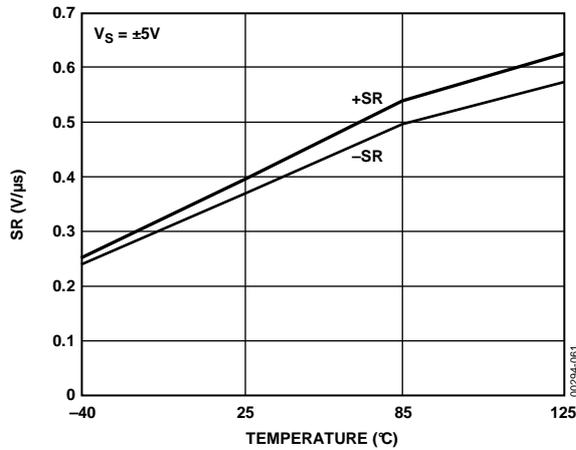


図55. スルーレート 対温度, $V_S = \pm 5\text{ V}$

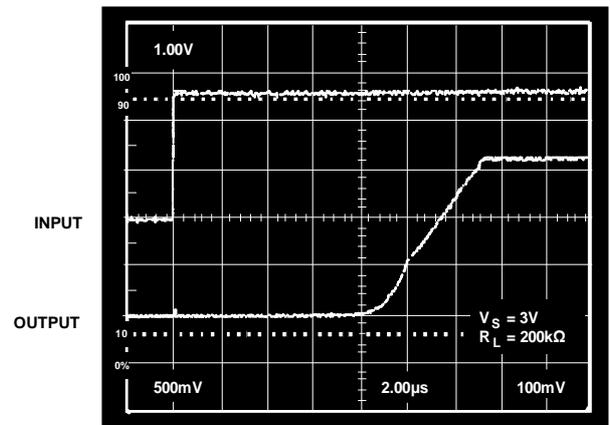


図58. 大信号過渡応答, $V_S = 3\text{ V}$

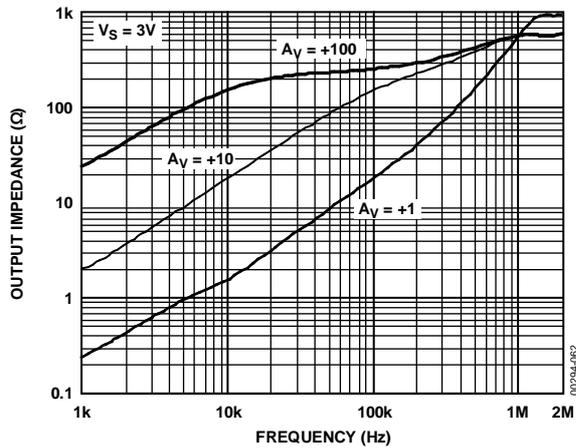


図56. 出力インピーダンス対周波数

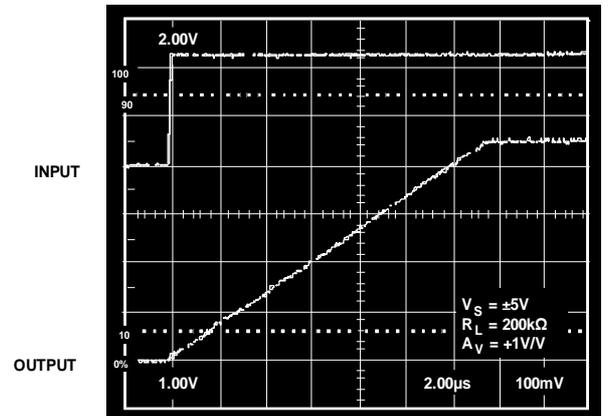


図59. 大信号過渡応答, $V_S = \pm 5\text{ V}$

動作原理

OP191, OP291, OP491 は入出力レール TO レールを特長とする単電源マイクロパワーオペアンプです。広い入出力範囲を得るために入出力段はユニークな構造になっています。図 6 に示すように入力段は 2 段の差動ペア (PNP ペアと NPN ペア) で構成されています。これら 2 段の差動ペアは並行動作しません。代わりに任意の入力電圧に対してどちらか 1 段がオンになります。PNP 段 (トランジスタ Q1 と Q2) は入力電圧が下位の電源電圧に近づき、さらに到達してもリニア領域を維持する事が要求されます。一方 NPN 段 (トランジスタ Q5 と Q6) は入力電圧が上位の電源電圧値まで近づき、到達しても動作することが要求されます。

図 12 に示すように PNP 段は入力同相電圧範囲の大部分で動作します。入力バイアス電流の方向は上位の電源電圧より約 1.2 V ~ 1.3 V 下の電圧で変わることにご注意してください。この電圧以下では入力バイアス電流が OP291 から流出するので PNP 入力段が動作していることがわかります。しかしこの電圧以上では入力バイアス電流は OP291 に流入しますので NPN 入力段が動作していることがわかります。2 つの入力段の切り替えを実際にアンプ内で行っているのはトランジスタ Q3, Q4 と Q7 です。入力同相電圧が上昇すると、Q1, Q2 のエミッタ電圧も追従してその電圧に 1 ダイオード電圧降下加えた分上昇します。その結果 Q1, Q2 のエミッタ電圧が十分高くなり Q3 をターンオンします。そうすると PNP 入力段を流れていた 8 μ A のバイアス電流は Q3 の方に流れ、PNP ペア回路がオフになります。代わりに Q3 から Q4 に流れる電流は Q4 とミラー回路になっている Q7 にも流れ NPN 入力段を駆動します。

入力回路に 5 k Ω 直列抵抗と差動ダイオードが接続されています。これはバイポーラトランジスタの一般的な保護方法ですが、入力トランジスタを大きな入力差動電圧から保護しています。これらのダイオードは入力差動電圧が約 0.6 V 超えるとターンオンします。保護ダイオードがターンオンすると入力端子間で電流が流れますが、電流は 2 つの 5 k Ω 抵抗で制限されます。この特性はオペアンプがコンパレータのようにオープン・ループで動作するような回路で重要です。各回路を注意深く調べ、電流が増加しても特性に影響しないよう確認することをお勧めします。

ほとんどのオペアンプの出力段と同じように、OP191 ファミリーも出力段に PNP と NPN トランジスタを使用しています。ただし実際にはレール TO レール出力シングを実現するために、出力トランジスタ Q32 と Q33 のコレクタが出力端子に接続されています。出力電圧が上位又は下位の電源電圧に近づいた時、これらのトランジスタが飽和し始めます。結局出力電圧の最終的な限界値はこれらトランジスタの飽和電圧つまり約 50mV になります。出力段はコレクタと外付け負荷インピーダンスで決まる固有のゲインがあります。従ってオペアンプのオープン・ループ・ゲインは負荷抵抗に依存します。

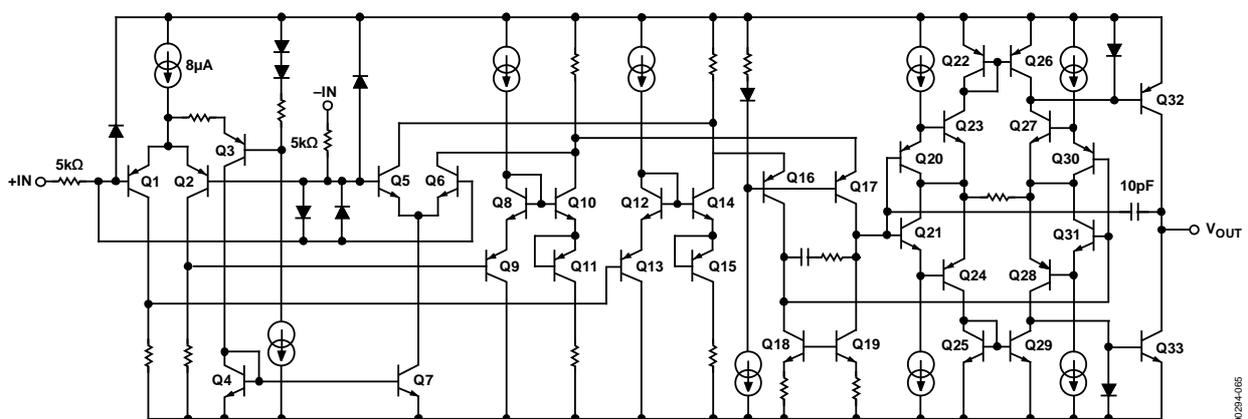


図 60. 簡略化した回路

入力過電圧保護

どの半導体でも同じですが、入力電圧が上下どちらかの電源電圧を超過するような状態が予想される場合はいつでも入力過電圧の特性を確認する必要があります。過電圧が発生した時、その電圧のレベルと異常電流の大きさにより、オペアンプは破損する可能性があります。図 62 は OP191 ファミリの特性を示します。このグラフは上下の電源端子をグランドとし、入力にカーブトレイサを接続して作成されました。入力電圧が上下どちらかの電源を 0.6V 以上超過すると内部の PN 接合が導通し入力から電源の方に電流が流れます。前記のように OP291/OP491 は各入力端子に電流制限用に抵抗 5 KΩ が直列に接続されています。下記グラフで電流対電圧の傾斜を計算するとちょうど 5 KΩ になります。

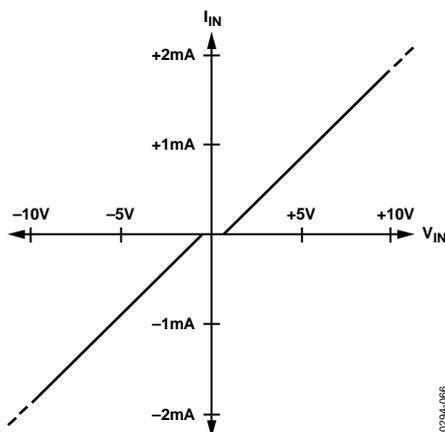


図 61. 入力過電圧特性

この入力電流は本来 5mA に制限されている限り IC を破壊することはありません。電源電圧より 10V 超過した時の入力電流は 1.8VMA です。もし電圧が大きくて電流が 5mA 以上になる場合には外付け抵抗を接続する必要があります。この外付け抵抗の値は印可される入力電圧を 5mA で割算しその値から内部抵抗 5 KΩ を引算すれば得られます。たとえば入力に 100V が加わる可能性がある場合、外付け抵抗の値は $(100 \text{ V} / 5 \text{ MA}) - 5 \text{ K}\Omega = 15 \text{ K}\Omega$ です。この抵抗はどちらかの入力(両方の入力に過電圧が加わる可能性がある場合は両方の入力)に直列に接続します。

出力電圧位相反転

ある単電源用に開発されたオペアンプは、その入力電圧が有効な同相電圧範囲を上回ると出力の位相反転を生じます。一般的には単電源バイポーラオペアンプの場合下位の電源電圧が同相電圧範囲の下の限界値を決めます。このようなオペアンプの場合、外付けクランピングダイオードを使いアノードをグランドに、カソードを入力に接続することにより、入力電圧が下位の電源電圧（つまりグランド）より下がるのを防ぎ、出力電圧の位相を変えるような事態を防いでいます。FET 入力オペアンプも位相反転を起こす可能性があります。もしそうであれば一般的にこれを避けるために直列入力抵抗が必要となります。

OP191 は優れた入力回路構成になっており、一般的な入力電圧範囲の制限はありません。事実入力電圧が電源電圧を大幅に超えても破損しません。図 64 に示すように OP191 ファミリは出力電圧のわずかな位相反転の兆候もあるいは異常な現象も現れることなく ±5V 電源で安全に 20 V P-P 入力電圧を扱えます。従って外付けクランピングダイオードは必要ありません。

過負荷回復

オペアンプの過負荷回復時間は出力電圧が飽和した状態からリニア領域に戻るまでに必要とする時間です。この回復時間はコンパレータのように大きな過度変化の後、すぐに回復しなければならないようなアプリケーションで重要です。図 63 は OPX91 の過負荷回復時間を評価するのに使用した回路です。OPX91 は上位電圧での飽和から回復するのに約 8 μS、下位電圧での飽和からの回復時間は約 6.5 μS です。

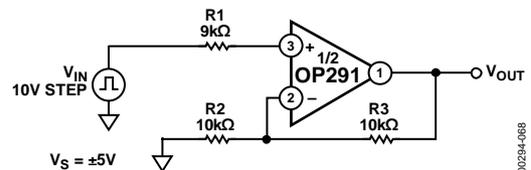


図 62. 過負荷回復時間テスト回路

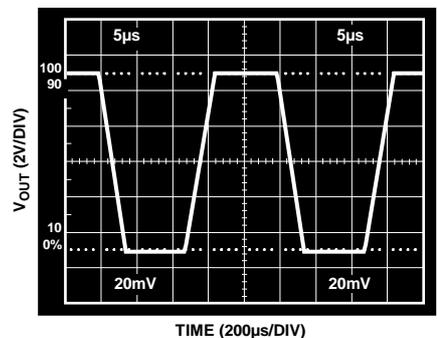
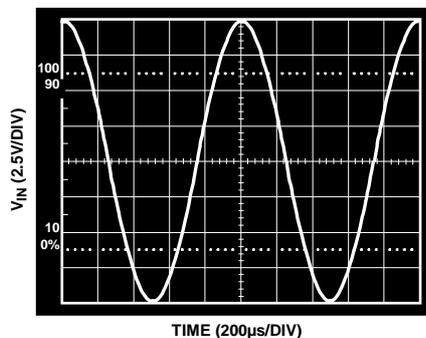
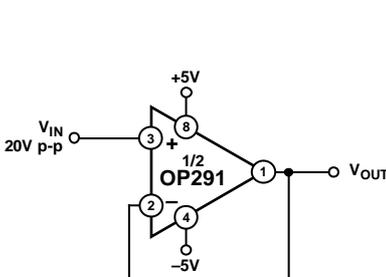


図63. 出力電圧位相反転の状況

アプリケーション

3V 単電源、計装アンプ

OP291 は低電源電流、低電圧駆動なので図 65 の計装アンプのようなバッテリー駆動のアプリケーションに最適です。回路は典型的な 2 アンプ構成の計装アンプになっており 4 つの抵抗でゲインを設定します。ゲインの式は図 65 に示すように単純に非反転オペアンプのゲインの式です。優れた同相電圧除去比の特性を得るためには、2 つの R1 の抵抗はお互いにマッチングがとれている事と、さらに R2 ともマッチングがとれている必要があります。さらに優れた温度安定度を得るためには抵抗回路は互いにマッチングがとれていると同時に、温度ドリフト特性もマッチングがとれている必要があります。コンデンサ C1 はノイズに敏感なアプリケーションで周波数帯域（その結果としてノイズ）を制限するために使用されています。このコンデンサの値は計装アンプの要求されるクロード・ループ周波数帯域より決められます。RC 回路は式 $1/(2\pi \times R1C1)$ の計算結果に等しい周波数においてポールをつくります。もし AC の CMRR が重要なファクターの場合は、もうひとつの R1 抵抗にもマッチングしたコンデンサ C1 を接続する必要があります。

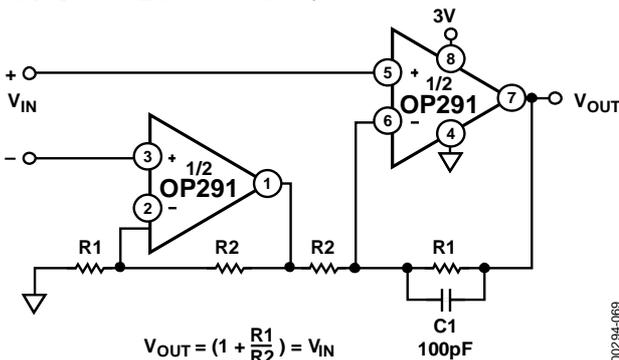


図 64. 3V 単電源、計装アンプ

OP291 はレール TO レール入力可能になっており、入力同相電圧範囲にグラウンドと 3V 電源電圧も含まれます。さらにレール TO レール出力であるので、可能な限り最も広い信号範囲を得ることができ、システムのダイナミックレンジを最大にする事が出来ます。さらに 300 μ A/DEVICE と低消費電流で、回路全体の消費電流もわずか 600 μ A ですが、それでもゲイン帯域幅は 3 MHz あります。

単電源用計装アンプとして他の回路はどうかという疑問がわくかもしれません。たとえばこの回路の変形としてゲイン設定用に 5 番目の抵抗を 2 つの反転入力の間接続します。この変形回路は両電源回路では良好に動作しますが、基本的に単電源回路には適していません。同じ事が従来の 3 アンプ構成の計装アンプにも言えます。両方のケース共単純に、電源間で仮想グラウンドを設けない限り、単電源では動作できません。

単電源 RTD アンプ

図 66 の回路ではブリッジ回路の単電源 5V 駆動 RTD（測温抵抗体）アンプに OP491 の 3 つのオペアンプを使用しています。この回路では 3.9V の高い励起電圧を発生させるのに OP491 のメリットである広出力電圧範囲が有効活用されています。事実レール TO レール出力スイングなので、この回路は電源電圧が 4.0V に下がっても動作します。アンプ A1 は 1.235 V 基準電圧源の AD589 と共に励起用定電流をつくりブリッジに供給します。オペアンプにより 6.19 K Ω と 2.55 M Ω の並列抵抗を通した基準電圧が維持されるので、200UA 電流源が生成されます。この電流はブリッジの左右半分ずつ均等に流れます。従って RTD には 100 μ A が流れ、その抵抗値に応じた電圧を発生します。精度を改善するために、ブリッジの両足の 100 Ω に接続される配線抵抗のバランスをとるために 3 線 RTD を使用しています。

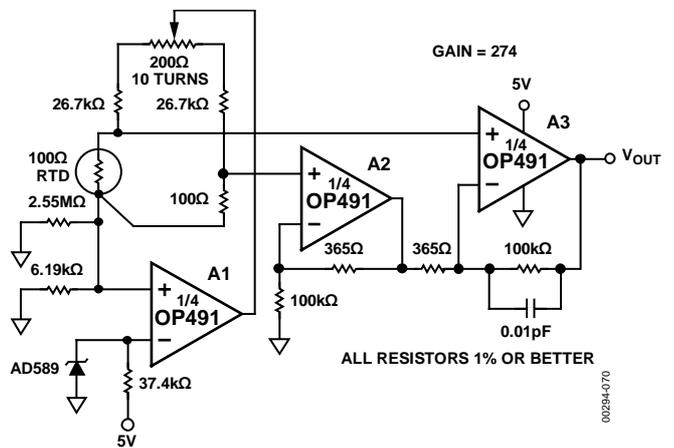


図 65. 単電源 RTD アンプ

“3V 単電源、計装アンプ” の節で述べたように A2 とアンプ A3 は 2 アンプ構成の計装アンプ回路になっています。測定を容易にするために抵抗値はゲインが 274 になるように選ばれており、温度が 1 $^{\circ}$ C 上昇するごとに出力電圧は 10 MV 変化します。アンプ 3 の 100 K Ω 抵抗と並列に接続されているコンデンサ 0.01 μ F はこの高ゲイン回路から不要なノイズを取り除くため接続されています。この特別な RC の組み合わせにより 1.6 KHZ でポールが形成されます。

3 V 電源から 2.5 V 基準電圧を生成する回路

多くの単電源アプリケーションでしばしば 2.5 V 基準電圧が必要となることがあります。多くの市販されているモノリシック 2.5V 基準電圧は最小電源電圧 4 V が必要とされます。システムの最小動作電源電圧が 3V の時にはさらに条件が悪くなります。図 67 に単電源 3V 動作の 2.5 V 基準電圧源の例を示します。AD589 1.235 V 出力を 2.5V に増幅するのに OP291 のレール TO レール入力/出力のメリットが生かされています。OP291 の低 TCV_{OS} ($1 \mu V/^{\circ}C$) により出力電圧温度係数は 200 PPM/ $^{\circ}C$ 以下に維持されます。回路全体の温度係数は R2 と R3 の温度係数に支配されます。従って低温度係数の抵抗の使用をお勧めします。全体の回路の消費電流は 25 $^{\circ}C$ 、3 V 電源で 420 μA 以下です。

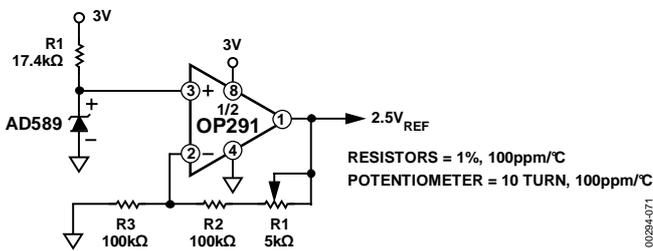


図 66. 3 V 電源で動作する 2.5 V 基準電圧源

5 V 電源でレール to レールスイングする 12-Bit DAC

OPX91 ファミリーは CMOS DAC と共に使用し、デジタルコントロールで広い出力範囲の電圧を発生させるのに理想的です。図 67 に AD589 と共に使用し、0 V から 1.23 V までの出力電圧を発生させる DAC8043 を示します。DAC は電圧スイッチングモードで動作し、基準電圧は電流出力端子 (I_{OUT}) に接続されています。出力電圧は V_{REF} 端子から取ります。この方法は本質的に非反転回路で、典型的な電流出力モードとは反対です。電流出力モードは反転回路ですので単電源には不適です。

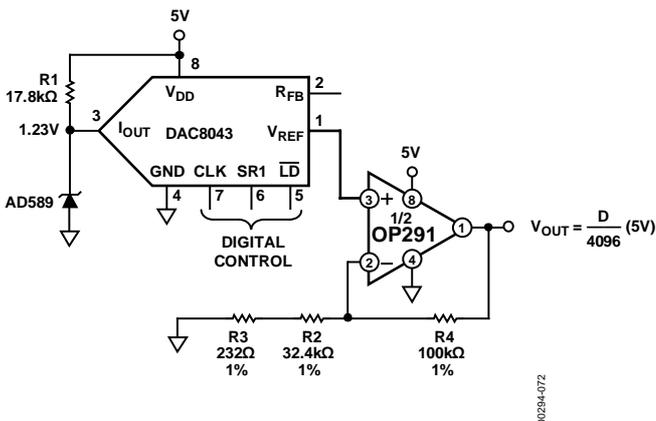


図 67. 5 V 電源でレール TO レールスイングする 12-BIT DAC

ここでは OP291 は 2つの役割を提供しています。初めに DAC V_{REF} 端子の高出力インピーダンス (10 $K\Omega$ のオーダー) をバッファする必要があります。オペアンプにより低インピーダンス出力になり、任意の後段回路を駆動可能にします。2 番目に、オペアンプは出力信号を増幅し、レール TO レール出力スイングを可能にします。この例の場合、DAC がフルスケール時 5.0 V 出力になるように、ゲインは 4.1 に設定されています。もし 0 V ~ 4.095 V のような他の出力電圧範囲が要求される場合、抵抗値を変えることによりゲインは簡単に調整できます。

高電位側での電流モニター

電源制御回路の設計においては、広範囲の負荷電流条件でパストラジスタの長期的信頼性を確実にするための設計に多くの時間が費やされます。結局これらの設計ではデバイスの電源消費をモニターし制限する事が最も重要になります。図 69 に示す回路は 5V 単電源、高電位側電流モニターの例ですが、フの字電流制限回路内蔵の電圧レギュレータやクローバ保護回路内蔵の高電流電源回路に組み込む事も可能です。この回路では 0.1 Ω 電流検出用抵抗の電圧降下を検出するのに、OP291 のレール TO レール入力電圧範囲が有効に利用されています。回路のフィードバックループの部品として使用されている P チャンネル MOSFET はオペアンプの差動入力信号を電流に変換します。この電流は R2 を流れ、電圧に変換されます。この電圧が負荷電流の直線的な代表になります。電流モニターの伝達式は次の式で表せます。

$$\text{Monitor Output} = R2 \times \left(\frac{R_{\text{SENSE}}}{R1} \right) \times I_L$$

図に示す部品の値の場合、モニター出力の伝達特性は 2.5 V/A です。

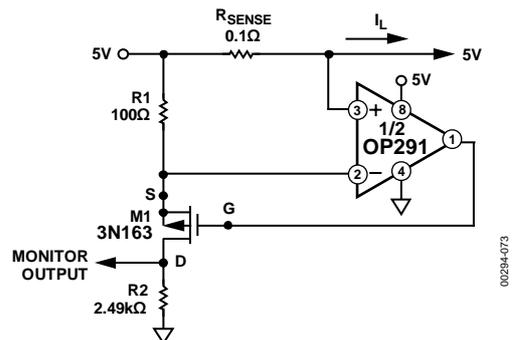


図 68. 高電位側での負荷電流モニター

3V 駆動、冷接点補償熱電対アンプ

OP291 の低電源動作は図 70 に示す熱電対アンプのような 3V 電池駆動のアプリケーションに理想的です。K タイプ熱電対は等温ブロック内で終端しますが、その接合部環境温度は単純なダイオード 1N914 で継続的にモニターされます。ダイオードは小さな電圧を抵抗 1.5 MΩ と 475 Ω でスケールを合わせ、オペアンプに加える事により、熱電対の接合部で発生した熱起電力を補償します。この回路を調整するために、熱電対の測定接合部を 0°C アイスバスに浸し、500 Ω ポテンシオメータで 0 V 出力になるように調整します。次に熱電対を 250°C 温度バス又はオープンに入れ出力電圧が 2.50 V になるようにスケール調整用ポテンシオメータを調整します。この温度範囲以内で K タイプ熱電対は直線性補償回路なしに ±3°C 以内の精度が得られます。

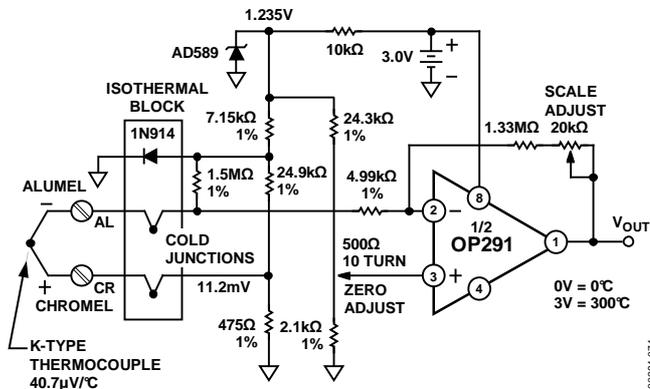


図 69. 3V 駆動、冷接点補償熱電対アンプ

モデム向け 単電源、ダイレクトアクセス回路

電話線インターフェースはモデルの中で重要な回路ブロックです。図 71 で示す回路の中のダイレクトアクセス回路が電話線からのデータを送信、受信するのに使用されます。アンプ A1 は受信アンプです；アンプ A2 と A3 は送信用のアンプです。4 つ目のアンプ A4 は電源電圧とグランド間電圧の半分の電位に仮想グランドをつくります。この仮想グランドは AC 結合バイポーラ入力信号のために必要です。

送信信号 (TXA) は A2 によって反転され、さらに A3 によってふたたび反転されて、トランスに差動駆動信号を供給します。ここで各アンプは半分ずつ駆動信号を受け持ちます。両電源ではなく、単電源駆動であるために振幅が小さいので、このような工夫が必要となります。アンプ A1 は受信信号を多少増幅すると同時にトランスから来る送信信号を受信信号から取り除きます。これを行うのに A2 からの駆動信号を A1 の非反転入力にも印加して、トランスからの送信信号をキャンセルします。

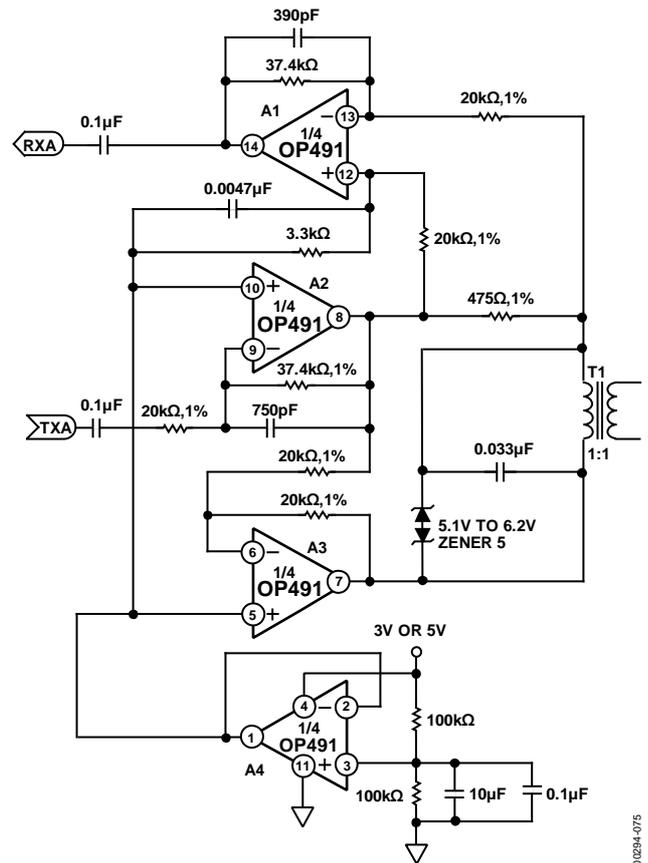


図 70. 単電源、モデム用ダイレクトアクセス回路

OP491 の 3 MHz 周波数帯域とレール TO レール出力スイングが可能により、トランスに送信周波数での可能な最大の駆動電圧を供給することができます。

仮想グランド使用の 3V 駆動 50 HZ/60 HZ アクテブ・ノッチ・フィルタ

単電源駆動回路で AC 信号を処理するのに、仮想グランド・バイアス回路を採用した方が良い場合があります。図 71 にこの方法を使った例を示します。この回路では、携帯用患者監視装置での 50 HZ/60 HZ 電源ラインの干渉を取り除くアクテブ・ノッチ・フィルタに仮想グランドのバイアスをかけています。ノッチ・フィルタは心拍数や血圧の読み取り値、EEG、EKG など低周波の生理的な信号を不明瞭にする電源ライン周波数の干渉を取り除くのに一般的によく使用されます。このノッチ・フィルタは Q が 0.75 で 60 HZ ピックアップを効果的に低減します。ツイン T 回路(R1 から R5)の中の抵抗 2.67 kΩ を 3.16 kΩ に変更することにより、50 HZ 干渉を取り除くアクテブ・フィルタを形成できます。

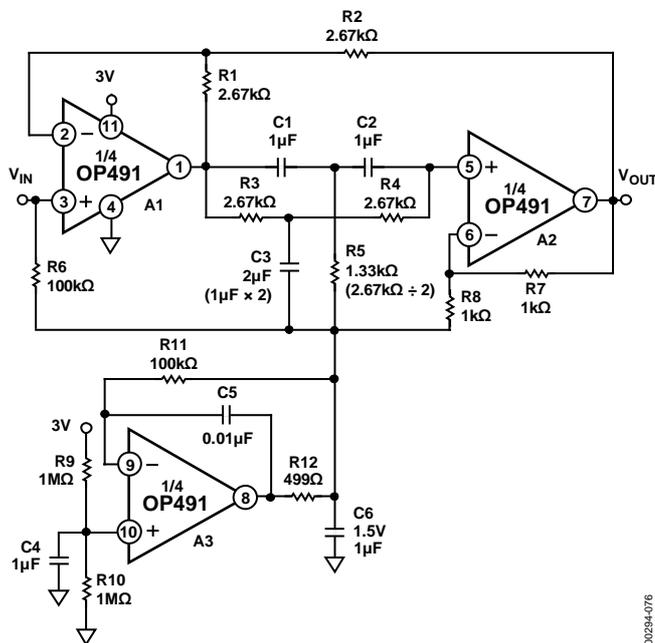


図 71. 3V 単電源、仮想グランド使用の 50 HZ/60 HZ アクテブ・ノッチ・フィルタ

アンプ A3 が仮想グランド・バイアス回路の中心部分です。アンプ A3 は R9 と R10 で設定され、アクテブ・ノッチ・フィルタの基準電圧となる電圧をバッファります。OP491 はレール TO レール入力同相電圧範囲なので、R9 と R10 の値は 3V 電源電圧を均等に分割するように選びます。OP491 のフィードバック回路内の周波数補償回路により発振する事なく C6 (1 μF) を駆動する事が出来ます。C6 によりフィルタの動作周波数範囲で低インピーダンスの AC グランドを維持できます。

フィルター部分は OP491 のペアを使いツイン T 回路を形成しています。フィルタの周波数選択性はツイン T 部分のコンデンサと抵抗の相対的なマッチング度に非常に敏感です。コンデンサにはマイラコンデンサが最適です。抵抗、コンデンサの相対的なマッチング度がフィルタの通過帯域のつり合いを決めます。1% 精度の抵抗と 5% 精度のコンデンサの使用により十分な結果を得られます。

単電源、半波、全波整流器

OPX91 を単電源動作の電圧フォロアとして使用することにより、単純な低周波 (<2 KHZ) アプリケーション向け半波整流になります。又図 73 に示すように OP291 のペアのオペアンプを使用して全波整流回路を形成できます。回路動作を次に説明します。入力信号が 0 V 以上の時アンプ A1 の出力は入力信号がそのまま出力します。アンプ A2 の非反転入力に A1 の出力が接続されているので、オペアンプのフィードバック機能によりアンプ A2 の反転入力電圧が A1 の出力と同じ電圧にコントロールされます。その結果 R1 の両側の端子は同電位 (すなわち電流が流れません) です。R1 には電流が流れないので、R2 にも同じく電流は流れません; 従って回路の出力は入力信号に追従します。入力信号が 0 V 以下の時、A1 の出力電圧は強制的に 0V になります。この時 A2 の非反転入力端子も 0V になるので、A2 は反転電圧フォロアとして動作します。V_{OUTA} での出力電圧は入力信号の全波整流波形になります。もし必要であれば入力信号のバッファされた半波整流波形が V_{OUTB} から出力します。

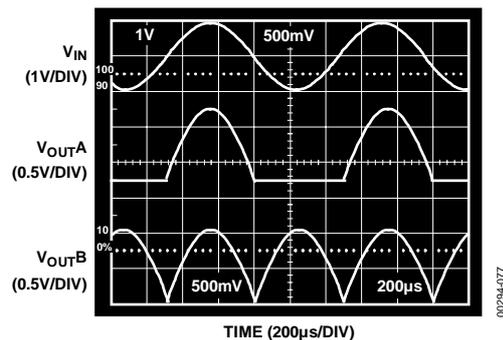
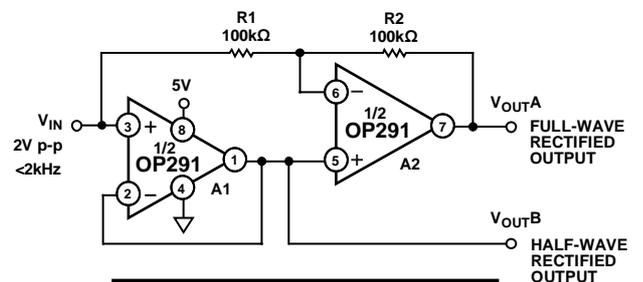
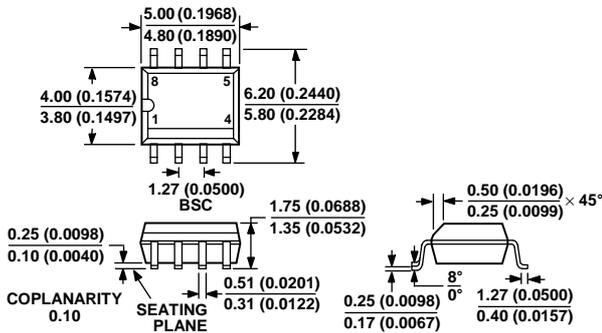


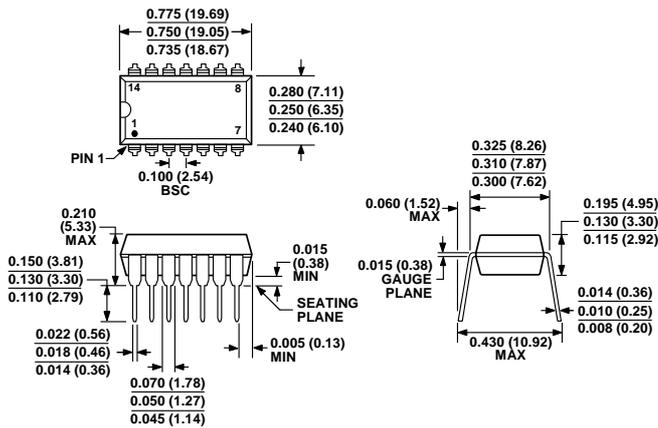
図 72. OP291 使用の単電源、半波整流と全波整流

外形寸法



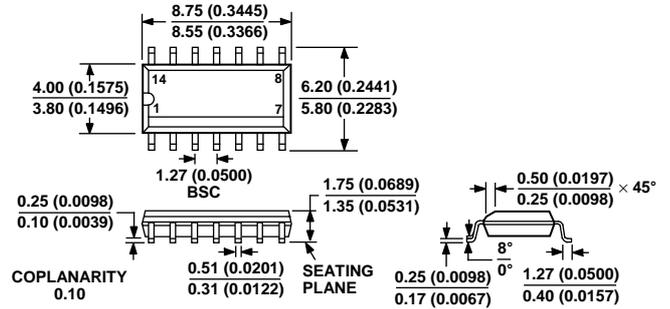
COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 73. 8ピン標準スモール・アウトライン・パッケージ [SOIC]
ナロー・ボディ(R-8)
[S-SUFFIX]
寸法: MM (カッコ内はインチ)



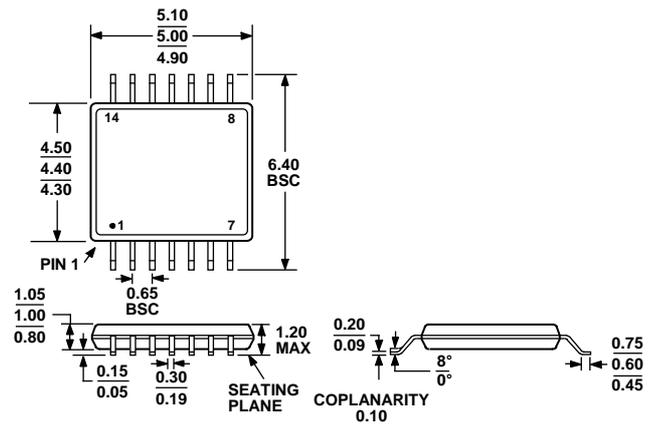
COMPLIANT TO JEDEC STANDARDS MS-001-AA
CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN. CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

図 74. 14ピンプラスチック・デュアル・イン・ライン・パッケージ [PDIP]
(N-14)
[P-SUFFIX]
寸法: MM (カッコ内はインチ)



COMPLIANT TO JEDEC STANDARDS MS-012-AB
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 75. 14ピン標準スモール・アウトライン・パッケージ [SOIC]
ナロー・ボディ(R-14)
[S-SUFFIX]
寸法: MM (カッコ内はインチ)



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

図76. 14ピン THIN シュリンク・スモール・アウトライン・パッケージ [TSSOP]
(RU-14)
寸法: MM

オーダー・ガイド

MODEL	TEMPERATURE RANGE	PACKAGE DESCRIPTION	PACKAGE OPTION
OP191GS	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP191GS-REEL	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP191GS-REEL7	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP191GSZ ¹	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP191GSZ-REEL ¹	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP191GSZ-REEL7 ¹	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP291GS	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP291GS-REEL	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP291GS-REEL7	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP291GSZ ¹	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP291GSZ-REEL ¹	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP291GSZ-REEL7 ¹	-40°C TO +125°C	8-LEAD SOIC	R-8 [S-SUFFIX]
OP491GP	-40°C TO +125°C	14-LEAD PDIP	N-14 [P-SUFFIX]
OP491GPZ ¹	-40°C TO +125°C	14-LEAD PDIP	N-14 [P-SUFFIX]
OP491GS	-40°C TO +125°C	14-LEAD SOIC	R-14 [S-SUFFIX]
OP491GS-REEL	-40°C TO +125°C	14-LEAD SOIC	R-14 [S-SUFFI X]
OP491GS-REEL7	-40°C TO +125°C	14-LEAD SOIC	R-14 [S-SUFF IX]
OP491GSZ ¹	-40°C TO +125°C	14-LEAD SOIC	R-14 [S-SUFFIX]
OP491GSZ-REEL ¹	-40°C TO +125°C	14-LEAD SOIC	R-14 [S-SUFFIX]
OP491GSZ-REEL7 ¹	-40°C TO +125°C	14-LEAD SOIC	R-14 [S-SUFFIX]
OP491GRU-REEL	-40°C TO +125°C	14-LEAD TSSOP	RU-14
OP491GRUZ-REEL ¹	-40°C TO +125°C	14-LEAD TSSOP	RU-14
OP491GBC			DIE

¹ Z = PB-FREE PART.