



ENC28J60

データシート

**SPI インターフェイス付き
スタンドアロン イーサネット コントローラ**

マイクロチップ デバイスのコード保護についての詳細

- マイクロチップ製品は、マイクロチップが発行するデータシートに記載された仕様を満たしています。
- マイクロチップの製品ファミリーは、正常かつ通常条件下で使用される限り、現在の半導体市場で最も確実で安全な製品です。
- コード保護を侵害する不正または不法な行為、または、マイクロチップが発効するデータシートに記載されている仕様範囲外でマイクロチップ製品を使用し不正または不法な行為を行った場合は、知的財産の侵害となります。
- マイクロチップは、コードの完全性について懸念されるカスタマをサポートします。
- マイクロチップおよびその他の半導体メーカは、コードのセキュリティを保証しておりません。コード保護機能は、製品が破損しないことを保証するものではありません。

コード保護機能は常に改善されています。マイクロチップでは、弊社の製品のコード保護機能に対して不断な努力を重ねております。弊社のコード保護機能を侵害する行為は、デジタル ミレニアム著作権法 (DMCA) に違反します。カスタマのソフトウェアまたはその他の著作物への不正アクセスが生じた場合は、この著作権法に則り訴訟を起こす場合があります。

この文書に含まれるデバイス アプリケーションに関する情報は、ユーザーが任意で入手可能であるため、入手した文書が常に最新版であるとは限りません。したがって、ユーザー アプリケーションが製品仕様を満たしているかの判断はユーザー側の責任とします。

マイクロチップは、条件、品質、パフォーマンス、市場性または適合性を含む関連情報 (この限りではない) が、明示または暗示、書面または口頭、制定内またはそうでない場合でもいかなる種類の保証を致しかねます。

マイクロチップは、この情報とその使用に起因する全ての責任を負いかねます。生命維持装置の重要な構成要素としてマイクロチップ製品を使用する場合は、マイクロチップによる正式な書面での承認以外は認可されません。いかなる知的所有権の下でも、明示的またはその他のライセンスの譲渡は認められません。

商標

マイクロチップの名前およびロゴ (Microchip logo、Accuron、dsPIC、KEELOQ、microID、MPLAB、PIC、PICmicro、PICSTART、PRO MATE、PowerSmart、rfPIC、および SmartShunt) は、米国およびその他の国において登録された、Microchip Technology Incorporated の商標です。


AmpLab、FilterLab、Migratable Memory、MXDEV、MXLAB、PICMASTER、SEEVAL、SmartSensor、および Embedded Control Solutions Company は、米国において登録された、Microchip Technology Incorporated の商標です。

Analog-for-the-Digital Age、Application Maestro、dsPICDEM、dsPICDEM.net、dsPICworks、ECAN、ECONOMONITOR、FanSense、FlexROM、fuzzyLAB、In-Circuit Serial Programming、ICSP、ICEPIC、Linear Active Thermistor、MPASM、MPLIB、MPLINK、MPSIM、PICkit、PICDEM、PICDEM.net、PICLAB、PICtail、PowerCal、PowerInfo、PowerMate、PowerTool、rFLAB、rfPICDEM、Select Mode、Smart Serial、SmartTel、Total Endurance、および WiperLock は、米国およびその他の国における、Microchip Technology Incorporated の商標です。

SQTP は、米国における、Microchip Technology Incorporated のサービス商標です。

ここに示されるその他の商標はそれぞれの企業の著作物です。

© 2006, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

 Printed on recycled paper.

**QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==**

マイクロチップ社は、2003年10月に本社、設計およびウエハ工場 (アリゾナ州チャンドラーおよびテンピー、カリフォルニア州マウンテンビュー) 品質システムが、ISO/TS-16949:2002 の認証を取得しました。マイクロチップの品質システムプロセスおよび手順は、PICmicro® 8 ビット MCU、KEELOQ® コード ホッピング デバイス、シリアル EEPROM、マイクロベリフェラル、不揮発性メモリ、およびアナログ製品を使用しています。また、マイクロチップの開発システムの設計および製造は、ISO 9001:2000 の認定を取得しています。

SPI インターフェイス付きスタンドアロンイーサネットコントローラ

イーサネットコントローラの特徴

- IEEE 802.3 に準拠したイーサネットコントローラ
- MAC および 10BASE-T 対応の PHY を内蔵
- 自動極性検知および補正機能付き 10BASE-T ポートを 1 つサポート
- 全二重および半二重モードに対応
- 衝突時の自動再送信が設定可能
- パッディングおよび CRC 生成が設定可能
- エラーパケットの自動破棄が設定可能
- SPI インターフェイスの最大クロックスピードは 20MHz

バッファ

- 8K バイト送信/受信パケットデュアルポート SRAM
- 送受信バッファサイズがコンフィギュレーション可能
- ハードウェアで管理される循環受信 FIFO
- 自動インクリメント機能付きバイト幅ランダム/シーケンシャルアクセス
- 内蔵 DMA による高速データ転送
- さまざまなネットワークプロトコルに対応するハードウェア管理によるチェックサム計算機能

媒体アクセス制御 (MAC) 機能

- ユニキャスト、マルチキャスト、ブロードキャストをサポート
- 受信フィルタ機能と下記の AND または OR 条件によるホストウェイクアップ機能
 - ユニキャスト デスティネーションアドレス
 - マルチキャスト アドレス
 - ブロードキャスト アドレス
 - Magic Packet™
 - 64 ビットのハッシュテーブルで指定されるグループ デスティネーションアドレス
 - ユーザー指定のオフセット値を使用して、最大 64 バイトまでのプログラマブルパターンマッチ

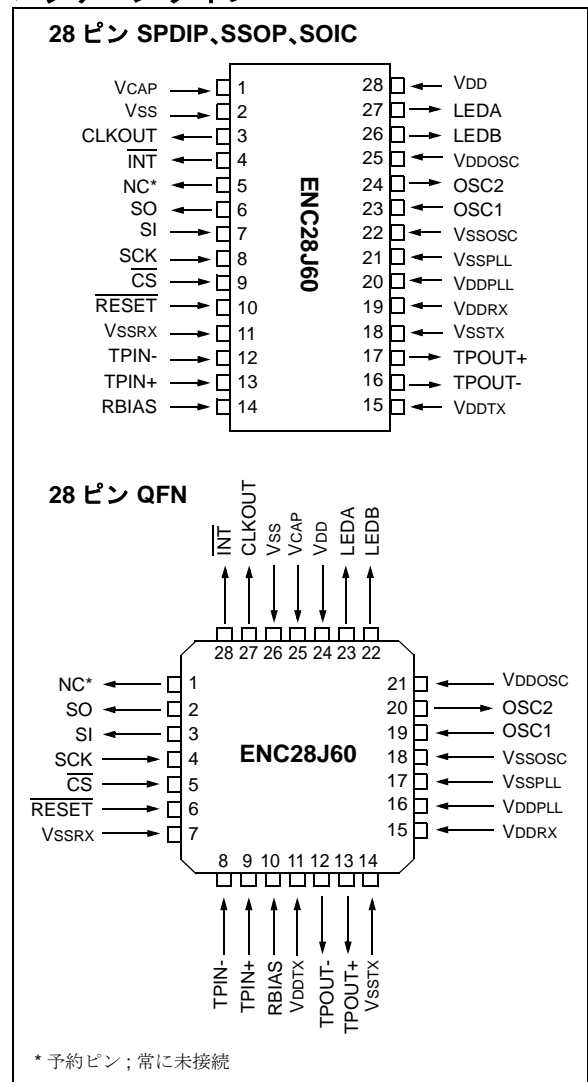
物理層 (PHY) 機能

- ループバックモード
- LINK、TX、RX、衝突、および全/半二重ステータス用の 2 つのプログラマブル LED 出力

動作条件

- 6 つの割り込みソースおよび 1 つの割り込み出力ピン
- 25 MHz クロック入力
- プログラマブルなプレスケアラ付きクロック出力ピン
- 動作電圧 3.1V ~ 3.6V (3.3V 標準)
- 5V トレラント入力
- 温度範囲: -40 °C ~ +85 °C 工業用温度、0 °C ~ +70 °C 一般用温度 (SSOP のみ)
- 28 ピン SPDIP、SSOP、SOIC、QFN パッケージ

パッケージタイプ



目次

1.0	概要	3
2.0	外部接続	5
3.0	メモリ構成	11
4.0	シリアル ペリフェラル インターフェイス (SPI)	25
5.0	イーサネットの概要	31
6.0	初期化	33
7.0	パケットの送受信	39
8.0	受信フィルタ	47
9.0	二重モードの設定およびネゴシエーション	53
10.0	フロー制御	55
11.0	リセット	59
12.0	割り込み	63
13.0	ダイレクト メモリ アクセス コントローラ	71
14.0	パワー ダウン	73
15.0	内蔵セルフテスト コントローラ	75
16.0	電気的特性	79
17.0	パッケージ情報	83
	索引	91
	マイクロチップのウェブ サイト	93
	カスタマ変更通知サービス	93
	カスタマ サポート	93
	読者レスポンス	94
	製品認識システム	95

お客様へ

弊社では、マイクロチップ製品を効果的にご利用いただくために、よりよいドキュメント作成を心がけております。また、お客様のニーズに応えられるよう常に更新し、最新版を提供いたします。

本書についてリクエストまたはコメント等ございましたら、Marketing Communications Department 宛に電子メール (docerors@microchip.com) または本書の最終ページにある「読者レスポンス」用紙をファックス ((480) 792-4150) していただきますようお願い申し上げます。

最新版データ シート

最新版のデータシートを入手される場合は、弊社のウェブサイトからユーザー登録が必要です。

<http://www.microchip.com>

ドキュメントのバージョンは、フッタに記載されているドキュメント番号を確認してください。ドキュメント番号の最後のアルファベットがバージョンを示しています (例 : DS30000A = DS30000 のバージョン A)。

エラッタ

現在のデバイスに対して、データ シートのマイナー変更および推奨されるソリューションなどを説明したエラッタが発効される場合があります。このエラッタ通知には、該当するシリコンのリビジョンおよびドキュメントのバージョンが記載されます。

ご使用のデバイスに該当するエラッタを確認される場合は、次のサポートをご利用下さい。

- マイクロチップ社のウェブ サイト ; <http://www.microchip.com>
- マイクロチップ社の営業所 (最終ページ参照)

営業者へお問合わせの際は、現在ご使用のデバイス名、シリコンのリビジョン、ドキュメント番号およびバージョンが必要です。

カスタマ通知システム

マイクロチップ社の最新製品情報を入手希望される方は、www.microchip.com からご登録下さい。

1.0 概要

ENC28J60 は、業界標準 SPI (シリアル ペリフェラル インターフェイス) 付きスタンドアロン イーサネット コントローラです。そのため、SPI を使用できるすべてのコントローラに対するイーサネット ネットワーク インターフェイスとして使用できます。

ENC28J60 は、IEEE 802.3 仕様に準拠しています。パケット フィルタリング機能が統合されているため、入力されるパケットを制限できます。また、さまざまなネットワーク プロトコルで使用されるチェックサム演算用に、内蔵 DMA による高速データ転送とハードウェアによる演算機能が用意されています。ホスト コントローラとの通信には、最高 20MHz のクロック周波数の SPI が実装されています。2 つの専用ピンが、リンク用とネットワーク アクティビティの確認用の LED に使用されます。

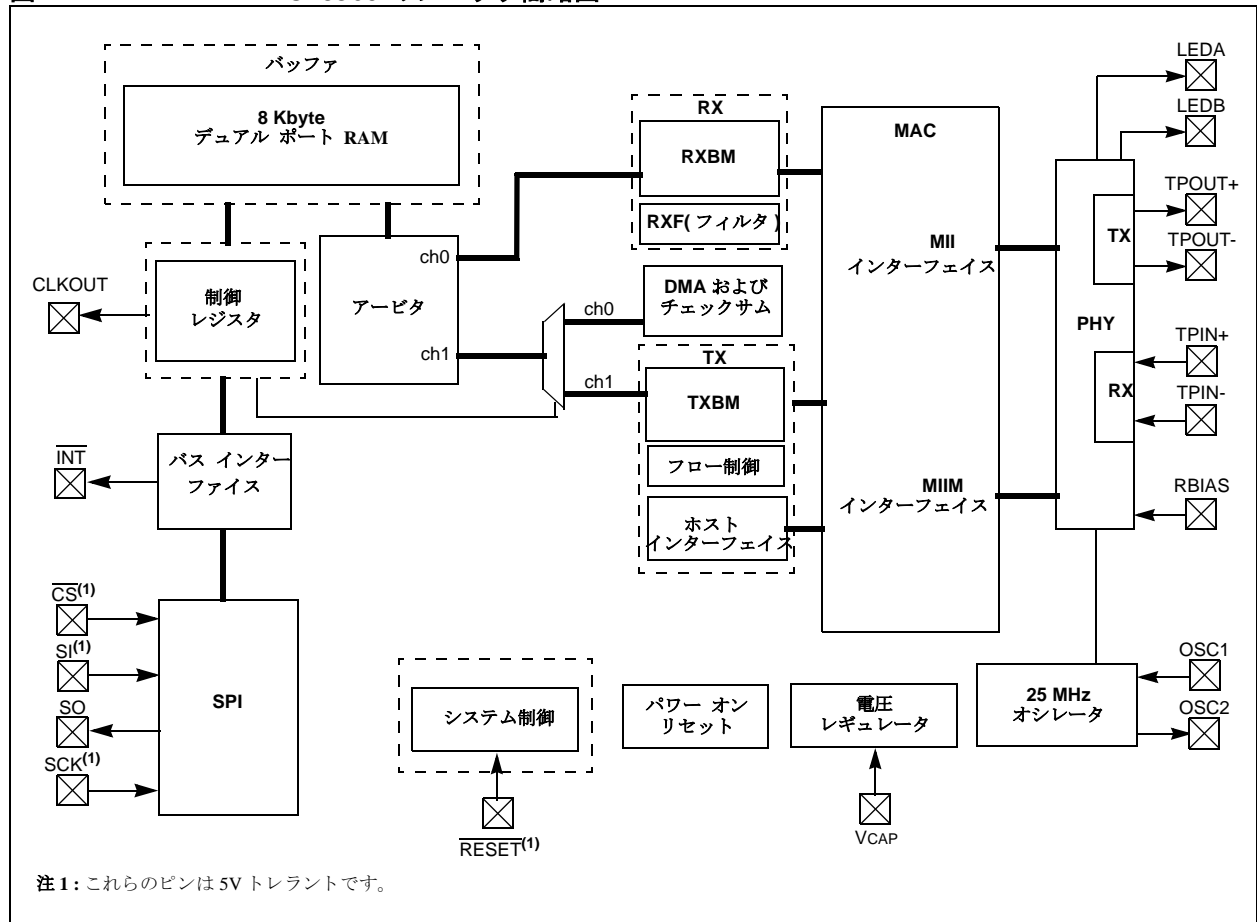
図 1-1 に、ENC28J60 のブロック 簡略図を示します。図 1-2 には、このデバイスを使用した標準的なアプリケーション回路を示します。ENC28J60 を使用する場合、マイクロコントローラとイーサネット ネットワークを接続するには、2 つのパルストランスといくつかの受動コンポーネントのみ必要になります。

ENC28J60 は、主に次の 7 つのファンクションブロックで構成されています。

1. ホスト コントローラと ENC28J60 間の通信チャネルとして機能する SPI
2. ENC28J60 を制御およびモニタするために使用する制御レジスタ
3. データ パケットの送受信のデュアル ポート RAM バッファ
4. DMA、送信 / 受信ブロックからのリクエストがある場合、RAM バッファへのアクセスを制御するアービタ
5. SPI インターフェイスを介して受信したデータおよびコマンドを解釈するバス インターフェイス
6. IEEE 802.3 準拠の MAC ロジックを実装した MAC (媒体アクセス制御) モジュール
7. ツイスト ペア インターフェイスに出力されたアナログ データをエンコード / デコードする PHY (物理層) モジュール

このほかにも、オシレータ、オンチップ電圧レギュレータ、5V トレラント IO を提供するレベル変換器、システム制御ロジックなどのサポート ブロックがデバイスに含まれています。

図 1-1 : ENC28J60 のブロック簡略図



ENC28J60

図 1-2 : 標準的な ENC28J60 ベースのインターフェイス

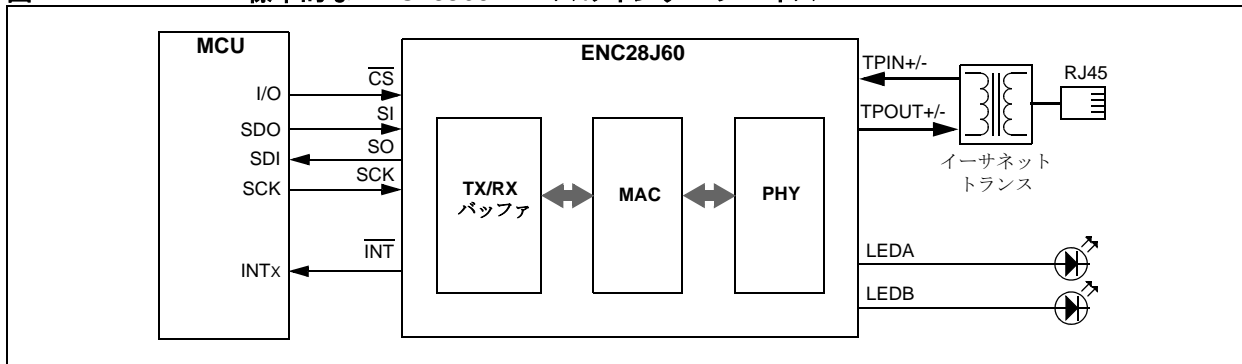


表 1-1 : I/O ピンの説明

ピン名	ピン番号		ピンタイプ	バッファタイプ	説明
	SPDIP、SOIC、SSOP	QFN			
VCAP	1	25	P	—	内部レギュレータからの 2.5V 出力。標準値 10 μ F、最小値 1 μ F でグラウンド接続された低 ESR (等価直列抵抗) キャパシタを、このピンに接続する必要がある
Vss	2	26	P	—	グラウンド
CLKOUT	3	27	O	—	プログラマブル クロック出力ピン (1)
INT	4	28	O	—	INT 割り込み出力ピン (2)
NC	5	1	O	—	予約ファンクション。常に未接続
SO	6	2	O	—	SPI インターフェイスのデータ出力ピン (2)
SI	7	3	I	ST	SPI インターフェイスのデータ入力ピン (3)
SCK	8	4	I	ST	SPI インターフェイスのクロック入力 (3)
CS	9	5	I	ST	SPI インターフェイスのチップ セレクト入力ピン (3,4)
RESET	10	6	I	ST	アクティブ Low デバイス リセット入力 (3, 4)
VSSRX	11	7	P	—	PHY RX のグラウンド
TPIN-	12	8	I	ANA	差動信号入力
TPIN+	13	9	I	ANA	差動信号入力
RBIAS	14	10	I	ANA	PHY 用バイアス電流ピン。抵抗を使用してグラウンドへ接続 (2.4 「トランス、終端、およびその他の外部コンポーネント」を参照)
VDDTX	15	11	P	—	PHY TX 用の正の電源
TPOUT-	16	12	O	—	差動信号出力
TPOUT+	17	13	O	—	差動信号出力
VSSTX	18	14	P	—	PHY TX 用のグラウンド
VDDRX	19	15	P	—	PHY RX 用の正の 3.3V 電源
VDDPLL	20	16	P	—	PHY PLL 用の正の 3.3V 電源
VSSPLL	21	17	P	—	PHY PLL 用のグラウンド
VSSOSC	22	18	P	—	オシレータ用のグラウンド
OSC1	23	19	I	ANA	オシレータ入力
OSC2	24	20	O	—	オシレータ出力
VDDOSC	25	21	P	—	オシレータ用の正の 3.3V 電源
LEDB	26	22	O	—	LEDB ドライバ ピン (5)
LEDA	27	23	O	—	LEDA ドライバ ピン (5)
VDD	28	24	P	—	正の 3.3V 電源供給

記号: I = 入力、O = 出力、P = 電源、DIG = デジタル入力、ANA = アナログ信号入力、ST = シュミットトリガ

注 1: 最大ピン許容電流: 8mA

2: 最大ピン許容電流: 4mA

3: 5V 入力可能

4: VDD に内部で弱プルアップされている

5: 最大ピン許容電流: 12mA

ENC28J60

2.0 外部接続

2.1 オシレータ

ENC28J60 は、OSC1 および OSC2 ピンへ接続した 25MHz のクリスタルで動作するように設計されています。ENC28J60 にはパラレルカット クリスタルを使用してください。シリーズカット クリスタルを使用した場合、周波数がクリスタル製造会社の規格外になる可能性があります。図 2-1 に、標準的なオシレータ回路を示します。

なお、ENC28J60 は OSC1 ピンに接続された外部クロックソースで駆動することも可能です (図 2-2)。

図 2-1: クリスタルオシレータの動作

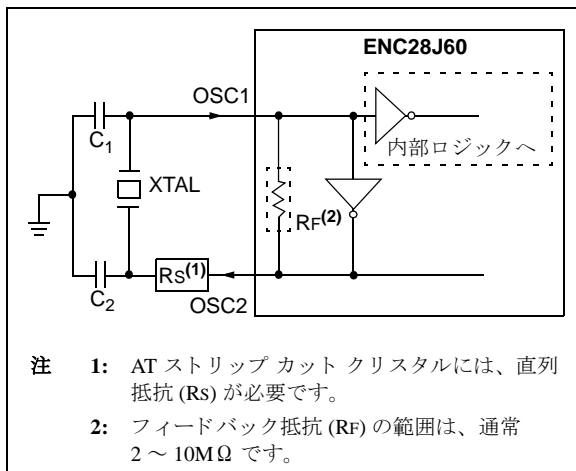
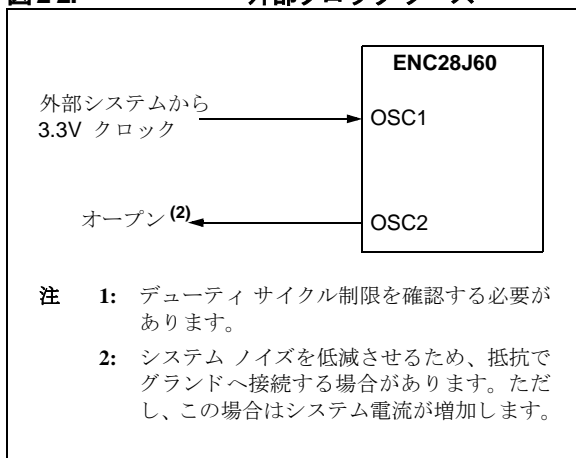


図 2-2: 外部クロック ソース (1)



2.2 オシレータ スタートアップ タイマ

ENC28J60 には、OST (オシレータ スタートアップ タイマ) が内蔵されているため、オシレータや内蔵 PHY は使用前に必ず安定した状態になります。OST の有効期間は、POR 後またはパワー ダウン モードからウエイク アップされた後からカウント開始し、OSC1 クロックの 7500 サイクル (300 μ s) までとなります。この動作の遅延中、すべてのイーサネット レジスタおよびバッファメモリは、SPI バスを介して読み出し/書き込みが可能です。しかし、この間にはソフトウェアからはパケット送信 (ECON1.TXRTS をセット)、パケット受信 (ECON1.RXEN をセット)、または MAC、MII、PHY レジスタへアクセスしてはいけません。

OST の有効期間が終了すると、ESTAT レジスタの CLKRDY ビットがセットされます。アプリケーションソフトウェアはこのビットをポーリングし、通常デバイスの動作を開始できるタイミングを判断する必要があります。

メモ: POR 後または ENC28J60 がパワー ダウン モードから解除された後、CLKRDY ビットのポーリングは、パケット送信、パケット受信または MAC、MII、PHY レジスタへアクセスする前に CLKRDY ビットのポーリングを実行する必要があります。

ENC28J60

2.3 CLKOUT ピン

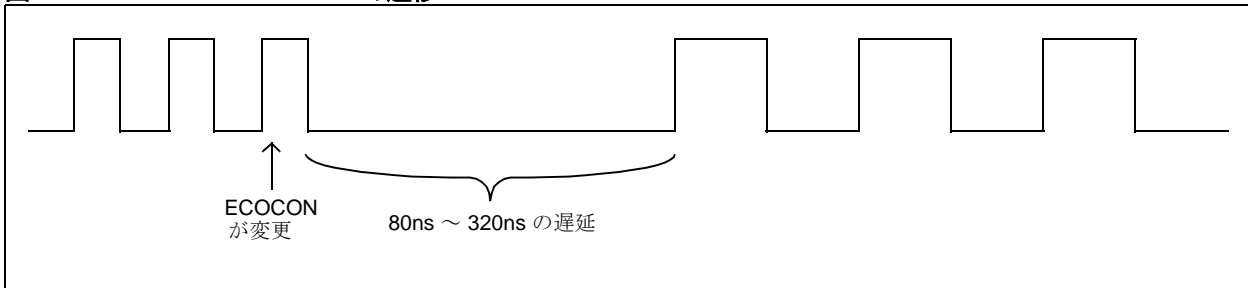
クロック出力ピンは、ホスト コントローラ クロックとして使用するため、またはシステム内の他のデバイス用のクロック ソースとして使用するために提供されています。このピンには、内部プリスケール機能があり、出力を 1、2、3、4、または 8 で分周できます。ECOCON レジスタを介して、CLKOUT 機能が有効になり、プリスケール機能が選択されます (レジスタ 2-1)。

正常なクロック信号を作成するには、電源投入直後は、CLKOUT ピンが Low に維持される必要があります。POR が完了後に OST がカウントを開始します。OST の有効期間が終了すると、CLKOUT ピンがデフォルト 周波数の 6.25 MHz (メインクロックの 4 分周) で出力を開始します。その後、ENC28J60 がソフトウェアでリセット、または RESET ピンでリセットされても、CLKOUT 機能は変更されません (ECOCON の値は変更

されない)。また、パワーダウン モードに切り替わる場合も、CLKOUT 機能は継続します。パワーダウン モードがキャンセルされると、OST はリセットされますが、CLKOUT 機能は継続します。CLKOUT 機能が無効 (ECOCON = 0) の場合、CLKOUT ピンは Low 駆動されます。

CLKOUT 機能は、CLKOUT ピン機能が有効、無効、またはプリスケール値が変更された場合に、最小限のタイミングを確保するように設計されています。ECOCON コンフィギュレーションで指定された周波数を超えるパルス (High/Low) は出力されません。ただし、周波数の切り替え時には、2 および 8 OSC1 クロック周期の遅延が生じ、この間にクロックパルスは生成されません (図 2-3 参照)。この期間中、CLKOUT は Low に保持されます。

図 2-3: CLKOUT の遷移



レジスタ 2-1: ECOCON: CLOCK OUTPUT 制御レジスタ

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	COCON2	COCON1	COCON0
bit 7					bit 0		

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
-n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 7-3 **未実装ビット**: 0 が読み出される

bit 2-0 **COCON2:COCON0**: クロック出力コンフィギュレーション ビット
11x = ファクトリ テスト用に予約。使用不可。グリッチ保護は保証されていない。
101 = メインクロックを 8 分周した CLKOUT 出力 (3.125 MHz)
100 = メインクロックを 4 分周した CLKOUT 出力 (6.25 MHz)
011 = メインクロックを 3 分周した CLKOUT 出力 (8.333333 MHz)
010 = メインクロックを 2 分周した CLKOUT 出力 (12.5 MHz)
001 = メインクロックを 1 分周した CLKOUT 出力 (25 MHz)
000 = CLKOUT は無効。ピンは Low 駆動。

2.4 トランス、終端、およびその他の外部コンポーネント

完全なイーサネット インターフェイスを構築するには、ENC28J60 に標準コンポーネントをいくつか外付けする必要があります。図 2-4 にこれらのコンポーネントの接続を示します。

PHY モジュールの内部アナログ回路には、RBIAS からグラウンドへ接続する抵抗 (2.32 k Ω 、1%) が必要です。この抵抗は、TPOUT+/- 信号の振幅に影響を与えます。ピンへのノイズの容量結合や伝送特性への影響を防ぐため、信号パターンを隣接せずに、チップに極力近づけてこの抵抗を配置してください。また、この抵抗は表面実装タイプを推奨します。

デバイスのデジタル ロジックの中には、2.5V で動作するものがあります。この電圧に対応するために内蔵電圧レギュレータが実装されています。必要な外部コンポーネントは、VCAP からグラウンドへ接続された外部フィルタ コンデンサのみです。このコンデンサは、標準値 10 μ F で最小値 1 μ F の低 ESR (等価直列レジスタ) が必要になります。内部レギュレータは、外部負荷を駆動するようには設計されていません。

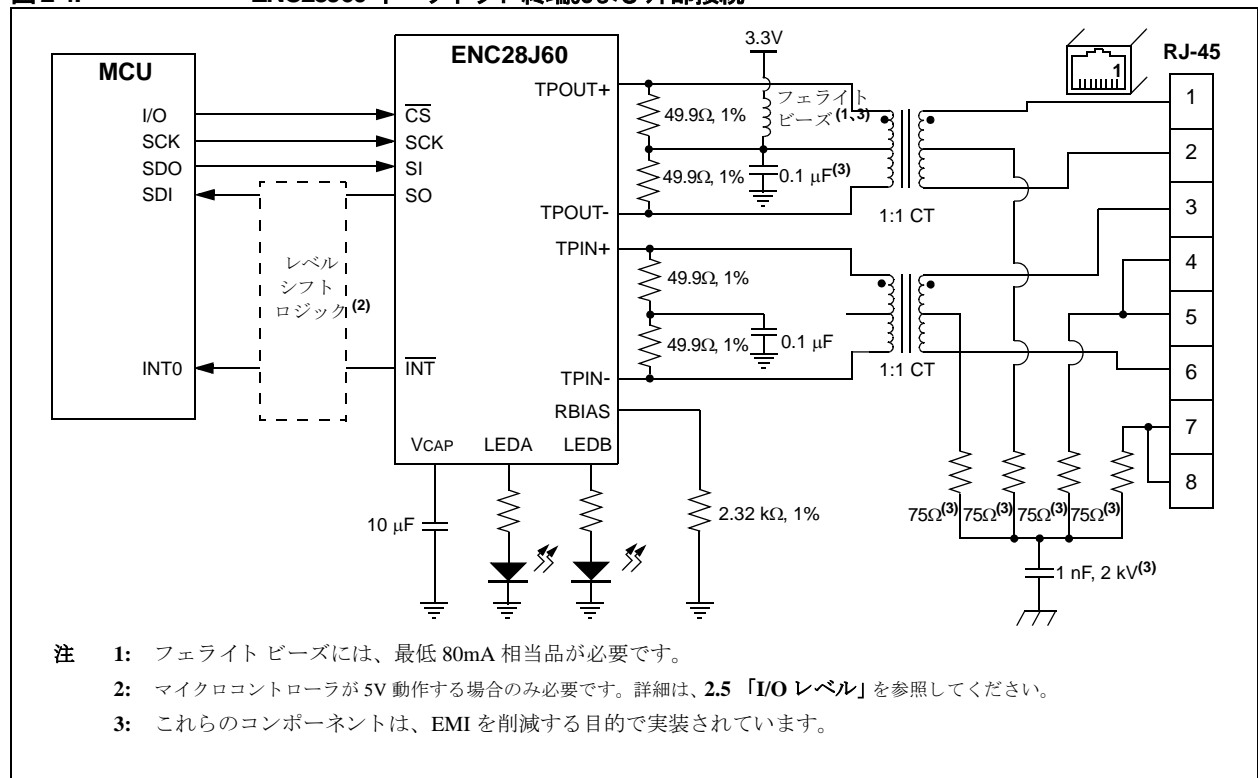
TPIN+/TPIN- および TPOUT+/TPOUT- ピンには、イーサネット動作の 1:1 CT パルス トランスが必要です。イーサネット モジュールが有効のとき、電流が 2 つの TPOUT ピンから連続的に流れます。PHY が送信するとき、TPOUT- と TPOUT+ ピンからの電流を相対的に変化させることで、イーサネット ケーブル上に差動電圧が発生します。

TPOUT ピンとイーサネット トランス (非表示) の間に TPOUT インターフェイス用のコモン モード チョークを配置することはお勧めできません。EMI 放射を減らすためにコモン モード チョークを使用する場合は、イーサネット トランスと RJ-45 コネクタのピン 1 およびピン 2 の間に配置してください。多くのイーサネット トランス モジュールは、同デバイス パッケージ内にコモン モード チョークを内蔵しています。トランスは、静電気耐圧および IEEE 802.3 の絶縁要件を満たすため、少なくとも表 16-5 で指定される絶縁耐圧が必要です (特定トランスの要件は、16.0 「電気的特性」を参照)。送信および受信インターフェイスには、さらに 2 つの抵抗と 1 つのコンデンサを追加して、伝送ラインを適切に終端して信号反射を抑える必要があります。

すべての電源ピンは、同一電源ソースに外部接続する必要があります。同様に、すべてのグラウンド ピンも同一グラウンド ノードに外部接続する必要があります。各 VDD と Vss ピン ペアには、極力ピンに近接配置した 0.1 μ F のセラミック バイパス コンデンサ (回路には非表示) が必要です。

ツイスト ペア インターフェイスを動作させるには比較的高い電流が必要なため、すべてのワイヤを短くする必要があります。抵抗ロスを低減させるためには電源配線に適切な配線幅を使用する必要があります。差動データ ラインを短くできない場合は、100 Ω の特性インピーダンスを持つように配線してください。

図 2-4: ENC28J60 イーサネット 終端および外部接続



ENC28J60

2.5 I/O レベル

ENC28J60 は、3.3V デバイスですが、5V システムへの統合が可能です。SPI CS 入力、SCK 入力、SI 入力、および RESET ピンは、すべて 5V トレラントです。反対に、ホスト コントローラが 5V 動作の場合には、ENC28J60 からの SPI と割り込み入力が 3.3V CMOS 出力で駆動されている場合は、ホスト コントローラが 5V 動作するため、仕様範囲外の動作になる可能性があります。この場合、単一方向のレベル変換器が必要になります。

レベルシフトには、安価な 74HCT08 (クワッド AND ゲート)、74ACT125 (クワッド トライステート バッファ)、またはその他の TTL レベル入力バッファ付き 5V CMOS チップを使用できます。トライステート バッファを使用することにより、ほかのデバイスと SPI バスを共有するシステムへの統合が容易になります。図 2-5 および 図 2-6 に、変換回路例を示します。

図 2-5: AND ゲートを使用するレベルシフト

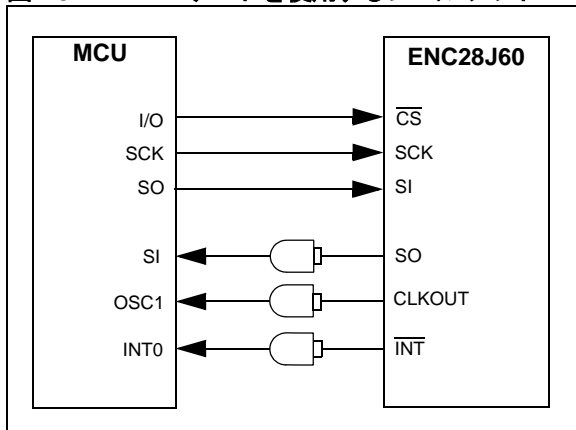
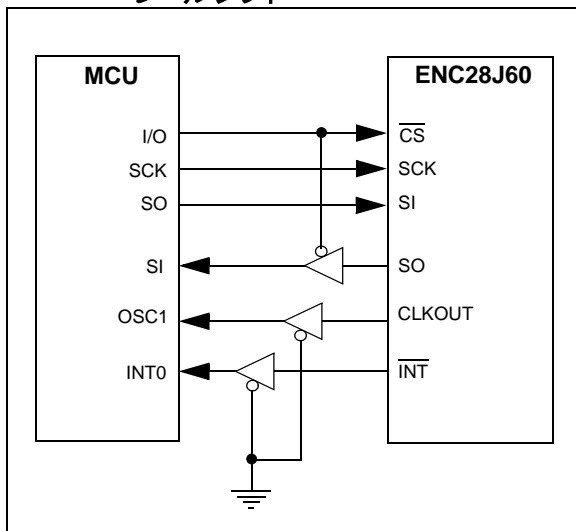


図 2-6: トライステート バッファを使用するレベルシフト

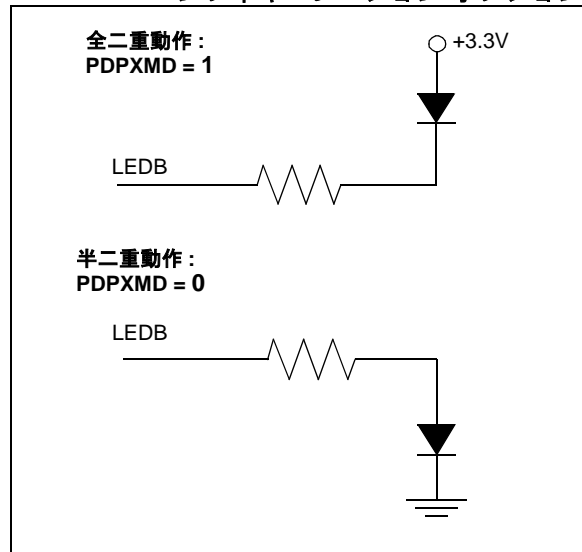


2.6 LED コンフィギュレーション

LEDA および LEDB ピンは、リセット時に極性を自動で検知する機能があります。接続方法は、ソース電流が流れた場合に LED が点灯する接続と、シンク電流が流れたときに LED が点灯する接続があります。システム リセットがかけられると、ENC28J60 は LED がどのように接続されているかを検知し、PHLCON レジスタで設定されたデフォルト ステートに駆動します。ENC28J60 の動作中に極性が変更された場合は、次にリセットがかけられるまで新しく設定された極性は検知されません。

LEDB の特徴は、リセット時に LED の接続が自動的に読み出され、PHCON1.PDPXMD ビットをどのように初期化するかを決定することです。ピンにソース電流が流れると LED が点灯する場合は、リセット時にこのビットがクリアされ、PHY は半二重モードがデフォルトになります。ピンにシンク電流が流れると LED が点灯する場合は、リセット時にこのビットがセットされ、PHY は全二重モードがデフォルトになります。図 2-7 に、この 2 つのオプションを示します。LEDB に LED が接続されていない場合、PDPXMD ビットは不定値にリセットされます。

図 2-7: LEDB の極性およびリセットのコンフィギュレーション オプション



また、各 LED の動作極性 (アクティブのときにオン/オフ)、ブリンク レート、ブリンク ストレッチ インターバルを個別にコンフィギュレーションできます。これらのオプションは、LACFG3:LACFG0 および LBCFG3:LBCFG0 ビットで制御します。表 2-1 に、ブリンク ストレッチの標準値を示します。

表 2-1: LED ブリンク ストレッチ長

ストレッチ長	標準的なストレッチ (ms)
TNSTRCH (標準)	40
TMSTRCH (中)	70
TLSTRCH (長)	140

レジスタ 2-2: PHLCON: PHY モジュールの LED 制御レジスタ

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-1	R/W-0	R/W-0
r	r	r	r	LACFG3	LACFG2	LACFG1	LACFG0
bit 15				bit 8			

R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-x
LBCFG3	LBCFG2	LBCFG1	LBCFG0	LFRQ1	LFRQ0	STRCH	r
bit 7						bit 0	

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 15-14 **予約:** 0 として書き込まれる

bit 13-12 **予約:** 1 として書き込まれる

bit 11-8 **LACFG3:LACFG0:** LEDA コンフィギュレーションビット

- 1111 = 予約
- 1110 = 二重ステータスおよび衝突アクティビティを表示する (常にストレッチ)
- 1101 = リンク ステータスおよび送信/受信アクティビティを表示する (常にストレッチ)
- 1100 = リンク ステータスおよび受信アクティビティを表示する (常にストレッチ)
- 1011 = 低速ブリンク
- 1010 = 高速ブリンク
- 1001 = オフ
- 1000 = オン
- 0111 = 送信/受信アクティビティを表示する (ストレッチ可能)
- 0110 = 予約
- 0101 = 二重ステータスを表示する
- 0100 = リンク ステータスを表示する
- 0011 = 衝突アクティビティを表示する (ストレッチ可能)
- 0010 = 受信アクティビティを表示する (ストレッチ可能)
- 0001 = 送信アクティビティを表示する (ストレッチ可能)
- 0000 = 予約

bit 7-4 **LBCFG3:LBCFG0:** LEDB コンフィギュレーションビット

- 1110 = 二重ステータスおよび衝突アクティビティを表示する (常にストレッチ)
- 1101 = リンク ステータスおよび送信/受信アクティビティを表示する (常にストレッチ)
- 1100 = リンク ステータスおよび受信アクティビティを表示する (常にストレッチ)
- 1011 = 低速ブリンク
- 1010 = 高速ブリンク
- 1001 = オフ
- 1000 = オン
- 0111 = 送信/受信アクティビティを表示する (ストレッチ可能)
- 0110 = 予約
- 0101 = 二重ステータスを表示する
- 0100 = リンク ステータスを表示する
- 0011 = 衝突アクティビティを表示する (ストレッチ可能)
- 0010 = 受信アクティビティを表示する (ストレッチ可能)
- 0001 = 送信アクティビティを表示する (ストレッチ可能)
- 0000 = 予約

bit 3-2 **LFRQ1:LFRQ0:** LED パルス ストレッチ タイム コンフィギュレーションビット (表 2-1 を参照)

- 11 = 予約
- 10 = TLSTRCH で LED イベントをストレッチする
- 01 = TMSTRCH で LED イベントをストレッチする
- 00 = TNSTRCH で LED イベントをストレッチする

bit 1 **STRCH:** LED パルス ストレッチ イネーブルビット

- 1 = LFRQ1:LFRQ0 コンフィギュレーションに基づいてストレッチされた LED パルスを表示する
- 0 = ストレッチ可能な LED イベントが発生している間のみ表示する

bit 0 **予約:** 0 が書き込まれる

ENC28J60

メモ:

3.0 メモリ構成

ENC28J60 のすべてのメモリは、スタティック RAM としてインプリメントされています。メモリ タイプは、次の 3 つです。

- 制御レジスタ
- イーサネット バッファ
- PHY レジスタ

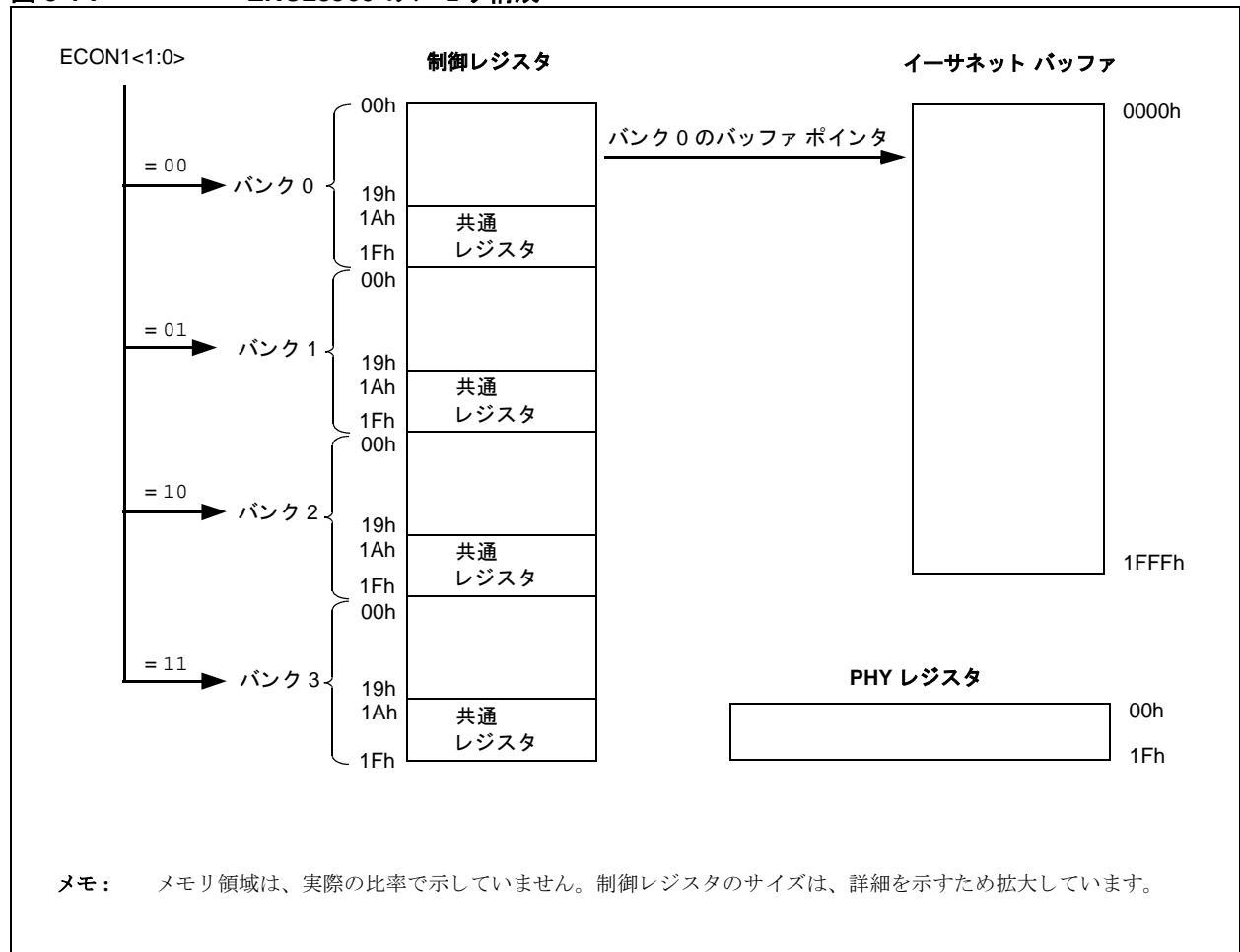
制御レジスタのメモリ には、ENC28J60 のコンフィギュレーション、制御、ステータス読み出しに使用されるレジスタがあります。制御レジスタは SPI インターフェイスを介して直接読み出し / 書き込みされます。

イーサネット バッファは、イーサネット コントローラで使用される送信および受信メモリが含まれ、この 2 つは 1 つのメモリ空間にあります。メモリのサイズは、SPI インターフェイスを介してホスト コントローラで設定できます。イーサネット バッファへのアクセスは、読み出しバッファメモリ / 書き込みバッファメモリの SPI コマンドでのみ可能です。詳細は、4.2.2「バッファメモリ読み出しコマンド」および 4.2.4「バッファメモリ書き込みコマンド」を参照してください。

PHY レジスタは、PHY モジュールのコンフィギュレーション、制御、およびステータス読み出しに使用されます。SPI インターフェイス経由で直接アクセスできません。MAC モジュールに組み込まれた MIIM (Media Independent Interface Management) を介してアクセスします。

図 3-1 に、ENC28J60 のデータ メモリ構成を示します。

図 3-1 : ENC28J60 のメモリ構成



ENC28J60

3.1 制御レジスタ

制御レジスタは、ホスト コントローラとオンチップイーサネット コントローラ ロジック間の重要なインターフェイスとなります。これらのレジスタに書き込みを実行すると、インターフェイスの動作を制御します。一方、読み出しを実行すると、ホスト コントローラが動作をモニタできるようにします。

制御レジスタ メモリ は4つのバンクに分割され、ECON1 レジスタのバンク セレクト ビット (BSEL1:BSEL0) で選択できます。各バンクは32 バイトであり、5ビットのアドレス 値でアドレスを指定します。

すべてのバンクの最後の5ビット (1Bh ~ 1Fh) は、共通レジスタ セット (EIE, EIR, ESTAT, ECON2, および ECON1) を指します。これらのレジスタは、デバイス動作を制御およびモニタリングする上で非常に重要です。この共通マッピングにより、バンクを切り 替えず

にこれらのレジスタへアクセスできます。ECON1 および ECON2 レジスタの詳細は、このセクションの後半で説明します。

実装されていないアドレスがいくつかあります。これらのアドレスに書き込みを実行すると無視され、読み出されるビットはすべて0となります。各バンクのアドレス 1Ah は予約されており、このレジスタへは読み出しおよび書き込みが実行されません。その他の予約レジスタは、読み出される場合がありますが、これらのレジスタ コンテンツは変更されません。予約ビットを含むレジスタへの読み出しおよび書き込みを実行する場合は、レジスタの定義に記述された規則に従う必要があります。ENC28J60 の制御レジスタは、一般的に ETH、MAC、および MII にグループ分けされます。レジスタ名が「E」で始まっている場合は ETH グループとなり、「MA」で始まっている場合は MAC グループとなり、「MI」で始まっている場合は MII グループとなります。

表 3-1 : ENC28J60 制御レジスタのマップ

バンク 0 アドレス	レジスタ名	バンク 1 アドレス	レジスタ名	バンク 2 アドレス	レジスタ名	バンク 3 アドレス	レジスタ名
00h	ERDPTL	00h	EHT0	00h	MACON1	00h	MAADR5
01h	ERDPHT	01h	EHT1	01h	予約	01h	MAADR6
02h	EWRPTL	02h	EHT2	02h	MACON3	02h	MAADR3
03h	EWRPTH	03h	EHT3	03h	MACON4	03h	MAADR4
04h	ETXSTL	04h	EHT4	04h	MABBIPG	04h	MAADR1
05h	ETXSTH	05h	EHT5	05h	—	05h	MAADR2
06h	ETXNDL	06h	EHT6	06h	MAIPGL	06h	EBSTSD
07h	ETXNDH	07h	EHT7	07h	MAIPGH	07h	EBSTCON
08h	ERXSTL	08h	EPMM0	08h	MACLCON1	08h	EBSTCSL
09h	ERXSTH	09h	EPMM1	09h	MACLCON2	09h	EBSTCSH
0Ah	ERXNDL	0Ah	EPMM2	0Ah	MAMXFLL	0Ah	MISTAT
0Bh	ERXNDH	0Bh	EPMM3	0Bh	MAMXFLH	0Bh	—
0Ch	ERXRPTL	0Ch	EPMM4	0Ch	予約	0Ch	—
0Dh	ERXRPTH	0Dh	EPMM5	0Dh	予約	0Dh	—
0Eh	ERXWRPTL	0Eh	EPMM6	0Eh	予約	0Eh	—
0Fh	ERXWRPTH	0Fh	EPMM7	0Fh	—	0Fh	—
10h	EDMASTL	10h	EPMCSL	10h	予約	10h	—
11h	EDMASTH	11h	EPMCSH	11h	予約	11h	—
12h	EDMANDL	12h	—	12h	MICMD	12h	EREVID
13h	EDMANDH	13h	—	13h	—	13h	—
14h	EDMADSTL	14h	EPMOL	14h	MIREGADR	14h	—
15h	EDMADSTH	15h	EPMOH	15h	予約	15h	ECOCON
16h	EDMACSL	16h	予約	16h	MIWRL	16h	予約
17h	EDMACSH	17h	予約	17h	MIWRH	17h	EFLOCON
18h	—	18h	ERXFCON	18h	MIRDL	18h	EPAUSL
19h	—	19h	EPKTCNT	19h	MIRDH	19h	EPAUSH
1Ah	予約	1Ah	予約	1Ah	予約	1Ah	予約
1Bh	EIE	1Bh	EIE	1Bh	EIE	1Bh	EIE
1Ch	EIR	1Ch	EIR	1Ch	EIR	1Ch	EIR
1Dh	ESTAT	1Dh	ESTAT	1Dh	ESTAT	1Dh	ESTAT
1Eh	ECON2	1Eh	ECON2	1Eh	ECON2	1Eh	ECON2
1Fh	ECON1	1Fh	ECON1	1Fh	ECON1	1Fh	ECON1

表 3-2: ENC28J60 の制御レジスタのサマリ

レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	Reset の値	参照ページ
EIE	INTIE	PKTIE	DMAIE	LINKIE	TXIE	r	TXERIE	RXERIE	0000 0000	67
EIR	—	PKTIF	DMAIF	LINKIF	TXIF	r	TXERIF	RXERIF	-000 0000	68
ESTAT	INT	BUFER	r	LATECOL	—	RXBUSY	TXABRT	CLKRDY ⁽¹⁾	0000 -000	66
ECON2	AUTOINC	PKTDEC	PWRSV	r	VRPS	—	—	—	1000 0---	16
ECON1	TXRST	RXRST	DMAST	CSUMEN	TXRTS	RXEN	BSEL1	BSEL0	0000 0000	15
ERDPTL	Read Pointer Low Byte (ERDPT<7:0>)								1111 1010	17
ERDPH	—	—	—	Read Pointer High Byte (ERDPT<12:8>)					---0 0101	17
EWRPTL	Write Pointer Low Byte (EWRPT<7:0>)								0000 0000	17
EWRPH	—	—	—	Write Pointer High Byte (EWRPT<12:8>)					---0 0000	17
ETXSTL	TX Start Low Byte (ETXST<7:0>)								0000 0000	17
ETXSTH	—	—	—	TX Start High Byte (ETXST<12:8>)					---0 0000	17
ETXNDL	TX End Low Byte (ETXND<7:0>)								0000 0000	17
ETXNDH	—	—	—	TX End High Byte (ETXND<12:8>)					---0 0000	17
ERXSTL	RX Start Low Byte (ERXST<7:0>)								1111 1010	17
ERXSTH	—	—	—	RX Start High Byte (ERXST<12:8>)					---0 0101	17
ERXNDL	RX End Low Byte (ERXND<7:0>)								1111 1111	17
ERXNDH	—	—	—	RX End High Byte (ERXND<12:8>)					---1 1111	17
ERXRPTL	RX RD Pointer Low Byte (ERXRPT<7:0>)								1111 1010	17
ERXRPH	—	—	—	RX RD Pointer High Byte (ERXRPT<12:8>)					---0 0101	17
ERXWRPTL	RX WR Pointer Low Byte (ERXWRPT<7:0>)								0000 0000	17
ERXWRPH	—	—	—	RX WR Pointer High Byte (ERXWRPT<12:8>)					---0 0000	17
EDMASTL	DMA Start Low Byte (EDMAST<7:0>)								0000 0000	73
EDMASTH	—	—	—	DMA Start High Byte (EDMAST<12:8>)					---0 0000	73
EDMANDL	DMA End Low Byte (EDMAND<7:0>)								0000 0000	73
EDMANDH	—	—	—	DMA End High Byte (EDMAND<12:8>)					---0 0000	73
EDMADSTL	DMA Destination Low Byte (EDMADST<7:0>)								0000 0000	73
EDMADSTH	—	—	—	DMA Destination High Byte (EDMADST<12:8>)					---0 0000	73
EDMACSL	DMA Checksum Low Byte (EDMACS<7:0>)								0000 0000	74
EDMACSH	DMA Checksum High Byte (EDMACS<15:8>)								0000 0000	74
EHT0	Hash Table Byte 0 (EHT<7:0>)								0000 0000	53
EHT1	Hash Table Byte 1 (EHT<15:8>)								0000 0000	53
EHT2	Hash Table Byte 2 (EHT<23:16>)								0000 0000	53
EHT3	Hash Table Byte 3 (EHT<31:24>)								0000 0000	53
EHT4	Hash Table Byte 4 (EHT<39:32>)								0000 0000	53
EHT5	Hash Table Byte 5 (EHT<47:40>)								0000 0000	53
EHT6	Hash Table Byte 6 (EHT<55:48>)								0000 0000	53
EHT7	Hash Table Byte 7 (EHT<63:56>)								0000 0000	53
EPMM0	Pattern Match Mask Byte 0 (EPMM<7:0>)								0000 0000	52
EPMM1	Pattern Match Mask Byte 1 (EPMM<15:8>)								0000 0000	52
EPMM2	Pattern Match Mask Byte 2 (EPMM<23:16>)								0000 0000	52
EPMM3	Pattern Match Mask Byte 3 (EPMM<31:24>)								0000 0000	52
EPMM4	Pattern Match Mask Byte 4 (EPMM<39:32>)								0000 0000	52
EPMM5	Pattern Match Mask Byte 5 (EPMM<47:40>)								0000 0000	52
EPMM6	Pattern Match Mask Byte 6 (EPMM<55:48>)								0000 0000	52
EPMM7	Pattern Match Mask Byte 7 (EPMM<63:56>)								0000 0000	52

- 記号: x = 不明、u = 変更なし、— = 実装されていない、q = 条件に依存する値、r = 予約、変更不可
- 注 1: CLKRDY は、POR で 0 にリセットしますが、その他のリセットの影響は受けません。
- 2: EREVID は読み出し専用レジスタです。
- 3: ECOCON は、POR で '---- -100' にリセットし、その他のリセットでは '---- -uuu' にリセットします。

ENC28J60

表 3-2: ENC28J60 の制御レジスタのサマリ (続き)

レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	Reset の値	参照ページ	
EPMCSL	Pattern Match Checksum Low Byte (EPMCS<7:0>)								0000 0000	52	
EPMCSH	Pattern Match Checksum High Byte (EPMCS<15:0>)								0000 0000	52	
EPMOL	Pattern Match Offset Low Byte (EPMO<7:0>)								0000 0000	52	
EPMOH	—	—	—	Pattern Match Offset High Byte (EPMO<12:8>)					---0 0000	52	
ERXFCN	UCEN	ANDOR	CRGEN	PMEN	MPEN	HTEN	MCEN	BCEN	1010 0001	48	
EPKTCNT	Ethernet Packet Count								0000 0000	43	
MACON1	—	—	—	r	TXPAUS	RXPAUS	PASSALL	MARXEN	---0 0000	34	
MACON3	PADCFG2	PADCFG1	PADCFG0	TXCRGEN	PHDREN	HFRMEN	FRMLNEN	FULDPX	0000 0000	35	
MACON4	—	DEFER	BPEN	NOBKOFF	—	—	r	r	-000 --00	36	
MABBIPG	—	Back-to-Back Inter-Packet Gap (BBIPG<6:0>)							-000 0000	36	
MAIPGL	—	Non-Back-to-Back Inter-Packet Gap Low Byte (MAIPGL<6:0>)							-000 0000	34	
MAIPGH	—	Non-Back-to-Back Inter-Packet Gap High Byte (MAIPGH<6:0>)							-000 0000	34	
MACLCON1	—	—	—	—	Retransmission Maximum (RETMAX<3:0>)					---- 1111	34
MACLCON2	—	—	Collision Window (COLWIN<5:0>)						--11 0111	34	
MAMXFLL	Maximum Frame Length Low Byte (MAMXFL<7:0>)								0000 0000	34	
MAMXFLH	Maximum Frame Length High Byte (MAMXFL<15:8>)								0000 0110	34	
MICMD	—	—	—	—	—	—	MIISCAN	MIIRD	---- --00	21	
MIREGADR	—	—	—	MII Register Address (MIREGADR<4:0>)					---0 0000	19	
MIWRL	MII Write Data Low Byte (MIWR<7:0>)								0000 0000	19	
MIWRH	MII Write Data High Byte (MIWR<15:8>)								0000 0000	19	
MIRDL	MII Read Data Low Byte (MIRD<7:0>)								0000 0000	19	
MIRDH	MII Read Data High Byte (MIRD<15:8>)								0000 0000	19	
MAADR5	MAC Address Byte 5 (MAADR<15:8>)								0000 0000	34	
MAADR6	MAC Address Byte 6 (MAADR<7:0>)								0000 0000	34	
MAADR3	MAC Address Byte 3 (MAADR<31:24>), OUI Byte 3								0000 0000	34	
MAADR4	MAC Address Byte 4 (MAADR<23:16>)								0000 0000	34	
MAADR1	MAC Address Byte 1 (MAADR<47:40>), OUI Byte 1								0000 0000	34	
MAADR2	MAC Address Byte 2 (MAADR<39:32>), OUI Byte 2								0000 0000	34	
EBSTSD	Built-in Self-Test Fill Seed (EBSTSD<7:0>)								0000 0000	78	
EBSTCON	PSV2	PSV1	PSV0	PSEL	TMSEL1	TMSEL0	TME	BISTST	0000 0000	78	
EBSTCSL	Built-in Self-Test Checksum Low Byte (EBSTCS<7:0>)								0000 0000	78	
EBSTCSH	Built-in Self-Test Checksum High Byte (EBSTCS<15:8>)								0000 0000	78	
MISTAT	—	—	—	—	r	NVALID	SCAN	BUSY	---- 0000	21	
EREVID ⁽²⁾	—	—	—	Ethernet Revision ID (EREVID<4:0>)					---q qqqq	22	
ECOCON ⁽³⁾	—	—	—	—	—	COCON2	COCON1	COCON0	---- -100	6	
EFLOCON	—	—	—	—	—	FULDPXS	FCEN1	FCEN0	---- -000	58	
EPAUSL	Pause Timer Value Low Byte (EPAUS<7:0>)								0000 0000	59	
EPAUSH	Pause Timer Value High Byte (EPAUS<15:8>)								0001 0000	59	

- 記号: x = 不明、u = 変更なし、— = 実装されていない、q = 条件に依存する値、r = 予約、変更不可
- 注 1: CLKRDY は、POR で 0 にリセットしますが、その他のリセットの影響は受けません。
- 2: EREVID は読み出し専用レジスタです。
- 3: ECOCON は、POR で '---- -100' にリセットし、その他のリセットでは '---- -uuu' にリセットします。

3.1.1 ECON1 レジスタ

レジスタ 3-1 で示す ECON1 レジスタは、ENC28J60 の主要ファンクションを制御します。受信イネーブル、送信リクエスト、DMA 制御、バンクセレクトビットは、この ECON1 レジスタに含まれます。

レジスタ 3-1: ECON1: イーサネット制御レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TXRST	RXRST	DMAST	CSUMEN	TXRTS	RXEN	BSEL1	BSEL0
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 7 **TXRST:** 送信ロジック リセット ビット
 1 = 送信ロジックは **Reset** を保持
 0 = 通常動作
- bit 6 **RXRST:** 受信ロジック リセット ビット
 1 = 受信ロジックは **Reset** を保持
 0 = 通常動作
- bit 5 **DMAST:** DMA スタートおよびビジー ステータス ビット
 1 = DMA コピー中か、チェックサム計算中
 0 = DMA アイドル中
- bit 4 **CSUMEN:** DMA チェックサム イネーブル ビット
 1 = DMA ハードウェアがチェックサム計算する
 0 = DMA ハードウェアがバッファ メモリをコピーする
- bit 3 **TXRTS:** 送信リクエストを送るビット
 1 = 送信ロジックがパケットを送信する
 0 = 送信ロジックはアイドル状態
- bit 2 **RXEN:** 受信イネーブル ビット
 1 = 現在のフィルタ コンフィギュレーションを通ったパケットが受信バッファへ書き込まれる
 0 = すべての受信パケットが無視される
- bit 1-0 **BSEL1:BSEL0:** バンク選択ビット
 11 = SPI がバンク 3 のレジスタへアクセスする
 10 = SPI がバンク 2 のレジスタへアクセスする
 01 = SPI がバンク 1 のレジスタへアクセスする
 00 = SPI がバンク 0 のレジスタへアクセスする

ENC28J60

3.1.2 ECON2 レジスタ

レジスタ 3-2 に示す ECON2 は、ENC28J60 の主要ファンクションの制御に使用されます。

レジスタ 3-2: ECON2: イーサネット制御レジスタ 2

R/W-1	R/W-0 ⁽¹⁾	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
AUTOINC	PKTDEC	PWRSV	r	VRPS	—	—	—
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
-n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 7 **AUTOINC:** 自動バッファポインタインクリメントイネーブルビット
1 = EDATA から読み出し / EDATA へ書き込みする際に、ERDPT / EWRPT を自動インクリメント
0 = バッファへアクセス後、ERDPT / EWRPT を自動で変更しない
- bit 6 **PKTDEC:** パケットデクリメントビット
1 = EPKTCNT レジスタを 1 つデクリメントする
0 = EPKTCNT を変更しない
- bit 5 **PWRSV:** パワーセーブイネーブルビット
1 = MAC、PHY、および制御ロジックは、低電力スリープモード
0 = 通常動作
- bit 4 **予約:** 0 を保持する
- bit 3 **VRPS:** 電圧レギュレータパワーセーブイネーブルビット
PWRSV = 1 の場合:
1 = 内部レギュレータは低電力モード
0 = 標準モード
PWRSV = 0 の場合:
ビットは無視される; レギュレータは、常にデバイスが要求する電流量を出力する
- bit 2-0 **未実装ビット:** 0 が読み出される

注 1: このビットはセットされると、自動でクリアされます。

3.2 イーサネット バッファ

イーサネット バッファには、イーサネット コントローラで使用される送信メモリと受信メモリが含まれます。バッファの総容量は 8K バイトで、受信バッファ空間と送信バッファ空間に分かれています。この 2 つのメモリ空間のサイズとロケーションは、ホスト コントローラから SPI インターフェイスを介してプログラム可能です。

図 3-2 に、バッファ空間の関係を示します。

3.2.1 受信バッファ

受信バッファは、ハードウェアで制御される循環 FIFO バッファで構成されています。2 つのレジスタ (ERXSTH:ERXSTL および ERXNDH:ERXNDL) がポインタとして機能し、メモリ内のバッファのサイズおよびロケーションを定義します。ERXST で指定されるバイトと ERXND で指定されるバイトは両方とも FIFO バッファ内に含まれます。

イーサネット インターフェイスからバイト データを受信し、そのデータが順番に受信バッファへ書き込まれます。ただし、ERXND が指定するメモリが書き込まれると、ハードウェアは自動的に次のデータを ERXND が指定するメモリへ書き込みます。したがって、受信ハードウェアは、FIFO の境界を超えて書き込みを実行することはありません。

受信ロジックが無効の場合は、ホスト コントローラが ERXST および ERXND ポインタをプログラムできます。受信ロジックが有効のときに (ECON1.RXEN がセットされている)、これらのポインタを変更してはいけません。変更した場合は、ポインタのメモリ範囲が 1FFFh から 0000h となり、1 つの FIFO として機能します。

ERXWRPTH:ERXWRPTL レジスタは、ハードウェアが受信したバイトが書き込まれる FIFO 内の場所を示します。このポインタは読み出し専用で、新しいパケットが正常受信されるたびに自動的にアップデートされます。また、FIFO 内の空きスペースを確認するときにも使用されます。

ERXRDPT レジスタは、受信ハードウェアが書き込みを禁止される FIFO 内の場所を示します。通常動作の場合、受信ハードウェアは ERXRDPT で指定されるメモリ位置 (ERXRDPT が指定するアドレスは含まない) まで書き込みを実行します。FIFO がフル状態のときに新しいデータが受信された場合、前のデータは上書きされません。その代わりに、新しいデータを破棄して前のデータのみ保存します。新しいデータを継続的に受信する場合は、特定数のデータ受信プロセスが終了後、またはすべてのデータ受信プロセスが終了後に、ホスト コントローラがこのポインタを定期的に移動させるように設定する必要があります。

3.2.2 送信バッファ

8K バイトのメモリ内にあり、受信 FIFO バッファとしてプログラムされていない部分はすべて送信バッファ領域となります。ホストコントローラが送信バッファ内のパケット配置を管理します。ホスト コントローラがパケットを送信するとき、ETXST および ETXND ポインタを送信バッファ内のアドレスにプログラムし、送信するパケットが指定アドレスに配置します。ハードウェアには、開始アドレスと終了アドレスが受信バッファとオーバーラップしているかのチェック機能はありません。バッファの競合を回避するため、ETXST および ETXND ポインタが受信バッファへオーバーラップする場合、または ETXND ポインタが受信バッファへ接近した場合に、パケットを送信しないようにホスト コントローラで制御する必要があります。詳細は、

7.1 「パケット送信」を参照してください。

3.2.3 バッファの読み出しおよび書き込み

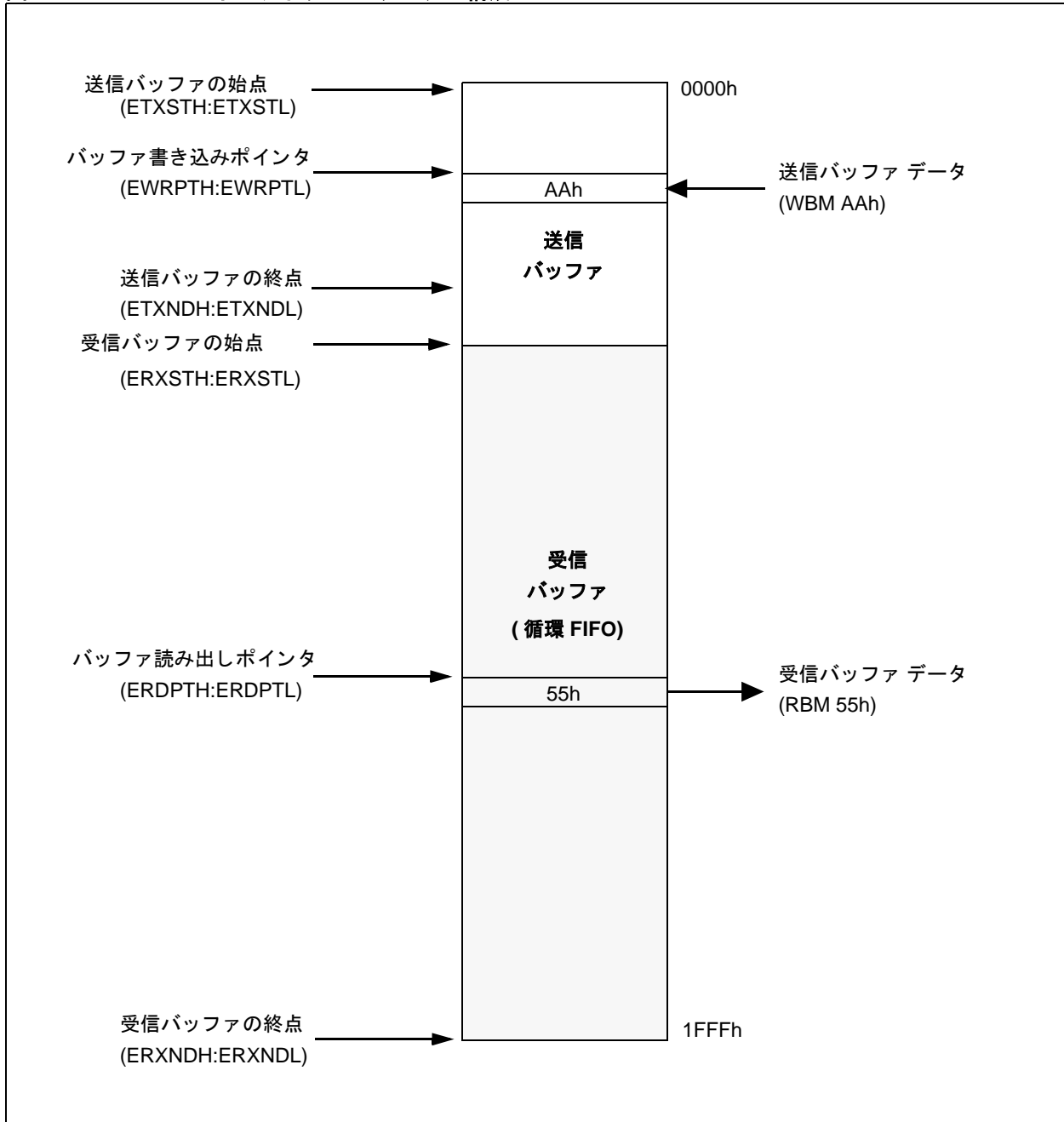
イーサネット バッファへのアクセスは、バッファメモリの読み出し SPI コマンドおよび書き込み SPI コマンドを使用し、読み出しおよび書き込みごとのポインタ (ERDPT および EWRPT) を介してホストコントローラから行います。受信バッファからシーケンシャルに読み出しを続けると、受信バッファの最後で折り返しが生じます。一方、バッファヘシーケンシャルに書き込みを実行する場合、折り返しは生じません。詳細は、4.2.2 「バッファメモリ読み出しコマンド」および 4.2.4 「バッファメモリ書き込みコマンド」を参照してください。

3.2.4 バッファへの DMA アクセス

内蔵 DMA コントローラは、チェックサム計算する際にバッファから読み出しを実行し、メモリへコピーする際には、バッファへ書き込みおよび読み出しを実行する必要があります。DMA の折り返し規則は、SPI アクセスと同様です。つまり、シーケンシャルに読み出しを続けると、受信バッファの最後で折り返しが生じます。すべての書き込み動作では、折り返しは生じません。詳細は、13.0 「ダイレクトメモリアクセスコントローラ」を参照してください。

ENC28J60

図 3-2: イーサネット バッファの構成



3.3 PHY レジスタ

PHY レジスタは、PHY モジュールのコンフィギュレーション、制御、および動作状態をモニタするレジスタです。すべての PHY レジスタは 16 ビット幅であり、合計 32 PHY アドレスあります。ただし、実装されているロケーションは 9 ビットのみです。実装されていないロケーションに書き込みを実行すると無視され、これらのロケーションから読み出しを実行すると 0 が読み出されます。すべての予約ロケーションは 0 として書き込みされています。これらのロケーションから読み出しを実行すると無視されます。

ETH、MAC、および MII 制御レジスタ、またはバッファメモリとは異なり、PHY レジスタへは、SPI 制御インターフェイスを介して直接アクセスできません。その代わりに、MIIM (Media Independent Interface Management) として実装した特殊な MAC 制御レジスタセットからアクセスします。これらの制御レジスタは、MII レジスタと呼ばれています。レジスタ 3-3 およびレジスタ 3-4 に、PHY レジスタへのアクセス制御を行うレジスタを示します。

3.3.1 PHY レジスタの読み出し

PHY レジスタを読み出す場合、全 16 ビットを取得します。

PHY レジスタから読み出しを実行する際のプロセスは、次のとおりです。

1. 読み出しを開始する PHY レジスタのアドレスを MIREGADR レジスタへ書き込む。
2. MICMD.MIIRD ビットをセットする。読み出し動作が開始し、MISTAT.BUSY ビットがセットされる。
3. 10.24 μ s 待機する。動作が完了したことを確認するため、MISTAT.BUSY ビットをポーリングする。ビジー状態の場合、ホスト コントローラは、MIISCAN 動作を始めたり MIWRH レジスタへの書き込みを実行してはいけません。MAC がレジスタ コンテンツを取得すると、BUSY ビットが自動的にクリアされます。
4. MICMD.MIIRD ビットをクリアします。
5. MIRD L および MIRD H レジスタから任意のデータを読み出します。これらのバイトへアクセスする順序は重要ではありません。

3.3.2 PHY レジスタへの書き込み

PHY レジスタへ書き込みを実行する場合、全 16 ビットが一度に書き込まれます。選択したビットへの書き込みはできません。レジスタ内の特定ビットのみを再プログラムする必要がある場合は、まず、PHY レジスタの読み出しを実行し、出力データを編集した後、PHY レジスタへそのデータを書き戻します。

PHY レジスタへの書き込みを実行する際のプロセスは、次のとおりです。

1. 書き込みを開始する PHY レジスタのアドレスを MIREGADR レジスタへ書き込む。
2. 書き込みデータの低位 8 ビットを MIWRL レジスタへ書き込む。
3. 書き込みデータの上位 8 ビットを MIWRH レジスタへ書き込む。このレジスタへの書き込み動作によって、MIIM 転送が自動的に開始され、MIWRL の後に書き込まれるので、MIWRL より後で書き込みを行わなければなりません。MISTAT.BUSY ビットがセットされる。

PHY レジスタの書き込みは、MIIM 動作が完了後に実行され、10.24 μ sec かかります。書き込み動作が完了すると、BUSY ビットが自動的にクリアされます。BUSY 状態のとき、ホスト コントローラは、MIISCAN を開始したり MIIRD 動作を実行してはいけません。

3.3.3 PHY レジスタのスキャン

PHY レジスタで自動的に連続読み出し動作を実行するように、MAC で設定できます。これにより、定期的なステータス情報の更新が必要な場合、ホスト コントローラでの負担を大幅に軽減できます。スキャン動作を実行する際のプロセスは次のとおりです。

1. 読み出しを実行する PHY レジスタのアドレスを MIREGADR レジスタへ書き込む。
2. MICMD.MIISCAN ビットをセットする。スキャン動作が開始し、MISTAT.BUSY ビットがセットされる。10.24 μ s 後に最初の読み出し動作が完了する。この動作がキャンセルされるまで、同じインターバルで順次に読み出し動作が実行される。最初の読み出し動作が完了した時点を確認するためには、MISTAT.NVALID ビットをポーリングする。

MIISCAN ビットを設定すると、MIRD L および MIRD H レジスタは自動的に 10.24 μ s 毎に更新されます。MIRD レジスタが更新されたときを示すステータス情報はありません。ホスト コントローラは、SPI を介して一回に 1 個の MII レジスタしか読み出しを実行しないため、PHY から同時に MIRD L と MIRD H の値が読み出されることはありません。

MIISCAN の動作中、ホスト コントローラは MIWRH への書き込み、または MIIRD 動作を開始してはいけません。MIISCAN 動作をキャンセルする場合は、MICMD.MIISCAN ビットをクリアして MISTAT.BUSY ビットをポーリングします。BUSY ビットがクリアされると、新しい動作を開始できます。

表 3-3: ENC28J60 PHY レジスタのサマリ

アドレス	レジスタ名	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット値
00h	PHCON1	PRST	PLOOPBK	—	—	PPWRSV	r	—	PDPXMD ⁽¹⁾	r	—	—	—	—	—	—	—	00-- 00-q 0--- ----
01h	PHSTAT1	—	—	—	PFDPX	PHDPX	—	—	—	—	—	—	—	—	LLSTAT	JBSTAT	—	---1 1--- ---- -00-
02h	PHID1	PHY Identifier (OUI3:OUI18) = 0083h																0000 0000 1000 0011
03h	PHID2	PHY Identifier (OUI19:OUI24) = 000101						PHY P/N (PPN5:PPN0) = 00h						PHY Revision (PREV3:PREV0) = 00h				0001 0100 0000 0000
10h	PHCON2	—	FRCLNK	TXDIS	r	r	JABBER	r	HLDIS	r	r	r	r	r	r	r	r	-000 0000 0000 0000
11h	PHSTAT2	—	—	TXSTAT	RXSTAT	COLSTAT	LSTAT	DPXSTAT ⁽¹⁾	—	—	—	PLRITY	—	—	—	—	—	--00 00q- --0- ----
12h	PHIE	r	r	r	r	r	r	r	r	r	r	r	PLNKIE	r	r	PGEIE	r	0000 0000 0000 0000
13h	PHIR	r	r	r	r	r	r	r	r	r	r	r	PLNKIF	r	PGIF	r	r	xxxx xxxx xx00 00x0
14h	PHLCON	r	r	r	r	LACFG3:LACFG0				LBCFG3:LBCFG0				LFRQ1:LFRQ0		STRCH	r	0011 0100 0010 001x

記号: x = 不明、u = 変更なし、— = 実装されていない、q = 条件に依存する値、r = 予約、変更不可

注 1: 二重モード / ステータスビットの Reset 値は、LEDB ピンへの LED 接続によって異なります。詳細は、2.6 「LED コンフィギュレーション」を参照してください。

レジスタ 3-3: MICMD: MII コマンド レジスタ

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	MIISCAN	MIIRD
bit 7						bit 0	

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 7-2 **未実装ビット**: 0 が読み出される

bit 1 **MIISCAN**: MII スキャン イネーブル ビット

1 = MIREGADR の PHY レジスタが連続的に読み出され、データは MIRD に配置される
 0 = MII スキャン動作なし

bit 0 **MIIRD**: MII 読み出しイネーブル ビット

1 = MIREGADR の PHY レジスタが 1 度読み出され、データは MIRD に配置される
 0 = MII 読み出し動作なし

レジスタ 3-4: MISTAT: MII ステータス レジスタ

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	r	NVALID	SCAN	BUSY
bit 7						bit 0	

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 7-4 **未実装ビット**: 0 が読み出される

bit 3 **予約**: 0 を保持

bit 2 **NVALID**: MII マネージメント読み出しデータ無効ビット

1 = MIRD のコンテンツはまだ無効
 0 = MII 読み出しサイクルが完了し、MIRD が更新された

bit 1 **SCAN**: MII マネージメント スキャン動作中ビット

1 = MII スキャン動作中
 0 = MII スキャン停止中

bit 0 **BUSY**: MII マネージメント ビジー ビット

1 = PHY レジスタが読み出しまたは書き込み中
 0 = MII インターフェイスはアイドル状態

3.3.4 PHSTAT レジスタ

PHSTAT1 および PHSTAT2 レジスタには、読み出し専用ビットがあり、PHY モジュールの現在の動作ステータス（特に、ネットワークとのリンクが休止中のときの条件）を示します。

PHSTAT1 レジスタ（レジスタ 3-5）には、LLSTAT ビットがあります。レジスタの最後の読み出しが実行された後物理層リンクが DOWN した場合に、このビットはクリアされて Low をラッチします。ホストコントローラで定期的なポーリングを使用して実行すれば、リンクエラーが生じた正確なタイミングを確認できます。特に、リンク変更割り込みを使用しない場合に有効です。

さらに、PHSTAT1 レジスタには、ジャバーステータスビットがあります。連続的にデータ送信を続けながら停止せずその他のノードが媒体を共有することを許さないイーサネットコントローラのことを「ジャバリング (jabbering)」と言います。ジャバー状態とは、IEEE 規格で定義されている最大パケットサイズを大幅に超えていることを示します。このビットが High を保持しているときは、最後のレジスタ読み出しを実行後、ジャバー状態になったことを示します。

PHSTAT2 レジスタ（レジスタ 3-6）には、ステータスビットがあり、PHY モジュールがネットワークに接続して送信 / 受信が実行中であることを示します。

3.3.5 PHID1 および PHID2 レジスタ

PHID1 および PHID2 レジスタは、読み出し専用レジスタであり、定数データを保持してイーサネットコントローラの認識ができるためデバッグ用に使用されます。このレジスタに含まれる情報は次のとおりです。

- PHY モジュールの型番 (PPN5:PPN0)
- PHY モジュールのリビジョン レベル (PREV3:PREV0);
- PHY 識別コード、マイクロチップ社の OUI (OUI3:OUI24)

PHY の型番およびリビジョンは、PHID2 に含まれます。PHY 識別コードの上位 2 バイトは、PHID1 に含まれ、残りのバイトは、PHID2 に含まれます。表 3-3 に、レジスタ内の正確なロケーションを示します。PHY 識別コードに含まれる 22 ビットの OUI (OUI3:OUI24、PHID1<15:0> および PHID2<15:10> に相当する) の先頭に、OUI1 および OUI2 として 2 文字の「00」が結合され、全 OUI が生成されます。この結合した 24 ビットの文字列は、通常 16 進数で表されます。つまり、マイクロチップテクノロジー社の OUI は、「0004A3h」となります。

リビジョン情報は、EREVID に含まれます。これは、読み出し専用の制御レジスタで、5 ビットの識別コードでデバイスの特定制シリコンのリビジョンレベルを表します。表 3-2 に、このレジスタの詳細を示します。

レジスタ 3-5: PHSTAT1: 物理層ステータス レジスタ 1

U-0	U-0	U-0	R-1	R-1	U-0	U-0	U-0
—	—	—	PFDPX	PHDPX	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	R/LL-0	R/LH-0	U-0
—	—	—	—	—	LLSTAT	JBSTAT	—
bit 7							bit 0

記号:	'1' = セット	
R = 読み出し専用ビット	'0' = クリア	U = 未実装ビット、0 として読み出される
-n = POR 後の値	RL = 読み出し専用ラッチ ビット	LL = Low をラッチするビット LH = High をラッチするビット

- bit 15-13 **未実装ビット** : 0 が読み出される
- bit 12 **PFDPX**: PHY 全二重可能ビット
1 = PHY は全二重通信で 10Mbps 動作が可能 (このビットは常にセット)
- bit 11 **PHDPX**: PHY 半二重可能ビット
1 = PHY は半二重通信で 10Mbps 動作が可能 (このビットは常にセット)
- bit 10-3 **未実装ビット** : 0 が読み出される
- bit 2 **LLSTAT**: PHY ラッチ リンク ステータス ビット
1 = PHSTAT1 の最後の読み出しから、リンクは継続的に正常動作状態
0 = PHSTAT1 の最後の読み出しから、リンクは切断しているか、していた状態
- bit 1 **JBSTAT**: PHY ジャバーステータス保持ビット
1 = PHSTAT1 の最後の読み出しから、送信はジャバーステータスを検出した
0 = PHSTAT1 の最後の読み出しから、送信はジャバーステータスを検出していない
- bit 0 **未実装ビット** : 0 が読み出される

ENC28J60

レジスタ 3-6: PHSTAT2: 物理層ステータス レジスタ 2

U-0	U-0	R-0	R-0	R-0	R-0	R-x	U-0
—	—	TXSTAT	RXSTAT	COLSTAT	LSTAT	DPXSTAT ⁽¹⁾	—
bit 15						bit 8	

U-0	U-0	R-0	U-0	U-0	U-0	U-0	U-0
—	—	PLRITY	—	—	—	—	—
bit 7						bit 0	

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 15-14 **未実装ビット** : 0 が読み出される
- bit 13 **TXSTAT**: PHY 送信ステータス ビット
 1 = PHY はデータを送信中
 0 = PHY はデータを送信中ではない
- bit 12 **RXSTAT**: PHY 受信ステータス ビット
 1 = PHY はデータを受信中
 0 = PHY はデータを受信中ではない
- bit 11 **COLSTAT**: PHY 競合ステータス ビット
 1 = 競合が発生
 0 = 競合なし
- bit 10 **LSTAT**: PHY リンク ステータス ビット (ラッチなし)
 1 = リンクは正常
 0 = リンクは切断
- bit 9 **DPXSTAT**: PHY 二重ステータス ビット ⁽¹⁾
 1 = PHY は、全二重通信として設定 (PHCON1<8> をセット)
 0 = PHY は、半二重通信として設定 (PHCON1<8> をクリア)
- bit 8-6 **未実装ビット** : 0 が読み出される
- bit 5 **PLRITY**: 極性ステータス ビット
 1 = TPIN+/TPIN- の信号極性は逆
 0 = TPIN+/TPIN- の信号極性は正しい
- bit 4-0 **未実装ビット** : 0 が読み出される

注 1: 二重モード / ステータスビットの Reset 値は、LEDB ピンへの LED 接続によって異なります。詳細は、2.6 「LED コンフィギュレーション」を参照してください。

4.0 シリアル ペリフェラル インターフェイス (SPI)

4.1 概要

ENC28J60 は、多くのマイクロコントローラに付いているシリアル ペリフェラル インターフェイス (SPI) ポートと直接インターフェイスできます。このデバイスは、SPI

モード 0,0 にのみ対応しています。また、SPI ポートでは、SCK ピンが Low ステートでアイドルになる必要があります。クロック極性の選択はできません。

コマンドおよびデータは、SI ピンを介して入力され、SCK クロックの立ち上がりエッジでデータを取得します。ENC28J60 からの出力データは、SO ピンを介して、SCK の立ち下がりエッジで出力されます。動作中、CS ピンは Low 駆動し、動作が完了したら High に戻します。

図 4-1: SPI の入力タイミング

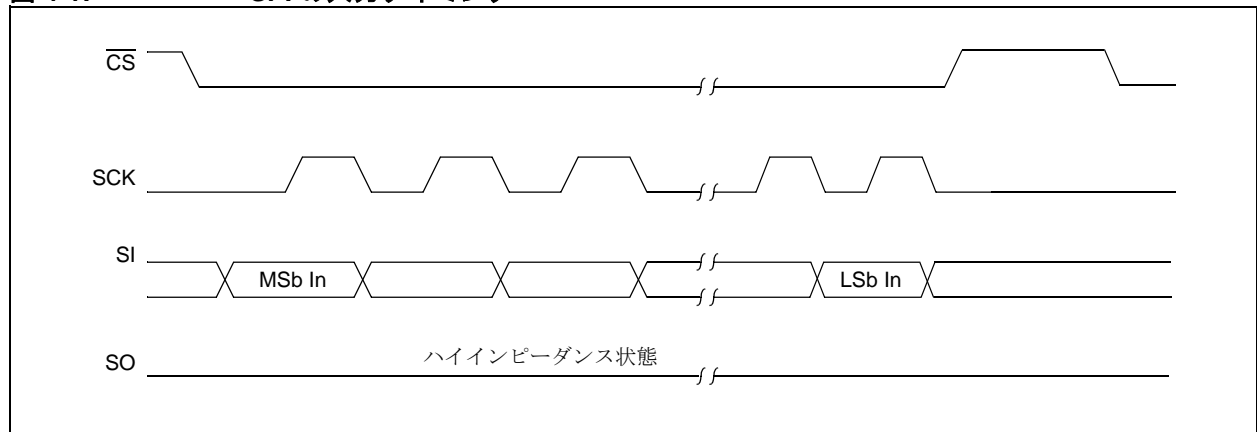
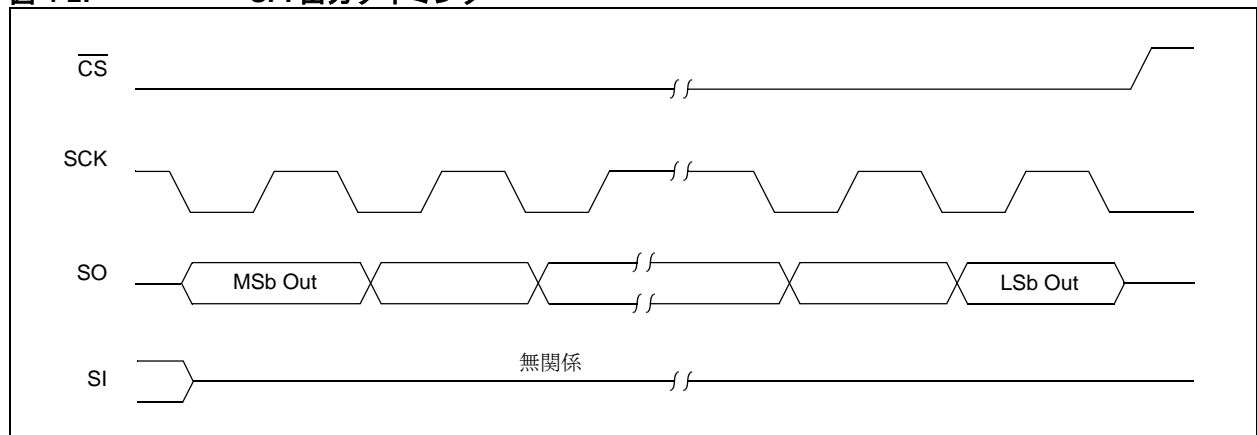


図 4-2: SPI 出力タイミング



ENC28J60

4.2 SPI 命令セット

ENC28J60 の動作は、SPI で接続されている外部ホストコントローラから与えられるコマンドに依存します。これらのコマンドは 1 バイト以上で構成され、制御メモリおよびイーサネット バッファ空間へアクセスするのに使用されます。通常、3 ビットの Opcode およびレ

ジスタ アドレスまたはデータ定数を特定する 5 ビットの引数で構成されています。書き込みおよびビットフィールド命令も 1 バイト以上のデータが続きます。合計 7 つの命令が、ENC28J60 に実装されています。表 4-1 に、すべての動作のコマンド コードを示します。

表 4-1: ENC28J60 の SPI 命令セット

命令の名前と省略記号	バイト 0						バイト 1 およびそれ以降									
	Opcode			引数			データ									
制御レジスタ読み出し (RCR)	0	0	0	a	a	a	a	a	N/A							
バッファ メモリ読み出し (RBM)	0	0	1	1	1	0	1	0	N/A							
制御レジスタ書き込み (WCR)	0	1	0	a	a	a	a	a	d	d	d	d	d	d	d	d
バッファ メモリ書き込み (WBM)	0	1	1	1	1	0	1	0	d	d	d	d	d	d	d	d
ビット フィールド セット (BFS)	1	0	0	a	a	a	a	a	d	d	d	d	d	d	d	d
ビット フィールド クリア (BFC)	1	0	1	a	a	a	a	a	d	d	d	d	d	d	d	d
システム リセット コマンド (ソフト リセット) (SRC)	1	1	1	1	1	1	1	1	N/A							

記号: a = 制御レジスタ アドレス、d = データ ペイロード

4.2.1 制御レジスタ読み出しコマンド

制御レジスタ読み出し (RCR) コマンドにより、ホストコントローラが ETH、MAC、および MII レジスタを任意の順序で読み出すことができます。PHY のコンテンツは、特殊な MII レジスタ インターフェイスを介して読み出されます (詳細は、3.3.1 「PHY レジスタの読み出し」を参照)。

RCR コマンドは、CS ピンを Low に駆動すると開始されます。そして RCR Opcode が ENC28J60 に送信され、続いて 5 ビットのレジスタ アドレス (A4 ~ A0) が送信されます。この 5 ビット アドレスで、現在のパン

クにある 32 制御レジスタのどれかを特定します。5 ビット アドレスが ETH レジスタを指定する場合は、選択したレジスタにあるデータが直ぐ MSB 順に SO ピンからシフト アウトされます。図 4-3 に、これらのレジスタの読み出しシーケンスを示します。

このアドレスが MAC または MII レジスタを指定する場合は、最初にダミー バイトが SO ピンから出力されます。そのダミー バイトの後に、データが MSB 順に SO ピンからシフト アウトされます。CS ピンが High になると、RCR 動作が終了します。図 4-4 に、MAC および MII レジスタの読み出しシーケンスを示します。

図 4-3: 制御レジスタ読み出しコマンドのシーケンス (ETH レジスタの場合)

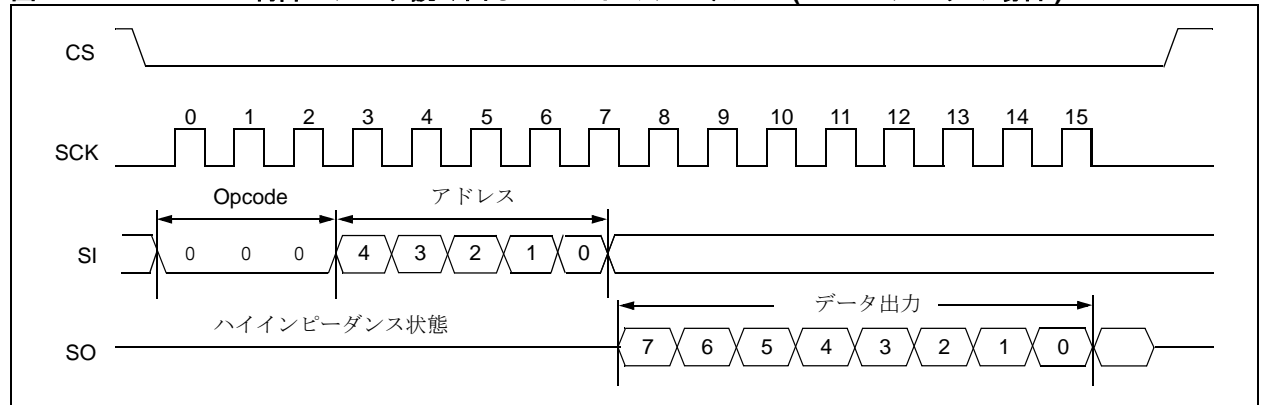
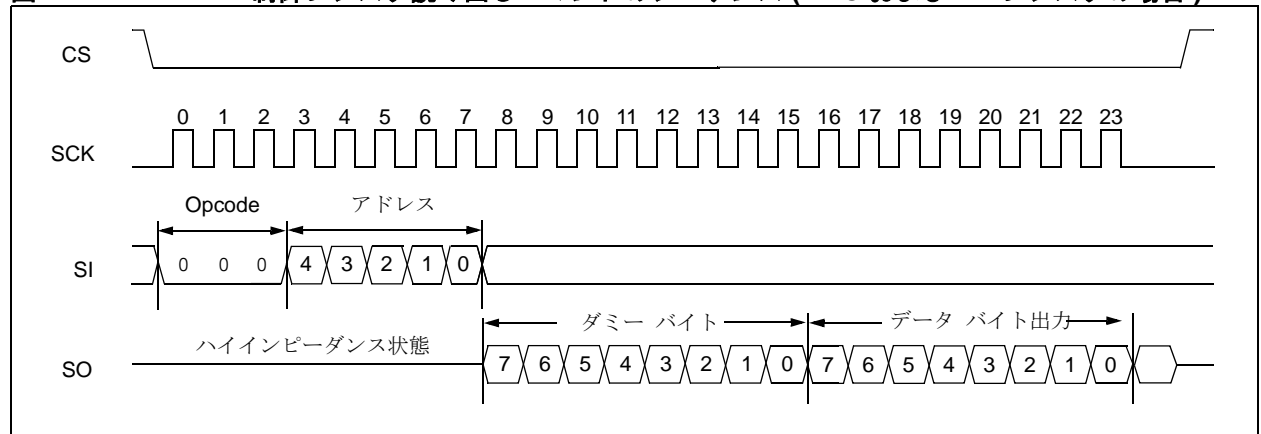


図 4-4: 制御レジスタ読み出しコマンドのシーケンス (MAC および MII レジスタの場合)



4.2.2 バッファメモリ読み出しコマンド

読み出しバッファメモリ (RBM) コマンドにより、送信と受信バッファメモリが統合した 8K バイトのメモリからバイトデータを読み出すことができます。

ECON2 レジスタの AUTOINC ビットがセットされている場合、各バイトの最後のビットが読まれると、ERDPT ポインタが自動的に次のアドレスへインクリメントします。通常、次のアドレスとは、現在のアドレスに 1 をインクリメントしたアドレスになります。ただし、受信バッファの最後のバイトが読み出された場合 (ERDPT = ERXND) は、ERDPT ポインタが受信バッファの開始点 (ERXST) へ変更されます。この機能により、ホストコントローラは、折り返しするタイミングをモニタする必要なしに、連続的に受信バッファからパケットを読み出すことが可能です。アドレス 1FFFh が読み出されるときに AUTOINC がセットされており、ERXND がこのアドレスを指定しない場合は、読み出しポインタはインクリメントして 0000h にへ折り返します。

\overline{CS} ピンを Low にすると、RBM コマンドが開始されます。RBM Opcode が ENC28J60 へ送信され、続いて 5 ビットの定数 1Ah が送信されます。RBM コマンドと定数が送信された後に、ERDPT で指定されたメモリアドレスのデータが、SO ピンから MSB 順にシフトアウトされます。ホストコントローラが連続的に SCL ピンにクロックを供給し、 \overline{CS} ピンを High にしない限り、ERDPT で指定されたバイトデータが SO ピンから MSB 順にシフトアウトします。このように、AUTOINC が有効の場合は、その他の SPI コマンドを使用せずに、バッファメモリから連続的にバイトデータを読み出すことができます。RBM コマンドは、 \overline{CS} ピンを High にすると無効になります。

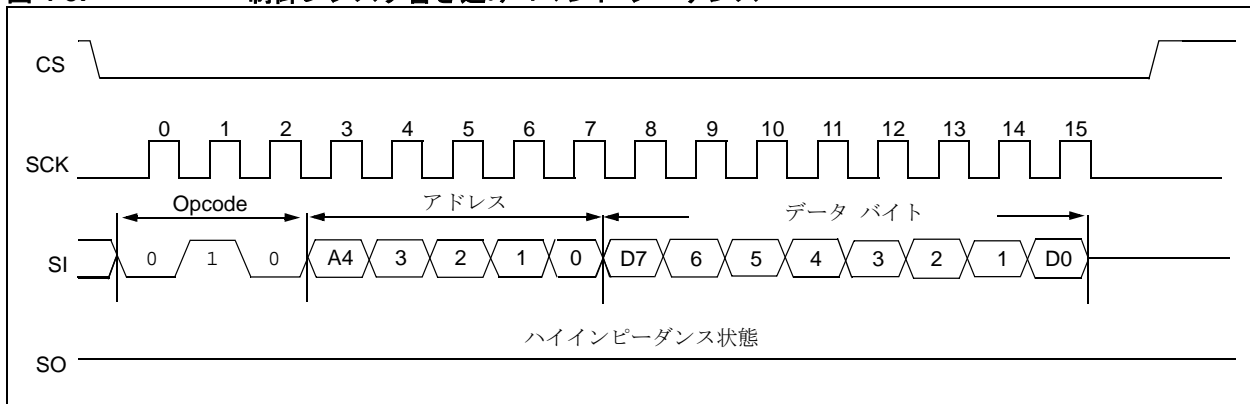
4.2.3 制御レジスタ書き込みコマンド

制御レジスタ書き込み (WCR) コマンドにより、ホストコントローラが、ETH、MAC、および MII レジスタへ任意の順番で書き込みできます。PHY レジスタへの書き込みは、特殊な MII レジスタ インターフェイスを介して実行されます (詳細は、3.3.2 「PHY レジスタへの書き込み」を参照)。

WCR コマンドは、 \overline{CS} ピンを Low にすると開始されます。WCR Opcode が ENC28J60 へ送信され、続いて 5 ビットのレジスタアドレス (A4 ~ A0) が送信されます。この 5 ビットアドレスで、現在のバンクにある 32 制御レジスタのどれかを認識します。WCR コマンドとアドレスが送信された後、実際に書き込まれるデータが MSB 順に送信されます。このデータは、SCK の立ち上がりエッジで、アドレス指定されたレジスタへ書き込まれます。

\overline{CS} ピンを High にすると WCR 動作は停止します。8 ビットがロードされる前に \overline{CS} ピンを High にした場合は、そのバイトデータに対する書き込みが中断されず、バイト書き込みシーケンスのタイミングの詳細は、図 4-5 を参照してください。

図 4-5: 制御レジスタ書き込みコマンドシーケンス



4.2.4 バッファ メモリ書き込みコマンド

バッファ メモリ 書き込み (RBM) コマンドにより、送信と受信バッファ メモリ が統合した 8K バイトのメモリへホスト コントローラがバイト データを書き込むことができます。

ECON2 レジスタで AUTOINC ビット がセットされている場合、各バイトの最後のビットが書き込まれた後、EWRPT ポインタが自動的にインクリメントされて次のアドレス (現在のアドレス + 1) を指定します。AUTOINC がセットされていて、アドレス 1FFFh が書き込まれた場合は、書き込みポインタが 0000h へインクリメントされます。

CS ピンを Low にすると WBM コマンドが開始されます。まず WBM Opcode が ENC28J60 へ送信され、続いて 5 ビットの定数 1Ah が送信されます。WBM コマンドと定数が送信された後に、EWRPT が指定するメモリに格納されるデータが、ENC28J60 へ MSB 順にシフトアウトされます。AUTOINC がセットされている場合、8 ビットのデータが受信されると、書き込みポインタは自動的にインクリメントされます。CS ピンを High にしない限り、ホスト コントローラは SCK ピンにクロックを供給し、SI ピンにデータを送信すれば連続的にメモリへ書き込みを実行できます。このように、AUTOINC が有効の場合は、その他の SPI コマンドを使用することなく連続的にバッファ メモリへバイト データを書き込みできます。

CS ピンを High にすると WBM コマンドは無効になります。図 4-6 に、書き込みシーケンスの詳細を示します。

4.2.5 ビット フィールド セット コマンド

ビット フィールド セット (BFS) コマンドにより、ETH 制御レジスタの中の最大 8 ビット までをセットできます。このコマンドは、MAC レジスタ、MII レジスタ、PHY レジスタ、またはバッファ メモリ では使用できません。BFS コマンドは、提供されたデータ バイトを使用し、アドレス指定されたレジスタ コンテンツとのビット OR を実行します。

CS ピンを Low にすると、BFS コマンドが開始されます。まずは BFS Opcode が送信され、続いて 5 ビットのアドレス (A4 ~ A0) が送信されます。この 5 ビット アドレスで現在のバンク内にある ETH レジスタのどれかを認識します。BFS コマンドとアドレスが送信された後に、ビット フィールド セット 情報を含むデータ バイトが MSB 順に送信されます。D0 ビットの SCK 信号の立ち上がりエッジで、提供されたデータとアドレス指定されたレジスタ データの OR がとられます。

8 ビット がロードされる前に CS ピンが High になると、そのバイト データに対する動作が中断されます。BFS 動作を終了するには、CS ピンを High にします。

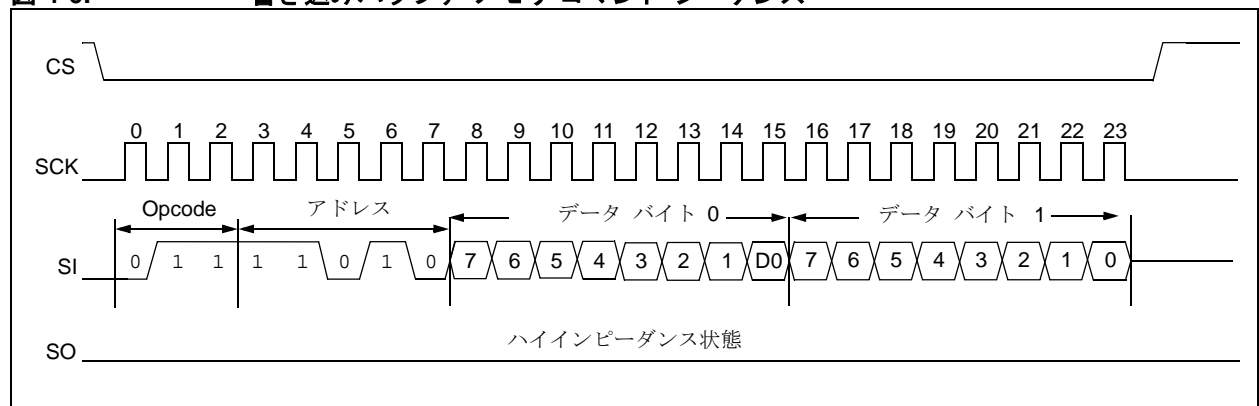
4.2.6 ビット フィールド クリア コマンド

ビット フィールド クリア (BFC) コマンドにより、ETH レジスタにある最大 8 ビットをクリアできます。このコマンドは、MAC レジスタ、MII レジスタ、PHY レジスタ、またはバッファ メモリ では使用できません。BFC コマンドは、提供されたデータ バイトとアドレス指定されたレジスタ コンテンツとのビット毎の NOTAND 動作をします。たとえば、あるレジスタ コンテンツが F1h のとき、オペランド 17h を使用して BFC コマンドを実行すると、このレジスタ コンテンツは E0h に変更されます。

CS ピンを Low にすると、BFC コマンドが開始されます。まず BFC Opcode が送信され、続いて 5 ビットのアドレス (A4 ~ A0) が送信されます。この 5 ビット アドレスで、現在のバンクの中にある ETH レジスタのどれかを認識します。BFC コマンドとアドレスが送信された後、ビット フィールド クリア 情報を含むデータ バイトが MSB 順に送信されます。D0 ビットの SCK 信号の立ち上がりエッジで、提供されたデータが反転され、そしてアドレス指定されたレジスタ データとの AND がとられます。

CS ピンを High にすると BFC 動作が終了します。8 ビット がロードされる前に CS ピンが High になると、そのデータ バイト に対する動作は中断されます。

図 4-6: 書き込みバッファ メモリ コマンド シーケンス



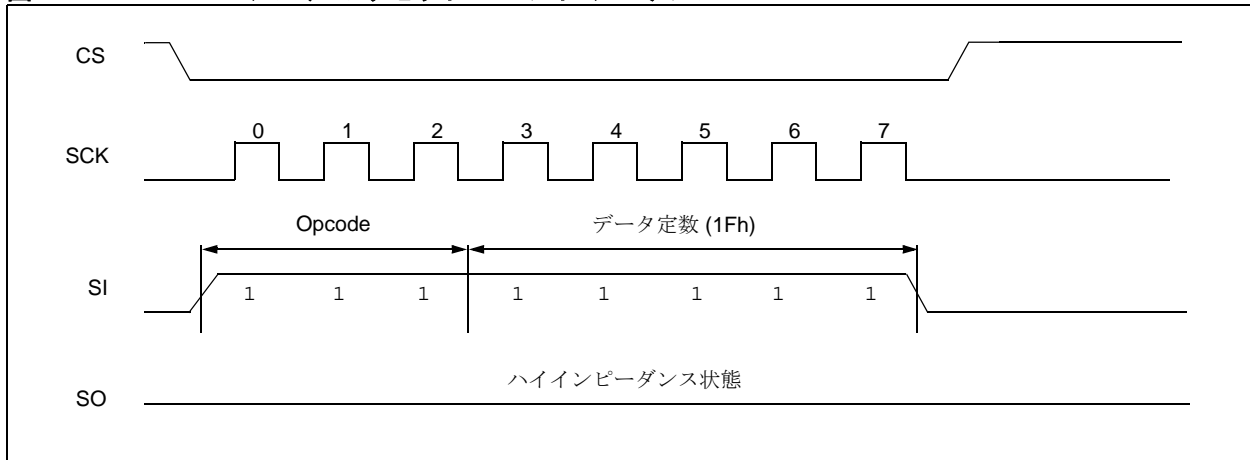
4.2.7 システム リセット コマンド

システム リセット コマンド (SRC) により、ホスト コントローラがシステム ソフト リセット コマンドを実行できます。SRC は、ほかの SPI コマンドとは異なり、シングルバイトで構成され、レジスタに対しては実行できません。

CS ピンを Low にすると、SRC コマンドが開始されます。そして SRC Opcode が送信され、続いて 5 ビットのソフト リセット コマンド定数 1Fh が送信されます。CS ピンを High にすると SRC 動作が停止します。

図 4-7 に、システム リセット コマンド シーケンスの詳細を示します。SRC のソフト リセットの詳細は、11.2 「システム リセット」を参照してください。

図 4-7: システム リセット コマンド シーケンス



5.0 イーサネットの概要

ENC28J60 をイーサネット インターフェイスとして使用する方法について説明する前に、標準的なデータフレーム構造について復習します。詳細情報が必要な方は、イーサネット プロトコルの基本となる IEEE 規格 802.3 を参照してください。

5.1 パケット形式

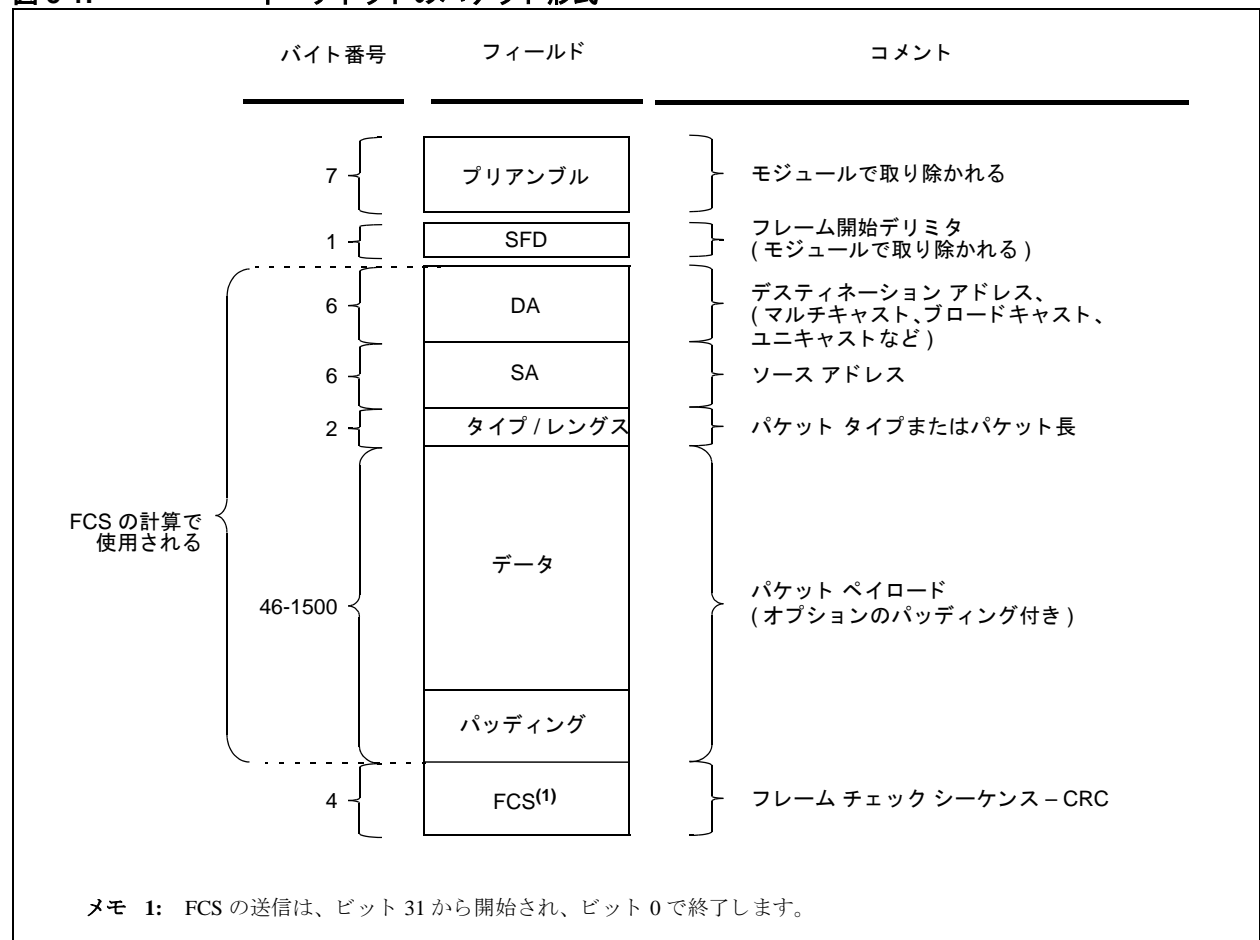
標準的な IEEE 802.3 準拠のイーサネット フレーム長は、64 ~ 1518 バイトです。これらは 5 つまたは 6 つのセクション (デスティネーション MAC アドレス、ソース MAC アドレス、タイプ / レンクス フィールド、データ ペイロード、オプションのパディング フィールド、および巡回冗長チェック (CRC)) で構成されています。さらに、イーサネット媒体で送信されるとき、7 バイトのプリアンブルおよび SFD (フ

レーム開始デリミタ) バイトがイーサネット パケットの最初に追加されます。図 5-1 に、ツイスト ペア ケーブルでのパケット形式を示します。

5.1.1 プリアンブル/SFD (フレーム開始デリミタ)

プリアンブル バイトおよびフレーム開始デリミタ バイトは、ENC28J60 がデータの送受信を行うときに自動で生成されます。またはこれらは送受信されるときにパケットから自動で切り離されます。ホスト コントローラはこれらのバイトに関して何もする必要はありません。また、ENC28J60 は送信時にパディングや CRC チェックも自動生成し、受信時に検証しますので、通常、ホスト コントローラはこれらのバイトに関しても何もする必要はありません。ただし、パディングおよび CRC フィールドは、パケット受信時に受信バッファに書き込まれるため、必要に応じて、ホスト コントローラでこれらを検証することが可能です。

図 5-1: イーサネットのパケット形式



5.1.2 デスティネーション アドレス

デスティネーション アドレス フィールドは6バイトあり、パケットが送られるデバイスのMACアドレスが配置されています。MACアドレスの最初のバイトのLSBがセットされている場合は、マルチキャスト デスティネーション アドレスです。たとえば、01-00-00-00-F0-00 および 33-45-67-89-AB-CD はマルチキャスト アドレスです。一方、00-00-00-00-F0-00 および 32-45-67-89-AB-CD はマルチキャスト アドレスではありません。

マルチキャスト デスティネーション アドレスを持つパケットは、特定のイーサネット ノード グループへ送信されます。デスティネーション アドレス フィールドが予約のマルチキャスト アドレス FF-FF-FF-FF-FF-FF の場合、パケットはブロードキャスト パケットとなり、ネットワークを共有するノード グループへ送信されます。MACアドレスの最初のバイトのLSBがクリアされると、このアドレスはユニキャスト アドレスとなり、アドレス指定した1つのノードのみに送信されます。

ENC28J60には受信フィルタが内蔵されているため、マルチキャスト、ブロードキャスト、またはユニキャスト デスティネーション アドレスを持つパケットを破棄/受信できます。パケット送信する場合は、ホスト コントローラが相手のデスティネーション アドレスを送信バッファへ書き込む必要があります。

5.1.3 ソース アドレス

ソース アドレス フィールドは6バイトあり、イーサネット パケットを作成したノードのMACアドレスが配置されています。ENC28J60ユーザーは、使用する各コントローラ用に専用のMACアドレスを生成する必要があります。

MACアドレスは2つに分けられます。始めの3バイトは、OUI (Organizationally Unique Identifier) と呼ばれる固有の番号であり、IEEE で承認されて与えられます。残りの3バイトは、OUI を購入したメーカーが任意で与えることができるアドレス バイトです。

パケット送信時に、ホスト コントローラによって、割り当てられたソース MACアドレスを送信バッファへ書き込む必要があります。ENC28J60は、ユニキャスト 受信フィルタ用に使用される MAADRレジスタのコンテンツを自動送信しません。

5.1.4 タイプ/レングス

タイプ/レングス フィールドは2バイトであり、送信されるパケット データが属するプロトコルを定義します。このフィールドに05DCh (1500) またはそれより小さい値が配置されている場合、このフィールドはレングス フィールドとして考えられ、データ フィールド内にあるデータ長(パディング データを含まない)を示しています。独自のネットワークを実装しているユーザーは、このフィールドをレングス フィールドとして使用することができます。一方、IP(インターネット プロトコル)またはARP(アドレスリゾリューション プロトコル)などのプロトコルを実装しているアプリケーションの場合は、パケット送信時にプロトコルの仕様で定義されている適切なタイプをこのフィールドにプログラムする必要があります。

5.1.5 データ

データ フィールドは、0 ~ 1500 バイトまでの可変長フィールドです。大規模データ パケットは、イーサネット規格に違反し、ほとんどのイーサネット ノードで破棄されます。しかしながら、ENC28J60の場合は大規模フレーム イネーブルビット (MACON3.HFRMEN=1) をセットすると、大規模パケットの送受信が可能になります。

5.1.6 パディング

パディング フィールドは、短いデータ ペイロードが使用されるときに、IEEE 802.3仕様を満たすために追加される可変長フィールドです。イーサネット パケットのデスティネーション、ソース、タイプ、データ、およびパディングは、60 バイト以上でなければなりません。4 バイトのCRCフィールドを追加すると、パケットは64 バイト以上になります。データ フィールドが46 バイトに満たない長さの場合は、パディング フィールドが必要になります。

ENC28J60のパケット送信で、MACON3.PADCFG<2:0>が設定されている場合は、自動的に0の値のパディングビットを追加します。設定されていない場合は、パケット送信前にホスト コントローラでパディングを手動追加する必要があります。ENC28J60は、短いパケットを送信する際に、ホスト コントローラへ適切な措置をさせるコマンド 命令を出しません。

ENC28J60のパケット受信では、18 バイトに満たないパケットを自動的に拒否します。つまり、このサイズのパケットは、通常必要とされる最小限のソースおよびデスティネーション アドレス、タイプ情報、FCS チェックサムが含まれていないものと判断されます。18 バイト以上のすべてのパケットは、標準的な受信フィルタの基準に従って受信されます。IEEE 802.3に準拠させるには、すべての受信パケットをアプリケーションでチェックし、64 バイトに満たないパケットを受信拒否する必要があります。

5.1.7 CRC

CRCフィールドは4バイトであり、デスティネーション、ソース、タイプ、データ、およびパディング フィールドにあるデータを計算した、業界標準の32ビット CRCが含まれています。

パケット受信時に、ENC28J60は入力されるパケットのCRCをチェックします。ERXFCN.CRCENがセットされている場合、無効なCRC値があるパケットは自動的に破棄されます。CRCENがクリアされ、パケットがその他の受信フィルタの基準を満たした場合、そのパケットは受信バッファへ書き込まれます。そしてホスト コントローラは受信ステータス ベクタを読み出してCRCが有効であるかを判断します(詳細は、7.2「パケット 受信」を参照)。

パケット送信時、MACON3.PADCFG<2:0>ビットがセットされている場合は、ENC28J60が自動的に有効なCRCを生成します。セットされていない場合は、ホスト コントローラでCRCを生成して送信バッファ内に配置する必要があります。CRC計算の複雑性を考慮すると、ENC28J60は自動的にCRCフィールドを生成できるため、できる限りPADCFGビットをセットすることを推奨します。

6.0 初期化

ENC28J60 を使用してパケットを送信および受信する前に、特定デバイスの設定を初期化する必要があります。アプリケーションによっては、コンフィギュレーション オプションを変更する必要があります。通常、これらのタスクはリセット後に 1 度行うだけで、その後変更する必要はありません。

6.1 受信バッファ

パケットを受信する前に、ERXST および ERXND ポインタをプログラムして受信バッファを初期化する必要があります。ERXST および ERXND アドレスを含む、この 2 つのアドレス間のすべてのメモリは、受信ハードウェア用となります。ERXST ポインタは、偶数アドレスでプログラムすることを推奨します。

大容量データおよび頻繁なパケット送受信を扱うアプリケーションの場合は、大半のメモリを受信バッファとして確保します。古いパケットを保存する必要がない場合、あるいは複数の送信パケットを使うようなアプリケーションの場合は、メモリ確保を少なくします。

ERXST または ERXND ポインタをプログラミングすると、ERXWRPT レジスタの内部ハードウェア コピーが自動的に ERXST の値で更新されます。この値は、受信ハードウェアが受信データを書き込む際の開始位置として使用されます。ERXWRPT は、新しいパケットが問題なく受信されたときのみ、ハードウェアによって更新されます。

<p>注： ERXST または ERXND への書き込み後すぐには、ERXWRPT レジスタは更新されません。ERXWRPT レジスタの内部ハードウェア コピーのみ更新されます。したがって、ファームウェアの初期化ルーチンでは、ERXWRPT == ERXST という関係は成り立ちません。</p>

トラッキング用として、ERXRDPT レジスタも同じ値でプログラムする必要があります。ERXRDPT をプログラムするには、ホスト コントローラがまず ERXRDPTL へ書き込みを実行し、次に ERXRDPTH へ書き込みます。詳細は、7.2.4「受信バッファのスペースを開放する」を参照してください。

6.2 送信バッファ

受信バッファとして使用されないすべてのメモリは、送信バッファとなります。送信されるデータは、未使用スペース内に書き込まれる必要があります。パケット送信後、ハードウェアがバッファ メモリに 7 バイトのステータス ベクタを書き込むため、ホスト コントローラは各パケットの最後と受信バッファの最初の間を 7 バイト以上空けておく必要があります。送信バッファの初期化は自動的に実行されます。

6.3 受信フィルタ

ERXFCN レジスタを適切に設定して、受信フィルタを有効または無効にする必要があります。設定方法は、8.0「受信フィルタ」を参照してください。

6.4 OST を待機する

POR 後、すぐに初期化プロセスが実行されます。MAC および PHY レジスタを編集する前に十分な時間が経過していることを確認するため、ESTAT.CLKRDY ビットをポーリングする必要があります。OST の詳細は、2.2「オシレータ スタートアップ タイマ」を参照してください。

6.5 MAC 初期化設定

いくつかの MAC レジスタでは、初期化中にコンフィギュレーションが必要です。これは 1 回のみ必要であり、プログラミング順序は特に指定されていません。

1. MACON1 の MARXEN ビットを設定して、MAC がフレームを受信できるようにします。全二重を使用する場合、通常アプリケーションでは TXPAUS と RXPAUS も設定して、IEEE で定義されたフロー制御が機能するようにします。
2. MACON3 の PADCFG、TXCRCEN、および FULDPX ビットを設定します。通常アプリケーションでは、最小 60 バイトの自動パディングを有効にし、常に有効な CRC を追加します。便宜上、多くのアプリケーションでは FRMLNEN ビットも設定し、フレーム長のステータス レポートを有効にします。アプリケーションが全二重としてコンフィギュレーションされたリモート ノードと接続する場合は、FULDPX ビットを設定する必要があります。そうでない場合、このビットを設定する必要はありません。
3. MACON4 のビットを設定します。IEEE 802.3 規格に準拠するように、DEFER ビットを設定

します。

4. 受信 / 送信時に許容する最大フレーム長を MAMXFL レジスタにプログラムします。通常のネットワーク ノードは、1518 バイト以下のパケットを送受信できます。
5. MABBIPG に連続パケット間のギャップを設定します。通常アプリケーションでは、全二重を使用する場合は 15h、半二重を使用する場合は 12h を設定します。
6. MAIPGL レジスタに非連続パケット間のギャップを設定します。通常アプリケーションでは、12h を設定します。
7. 半二重を使用する場合は、MAIPGH を設定する必要があります。通常アプリケーションでは、0Ch を設定します。
8. 半二重を使用する場合は、MACLCON1 および MACLCON2 レジスタに再送と衝突の遅延を設定します。通常アプリケーションでは、デフォルトの Reset 値をそのまま使用しますが、特に長いケーブルの場合は、MACLCON2 のデフォルト値を大きくする必要があります。
9. MAADR1:MAADR6 レジスタにローカル MAC アドレスをプログラムします。

レジスタ 6-1: MACON1: MAC 制御レジスタ 1

U-0	U-0	U-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	r	TXPAUS	RXPAUS	PASSALL	MARXEN
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 7-5 **未実装ビット**: 0 が読み出される
- bit 4 **予約**: 0 を保持する
- bit 3 **TXPAUS**: ポーズ制御フレーム送信イネーブル ビット
 1 = MAC がポーズ制御フレームを送信する (全二重のフロー制御に必要)
 0 = ポーズ フレームを送信しない
- bit 2 **RXPAUS**: ポーズ制御フレーム受信イネーブルビット
 1 = ポーズ制御フレームの受信時に、送信を禁止する (通常動作)
 0 = 受信するポーズ制御フレームを無視する
- bit 1 **PASSALL**: パス オール受信フレーム イネーブルビット
 1 = フィルタかけられていない場合、MAC で受信された制御フレームはすべて受信バッファへ書き込まれる
 0 = MAC で処理された後、制御フレームは破棄される (通常動作)
- bit 0 **MARXEN**: MAC 受信イネーブル ビット
 1 = MAC がパケットを受信する
 0 = パケットを受信しない

レジスタ 6-2: MACON3: MAC 制御レジスタ 3

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PADCFG2	PADCFG1	PADCFG0	TXCRCEN	PHDREN	HFRMEN	FRMLNEN	FULDPX
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 7-5 PADCFG2:PADCFG0: 自動パッドおよび CRC コンフィギュレーションビット**
 111 = すべての短いフレームは、60 バイトになるまで 0 値がパディングされ、有効な CRC が追加される
 110 = 短いフレームの自動パディングは無効
 101 = MAC が、8100h タイプ フィールドがある VLAN プロトコルを自動検出し、64 バイトまでの自動パディングを行う。フレームが VLAN フレームでない場合は、そのフレームに 60 バイトまでのパディングが行われる。パディング後に有効な CRC が追加される
 100 = 短いフレームの自動パディングは無効
 011 = すべての短いフレームは、64 バイトになるまで 0 値がパディングされ、有効な CRC が追加される
 010 = 短いフレームの自動パディングは無効
 001 = すべての短いフレームは、64 バイトになるまで 0 値がパディングされ、有効な CRC が追加される
 000 = 短いフレームの自動パディングは無効
- bit 4 TXCRCEN: 送信 CRC イネーブル ビット**
 1 = PADCFG に関わらず、MAC は送信されたすべてのフレームに有効な CRC を追加する。PADCFG で CRC が追加されるように設定している場合は、TXCRCEN を必ずセットする
 0 = MAC は CRC を追加しない。最後の 4 バイトが有効な CRC であるかをチェックし、異常なら送信ステータス ベクタにレポートする
- bit 3 PHDREN: 独自 (Proprietary) ヘッダ イネーブルビット**
 1 = MAC に送信されるフレームに、CRC 計算では使用されない 4 バイトの独自ヘッダが含まれている
 0 = 独自ヘッダは含まれていない。CRC がすべてのデータを計算する (通常動作)
- bit 2 HFRMEN: 大規模フレーム イネーブルビット**
 1 = どのような大きさのフレーム サイズでも送受信可能
 0 = MAMXFL より大規模なフレームの送受信は拒否される
- bit 1 FRMLNEN: フレーム レングス チェック イネーブルビット**
 1 = 送受信されるフレームのタイプ / レングスがチェックされる。レングスを指定した、フレーム サイズが指定サイズと比較され、一致しない場合は送信 / 受信ステータス ベクタにレポートされる
 0 = フレーム レングスはチェックされない
- bit 0 FULDPX: MAC 全二重イネーブルビット**
 1 = MAC は全二重モードで動作する。PDPXMD ビットも設定する必要がある
 0 = MAC は、半二重モードで動作する。PDPXMD ビットもクリアする必要がある

ENC28J60

レジスタ 6-3: MACON4: MAC 制御レジスタ 4

U-0	R/W-0	R/W-0	R/W-0	U-0	U-0	R-0	R-0
—	DEFER	BPEN	NOBKOFF	—	—	r	r
bit 7						bit 0	

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 7 **未実装ビット** : 0 が読み出される
- bit 6 **DEFER**: 遅延送信イネーブル ビット (半二重モードのみ)
 1 = 媒体が使用中の場合、MAC は媒体がフリーになるまで待機してから送信する (802.3 コンプライアンスでこの設定を使用)
 0 = 媒体が使用中の場合、MAC は遅延制限に達した後に送信を中断する
- bit 5 **BPEN**: バックプレッシャー中のノンバックオフ イネーブル ビット (半二重モードのみ)
 1 = バックプレッシャー中に衝突に遭遇したら、MAC はすぐに再送を開始する
 0 = バックプレッシャー中に衝突に遭遇したら、MAC は Binary Exponential Backoff アルゴリズムを使用して遅延してから再送を開始する (通常動作)
- bit 4 **NOBKOFF**: ノンバックオフ イネーブル ビット (半二重モードのみ)
 1 = いかなる衝突発生後でも、MAC はすぐに再送を開始する
 0 = いかなる衝突発生後でも、MAC は Binary Exponential Backoff アルゴリズムを使用して遅延した後に再送を開始する (通常動作)
- bit 3-2 **未実装ビット** : 0 が読み出される
- bit 1-0 **予約** : 0 を保持する

レジスタ 6-4: MABBIPG: MAC の連続パケット間のギャップを設定するレジスタ

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	BBIPG6	BBIPG5	BBIPG4	BBIPG3	BBIPG2	BBIPG1	BBIPG0
bit 7						bit 0	

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 7 **未実装ビット** : 0 が読み出される
- bit 6-0 **BBIPG6:BBIPG0**: 連続パケット間のギャップ遅延時間を設定するビット
FULDPX (MACON3<0>) = 1 の場合:
 連続シーケンスで、1つの送信が終わってから次の送信が始まるまでの間のニブル時間オフセット遅延。このレジスタ値は、任意の時間を設定 (ニブル時間 -3)。推奨値は 15h で、これは IEEE が指定する最低 IPG (Inter-Packet Gap) 値の 9.6 ms を表す
FULDPX (MACON3<0>) = 0 の場合:
 連続シーケンスで、1つの送信が終わってから、次の送信が始まるまでの間のニブル時間オフセット遅延。このレジスタ値は、任意の時間を設定 (ニブル時間 -6)。推奨値は 12h で、これは IEEE が指定する最低 IPG (Inter-Packet Gap) 値の 9.6 μs を表す

6.6 PHY の初期化設定

アプリケーションによっては、3つのPHYモジュールのレジスタにあるビットをコンフィギュレーションする必要があります。

PHCON1.PDPXMD ビットは、デバイスの半/全二重コンフィギュレーションを部分的に制御します。通常、このビットは、外部回路によって初期化されます(2.6「LEDコンフィギュレーション」参照)。外部回路がない場合、または外部回路が不正な場合は、ホストコントローラがこのビットを正しくプログラムする必要があります。もしくは、外部で設定可能なシステムの場合は、PDPXMD ビットを読み出し、FULDPX ビットを一致するようにプログラムすることも可能です。

正常な二重通信を実行するには、PHCON1.PDPXMD ビットが MACON3.FULDPX ビットの値と一致する必要があります。

半二重通信の場合は、ホストコントローラからPHCON2.HDLDIS ビットをセットし、送信されるデータが自動ループバック機能を無効にされないようにする必要があります。

PHYレジスタ(PHCON)は、LEDA および LEDB の出力を制御します。デフォルト以外のLEDコンフィギュレーションが必要なアプリケーションでは、変更したい条件に応じてPHCONを変更する必要があります。LED動作の設定については、2.6「LEDコンフィギュレーション」を参照してください。レジスタ2-2(9ページ)に、PHCONレジスタを示します。

レジスタ 6-5: PHCON2: PHY 制御レジスタ 2

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	FRCLNK	TXDIS	r	r	JABBER	r	HDLDIS
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
r	r	r	r	r	r	r	r
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 15 **未実装ビット** : 0 が読み出される
- bit 14 **FRCLNK**: PHY 強制リンクアップ ビット
 1 = リンク パートナーが検知されない場合でも、強制的にリンクアップさせる
 0 = 通常動作
- bit 13 **TXDIS**: ツイスト ペア トランスミッタ ディスエーブル ビット
 1 = ツイスト ペア送信を無効にする
 0 = 通常動作
- bit 12-11 **予約** : 0 が書き出される
- bit 10 **JABBER**: ジャバ修正ディスエーブル ビット
 1 = ジャバ修正を無効にする
 0 = 通常動作
- bit 9 **予約** : 0 が書き出される
- bit 8 **HDLDIS**: PHY 半二重ループバック ディスエーブル ビット
PHCON1<8> = 1 または PHCON1<14> = 1 の場合:
 このビットは無視される
PHCON1<8> = 0 および PHCON1<14> = 0 の場合:
 1 = 送信されたデータはツイスト ペア インターフェイスに送信されるのみ
 0 = 送信されたデータは MAC ヘルプバックされ、ツイスト ペア インターフェイスへも送信される
- bit 7-0 **予約** : 0 が書き出される

ENC28J60

メモ:

7.0 パケットの送受信

7.1 パケット送信

ENC28J60 に内蔵されている MAC は、送信時に自動的にプリアンプルおよびフレーム開始デリミタ フィールドを生成します。さらに、必要に応じて MAC がパディングや CRC を自動生成するようにも設定可能です。ホスト コントローラは、送信用のバッファ メモリへその他のフレーム フィールドを生成して書き込む必要

があります。また、ENC28J60 がパケット送信するには、各パケットに制御バイトが 1 つ必要です。図 7-1 に、パケットの制御バイトの構成を示します。パケットを送信する前に、送信特性を定義する MAC レジスタを **6.0 「初期化」** に記載されているように初期化する必要があります。図 7-2 に、全送信パケットおよびその結果のメモリ内容の例を示します。

図 7-1: パケットの制御バイトの構成



図 7-2: 送信パケット レイアウトの例

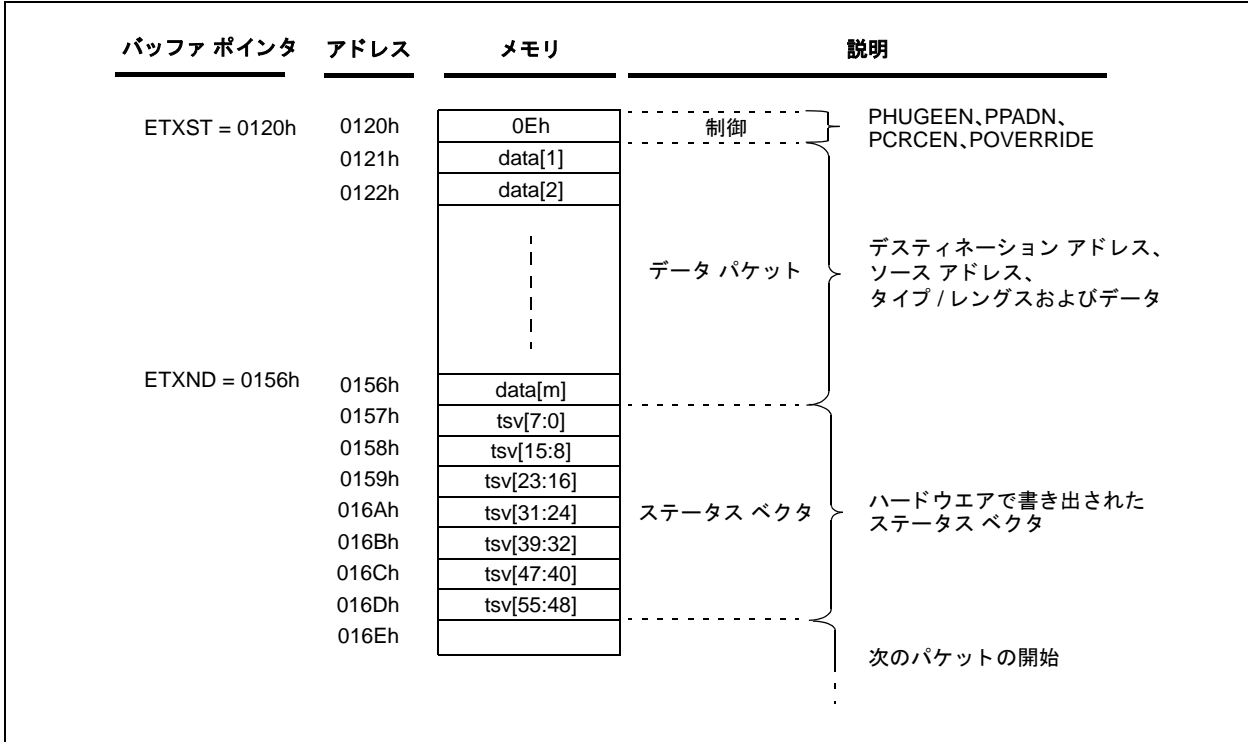


図 7-2 で示すようなレイアウト例を実現し送信するには、ホスト コントローラで次のことを実行する必要があります。

1. **ETXST** ポインタを適切にプログラムしてメモリ内の未使用アドレスを指定します。これは、各パケットの制御バイトを指定します。図の例では、0120h を指定しています。ETXST に指定するアドレスは、偶数値にすることを推奨します。
2. **WBM SPI** コマンドを使用して、各パケットの制御バイト、デスティネーション アドレス、ソース MAC アドレス、タイプ/レングスおよびデータ ペイロードの書き込みを実行します。
3. **ETXND** ポインタを適切にプログラムします。これは、データ ペイロードの最後のバイトを指定します。図の例では、0156h を指定しています。
4. **EIR.TXIF** をクリアし、**EIE.TXIE** をセット、そして **EIE.INTIE** をセットすると、完了時に割り込み信号が有効になります (必要な場合)。
5. **ECON1.TXRTS** をセットし、送信プロセスを開始させます。

TXRTS ビット がセットされている場合、DMA 動作が実行していると、ENC28J60 は DMA 動作が終了するまで待機し、その後パケットを送信します。DMA と送信エンジンは同じメモリ アクセス ポート を供給するた

め、このような時間の遅延が必要です。同様に、TXRTS がすでにセットされている状態で ECON1 の DMAST ビットをセットすると、DMA は TXRTS ビットがクリアされるまで待機し、その後、指定した動作を実行します。送信中、表 7-2 に示す影なしのビット (ECON1 レジスタのビットを除く) は変更されません。また、送信されるバイトは、SPI を介して読み出したり書き込みされません。ホスト コントローラが送信をキャンセルする場合は、TXRTS ビットをクリアしてください。

パケット送信が完了またはエラー/キャンセルにより中断された場合は、ECON1.TXRTS ビットがクリアされ、ETXND + 1 で指定されたアドレス ロケーションに 7 バイトの送信ステータス ベクタが書き込まれ、EIR.TXIF がセットされ、割り込みが生成されます (イネーブルの場合)。ETXST および ETXND ポインタは変更されません。パケット送信が完了したかを確認する場合は、ESTAT.TXABRT ビットを読み出す必要があります。このビットがセットされている場合は、ホスト コントローラが ESTAT.LATECOL ビット および送信ステータス ベクタ内のさまざまな領域をチェックして原因を調べます。表 7-1 に、送信ステータス ベクタの詳細を示します。マルチバイト フィールドは、リトルエンディアン形式で記述されています。

表 7-1: 送信ステータス ベクタ

ビット	フィールド	説明
55-52	Zero	0
51	Transmit VLAN Tagged Frame	フレームの長さ/タイプ フィールドには、8100h があり、これは LVLAN プロトコルの識別子
50	Backpressure Applied	キャリア センス手法のバックプレッシャーが事前に適用されている
49	Transmit Pause Control Frame	送信されたフレームは、有効なポーズ Opcode 付きの制御フレーム
48	Transmit Control Frame	送信されたフレームは、制御フレームである
47-32	Total Bytes Transmitted on Wire	現在のパケットにおける、ワイヤ上に送信された合計バイト (衝突したバイトすべてを含む)
31	Transmit Underrun	予約。このビットは常に 0 になる
30	Transmit Giant	フレームのバイト数が MAMXFL より大きい
29	Transmit Late Collision	衝突ウインドウ (MACLCON2) 以外で衝突が発生した
28	Transmit Excessive Collision	衝突数が最大再送数 (MACLCON1) を超えた後、パケット送信が中断された
27	Transmit Excessive Defer	パケットの遅延が 24,287 ビット時間 (2.4287ms) を超えた
26	Transmit Packet Defer	パケット送信が 1 回以上遅れているが、最大遅延値には到達していない
25	Transmit Broadcast	パケットのデスティネーション アドレスがブロードキャスト アドレスである
24	Transmit Multicast	パケットのデスティネーション アドレスがマルチキャスト アドレスである
23	Transmit Done	パケット送信完了
22	Transmit Length Out of Range	フレーム タイプ/レングス フィールドが 1500 バイト (タイプ フィールド) より大きい
21	Transmit Length Check Error	パケットのフレーム レングス フィールドの値が実際のデータ バイト レングス (タイプ フィールド) と一致せず、かつタイプ フィールドでもない。このエラーを取得するには、MACON3.FRMLNEN ビットをセットする必要がある
20	Transmit CRC Error	パケットに追加された CRC が内部生成された CRC と一致しない
19-16	Transmit Collision Count	パケット送信中に生じた衝突の数を示す。このビットは、問題なくパケット送信された場合にも使用される (最大衝突カウント 16)
15-0	Transmit Byte Count	衝突バイトを除いたフレームの合計バイト数

ENC28J60

表 7-2: パケット送信で使用されるレジスタのサマリ

レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット 値の参照 ページ
EIE	INTIE	PKTIE	DMAIE	LINKIE	TXIE	r	TXERIE	RXERIE	13
EIR	—	PKTIF	DMAIF	LINKIF	TXIF	r	TXERIF	RXERIF	13
ESTAT	INT	BUFER	r	LATECOL	—	RXBUSY	TXABRT	CLKRDY	13
ECON1	TXRST	RXRST	DMAST	CSUMEN	TXRTS	RXEN	BSEL1	BSEL0	13
ETXSTL	TX Start Low Byte (ETXST<7:0>)								13
ETXSTH	—	—	—	TX 開始上位バイト (ETXST<12:8>)					13
ETXNDL	TX 終了下位バイト (ETXND<7:0>)								13
ETXNDH	—	—	—	TX 終了上位バイト (ETXND<12:8>)					13
MACON1	—	—	—	r	TXPAUS	RXPAUS	PASSALL	MARXEN	14
MACON3	PADCFG2	PADCFG1	PADCFG0	TXCRCEN	PHDREN	HFRMEN	FRMLNEN	FULDPX	14
MACON4	—	DEFER	BPEN	NOBKOFF	—	—	r	r	14
MABBIPG	—	連続しないパケット間の空き上位バイト (BBIPG<6:0>)							14
MAIPGL	—	連続しないパケット間の空き下位バイト (MAIPGL<6:0>)							14
MAIPGH	—	連続しないパケット間の空き上位バイト (MAIPGH<6:0>)							14
MACLCON1	—	—	—	—	再送最大回数 (RETMAX<3:0>)				14
MACLCON2	—	—	衝突ウインドウ (COLWIN<5:0>)					14	
MAMXFLL	最大フレーム長下位バイト (MAMXFL<7:0>)								14
MAMXFLH	最大フレーム長上位バイト (MAMXFL<15:8>)								14

記号: — = 未実装ビット、r = 予約ビット。影付きのセルは使用されません。

7.2 パケット受信

7.2.1 受信を有効にする

受信バッファは初期化され、MAC は適切にコンフィギュレーションされ、受信フィルタはイーサネット パケットを受信するように設定されていることを前提として、ホスト コントローラは次を実行する必要があります。

1. パケット受信時に割り込みが必要な場合は、EIE.PKTIE および EIE.INTIE ビットをセットします。
2. バッファ スペースが十分でないためパケットが破棄される時、割り込みが必要な場合は、EIR.RXERIF をクリアして EIE.RXERIE および EIE.INTIE ビットをセットします。
3. ECON1.RXEN をセットして、受信を有効にします。

RXEN をセット後は、二重モードおよび受信バッファの開始および終了ポインタを変更してはいけません。また、予期しないパケットの受信を回避するため、受信フィルタのコンフィギュレーション (ERXFCON) および MAC アドレスを変更する前に、RXEN をクリアすることを推奨します。

受信が有効になると、フィルタ制御されないパケットが循環受信バッファへ書き込まれます。フィルタ制御により条件を満たさなかったパケットは破棄されます。ホスト コントローラではパケットが破棄されたことを確認する方法はありません。パケットが受信されてバッファへの書き込みが完了すると、EPKTCNTレジスタがインクリメントし、EIR.PKTIF ビットがセットされ、割り込みが生成され (有効の場合のみ)、そしてハードウェアの書き込みポインタ (ERXWRPT) が自動的に次のアドレスへ進みます。

7.2.2 受信パケットのレイアウト

図 7-3 に、受信パケットのレイアウト例を示します。パケットの前には、次のパケットのポインタ情報を含む 6 バイトのヘッダと、パケット サイズなどの受信統計値を含む受信ステータス ベクタが配置されています。表 7-3 に、受信ステータス ベクタの説明を示します。

パケット エンドの最後のバイトが奇数値アドレスに配置されている場合、ハードウェアの書き込みポインタがインクリメントするときに自動的にパディング バイトが追加されます。このように、すべてのパケットは偶数値アドレスから開始します。

図 7-3: 受信パケットのレイアウト例

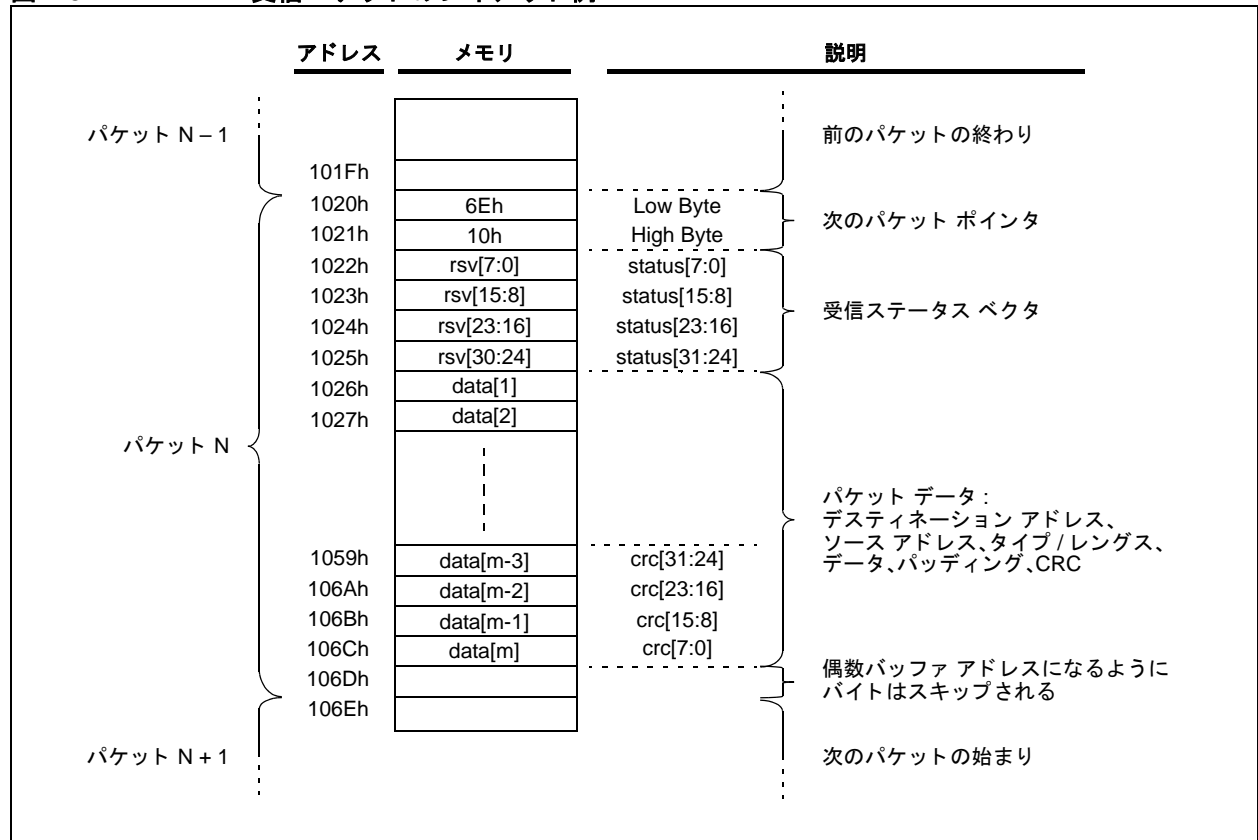


表 7-3: 受信ステータス ベクタ

ビット	フィールド	説明
31	Zero	0
30	Receive VLAN Type Detected	現在のフレームは VLAN タグ付きフレームとして認識された
29	Receive Unknown Opcode	現在のフレームは制御フレームとして認識されたが、不明な Opcode が含まれている
28	Receive Pause Control Frame	現在のフレームは、有効なポーズ フレーム Opcode および有効なデスティネーション アドレスを含む制御フレームとして認識された
27	Receive Control Frame	現在のフレームは、有効なタイプ/レングス フィールドを持つ制御フレームとして認識された
26	Dribble Nibble	このパケットの最後に 1～7 ビットが追加で受信されたことを示す。余分なビットは破棄されている
25	Receive Broadcast Packet	受信したパケットに有効なブロードキャスト アドレスがある
24	Receive Multicast Packet	受信したパケットに有効なマルチキャスト アドレスがある
23	Received Ok	すべてのパケットには有効な CRC があり、シンボル エラーもない
22	Length Out of Range	フレーム タイプ/レングス フィールドが 1500 バイトより大きい (タイプ フィールド)
21	Length Check Error	パケットのフレーム レングス フィールド値は、実際のデータ レングスと一致せず、有効なレングスを指定している
20	CRC Error	フレーム CRC フィールドの値と MAC で計算された CRC 値が一致しないことを示す
19	Reserved	
18	Carrier Event Previously Seen	最後の受信からキャリア イベントが検出された。このキャリア イベントは現在パケットには関連していない。キャリア イベントが受信チャネルに作用してパケット受信がされない。
17	Reserved	
16	Long Event/Drop Event	50,000 ビット以上のパケットが受信された、または最後の受信の後に破棄されたパケットがあることを示す
15-0	Received Byte Count	受信したフレームの長さを示す。この長さには、デスティネーション アドレス、ソース アドレス、タイプ/レングス、データ、パディング、および CRC フィールドが含まれます。リトルエンディアン形式で保存される

7.2.3 受信パケットの読み出し

パケット 処理をするには、通常、ホスト コントローラが RBM SPI コマンドを使用し、次のパケット ポインタの最初から読み出しを開始します。ホスト コントローラは、次のパケット ポインタおよび受信ステータス ベクタからの必要なバイトを保存し、その後、実際のパケット コンテンツを読み出します。ECON2.AUTOINC がセットされていると、ERDPT レジスタを変更せずに、全パ

ケットを連続で読み出すことが可能です。読み出しポインタは、循環受信バッファの最後に到達すると自動的に折りして最初へ戻ります。

パケット ヘランダム アクセスする必要があるアプリケーションの場合は、適切な ERDPT を計算する必要があります。パケットがバッファ境界線 ERXND から ERXST を占有している場合は、受信バッファの終点を超えないように注意してください。つまり、パケットの開始アドレスおよび任意のオフセット値を与えると、アプリケーションのロジックは、例 7-1 のようになります。

例 7-1: ランダム アクセス アドレスの計算例

```

if Packet Start Address + Offset > ERXND, then
    ERDPT = Packet Start Address + Offset - (ERXND - ERXST + 1)
else
    ERDPT = Packet Start Address + Offset
    
```

7.2.4 受信バッファのスペースを開放する

ホスト コントローラがパケット 処理完了後 (またはパケットの一部を完了後)、処理されたデータが配置されているバッファ スペースを開放するには、ホスト コントローラがバッファ 読み出しポインタ (ERXRDPT) を進める必要があります。通常、ENC28J60 は、受信バッファ 読み出しポインタで指定されるメモリ (ポインタが指定するアドレスは含まない) まで書き込みを実行します。ENC28J60 が万が一、受信バッファ 読み出しポインタで指定されるアドレスに書き込みを実行した場合は、実行中のパケット 送信が中断され、EIR.RXERIF がセットされて割り込みが生成されます (有効な場合のみ)。このようなことから、ハードウェアは、未処理パケットを上書きすることはありません。通常、ERXRDPT は、「現在のパケットの受信ステータス ベクタ」より前にある「次のパケット ポインタ」で指定されたアドレス値まで進められます。循環受信バッファの最後では、折り返し処理をするためのポインタ計算は一切必要ありません。

受信バッファ 読み出しポインタ 下位バイト (ERXRDPTL レジスタ) は内部バッファリングされているため、SPI を介して 1 バイトのみアップデートされた場合にはポインタは動きません。ERXRDPT を動かすには、ホスト コントローラが ERXRDPTL へ先に書き込みを実行する必要があります。書き込み動作は内部バッファをアップデートしますが、レジスタを変更することはありません。ホスト コントローラが ERXRDPTH へ書き込みを実行すると同時に、内部バッファリングされた下位バイトが読み出されて ERXRDPTL レジスタへロードされます。ERXRDPT バイトの読み出しは任意の順序で実行されます。これらが読み出されるとき、実際のレジスタ値がリターンされます。つまり、バッファリングされた下位バイトは読み出されません。

各パケット 処理完了後、受信バッファ 読み出しポインタを進めるほかに、ホスト コントローラは ECON2.PKTDEC ビットに 1 を書き込む必要があります。これにより、EPKTCNT レジスタが 1 つデクリメントします。その後、EPKTCNT が 0 の場合は、EIR.PKTIF フラグが自動的にクリアされます。0 でない場合は、このフラグがセットされたままになり、受信バッファに処理待ちのパケットがあることを示します。EPKTCNT を 0 以下にデクリメントしようとするとう無視されます。また、EPKTCNT レジスタが 255 に到達すると、バッファ容量に空きがある場合でも新しく受信されたすべてのパケット 受信が中断されます。このエラーを示すため、IR.RXERIF がセットされ、割り込みが生成されます (有

効の場合のみ)。この状況を回避するには、パケット 処理時にホスト コントローラが正常にカウンタをデクリメントする必要があります。

バッファ 領域を制御するポインタが 1 つしかないため、ホスト コントローラは受信した順にパケット 処理する必要があります。後でパケット 処理するために保存する場合は、メモリの未使用アドレスにそのパケットをコピーします。このような場合は、内蔵 DMA コントローラを使用すると効果的に実行できます (詳細は、「13.6 ダイレクト メモリ アクセス コントローラ」を参照)。

7.2.5 受信バッファの空きスペース

ホスト コントローラが受信バッファの空きスペースを確認するには、ハードウェア 書き込みポインタ (ERXWRPT レジスタ) を読み出して、ERXRDPT レジスタのポインタと比較します。受信バッファの既知のサイズと合わせると、空きスペース領域が分かります。

メモ: ERXWRPT レジスタは、パケット受信が完了した場合のみ更新されます。パケット受信が完了される直前にホスト コントローラが読み出しを実行した場合、リターン値は不正になり許容最大フレーム長 (MAMXFLN) プラス 7 で切り捨てされている可能性があります。また、ホスト コントローラが ERXWRPT の 1 バイトを読み出し中に、新しいパケットが到達し、残りのバイトを読み出す前にポインタが変更される可能性もあります。

受信ハードウェアを有効にして、ERXWRPT レジスタを読み出す場合、下位バイトと上位バイトをセットで読み出すように特に注意が必要です。

確実にセットで取得するために次のように実行します。

1. EPKTCNT レジスタを読み出し、そのコンテンツを保存する
2. ERXWRPTL および ERXWRPTH を読み出す
3. EPKTCNT レジスタを再び読み出す
4. 2 つのパケット数を比較し、一致しない場合は、手順 2 に戻る

ハードウェア 書き込みポインタの値を取得した場合、空きスペースは例 7-2 のように計算されます。ハードウェアは、ERXRDPT バイトがあるアドレス値と同じ値へ書き込みポインタが移動することを禁止します (ただし、バッファ ポインタがコンフィギュレーションされている

例 7-2: 受信バッファの空きスペース計算

```
if ERXWRPT > ERXRDPT, then
    Free Space = (ERXND - ERXST) - (ERXWRPT - ERXRDPT)
else if ERXWRPT = ERXRDPT, then
    Free Space = (ERXND - ERXST)
else
    Free Space = ERXRDPT - ERXWRPT - 1
```

ENC28J60

表 7-4: パケット受信で使用するレジスタのサマリ

レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット値の参照ページ
EIE	INTIE	PKTIE	DMAIE	LINKIE	TXIE	r	TXERIE	RXERIE	13
EIR	—	PKTIF	DMAIF	LINKIF	TXIF	r	TXERIF	RXERIF	13
ESTAT	INT	BUFFER	r	LATECOL	—	RXBUSY	TXABRT	CLKRDY	13
ECON2	AUTOINC	PKTDEC	PWRSV	r	VRPS	—	—	—	13
ECON1	TXRST	RXRST	DMAST	CSUMEN	TXRTS	RXEN	BSEL1	BSEL0	13
ERXSTL	RX 開始下位バイト (ERXST<7:0>)								13
ERXSTH	—	—	—	RX 開始上位バイト (ERXST<12:8>)					13
ERXNDL	RX 終了下位バイト (ERXND<7:0>)								13
ERXNDH	—	—	—	RX 終了上位バイト (ERXND<12:8>)					13
ERXRDPTL	RX RD ポインタ下位バイト (ERXRDPT<7:0>)								13
ERXRDPTH	—	—	—	RX RD ポインタ上位バイト (ERXRDPT<12:8>)					13
ERXFCON	UCEN	ANDOR	CRCEN	PMEN	MPEN	HTEN	MCEN	BCEN	14
EPKTCNT	イーサネット パケット カウント								14
MACON1	—	—	—	r	TXPAUS	RXPAUS	PASSALL	MARXEN	14
MACON3	PADCFG2	PADCFG1	PADCFG0	TXCRCEN	PHDREN	HFRMEN	FRMLNEN	FULDPX	14
MAMXFLL	最大フレーム長下位バイト (MAMXFLL<7:0>)								14
MAMXFLH	最大フレーム長上位バイト (MAMXFLH<15:8>)								14

記号: — = 未実装ビット、r = 予約ビット。影付きのセルは使用されません。

8.0 受信フィルタ

ホスト コントローラの処理要件を最小限に抑えるため、ENC28J60 では数種の受信フィルタを内蔵し、不要なパケットの受信を自動で拒否します。パケットフィルタは次の 6 種類あります

- ユニキャスト
- パターン マッチ
- Magic Packet™
- ハッシュ テーブル
- マルチ キャスト
- ブロードキャスト

各フィルタは、ERXFCON レジスタ (レジスタ 8-1) でコンフィギュレーションされます。1 度に 1 フィルタ以上を有効にできます。さらに、このフィルタを ANDOR ビットでコンフィギュレーションすると、AND または OR のいずれかが可能になります。つまり、すべてのアクティブフィルタで許容されたパケットのみを受信したり、またはいずれか 1 つのフィルタで許容されたパケットを受信することが可能です。図 8-1 および図 8-2 では、ANDOR ビットの設定に依存する各フィルタの効果を示します。

ERXFCON レジスタをクリアすると、デバイスは無差別 (Promiscuous) モードになり、すべてのパケットを受信します。レジスタの最適設定は、アプリケーション要件によって異なります。

ENC28J60

レジスタ 8-1: ERXFCON: イーサネット受信フィルタ制御レジスタ

R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
UCEN	ANDOR	CRCEN	PMEN	MPEN	HTEN	MCEN	BCEN
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 7 **UCEN:** ユニキャスト フィルタ イネーブル ビット
ANDOR = 1 の場合:
 1 = ローカル MAC アドレスと一致するデスティネーションアドレスがないパケットは破棄される
 0 = フィルタなし
ANDOR = 0 の場合:
 1 = ローカル MAC アドレスと一致するデスティネーションアドレスがあるパケットを取得する
 0 = フィルタなし
- bit 6 **ANDOR:** AND/OR フィルタ セレクト ビット
 1 = AND: すべてのイネーブルフィルタがパケットを許容しない限りパケットは拒否される
 0 = OR: すべてのイネーブルフィルタがパケットを拒否しない限りパケットは取得される
- bit 5 **CRCEN:** フィルタ後の CRC チェック イネーブル ビット
 1 = 無効な CRC があるすべてのパケットが破棄される
 0 = CRC の有効性は無視
- bit 4 **PMEN:** パターン マッチ フィルタ イネーブル ビット
ANDOR = 1 の場合:
 1 = パケットはパターン一致条件を満たす必要があり、満たさない場合は破棄される
 0 = フィルタなし
ANDOR = 0 の場合:
 1 = パターン一致条件を満たすパケットは取得される
 0 = フィルタなし
- bit 3 **MPEN:** Magic Packet フィルタ イネーブル ビット
ANDOR = 1 の場合:
 1 = パケットはローカル MAC の Magic Packet でなければいけない。そうでない場合は破棄される
 0 = フィルタなし
ANDOR = 0 の場合:
 1 = ローカル MAC の Magic Packets が受信される
 0 = フィルタなし
- bit 2 **HTEN:** ハッシュ テーブル フィルタ イネーブル ビット
ANDOR = 1 の場合:
 1 = パケットはハッシュ テーブルの基準を満たす必要があり、満たさない場合は破棄される
 0 = フィルタなし
ANDOR = 0 の場合:
 1 = ハッシュ テーブルの基準を満たすパケットが受信される
 0 = フィルタなし
- bit 1 **MCEN:** マルチキャスト フィルタ イネーブル ビット
ANDOR = 1 の場合:
 1 = パケットはデスティネーションアドレスの LSB がセットされている必要があり、そうでない場合は破棄される
 0 = フィルタなし
ANDOR = 0 の場合:
 1 = デスティネーションアドレスの LSB がセットされているパケットが受信される
 0 = フィルタなし

レジスタ 8-1: ERXFCON: イーサネット受信フィルタ制御レジスタ (続き)

bit 0 **BCEN:** ブロードキャスト フィルタ イネーブル ビット

ANDOR = 1 の場合:

1 = パケットは、デステイネーション アドレスが FF-FF-FF-FF-FF-FF である必要があり、それ以外の場合はすべて破棄される

0 = フィルタなし

ANDOR = 0 の場合:

1 = デステイネーション アドレスが FF-FF-FF-FF-FF-FF であるパケットが受信される

0 = フィルタなし

図 8-1: OR ロジックを使用する受信フィルタリング

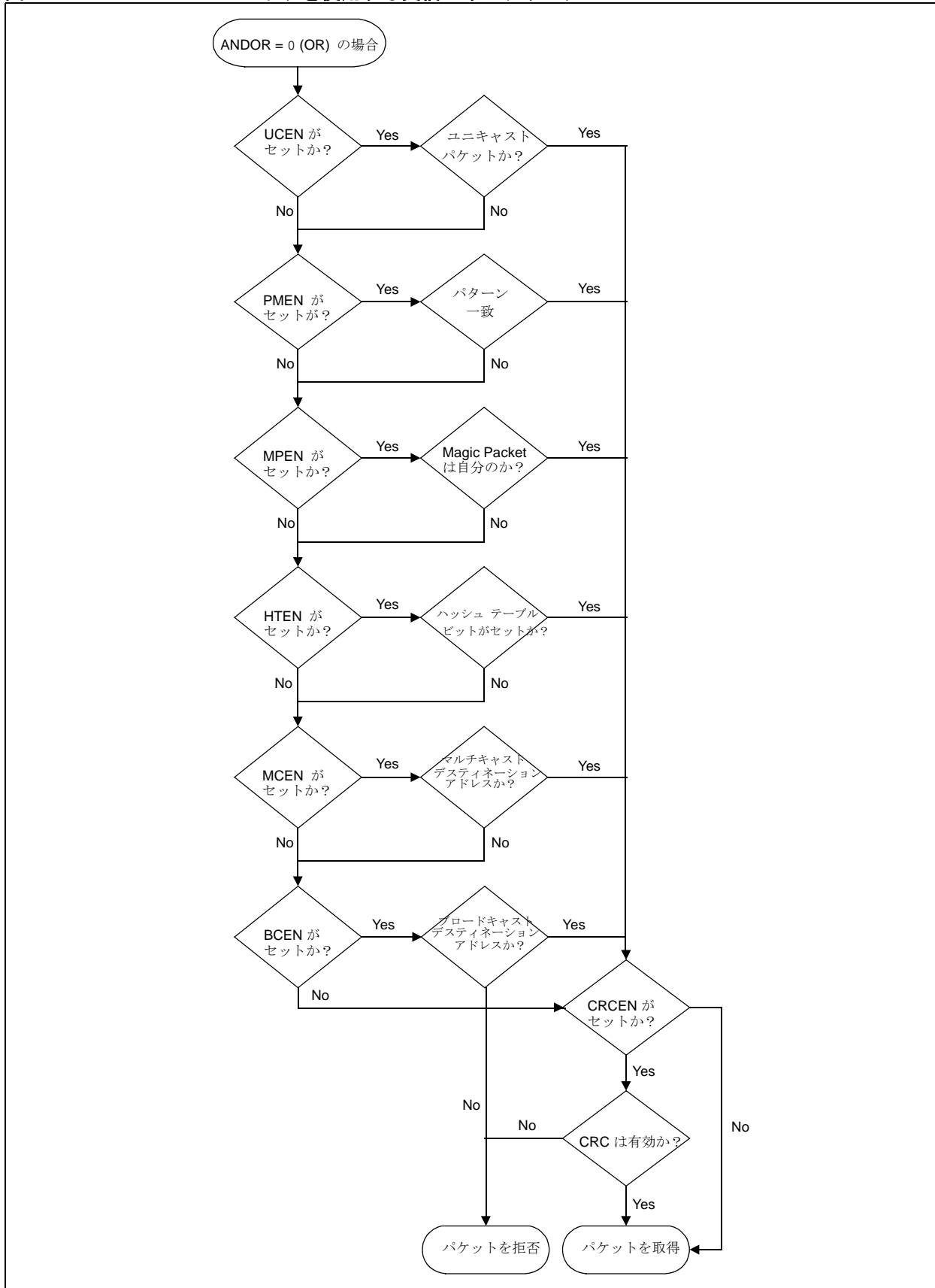
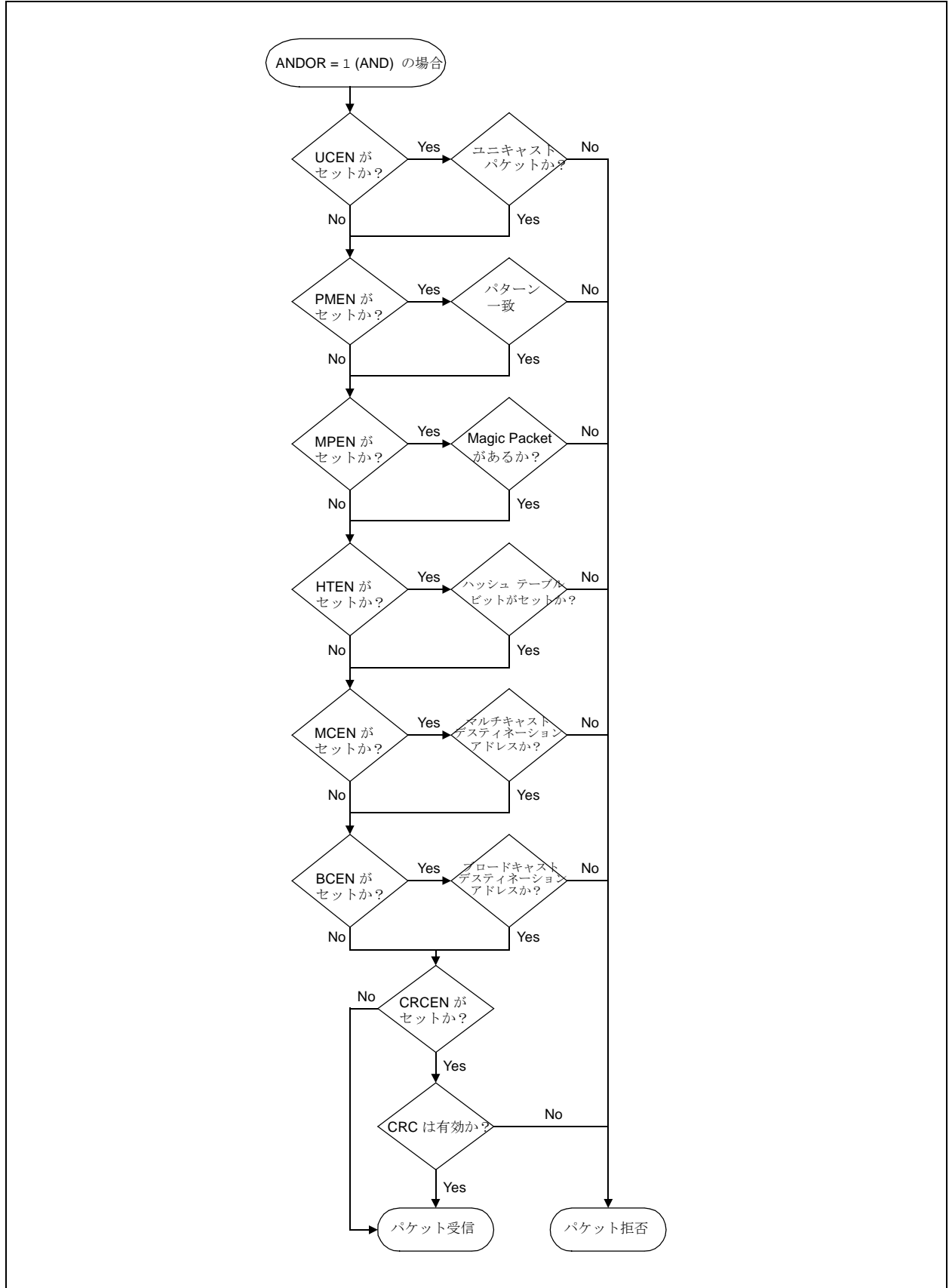


図 8-2: AND ロジックを使用する受信フィルタリング



8.1 ユニキャスト フィルタ

ユニキャスト フィルタは、入力されるすべてのパケットのデスティネーション アドレスをチェックします。このアドレスが MAADR レジスタのコンテンツと確実に一致すると、ユニキャスト フィルタの基準を満たすことになります。

8.2 パターン マッチ フィルタ

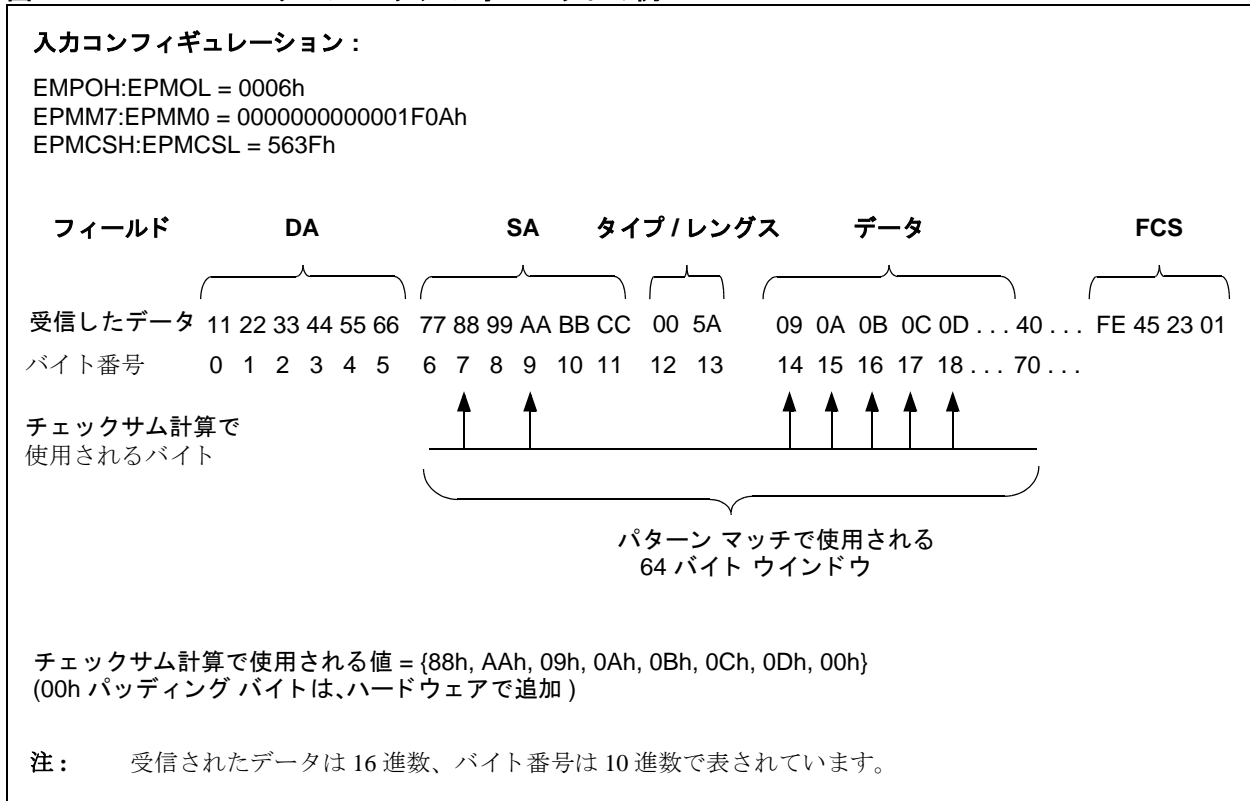
パターン マッチ フィルタは、入力されるパケットから最大で 64 バイトを選択し、IP チェックサム計算をします。このチェックサム結果は EPMCS レジスタと比較されます。計算されたチェックサムが EPMCS レジスタと一致すると、パターン マッチ フィルタの基準を満たすことになります。このフィルタは、パケット内に予期するデータがある場合に有効です。

パターン マッチ フィルタを使用する場合は、ホスト コントローラ でパターン マッチ オフセット (EPMOH:EPMOL)、すべてのパターン マッチ マスク バイト (EPMM7:EPMM0) およびパターン マッチ チェックサム レジスタ ペア (EPMCSH:EPMCSL) をプログラムする必要があります。パターン マッチ オフセットは、デスティネーション アドレス フィールドの始めから、チェックサム計算に使用される 64 バイト ウィンドウまでのオフセット値をロードする必要があります。パターン マッチ マスク レジスタのビットをセット / クリアすることにより、64 バイト ウィンドウ内からチェックサム計算に使用するビットを選択します。64 バイト

ウィンドウ内に CRC が含まれるパケットを受信した場合は、マスク ビットがすべて 0 の場合でもフィルタ基準を満たしません。このような場合は、パターン マッチ チェックサム レジスタを予期するデータのチェックサムに再プログラムする必要があります。チェックサム計算は、DMA モジュールと同じ方法で実行されます (13.2 「チェックサム計算」を参照)。0 としてプログラムされたマスク ビットがあるデータ バイトは、0 値として考えるのではなく、チェックサムを計算するために完全に削除されます。

たとえば、00-04-A3-FF-FF-FF という特定ソース MAC アドレスを持つパケットをフィルタするアプリケーションの場合、パターン マッチ オフセット値を 0000h としてプログラムし EPMM0 のビット 6 と 7 をセットし、EPMM1 のビット 0、1、2、および 3 をセットします (その他のすべてのマスク ビットは 0 とする)。そうすると EPMCS へプログラムする正常チェックサムは、0x5BFC となります。もう 1 つのコンフィギュレーションとして、オフセット値 0006h をプログラムし、EPMM0 のビット 0、1、2、3、および 4 をセットする方法があります。この場合のチェックサムも 5BFCh となります。ただし、2 つ目の方法は、パケット長が 70 未満の場合に、マスク コンフィギュレーションを使用して正しいチェックサムを生成したとしても、パターン マッチ フィルタの基準を満たすことができないため、あまり推奨されません。図 8-3 に、もう 1 つのパターン マッチ フィルタの例を示します。

図 8-3: パターン マッチ フォーマットの例

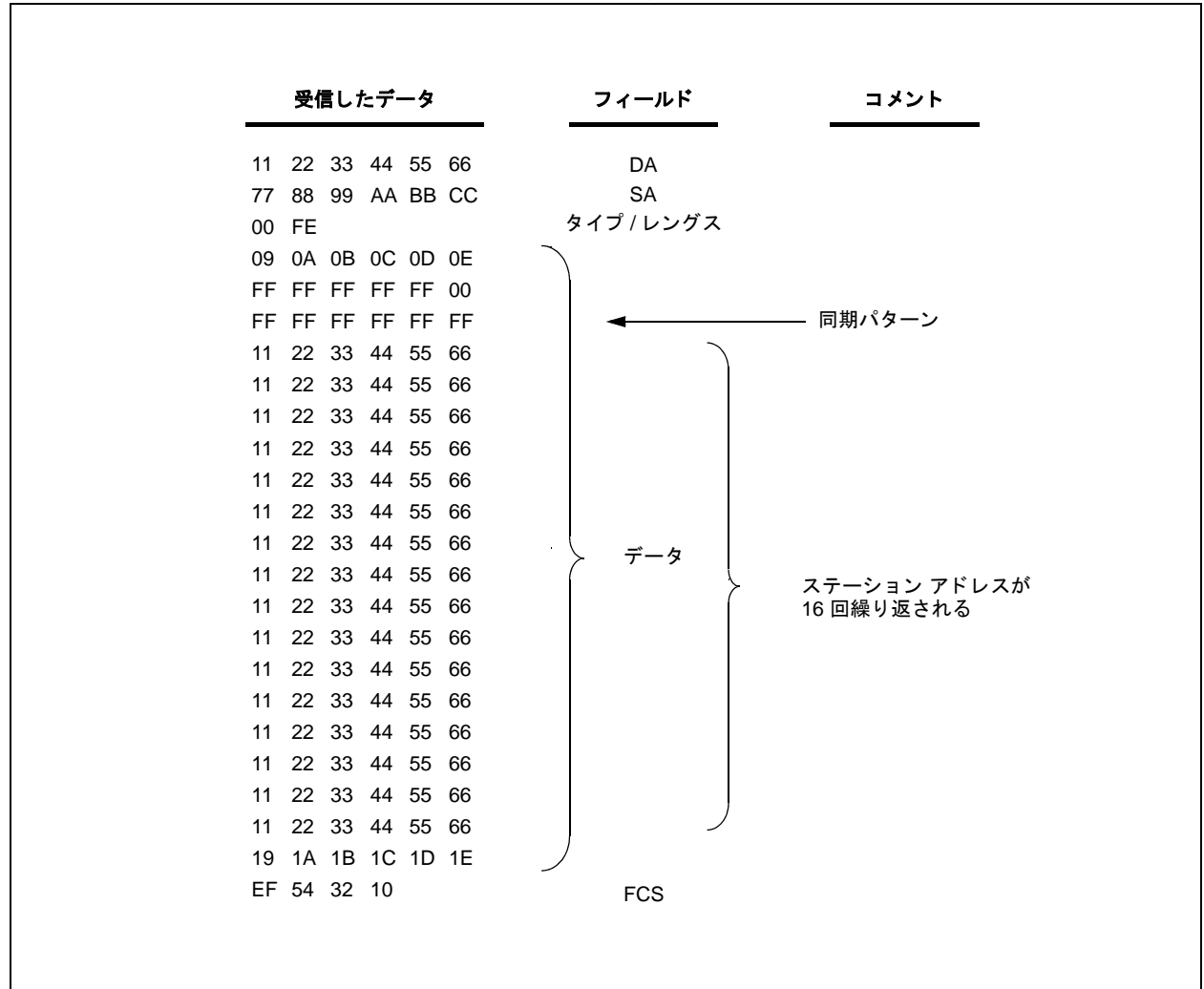


8.3 Magic Packet™ フィルタ

Magic Packet フィルタは、入力されるすべてのパケットのデスティネーション アドレスとデータ フィールドをチェックします。デスティネーション アドレスが MAADR レジスタと一致し、データ フィールド内に有効な Magic Packet パターンが保持されていると、Magic

Packet フィルタの基準を満たしていることになりません。Magic Packet パターンは、6 個の 0xFF (同期パターン) および 16 個のデスティネーション アドレスで構成されています。図 8-4 に、Magic Packet のフォーマット例を示します。

図 8-4: MAGIC PACKET™ のフォーマット例



8.4 ハッシュ テーブル フィルタ

ハッシュ テーブル受信フィルタは、パケット内の 6 バイト以上のデスティネーション アドレス バイトに対して CRC チェックを実行します。そして、結果の CRC は、EHT レジスタのビットを示すポインタとして使用されます。このポインタが、セットされているビットを指している場合は、パケットがハッシュ テーブルフィルタの基準を満たしていることになりません。たとえば、CRC 計算が 0x5 とすると、ハッシュ テーブルのビット 5 をチェックします。このビットがセットされている場合は、ハッシュ テーブルフィルタの基準を満たしています。ハッシュ テーブルレジスタ内のすべて

のビットがクリアされている場合は、常にフィルタ基準を満たしません。同様に、すべてのビットがセットされている場合は、常にフィルタ基準を満たします。

8.5 マルチキャスト フィルタ

マルチキャスト受信フィルタは、入力されるすべてのデスティネーション アドレスをチェックします。デスティネーション アドレスの最初のバイトの LSB がセットされていると、マルチキャストフィルタの基準を満たしていることになりません。

8.6 ブロードキャスト フィルタ

ブロードキャスト受信フィルタは、入力されるすべてのデスティネーションアドレスをチェックします。デスティネーションアドレスが FF-FF-FF-FF-FF-FF の場合、そのパケットはブロードキャストフィルタの基準を満たしていることになります。

9.0 二重モードの設定および ネゴシエーション

ENC28J60 では、自動二重モード ネゴシエーション機能はサポートされていません。自動二重ネゴシエーションが有効なネットワーク スイッチまたはイーサネット コントローラへ接続されている場合、ENC28J60 は半二重デバイスとして認識されます。全二重モードで通信する場合は、ENC28J60 およびリモート ノード (スイッチ、ルーター、イーサネット コントローラ) を手動で全二重動作に設定する必要があります。

9.1 半二重動作

ENC28J60 は、 $MACON3.FULDPX = 0$ および $PHCON1.PDPXMD = 0$ の場合、半二重モードで動作します。この 2 つのどちらかのビットのみセットされている場合、ENC28J60 は不定状態になり、正常に動作しません。全二重モードと半二重モードの切り替えを行うと、不定状態になる場合があります。その間、ホスト コントローラはパケット送信を実行してはいけません (ECON1.TXRTS はクリアを保持)。また、パケット受信も無効 (ECON1.RXEN および $ESTAT.RXBUSY$ をクリア) にしてください。

半二重モードの場合、1 つのイーサネット コントローラのみが物理的な媒体で常時送信可能です。別のイーサネット コントローラがすでに送信中であるのに、パケット送信を要求するようにホスト コントローラで $ECON1.TXRTS$ ビットをセットした場合、ENC28J60 はリモート トランスミッタが停止するまで待機します。停止後、ENC28J60 はパケット送信を開始します。別のイーサネット コントローラと ENC28J60 がほぼ同時に同じワイヤ上でパケット送信を開始した場合は、衝突が生じてエラーとなります。この状況を回避するには、次の 2 つの方法があります。

1. $MACLCON2$ レジスタの「衝突ウインドウ」で指定されたバイト 数が送信される前に衝突が起こった場合、 $ECON1.TXRTS$ ビットはセットされた状態で、IEEE 802.3 仕様で規定されたランダムなバックオフ遅延が経過してから、そのパケットに対してもう一度最初から送信が実行されます。このとき、ホスト コントローラが関与する必要はありません。再送回数が、 $MACLCON1$ レジスタで定義した最大再送数 (RETMAX) に到達した場合は、送信は中断され、 $ECON1.TXRTS$ がクリアされます。この場合、ホスト コントローラが適切な動作をする必要があります。ホスト コントローラは、 $ESTAT.TXABRT$ フラグを読み出すことでパケット送信の完了およびエラーを判断できます。詳細は、7.1 「パケット送信」を参照してください。送信中断は、送信エラー 割り込み信号を生成します。

2. $MACLCON2$ レジスタの「衝突ウインドウ」で指定されたバイト 数が送信された後に衝突が起こった場合、パケット 送信はすぐに中断され、再送もされません。通常、正常に設定された 802.3 準拠のネットワークでは、レイト コリジョン (遅れた衝突) は生じません。この問題を修正するにはユーザーが介入する必要があります。この問題は、半二重媒体で全二重通信するノードが送信を実行すると生じる場合があります。ENC28J60 は、全二重ネットワークに接続されている状態で、半二重モードで動作させることができます。ケーブルの長さが非常に長くてネットワーク サイズが大きい場合も、レイト コリジョンが発生する場合があります。

半二重モードでは、リセット後のデフォルトは、送信したパケットがループ バックされます。これらのパケットは受信フィルタで破棄されない限り、その他のネットワーク処理と同様に循環受信バッファへ書き込まれます。この動作を停止する場合は、ホスト コントローラで $PHCON2.HLDLDIS$ ビットをセットします。

9.2 全二重動作

$MACON3.FULDPX = 1$ および $PHCON1.PDPXMD = 1$ の場合、ENC28J60 は全二重モードで動作します。この 2 つのビットのうち 1 つがクリアされると、ENC28J60 は不定状態になり正常に機能しません。全二重モードと半二重モードの切り替えを行うと、不定状態になる場合があります。その間、ホスト コントローラはパケット送信を実行してはいけません (ECON1.TXRTS はクリアを保持)。また、パケット受信も無効 (ECON1.RXEN および $ESTAT.RXBUSY$ はクリア) にしてください。

全二重モードでは、パケット受信と同時に送信が可能です。このため、パケット送信中に衝突エラーが発生することはありません。 $MACLCON1$ の RETMAX (最大再送数) および $MACLCON2$ の COLWIN (衝突ウインドウ) などのコンフィギュレーション フィールドは使用されません。

全二重モードを設定している場合、リセット後のデフォルトでは、送信したパケットをループ バックしません。テスト目的としてループバックさせたい場合は、ホスト コントローラから $PHCON1.PLOOPBK$ ビットをセットする必要があります。全二重モードでループバックを有効にすると、ツイスト ペア出力ドライバが無効になり、入力されるすべてのデータが無視されて、リンクが破断となります (構築されている場合のみ)。ループバックを設定した結果として受信されたすべてのパケットは、通常のネットワーク処理と同様に、有効な受信フィルタで制約されます。

ENC28J60

メモ:

10.0 フロー制御

ENC28J60 は、全二重モードおよび半二重モードでのハードウェアフロー制御が可能です。この機能の動作は、使用するモードによって異なります。

10.1 半二重モード

半二重モードの場合、EFLOCON.FCEN0 ビットをセットするとフロー制御が有効になります。FCEN0 をセットすると、イーサネット媒体上で 1 および 0 が交互する (55h) のプリアンプルパターンが連続して自動送信されます。接続されたノードは ENC28J60 の送信を確認し、何も送信せずに ENC28J60 の送信が終了するまで待機するか、もしくは送信してすぐに衝突エラーを引き起こします。常に衝突が起こる場合は、ネットワークに接続されたノードは相互通信できず、新しいパケット受信が不可能になります。

ホストコントローラが ECON1.TXRTS をセットして ENC28J60 にパケット送信をさせた場合、プリアンプルパターンの送信が停止されます。MABBIPG レジスタで設定した内部パケットギャップの遅延の後、ENC28J60 がパケットを送信します。この遅延中、その他のノードは送信開始できません。すべての通信がすでに止まっている場合は、いくつかのノードが送信開始して一連の衝突が生じる場合があります。ENC28J60 がパケット送信を完了または中断すると、プリアンプルパターン送信が自動的に再開されます。ネットワークの衝突を回避するには FCEN0 ビットをクリアしてください。これにより、プリアンプル送信は停止され、通常のネットワーク動作が実行されます。

半二重フロー制御がもたらすネットワークへの影響は、あまり効果的とは言えないため、十分テストされた閉じたネットワーク環境でない限り、アプリケーションを半二重フロー制御で使用することを推奨しません。

10.2 全二重モード

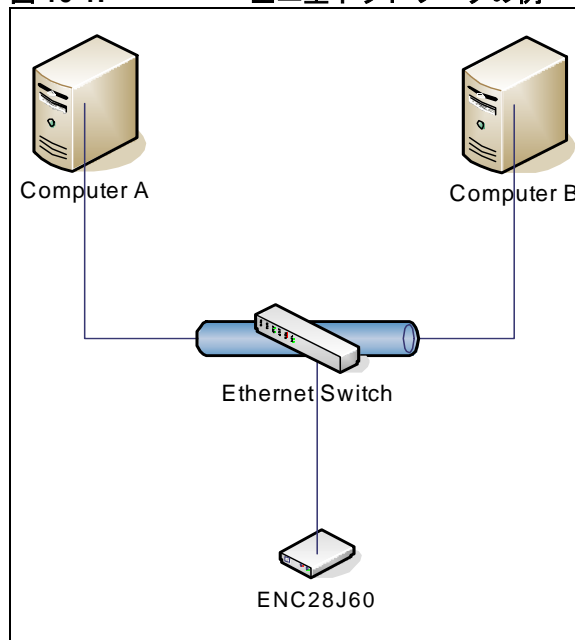
全二重モード (MACON3.FULDPX=1) の場合、ハードウェアフロー制御は、IEEE 802.3 仕様で定義されているポーズ制御フレームを送信することで実現します。ポーズ制御フレームは 64 バイトあり、予約のマルチキャスト デスティネーション アドレス (01-80-C2-00-00-01)、送り元のソース アドレス、特殊なポーズ Opcode、2 バイトのポーズタイマー値およびパディング /CRC で構成されています。

通常、MAC がポーズ制御フレームを受信すると、MAC は現在送信中のパケットの送信を完了し、新しいフレームの送信を停止します。ポーズタイマー値は、制御フレームから抽出され、この値で内部のタイマーを初期化します。タイマー値は、512 ビットごと (51.2 μ s) に自動的にデクリメントされます。タイマーがカウントダウンしている間は、パケット受信が有効です。新

しいポーズフレームが到達すると、その値でタイマーが再度初期化されます。タイマー値が 0 に到達、または 0 ポーズタイマー値を持つフレームが送信されると、このポーズフレームを受信した MAC はペンディングパケットを再び送信します。1 つのポーズフレームでネットワーク上のすべての通信を停止させないようするため、イーサネットスイッチおよびルーターは、ポーズ制御フレームを全二重モードでは伝播しません。ポーズ動作は受信先へのみ適用されます。

図 10-1 にネットワークの例を示します。コンピューター A が全二重モードで ENC28J60 へ過剰なデータが送信されている場合、ENC28J60 は A から送信されるデータを停止するため、ポーズ制御フレームを送信できます。イーサネットスイッチがそのポーズ制御フレームを受け、ENC28J60 への送信を停止します。コンピューター A がデータ送信を停止しない場合は、イーサネットスイッチがバッファとして機能し、ポーズタイマーが 0 になったときにデータを送信します。イーサネットスイッチのバッファスペースが足りなくなると、イーサネットスイッチ自身がコンピュータ A へポーズ制御フレームを送信します。何らかの理由により、イーサネットスイッチ自身でポーズ制御フレームが生成されなかった場合、またはノード側がポーズ制御フレームを受信できなかった場合は、当然、パケットは破棄されます。いかなる状況下でも、コンピュータ A とコンピュータ B 間の通信は常に影響を受けません。

図 10-1: 全二重ネットワークの例



ENC28J60

全二重モードの ENC28J60 でフロー制御を有効にする場合は、ホスト コントローラで MACON1 レジスタの TXPAUS および RXPAUS ビットをセットする必要があります。そして、受信バッファ スペースが不足すると、ホスト コントローラは EFLOCON レジスタに 02h を書き込んでフロー制御を有効にします。ハードウェアは、EPAUS レジスタで定義されたポーズ タイマーの値を書き込んだポーズ フレームを定期的に送信します。ホスト コントローラは、フロー制御するハードウェアの影響を受けずに、パケット送信を継続できます。

受信バッファのスペースに余裕が出てくると、ホスト コントローラが EFLOCON レジスタに 03h を書き込み、フロー制御を無効にします。ハードウェアは、ポーズ タイマー値 0000h がロードされた最後のポーズ フレームを送信します。このポーズ フレームがリモートのノードで受信されると、通常のネットワーク動作が再開されます。

MACON1 レジスタで RXPAUS がセットされ、0 以外のタイマー値を持つ有効なポーズ フレームが到達すると、ENC28J60 は自動的に送信を停止します。ホスト コントローラが ECON1.TXRTS ビットをセットしてパケット送信すると、ハードウェアはポーズ タイマーが 0 になるまで待機してからパケットを送信します。その後 TXRTS ビットをクリアします。通常、ホスト コントローラはポーズ フレームの受信を認識しません。MAC がポーズ (停止) しているのかをホスト コントローラで認識させる場合は、MACON1 の PASSALL ビットをセットして、受信するポーズ制御フレームを

MACON1 レジスタで RXPAUS がセットされ、0 以外のタイマー値を持つ有効なポーズ フレームが到達すると、ENC28J60 は自動的に送信を停止します。ホスト コントローラが ECON1.TXRTS ビットをセットしてパケット送信すると、ハードウェアはポーズ タイマーが 0 になるまで待機してからパケットを送信します。その後 TXRTS ビットをクリアします。通常、ホスト コントローラはポーズ フレームの受信を認識しません。MAC がポーズ (停止) しているのかをホスト コントローラで認識させる場合は、MACON1 の PASSALL ビットをセットして、受信するポーズ制御フレームを

レジスタ 10-1: EFLOCON: イーサネット フロー制御レジスタ

U-0	U-0	U-0	U-0	U-0	R-0	R/W-0	R/W-0
—	—	—	—	—	FULDPXS	FCEN1	FCEN0
bit 7					bit 0		

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 7-3 **未実装ビット**: 0 が読み出される

bit 2 **FULDPXS**: 読み出し専用 MAC 全二重シャドウ ビット

1 = MAC は全二重モードに設定され、FULDPX (MACON3<0>) がセットされる
 0 = MAC は半二重モードに設定され、FULDPX (MACON3<0>) がクリアされる

bit 1-0 **FCEN1:FCEN0**: フロー制御イネーブル ビット

FULDPXS = 1 の場合:

11 = タイマー値 0 のポーズ フレームを 1 つ送信し、フロー制御を無効にする
 10 = 定期的にポーズ フレームを送信する
 01 = ポーズ フレームを 1 つ送信し、フロー制御を無効にする
 00 = フロー制御を無効にする

FULDPXS = 0 の場合:

11 = フロー制御を有効にする
 10 = フロー制御を無効にする
 01 = フロー制御を有効にする
 00 = フロー制御を無効にする

表 10-1: フロー制御で使用されるレジスタ

レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット 値の参照 ページ
ECON1	TXRST	RXRST	DMAST	CSUMEN	TXRTS	RXEN	BSEL1	BSEL0	13
MACON1	—	—	—	r	TXPAUS	RXPAUS	PASSALL	MARXEN	14
MABBIPG	—	パケット間の遅延ギャップ (BBIPG<6:0>)							14
EFLOCON	—	—	—	—	—	FULDPXS	FCEN1	FCEN0	14
EPAUSL	ポーズ タイマ値下位バイト (EPAUS<7:0>)								14
EPAUSH	ポーズ タイマ値上位バイト (EPAUS<15:8>)								14

記号: — = 未実装ビット、0 が読み出されます。影付きのセルは使用されません。

ENC28J60

メモ:

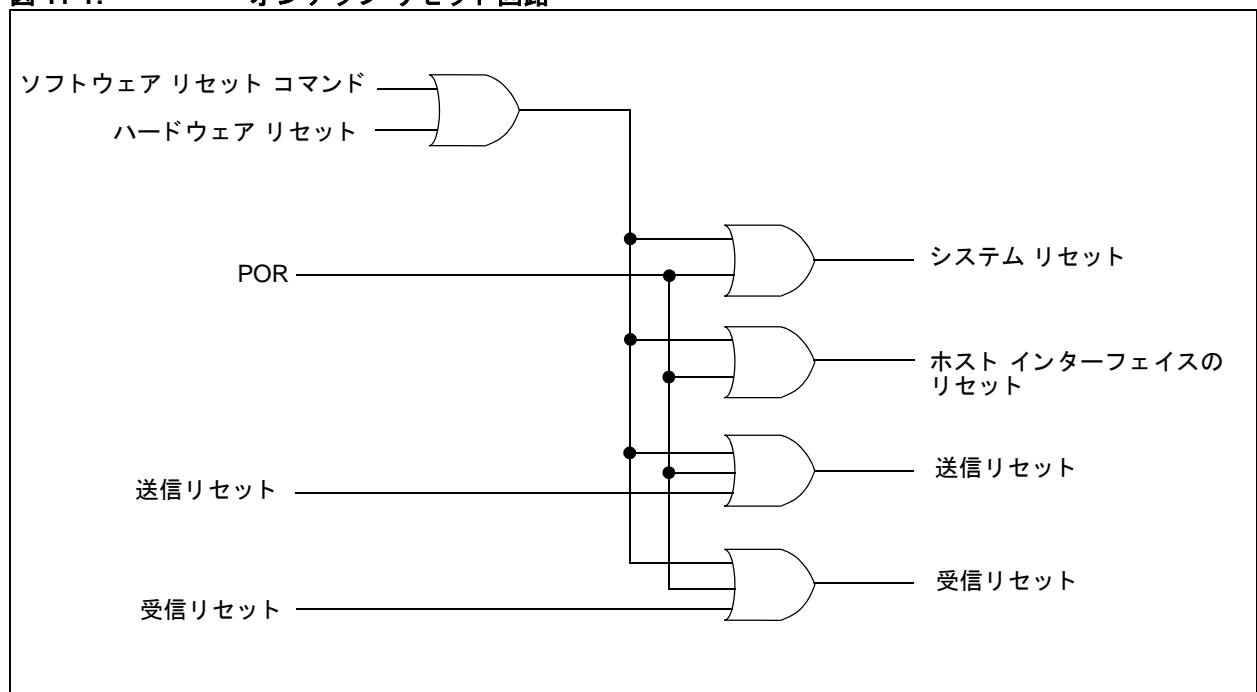
11.0 リセット

ENC28J60 には、次のように異なるリセットがあります。

- パワー オン リセット (POR)
- システム リセット
- 送信専用リセット
- 受信専用リセット
- 多種の MAC および PHY サブシステム リセット

図 11-1 に、オンチップリセット回路の簡略ブロック図を示します。

図 11-1: オンチップリセット回路



11.1 パワー オン リセット (POR)

VDD が一定のしきい値を超えると、オンチップで POR パルスが生成されます。これにより、VDD が動作に適切な値になったときに、デバイスを初期状態からスタートさせることができます。

POR 回路は常に有効であるため、ほとんどのアプリケーションは RESET ピンに外部回路を追加しなくてもパワーアップ時に確実にリセットできます。RESET ピンの内部弱プルアップ抵抗は、通常のデバイス動作中はロジック High を保持します。

POR 動作を確実にするため、VDD の最小立ち上がり率が定義されています (パラメータ D003)。オシレータスタートアップ タイムおよび CLKOUT 機能を確実にリセットするためには、アプリケーション回路がこの要件を満たす必要があります。

パワー オン リセット後、デュアルポートバッファメモリ内容は不定になりますが、すべてのレジスタはそれぞれに指定されたリセット値でロードされます。POR 直後、ENC28J60 の特定部分へはアクセスしてはいけません。詳細は、2.2 「オシレータ スタートアップ タイム」を参照してください。

11.2 システム リセット

ENC28J60 のシステム リセットは、RESET ピンまたは SPI インターフェイスを介して実行できます。

RESET ピンは、デバイスの外部リセットをトリガするため非同期動作します。RESET ピンを Low に保持するとリセットパルスが生成されます。ENC28J60 には RESET ピンにノイズフィルタ機能があり、 t_{RSTLOW} またはそれより短いパルスの場合は無視します。RESET ピンが High に保持されると、ENC28J60 は通常動作を実行します。

ENC28J60 は、システム リセット コマンドを使用して SPI を介してリセットすることも可能です。詳細は、4.0 「シリアル ペリフェラル インターフェイス (SPI)」を参照してください。

RESET ピンは、内部 Reset ピン (SPI を使用するシステム リセット コマンドを含む) を使用して Low 駆動させることはできません。

システム リセットが完了してから 50 μ s 経過するまですべての PHY レジスタの読み出しおよび書き込みを実行してはいけません。すべてのレジスタがリセットのデフォルト値に戻ります。デュアルポートバッファメモリは、システム リセット中にステートを保持し続けます。

11.3 送信専用リセット

送信専用リセットは、SPI インターフェイスを使用して、ECON1 レジスタの TXRST ビットを 1 にすると実行できます。TXRST ビットがセットされたときにパケットが送信されている場合は、ハードウェアが自動的に TXRST ビットをクリアして送信を中断します。これは、送信ロジックのみをリセットします。システム リセットは、自動的に送信専用リセットを実行します。バッファ管理やホスト インターフェイスなどのレジスタおよび制御ブロックは、送信専用リセットパルスの影響を受けません。ホストコントローラを通常動作へ戻す場合は、TXRST ビットをクリアしてください。

11.4 受信専用リセット

受信専用リセットは、SPI インターフェイスを使用して ECON1 レジスタの RXRST ビットを 1 にすると実行できます。RXRST がセットされているときにパケット受信が有効な場合 (RXEN ビットがセットされている) は、ハードウェアが自動的に RXEN ビットをクリアします。パケット受信中の場合は、すぐに中断されます。これは、受信ロジックのみをリセットします。システム リセットは、自動的に受信専用リセットを実行します。バッファ管理やホスト インターフェイスなどのレジスタおよび制御ブロックは、受信専用リセットパルスの影響を受けません。ホストコントローラを通常動作へ戻す場合は、RXRST ビットをクリアしてください。

11.5 PHY サブシステム リセット

PHY モジュールをリセットするには、PHCON1 レジスタ (レジスタ 11-1) の PRST ビットを 1 にします。すべての PHY レジスタ コンテンツがデフォルト値にリセットされます。

PHY は、その他のリセットとは異なり、PRST がセットされた後にすぐにリセット解除されません。ハードウェアが自動的に PRST ビットをクリアした後、PHY には遅延期間が必要です。リセットがされると、ホストコントローラは PHY を使用する前に、PRST をポーリングし、このビットがクリアされるまで待機します。

レジスタ 11-1: PHCON1: PHY 制御レジスタ 1

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	U-0	R/W-0
PRST	PLOOPBK	—	—	PPWRSV	r	—	PDPXMD
bit 15							bit 8

R/W-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
r	—	—	—	—	—	—	—
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 15 **PRST:** PHY ソフトウェア リセット ビット
 1 = PHY がソフトウェア リセットを処理する (終了すると自動的に 0 にリセットする)
 0 = 通常動作
- bit 14 **PLOOPBK:** PHY ループバック ビット
 1 = 送信されたすべてのデータは MAC へ戻る。ツイスト ペア インターフェイスは無効になる
 0 = 通常動作
- bit 13-12 **未実装ビット:** 0 として読み出される
- bit 11 **PPWRSV:** PHY パワー ダウン ビット
 1 = PHY がシャットダウンされる
 0 = 通常動作
- bit 10 **予約:** 0 を保持する
- bit 9 **未実装ビット:** 0 として読み出される
- bit 8 **PDPXMD:** PHY 二重モード ビット
 1 = PHY は全二重モードで動作する
 0 = PHY は半二重モードで動作する
- bit 7 **予約:** 0 を保持する
- bit 6-0 **未実装ビット:** 0 として読み出される

ENC28J60

メモ:

12.0 割り込み

ENC28J60には複数の割り込みソースおよび1つの割り込み出力ピンがあり、ホストコントローラへイベントが発生したことを伝える信号を送ります。割り込みピンはホストコントローラが使用し、立ち下がりエッジで検知するようにします。

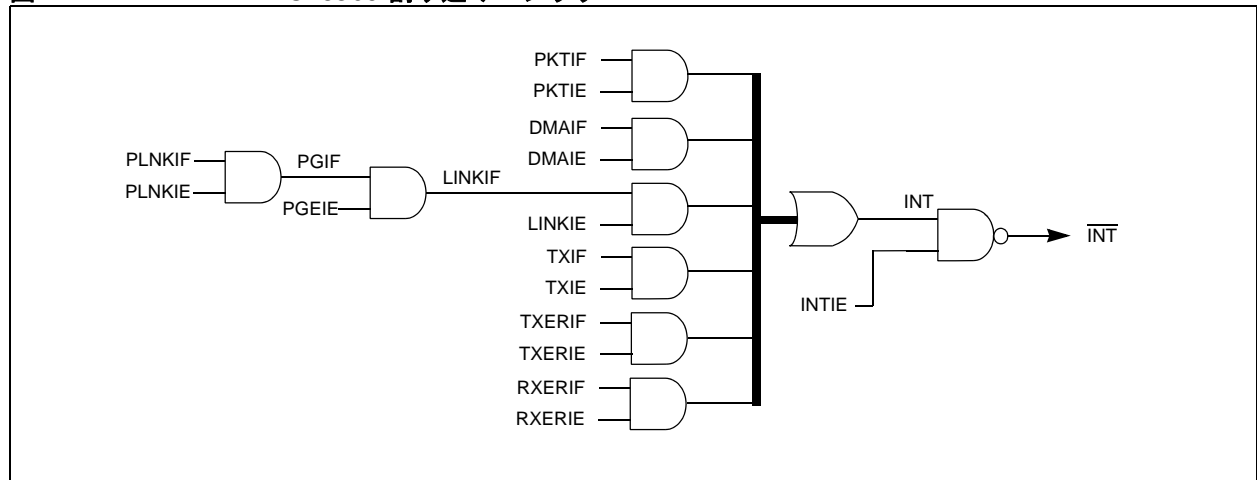
割り込みは、2つのレジスタで管理されます。まずEIEレジスタには、各割り込みソース用の割り込みイネーブルビットが含まれており、そしてEIRレジスタには、これらに対応する割り込みフラグビットが含まれています。割り込みが発生すると、割り込みフラグがセットされます。EIEレジスタの割り込みがイネーブルで、INTIEグローバル割り込みイネーブルビットがセットされていると、INTピンがLow駆動します(図12-1参照)。

メモ: 対応するイネーブルビットのステートまたは関連するグローバルイネーブルビットのステートに関係なく、割り込みフラグビットはセットされます(LINKIF割り込みフラグを除く)。ユーザーソフトウェアは、割り込みを有効にする前に対応する割り込みフラグビットがクリアされていることを確認する必要があります。これにより、ソフトウェアはポーリングをすることが可能になります。

有効な割り込みが発生すると、割り込みピンは、割り込みを引き起こすすべてのフラグがホストコントローラによってクリアまたはマスクオフ(イネーブルビットがクリアされる)されるまで、Lowを保持します。複数の割り込みソースが有効の場合、ホストコントローラはEIRレジスタの各フラグをポーリングして割り込みソースを検知する必要があります。EIRレジスタをリセットする場合は、通常の書き込み制御レジスタ(WCR)を使用するより、ビットフィールドクリア(BFC)SPIコマンドの使用を推奨します。これは、書き込みコマンド中に別のフラグを知らずに変更してしまうことを防ぐためです。BFCおよびWCRコマンドの詳細は、4.0「シリアルペリフェラルインターフェイス(SPI)」を参照してください。

割り込み発生後、ホストコントローラは割り込みを処理する前に割り込みピンのグローバルイネーブルビットをクリアする必要があります。イネーブルビットをクリアすると、割り込みピンがアサートされていない状態(High)に戻ります。これにより、即時の割り込みが処理されている間に別の割り込みが生じた場合に、ホストコントローラが立ち下がりエッジを見逃すことはありません。割り込み処理後、グローバルイネーブルピンをセットします。前の割り込みイベントを処理している間に別の割り込みイベントが発生した場合は、グローバルイネーブルビットを再セットすると、その割り込みに対する新たな立ち下がりエッジが生じます。

図 12-1: ENC28J60 割り込みロジック



ENC28J60

12.1 INT 割り込みイネーブル (INTIE)

INT 割り込みイネーブルビット (INTIE) は、グローバルイネーブルビットであり、次の割り込みが INT ピンをドライブすることを許可します。

- 受信エラー割り込み (RXERIF)
- 送信エラー割り込み (TXERIF)
- 送信割り込み (TXIF)
- リンク変化割り込み (LINKIF)
- DMA 割り込み (DMAIF)
- 受信パケット ペンディング割り込み (PKTIF)

これらの割り込みのいずれかが有効になり生成されると、ESTAT レジスタ (レジスタ 12-1) の INT ビットが 1 にセットされます。EIE.INTIE が 1 の場合、INT ピンは Low 駆動します。

12.1.1 INT 割り込みレジスタ

INT 割り込みに関連するレジスタは、レジスタ 12-2、レジスタ 12-3、レジスタ 12-4、およびレジスタ 12-5 を参照してください。

レジスタ 12-1: ESTAT: イーサネット ステータス レジスタ

R-0	R/C-0	R-0	R/C-0	U-0	R-0	R/C-0	R/W-0
INT	BUFER	r	LATECOL	—	RXBUSY	TXABRT	CLKRDY
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
-n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 7 **INT:** INT 割り込みフラグ ビット

1 = INT 割り込みはペンディングしている
0 = INT 割り込みはペンディングしていない

bit 6 **BUFER:** イーサネット バッファ エラー ステータス ビット

1 = イーサネット 読み出しまたは書き込みがバッファ エラーを発生した (オーバーランまたはアンダーラン)
0 = バッファ エラーなし

bit 5 **予約:** 0 として読み出される

bit 4 **LATECOL:** レイト コリジョン エラー ビット

1 = 64 バイトが送信された後、競合が発生した
0 = 64 バイトが送信された後、競合は発生していない

bit 3 **未実装ビット:** 0 として読み出される

bit 2 **RXBUSY:** 受信のビジー ビット

1 = 受信ロジックはデータ パケットを受信している
0 = 受信ロジックはアイドル状態

bit 1 **TXABRT:** 送信中断エラー ビット

1 = 送信リクエストは中断された
0 = 送信中断エラーなし

bit 0 **CLKRDY:** クロック準備完了ビット

1 = OST は終了し、PHY は準備 OK
0 = OST はカウント中で、PHY の準備は整っていない

レジスタ 12-2: EIE: イーサネット割り込みイネーブルビット

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
INTIE	PKTIE	DMAIE	LINKIE	TXIE	r	TXERIE	RXERIE
bit 7						bit 0	

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 7 **INTIE:** グローバル INT 割り込みイネーブル ビット
 1 = 割り込みイベントが $\overline{\text{INT}}$ ピンを駆動する
 0 = INT ピンを無効にする (このピンは High を保持する)
- bit 6 **PKTIE:** 受信パケット ペンディング 割り込みイネーブル ビット
 1 = 受信パケット ペンディング割り込みを有効にする
 0 = 受信パケット ペンディング割り込みを無効にする
- bit 5 **DMAIE:** DMA 割り込みイネーブル ビット
 1 = DMA 割り込みを有効にする
 0 = DMA 割り込みを無効にする
- bit 4 **LINKIE:** リンク ステータス変化割り込みイネーブル ビット
 1 = PHY からのリンク変化割り込みを有効にする
 0 = リンク変化割り込みを無効にする
- bit 3 **TXIE:** 送信イネーブル ビット
 1 = 送信割り込みを有効にする
 0 = 送信割り込みを無効にする
- bit 2 **予約:** 0 を保持する
- bit 1 **TXERIE:** 送信エラー割り込みイネーブル ビット
 1 = 送信エラー割り込みを有効にする
 0 = 送信エラー割り込みを無効にする
- bit 0 **RXERIE:** 受信エラー割り込みイネーブル ビット
 1 = 受信エラー割り込みを有効にする
 0 = 受信エラー割り込みを無効にする

ENC28J60

レジスタ 12-3: EIR: イーサネット割り込みリクエスト (フラグ) レジスタ

U-0	R-0	R/C-0	R-0	R/C-0	R-0	R/C-0	R/C-0
—	PKTIF	DMAIF	LINKIF	TXIF	r	TXERIF	RXERIF
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0として読み出される
-n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 7 **未実装ビット**: 0として読み出される
- bit 6 **PKTIF**: 受信パケット ペンディング割り込みフラグ ビット
1 = 受信バッファに1個または複数の未処理パケットがある。PKTDECがセットされるとクリアされる
0 = 受信バッファは空状態
- bit 5 **DMAIF**: DMA 割り込みフラグ ビット
1 = DMA コピーまたはチェックサム計算が完了
0 = DMA 割り込みのペンディングなし
- bit 4 **LINKIF**: リンク変化割り込みフラグ ビット
1 = リンク ステータスが変化したことを PHY がレポートする。クリアするため PHIR レジスタを読み出す
0 = リンク ステータスは変化なし
- bit 3 **TXIF**: 送信割り込みフラグ ビット
1 = 送信リクエストは終了
0 = 送信割り込みのペンディングなし
- bit 2 **予約**: 0を保持する
- bit 1 **TXERIF**: 送信エラー割り込みフラグ ビット
1 = 送信エラー発生
0 = 送信エラーなし
- bit 0 **RXERIF**: 受信エラー割り込みフラグ ビット
1 = バッファ スペース不足またはパケット カウントが 255 であるため、パケット送信が中断された
0 = 受信エラー割り込みのペンディングなし

レジスタ 12-4: PHIE: PHY 割り込みイネーブル レジスタ

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
r	r	r	r	r	r	r	r
bit 15							bit 8

R-0	R-0	R/W-0	R/W-0	R-0	R-0	R/W-0	R/W-0
r	r	r	PLNKIE	r	r	PGEIE	r
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 15-6 **予約**: 0 として書き込み、読み出し時は無視される
- bit 5 **予約**: 0 を保持する
- bit 4 **PLNKIE**: PHY リンク変化割り込みイネーブル ビット
 1 = PHY のリンク変化割り込みが有効
 0 = PHY のリンク変化割り込みが無効
- bit 3-2 **予約**: 0 として書き込み、読み出し時は無視される
- bit 1 **PGEIE**: PHY グローバル割り込みイネーブル ビット
 1 = PHY 割り込みは有効
 0 = PHY 割り込みは無効
- bit 0 **予約**: 0 を保持する

レジスタ 12-5: PHIR: PHY 割り込みリクエスト (フラグ) レジスタ

R-x	R-x	R-x	R-x	R-x	R-x	R-x	R-x
r	r	r	r	r	r	r	r
bit 15							bit 8

R-x	R-x	R-0	R/SC-0	R-0	R/SC-0	R-x	R-0
r	r	r	PLNKIF	r	PGIF	r	r
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

- bit 15-6 **予約**: 変更不可
- bit 5 **予約**: 0 として読み出される
- bit 4 **PLNKIF**: PHY リンク変化割り込みフラグ ビット
 1 = PHIR が最後に読み出されてから PHY リンク ステータスが変化した。読み出し時に 0 へリセット
 0 = PHIR が最後に読み出されてから PHY リンク ステータスは変化していない
- bit 3 **予約**: 0 として読み出される
- bit 2 **PGIF**: PHY グローバル割り込みフラグ ビット
 1 = PHIR が最後に読み出されてから 1 つ以上の PHY 割り込みが発生した。読み出し時に 0 へリセット
 0 = PHY 割り込みなし
- bit 1 **予約**: 変更不可
- bit 0 **予約**: 0 として読み出される

12.1.2 受信エラー割り込みフラグ (RXERIF)

受信エラーフラグ (RXERIF) は、受信バッファのオーバーフロー状態を示すために使用されます。また、この割り込みフラグは、受信バッファに過剰なパケットがあるためにこれ以上保存すると EPKTCNT レジスタがオーバーフローすることを示すことも可能です。

パケット受信時、受信バッファの空きスペースが全くなかった場合、または EPKTCNT レジスタが 255 を示しこれ以上インクリメントできない場合は、受信中のパケットが中断され（永久的に破棄される）、EIR.RXERIF ビットが 1 にセットされます。RXERIF は一度セットされると、ホストコントローラまたはリセット条件でのみクリア可能です。受信エラー割り込みおよび INT 割り込みが有効の場合 (EIE.RXERIE = 1 および EIE.INTIE = 1)、INT ピンを Low 駆動させると割り込み信号が生成されます。受信エラー割り込みが無効の場合 (EIE.RXERIE = 0 または EIE.INTIE = 0) は、ホストコントローラが ENC28J60 の RXERIF をポーリングして、適切な措置をすることが可能です。

通常、受信エラー状態のとき、ホストコントローラは受信バッファからペンディングされているパケットを処理し、ERXRDPT レジスタをインクリメント（下位バイトが最初）して今後のパケット用に追加スペースを作成し、EPKTCNT レジスタをデクリメントします。パケット処理の詳細は、7.2.4 「受信バッファのスペースを開放する」を参照してください。パケット処理後、ホストコントローラは BFC コマンドを使用して EIR.RXERIF ビットをクリアします。

12.1.3 送信エラー割り込みフラグ (TXERIF)

送信エラー割り込みフラグ (TXERIF) は、送信が中断されたことを示すために使用されます。次のような場合に中断されます。

1. MACLCON1 レジスタの RETMAX (最大再送数) ビットで定義されている値を超える衝突が発生した場合
2. MACLCON2 レジスタの衝突ウインドウ (COLWIN) ビットで定義された値より後に衝突が発生した場合
3. 64 バイトを送信後に衝突が発生した場合 (ESTAT.LATECOL をセット)
4. メモリ媒体が長期間使用中であるため、パケット送信ができない状態で、延長リミット (2.4287ms) に到達し、MACON4.DEFER ビットがクリアされた場合
5. MACON3.HFRMEN ビットまたは各パケットの POVERRIDE および PHUGEEN ビットをセットせずに、MAMXFL レジスタで定義された最大フレーム長より大きいパケットを送信しようとした場合

このような状況下では、EIR.TXERIF フラグが 1 にセットされます。EIR.TXERIF は一度セットされると、ホストコントローラまたはリセット条件でのみクリア可能です。送信エラー割り込みが有効 (EIE.TXERIE = 1 および EIE.INTIE = 1) の場合、INT ピンを OSC1 の 1 サイクル間 Low 駆動させると割り込み信号が生成されます。送信エラー割り込みが無効 (EIE.TXERIE = 0 または EIE.INTIE = 0) の場合は、ホストコントローラが ENC28J60 の TXERIF をポーリングして、適切な措置をすることが可能です。割り込みが処理された後、ホストコントローラは BFC コマンドを使用して EIR.TXERIF ビットをクリアする必要があります。

送信中断後、TXRTS ビットがクリアされ、ESTAT.TXABRT ビットがセットされ、送信ステータスベクタが ETXND + 1 で書き込まれます。MAC はパケットを自動的に再送しません。ホストコントローラは送信ステータスベクタおよび LATECOL ビットを読み出し、中断の原因を確認することが可能です。中断の原因とソリューションを確認した後、ホストコントローラは LATECOL (セットされている場合のみ) および TXABRT ビットをクリアする必要があります。これで、今後の中断エラーを検知できる状態になります。

全二重モードの場合、条件 5 のときのみ割り込みが生じます。全二重モードでは、ネットワーク共有関連の衝突および問題が発生することはありません。送信エラー割り込みを引き起こす条件は、送信割り込みの要件と同一です。つまり、この割り込みが発生すると、同時に TXIF もセットされます。

12.1.4 送信割り込みフラグ (TXIF)

送信割り込みフラグ (TXIF) をは、リクエストしたパケット送信が完了したことを示すために使用されます (ECON1.TXRTS が 1 から 0 へ変更)。送信時にホストコントローラによって中断またはキャンセルされた場合は、EIR.TXIF フラグが 1 にセットされます。ホストコントローラが TXRTS ビットをクリアせず、ESTAT.TXABRT ビットがセットされていない場合は、パケットが確実に送信されたことを示します。TXIF は一度セットされるとホストコントローラまたはリセット条件でのみクリア可能です。送信割り込みが有効 (EIE.TXIE = 1 および EIE.INTIE = 1) の場合、INT ピンを Low 駆動すると割り込み信号が生成されます。送信割り込みが無効 (EIE.TXIE = 0 または EIE.INTIE = 0) の場合は、ホストコントローラが ENC28J60 の TXIF ビットをポーリングし、適切な措置をすることが可能です。パケット処理後、ホストコントローラは BFC コマンドを使用して EIR.TXIF ビットをクリアする必要があります。

12.1.5 リンク変更割り込みフラグ (LINKIF)

LINKIFは、リンクステータスに変化したことを示します。現在のリンクステータスは、PHSTAT1.LLSTATまたはPHSTAT2.LSTAT(レジスタ3-5およびレジスタ3-6を参照)から取得できます。リンクステータス変化割り込みは、ほかの割り込みソースとは異なり、内蔵PHYモジュールで生成されます。この機能を有効にするには追加手順が必要です。

デフォルトのリセットでは、どのような条件でもLINKIFはセットされません。このフラグを受信するには、ホストコントローラがPHIE.PLNKIEおよびPGEIEビットをセットする必要があります。2つのPHY割り込みイネーブルビットがセットされると、LINKIFビットはPHIR.PGIFビットのコンテンツをシャドウ(反映)します。PHYは1つの割り込みのみサポートするため、PGIFビットは常にPHIR.PLNKIFビットと同一になります(両方のPHYイネーブルビットがセットされている場合)。

LINKIFが一度セットされると、ホストコントローラまたはリセット条件でのみクリア可能です。リンク変化割り込みが有効(EIE.LINKIE = 1、EIE.INTIE = 1、PHIE.PLNKIE = 1およびPHIE.PGEIE = 1)の場合、INTピンをLow駆動すると割り込み信号が生成されます。リンク変化割り込みが無効(EIE.LINKIE = 0、EIE.INTIE = 0、PHIE.PLNKIE = 0またはPHIE.PGEIE = 0)の場合は、ホストコントローラがENC28J60のPHIR.PLNKIFビットをポーリングし、適切な措置をすることが可能です。

LINKIFビットは読み出し専用です。PHYレジスタの読み出しには時間を要するため、ホストコントローラはLINKIFビットを読み出す代わりに、PHIE.PLNKIEおよびPHIE.PGEIEをセットして、EIR.LINKIFビットをポーリングすることが可能です。PHIRレジスタで読み出されたMIIを実行すると、LINKIF、PGIFおよびPLNKIFビットが自動的にクリアされ、今後のリンクステータス変化割り込みが可能になります。PHYレジスタへのアクセスの詳細は、3.3「PHYレジスタ」を参照してください。

12.1.6 DMA 割り込み フラグ (DMAIF)

DMA割り込みは、DMAモジュールがメモリコピーまたはチェックサム計算を完了したことを示します(ECON1.DMASTが0から1へ変更)。また、DMASTビットを手動でクリアすると、ホストコントローラがDMA動作をキャンセルして、割り込みが生じます。DMAIFが一度セットされると、ホストコントローラまたはリセット条件でのみクリア可能です。DMA割り込みが有効(EIE.DMAIE = 1およびEIE.INTIE = 1)の場合、INTピンがLow駆動すると割り込み信号が生成されます。DMA割り込みが無効(EIE.DMAIE = 0またはEIE.INTIE = 0)の場合は、ホストコントローラがENC28J60のDMAIFをポーリングし、適切な措置をすることが可能です。プロセス完了後、ホストコントローラはBFCコマンドを使用してEIR.DMAIFビットをクリアする必要があります。

12.1.7 受信パケット ペンディング 割り込みフラグ (PKTIF)

受信パケット ペンディング割り込みフラグ(PKTIF)は、受信バッファ内に1個以上のパケットがあることを示し、また新しいパケットが受信されたことを示します。受信バッファにパケットが1個でもある場合は、EIR.PKTIFがセットされます。つまり、イーサネットパケットカウンタレジスタ(EPKTCNT)が0以外の場合は、常にこの割り込みフラグがセットされます。受信パケット ペンディング割り込みが有効(EIE.PKTIE = 1およびEIE.INTIE = 1)の場合は、新しいパケットが正常に受信されて受信バッファへ書き込まれたときにINTピンをLow駆動すると割り込み信号が生成されます。受信パケット ペンディング割り込みが無効(EIE.PKTIE = 0またはEIE.INTIE = 0)の場合、ホストコントローラは新しいパケットが受信されたことを認識しません。その代わりに、PKTIFビットをポーリングして適切な措置をすることが可能です。

PKTIFビットをクリアする場合は、ホストコントローラまたはリセット条件でのみ実行可能です。PKTIFビットをクリアするためには、EPKTCNTが0までデクリメントする必要があります。EPKTCNTレジスタのクリアについては、7.2「パケット受信」を参照してください。受信バッファの最後のデータが処理されると、EPKTCNTが0になり、PKTIFビットが自動的にクリアされます。

12.2 LAN ウェイクアップ / リモート ウェイクアップ機能

LAN ウェイクアップ (リモート ウェイクアップ) 機能は、システムパワーの節約に有効です。ホストコントローラおよびその他のサブシステムを低電力モードに設定でき、ENC28J60 がリモートステーションからウェイクアップパケットを受信すると起動するようになります。ENC28J60 は省電力モードにせずに、送信および受信モジュールを有効にしてウェイクアップパケットを受信できる状態にしてください。割り込みマスクレジスタが適切に設定されている場合は、ENC28J60 が INT 信号を使用してホストコントローラを起動します。また、特定のウェイクアップパケットのみを受信できるように受信フィルタを設定することも可能です (利用可能なオプションの詳細は、レジスタ 8-1 を参照)。12.2.1 「Magic パケットを使用して起動する設定手順」では、Magic パケットを受信する際にホストコントローラへ割り込み信号を送信するように ENC28J60 を設定する手順を説明します。

12.2.1 MAGIC パケットを使用して起動する 設定手順

1. ERXFCON.CRCEN および ERXFCON.MPEN をセットする
2. すべてのペンディングパケットを処理する
3. EIE.PKTIE および EIE.INTIE をセットする
4. 外部割り込み $\overline{\text{INT}}$ 信号でホストコントローラを起動できるように設定する
5. ホストコントローラおよびその他のサブシステムをスリープモードにし、電力を節約する

Magic パケットを受信すると、EPKTCNT が 1 にインクリメントされ、EIR.PKTIF ビットがセットされます。そして、ESTAT.INT ビットがセットされ、 $\overline{\text{INT}}$ 信号が Low 駆動してホストコントローラを起動します。

13.0 ダイレクト メモリ アクセス コントローラ

ENC28J60には、2つの目的を果たすDMAコントローラが内蔵されています。このコントローラを使用すると、8Kバイトのメモリバッファ内の2つのロケーション間データコピーが可能で、またTCPおよびIPなどの業界標準プロトコルに準拠する16ビットのチェックサム計算が可能です。

DMA動作が開始すると、EDMASTレジスタペアが内部ソースポインタへコピーされます。DMAは1バイトずつ実行し、内部ソースポインタをインクリメントします。1バイトが処理されたときに内部ソースポインタが受信バッファエンドポインタ(ERXND)と等しい場合、内部ソースポインタはインクリメントしません。その代わりに、受信バッファスタートポインタ(ERXST)の値が内部ソースポインタにロードされます。このようにして、DMAは受信バッファの循環FIFO構造に従い、1つの動作で受信パケットを処理できます。内部ソースポインタとEDMANDポインタが一致すると、DMA動作は終了します。

DMA動作中、DMAポインタおよびECON1.CSUMENビットは変更してはいけません。ECON1.DMASTビットをクリアすると、DMA動作を任意のタイミングでキャンセルできます。このときレジスタは変更されません。ただし、DMAのコピーが実行中の場合は、いくつかのメモリバイトがすでにコピーされている可能性があります。

メモ 1: 受信バッファで折り返しが実行されたため、EDMANDポインタへ到達しない場合、DMA動作は終了しません。

2: デザインによっては、1バイトのみをコピーする場合はDMAモジュールを使用しません(EDMAST = EDMAND)。使用すると、バッファ内のすべてのメモリを上書きし、永遠に終了しない可能性があります。

13.1 メモリをコピーする

バッファ内でメモリをコピーする場合は、次を実行します。

1. EDMAST、EDMAND、およびEDMADSTレジスタペアを適切にプログラムします。EDMASTは、コピーする最初のバイトを指します。EDMANDレジスタは、コピーする最後のバイトを指します。そして、EDMADSTレジスタは、デスティネーション範囲内の最初のバイトを指します。デスティネーション範囲は常に直線型になり折り返しは生じません(8Kバイトメモリ境界8191から0を除く)。スタートおよびエンドポインタをプログラムする際には細心の注意を払い、8Kバイトバッファのすべてを上書きしてしまうエンドレスなDMA動作を回避してください。
2. コピープロセス完了後に割り込み信号が必要な場合は、EIE.DMAIEおよびEIE.INTIEをセットし、EIR.DMAIFをクリアしてください。
3. ECON1.CSUMENがクリアされていることを確認します。
4. ECON1.DMASTをセットしてDMAコピーを開始します。

DMASTビットがセットされているとき、送信動作が実行中の場合、ENC28J60は送信動作が終了するまで待機してからDMAコピーを実行します。DMAと送信エンジンが1つのメモリアクセスポートを共有しているため、このような遅延が生じます。

コピーが完了すると、DMAハードウェアはDMASTビットをクリアしてDMAIFビットをセットし、割り込み信号を生成します(有効の場合のみ)。ポインタとEDMACSレジスタは変更されません。

DMAモジュールが初期化されてコピーが開始すると、各バイトをコピーするのに2クロックサイクルが必要になります。最大サイズの1518バイトパケットがコピーされる場合は、完了するのに121.44μs時間強必要です。最小サイズの64バイトパケットをコピーする時間は、DMAをコンフィギュレーションする時間より短いです。

13.2 チェックサム計算

チェックサム計算ロジックは、ソースデータを一連の16ビットビッグエンディアン整数として処理します。ソース範囲に奇数バイトが含まれる場合は、パディングバイトの00hが一連整数の最後に追加され、チェックサム計算されます。計算は16ビット単位で1の補数和の1の補数を計算します。たとえば、チェックサム計算に含まれるバイトが{89h, ABh, CDh}の場合は、まず89ABh + CD00hを計算します。16番目でキャリーが発生し、16ビットの1の補数計算で最初のビットに追加されます。その結果は56AChとなり、A953hの補数になります。

チェックサム計算をするには、次を実行します。

1. EDMAST および EDMAND レジスタ ペアを、チェックサムに含められるバッファ データの最初と最後のバイトを指すようにプログラムします。これらをプログラムする際には、受信バッファの折り返し機能によってチェックサム計算がエンドレスになるのを回避するように、注意が必要です。
2. チェックサム計算が完了したときにオプションで割り込みを生成するには、EIR.DMAIF をクリアし、EIE.DMAIE をセットし、EIE.INTIE をセットします。
3. ECON1.CSUMEN および ECON1.DMAST をセットして計算を開始します。

チェックサム計算が終了後、ハードウェアは DMAST ビットをクリアし、DMAIF ビットをセットして割り込みを生成します (有効の場合のみ)。DMA ポインタは変更されず、メモリも書き込まれません。DMACSH お

よび EDMACSL レジスタに計算されたチェックサムが保存されます。ホスト コントローラは、この値をパケットに書き込んだり、受信したチェックサムと比較したり、また、その他の目的にも使用できます。TCP および IP などのさまざまなプロトコルには、データ範囲内にチェックサム計算用のチェックサムフィールドがあります。このようなパケットを受信してホスト コントローラがチェックサムを検証する必要がある場合は、次の手順に従います。

1. パケットからチェックサムを読み出し、一時的な場所に保存します。
2. チェックサム フィールドに 0 を書き込みます。
3. DMA コントローラを使用して、新しいチェックサム計算をします。
4. 計算結果と手順 1 で保存したチェックサムを比較します。

ERXRDPト ポインタを使用して書き込みアドレスが保護されている場合は、受信バッファへの書き込みが許可されます。詳細は、7.2 「パケット受信」を参照してください。

IP チェックサムには、処理要件をさらに抑えることを可能にするための特別な演算プロパティがあります。これにより、アプリケーションによっては、受信バッファへの書き込みが不要になる場合があります。

チェックサム モードで DMA を動作する場合は、チェックサムに各バイトを含めるのに1クロックサイクルが必要です。つまり、1446 バイト全体のチェックサム計算を実行する場合は、完了まで57.84μs 時間強必要になります。

表 13-1: DMA コントローラと関連するレジスタのサマリ

レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセットの参照ページ
EIE	INTIE	PKTIE	DMAIE	LINKIE	TXIE	r	TXERIE	RXERIE	13
EIR	—	PKTIF	DMAIF	LINKIF	TXIF	r	TXERIF	RXERIF	13
ECON1	TXRST	RXRST	DMAST	CSUMEN	TXRTS	RXEN	BSEL1	BSEL0	13
ERXNDL	RX 終点下位バイト (ERXND<7:0>)								13
ERXNDH	—	—	—	RX 終点上位バイト (ERXND<12:8>)					13
EDMASTL	DMA 始点下位バイト (EDMAST<7:0>)								13
EDMASTH	—	—	—	DMA 始点上位バイト (EDMAST<12:8>)					13
EDMANDL	DMA 終点下位バイト (EDMAND<7:0>)								13
EDMANDH	—	—	—	DMA 終点上位バイト (EDMAND<12:8>)					13
EDMADSTL	DMA デスティネーション下位バイト (EDMADST<7:0>)								13
EDMADSTH	—	—	—	DMA デスティネーション上位バイト (EDMADST<12:8>)					13
EDMACSL	DMA チェックサム下位バイト (EDMACS<7:0>)								13
EDMACSH	DMA チェックサム上位バイト (EDMACS<15:8>)								13

記号: — = 未実装ビット、0 が読み出されます。影付きセルは DMA コントローラで使用されません。

14.0 パワーダウン

SPI インターフェイスを介して、ENC28J60 をパワーダウンできます。パワーダウン中、パケットの送受信はできません。

電力消費を最小限にする場合は、次を実行します。

1. ECON1.RXEN をクリアしてパケット送信を無効にします。
2. ESTAT.RXBUSY をポーリングして、受信中のパケットが完了するまで待機します。このビットは処理開始前にクリアしておきます。
3. ECON1.TXRTS がクリアされたかを確認しながら、送信中のパケットが完了するまで待機します。
4. ECON2.VRPS をセットします (セットされていない場合のみ)。
5. ECON2.PWRSV をセットしてスリープモードに入ります。これですべての MAC、MII、および PHY レジスタへのアクセスは不可となります。PWRSV をセットすると自動的に ESTAT.CLKRDY がクリアされます。

スリープモード中、すべてのレジスタおよびバッファメモリはステータスを保持します。ホストコントローラは、ETF レジスタおよびバッファメモリへのアクセ

スが可能です。また、クロックドライバは継続して動作を続けます。CLKOUT 機能は影響を受けません。詳細は、2.3 「CLKOUT ピン」を参照してください。

通常動作させる場合は、ホストコントローラで特別な手順を実行する必要があります。

1. ECON2.PWRSV をクリアしてウェイクアップさせます。
2. PHY が安定するまで最低限 300 μ s 待機します。この遅延の代わりに、ホストコントローラで ESTAT.CLKRDY をポーリングし、このビットがセットされるまで待機することも可能です。
3. ECON1.RXEN をセットして受信動作を有効にします。

スリープモードを解除してから、新たなリンクが構築されるまで数ミリ秒の遅延が発生します (適切なリンクパートナーがあることが前提)。ホストコントローラはリンクが構築されるまで待機し、その後パケットを送信します。リンクステータスは、PHSTAT2.LSTAT ビットをポーリングして確認できます。リンク変化割り込みが有効の場合は、これを使用することも可能です。詳細は、12.1.5 「リンク変更割り込みフラグ (LINKIF)」を参照してください。

表 14-1: パワーダウンで使用されるレジスタのサマリ

レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセットの参照ページ
ESTAT	INT	BUFER	r	LATECOL	—	RXBUSY	TXABRT	CLKRDY	13
ECON2	AUTOINC	PKTDEC	PWRSV	r	VRPS	—	—	—	13
ECON1	TXRST	RXRST	DMAST	CSUMEN	TXRTS	RXEN	BSEL1	BSEL0	13

記号: — = 未実装ビット、0 が読み出されます。r = 予約ビット、影付きセルはパワーダウンに使用されません。

ENC28J60

メモ:

15.0 内蔵セルフテスト コントローラ

ENC28J60には、8K バイトのメモリ バッファにおける各ビットの正常動作を確認するためにデザインされたビルトインセルフテスト (BIST) モジュールがあります。もともと、この機能は製造中のテスト用に使用されていましたが、現在ではユーザーが診断目的で使用できるようにしました。コントローラがバッファ メモリのすべてのロケーションに書き込みを実行し、通常のイーサネット動作で共有されているハードウェアをいくつか必要とします。したがって、BIST 機能はリセットまたは必要なハードウェアが開放されたときのみ使用できます。BIST 機能を使用する場合は、ECON1 レジスタの DMAST、RXEN、および TXRTS ビットがすべてクリアされている必要があります。

BIST コントローラは、次の4つのレジスタを使用して動作します。

- EBSTCON レジスタ (制御およびステータス レジスタ)
- EBSTSD レジスタ (シード値/イニシャル シフト値)
- EBSTCSH および EBSTCSL レジスタ (生成されたチェックサムの上位および下位バイト)

EBSTCON レジスタ (レジスタ 15-1) は、テスト モードの選択およびセルフテスト プロセスの開始を実行など、モジュールの全体動作を制御します。メモリ テスト用のビット パターンは、EBSTSD シード レジスタから提供されます。このレジスタ コンテンツは直接使用されたり、擬似乱数ジェネレータ用のシードとして使用されます (テスト モードに依存する)。

レジスタ 15-1: EBSTCON: イーサネット セルフテスト制御レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PSV2	PSV1	PSV0	PSEL	TMSEL1	TMSEL0	TME	BISTST
bit 7							bit 0

記号:

R = 読み出し可能なビット W = 書き込み可能なビット U = 未実装ビット、0 として読み出される
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

bit 7-5 **PSV2:PSV0:** パターン シフト値ビット

TMSEL<1:0> = 10 の場合:

各メモリ ロケーションへ書き込み後、EBSTSD のビットが指定した値分左へシフトする

TMSEL<1:0> = 00, 01 または 11 の場合:

この値は無視される

bit 4 **PSEL:** ポート セレクト ビット

1 = メモリ アクセス中、DMA および BIST モジュールがポート交換する
 0 = 通常コンフィギュレーション

bit 3-2 **TMSEL1:TMSEL0:** テスト モード セレクト ビット

11 = 予約
 10 = Pattern Shift Fill モード
 01 = Address Fill モード
 00 = Random Data Fill モード

bit 1 **TME:** テスト モード イネーブル ビット

1 = テスト モード有効
 0 = テスト モード無効

bit 0 **BISTST:** ビルトイン セルフテスト スタート / ビジー ビット

1 = テスト実行中。テストが終了すると自動的にクリアされる
 0 = テストなし

15.1 BIST 機能の使い方

BIST コントローラが開始されると、テスト コンフィギュレーション用に生成されたデータですべてのバッファ領域が書き込まれ、同時にデータのチェックサム計算が実行されます。BIST 完了後、EBSTCS レジスタがチェックサム値でアップデートされます。ホスト コントローラでは、全メモリのチェックサム計算をする DMA モジュールを使用して、テストの結果を確認できます。DMA で生成されたチェックサム結果は、BIST チェックサムと一致するはずですが、テストの結果、チェックサムが一致しない場合は、ハードウェアにエラーがある可能性があります。

BIST コントローラは、次の3つの動作が可能です。

- Random Data Fill モード
- Address Fill モード
- Pattern Shift Fill モード

BIST および DMA モジュールがデュアルポート SRAM へアクセスするポートは、各3つのテスト モードで交換できます。これにより、両ポートからの読み出し/書き込みが正常であることを確認できます。

BIST を使用する場合は、次の手順を実行します。

1. EDMAST レジスタ ペアを 0000h としてプログラムする。
2. EDMAND および ERXND レジスタ ペアを 1FFFh としてプログラムする。
3. ECON1 の CSUMEN をセットして、チェックサム生成用に DMA を設定する
4. EBSTSD レジスタへシード値 / イニシャル シフト値を書き込む (Address Fill モードの場合は不要)。
5. テスト モードを有効にし、任意のテストを選択し、テスト用に任意のポート コンフィギュレーションを選択する。
6. EBSTCON.BISTST をセットして BIST を開始する。
7. ECON1 で DMAST をセットして DMA チェックサムを開始する。DMA は、BIST コントローラがメモリへ書き込みする動作と同じ速度で、メモリから読み出す。そのため、BIST 開始後はいつでも DMA が開始可能。
8. DMAST ビットをポーリング、またはDMA 割り込み (有効の場合のみ) を受信して、DMA が完了するまで待機する。
9. EDMACS レジスタと EBSTCS レジスタを比較する。

正確なテスト結果を得るためには、ポート セレクト ビット (PSEL) を変更して再度テストを実行してください。Address Fill モードを使用していない場合は、期待通りにメモリが動作しているかを確実にするために、異なるシード値を使用して再度テストを実行してください。

BISTST、DMAST および TME ビットをクリアすると、テスト中に BIST テストをキャンセルできます。BIST コントローラがメモリへ書き込み中は、EBSTSD レジスタへのアクセスおよびその他のコンフィギュレーションを変更してはいけません。メモリ書き込みおよびチェックサム生成が完了すると、BISTST ビットが自動的にクリアされます。

BIST モジュールは、1 バイトを RAM へ書き込むごとに 1 クロック サイクル必要です。DMA モジュールのチェックサム インプリメンテーションには同等の時間が必要から、BIST を開始後直ぐに次の BIST を開始することができます。したがって、1 回のテストを完了するのに最低限必要な時間は 327.68 μ s 強となります。

15.2 Random Data Fill モード

Random Data Fill モードの場合、BIST コントローラが擬似乱数データをバッファへ書き込みます。LFSR (リニアフィードバックシフトレジスタ) インプリメンテーションにより、乱数データが生成されます。乱数ジェネレータは、EBSTSD レジスタの初期コンテンツでシードされ、このレジスタは BIST が完了したときに新しいコンテンツを取得します。

LFSR インプリメンテーションにより、初期シード 0 は連続的な 0 パターンを生成します。つまり、シード値が 0 以外の場合は、より広範囲のメモリ テストが実行されるということです。2 回のテストで同じシード値を選択すると、同じテストを繰り返すことができます。

15.3 Address Fill モード

Address Fill モードの場合、BIST コントローラが各メモリ アドレスの下位バイトを対応するバッファ ロケーションへ書き込みます。たとえば、BIST が実行されると、ロケーション 0000h の場合は 00h、ロケーション 0001h の場合は 01h、ロケーション 0E2Ah の場合は 2Ah が書き込まれます。この固定メモリ パターンを使用し、BIST および DMA モジュールは常にチェックサム F807h を生成します。ホスト コントローラは、Address Fill モードを使用して、BIST と DMA モジュールが予想通りの動作をしているかを検証できます。

15.4 Pattern Shift Fill モード

Pattern Shift Fill モードの場合、BIST コントローラは EBSTSD の値をメモリ ロケーション 0000h へ書き込みます。ロケーション 0001h へ書き込む前に EBSTSD コンテンツを EBSTCON の PSV2:PSV0 ビットで指定した値分左へシフトします。EBSTSD の最上位ビットは最下位へローテートされます。新しいアドレスごとに、このローテートが繰り返されます。つまり格子状にバッファメモリへ書き込まれるため、メモリアクセス時に隣接するメモリ エレメントは相互干渉しません。

表 15-1: セルフテスト コントローラに関連するレジスタのサマリ

レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット 値の参照 ページ
ECON1	TXRST	RXRST	DMAST	CSUMEN	TXRTS	RXEN	BSEL1	BSEL0	13
ERXNDL	RX 終点下位バイト (ERXND<7:0>)								13
ERXNDH	—	—	—	RX 終点上位バイト (ERXND<12:8>)					13
EDMASTL	DMA 始点下位バイト (EDMAST<7:0>)								13
EDMASTH	—	—	—	DMA 始点上位バイト (EDMAST<12:8>)					13
EDMANDL	DMA 終点下位バイト (EDMAND<7:0>)								13
EDMANDH	—	—	—	DMA 終点上位バイト (EDMAND<12:8>)					13
EDMACSL	DMA チェックサム下位バイト (EDMACS<7:0>)								13
EDMACSH	DMA チェックサム上位バイト (EDMACS<15:8>)								13
EBSTSD	内蔵セルフ テスト フィルシード (EBSTSD<7:0>)								14
EBSTCON	PSV2	PSV1	PSV0	PSEL	TMSEL1	TMSEL0	TME	BISTST	14
EBSTCSL	内蔵セルフ テスト チェックサム下位バイト (EBSTCS<7:0>)								14
EBSTCSH	内蔵セルフ テスト チェックサム上位バイト (EBSTCS<15:8>)								14

記号: — = 未実装ビット、0 が読み出されます。影付きセルは使用されません。

ENC28J60

メモ:

16.0 電気的特性

絶対最大定格

保存温度	-65 °C ~ +150 °C
動作時周囲温度	-40 °C ~ +85 °C (インダストリアル) 0 °C ~ +70 °C (コマーシャル)
V _{SS} に対する V _{DD} 、V _{DDOSC} 、V _{DDPLL} 、V _{DDRX} 、および V _{DDTX} の電圧	-0.3V ~ 3.6V
V _{SS} に対する $\overline{\text{RESET}}$ 、 $\overline{\text{CS}}$ 、SCK、および SI の電圧	-0.3V ~ 6.0V
V _{SS} に対する CLKOUT、SO、OSC1、OSC2、LEDA、および LEDB の電圧	-0.3V ~ V _{DD} + 0.3V
V _{SS} に対する TPIN+/- および TPOUT+/- の電圧	-0.3V ~ 5.0V
V _{SS} に対する V _{CAP} (メモ 1)	-0.3V ~ 2.75V
すべてのピンにおける ESD 保護	2 kV
LEDA および LEDB でソースまたはシンクされる電流	12 mA
CLKOUT でソースまたはシンクされる電流	8 mA
$\overline{\text{INT}}$ および SO でソースまたはシンクされる電流	4 mA

注 1: V_{CAP} は、外部負荷に供給できません。このピンに外部電圧を適用してはいけません。

注意：ここで記載する「絶対最大定格」を超えるストレスを使用すると、デバイスに永久的な破損を与える場合があります。ここに定める値はストレスの度合いのみを示すものであり、これらの定格値から推奨動作条件に記載する値までの範囲内におけるデバイス機能動作を示すものではありません。また、絶対最大定格の条件下で長時間使用すると、デバイスの信頼性に影響を与えることがあります。

ENC28J60

16.1 DC 特性 : ENC28J60 (インダストリアルおよびコマーシャル)

DC 特性		標準動作条件 -40 °C ≤ TA ≤ +85 °C, 3.10V ≤ VDD ≤ 3.60V (インダストリアル) 0 °C ≤ TA ≤ +70 °C, 3.10V ≤ VDD ≤ 3.60V (コマーシャル)										
Param. No.	シンボル	特性	最小	標準	最大	単位	条件					
D001	VDD	電源電圧	3.10	3.30	3.60	V						
D002	VPOR	VDD POR 電圧	—	—	0.7	V	詳細は、POR セクションを参照					
D003	SVDD	内部 POR 信号を確実にする VDD 立ち上がりレート	0.05	—	—	V/ms	詳細は、POR セクションを参照					
D004	VIH	入力 High 電圧	2.25	—	5.5	V						
D005		SCK、CS、SI、RESET OSC1						0.7 VDD	—	VDD	V	
D006	VIL	入力 Low 電圧	Vss	—	1.0	V						
D007		SCK、CS、SI、RESET OSC1						Vss	—	0.3 VDD	V	
	VOH	出力 High 電圧	VDD - 0.7	—	—	V	IOH = -12.0 mA (メモ 1)					
		LEDA、LEDB CLKOUT						VDD - 0.7	—	—	V	IOH = -8.0 mA (メモ 1)
		INT、SO						VDD - 0.7	—	—	V	IOH = -4.0 mA (メモ 1)
	VOL	出力 Low 電圧	—	—	0.4	V	IOL = 12.0 mA					
		LEDA、LEDB CLKOUT						—	—	0.4	V	IOL = 8.0 mA
		INT、SO						—	—	0.4	V	IOL = 4.0 mA
	RPU	弱プルアップ抵抗	74K	—	173K	Ω						
	IIL	入力リーク電流	—	—	±1	μA	CS = RESET = VDD、 VSS ≤ VPIN ≤ VDD、ハイインピーダンス状態のピン (メモ 1)					
		OSC1 を除くすべての入力ピン						—	—	±200	μA	OSC1 = VDD (メモ 1)
	IDD	動作電流	—	160	180	mA	VDD = 3.30V、F _{SCK} = 10 MHz、 SO = オープン、LEDA および LEDB はオープン、 ECON2<PWRSV> = 0					
		イーサネット パケットを 転送中						—	120	—	mA	VDD = 3.30V、 LEDA および LEDB はオー プン、ECON2<PWRSV> = 0
	IDDS	スタンバイ電流	—	1.2	2.0	mA	CS = VDD、入力は VDD また は VSS に接続、VDD = 3.3V、 TA = 25 °C、 ECON2<PWRSV> = 1					
		(スリープモード)										

注 1: このピンにはソース電流が流れるため、負の電流が定義されます。

表 16-1: AC 特性 : ENC28J60 (インダストリアルおよびコマーシャル)

AC 特性	標準動作条件 -40 °C ≤ TA ≤ +85 °C , 3.10V ≤ VDD ≤ 3.60V (インダストリアル) 0 °C ≤ TA ≤ +70 °C , 3.10V ≤ VDD ≤ 3.60V (コマーシャル)
-------	--

表 16-2: オシレータ タイミング特性

Param. No.	シンボル	特性	最小	標準	最大	条件
	FOSC	オシレータの周波数	25	25	MHz	
	TOSC	オシレータの 1 サイクルの時間	40	40	ns	
	TDUTY	デューティ サイクル (外部クロック入力)	40	60	%	
	Δf	クロックトレランス	—	±50	ppm	

表 16-3: リセット AC 特性

Param. No.	シンボル	特性	最小	標準	最大	条件
	trl	RESET ピンの High 時間 (リセット イベントの間)	2	—	μs	
	trSTLOW	リセットをトリガするための RESET ピンの Low 時間	400	—	ns	

表 16-4: CLKOUT ピン AC 特性

Param. No.	シンボル	特性	最小	標準	最大	条件
	t _h CLKOUT	CLKOUT ピンの High 時間	16.5	—	ns	TDUTY = 50% (メモ 1)
	t _l CLKOUT	CLKOUT ピンの Low 時間	16.5	—	ns	TDUTY = 50% (メモ 1)
	t _r CLKOUT	CLKOUT ピンの立ち上がり時間	—	3	ns	0.1 VDD から 0.9 VDD で計測、負荷 = 10 pF (メモ 1)
	t _f CLKOUT	CLKOUT ピンの立ち下がり時間	—	4	ns	0.9 VDD から 0.1 VDD で計測、負荷 = 10 pF (メモ 1)

注 1: CLKOUT プレスケータは 1 分周に設定されています。

表 16-5: 外付けトランスの要件

パラメータ	最小	標準	最大	単位	条件
RX トランス巻き数比	—	1:1	—	—	
TX トランス巻き数比	—	1:1	—	—	トランスの中央タップ = 3.3V
挿入ロス	0.0	0.6	1.1	dB	
一次側インピーダンス	350	—	—	μH	8 mA バイアス
トランス絶縁耐圧	—	1.5	—	kV	
差動のコモン モード除去比	40	—	—	dB	0.1 ~ 10 MHz
リターンロス	-16	—	—	dB	

ENC28J60

図 16-1: SPI 入力タイミング

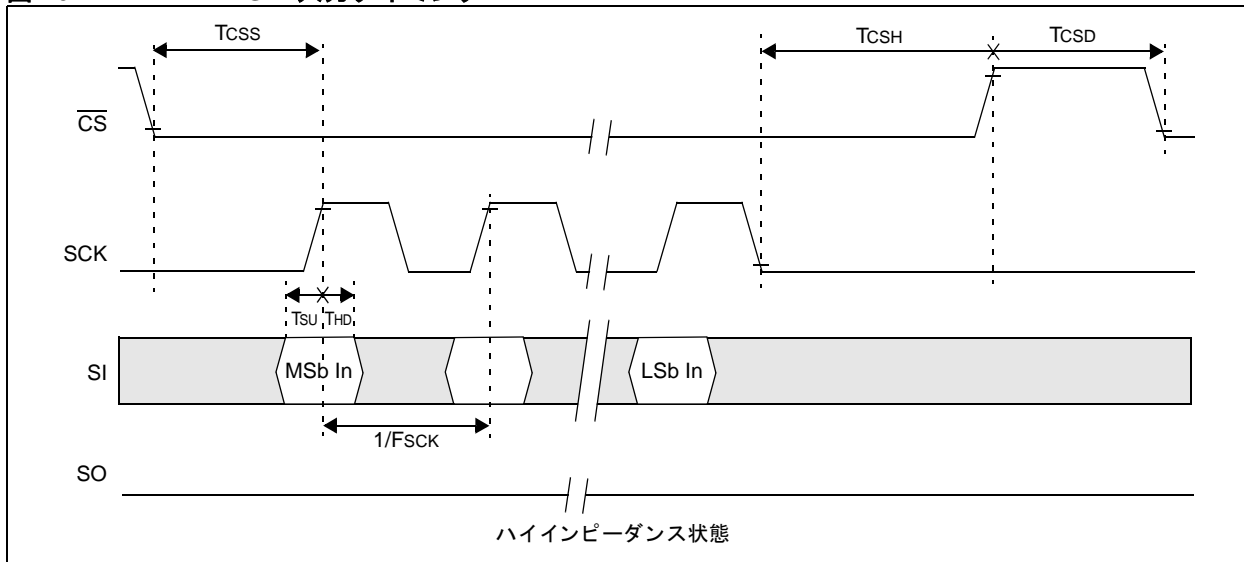


図 16-2: SPI 出力タイミング

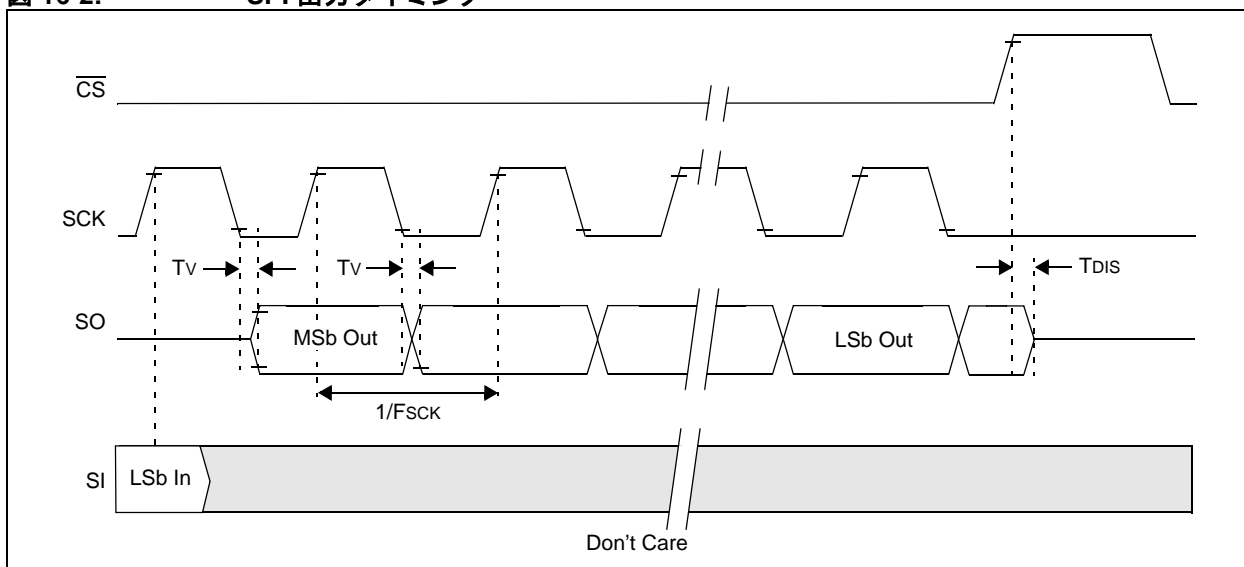


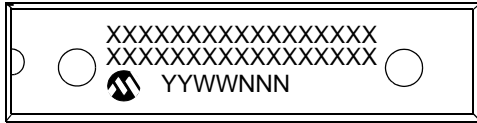
表 16-6: SPI インターフェイス AC 特性

Param. No.	シンボル	特性	最小	標準	最大	条件
	Fsck	クロック周波数	DC	20	MHz	
1	Tcss	\overline{CS} セットアップ時間	50	—	ns	
2	Tcsh	\overline{CS} ホールド時間	10	—	ns	ETHレジスタおよびメモリバッファ
			210	—	ns	MACおよびMIIレジスタ
3	TcSD	\overline{CS} 無効時間	50	—	ns	
4	Tsu	データセットアップ時間	10	—	ns	
5	Thd	データホールド時間	10	—	ns	
6	Tv	クロック Low から出力までの時間	—	10	ns	SO 負荷 = 30 pF
7	Tdis	出力無効時間	—	10	ns	SO 負荷 = 30 pF

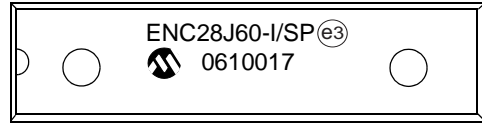
17.0 パッケージ情報

17.1 パッケージ マーキング情報

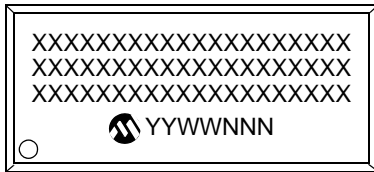
28 リード SPDIP



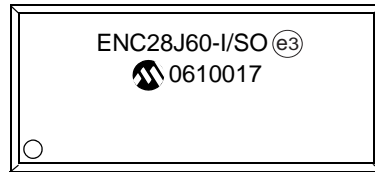
例



28 リード SOIC



例



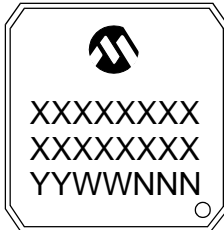
28 リード SSOP



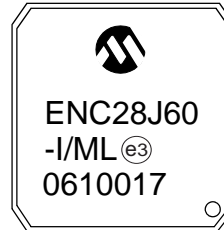
例



28 リード QFN



例



記号:	XX...X	カスタマ仕様情報
	Y	年コード (暦年の最後の桁)
	YY	年コード (暦年の最後の2桁)
	WW	週コード (1月1日の週が「01」)
	NNN	英数字のトレーサビリティコード
	(e3)	光沢のない錫 (Sn) めっきに関する鉛フリー JEDEC シンボル
	*	鉛フリーパッケージ。鉛フリー JEDEC シンボル (e3) は、パッケージの外部に表示

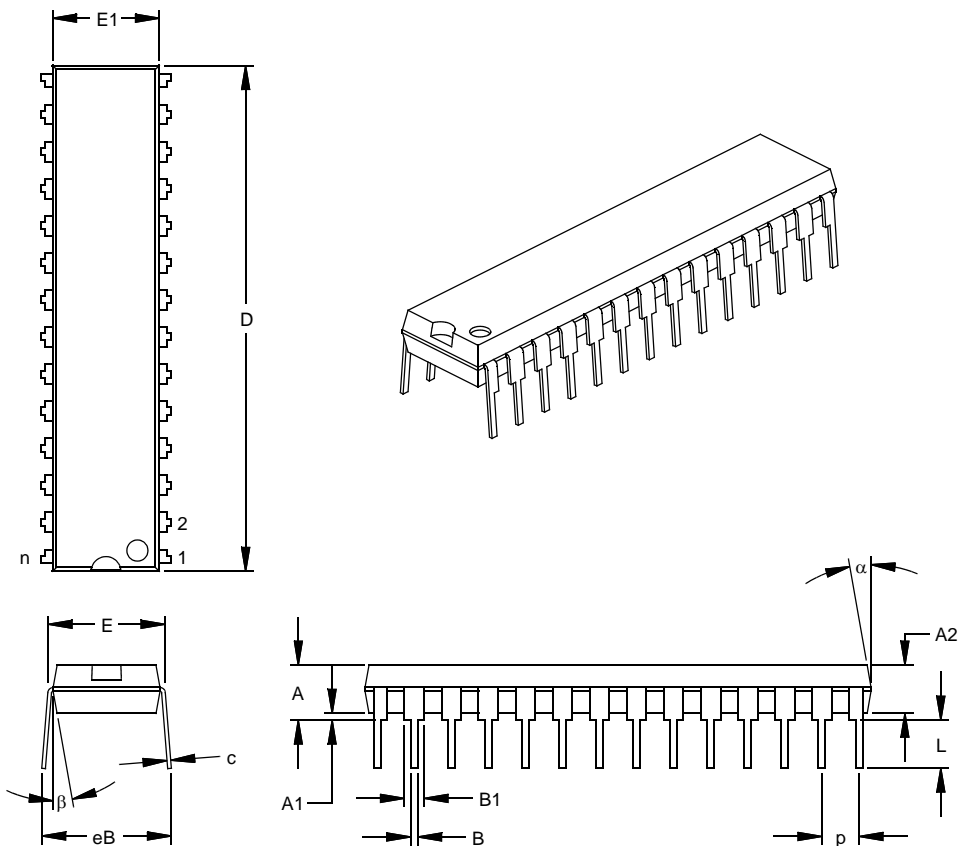
注: マイクロチップのデバイス番号が1行で表示できない場合は、残りの文字が2行目に表示されます。したがって、カスタマ仕様情報を表示するスペースが制限されます。

ENC28J60

17.2 パッケージの詳細

このセクションでは、パッケージの技術的な詳細を示します。

28 リード細型プラスチック デュアル インライン (SP) – 幅 300 ミル (PDIP)



サイズ制限	単位	インチ*			ミリメートル		
		最小	標準	最大	最小	標準	最大
ピン数	n	28			28		
ピッチ	P		.100			2.54	
上部から台までの厚さ	A	.140	.150	.160	3.56	3.81	4.06
モールドされたパッケージの厚さ	A2	.125	.130	.135	3.18	3.30	3.43
ベースから台までの厚さ	A1	.015			0.38		
パッケージ肩幅	E	.300	.310	.325	7.62	7.87	8.26
モールドされたパッケージの幅	E1	.275	.285	.295	6.99	7.24	7.49
全長	D	1.345	1.365	1.385	34.16	34.67	35.18
先端部から台までの長さ	L	.125	.130	.135	3.18	3.30	3.43
リードの厚さ	c	.008	.012	.015	0.20	0.29	0.38
上部リード幅	B1	.040	.053	.065	1.02	1.33	1.65
下部リード幅	B	.016	.019	.022	0.41	0.48	0.56
全体の横幅	§ eB	.320	.350	.430	8.13	8.89	10.92
モールド アングル (上部)	α	5	10	15	5	10	15
モールド アングル (下部)	β	5	10	15	5	10	15

* コントローリング パラメータ

§ 重要特性

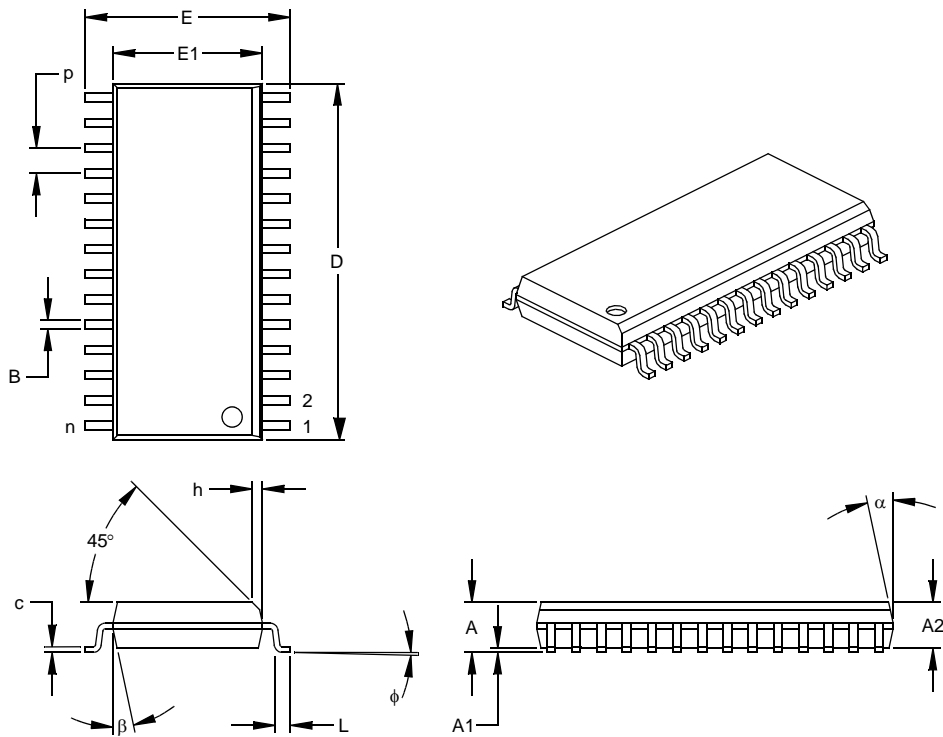
注:

サイズ D および E1 は、モールド フラッシュまたは突起部分を含みません。モールド フラッシュまたは突起部分は、各サイド .010" (0.254mm) 未満です。

JEDEC 等価: MO-095

図表番号: C04-070

28 リード プラスチック スモール アウトライン (SO) – ワイド型、幅 300 ミル (SOIC)



サイズ制限	単位	インチ*			ミリメートル		
		最小	標準	最大	最小	標準	最大
ピン数	n	28			28		
ピッチ	p		.050			1.27	
高さ	A	.093	.099	.104	2.36	2.50	2.64
モールドされたパッケージの厚さ	A2	.088	.091	.094	2.24	2.31	2.39
スタンドオフ	§ A1	.004	.008	.012	0.10	0.20	0.30
全体幅	E	.394	.407	.420	10.01	10.34	10.67
モールドされたパッケージ幅	E1	.288	.295	.299	7.32	7.49	7.59
全長	D	.695	.704	.712	17.65	17.87	18.08
曲線部の長さ	h	.010	.020	.029	0.25	0.50	0.74
フット レングス	L	.016	.033	.050	0.41	0.84	1.27
フット アングル トップ	φ	0	4	8	0	4	8
リード厚	c	.009	.011	.013	0.23	0.28	0.33
リード幅	B	.014	.017	.020	0.36	0.42	0.51
モールド ドラフト アングル (上部)	α	0	12	15	0	12	15
モールド ドラフト アングル (下部)	β	0	12	15	0	12	15

* コントローリング パラメータ

§ 重要特性

注:

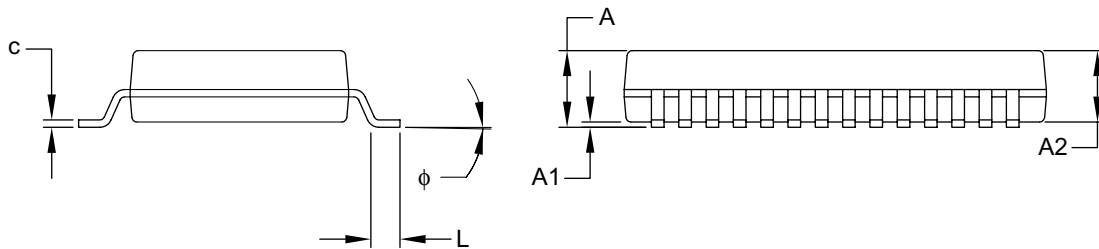
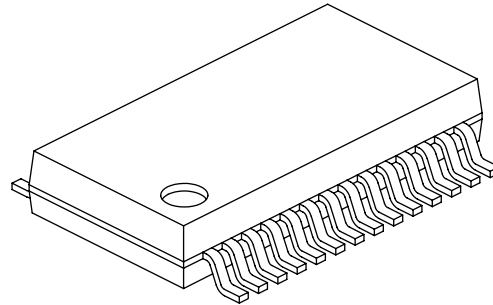
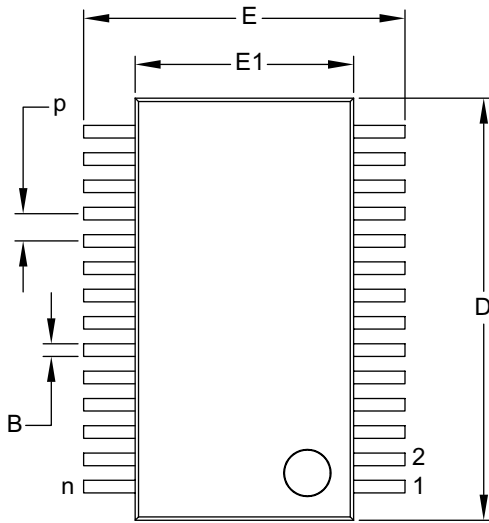
サイズ D および E1 は、モールド フラッシュまたは突起部分を含みません。モールド フラッシュまたは突起部分は、各サイド .010" (0.254mm) 未満です。

JEDEC 等価: MS-013

図表番号: C04-052

ENC28J60

28 リード プラスチック シュリンク アウトライン (SS) – 幅 209 ミル、5.30 mm (SSOP)



単位	サイズ制限	インチ			ミリメートル *		
		最小	標準	最大	最小	標準	最小
ピン数	n	28			28		
ピッチ	p		.026			0.65	
高さ	A	-	-	.079	-	-	2.0
モールドされたパッケージの厚さ	A2	.065	.069	.073	1.65	1.75	1.85
スタンドオフ	A1	.002	-	-	0.05	-	-
全体の幅	E	.295	.307	.323	7.49	7.80	8.20
モールドされたパッケージの幅	E1	.197	.209	.220	5.00	5.30	5.60
全長	D	.390	.402	.413	9.90	10.20	10.50
フット厚	L	.022	.030	.037	0.55	0.75	0.95
リード厚	c	.004	-	.010	0.09	-	0.25
フット アングル	φ	0°	4°	8°	0°	4°	8°
リード幅	B	.009	-	.015	0.22	-	0.38

* コントローリング パラメータ

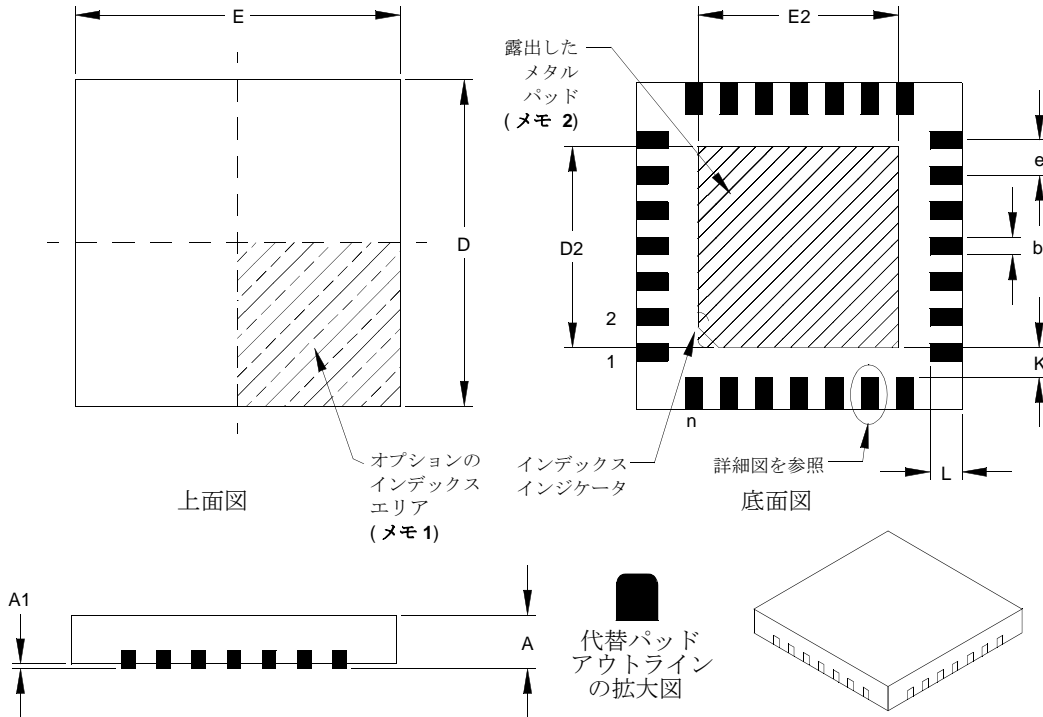
注:

サイズ D および E1 は、モールド フラッシュまたは突起部分を含みません。モールド フラッシュまたは突起部分は、

図表番号 : C04-073

更新日 1-12-06

28 リード プラスチック クワッド フラット ノンリードパッケージ (ML) 6x6 mm (QFN) – 0.55 mm コンタクト長 (シングル表示)



サイズ制限	単位	インチ			ミリメートル*		
		最小	標準	最大	最小	標準	最大
ピン数	n		28			28	
ピッチ	e	.026 BSC			0.65 BSC		
長さ	A	.031	.035	.039	0.80	0.90	1.00
スタンドオフ	A1	.000	.001	.002	0.00	0.02	0.05
コンタクトの厚さ	A3	.008 REF			0.20 REF		
全体幅	E	.232	.236	.240	5.90	6.00	6.10
露出パッド幅	E2	.153	.167	.169	3.89	4.24	4.29
全長	D	.232	.236	.240	5.90	6.00	6.10
露出パッド長	D2	.153	.167	.169	3.89	4.24	4.29
コンタクト幅	β	.009	.011	.013	0.23	0.28	0.33
コンタクト長 §	L	.018	.022	.024	0.45	0.55	0.65
コンタクトから露出パッドまでの長さ §	K	.008	-	-	0.20	-	-

* コントローリング パラメータ

§ 重要な特性

注:

- ピン 1 の表示は多様ですが、斜線範囲内に配置されています。
 - 露出パッドは、ダイアタッチパッド サイズにより異なります。
- BSC: 基本サイズ。トレランスなしの名目上の正確な値です。
(ASME Y14.5M を参照)
- REF: 参照サイズ。通常は、トレランスなしの参照目的のみ。
(ASME Y14.5M を参照)

JEDEC 等価: MO-220

図表番号: C04-105

更新日 09-12-05

ENC28J60

メモ:

目次

D		
DMA コントローラ		
バッファへの DMA アクセス	17	
関連するレジスタ	74	
E		
ENC28J60 ブロック図	3	
EREVID レジスタ	22	
H		
http	2	
I		
I/O レベル	8	
L		
LED コンフィギュレーション	8	
LEDB 極性およびリセット コンフィギュレーション	8	
M		
Magic Packet™ フィルタ	53	
P		
PHID レジスタ	22	
PHSTAT レジスタ	22	
PHY	19, 63	
PHY サブシステム リセット	63	
PHY レジスタ	19	
PHY レジスタのサマリ	20	
R		
Reset	61	
S		
SPI		
読み出し制御レジスタ	27	
い		
イーサネット バッファ		
構成 (図)	18	
イーサネット モジュール		
パケット送信	43	
イーサネットの概要	31	
インタラプト		
INT イネーブル (INTIE)	66	
受信パケット ペンディング フラグ (PKTIF)	71	
え		
エラッタ	2	
お		
オシレータ	5	
CLKOUT の変遷	6	
スタートアップ タイマ	5	
か		
カスタマ変更通知	93	
カスタマ変更通知サービス	93	
し		
終端要件	7	
受信バッファ	17	
受信バッファの空きスペース	45	
受信バッファの空きスペース計算	45	
受信フィルタ		
ユニキャスト フィルタ	52	
マルチキャスト	53	
初期化	33	
OST を待機	33	
PHY の初期設定	37	
受信バッファ	33	
受信フィルタ	33	
送信バッファ	33	
送信フィルタ	33	
せ		
制御レジスタ マップ	12	
そ		
送信バッファ	17	
送信専用リセット	62	
た		
タイミング図		
SPI 出力タイミング	25	
SPI 入力タイミング	25	
て		
電気特性		
CLKOUT ピン AC 特性	83	
DC 特性	82	
AC 特性	83	
SPI インターフェイス AC	84	
リセット AC	83	
絶対最大定格	81	
に		
二重モード		
設定およびネゴシエーション	55	
二重モードの設定およびネゴシエーション	55	
は		
パケット	42, 46	
パケット形式		
CRC フィールド	32	
ソース アドレス	32	
タイプ/レンガス フィールド	32	
データ フィールド	32	
デスティネーション アドレス	32	
パディング	32	
パケット送信	39	
パッケージ タイプ	1	
バッファの読み出しおよび書き込み	17	
パワー ダウン 75		
関連するレジスタ	75	
ひ		
ビット	29	
ビルトインセルフテスト コントローラ		
Address Fill モード	78	
EBSTCS レジスタ	78	
Pattern Shift Fill モード	78	
関連するレジスタ	79	
使用法	78	
ふ		
ブロードキャスト フィルタ	54	
フロー制御	57	
関連するレジスタ	59	
全二重モード	57	
半二重モード	57	
ブロック図		
ENC28J60 アーキテクチャ	3	
LEDB 極性コンフィギュレーション	8	
イーサネット バッファ構成	18	
インタラプト ロジック	65	
メモリ構成	11	
標準的なインターフェイス 4		
め		
命令セット	26	
メモリ構成	11	

り

リセット	
POR	62
送信専用リセット	62

れ

レジスタ	
EBSTCON (イーサネットセルフテスト制御)	77
ECOCON (クロック出力制御) 6	
EFLOCON (イーサネットフロー制御1)	58
EIR (イーサネット割り込みリクエスト)	68
ERXFCON	48
ESTAT	66
MABBIPG	36
MACON1	34
MACON3	35
MACON4	36
MICMD (MII コマンド)	21
MISTAT	21
PHCON1	63
PHCON2	37
PHIE	69
PHIR	69
PHLCON	9
PHSTAT1	23
割り込み	65
DMA フラグ (DMAIF)	71
受信エラー フラグ (RXERIF)	70
送信エラー フラグ (TXERIF)	70
送信割り込みフラグ (TXIF)	70
送信バッファ	17

マイクロチップのウェブ サイト

マイクロチップは、ウェブ サイト (www.microchip.com) ではオンライン サポートを提供しています。このウェブ サイトからいつでも容易に情報を入手できます。ご使用のインターネット ブラウザからアクセス可能であり、主な内容は次のとおりです。

- **製品サポート** – データ シート、エラッタ、アプリケーション ノート、サンプル プログラム、デザイン リソース、ユーザーズ ガイド、ハードウェア サポート ドキュメント、最新ソフトウェア リリース、アーカイブ ソフトウェア
- **テクニカル サポート** – FAQ、テクニカル サポートのリクエスト、オンライン ディスカッション グループ、マイクロチップ 顧問プログラム メンバー
- **一般情報** – 製品紹介および製品注文ガイド、最新のマイクロチップ プレス リリース、セミナーおよびイベント情報リスト、マイクロチップ 営業所リスト、販売代理店およびファクトリ情報

カスタマ変更通知サービス

マイクロチップのカスタマ通知サービスでは、マイクロチップ製品の最新情報を提供いたします。このサービスにご登録されると、特定製品ファミリまたは開発ツールに関連する変更、アップデート、改訂、またはエラッタが発効された場合に、電子メールで通知を受け取ることができます。

登録方法は、マイクロチップのウェブ サイト (www.microchip.com) から、[Change Notification] をクリックして、インストラクションに従ってください。

カスタマ サポート

マイクロチップ製品のサポートは、次のとおりです。

- 販売代理店またはセールスレップ
- 営業所
- フィールド アプリケーション エンジニア (FAE)
- テクニカル サポート
- 開発システム情報ライン

サポートが必要な場合は、販売代理店、セールスレップ、または FAE までご連絡ください。お近くの営業所でもサポートを受けられます。営業所および連絡先の詳細は、本資料の最終ページに記載しています。

テクニカル サポートは、ウェブ サイト

(<http://support.microchip.com>) からご依頼ください。

ENC28J60

読者レスポンス

弊社では、お客様にマイクロチップ製品を効果的に使用していただくことを目的としてドキュメント作成を心がけております。構成、明確度、内容などについてコメントがございましたら、テクニカルパブリケーションマネージャー宛に FAX (480) 792-4150 を送信していただくようお願いいたします。

下記の情報をご記入いただき、本書に関するお客様のコメントを追記してください。

To: テクニカルパブリケーションマネージャー 送信枚数 _____

RE: 読者レスポンス

From: 氏名 : _____

会社名 : _____

住所 : _____

電話 : (_____) _____ - _____ FAX : (_____) _____ - _____

アプリケーション名 (オプション) :

回答をご希望ですか? Y N

デバイス : ENC28J60

ドキュメント番号 : DS39662B_JP

質問内容 :

1. 本書の良い点を教えてください。

2. ハードウェアおよびソフトウェア開発をする上で、本書はどのように役に立ちましたか?

3. 本書の構成は分かりやすいですか? そうでない場合は理由をお書き下さい。

4. 本書の構成および内容を改善するためには、どのような内容が追加されるべきですか?

5. 本書の構成および内容を改善するためには、どのような内容が削除されるべきですか?

6. 本書に不正な部分または紛らわしい部分はありましたか? (その部分と内容もお書き下さい)

7. 本書を改善するための具体的なアドバイスをお願いします。

製品認識システム

ご注文およびデバイス情報 (価格またはデリバリなど) に関しては、ファクトリまたはお近くの営業所へお問合わせください。

<u>PART NO.</u>		<u>-X</u>	<u>/XX</u>
デバイス	温度範囲		パッケージ
デバイス	ENC28J60:	SPI インターフェイス付きイーサネットコントローラ	
	ENC28J60T:	SPI インターフェイス付きイーサネットコントローラ (テープおよびリール)	
温度範囲	I	= -40°C ~ +85°C (インダストリアル) (SPDIP、SOIC、および QFN パッケージのみ)	
	C	= 0°C ~ +70°C (コマーシャル) (SSOP パッケージのみ)	
パッケージ	SP	= SPDIP (Skinny Plastic DIP)	
	SO	= SOIC (Plastic Small Outline)	
	SS	= SSOP (Plastic Shrink Small Outline)	
	ML	= QFN (Quad Flat No Lead)	

例:

- ENC28J60-I/SP: インダストリアル温度、SPDIP パッケージ
- ENC28J60-I/SO: インダストリアル温度、SOIC パッケージ
- ENC28J60T-I/SO: テープおよびリール、インダストリアル温度、SOIC パッケージ
- ENC28J60-C/SS: コマーシャル温度、SSOP パッケージ
- ENC28J60T-C/SS: テープおよびリール、コマーシャル温度、SSOP パッケージ
- ENC28J60-I/ML: インダストリアル温度、QFN パッケージ



MICROCHIP

世界各国の営業所およびサポート

アメリカ合衆国

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
テクニカル サポート :
<http://support.microchip.com>
ウェブ サイト アドレス :
www.microchip.com

アトランタ Atlanta

Alpharetta, GA
Tel: 770-640-0034
Fax: 770-640-0307

ボストン Boston

Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ Chicago

Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス Dallas

Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト Detroit

Farmington Hills, MI
Tel: 248-538-2250
Fax: 248-538-2260

コーコモ Kokomo

Kokomo, IN
Tel: 765-864-8360
Fax: 765-864-8387

ロサンゼルス Los Angeles

Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608

サンタクララ Santa Clara

Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

トロント Toronto

Mississauga, Ontario,
Canada
Tel: 905-673-0699
Fax: 905-673-6509

アジア/パシフィック

アジア パシフィック営業所

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

オーストラリア - シドニー

Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

中国 - 北京

Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都

Tel: 86-28-8676-6200
Fax: 86-28-8676-6599

中国 - 福州

Tel: 86-591-8750-3506
Fax: 86-591-8750-3521

中国 - 香港特別行政区

Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 青島

Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海

Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 瀋陽

Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深川

Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 順徳

Tel: 86-757-2839-5507
Fax: 86-757-2839-5571

中国 - 武漢

Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安

Tel: 86-29-8833-7250
Fax: 86-29-8833-7256

アジア/パシフィック

インド - バンガロール

Tel: 91-80-4182-8400
Fax: 91-80-4182-8422

インド - ニューデリー

Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

インド - プーナ

Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 - 横浜

Tel: 81-45-471-6166
Fax: 81-45-471-6122

韓国 - クミ

Tel: 82-54-473-4301
Fax: 82-54-473-4302

韓国 - ソウル

Tel: 82-2-554-7200
Fax: 82-2-558-5932 or
82-2-558-5934

マレーシア - ペナン

Tel: 60-4-646-8870
Fax: 60-4-646-5086

フィリピン - マニラ

Tel: 63-2-634-9065
Fax: 63-2-634-9069

シンガポール

Tel: 65-6334-8870
Fax: 65-6334-8850

台湾 - 新竹

Tel: 886-3-572-9526
Fax: 886-3-572-6459

台湾 - 高雄

Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾 - 台北

Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

タイ - バンコク

Tel: 66-2-694-1351
Fax: 66-2-694-1350

ヨーロッパ

オーストラリア - ベルス

Tel: 43-7242-2244-3910
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン

Tel: 45-4450-2828
Fax: 45-4485-2829

フランス - パリ

Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ミュンヘン

Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

イタリア - ミラノ

Tel: 39-0331-742611
Fax: 39-0331-466781

オランダ - ドリュウネン

Tel: 31-416-690399
Fax: 31-416-690340

スペイン - マドリード

Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 - ウォーキンガム

Tel: 44-118-921-5869
Fax: 44-118-921-5820

07/21/06