

RE01グループ (1.5Mバイトフラッシュメモリ搭載製品) ルネサスマイクロコンピュータ

R01DS0363JJ0110
Rev.1.10
2020.05.29

64MHz、32ビット Arm® Cortex®-M0+、1.5Mバイトフラッシュメモリ (バックグラウンドオペレーション対応)、256KバイトSRAM、エナジーハーベスト制御回路、MIP液晶コントローラ、2Dグラフィックエンジン、超低消費電力14ビットA/Dコンバータ、基準電圧生成回路、RTC、サブクロック補正回路 (論理緩急)、セキュリティ機能 (オプション)、USB2.0フルスピード、SPI、Quad SPI

特長

■ Arm® Cortex®-M0+ コア内蔵

- 最高動作周波数 64MHz (ブーストモード)
- Arm メモリプロテクションユニット (MPU)
- CoreSight™ デバッグポート SW-DP 対応

■消費電力低減機能

- SOTB™ プロセス技術を用いたバックバイアス電圧制御
- 1.62V ~ 3.6V の超低電圧動作が可能
- 動作周波数に応じた4種類の電力制御モードをサポート
- 4種類の低消費電力モードをサポート
- 3種類の電源供給モードをサポート

■内蔵コードフラッシュメモリ

- 1.5M バイトのコードフラッシュメモリ
- バックグラウンドによるプログラム/イレーズ対応
- 32MHz 以下では0 ウェイト、32MHz より速い場合には1 ウェイト
- エリアプロテクション機能により誤書き換え、改ざんを防止

■内蔵 SRAM

- 256K バイトの0 ウェイトアクセス SRAM

■データ転送機能

- DMAC : 4 チャンネル
- DTC : 1 チャンネル

■リセットおよび電源電圧制御

- パワーオンリセット回路 (POR)
- 低電圧検出機能 (LVD) の設定可能

■マルチクロックソース

- 外部水晶発振 (メインクロック) 8 ~ 32MHz
- 外部水晶発振 (サブクロック) 32.768kHz
- 高速オンチップオシレータ (HOCO) : 24/32/48/64MHz
- 中速オンチップオシレータ (MOCO) : 2MHz
- 低速オンチップオシレータ (LOCO) : 32kHz
- 独立ウォッチドッグタイマ用オシレータ : 16kHz
- PLL 周波数シンセサイザ

■エナジーハーベスト制御

- 発電素子との直接接続可能
- 二次電池の充電を待たずに高速起動が可能
- 二次電池過充電防止機能

■独立ウォッチドッグタイマ

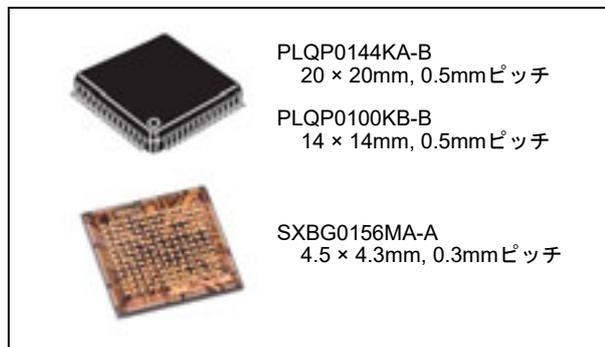
- 14ビットカウンタ、16kHz (LOCO クロックの1/2) 動作

■サブクロック補正回路

- 16秒周期で発振精度補正が可能 (論理緩急機能)
- ディープソフトウェアスタンバイモード時にも1秒周期のイベント生成可能

■通信機能

- PHY内蔵USB2.0フルスピードホスト/ファンクション×1チャンネル
- SPI×2チャンネル
最大8コマンド/128ビットバッファタイプ×1チャンネル
1コマンド/32ビットバッファタイプ×1チャンネル
- Quad SPI×1チャンネル (外付けフラッシュメモリの接続が可能)
- I²Cバスインタフェース×2チャンネル
- シリアルコミュニケーションインタフェース (SCIg) ×5チャンネル
調歩同期式/クロック同期式/簡易I²C/簡易SPI/スマートカードインタフェース/IrDAインタフェース (バージョン1.0) に対応 (SCI0のみ)
- FIFO付きシリアルコミュニケーションインタフェース (SCiI) ×2チャンネル (FIFOサイズは16バイト)



■多種多様なアナログ回路

- 超低消費電力14ビット逐次比較型A/Dコンバータ×1ユニット
高精度: 7チャンネル、標準精度: 11チャンネル
- 12ビットバッファアンプ付きD/Aコンバータ×1ユニット
- アナログコンパレータ (ACMP) ×1ユニット
- チップ内部の温度を測定可能な温度センサ×1ユニット
- 14ビットA/Dコンバータリファレンス電圧用の基準電圧生成回路
- モータ駆動用ドライバ (MTDV) ×1ユニット
最大で3個のモータ駆動が可能
- LEDを駆動できる定電流源回路 (1mA, 0.5mA) ×3チャンネル

■多種多様なタイマ回路

- 汎用PWMタイマ (GPT) ×6チャンネル
32ビットカウントタイプ×2チャンネル
16ビットカウントタイプ×4チャンネル
- 非同期汎用タイマ (AGT) ×2チャンネル
- 8ビットタイマ (TMR) ×2チャンネル
- リアルタイムクロック (RTC) ×1チャンネル
- ウォッチドッグタイマ (WDT) ×1チャンネル
- 1kHz動作の低速クロックタイマ (LST) ×1チャンネル
ストップウォッチ用10進数変換回路
- 低速パルスジェネレータ (LPG) ×1チャンネル
2種類のパルス出力 (4.096/2.048kHz) 対応

■ヒューマンマシンインタフェース

- MIP液晶コントローラ (MLCD) ×1ユニット
パラレルインタフェースタイプ対応
- 2Dグラフィックデータ変換回路 (GDT) ×1ユニット

■セキュリティ機能 (オプション)

- Trusted Secure IP Lite (TSIP-Lite) ×1ユニット
 - ・ AES (鍵長128ビット/256ビットECB/CBC/CMAC/GCM他に対応)
 - ・ Key wrappingによりユーザ暗号鍵の漏洩を防止
 - ・ アクセスマネジメント回路により暗号エンジンの不正アクセス防止
 - ・ エリアプロテクション機能との併用でセキュアブート、セキュアOTAが可能

■動作電圧・動作周囲温度

- VCC = IOVCC = 1.62V ~ 3.6V
IOVCCn、AVCCnは、1.62 ~ 3.6Vの範囲で独立に電圧設定が可能
- Ta = -40°C ~ +85°C

1. 概要 (Overview)

1.1 仕様概要

表 1.1 に仕様概要を示します。

表 1.1 仕様概要には最大仕様を掲載しており、周辺機能のチャンネル数はパッケージのピン数によって異なります。詳細は、表 1.3 機能比較を参照してください。

表 1.1 仕様概要 (1 / 9)

分類	機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：64MHz Arm® Cortex®-M0+ <ul style="list-style-type: none"> - リビジョン：r0p1-00rel0 - Arm®v6-Mアーキテクチャプロファイル - シングルサイクル整数乗算器 Arm®メモリプロテクションユニット (MPU) <ul style="list-style-type: none"> - Arm®v6保護メモリシステムアーキテクチャ - 8つのメモリ保護領域 SysTickタイマ <ul style="list-style-type: none"> - SYSTICKCLK (LOCOクロック) またはICLKによる駆動
メモリ	コードフラッシュメモリ	<ul style="list-style-type: none"> 最大1.5Mバイト 32MHz以下の場合0ウェイトアクセス、32MHzより速い場合は1ウェイトアクセス プリフェッチ機能 オンボードプログラミング：4種類 <ul style="list-style-type: none"> - シリアルプログラミングモード (SCIブートモード) でのプログラム - シリアルプログラミングモード (USBブートモード) でのプログラム - オンチップデバッグモードによるプログラム - ユーザプログラム中のコードフラッシュメモリ書き換えルーチンによるプログラム
	SRAM	<ul style="list-style-type: none"> 最大256Kバイト SRAM0：2000 0000h～2000 7FFFh SRAM1：2000 8000h～2003 FFFFh 上記いずれの領域も、低リーク電流モード時に使用可能 64MHz、0ウェイトアクセス
起動モード		3種類の起動モード： <ul style="list-style-type: none"> 通常起動モード エネルギーハーベスト起動モード SCI/USBブートモード
リセット		12種類のシステムリセットと1種類の電源遮断リセットをサポート [システムリセット] <ul style="list-style-type: none"> RES#端子リセット パワーオンリセット 独立ウォッチドッグタイマリセット ウォッチドッグタイマリセット 電圧監視0リセット 電圧監視1リセット 電圧監視BATリセット バスマスタMPUエラーリセット バススレーブMPUエラーリセット スタックポインタエラーリセット ソフトウェアリセット ディーブソフトウェアスタンバイリセット [電源遮断リセット] <ul style="list-style-type: none"> MINPWONモードリセット

表 1.1 仕様概要 (2 / 9)

分類	機能	説明
低電圧検出回路 (LVD)		<p>低電圧検出回路 (LVD) は、VCC 端子またはVBAT_EHC端子へ入力された電圧レベルを監視します。検出レベルはプログラムで選択できます。</p> <ul style="list-style-type: none"> ● 電圧検出回路0 <ul style="list-style-type: none"> - 監視対象：VCC 端子 - 内部リセット発生可能 - オプション設定メモリで有効/無効を選択可 - 電圧検出レベル：4レベルから選択可 (1.67V, 1.92V, 2.17V, 2.42V) ● 電圧検出回路1 <ul style="list-style-type: none"> - 監視対象：VCC 端子 - レジスタ設定で有効/無効を選択可 - 電圧検出レベル：8レベルから選択可 (1.67V, 1.84V, 2.00V, 2.17V, 2.33V, 2.50V, 2.66V, 2.83V) - デジタルフィルタ機能あり (LOCOクロックの2/4/8/16分周) - 上昇検知/下降検知選択可 - 内部リセット発生可能 - リセット解除タイミング2種類選択可 - 内部割り込み要求可能 - マスカブルもしくはノンマスカブル選択可 - 電圧検出モニタ機能あり - イベントリンク機能あり ● 電圧検出回路BAT <ul style="list-style-type: none"> - 監視対象：VBAT_EHC 端子 - レジスタ設定で有効/無効を選択可 - 電圧検出レベル：5レベルから選択可 (1.67V, 1.84V, 2.00V, 2.17V, 2.33V) - デジタルフィルタ機能あり (LOCOクロックの2/4/8/16分周) - 上昇検知/下降検知選択可 - 内部リセット発生可能 - リセット解除タイミング2種類選択可 - 内部割り込み要求可能 - マスカブルもしくはノンマスカブル選択可 - 電圧検出モニタ機能あり
クロック		<ul style="list-style-type: none"> ● 以下のクロック発生回路を内蔵 <ul style="list-style-type: none"> - メインクロック発振器 (MOSC) - サブクロック発振器 (SOSC) - 高速オンチップオシレータ (HOCO) - 中速オンチップオシレータ (MOCO) - 低速オンチップオシレータ (LOCO) - PLL周波数シンセサイザ - IWDT専用オンチップオシレータ (IWDTLOCO) ● クロック出力サポート <ul style="list-style-type: none"> - CLKOUT 端子 (全クロック種を出力可能) - CLKOUT32K 端子 (SOSCクロックを出力可能)

表 1.1 仕様概要 (3 / 9)

分類	機能	説明
	クロック周波数精度測定回路 (CAC)	<p>測定対象となるシステムクロックのパルス数をカウントし、基準クロック信号に基づいてシステムクロックの周波数をチェックします。周波数が一致しなかった場合、または測定終了時に、イベント信号を発生させることができます。この機能は、ホームオートメーションや工業オートメーション機器にフェールセーフ機構を組み込む場合、特に役立ちます。</p> <ul style="list-style-type: none"> 測定対象クロック <ul style="list-style-type: none"> - メインクロック - サブクロック - HOCOクロック - MOCOクロック - LOCOクロック - CCC2Kクロック - IWDT専用クロック - 周辺モジュールクロック B (PCLKB) 測定基準クロック <ul style="list-style-type: none"> - 外部から CACREF 端子に入力したクロック - メインクロック - サブクロック - HOCOクロック - MOCOクロック - LOCOクロック - CCC2Kクロック - IWDT専用クロック - 周辺モジュールクロック B (PCLKB) デジタルフィルタ選択可能
低消費電力	消費電力低減機能	<p>クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移、ドメイン単位の電源供給モードなど、さまざまな消費電力低減機能があります</p> <ul style="list-style-type: none"> 動作周波数に応じた3種類の電力制御モード <ul style="list-style-type: none"> - ブーストモード (~64MHz) - ノーマルモード - High-Speedモード (~32MHz) - Low-Speedモード (~2MHz) - Subosc-Speedモード (32.768kHz、低リーク電流モードへ遷移可) - 低リーク電流モード (32.768kHz) 5種類の低消費電力モード <ul style="list-style-type: none"> - 通常動作モード - スリープモード - ソフトウェアスタンバイモード - スヌーズモード - ディープソフトウェアスタンバイモード 3種類の電源供給モード <ul style="list-style-type: none"> - 全電源供給モード (ALLPWON) - Flash以外電源供給モード (EXFPWON) - 最小電源供給モード (MINPWON)
	バックバイアス電圧制御 (注1) (VBBC) 機能	<p>低リーク電流モードでは、プログラムにより、バックバイアス電圧制御を実施することで、低リーク動作が可能</p>
	エネルギーハーベスト制御回路 (EHC)	<p>発電素子と、蓄電用コンデンサ、および二次電池を制御して超低消費電力状態での起動が可能</p>
	レジスタライトプロテクション (RWP)	<p>ソフトウェアエラーによって重要なレジスタが書き換えられないように保護することが可能</p>
	メモリプロテクションとスタックポインタモニタ (MPU)	<ul style="list-style-type: none"> 不正メモリアクセス <ul style="list-style-type: none"> - CPU (未定義アドレス空間へのアクセス) - CPUスタックポインタモニタ: 2領域 メモリプロテクション <ul style="list-style-type: none"> - Arm® MPU: 8領域 - バスマスタ MPU: 4領域 - バススレーブ MPU セキュリティ <ul style="list-style-type: none"> - セキュリティ MPU: セキュアプログラム2領域 セキュアデータ3領域 (コードフラッシュメモリ、SRAM、TSIP-Lite)

表 1.1 仕様概要 (4 / 9)

分類	機能	説明
割り込み	割り込みコントローラ (ICU)	<ul style="list-style-type: none"> ● 周辺機能割り込み：要因数 168 ● 外部割り込み：要因数 10 (IRQ0～IRQ9 端子) ● ノンマスカブル割り込み：要因数 9 ● DMAC および DTC 制御：割り込み要因によって DMAC と DTC の起動が可能 ● NVIC への割り込み：要因数 32
キー割り込み機能 (KINT)		キー割り込み入力端子に立ち上がりエッジ/立ち下がりエッジを入力することで割り込みを発生させることが可能
外部バス		<ul style="list-style-type: none"> ● QSPI 領域：QSPI (外部デバイスインタフェース) を接続可能
DMA	データトランスファコントローラ (DTC)	<ul style="list-style-type: none"> ● 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード ● 起動要因：外部割り込み、周辺機能割り込み ● 転送チャンネル：1つの起動要因に対して複数データの転送が可能 (チェーン転送)
	DMA コントローラ (DMAC)	<p>4チャンネルのDMAコントローラ (DMAC) モジュールを内蔵しており、CPUを介さずにデータ転送が可能です。DMA転送要求が発生すると、DMACは転送元アドレスに格納されているデータを転送先アドレスへ転送します。</p> <ul style="list-style-type: none"> ● 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード ● 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
イベントリンクコントローラ (ELC)		各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPUを介さずにモジュール間の機能連動が可能
タイマ	汎用PWMタイマ (GPT)	<ul style="list-style-type: none"> ● GPT32 (32ビットカウンタ) × 2チャンネル、GPT16 (16ビットカウンタ) × 4チャンネル ● 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波) を選択可能 ● チャンネルごとに2本の入出力端子 ● チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 ● 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、4本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 ● アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 ● チャンネルごとにフレーム周期設定用レジスタを搭載 (オーバフロー/アンダフローで割り込み可能) ● PWM動作の際にデッドタイム生成が可能 ● 任意チャンネルのカウンタの同期スタート/ストップ/クリア ● ELC設定により、最大4つのELCイベントによるカウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 ● 2本の入力端子の状態を検出し、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 ● 最大2本の外部トリガにより、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 ● 出力端子間の短絡検出による出力端子無効機能 ● ブラシレスDCモータ制御用のPWM波形生成が可能 ● コンペアマッチA～Dイベント、オーバフローイベント/アンダフローイベント、および入力UVWエッジイベントをELCに出力可能 ● インプットキャプチャ入力およびホールセンサ入力に対しノイズフィルタを使用可能
	GPT用のポートアウトプットイネーブル (POE)	<ul style="list-style-type: none"> ● GTETRn端子入力レベル検出による出力禁止制御が可能 ● GPTからの要求により出力禁止制御が可能 ● 発振停止検出による出力禁止制御が可能 ● ACMP割り込み要求による出力禁止制御が可能 ● ソフトウェアレジスタの設定による出力禁止制御が可能 ● 極性とフィルタの選択後、GTETRn信号をGPTへ外部トリガ信号として出力可能 ● GTETRn端子に対して、入力フィルタを使用可能

表 1.1 仕様概要 (5 / 9)

分類	機能	説明
タイマ	非同期汎用タイマ (AGT)	<p>非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅および周期の測定、および外部イベントのカウンタに利用可能な 16 ビットのタイマです</p> <ul style="list-style-type: none"> 2 チャンネル 5 種類の動作モードをサポート <ul style="list-style-type: none"> - タイマモード - パルス出力モード - イベントカウンタモード - パルス幅測定モード - パルス周期測定モード 3 要因での割り込み/イベントリンク機能をサポート、またソフトウェアスタンバイモードからの復帰が可能 <ul style="list-style-type: none"> - アンダフローイベント信号/測定完了イベント信号 - コンペアマッチ A イベント信号 - コンペアマッチ B イベント信号
	8 ビットタイマ (TMR)	<ul style="list-style-type: none"> (8 ビット × 2 チャンネル) × 1 ユニット 7 種類の内部クロック (PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192) と外部クロックを選択可能 任意のデューティ比のパルス出力や PWM 出力が可能 2 チャンネルをカスケード接続し 16 ビットタイマとして使用可能 14 ビット A/D コンバータの変換開始トリガを生成可能 ELC によるイベントリンク機能をサポート
	リアルタイムクロック (RTC)	<p>カレンダーカウンタモードとバイナリカウンタモードの 2 種類のカウンタモードを持ちます。これらはレジスタ設定で制御されます</p> <p>カレンダーカウンタモードは、2000 年から 2099 年の 100 年間を、うるう年を自動で判定してカウントするモードです</p> <p>バイナリカウンタモードは、秒をカウントし、その情報をシリアル値として保持するモードです</p> <p>バイナリカウンタモードは、西暦以外のカレンダーに使用できます</p> <ul style="list-style-type: none"> クロックソース: サブクロック発振器 時計カウンタ/秒単位の 32 ビットバイナリカウンタを選択可能 時計/カレンダー機能 割り込み要因: アラーム割り込み、周期割り込み、桁上げ割り込み 時間キャプチャ機能 ELC によるイベントリンク機能をサポート
	クロック補正回路 (CCC)	<p>サブクロック (32.768kHz) に対して、16 秒周期で発振精度補正が可能</p> <ul style="list-style-type: none"> 補正後クロック出力: 2.048kHz/512Hz 信号出力 (CCCOUT): 512Hz/1Hz、および RTC 出力 (1Hz/64Hz) から選択可能 ELC によるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDT)	<p>システム暴走時にデバイスをリセットすることができます。カウンタのアンダフローにより、ノンマスカブル割り込みまたは割り込みを発生させることができます</p> <ul style="list-style-type: none"> 14 ビットダウンカウンタ × 1 チャンネル カウントクロック (WDTCLK): PCLKB と CCC_2K から選択可能 6 種類のカウントクロック (WDTCLK/4, WDTCLK/64, WDTCLK/128, WDTCLK/512, WDTCLK/2048, WDTCLK/8192) を選択可能
	独立ウォッチドッグタイマ (IWDT)	<p>システムが使うクロックとは独立したクロック (IWDTCLK) で動作する 14 ビットダウンカウンタで、システム暴走時にデバイスをリセットすることができます。IWDT は、デバイスをリセットする機能や、カウンタのアンダフロー発生時に割り込み/ノンマスカブル割り込みを発生させることが可能です</p> <ul style="list-style-type: none"> 14 ビット × 1 チャンネル カウントクロック: IWDTLOCO IWDTLOCO/1, IWDTLOCO/16, IWDTLOCO/32, IWDTLOCO/64, IWDTLOCO/128, IWDTLOCO/256 ウィンドウ機能: ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間) ELC によるイベントリンク機能をサポート
	低速クロックタイマ (LST)	<p>低速クロックタイマ (LST) は、1kHz のタイマカウンタと、16 進数 → 10 進数変換回路を内蔵し、10 進数表示が必要なカウンタとして利用可能な 13 ビットのタイマです</p> <ul style="list-style-type: none"> 0.000 ~ 1.999 秒 (0.001 秒単位) のカウントが可能 レジスタに、10 進数表記の値を直接格納
	低速パルスジェネレータ (LPG)	<p>32kHz クロック (SOSC クロック、LOCO クロック) で動作する 4 ビットの簡易タイマ</p> <ul style="list-style-type: none"> 2 種類のパルス出力が可能 (4.096kHz、2.048kHz) 2 種類のデューティ比を選択可能 (1/4、1/2)

表 1.1 仕様概要 (6 / 9)

分類	機能	説明
タイマ	モータドライバ制御回路 (MTDV)	<p>最大3個のモータ駆動が可能</p> <ul style="list-style-type: none"> 2信号波形出力 (3モード (PM1/PM2/PM3モード)) 3信号波形出力 (2モード (PM5/PM6モード)) 回転検出機能 (PM1モードのみ) 極性反転機能 正転・逆転制御機能 ELCによるイベントリンク機能をサポート
通信インタフェース	シリアルコミュニケーションインタフェース (SCIg, SCli)	<p>FIFOなし (SCIg) × 5チャンネル、FIFOあり (SCli) × 2チャンネル</p> <p>下記5種類の調歩同期式および同期式シリアルインタフェースとして設定可能です</p> <ul style="list-style-type: none"> 調歩同期式インタフェース (UARTおよび調歩同期式通信アダプタ (ACIA)) 8ビットクロック同期式インタフェース 簡易I²C (マスタのみ) 簡易SPI スマートカードインタフェース <p>スマートカードインタフェースは、電子信号と伝送プロトコルに関してISO/IEC7816-3規格に準拠しています</p> <p>SCi0~1は、16バイトのFIFOバッファを内蔵しており、連続した全二重通信が可能です</p> <p>また、内蔵のポーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です</p> <ul style="list-style-type: none"> LSBファースト/MSBファースト転送を選択可能 ELCによるイベントリンク機能をサポート (SCi2のみ)
	IrDAインタフェース (IrDA)	<p>SCi1と連携してIrDA (Infrared Data Association) 規格バージョン1.0に基づくIrDA通信波形の送受信を行います</p>
	I ² Cバスインタフェース (RIIC)	<p>NXP社が提唱するI²Cバス (Inter-Integrated Circuit bus) インタフェース方式に準拠しており、そのサブセット機能を提供</p> <ul style="list-style-type: none"> I²CバスフォーマットまたはSMBusフォーマット 2チャンネル マスタ/スレーブを選択可能 マルチマスタ対応転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保 ELCによるイベントリンク機能をサポート
	シリアルペリフェラルインタフェース (SPI)	<p>複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能</p> <ul style="list-style-type: none"> 最大8コマンド/128ビットバッファ × 1チャンネル (SPI0) 1コマンド/32ビットバッファ × 1チャンネル (SPI1) MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI動作 (4線式) またはクロック同期式動作 (3線式) によるシリアル通信が可能 送信のみの動作が可能 RSPCK極性切り替え RSPCK位相切り替え MSBファースト/LSBファースト選択可能 転送ビット長: 8、9、10、11、12、13、14、15、16、20、24、32ビットから選択 送信/受信バッファは128ビット (SPI0)、32ビット (SPI1) 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信および受信バッファはそれぞれダブルバッファ構造 ELCによるイベントリンク機能をサポート 3線式シリアルタイプのMIP液晶コントローラとの通信が可能 (SPI0のみ)
	クワッドシリアルペリフェラルインタフェース (QSPI)	<p>SPI互換インタフェースを持つシリアルROMに接続することが可能</p> <ul style="list-style-type: none"> 1チャンネル 拡張SPIプロトコル、Dual-SPIプロトコル、およびQuad-SPIプロトコルのサポート SPIモード0とSPIモード3の設定が可能 アドレス幅として8、16、24、32ビットを選択可能

表 1.1 仕様概要 (7 / 9)

分類	機能	説明
通信インタフェース	USB2.0FSホスト/ファンクションモジュール (USB)	<p>ホストコントローラまたはデバイスコントローラとして動作可能なフルスピードUSBコントローラです。このモジュールは、USB (Universal Serial Bus) 規格2.0のフルスピードおよびロースピード転送 (ホストコントローラのみ) をサポートしています。またUSBトランシーバを内蔵しており、USB (Universal Serial Bus) 規格2.0で定義されている全転送タイプに対応しています。</p> <p>データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。パイプ1~9に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です</p> <ul style="list-style-type: none"> UDC (USB Device Controller) およびUSB2.0トランシーバ (ホストコントローラ/デバイスコントローラ/OTG (On-The-Go) 機能に対応 (1チャンネル)) ホストコントローラとデバイスコントローラはソフトウェアで切り替え可能 セルフパワーモードおよびバスパワーモードを選択可能 ホストコントローラ機能選択時: フルスピード転送 (12Mbps) およびロースピード転送 (1.5Mbps) <p>デバイスコントローラ機能選択時: フルスピード転送 (12Mbps)</p>
アナログ	14ビットA/Dコンバータ (S14AD)	<p>逐次比較方式の14ビットA/Dコンバータを内蔵しています。アナログ入力チャンネルは最大18チャンネルまで選択可能です。変換にはアナログ入力、温度センサ出力を選択できます。A/D変換精度には12ビット変換と14ビット変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます</p> <ul style="list-style-type: none"> 14ビット×18チャンネル (最大値) (高精度: 7チャンネル、標準精度: 11チャンネル) 分解能: 14ビット (14ビットまたは12ビット変換が選択可能) 動作モード: <ul style="list-style-type: none"> スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) サンプリングステート数可変機能 A/D変換値加算モードと平均モードが選択可能 断線検出アシスト機能 ダブルトリガモード (A/D変換データ2重化機能) ELCによるイベントリンク機能をサポート A/Dデータレジスタオートクリア機能 コンペア機能 (ウィンドウA、ウィンドウB) デジタルコンペア機能 (コンペアレジスタとデータレジスタとの比較、データレジスタ間の比較)
	12ビットD/Aコンバータ (R12DA)	<p>出力アンプ付きの12ビットD/Aコンバータを内蔵</p> <ul style="list-style-type: none"> 12ビット×1チャンネル 分解能: 12ビット ELCによるイベントリンク機能をサポート
	温度センサ (TEMPS)	<p>チップ温度に正比例した電圧を出力します。出力された電圧はS14ADで変換されてから、末端の応用機器で使用できます</p>
	アナログコンパレータ (ACMP)	<p>基準入力電圧とアナログ入力電圧の比較が可能</p> <ul style="list-style-type: none"> 1チャンネル×1ユニット アナログ入力: CMPIN端子からの入力 基準電圧: CMPREF端子からの入力 ノイズフィルタの有無またはサンプリングクロック周波数を選択可能
	LEDドライバ (LED)	<p>外部LEDを3チャンネル駆動できる、定電流源回路を内蔵</p> <ul style="list-style-type: none"> 3チャンネル×1ユニット 出力定電流: 1.0mA (LED負荷1.4kΩ)、0.5mA (LED負荷2.8kΩ) 定電流温度特性: 2000ppm/°C (Ta = -20°C~60°C)
	基準電圧生成回路 (VREF)	<p>2種類 (1.25V/2.5V) の基準電圧を生成することが可能 ADCの基準電圧として使用可能です</p>

表 1.1 仕様概要 (8 / 9)

分類	機能	説明
ヒューマンマシンインタフェース (HMI)	MIP 液晶コントローラ (MLCD) (注2)	MIP方式の液晶パネルドライバ回路を内蔵
	2Dグラフィックデータ変換回路 (GDT)	2次元画像データの画像処理ができるグラフィックアクセラレータ回路を内蔵 <ul style="list-style-type: none"> 最大32バイトの画像データ処理が可能。フォント展開は63×64ビットまで対応可能 回転 (90°右回転、90°左回転、上下反転、左右反転) 縮小 (平均画素法 (1/8～7/8倍)、ビット間引き法 (1/2) に対応) 反転 (1ビット単位で1/0反転) モノクロ画像合成 (主画像と背景画像、縁取り画像の3画像合成が可能) カラー画像合成 (前景と背景画像の合成が可能。優先色・透過色指定が可能) スクロール (1ビット単位でのスクロールが可能) フォント展開 (フォントデータを画像データに変換可能) カラー化 (モノクロ画像のRGBカラー化が可能) カラーデータ整列 (独立したR/G/B画像を、RGBの順に並び替え可能) エンディアン変換機能
データ処理	巡回冗長検査 (CRC) 演算器	CRCコードを生成してデータエラーを検出します。LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダーを切り替えることができます。さらに、さまざまなCRC生成多項式を使用できます。スヌープ機能により、特定のアドレスの読み出し/書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントでCRCコードの自動生成が必要となるアプリケーションで役立ちます <ul style="list-style-type: none"> 8ビット/32ビット単位の任意データに対しCRCコードを生成 8ビットデータ：3つの多項式から1つ選択可能 <ul style="list-style-type: none"> [8ビットCRC] X^8+X^2+X+1 (CRC-8) [16ビットCRC] $X^{16}+X^{15}+X^2+1$ (CRC-16) $X^{16}+X^{12}+X^5+1$ (CRC-16-CCITT) 32ビットデータ：2つの多項式から1つ選択可能 <ul style="list-style-type: none"> [32ビットCRC] $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$ (CRC-32) $X^{32}+X^{28}+X^{27}+X^{26}+X^{25}+X^{23}+X^{22}+X^{20}+X^{19}+X^{18}+X^{14}+X^{13}+X^{11}+X^{10}+X^9+X^8+X^6+1$ (CRC-32C) LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダーの切り替えが可能
	データ演算回路 (DOC)	16ビットのデータを比較、加算、または減算する機能
	除算回路 (DIV)	符号付き32ビット固定小数点データを高速除算する回路を内蔵 <ul style="list-style-type: none"> 被除数：符号付き32ビットデータ 除数：符号付き32ビットデータ
	データ反転回路 (DIL)	入力データの値を反転する回路を内蔵
セキュリティ	Trusted Secure IP Lite (TSIP-Lite)	<ul style="list-style-type: none"> アクセスマネジメント回路搭載 セキュリティアルゴリズム <ul style="list-style-type: none"> - 共通鍵暗号 (対称暗号方式)：AES鍵長：128ビット/256ビット - 暗号利用モード：GCM、ECB、CBC、CMAC、XTS、CTR、GCTR、CCM その他のサポート機能 <ul style="list-style-type: none"> - TRNG (真性乱数生成回路) - Hash値生成：GHASH - ユニークID対応 (128ビットの固有ID)
動作周波数	最大32MHz (ノーマルモード) 最大64MHz (ブーストモード) 最大32kHz (低リーク電流モード)	
電源電圧	VCC = IOVCC = 1.62～3.6V, IOVCC0 = 1.62～3.6V, IOVCC1 = 1.62～3.6V, IOVCC2 = 1.62～3.6V, IOVCC3 = 1.62～3.6V, AVCC0 = 1.62～3.6V, AVCC1 = 1.62～3.6V, VCC_USB = 3.0～3.3V, 1.62V ≤ VREFH0 ≤ AVCC0	
動作周囲温度	-40～+85℃	

表 1.1 仕様概要 (9 / 9)

分類	機能	説明
パッケージ		156ピンWLBGA (SXBG0156MA-A) 144ピンLFQFP (PLQP0144KA-B) 100ピンLFQFP (PLQP0100KB-B)
オンチップデバッキングシステム		<ul style="list-style-type: none">デバッグ&トレース : DWT、BPU、CoreSight™ MTB-M0+CoreSightデバッグポート : SW-DP

注1. VBP/VBN端子に充電する電圧

注2. 一般的な3線式MIPは、SPI0とGDTを組み合わせることで対応可能

1.2 ブロック図

図 1.1 にブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

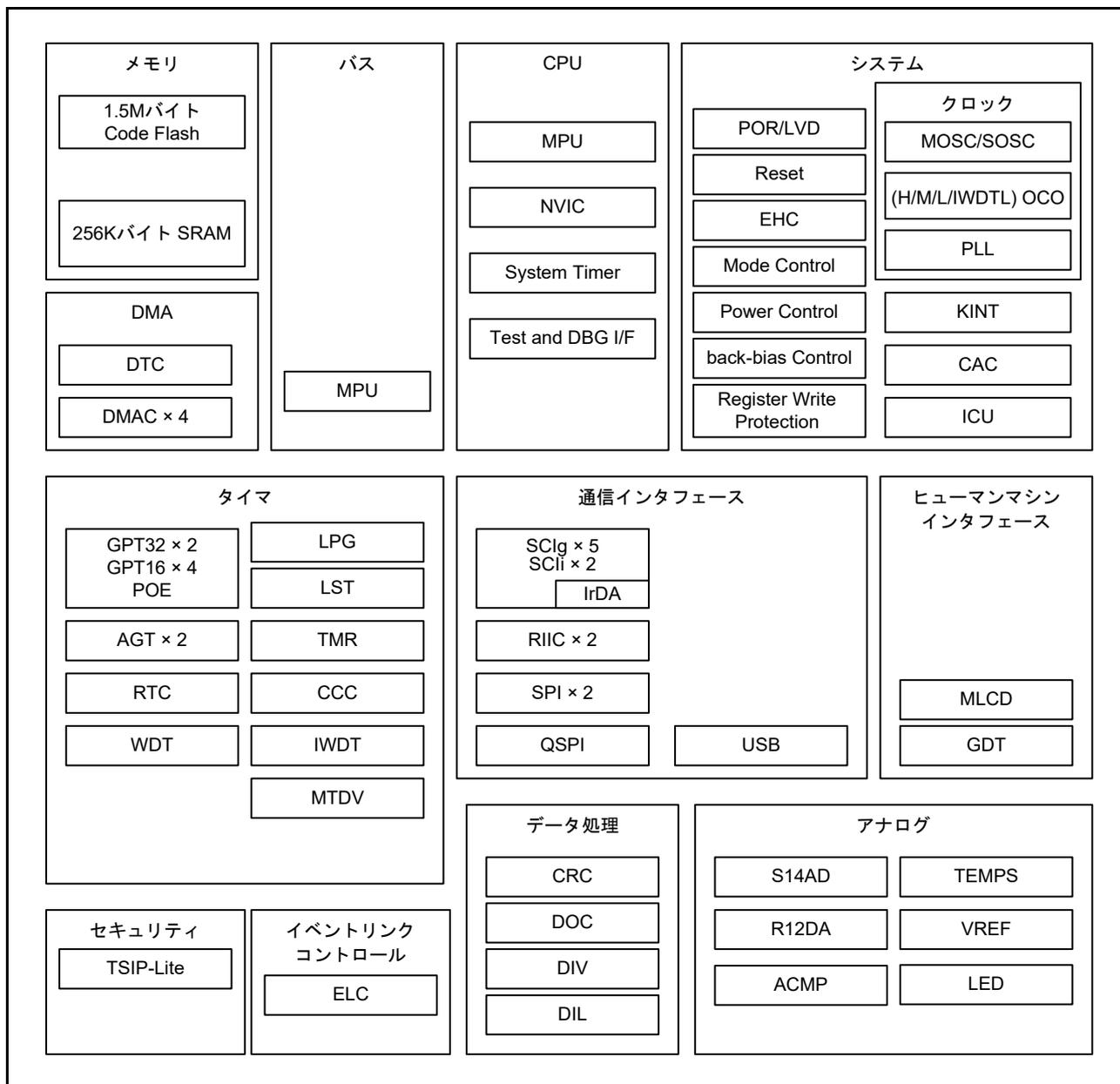


図 1.1 ブロック図

1.3 製品一覧

表 1.2 製品一覧表

型名	パッケージ	コードフラッシュ メモリ容量	SRAM容量	サポートの有無			
				USB	TSIP-Lite	MLCD	MTDV
R7F0E017D2DBN	SXBG0156MA-A	1.5Mバイト	256Kバイト	あり	あり	あり	あり
R7F0E016D2DBN	SXBG0156MA-A	1.5Mバイト	256Kバイト	あり	なし	あり	あり
R7F0E015D2CFB	PLQP0144KA-B	1.5Mバイト	256Kバイト	あり	あり	あり	なし
R7F0E014D2CFB	PLQP0144KA-B	1.5Mバイト	256Kバイト	あり	なし	あり	なし
R7F0E015D2CFP	PLQP0100KB-B	1.5Mバイト	256Kバイト	あり	あり	あり	なし
R7F0E014D2CFP	PLQP0100KB-B	1.5Mバイト	256Kバイト	あり	なし	あり	なし

1.4 機能一覧

表 1.3 に製品毎の機能比較を示します。

表 1.3 機能比較 (1 / 2)

型名		R7F0E017D2DBN	R7F0E016D2DBN	R7F0E015D2CFB	R7F0E014D2CFB	R7F0E015D2CFP	R7F0E014D2CFP	
端子総数		156		144		100		
汎用I/O数	入出力ポート	102		109		66		
	入力ポート	1		1		1		
パッケージ		WLBGA		LFQFP				
コードフラッシュメモリ		1.5M バイト						
SRAM		256K バイト						
CPU動作周波数		32MHz (ノーマルモード) 64MHz (ブーストモード) 32kHz (低リーク電流モード)						
割り込みコントロール	ICU	あり						
	IRQ	ch0 ~ ch9						
キー割り込み	KINT	8本						
DMA	DTC	あり						
	DMAC	ch0 ~ ch3						
イベントコントロール	ELC	あり						
エナジーハーベスト	EHC	あり						
バックバイアス電圧制御	VBBC	あり						
タイマ	GPT32		ch0 ~ ch1					
	GPT16		ch2 ~ ch5					
		POE	あり					
	AGT		ch0 ~ ch1					
	TMR		ch0 ~ ch1					
	RTC		あり					
	CCC		あり					
	WDT		あり					
	IWDT		あり					
	MTDV		あり (3ch)		なし			
	LST		あり					
	LPG		あり					
	通信機能	SClg	FIFOなし	ch2 ~ ch5、ch9				
		SCli	FIFOあり	ch0 ~ ch1				
		IrDA	あり					
RIIC		ch0 ~ ch1						
SPI		128ビットバッファ	ch0					
		32ビットバッファ	ch1					
QSPI		あり						
USB		あり						
アナログ	S14AD	高精度	7ch					
		標準精度	11ch			5ch		
	R12DA		あり (1ch)					
	TEMPS		あり (1ch)					
	ACMP		あり (1ch)					
	VREF		あり (1ch)					
	LED		あり				なし	

表 1.3 機能比較 (2 / 2)

型名		R7F0E017D2DBN	R7F0E016D2DBN	R7F0E015D2CFB	R7F0E014D2CFB	R7F0E015D2CFP	R7F0E014D2CFP
HMI グラフィック	MLCD	あり					
	GDT	あり					
データ処理	CRC	あり					
	DOC	あり					
	DIV	あり					
	DIL	あり					
セキュリティ	TSIP-Lite	あり	なし	あり	なし	あり	なし

1.5 端子機能

表 1.4 に、端子機能一覧を示します。平滑コンデンサの接続方法に関しては、付録 B. に例を記載していますので、そちらを参照してください。

表 1.4 端子機能一覧 (1 / 5)

機能	端子名	入出力	説明	
電源	VCC/ IOVCC	通常起動 モード	電源端子。システム電源に接続してください。0.1μF平滑コンデンサを介してVSSに接続してください。平滑コンデンサは端子近くに配置してください。 (注3) IOVCCn端子より先に電圧を印加してください	
		エネルギー ハーベスト 起動モード	電源端子。システム電源に接続してください。0.1μF平滑コンデンサ (1) を介してVSSに接続してください。平滑コンデンサは端子近くに配置してください。 上記に加えて外来ノイズへの耐性と回路の安定動作を向上させるために、VCC_SU端子に接続する蓄電用コンデンサの1/10の容量の平滑コンデンサ (2) を介してVSSに接続してください。たとえば、VCC_SUに47μFの蓄電用コンデンサを接続している場合は、4.7μFの平滑コンデンサを接続してください。 (2) の平滑コンデンサを端子近傍に配置できる場合は、(1) の平滑コンデンサを省略可能です。詳細は、付録B.を参照してください	
	VSS	入力	グラウンド端子。システムの電源 (0V) に接続してください	
	VCL	入力	内部電源安定化端子。4.7μFの平滑コンデンサを介してVSSに接続してください。平滑コンデンサは端子近くに配置してください	
	VC LH	入力	内部電源安定化端子。VCL端子と別に、4.7μFの平滑コンデンサを介してVSSに接続してください。平滑コンデンサは端子近くに配置してください	
	VBN	—	バックバイアス電圧安定化端子。1.0μFの平滑コンデンサを介してVSSに接続してください。平滑コンデンサは端子近くに配置してください	
	VBP	—		
	VSC_VCC	通常起動 モード	入力	発電素子から供給される電源端子。通常起動モードではシステムの電源 (0V) に接続してください
		エネルギー ハーベスト 起動モード	入力	発電素子から供給される電源端子。発電素子と並列に平滑コンデンサを介してVSC_GNDに接続してください。平滑コンデンサは端子近くに配置してください。 平滑コンデンサの容量値は4.7nF～47nFが推奨ですが、発電素子の安定度などから適切に選択ください
	VCC_SU	通常起動 モード	入出力	蓄電用コンデンサから供給される電源端子。通常起動モードではVCC/IOVCCに短絡してください
		エネルギー ハーベスト 起動モード	入出力	蓄電用コンデンサから供給される電源端子。発電素子として太陽電池を使用する場合は、接続する蓄電用コンデンサの容量値は動作温度に応じたもので、かつVCCの10倍以上の容量値が必要です。25℃時は47μFが必要で、高温になるほど大きな容量値が必要です。6.13 EHC特性を参照してください。それ以外の発電素子を使用する場合は100μFの蓄電用コンデンサを接続してください
	VSC_GND	入力	VSC_VCC用のグラウンド端子。システムの電源 (0V) に接続してください	
	VBAT_EHC	通常起動 モード	入力	二次電池から供給される電源端子。通常起動モードではVCC/IOVCCに接続してください
		エネルギー ハーベスト 起動モード	入力	二次電池から供給される電源端子。エネルギーハーベスト起動モードでは2.6Vまたは3.0Vの二次電池、またはスーパーキャパシタを接続します
IOVCCn (n = 0～3)	入力	I/O用電源端子。0.1μFの平滑コンデンサを介してVSSに接続してください。平滑コンデンサは端子近くに配置してください。(注3)(注4) 使用しない場合は、端子を開放できます。使用する場合は、ユーザーズマニュアルハードウェア編の12.2.23 電源オープン制御レジスタ (VOCR) を設定してください		
クロック	XTAL	入力	MOSC発振子接続端子。EXTALは外部クロック入力端子	
	EXTAL	出力		
	XCIN	入力	SOSC発振子接続端子	
	XCOUT	出力		
	CLKOUT	出力	クロック出力端子	
	CLKOUT32K	出力	SOSCKロック出力端子	
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路のリファレンスクロック入力端子	
起動モードコントロール	MD	入力	起動モード設定端子。本端子の信号レベルは、リセット解除時の起動モードの遷移中に変更しないでください	
	EHMD	入力	エネルギーハーベストモード設定端子	

表 1.4 端子機能一覧 (2 / 5)

機能	端子名	入出力	説明
システム制御	RES#	入力	リセット信号入力端子。本端子がLowになると、デバイスはリセット状態となります
	BSCANP	入力	IOVCCn端子電源強制入力端子 バウンダリスキャン機能を使用する際は、本端子をIOVCCn端子に電源が供給されている状態においてHighレベルにすることで、全I/Oポートへの電源供給が許可されます
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0~IRQ9, IRQ0_A_DS~ IRQ3_A_DS	入力	マスカブル割り込み要求端子 端子名に“_DS”が付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます
KINT	KRM00~KRM07	入力	キー割り込みは、キー割り込み入力端子に立ち下がりエッジを入力することで発生させることができます
オンチップデバッグ	SWDIO	入出力	SWDデータ入出力端子
	SWCLK	入力	SWDクロック入力端子
バウンダリスキャン	TMS	入力	バウンダリスキャン端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
GPT, POE	GTIOC0A~GTIOC5A, GTIOC0B~GTIOC5B	入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子
	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDCモータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDCモータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDCモータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDCモータ制御用3相PWM出力 (正相W相)
	GTOWLO	出力	BLDCモータ制御用3相PWM出力 (逆相W相)
	AGT	AGTIO0, AGTIO1	入出力
AGTEE0, AGTEE1		入力	外部イベント入力カインープル端子
AGTO0, AGTO1		出力	パルス出力端子
AGTOA0, AGTOA1		出力	コンペアマッチA出力端子
AGTOB0, AGTOB1		出力	コンペアマッチB出力端子
TMR	TMCI0, TMCI1	入力	カウンタに入力する外部クロックの入力端子
	TMRI0, TMRI1	入力	カウンタリセット入力端子
	TMO0, TMO1	出力	コンペアマッチ出力端子
RTC	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子
	RTCOUT	出力	1Hzまたは64Hzのクロック出力端子
CCC	CCCOUT	出力	CCCクロック出力端子
LPG	LPGOUT	出力	低速パルスジェネレータ出力端子

表 1.4 端子機能一覧 (3 / 5)

機能	端子名	入出力	説明
SCIi	【調歩同期式モード/クロック同期式モード】		
	SCK0, SCK1	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD0, RXD1	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD0, TXD1	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS0, CTS1	入力	送受信の開始制御用の入力端子 (調歩同期式モード/クロック同期式モード)
	RTS0, RTS1	出力	送受信の開始制御用の出力端子 (調歩同期式モード/クロック同期式モード)
	【簡易I ² Cモード】(注1)		
	SSCL0, SSCL1	入出力	I ² Cクロック用の入出力端子 (簡易I ² Cモード)
	SSDA0, SSDA1	入出力	I ² Cデータ用の入出力端子 (簡易I ² Cモード)
	【簡易SPIモード】(注1)		
	SCK0, SCK1	入出力	クロック用の入出力端子 (簡易SPIモード)
	MISO0, MISO1	入出力	データのスレーブ送信用の入出力端子 (簡易SPIモード)
	MOSI0, MOSI1	入出力	データのマスタ送信用の入出力端子 (簡易SPIモード)
	SS0, SS1	入力	チップセレクト入力端子 (簡易SPIモード)
	SCIg	【調歩同期式モード/クロック同期式モード】	
SCK2~SCK5, SCK9		入出力	クロック用の入出力端子 (クロック同期式モード)
RXD2~RXD5, RXD9		入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
TXD2~TXD5, TXD9		出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
CTS2~CTS5, CTS9		入力	送受信の開始制御用の入力端子 (調歩同期式モード/クロック同期式モード)
RTS2~RTS5, RTS9		出力	送受信の開始制御用の出力端子 (調歩同期式モード/クロック同期式モード)
【簡易I ² Cモード】			
SSCL2~SSCL5, SSCL9		入出力	I ² Cクロック用の入出力端子 (簡易I ² Cモード)
SSDA2~SSDA5, SSDA9		入出力	I ² Cデータ用の入出力端子 (簡易I ² Cモード)
【簡易SPIモード】			
SCK2~SCK5, SCK9		入出力	クロック用の入出力端子 (簡易SPIモード)
MISO2~MISO5, MISO9		入出力	データのスレーブ送信用の入出力端子 (簡易SPIモード)
MOSI2~MOSI5, MOSI9		入出力	データのマスタ送信用の入出力端子 (簡易SPIモード)
SS2~SS5, SS9		入力	チップセレクト入力端子 (簡易SPIモード)
RIIC		SCL0, SCL1	入出力
	SDA0, SDA1	入出力	データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3, SSLB1~SSLB3	出力	スレーブ選択用の出力端子
QSPI	QSPCLK	出力	QSPIクロック出力端子
	QSSL	出力	QSPIスレーブ出力端子
	QIO0~QIO3	入出力	データ0~データ3

表 1.4 端子機能一覧 (4 / 5)

機能	端子名	入出力	説明
USB	VCC_USB	入力	USB用電源端子。0.1μFの平滑コンデンサを介してVSS_USB端子に接続してください。 使用しない場合は、端子を開放できます。ユーザーズマニュアルハードウェア編の12.2.23 電源オープン制御レジスタ (VOCR) を設定してください
	VSS_USB	入力	USB用グランド端子。 使用しない場合は、端子を開放できます。ユーザーズマニュアルハードウェア編の12.2.23 電源オープン制御レジスタ (VOCR) を設定してください
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。USBバスのD-端子に接続してください
	USB_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。デバイスコントローラ機能選択時のVBUSの接続/切断を検出することが可能です
	USB_EXICEN	出力	外部電源 (OTG) チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへのVBUS (5V) の供給許可信号
	USB_OVRCURA, USB_OVRCURB	入力	これらの端子には外部過電流検出信号を接続してください。OTG電源チップとの接続時にはVBUSコンパレータ信号を接続してください
	USB_ID	入力	OTG動作時にMicroABコネクタのID入力信号を接続してください
アナログ電源	AVCC0	入力	14ビットA/Dコンバータ、基準電圧生成回路、温度センサのアナログ電源端子。 1.0μFの平滑コンデンサを介してAVSS0に接続してください。平滑コンデンサは端子近くに配置してください。(注5) 使用しない場合は、端子を開放できます。使用する場合は、ユーザーズマニュアルハードウェア編の12.2.23 電源オープン制御レジスタ (VOCR) を設定してください
	AVSS0	入力	14ビットA/Dコンバータ、基準電圧生成回路、温度センサ用のアナロググランド端子。 使用しない場合は、端子を開放できます。使用する場合は、ユーザーズマニュアルハードウェア編の12.2.23 電源オープン制御レジスタ (VOCR) を設定してください
	VREFH0	入力	14ビットA/Dコンバータ用のアナログ基準電圧端子。 1.0μFの平滑コンデンサを介してVREFL0に接続してください。平滑コンデンサは端子近くに配置してください。(注6) A/Dコンバータを使用しない場合はAVCC0に接続してください。 AVCC0が供給されない場合、オープン (開放) にしてください
	AVTRO	出力	基準電圧として、基準電圧生成回路 (VREF) の出力を使用する場合、10μFの平滑コンデンサを介してVREFL0に接続してください
	VREFL0	入力	14ビットA/Dコンバータ用のアナログ基準グランド端子。A/Dコンバータを使用しない場合はAVSS0に接続してください。 AVCC0が供給されない場合、オープン (開放) にしてください
	AVCC1	入力	12ビットD/Aコンバータおよびアナログコンパレータ用のアナログ電源・基準電圧端子。 10μFの平滑コンデンサを介してAVSS1に接続してください。平滑コンデンサは端子近くに配置してください。 使用しない場合は、端子を開放できます。使用する場合は、ユーザーズマニュアルハードウェア編の12.2.23 電源オープン制御レジスタ (VOCR) を設定してください
	AVSS1	入力	12ビットD/Aコンバータおよびアナログコンパレータ用のアナロググランド・基準グランド端子。 使用しない場合は、端子を開放できます。使用する場合は、ユーザーズマニュアルハードウェア編の12.2.23 電源オープン制御レジスタ (VOCR) を設定してください
S14AD	AN000 ~ AN006, AN016 ~ AN017, AN020 ~ AN028	入力	A/Dコンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子
R12DA	DA0	出力	D/Aコンバータで処理されるアナログ信号用の出力端子
ACMP	CMPREF	入力	基準電圧入力端子
	CMPIN	入力	アナログ電圧入力端子
	VCOUT	出力	コンパレータ出力端子
LED	LEDI1 ~ LEDI3	入力	LED点灯用定電流入力端子

表 1.4 端子機能一覧 (5 / 5)

機能	端子名	入出力	説明
MLCD	MLCD_VCOM	出力	コモン電極極性信号端子
	MLCD_XRST	出力	液晶表示制御出力端子
	MLCD_SCLK	出力	通信用シリアル出力クロック端子
	MLCD_DEN	出力	データ識別信号端子
	MLCD_ENBS	出力	水平方向データイネーブル端子
	MLCD_ENBG	出力	垂直方向データイネーブル端子
	MLCD_SI0~MLCD_SI7	出力	画像データ信号端子
MTDV	VPM	出力	電圧モニタ端子 VPMのVSSに対する外部負荷容量は30pF以下にしてください。 使用しない場合は、端子を開放できます。ユーザーズマニュアルハードウェア編の12.2.23 電源オープン制御レジスタ (VOCR) を設定してください
	PM_RES_DRV0	入力	逆起電力検出端子
	MTDO1_DRV0~ MTDO2_DRV0, MTDO4_DRV1~ MTDO6_DRV1, MTDO7_DRV2~ MTDO9_DRV2	出力	モータドライバ制御端子
I/Oポート	P000~P015	入出力	16ビットの入出力端子
	P100~P114	入出力	15ビットの入出力端子
	P200	入力	1ビットの入力専用端子。NMI端子と兼用
	P201~P205, P207	入出力	6ビットの入出力端子
	P300~P315	入出力	16ビットの入出力端子
	P404~P411	入出力	8ビットの入出力端子
	P412~P413	入出力	2ビットの入出力端子。EXTAL、XTAL端子と兼用
	P500~P511	入出力	12ビットの入出力端子
	P512~P514	入出力	3ビットの入出力端子。(注2) P-ch オープンドレイン端子と兼用
	P600~P610	入出力	11ビットの入出力端子
	P700~P704	入出力	5ビットの入出力端子
	P800~P815	入出力	16ビットの入出力端子

注. 平滑コンデンサには積層セラミックコンデンサをお使いください。

注1. SCLi, SCLgにおける各モードの通信端子は、以下のとおり同一端子に兼用されています。
RXDn/SCLn/MISOn, TXDn/SDAn/MOSIn, CTSn/RTSn/SSn

注2. 汎用ポートの出力機能は、Low出力専用です。

注3. 外来ノイズが多い環境では、外来ノイズへの耐性と回路の安定動作を向上させるために、電流源の近傍に任意で10μFの平滑コンデンサを介してVSSに接続してください。

注4. IOVCC0/1/2/3のそれぞれの端子で、同電位で接続した端子があれば、10μFの平滑コンデンサは共有できます。VCC/IOVCCと接続した場合は、10μFの平滑コンデンサは不要です。

注5. 外来ノイズが多い環境では、外来ノイズへの耐性と回路の安定動作を向上させるために、電流源の近傍に任意で10μFの平滑コンデンサを介してAVSS0に接続してください。

注6. 外来ノイズが多い環境では、外来ノイズへの耐性と回路の安定動作を向上させるために、電流源の近傍に任意で10μFの平滑コンデンサを介してVREFL0に接続してください。

1.6 ピン配置図

図 1.2 ~ 図 1.5 にパッケージごとのピン配置図を示します。

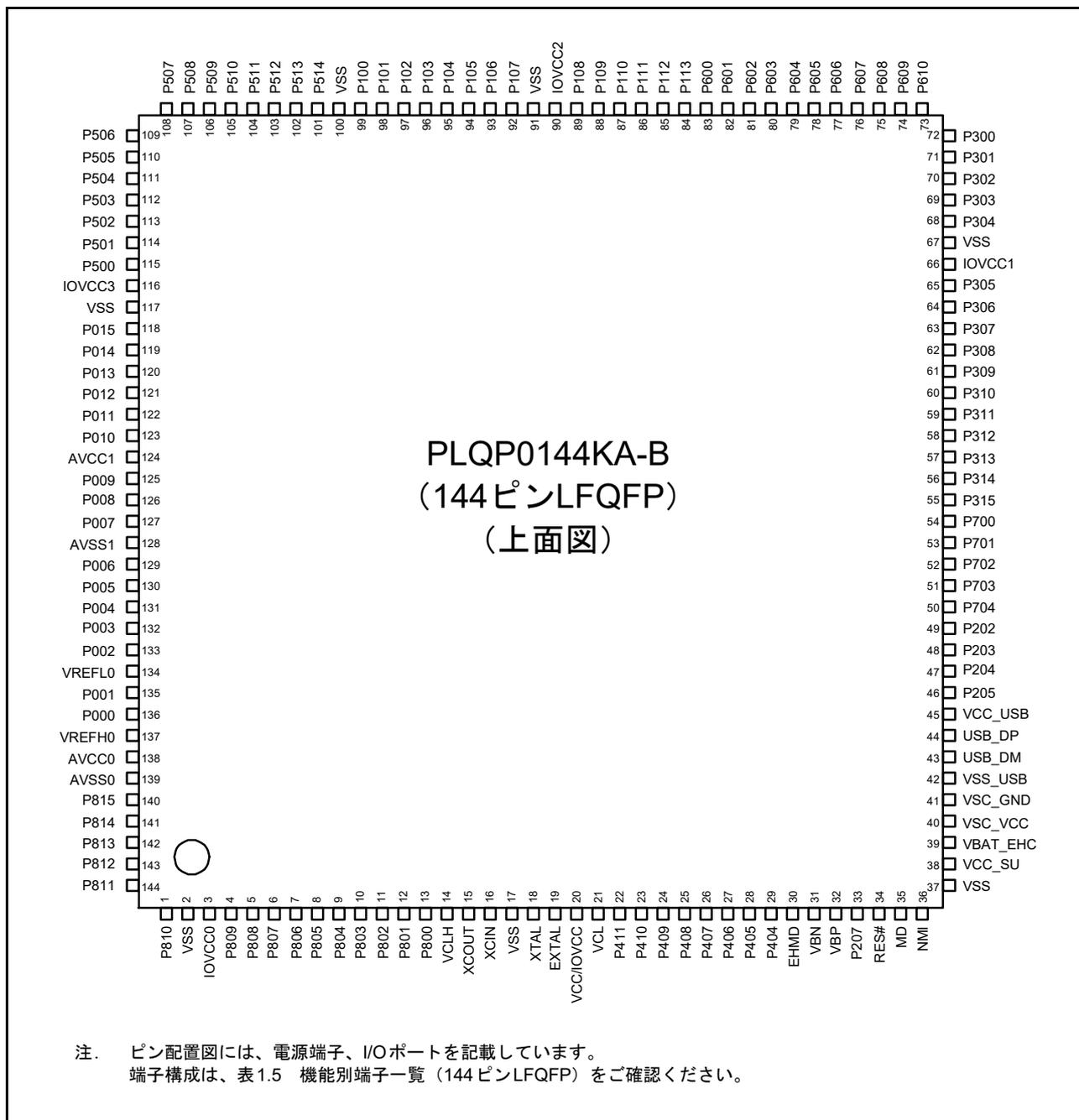


図 1.2 ピン配置図 (144 ピン LQFP)

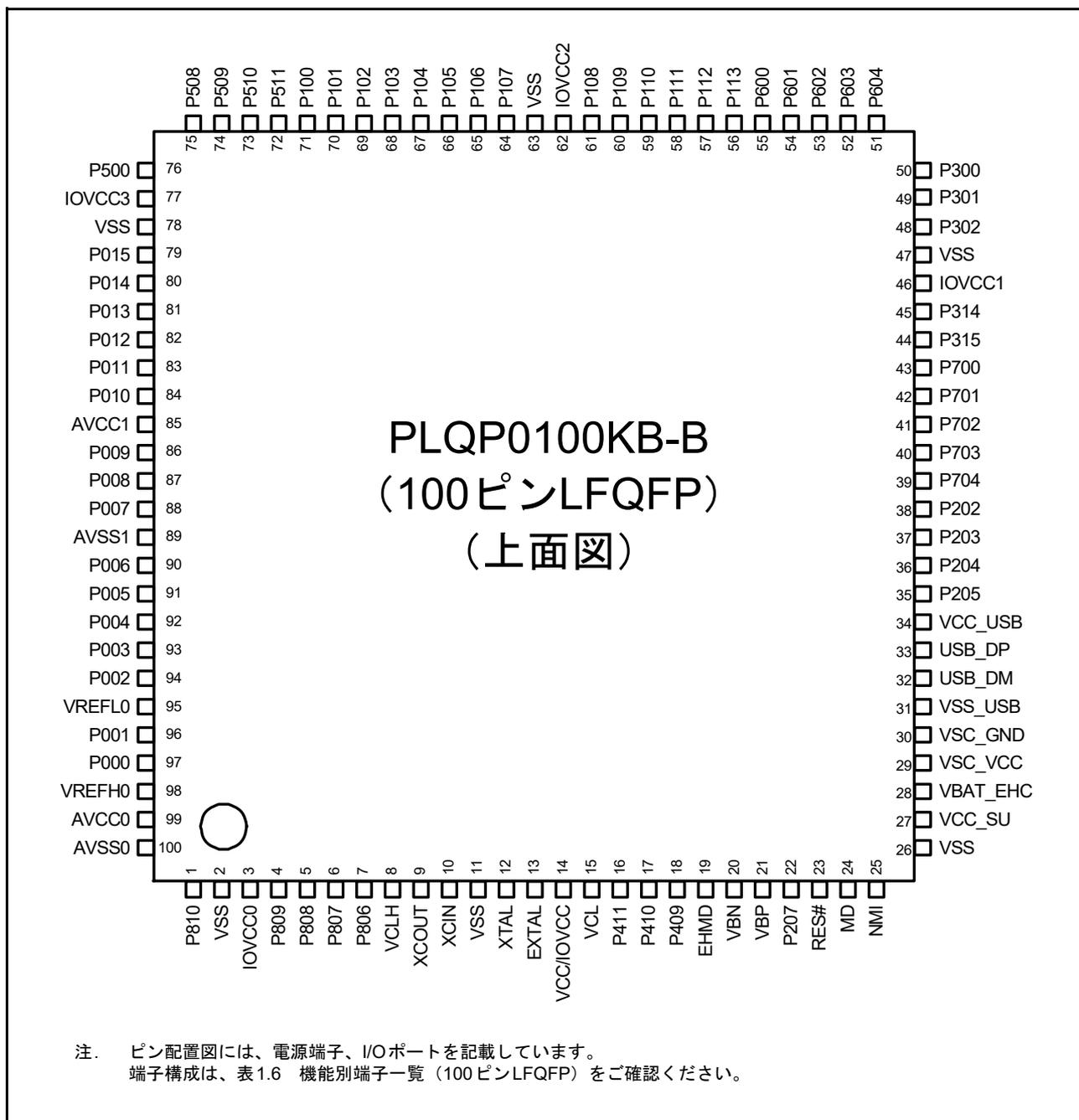


図 1.3 ピン配置図 (100ピンLQFP)

SXBG0156MA-A
(156ピン WLBGA)
(ボール図面 (ボトムビュー))

	A	B	C	D	E	F	G	H	J	K	L	M	N
1	IOVCC0	P810	P815	AVSS0	P000	P004	P007	P010	P011	VSS	IOVCC3	P502	P506
2	P807	IOVCC0	VSS	AVCC0	VREFH0	P003	P008	P012	P015	P501	P505	P506	P511
3	P802	P808	P811	VREFL0	P001	P005	P009	P013	P500	P508	P509	P510	P100
4	XCOU	P801	P809	P814	P006	AVSS1	AVCC1	P014	P507	P104	P103	P101	P102
5	XCIN	P800	P805	P813	P002	VSS	P503	P512	P513	P114	P107	P106	P105
6	VSS	VCLH	P804	P812	VSS	VSS	P504	P514	VSS	P113	P108	VSS	IOVCC2
7	XTAL	VCL	P410	P803	P806	VSS _USB	VCC _USB	VSS	P602	P605	P112	P110	P109
8	EXTAL	VCC /IOVCC	P409	P407	P405	USB _DM	USB _DP	P306	P610	P609	P604	P600	P111
9	P411	P408	P207	EHMD	P404	P703	P700	MTDO2_ DRV0	P305	P303	P608	P603	P601
10	P406	VBP	MD	VSS	VSC _VCC	P704	MTDO1_ DRV0	PM_RES_ DRV0	MTDO7_ DRV2	MTDO9_ DRV2	P302	P607	P606
11	VBN	RES#	VCC _SU	VSC _GND	P204	P203	P702	MTDO4_ DRV1	MTDO5_ DRV1	MTDO8_ DRV2	VSS	P301	P300
12	VBP	NMI	VBAT_ EHC	BSCANP	P205	P202	P701	P308	MTDO6_ DRV1	VPM	IOVCC1	P304	VSS

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、表 1.7 機能別端子一覧 (WLBGA) をご確認ください。

図 1.4 ピン配置図 (156ピン WLBGA) (ボトムビュー)

SXBG0156MA-A
(156ピン WLBGA)
(上面透視図面 (トップビュー))

	A	B	C	D	E	F	G	H	J	K	L	M	N
12	VBP	NMI	VBAT_EHC	BSCANP	P205	P202	P701	P308	MTDO6_DRV1	VPM	IOVCC1	P304	VSS
11	VBN	RES#	VCC_SU	VSC_GND	P204	P203	P702	MTDO4_DRV1	MTDO5_DRV1	MTDO8_DRV2	VSS	P301	P300
10	P406	VBP	MD	VSS	VSC_VCC	P704	MTDO1_DRV0	PM_RES_DRV0	MTDO7_DRV2	MTDO9_DRV2	P302	P607	P606
9	P411	P408	P207	EHMD	P404	P703	P700	MTDO2_DRV0	P305	P303	P608	P603	P601
8	EXTAL	VCC /IOVCC	P409	P407	P405	USB_DM	USB_DP	P306	P610	P609	P604	P600	P111
7	XTAL	VCL	P410	P803	P806	VSS_USB	VCC_USB	VSS	P602	P605	P112	P110	P109
6	VSS	VCLH	P804	P812	VSS	VSS	P504	P514	VSS	P113	P108	VSS	IOVCC2
5	XCIN	P800	P805	P813	P002	VSS	P503	P512	P513	P114	P107	P106	P105
4	XCOUT	P801	P809	P814	P006	AVSS1	AVCC1	P014	P507	P104	P103	P101	P102
3	P802	P808	P811	VREFL0	P001	P005	P009	P013	P500	P508	P509	P510	P100
2	P807	IOVCC0	VSS	AVCC0	VREFH0	P003	P008	P012	P015	P501	P505	P506	P511
1	IOVCC0	P810	P815	AVSS0	P000	P004	P007	P010	P011	VSS	IOVCC3	P502	P506

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、表 1.7 機能別端子一覧 (WLBGA) をご確認ください。

図 1.5 ピン配置図 (156ピン WLBGA) (トップビュー)

1.7 端子一覧

表 1.5 ~ 表 1.7 に、機能別の端子一覧を示します。

表 1.5 機能別端子一覧 (144ピンLQFP) (1 / 5)

ピン 番号 144 LQFP	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	対応電源
1		P810	CACREF_B/AGTIO0_A/ GTIOC2A_B	SCK3_B/SCL0				IOVCC0
2	VSS							
3	IOVCC0							
4		P809	AGTEE0_A/ GTETRG_A_B/ GTIOC2B_B	TXD3_B/SSDA3_B/ MOSI3_B/SDA0				IOVCC0
5		P808	AGTO0_A/GTETRGB_B	RXD3_B/SSCL3_B/ MISO3_B		IRQ2_B		IOVCC0
6		P807	AGTOA0_A/ GTIOC1A_B	CTS3_B/RTS3_B/ SS3_B/SSLB3_C		IRQ3_B	VCOOUT_B	IOVCC0
7		P806	AGTOB0_A/ GTIOC1B_B					IOVCC0
8		P805		MOSIB_C/QIO0_C				IOVCC0
9		P804	GTIU_C	MISOB_C/QIO1_C				IOVCC0
10		P803	GTIV_C	SSLB2_C/QIO2_C				IOVCC0
11		P802	GTIW_C	SSLB1_C/QIO3_C				IOVCC0
12		P801	GTOUUP_C	RSPCKB_C/ QSPCLK_C				IOVCC0
13		P800	GTOULO_C	SSLB0_C/QSSL_C				IOVCC0
14	VCLH							
15	XCOOUT							IOVCC
16	XCIN							IOVCC
17	VSS							
18	XTAL	P413	GTETRGA_A/ GTIOC0A_A	TXD3_A/SSDA3_A/ MOSI3_A				IOVCC
19	EXTAL	P412	GTETRGB_A/ GTIOC0B_A	RXD3_A/SSCL3_A/ MISO3_A				IOVCC
20	VCC/IOVCC							
21	VCL							
22	CLKOUT32K_A/ SWCLK	P411	TMCIO_A	TXD9_A/SSDA9_A/ MOSI9_A/SCK3_A		IRQ0_A_DS		IOVCC
23		P410	GTIOC3B_B			IRQ2_A_DS		IOVCC
24	CLKOUT32K_B	P409	GTIOC3A_B			IRQ3_A_DS		IOVCC
25		P408	GTOVUP_C			KRM07_B		IOVCC
26		P407	GTOVLO_C			KRM06_B		IOVCC
27		P406	GTOVUP_C					IOVCC
28		P405	GTOVLO_C					IOVCC
29		P404						IOVCC
30	EHMD							IOVCC
31	VBN							
32	VBP							
33	SWDIO	P207		USB_ID_A/RXD9_A/ SSCL9_A/MISO9_A/ CTS3_A/RTS3_A/ SS3_A		IRQ1_A_DS		IOVCC
34	RES#							IOVCC
35	MD	P201	TMRI0_A					IOVCC

表 1.5 機能別端子一覧 (144ピンLFQFP) (2 / 5)

ピン 番号 144 LFQFP	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	対応電源
36		P200	TMO0_A			NMI		IOVCC
37	VSS							
38	VCC_SU							
39	VBAT_EHC							
40	VSC_VCC							
41	VSC_GND							
42	VSS_USB							
43				USB_DM				VCC_US B
44				USB_DP				VCC_US B
45	VCC_USB							
46		P205		CTS4_B/RTS4_B/ SS4_B		IRQ8_B		IOVCC1
47		P204	ADTRG0_A/GTIU_A/ RTCIC0_B	USB_VBUS/ SCK4_B		IRQ9_B		IOVCC1
48		P203	GTIV_A/RTCIC1_B	USB_OVRCURA_A/ TXD4_B/SSDA4_B/ MOSI4_B				IOVCC1
49		P202	CACREF_A/GTIW_A/ CCCOUT_B/ RTCOUT_B	USB_OVRCURB_A/ RXD4_B/SSCL4_B/ MISO4_B		IRQ4_A		IOVCC1
50		P704	TMC11	CTS0_C/RTS0_C/ SS0_C				IOVCC1
51		P703		TXD0_C/SSDA0_C/ MOSI0_C				IOVCC1
52		P702		RXD0_C/SSCL0_C/ MISO0_C				IOVCC1
53		P701	TMRI1/RTCIC2_B	USB_VBUSEN_A/ SCL1				IOVCC1
54		P700	TMO1	SCK0_C/SDA1				IOVCC1
55		P315	GTIOC4A_B	TXD5_B/SSDA5_B/ MOSI5_B				IOVCC1
56		P314	GTIOC4B_B	RXD5_B/SSCL5_B/ MISO5_B				IOVCC1
57		P313		TXD1_B/SSDA1_B/ MOSI1_B/IRTXD1_B				IOVCC1
58		P312		RXD1_B/SSCL1_B/ MISO1_B/ IRRXD1_B				IOVCC1
59		P311		CTS1_B/RTS1_B/ SS1_B				IOVCC1
60		P310		SCK1_B				IOVCC1
61		P309	AGTIO1_C					IOVCC1
62		P308	AGTO1_C					IOVCC1
63		P307	AGTOA1_C					IOVCC1
64		P306	AGTOB1_C					IOVCC1
65		P305	AGTEE1_C					IOVCC1
66	IOVCC1							
67	VSS							
68		P304		TXD5_C/SSDA5_C/ MOSI5_C		KRM05_B		IOVCC1
69		P303		RXD5_C/SSCL5_C/ MISO5_C		KRM04_B		IOVCC1

表 1.5 機能別端子一覧 (144ピンLQFP) (3 / 5)

ピン番号 144 LQFP	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	対応電源
70		P302	GTIU_B/TMCI0_B	CTS5_C/RTS5_C/ SS5_C/CTS5_B/ RTS5_B/SS5_B				IOVCC1
71		P301	GTIV_B/TMRI0_B/ CCCOUT_A/ RTCOUT_A	SCK5_C/SCK5_B				IOVCC1
72	CLKOUT32K_C	P300	GTIW_B/TMO0_B					IOVCC1
73		P610		SSLB0_B				IOVCC1
74		P609		TXD2_C/SSDA2_C/ MOSI2_C/MOSIB_B				IOVCC1
75		P608	GTETRGA_C	RXD2_C/SSCL2_C/ MISO2_C/MISOB_B				IOVCC1
76		P607	GTETRGB_C	CTS2_C/RTS2_C/ SS2_C/RSPCKB_B				IOVCC1
77		P606		SCK2_C/SSLB2_B				IOVCC1
78		P605		TXD9_C/SSDA9_C/ MOSI9_C/SSLB1_B				IOVCC1
79		P604	GTIOC5B_B/RTCIC0_A	TXD9_B/SSDA9_B/ MOSI9_B/SSLB3_B		IRQ5_B		IOVCC1
80		P603	GTIOC5A_B/RTCIC1_A	RXD9_B/SSCL9_B/ MISO9_B/SSLB0_D				IOVCC1
81		P602	GTOUUP_B/RTCIC2_A	SCK9_B/QSPCLK_A				IOVCC1
82		P601	GTOULO_B	CTS9_B/RTS9_B/ SS9_B/QSSL_A				IOVCC1
83		P600	LPGOUT	SCK9_C				IOVCC1
84		P113	AGTEE1_A/ GTOWUP_A/ GTIOC3A_A	TXD4_A/SSDA4_A/ MOSI4_A/SSLB2_A/ QIO0_B	MLCD_VCOM	IRQ5_A		IOVCC2
85		P112	AGTEE0_B/ GTOWLO_A/ GTIOC3B_A	RXD4_A/SSCL4_A/ MISO4_A/SSLB3_A/ QIO1_B	MLCD_XRST	IRQ6_A		IOVCC2
86		P111	AGTO0_B/GTOUUP_A/ GTIOC2A_A	CTS4_A/RTS4_A/ SS4_A/RXD5_A/ SSCL5_A/MISO5_A/ SSLB1_A/QIO2_B	MLCD_SCLK			IOVCC2
87		P110	AGTOA0_B/ GTOULO_A/ GTIOC2B_A	SCK9_A/SCK5_A/ MOSIB_A/QIO3_B	MLCD_DEN			IOVCC2
88		P109	AGTOB0_B/GTOVUP_A	CTS9_A/RTS9_A/ SS9_A/CTS5_A/ RTS5_A/SS5_A/ MISOB_A/ QSPCLK_B	MLCD_ENBS			IOVCC2
89		P108	AGTIO0_B/GTOVLO_A	SCK4_A/TXD5_A/ SSDA5_A/MOSI5_A/ RSPCKB_A/ QSSL_B	MLCD_ENBG			IOVCC2
90	IOVCC2							
91	VSS							
92	TMS	P107	AGTOB1_A/ GTIOC1A_A	CTS0_A/RTS0_A/ SS0_A/RSPCKA_A	MLCD_SIO	IRQ7_A/ KRM07_A		IOVCC2
93	TDO	P106	AGTOA1_A/ GTIOC1B_A	TXD0_A/SSDA0_A/ MOSI0_A/SSLB0_A	MLCD_S11	IRQ0_B/ KRM06_A	VCOUT_A	IOVCC2
94	TDI	P105	AGTO1_A/GTIOC4A_A	USB_EXICEN/ RXD0_A/SSCL0_A/ MISO0_A/MISOA_A	MLCD_S12	IRQ8_A/ KRM05_A		IOVCC2
95	TCK	P104	AGTIO1_A/GTIOC4B_A	SCK0_A/MOSIA_A	MLCD_S13	IRQ9_A/ KRM04_A		IOVCC2

表 1.5 機能別端子一覧 (144ピンLFQFP) (4 / 5)

ピン番号 144 LFQFP	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	対応電源
96		P103	GTIOC5A_A	CTS2_A/RTS2_A/ SS2_A/CTS1_A/ RTS1_A/SS1_A/ SSLA0_A	MLCD_SI4	KRM03_A		IOVCC2
97		P102	GTIOC5B_A	TXD2_A/SSDA2_A/ MOSI2_A/TXD1_A/ SSDA1_A/MOSI1_A/ IRTXD1_A/SSLA1_A	MLCD_SI5	KRM02_A		IOVCC2
98		P101	GTIOC0A_B	RXD2_A/SSCL2_A/ MISO2_A/RXD1_A/ SSCL1_A/MISO1_A/ IRRXD1_A/ SSLA2_A	MLCD_SI6	KRM01_A		IOVCC2
99		P100	GTIOC0B_B	SCK2_A/SCK1_A/ SSLA3_A	MLCD_SI7	KRM00_A		IOVCC2
100	VSS							
101		P514			LEDI1			IOVCC3
102		P513			LEDI2			IOVCC3
103		P512			LEDI3			IOVCC3
104		P511	GTOVUP_B/ GTIOC1B_C			KRM03_B		IOVCC3
105		P510	GTOVLO_B/ GTIOC1A_C			KRM02_B		IOVCC3
106		P509		USB_OVRCURB_B		KRM01_B		IOVCC3
107		P508	GTIOC2B_C			IRQ4_B		IOVCC3
108		P507	GTIOC2A_C	USB_ID_B		KRM00_B		IOVCC3
109		P506				IRQ0_C	AN028	IOVCC3
110		P505				IRQ1_C	AN027	IOVCC3
111		P504		USB_VBUSEN_B/ CTS2_B/RTS2_B/ SS2_B			AN026	IOVCC3
112		P503		USB_OVRCURA_B/ SCK2_B			AN025	IOVCC3
113		P502		RXD2_B/SSCL2_B/ MISO2_B/ RSPCKA_C			AN024	IOVCC3
114		P501	AGTOA1_B	TXD2_B/SSDA2_B/ MOSI2_B/MOSIA_C		IRQ1_B	AN023	IOVCC3
115		P500	ADTRG0_B/ AGTOB1_B/ GTOVUP_B/ GTIOC4B_C	CTS0_B/RTS0_B/ SS0_B/MISOA_B/ QIO0_A			AN022	IOVCC3
116	IOVCC3							
117	VSS							
118		P015	AGTIO1_B/ GTOWLO_B/ GTIOC4A_C	SCK0_B/SSLA3_B/ QIO1_A		IRQ7_B	AN021	IOVCC3
119		P014	AGTEE1_B/ GTIOC3B_C	RXD0_B/SSCL2_B/ MISO2_B/SSLA2_B/ QIO2_A		IRQ6_B	AN020	IOVCC3
120		P013	AGTO1_B/GTIOC3A_C	TXD0_B/SSDA0_B/ MOSI0_B/SSLA1_B/ QIO3_A				IOVCC3
121		P012		SSLA0_B				IOVCC3
122	CLKOUT	P011		RSPCKA_B			AN017	IOVCC3
123		P010		MOSIA_B			AN016	IOVCC3
124	AVCC1							
125		P009					CMPREF	AVCC1
126		P008					CMPIN	AVCC1

表 1.5 機能別端子一覧 (144ピンLFQFP) (5 / 5)

ピン 番号 144 LFQFP	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	対応電源
127		P007					DA0	AVCC1
128	AVSS1							
129		P006					AN006	AVCC0
130		P005					AN005	AVCC0
131		P004					AN004	AVCC0
132		P003					AN003	AVCC0
133		P002					AN002	AVCC0
134	VREFL0							
135		P001					AN001	AVCC0
136		P000					AN000	AVCC0
137	VREFH0/ AVTRO							
138	AVCC0							
139	AVSS0							
140		P815	GTIOC5A_C	CTS4_C/RTS4_C/ SS4_C				IOVCC0
141		P814	GTIOC5B_C	SCK4_C				IOVCC0
142		P813		RXD4_C/SSCL4_C/ MISO4_C				IOVCC0
143		P812	GTIOC0A_C	TXD4_C/SSDA4_C/ MOSI4_C				IOVCC0
144		P811	GTIOC0B_C					IOVCC0

注. 端子名については、以下の注意事項があります。

- SCIi, SCIgにおける各モードの通信端子は、以下のとおり同一端子に兼用されています。
RXDn/SCLn/MISO_n, TXDn/SDAn/MOSIn, CTSn/RTSn/SSn
- 端子名に“_A”、“_B”、“_C”などのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。
SPI、QSPI、SCIについては、電気的特性のACタイミングを各グループで測定しています。
- 端子名に“_DS”が付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.6 機能別端子一覧 (100ピンLFQFP) (1 / 4)

ピン番号 100 LFQFP	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	対応電源
1		P810	CACREF_B/AGTIO0_A/ GTIOC2A_B	SCK3_B/SCL0				IOVCC0
2	VSS							
3	IOVCC0							
4		P809	AGTEE0_A/ GTETRGA_B/ GTIOC2B_B	TXD3_B/SSDA3_B/ MOSI3_B/SDA0				IOVCC0
5		P808	AGTO0_A/GTETRGB_B	RXD3_B/SSCL3_B/ MISO3_B		IRQ2_B		IOVCC0
6		P807	AGTOA0_A/ GTIOC1A_B	CTS3_B/RTS3_B/ SS3_B/SSLB3_C		IRQ3_B	VCOUT_B	IOVCC0
7		P806	AGTOB0_A/ GTIOC1B_B					IOVCC0
8	VCLH							
9	XCOUT							IOVCC
10	XCIN							IOVCC
11	VSS							
12	XTAL	P413	GTETRGA_A/ GTIOC0A_A	TXD3_A/SSDA3_A/ MOSI3_A				IOVCC
13	EXTAL	P412	GTETRGA_A/ GTIOC0B_A	RXD3_A/SSCL3_A/ MISO3_A				IOVCC
14	VCC/IOVCC							
15	VCL							
16	CLKOUT32K_ A/SWCLK	P411	TMCIO_A	TXD9_A/SSDA9_A/ MOSI9_A/SCK3_A		IRQ0_A_DS		IOVCC
17		P410	GTIOC3B_B			IRQ2_A_DS		IOVCC
18	CLKOUT32K_ B	P409	GTIOC3A_B			IRQ3_A_DS		IOVCC
19	EHMD							IOVCC
20	VBN							
21	VBP							
22	SWDIO	P207		USB_ID_A/RXD9_A/ SSCL9_A/MISO9_A/ CTS3_A/RTS3_A/ SS3_A		IRQ1_A_DS		IOVCC
23	RES#							IOVCC
24	MD	P201	TMRI0_A					IOVCC
25		P200	TMO0_A			NMI		IOVCC
26	VSS							
27	VCC_SU							
28	VBAT_EHC							
29	VSC_VCC							
30	VSC_GND							
31	VSS_USB							
32				USB_DM				VCC_US B
33				USB_DP				VCC_US B
34	VCC_USB							
35		P205		CTS4_B/RTS4_B/ SS4_B		IRQ8_B		IOVCC1
36		P204	ADTRG0_A/GTIU_A/ RTIC0_B	USB_VBUS/ SCK4_B		IRQ9_B		IOVCC1

表 1.6 機能別端子一覧 (100ピンLFQFP) (2 / 4)

ピン 番号 100 LFQFP	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIIC, USB, QSPI)	表示系 (MLCD)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	対応電源
37		P203	GTIV_A/RTCIC1_B	USB_OVRCURA_A/ TXD4_B/SSDA4_B/ MOSI4_B				IOVCC1
38		P202	CACREF_A/GTIW_A/ CCCOUT_B/ RTCCOUT_B	USB_OVRCURB_A/ RXD4_B/SSCL4_B/ MISO4_B		IRQ4_A		IOVCC1
39		P704	TMC1	CTS0_C/RTS0_C/ SS0_C				IOVCC1
40		P703		TXD0_C/SSDA0_C/ MOSI0_C				IOVCC1
41		P702		RXD0_C/SSCL0_C/ MISO0_C				IOVCC1
42		P701	TMR1/RTCIC2_B	USB_VBUSEN_A/ SCL1				IOVCC1
43		P700	TMO1	SCK0_C/SDA1				IOVCC1
44		P315	GTIOC4A_B	TXD5_B/SSDA5_B/ MOSI5_B				IOVCC1
45		P314	GTIOC4B_B	RXD5_B/SSCL5_B/ MISO5_B				IOVCC1
46	IOVCC1							
47	VSS							
48		P302	GTIU_B/TMCI0_B	CTS5_C/RTS5_C/ SS5_C/CTS5_B/ RTS5_B/SS5_B				IOVCC1
49		P301	GTIV_B/TMRI0_B/ CCCOUT_A/ RTCCOUT_A	SCK5_C/SCK5_B				IOVCC1
50		P300	GTIW_B/TMO0_B					IOVCC1
51		P604	GTIOC5B_B/RTCIC0_A	TXD9_B/SSDA9_B/ MOSI9_B/SSLB3_B		IRQ5_B		IOVCC1
52		P603	GTIOC5A_B/RTCIC1_A	RXD9_B/SSCL9_B/ MISO9_B/SSLB0_D				IOVCC1
53		P602	GTOUUP_B/RTCIC2_A	SCK9_B/QSPCLK_A				IOVCC1
54		P601	GTOULO_B	CTS9_B/RTS9_B/ SS9_B/QSSL_A				IOVCC1
55		P600	LPGOUT	SCK9_C				IOVCC1
56		P113	AGTEE1_A/ GTOWUP_A/ GTIOC3A_A	TXD4_A/SSDA4_A/ MOSI4_A/SSLB2_A/ QIO0_B	MLCD_VCOM	IRQ5_A		IOVCC2
57		P112	AGTEE0_B/ GTOWLO_A/ GTIOC3B_A	RXD4_A/SSCL4_A/ MISO4_A/SSLB3_A/ QIO1_B	MLCD_XRST	IRQ6_A		IOVCC2
58		P111	AGTO0_B/GTOUUP_A/ GTIOC2A_A	CTS4_A/RTS4_A/ SS4_A/RXD5_A/ SSCL5_A/MISO5_A/ SSLB1_A/QIO2_B	MLCD_SCLK			IOVCC2
59		P110	AGTOA0_B/ GTOULO_A/ GTIOC2B_A	SCK9_A/SCK5_A/ MOSI5_A/QIO3_B	MLCD_DEN			IOVCC2
60		P109	AGTOB0_B/GTOVUP_A	CTS9_A/RTS9_A/ SS9_A/CTS5_A/ RTS5_A/SS5_A/ MISO5_A/ QSPCLK_B	MLCD_ENBS			IOVCC2
61		P108	AGTIO0_B/GTOVLO_A	SCK4_A/TXD5_A/ SSDA5_A/MOSI5_A/ RSPCKB_A/ QSSL_B	MLCD_ENBG			IOVCC2
62	IOVCC2							
63	VSS							

表 1.6 機能別端子一覧 (100ピンLFQFP) (3 / 4)

ピン 番号 100 LFQFP	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	対応電源
64	TMS	P107	AGTOB1_A/ GTIOC1A_A	CTS0_A/RTS0_A/ SS0_A/RSPCKA_A	MLCD_SI0	IRQ7_A/ KRM07_A		IOVCC2
65	TDO	P106	AGTOA1_A/ GTIOC1B_A	TXD0_A/SSDA0_A/ MOSI0_A/SSLB0_A	MLCD_SI1	IRQ0_B/ KRM06_A	VCOUT_A	IOVCC2
66	TDI	P105	AGTO1_A/GTIOC4A_A	USB_EXICEN/ RXD0_A/SSCL0_A/ MISO0_A/MISOA_A	MLCD_SI2	IRQ8_A/ KRM05_A		IOVCC2
67	TCK	P104	AGTIO1_A/GTIOC4B_A	SCK0_A/MOSIA_A	MLCD_SI3	IRQ9_A/ KRM04_A		IOVCC2
68		P103	GTIOC5A_A	CTS2_A/RTS2_A/ SS2_A/CTS1_A/ RTS1_A/SS1_A/ SSLA0_A	MLCD_SI4	KRM03_A		IOVCC2
69		P102	GTIOC5B_A	TXD2_A/SSDA2_A/ MOSI2_A/TXD1_A/ SSDA1_A/MOSI1_A/ IRTXD1_A/SSLA1_A	MLCD_SI5	KRM02_A		IOVCC2
70		P101	GTIOC0A_B	RXD2_A/SSCL2_A/ MISO2_A/RXD1_A/ SSCL1_A/MISO1_A/ IRRXD1_A/ SSLA2_A	MLCD_SI6	KRM01_A		IOVCC2
71		P100	GTIOC0B_B	SCK2_A/SCK1_A/ SSLA3_A	MLCD_SI7	KRM00_A		IOVCC2
72		P511	GTOVUP_B/ GTIOC1B_C			KRM03_B		IOVCC3
73		P510	GTOVLO_B/ GTIOC1A_C			KRM02_B		IOVCC3
74		P509		USB_OVRCURB_B		KRM01_B		IOVCC3
75		P508	GTIOC2B_C			IRQ4_B		IOVCC3
76		P500	ADTRG0_B/ AGTOB1_B/ GTOVUP_B/ GTIOC4B_C	CTS0_B/RTS0_B/ SS0_B/MISOA_B/ QIO0_A			AN022	IOVCC3
77	IOVCC3							
78	VSS							
79		P015	AGTIO1_B/ GTOVLO_B/ GTIOC4A_C	SCK0_B/SSLA3_B/ QIO1_A		IRQ7_B	AN021	IOVCC3
80		P014	AGTEE1_B/ GTIOC3B_C	RXD0_B/SSCL0_B/ MISO0_B/SSLA2_B/ QIO2_A		IRQ6_B	AN020	IOVCC3
81		P013	AGTO1_B/GTIOC3A_C	TXD0_B/SSDA0_B/ MOSI0_B/SSLA1_B/ QIO3_A				IOVCC3
82		P012		SSLA0_B				IOVCC3
83	CLKOUT	P011		RSPCKA_B			AN017	IOVCC3
84		P010		MOSIA_B			AN016	IOVCC3
85	AVCC1							
86		P009					CMPREF	AVCC1
87		P008					CMPIN	AVCC1
88		P007					DA0	AVCC1
89	AVSS1							
90		P006					AN006	AVCC0
91		P005					AN005	AVCC0
92		P004					AN004	AVCC0
93		P003					AN003	AVCC0
94		P002					AN002	AVCC0

表 1.6 機能別端子一覧 (100ピンLFQFP) (4 / 4)

ピン 番号 100 LFQFP	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	対応電源
95	VREFL0							
96		P001					AN001	AVCC0
97		P000					AN000	AVCC0
98	VREFH0/ AVTRO							
99	AVCC0							
100	AVSS0							

- 注. 端子名については、以下の注意事項があります。
- SCli, SClgにおける各モードの通信端子は、以下のとおり同一端子に兼用されています。
RXDn/SCLn/MISO_n, TXDn/SDAn/MOS_n, CTSn/RTSn/SS_n
 - 端子名に“_A”、“_B”、“_C”などのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。
SPI、QSPI、SCIについては、電気的特性のACタイミングを各グループで測定しています。
 - 端子名に“_DS”が付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.7 機能別端子一覧 (WLPGA) (1 / 6)

ピン番号	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	MTDV	対応電源
B1		P810	CACREF_B/ AGTIO0_A/ GTIOC2A_B	SCK3_B/SCL0					IOVCC0
C2	VSS								
B2	IOVCC0								
C4		P809	AGTEE0_A/ GTETRGA_B/ GTIOC2B_B	TXD3_B/ SSDA3_B/ MOSI3_B/ SDA0					IOVCC0
B3		P808	AGTO0_A/ GTETRGA_B	RXD3_B/ SSCL3_B/ MISO3_B		IRQ2_B			IOVCC0
A2		P807	AGTOA0_A/ GTIOC1A_B	CTS3_B/ RTS3_B/ SS3_B/ SSLB3_C		IRQ3_B	VCOUT_B		IOVCC0
E7		P806	AGTOB0_A/ GTIOC1B_B						IOVCC0
C5		P805		MOSIB_C/ QIO0_C					IOVCC0
C6		P804	GTIU_C	MISOB_C/ QIO1_C					IOVCC0
D7		P803	GTIV_C	SSLB2_C/ QIO2_C					IOVCC0
A3		P802	GTIW_C	SSLB1_C/ QIO3_C					IOVCC0
B4		P801	GTOUUP_C	RSPCKB_C/ QSPCLK_C					IOVCC0
B5		P800	GTOULO_C	SSLB0_C/ QSSL_C					IOVCC0
B6	VCLH								
A4	XCOUT								IOVCC
A5	XCIN								IOVCC
A6	VSS								
A7	XTAL	P413	GTETRGA_A/ GTIOC0A_A	TXD3_A/ SSDA3_A/ MOSI3_A					IOVCC
A8	EXTAL	P412	GTETRGA_A/ GTIOC0B_A	RXD3_A/ SSCL3_A/ MISO3_A					IOVCC
B8	VCC/IOVCC								
B7	VCL								
A9	CLKOUT32K _A/SWCLK	P411	TMCIO_A	TXD9_A/ SSDA9_A/ MOSI9_A/ SCK3_A		IRQ0_A_DS			IOVCC
C7		P410	GTIOC3B_B			IRQ2_A_DS			IOVCC
C8	CLKOUT32K _B	P409	GTIOC3A_B			IRQ3_A_DS			IOVCC
B9		P408	GTOVUP_C			KRM07_B			IOVCC
D8		P407	GTOVLO_C			KRM06_B			IOVCC
A10		P406	GTOVUP_C						IOVCC
E8		P405	GTOVLO_C						IOVCC
E9		P404							IOVCC
D9	EHMD								IOVCC
A11	VBN								

表 1.7 機能別端子一覧 (WLBGA) (2 / 6)

ピン番号	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	MTDV	対応電源
B10	VBP								
C9	SWDIO	P207		USB_ID_A/ RXD9_A/ SSCL9_A/ MISO9_A/ CTS3_A/ RTS3_A/ SS3_A		IRQ1_A_DS			IOVCC
B11	RES#								IOVCC
C10	MD	P201	TMRI0_A						IOVCC
B12		P200	TMO0_A			NMI			IOVCC
D10	VSS								
C11	VCC_SU								
C12	VBAT_EHC								
E10	VSC_VCC								
D11	VSC_GND								
D12	BSCANP								IOVCC
F7	VSS_USB								
F8				USB_DM					VCC_USB
G8				USB_DP					VCC_USB
G7	VCC_USB								
E12		P205		CTS4_B/ RTS4_B/ SS4_B		IRQ8_B			IOVCC1
E11		P204	ADTRG0_A/ GTIU_A/ RTCIC0_B	USB_VBUS/ SCK4_B		IRQ9_B			IOVCC1
F11		P203	GTIV_A/ RTCIC1_B	USB_OVRCU RA_A/ TXD4_B/ SSDA4_B/ MOSI4_B					IOVCC1
F12		P202	CACREF_A/ GTIW_A/ CCCOU_B/ RTCOUT_B	USB_OVRCU RB_A/ RXD4_B/ SSCL4_B/ MISO4_B		IRQ4_A			IOVCC1
F10		P704	TMCI1	CTS0_C/ RTS0_C/ SS0_C					IOVCC1
F9		P703		TXD0_C/ SSDA0_C/ MOSI0_C					IOVCC1
G11		P702		RXD0_C/ SSCL0_C/ MISO0_C					IOVCC1
G12		P701	TMRI1/RTCIC2_B	USB_VBUSEN _A/SCL1					IOVCC1
G9		P700	TMO1	SCK0_C/SDA1					IOVCC1
G10								MTDO1_DRV0	VPM
H10								PM_RES1_DR V0	VPM
H9								MTDO2_DRV0	VPM
H11								MTDO4_DRV1	VPM
J11								MTDO5_DRV1	VPM
J12								MTDO6_DRV1	VPM
K12	VPM								
H12		P308	AGTO1_C						IOVCC1

表 1.7 機能別端子一覧 (WLBGA) (3 / 6)

ピン番号	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, IIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	MTDV	対応電源
J10								MTDO7_DRV2	VPM
K11								MTDO8_DRV2	VPM
H8		P306	AGTOB1_C						IOVCC1
K10								MTDO9_DRV2	VPM
J9		P305	AGTEE1_C						IOVCC1
L12	IOVCC1								
L11	VSS								
M12		P304		TXD5_C/ SSDA5_C/ MOSI5_C		KRM05_B			IOVCC1
K9		P303		RXD5_C/ SSCL5_C/ MISO5_C		KRM04_B			IOVCC1
L10		P302	GTIU_B/TMCI0_B	CTS5_C/ RTS5_C/ SS5_C/ CTS5_B/ RTS5_B/ SS5_B					IOVCC1
M11		P301	GTIV_B/TMRI0_B/ CCCOU_A/ RTCOU_A	SCK5_C/ SCK5_B					IOVCC1
N11		P300	GTIW_B/TMO0_B						IOVCC1
J8	CLKOUT32K_C	P610		SSLB0_B					IOVCC1
K8		P609		TXD2_C/ SSDA2_C/ MOSI2_C/ MOSIB_B					IOVCC1
L9		P608	GTETRGA_C	RXD2_C/ SSCL2_C/ MISO2_C/ MISOB_B					IOVCC1
M10		P607	GTETRGB_C	CTS2_C/ RTS2_C/ SS2_C/ RSPCKB_B					IOVCC1
N10		P606		SCK2_C/ SSLB2_B					IOVCC1
K7		P605		TXD9_C/ SSDA9_C/ MOSI9_C/ SSLB1_B					IOVCC1
L8		P604	GTIOC5B_B/ RTIC0_A	TXD9_B/ SSDA9_B/ MOSI9_B/ SSLB3_B		IRQ5_B			IOVCC1
M9		P603	GTIOC5A_B/ RTIC1_A	RXD9_B/ SSCL9_B/ MISO9_B/ SSLB0_D					IOVCC1
J7		P602	GTOUUP_B/ RTIC2_A	SCK9_B/ QSPCLK_A					IOVCC1
N9		P601	GTOULO_B	CTS9_B/ RTS9_B/ SS9_B/ QSSL_A					IOVCC1
M8		P600	LPGOUT	SCK9_C					IOVCC1
K6		P113	AGTEE1_A/ GTOWUP_A/ GTIOC3A_A	TXD4_A/ SSDA4_A/ MOSI4_A/ SSLB2_A/ QIO0_B	MLCD_VCO M	IRQ5_A			IOVCC2

表 1.7 機能別端子一覧 (WLBGA) (4 / 6)

ピン番号	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	MTDV	対応電源
L7		P112	AGTEE0_B/ GTOWLO_A/ GTIOC3B_A	RXD4_A/ SSCL4_A/ MISO4_A/ SSLB3_A/ QIO1_B	MLCD_XRST	IRQ6_A			IOVCC2
N8		P111	AGTO0_B/ GTOUUP_A/ GTIOC2A_A	CTS4_A/ RTS4_A/ SS4_A/ RXD5_A/ SSCL5_A/ MISO5_A/ SSLB1_A/ QIO2_B	MLCD_SCLK				IOVCC2
M7		P110	AGTOA0_B/ GTOULO_A/ GTIOC2B_A	SCK9_A/ SCK5_A/ MOSIB_A/ QIO3_B	MLCD_DEN				IOVCC2
N7		P109	AGTOB0_B/ GTOVUP_A	CTS9_A/ RTS9_A/ SS9_A/ CTS5_A/ RTS5_A/ SS5_A/ MISOB_A/ QSPCLK_B	MLCD_ENBS				IOVCC2
L6		P108	AGTIO0_B/ GTOVLO_A	SCK4_A/ TXD5_A/ SSDA5_A/ MOSI5_A/ RSPCKB_A/ QSSL_B	MLCD_ENB G				IOVCC2
K5		P114							IOVCC2
N6	IOVCC2								
M6	VSS								
L5	TMS	P107	AGTOB1_A/ GTIOC1A_A	CTS0_A/ RTS0_A/ SS0_A/ RSPCKA_A	MLCD_SI0	IRQ7_A/ KRM07_A			IOVCC2
M5	TDO	P106	AGTOA1_A/ GTIOC1B_A	TXD0_A/ SSDA0_A/ MOSI0_A/ SSLB0_A	MLCD_SI1	IRQ0_B/ KRM06_A	VCOUT_A		IOVCC2
N5	TDI	P105	AGTO1_A/ GTIOC4A_A	USB_EXICEN/ RXD0_A/ SSCL0_A/ MISO0_A/ MISOA_A	MLCD_SI2	IRQ8_A/ KRM05_A			IOVCC2
K4	TCK	P104	AGTIO1_A/ GTIOC4B_A	SCK0_A/ MOSIA_A	MLCD_SI3	IRQ9_A/ KRM04_A			IOVCC2
L4		P103	GTIOC5A_A	CTS2_A/ RTS2_A/ SS2_A/ CTS1_A/ RTS1_A/ SS1_A/ SSLA0_A	MLCD_SI4	KRM03_A			IOVCC2
N4		P102	GTIOC5B_A	TXD2_A/ SSDA2_A/ MOSI2_A/ TXD1_A/ SSDA1_A/ MOSI1_A/ IRTXD1_A/ SSLA1_A	MLCD_SI5	KRM02_A			IOVCC2

表 1.7 機能別端子一覧 (WLBGA) (5 / 6)

ピン番号	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	MTDV	対応電源
M4		P101	GTIOC0A_B	RXD2_A/ SSCL2_A/ MISO2_A/ RXD1_A/ SSCL1_A/ MISO1_A/ IRRXD1_A/ SSLA2_A	MLCD_SI6	KRM01_A			IOVCC2
N3		P100	GTIOC0B_B	SCK2_A/ SCK1_A/ SSLA3_A	MLCD_SI7	KRM00_A			IOVCC2
J6	VSS								
H6		P514			LEDI1				IOVCC3
J5		P513			LEDI2				IOVCC3
H5		P512			LEDI3				IOVCC3
N2		P511	GTOVUP_B/ GTIOC1B_C			KRM03_B			IOVCC3
M3		P510	GTOVLO_B/ GTIOC1A_C			KRM02_B			IOVCC3
L3		P509		USB_OVRCU RB_B		KRM01_B			IOVCC3
K3		P508	GTIOC2B_C			IRQ4_B			IOVCC3
J4		P507	GTIOC2A_C	USB_ID_B		KRM00_B			IOVCC3
M2		P506				IRQ0_C	AN028		IOVCC3
L2		P505				IRQ1_C	AN027		IOVCC3
G6		P504		USB_VBUSEN B/CTS2_B/ RTS2_B/ SS2_B			AN026		IOVCC3
G5		P503		USB_OVRCU RA_B/SCK2_B			AN025		IOVCC3
M1		P502		RXD2_B/ SSCL2_B/ MISO2_B/ RSPCKA_C			AN024		IOVCC3
K2		P501	AGTOA1_B	TXD2_B/ SSDA2_B/ MOSI2_B/ MOSIA_C		IRQ1_B	AN023		IOVCC3
J3		P500	ADTRG0_B/ AGTOB1_B/ GTOVUP_B/ GTIOC4B_C	CTS0_B/ RTS0_B/ SS0_B/ MISOA_B/ QIO0_A			AN022		IOVCC3
L1	IOVCC3								
K1	VSS								
J2		P015	AGTIO1_B/ GTOWLO_B/ GTIOC4A_C	SCK0_B/ SSLA3_B/ QIO1_A		IRQ7_B	AN021		IOVCC3
H4		P014	AGTEE1_B/ GTIOC3B_C	RXD0_B/ SSCL0_B/ MISO0_B/ SSLA2_B/ QIO2_A		IRQ6_B	AN020		IOVCC3
H3		P013	AGTO1_B/ GTIOC3A_C	TXD0_B/ SSDA0_B/ MOSI0_B/ SSLA1_B/ QIO3_A					IOVCC3
H2		P012		SSLA0_B					IOVCC3
J1	CLKOUT	P011		RSPCKA_B			AN017		IOVCC3
H1		P010		MOSIA_B			AN016		IOVCC3

表 1.7 機能別端子一覧 (WLBGA) (6 / 6)

ピン番号	電源 クロック システム制御	I/Oポート	タイマ (CAC, GPT, POE, AGT, TMR, RTC, LPG)	通信 (SCI, SPI, RIIC, USB, QSPI)	表示系 (MLCD, LED)	割り込み (IRQ, KINT)	アナログ (S14AD, R12DA, ACMP)	MTDV	対応電源
G4	AVCC1								
G3		P009					CMPREF		AVCC1
G2		P008					CMPIN		AVCC1
G1		P007					DA0		AVCC1
F4	AVSS1								
E4		P006					AN006		AVCC0
F3		P005					AN005		AVCC0
F1		P004					AN004		AVCC0
F2		P003					AN003		AVCC0
E5		P002					AN002		AVCC0
D3	VREFL0								
E3		P001					AN001		AVCC0
E1		P000					AN000		AVCC0
E2	VREFH0/ AVTRO								
D2	AVCC0								
D1	AVSS0								
C1		P815	GTIOC5A_C	CTS4_C/ RTS4_C/ SS4_C					IOVCC0
D4		P814	GTIOC5B_C	SCK4_C					IOVCC0
D5		P813		RXD4_C/ SSCL4_C/ MISO4_C					IOVCC0
D6		P812	GTIOC0A_C	TXD4_C/ SSDA4_C/ MOSI4_C					IOVCC0
C3		P811	GTIOC0B_C						IOVCC0
A1	IOVCC0 (注1)								
A12	VBP (注1)								
E6	VSS (注1)								
F5	VSS (注1)								
F6	VSS (注1)								
H7	VSS (注1)								
N1		P506 (注1)							
N12	VSS (注1)								

- 注. 端子名については、以下の注意事項があります。
- SCIi, SCIgにおける各モードの通信端子は、以下のとおり同一端子に兼用されています。
RXDn/SCLn/MISO_n, TXDn/SDAn/MOSIn, CTSn/RTSn/SSn
 - 端子名に“_A”、“_B”、“_C”などのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。
SPI, QSPI, SCIについては、電気的特性のACタイミングを各グループで測定しています。
 - 端子名に“_DS”が付加されている端子は、ディーブソフトウェアスタンバイモードの解除端子として使用できます。
- 注1. A1、A12、E6、F5、F6、H7、N1、N12の端子は、スペースの関係で接続できない場合はNCにすることができます。

2. CPU

本デバイスは、Arm® Cortex®-M0+ CPU コアをベースにしています。

2.1 概要

2.1.1 CPU

- Arm® Cortex-M0+
 - Revision : r0p1-00rel0
 - Arm®v6-M アーキテクチャプロファイル
 - シングルサイクル整数乗算器
- メモリプロテクションユニット (MPU)
 - Arm®v6 保護メモリシステムアーキテクチャ
 - 8つのメモリ保護領域
- SysTick タイマ
 - LOCO クロックによる動作 (32.768kHz ± 30%)

詳細は、2.8 節の参考資料 1. および参考資料 2. を参照してください。

2.1.2 デバッグ

- Arm® CoreSight™ MTB-M0+
 - Revision : r0p1-00rel0
 - バッファサイズ : 32K バイト MTB RAM
- データウォッチポイントユニット (DWT)
 - ウォッチポイント用の 2つのコンパレータ
- ブレークポイントユニット (BPU)
 - 4つの命令コンパレータ
- CoreSight デバッグアクセスポート (DAP)
 - シリアルワイヤデバッグポート (SW-DP)
- デバッグレジスタモジュール (DBGREG)
 - リセットコントロール
 - ストップコントロール

詳細は、2.8 節の参考資料 1. および参考資料 2. を参照してください。

2.1.3 動作周波数

- CPU コア : 最大 64MHz
- シリアルワイヤデータ (SWD) インタフェース : 最大 12.5MHz

図 2.1 に Cortex-M0+ CPU のブロック図を示します。

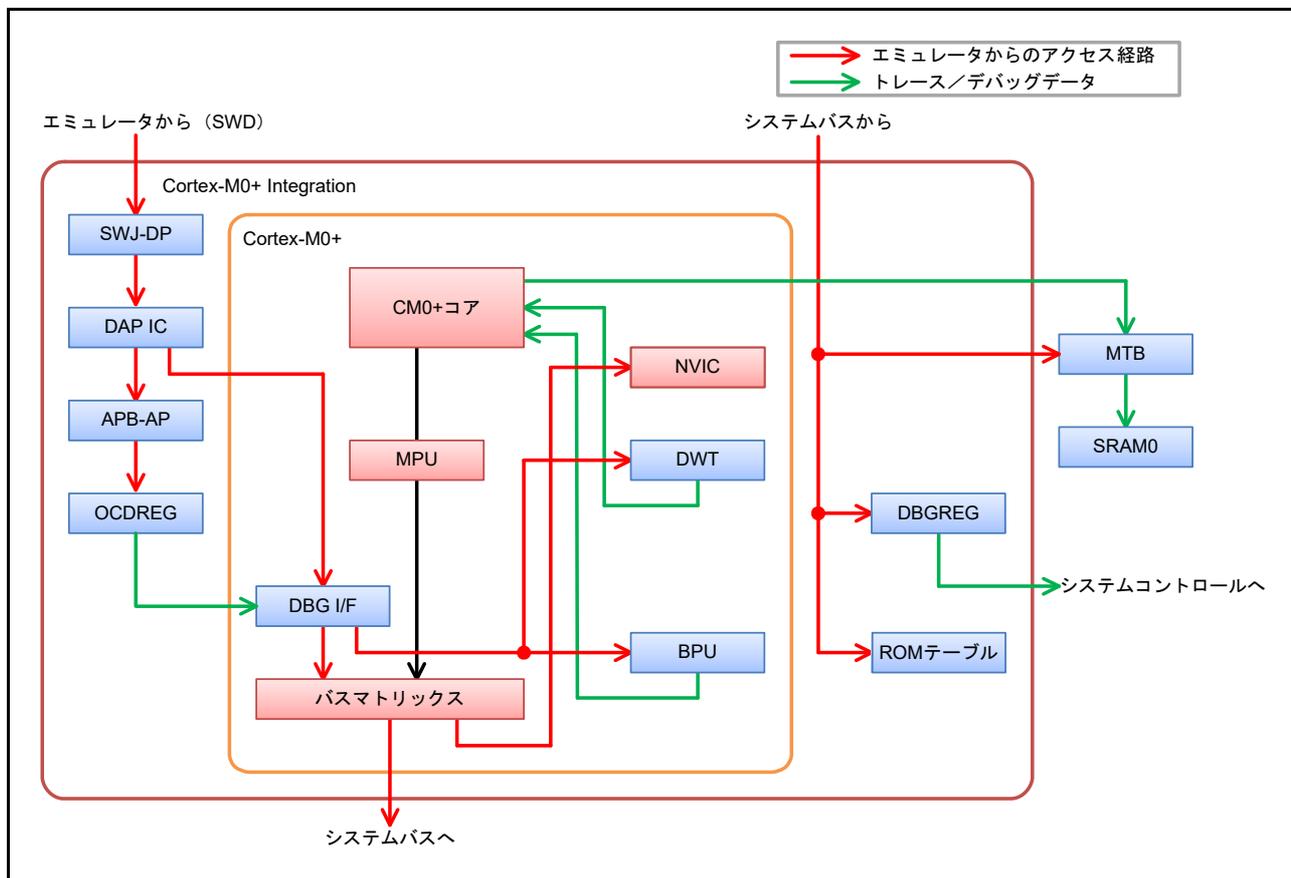


図 2.1 Cortex-M0+ CPU ブロック図

2.2 実装オプション

表2.1 実装オプション

オプション	実装
MPU	あり (8つのメモリ保護領域)
シングルサイクル乗算器	あり
割り込み本数	32本
スリープモードパワーセーブ	スリープモードなどの低消費電力モードがサポートされています。詳細は、ユーザーズマニュアルハードウェア編の12. 消費電力低減機能を参照してください。 注. SCB.SCR.SLEEPDEEPは無視されます。
エンディアン形式	リトルエンディアン
SysTickタイマ	2.8節の参考資料3.を参照してください。
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタのSYSRESETREQビットによってCPUがリセットされます。
ベクタテーブルオフセットレジスタ	あり

詳細は、2.8節の参考資料3.を参照してください。

2.3 SWD インタフェース

本デバイスは、デバッグインタフェースとしてSWD インタフェースをサポートします。

表 2.2 に SWD 端子を示します。

表 2.2 SWD 端子

端子名称	入出力	機能	未使用時の端子処理
SWCLK	入力	シリアルワイヤクロック入力端子	プルアップ
SWDIO	入出力	シリアルワイヤデータ入出力端子	プルアップ

2.4 デバッグモード

2.4.1 デバッグモードの定義

表 2.3 に、デバッグモードとその条件を示します。

表2.3 デバッグモードとその条件

条件		モード	
エミュレータとの接続	SWD認証	デバッグモード	デバッグ認証
未接続	—	ユーザモード	禁止
接続	不合格	ユーザモード	禁止
接続	合格	オンチップデバッグ (OCD) モード	許可

- 注. エミュレータとの接続は、SWJ-DPレジスタのCDBGPWRUPREQビットの値で判別されます。このビットはエミュレータによってのみ書き込むことができます。なお、このビットの値は、DBGSTR.CDBGPWRUPREQビットの読み出しによって確認できます。
- 注. デバッグ認証は、Arm®v6-Mアーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方のCPUデバッグが許可されることを意味します。「禁止」とは、これらが両方とも許可されないことを意味します。

2.4.2 デバッグモードの影響

デバッグモードはCPUの内部および外部に影響を与えます。デバッグモードの影響を以下に示します。

2.4.2.1 低消費電力モード

すべてのCoreSightデバッグコンポーネントは、CPUがソフトウェアスタンバイモード、スヌーズモード、あるいはディープソフトウェアスタンバイモードに入った場合でも、レジスタの設定値を保持することが可能です。ただし、これらの低消費電力モードにおいては、AHB-APはオンチップデバッグ(OCD)アクセスに応答できません。すなわち、CoreSightデバッグコンポーネントにアクセスするには、エミュレータは低消費電力モードが解除されるのを待つ必要があります。この場合、エミュレータはMCUCTRLレジスタのDBIRQビットを用いて、低消費電力モードの解除を要求できます。詳細は、2.5.6.3 MCUコントロールレジスタ(MCUCTRL)を参照してください。

2.4.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPPCR レジスタ設定内容に従います。

表2.4 リセット／割り込みおよびモード設定

リセット／割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES#端子リセット	ユーザモードと同じ	
パワーオンリセット	ユーザモードと同じ	
独立ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPPCRレジスタの設定に従います
ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPPCRレジスタの設定に従います
電圧監視0リセット	DBGSTOPPCRレジスタの設定に従います	
電圧監視1リセット／割り込み	DBGSTOPPCRレジスタの設定に従います	
電圧監視BATリセット／割り込み	DBGSTOPPCRレジスタの設定に従います	
バスマスタMPUリセット／割り込み	ユーザモードと同じ	
バススレーブMPUリセット／割り込み	ユーザモードと同じ	
スタックポインタエラーリセット／割り込み	ユーザモードと同じ	
ディープソフトウェアスタンバイリセット	ユーザモードと同じ	
MINPWONモードリセット	ユーザモードと同じ	
ソフトウェアリセット	ユーザモードと同じ	

注. 「OCDブレークモード」はCPUが停止していることを意味し、「OCD RUNモード」はCPUが停止していないことを意味します。

注1. OCDブレークモードではIWDWT/WDTは常に停止しています。

2.5 プログラマモデル

2.5.1 アドレス空間

本デバイスのデバッグシステムには、次の2つの CoreSight アクセスポート (AP) があります。

- AHB-AP : CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP : 専用のアドレス空間 (OCD アドレス空間) を持ち、OCD 専用レジスタに接続します。

図 2.2 に AP 接続とアドレス空間のブロック図を示します。

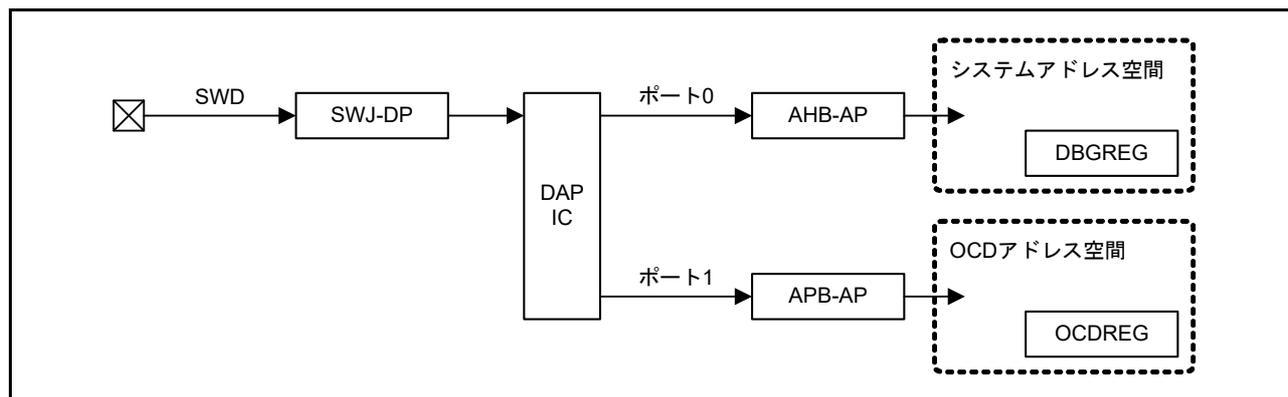


図 2.2 AP 接続とアドレス空間のブロック図

デバッグ用に、DBGREG と OCDREG の2つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、エミュレータ、CPU、および本デバイスにおける他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、エミュレータからのみアクセスが可能です。CPU と他のバスマスタは OCD 専用レジスタにアクセスできません。

2.5.2 Cortex-M0+ ペリフェラルアドレスマップ

システムアドレス空間において、Cortex-M0+ は専用周辺バス (PPB) があります。このバスは CPU およびエミュレータからのみアクセスが可能です。表 2.5 に、Cortex-M0+ ペリフェラルアドレスマップを示します。

表 2.5 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
DWT	E000 1000h	E000 1FFFh	2.8節の参考資料2.を参照してください
BPU	E000 2000h	E000 2FFFh	2.8節の参考資料2.を参照してください
SCS	E000 E000h	E000 EFFFh	2.8節の参考資料2.を参照してください
ROMテーブル	E00F F000h	E00F FFFFh	2.5.4 CoreSight ROMテーブルおよび2.8節の参考資料5.を参照してください

2.5.3 外部デバッグアドレスマップ

システムアドレス空間において、Cortex-M0+ コアには外部デバッグコンポーネントがあります。これらのコンポーネントは、システムバスを介してCPU および他のバスマスタからアクセスできます。表 2.6 に、Cortex-M0+ 外部デバッグコンポーネントのアドレスマップを示します。

表2.6 外部デバッグコンポーネントのアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
MTB (RAM領域)	2000 0000h	2000 7FFFh	MTBはトレースバッファとして最大32Kバイトを使用します。 2.8節の参考資料6.を参照してください
MTB (SFR領域)	4001 9000h	4001 9FFFh	2.8節の参考資料6.を参照してください
ROMテーブル	4001 A000h	4001 AFFFh	2.8節の参考資料6.を参照してください

2.5.4 CoreSight ROM テーブル

本デバイスには、2つのCoreSight ROM テーブルがあります。一方のROM テーブルは外部デバッグコンポーネントのリストと、Arm® コンポーネントへのポインタを保持しています。もう一方のROM テーブルはArm® コンポーネントのリストを保持しています。

2.5.4.1 ROM エントリ

2つのROM テーブルが存在します。表 2.7 に最初のROM テーブルを示します。ここには、Arm® システムエリアへのポインタと、ユーザエリアコンポーネントの情報が含まれています。

表 2.8 に2番目のROM テーブルを示します。ここには、Arm® システムエリアコンポーネントの情報が含まれています。詳細は、2.8節の参考資料 5. および参考資料 6. を参照してください。

表2.7 ROMテーブル (1)

アドレス	アクセスサイズ	R/W	値	対象コンポーネント
4001 A000h	32ビット	R	A00E 5003h	Arm® Cortex-M0+ プロセッサ
4001 A004h	32ビット	R	FFFF F003h	MTB
4001 A008h	32ビット	R	0000 0000h	(ROMテーブルの終了マーカ)

表2.8 ROMテーブル (2)

アドレス	アクセスサイズ	R/W	値	対象コンポーネント
E00F F000h	32ビット	R	FFF0 F003h	SCSが実装されている
E00F F004h	32ビット	R	FFF0 2003h	DWTが実装されている
E00F F008h	32ビット	R	FFF0 3003h	BPUが実装されている
E00F F00Ch	32ビット	R	0000 0000h	(ROMテーブルの終了マーカ)

2.5.4.2 CoreSight レジスタ

CoreSight ROM テーブルは、Arm® CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。表 2.9、表 2.10 にこれらのレジスタを示します。各レジスタの詳細は、2.8 節の参考資料 5. を参照してください。

表 2.9 CoreSight ROM テーブルの CoreSight レジスタ (Renesas 固有 ID)

名称	アドレス	アクセスサイズ	R/W	初期値
Arm® CM0+	4001 A000h	32ビット	R	A00E 5003h
MTB	4001 A004h	32ビット	R	FFFF F003h
PID4	4001 AFD0h	32ビット	R	0000 0004h
PID5	4001 AFD4h	32ビット	R	0000 0000h
PID6	4001 AFD8h	32ビット	R	0000 0000h
PID7	4001 AFDC h	32ビット	R	0000 0000h
PID0	4001 AFE0h	32ビット	R	0000 002Ah
PID1	4001 AFE4h	32ビット	R	0000 0030h
PID2	4001 AFE8h	32ビット	R	0000 000Ah
PID3	4001 AFEC h	32ビット	R	0000 0000h
CID0	4001 AFF0h	32ビット	R	0000 000Dh
CID1	4001 AFF4h	32ビット	R	0000 0010h
CID2	4001 AFF8h	32ビット	R	0000 0005h
CID3	4001 AFFC h	32ビット	R	0000 00B1h

表 2.10 CoreSight ROM テーブルの CoreSight レジスタ (CoreSight-ID)

名称	アドレス	アクセスサイズ	R/W	初期値
SCS	E00F F000h	32ビット	R	FFF0 F003h
DWT	E00F F004h	32ビット	R	FFF0 2003h
BPU	E00F F008h	32ビット	R	FFF0 3003h
PID4	E00F FFD0h	32ビット	R	0000 0004h
PID5	E00F FFD4h	32ビット	R	0000 0000h
PID6	E00F FFD8h	32ビット	R	0000 0000h
PID7	E00F FFDC h	32ビット	R	0000 0000h
PID0	E00F FFE0h	32ビット	R	0000 00C0h
PID1	E00F FFE4h	32ビット	R	0000 00B4h
PID2	E00F FFE8h	32ビット	R	0000 000Bh
PID3	E00F FFEC h	32ビット	R	0000 0000h
CID0	E00F FFF0h	32ビット	R	0000 000Dh
CID1	E00F FFF4h	32ビット	R	0000 0010h
CID2	E00F FFF8h	32ビット	R	0000 0005h
CID3	E00F FFFC h	32ビット	R	0000 00B1h

2.5.5 DBGREG

DBGREGは、デバッグ機能を制御するレジスタモジュールです。DBGREGは、CoreSight 準拠のコンポーネントとして実装されています。

表 2.11 は、CoreSight レジスタを除いた、DBGREG のレジスタ一覧です。

表2.11 CoreSight以外のDBGREGのレジスタ

名称		DAPポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート0	4001 B000h	32ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート0	4001 B010h	32ビット	R/W

2.5.5.1 デバッグステータスレジスタ (DBGSTR)

アドレス DBG.DBGSTR 4001 B000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CDBGPW RUPACK	CDBGPW RUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと0が読めます。	R
b28	CDBGPWRUPREQ	デバッグパワーアップ要求	0: エミュレータはデバッグパワーアップを要求していない 1: エミュレータはデバッグパワーアップを要求している	R
b29	CDBGPWRUPACK	デバッグパワーアップアクリッジ	0: デバッグパワーアップ要求を受け付けていない 1: デバッグパワーアップ要求を受け付けた	R
b31-b30	—	予約ビット	読むと0が読めます。	R

本レジスタは、エミュレータがデバイスに対してデバッグクロック供給（デバッグパワーアップ）の要求状況を示すステータスレジスタです。

2.5.5.2 デバッグストップコントロールレジスタ (DBGSTOPCR)

アドレス DBG.DBGSTOPCR 4001 B010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_LVDBAT	DBGSTOP_LVD1	DBGSTOP_LVD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_WDT	DBGSTOP_IWDT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DBGSTOP_IWDT	IWDTリセット/割り込み用のマスクビット	0: IWDTリセット/割り込みを許可 1: IWDTリセット/割り込みをマスクし、IWDTカウンタを停止	R/W
b1	DBGSTOP_WDT	WDTリセット/割り込み用のマスクビット	0: WDTリセット/割り込みを許可 1: WDTリセット/割り込みをマスクし、WDTカウンタを停止	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DBGSTOP_LVD0	LVD0リセット用のマスクビット	0: LVD0リセットを許可 1: LVD0リセットをマスク	R/W
b17	DBGSTOP_LVD1	LVD1リセット/割り込み用のマスクビット	0: LVD1リセット/割り込みを許可 1: LVD1リセット/割り込みをマスク	R/W
b18	DBGSTOP_LVDBAT	LVDBATリセット/割り込み用のマスクビット	0: LVDBATリセット/割り込みを許可 1: LVDBATリセット/割り込みをマスク	R/W
b31-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時のリセット/割り込みを制御します。ユーザモードのときは、本レジスタの設定値は本デバイスの動作に影響しません。

2.5.5.3 DBGREG の CoreSight レジスタ

DBGREG は、Arm® CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。表 2.12 は、これらのレジスタの一覧です。各レジスタの詳細は、2.8 節の参考資料 5. を参照してください。

表 2.12 DBGREG の CoreSight レジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	4001 BFD0h	32ビット	R	0000 0004h
PID5	4001 BFD4h	32ビット	R	0000 0000h
PID6	4001 BFD8h	32ビット	R	0000 0000h
PID7	4001 BFDCh	32ビット	R	0000 0000h
PID0	4001 BFE0h	32ビット	R	0000 0005h
PID1	4001 BFE4h	32ビット	R	0000 0030h
PID2	4001 BFE8h	32ビット	R	0000 001Ah
PID3	4001 BFEC h	32ビット	R	0000 0000h
CID0	4001 BFF0h	32ビット	R	0000 000Dh
CID1	4001 BFF4h	32ビット	R	0000 00F0h
CID2	4001 BFF8h	32ビット	R	0000 0005h
CID3	4001 BFFCh	32ビット	R	0000 00B1h

2.5.6 OCDREG

OCDREG は、エミュレータのみがアクセス可能な専用レジスタです。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.13 は OCDREG のレジスタ一覧です。

表 2.13 OCDREG のレジスタ一覧

名称		DAPポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	ポート 1	8000 0000h	32ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート 1	8000 0100h	32ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート 1	8000 0200h	32ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート 1	8000 0300h	32ビット	W
MCU ステータスレジスタ	MCU STAT	ポート 1	8000 0400h	32ビット	R
MCU コントロールレジスタ	MCU CTRL	ポート 1	8000 0410h	32ビット	R/W

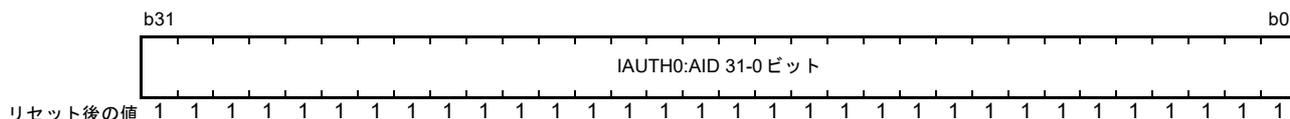
注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレス空間はシステムのアドレス空間から独立しています。

2.5.6.1 ID 認証コードレジスタ (IAUTH0 ~ IAUTH3)

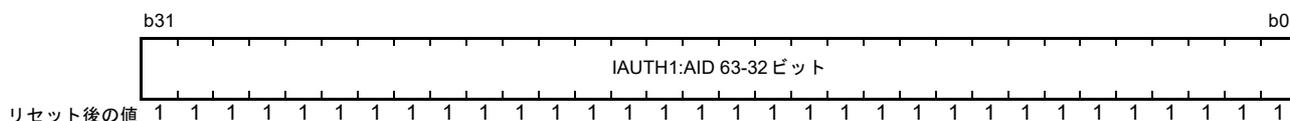
本レジスタは、128 ビットキーを書き込むための認証レジスタです。これら4つのレジスタは、IAUTH0レジスタからIAUTH3レジスタへの順序で書き込む必要があります。

これらのレジスタの初期値はすべてFFFF FFFFhです。これは、OSISレジスタのIDコードが初期値の場合、SWDアクセスが許可されることを意味します。2.7.1 アンロックIDコードを参照してください。

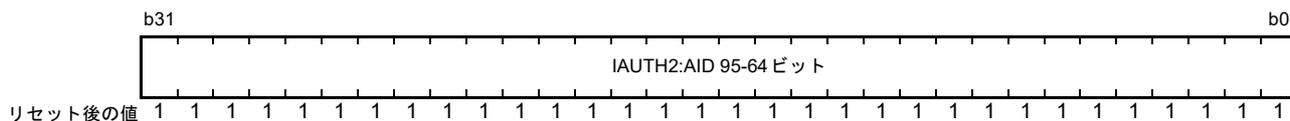
アドレス IAUTH0 8000 0000h



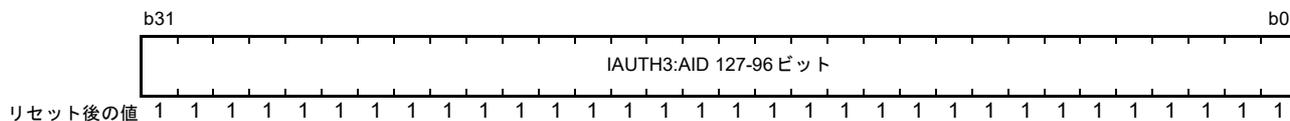
アドレス IAUTH1 8000 0100h



アドレス IAUTH2 8000 0200h



アドレス IAUTH3 8000 0300h



2.5.6.2 MCU ステータスレジスタ (MCUSTAT)

アドレス MCUSTAT 8000 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSTOPCLK	CPUSLEEP	AUTH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	AUTH	デバッガ認証フラグ	0 : 認証失敗 1 : 認証成功	R
b1	CPUSLEEP	スリープ状態フラグ	0 : CPUはスリープモードでない 1 : CPUはスリープモードである	R
b2	CPUSTOPCLK	ストップ状態フラグ	0 : CPUへクロック供給中 1 : CPUへのクロックは停止中	R
b31-b3	—	予約ビット	読むと0が読めます。	R

注1. 本デバイスの状態に依存します。

2.5.6.3 MCU コントロールレジスタ (MCUCTRL)

アドレス MCUCTRL 8000 0410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBGRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EDBGRQ	外部デバッグ要求ビット	0: デバッグイベントを要求しない 1: デバッグイベントを要求する 本ビットに1を書き込むと、CPUが停止します。 本ビットは以下のどちらかの条件でクリアされます。 • EDBGRQビットに0を書く • CPUが停止する	R/W
b7-b1	—	予約ビット	読むと0が読めます。	R
b8	DBIRQ	デバッグ割り込み要求ビット	0: デバッグ割り込みを要求しない 1: デバッグ割り込みを要求する 本ビットに1を書き込むと、デバイスは低消費電力モードから復帰します。	R/W
b31-b9	—	予約ビット	読むと0が読めます。	R

注: DBIRQビットとEDBGRQビットは同じ値にしてください。

2.5.6.4 OCDREG の CoreSight レジスタ

OCDREG は、Arm® CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。

表 2.14 は、これらのレジスタの一覧です。各レジスタの詳細は、2.8 節の参考資料 5. を参照してください。

表 2.14 OCDREG の CoreSight レジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	8000 0FD0h	32ビット	R	0000 0004h
PID5	8000 0FD4h	32ビット	R	0000 0000h
PID6	8000 0FD8h	32ビット	R	0000 0000h
PID7	8000 0FDCh	32ビット	R	0000 0000h
PID0	8000 0FE0h	32ビット	R	0000 0004h
PID1	8000 0FE4h	32ビット	R	0000 0030h
PID2	8000 0FE8h	32ビット	R	0000 000Ah
PID3	8000 0FECh	32ビット	R	0000 0000h
CID0	8000 0FF0h	32ビット	R	0000 000Dh
CID1	8000 0FF4h	32ビット	R	0000 00F0h
CID2	8000 0FF8h	32ビット	R	0000 0005h
CID3	8000 0FFCh	32ビット	R	0000 00B1h

2.6 SysTick タイマ

本デバイスは、簡易的な 24 ビットダウンカウンタとなる SysTick タイマを内蔵しています。このタイマは、ICLK または SYSTICCLK 基準クロックを選択できます。

詳細は、ユーザーズマニュアルハードウェア編の 9. クロック発生回路および 2.8 節の参考資料 1. を参照してください。

2.7 エミュレータとの接続

本デバイスは、デバッグ時のチップリソースへのアクセス許可をチェックするための SWD 認証機構を搭載しています。全デバッグ機能を許可するには、この認証を合格する必要があります。

図 2.3 に、認証機構のブロック図を示します。

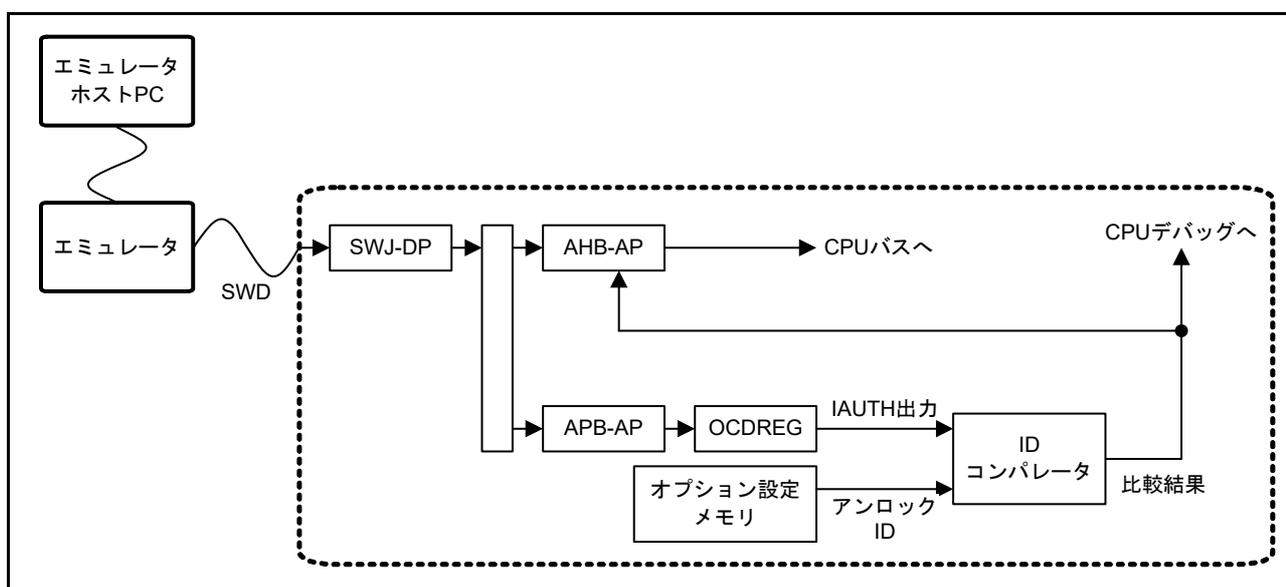


図 2.3 SWD 認証機構のブロック図

本デバイスには SWD 認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力値と、オプション設定メモリの OCD / シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれている 128 ビットのアンロック ID コードを比較します。これら 2 つの出力値が同一であると、SWD 認証が合格となり、CPU デバッグ機能と、エミュレータからのシステムバスアクセスが許可されます。エミュレータは、SWD 認証合格後、システムコントロール OCD コントロールレジスタ (SYOCD CR) の DBGEN ビットを設定する必要があります。また、エミュレータは DBGEN ビットをクリアしないと切断されません。ユーザーズマニュアルハードウェア編の 12. 消費電力低減機能の SYOCD CR レジスタの説明を参照してください。

2.7.1 アンロック ID コード

アンロック ID コードは、CPU デバッグ機能とシステムバスアクセスの許可を判定するために用いられます。アンロック ID コードが IAUTH0 ~ IAUTH3 レジスタに書き込まれた 128 ビットデータと一致した場合、SWD デバッグはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの OCD / シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (FFFF FFFF FFFF FFFF FFFF FFFF FFFF FFFFh) です。OSIS レジスタの詳細は、ユーザーズマニュアルハードウェア編の 7. オプション設定メモリを参照してください。

2.7.2 エミュレータ接続における制限

エミュレータから SWD 接続を開始する場合、デバイスとしては、OCD モードへ遷移できる必要がありますが、デバイスの現在の状態によって制限があります。各モードおよび、消費電力状態において、どの場合に OCD モードへ遷移できるかを、表 2.15 に示します。

EXFPWON NORMAL、MINPWON NORMAL や VBB から OCD モードへは遷移できないので、EXFPWON NORMAL、MINPWON NORMAL や VBB 中のデバッグをするためには、ALLPWON NORMAL のときに OCD モードへ遷移させて、それから EXFPWON NORMAL、MINPWON NORMAL や VBB へ遷移するようにしてください。詳細は、ユーザーズマニュアルハードウェア編の 12. 消費電力低減機能を参照してください。

表 2.15 OCDモードへ遷移できる状態

OCDモード遷移前の現在のモード			OCDモードへの遷移可否
電力制御モード	電源供給モード	低消費電力モード	
BOOST	—	通常動作モード	可能(注1)
		スリープモード	可能(注1)
NORMAL	ALLPWON	通常動作モード	可能(注1)
		スリープモード	可能(注1)
		スヌーズモード	不可能
		ソフトウェアスタンバイモード	不可能
		ディープソフトウェアスタンバイモード	不可能
	EXFPWON MINPWON	すべてのモード	不可能
VBB	ALLPWON EXFPWON MINPWON	すべてのモード	不可能
モード遷移中			不可能

注1. OCDモードに遷移した後は、SYOCD CR.DBGEN ビットを1（オンチップデバッグ有効）に設定してください。SYOCD CR.DBGEN ビットの詳細は、ユーザーズマニュアルハードウェア編の 12.2.22 システムコントロールOCDコントロールレジスタ（SYOCD CR）を参照してください。

2.7.2.1 OCDモード中のモード遷移

OCD モード中のモード遷移には制限があります。電力制御モード間の遷移可否について、一覧を表 2.16 に示します。

表 2.16 OCDモード中の電力制御モード間遷移可否

現在の電力制御モード	遷移したい電力制御モード	電力制御モード遷移可否
BOOST	NORMAL	不可能
NORMAL	BOOST	不可能
	VBB	可能(注1)(注2)
VBB	NORMAL	可能(注1)

注1. NORMALおよびVBB間において、電力制御モード遷移は可能ですが、デバッグを継続するためにNORMALの電源状態が維持されます。ただし、状態フラグ等の機能はエミュレーション可能です。

注2. ALLPWON NORMALでOCDモードに遷移した後は、VBBに遷移する前にSYOCD CR.DBGENビットを1（オンチップデバッグ有効）に設定してください。SYOCD CR.DBGENビットの詳細は、ユーザーズマニュアルハードウェア編の 12.2.22 システムコントロールOCDコントロールレジスタ（SYOCD CR）を参照してください。

ALLPWON NORMAL で OCD モードに遷移した後は、EXFPWON や MINPWON に遷移する前に SYOCD CR.DBGEN ビットを 1（オンチップデバッグ有効）に設定してください。SYOCD CR.DBGEN ビットの詳細は、ユーザーズマニュアルハードウェア編の 12.2.22 システムコントロールOCDコントロールレジスタ

タ (SYOCDCR) を参照してください。

2.7.2.2 OCD モードにおける低消費電力モードの切り替え

デバイスが OCD モードにあっても、各種低消費電力モードへの遷移が可能です。

OCD モードに遷移した後は、各低消費電力モードに遷移する前に SYOCDCR.DBGEN ビットを 1 (オンチップデバッグ有効) に設定してください。SYOCDCR.DBGEN ビットの詳細は、ユーザーズマニュアルハードウェア編の 12.2.22 システムコントロール OCD コントロールレジスタ (SYOCDCR) を参照してください。

ソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを 1 に設定してください。これによって、本デバイスを低消費電力モードから復帰させることができます。同時に、OCDREG の MCUCTRL.EDBGRQ ビットを用いることで、エミュレータは CPU の実行を開始することなく、本デバイスを復帰させることが可能です。表 2.17 に、OCD モード中のシステムバスへのアクセス可否の一覧を示します。

表 2.17 OCDモード中のシステムバスへのアクセス可否

現在のモード	現在の低消費電力モード	システムバスへのアクセス
BOOST	通常動作モード	可能
	スリープモード	可能
NORMAL	通常動作モード	可能
	スリープモード	可能
	スヌーズモード	不可能
	ソフトウェアスタンバイモード	不可能
	ディープソフトウェアスタンバイモード	不可能
VBB	通常動作モード	可能
	スリープモード	可能
	スヌーズモード	不可能
	ソフトウェアスタンバイモード	不可能
	ディープソフトウェアスタンバイモード	不可能
モード遷移中		不可能

2.7.2.3 OSIS レジスタにおけるアンロック ID コードの変更

OSIS レジスタにおいてアンロック ID コードを変更した場合、RES# 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、本デバイスをリセットする必要があります。変更されたアンロック ID コードは、このリセット後に反映されます。システムコントロールブロックについては、2.8 節の参考資料 2. を参照してください。

エミュレータは、リセットする直前に変更後のアンロック ID コードを IAUTH0 ~ IAUTH3 レジスタに設定しておく必要があります。IAUTH0 ~ IAUTH3 レジスタを書き換えると、SYSRESETREQ ビットは書き換え不可となりますので、RES# 端子をアサートして本デバイスをリセットしてください。

2.7.2.4 接続順序と SWD 認証

エミュレータとの接続は SWD 認証機構で保護されているため、SWD 認証レジスタに対しアンロック ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS レジスタの値によって、アンロック ID コードの入力が必要かどうか決まります。RES# 端子を解除後、コールドスタート時の OSIS レジスタ値を比較する前に待機時間が必要です。RES# 端子を解除後の待機時間については、6. 電気的特性の 6.3.3 リセットタイミングを参照してください。

下記に SWD 認証の詳細を示します。

(1) OSIS レジスタの MSB が 0 (ビット 127=0) のとき

ID コードは常に不一致であり、エミュレータへの接続は禁止されます。

(2) OSIS レジスタのビットがすべて 1 の場合 (初期値)

ID 認証は不要であり、エミュレータは認証なしで AHB-AP を使用できます。

AHB-AP を使用するための詳細設定については、2.8 節の参考資料 4. を参照してください。

1. SWD インタフェースを介してエミュレータを本デバイスに接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートした後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待つ必要があります。
3. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、システムバスへのアクセスを開始します。

(3) OSIS レジスタの値が ASCII コードで「ALeRASE」のとき

フラッシュメモリの内容は消去されます。詳細は、ユーザーズマニュアルハードウェア編の 57. フラッシュメモリを参照してください。

1. IAUTH0 ~ IAUTH3 レジスタに、ASCII コード「ALeRASE」(414C 6552 4153 45FF FFFF FFFF FFFF FFFFh) を設定します。
2. 本デバイスをリセットします。
3. MCUSTAT.CPUSTOPCLK = 1 になる (消去完了) まで待ちます。
4. OCD モードへ遷移するために、本デバイスをリセットします。
5. アンロック ID コードは、すべて 1 (FFFF FFFF FFFF FFFF FFFF FFFF FFFF FFFFh) で認証します。

(4) OSIS レジスタのビットがすべて 1 でない場合

ID 認証が必要であり、エミュレータは、OCDREG の IAUTH0 ~ IAUTH3 レジスタに 128 ビットのアンロック ID コードを書き込んでから、AHB-AP を使用する必要があります。

1. SWD インタフェースを介してエミュレータを本デバイスに接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されません。
4. APB-AP を使用して、OCDREG の IAUTH0 ~ IAUTH3 レジスタに 128 ビットのアンロック ID コードを書き込みます。
5. この 128 ビットのアンロック ID コードが OSIS レジスタの値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビット、または AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。

- DbgStatus ビットが1の場合、128ビットIDコードがOSIS値と一致している。AHB転送が許可される
 - DbgStatus ビットが0の場合、128ビットIDコードがOSIS値と一致していない。AHB転送は許可されない
6. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
 7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

2.8 参考資料

1. Arm®v6-M Architecture Reference Manual (ARM DDI 0419E)
2. Cortex™-M0+ Technical Reference Manual (ARM DDI 0484C)
3. Cortex™-M0+ Devices Generic User Guide (ARM DUI 0662B)
4. Arm® CoreSight™ SoC-400 Technical Reference Manual (ARM DDI 0480G)
5. Arm® CoreSight™ Architecture Specification (ARM IHI 0029E)
6. CoreSight™ MTB-M0+ Technical Reference Manual (ARM DDI 0486B)

3. 起動モード

3.1 起動モードの種類と選択

表 3.1 は、リセット解除時のモード設定端子（MD, EHMD）のレベルと、そのとき選択される起動モードの関係を示しています。各起動モードの詳細は、3.2 起動モードの説明を参照してください。

表3.1 起動モード設定端子とエナジーハーベストモード設定端子による起動モードの選択

モード設定端子		起動モード
MD	EHMD	
High	High	エナジーハーベスト起動モード
	Low	通常起動モード
Low	—	SCI/USB ブートモード

3.2 起動モードの説明

3.2.1 通常起動／エナジーハーベスト起動モード

通常起動／エナジーハーベスト起動モードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。MD 端子が High になっているときにリセットが解除されると、本デバイスは通常起動／エナジーハーベスト起動モードで起動し、コードフラッシュメモリのプログラムから動作を開始します。また、EHMD 端子によって通常起動、エナジーハーベスト起動が選択可能です。詳細は、3.3.2 電源起動シーケンスを参照してください。

3.2.2 シリアルプログラミングモード

3.2.2.1 SCI ブートモード

このモードでは、デバイス内部の専用領域に格納された、コードフラッシュメモリ書き換えプログラム（ブートプログラム）が動作します。調歩同期式インタフェース（SCIg）を使用して、デバイス外部からコードフラッシュメモリを書き換えることができます。詳細は、ユーザーズマニュアルハードウェア編の 57. フラッシュメモリを参照してください。

MD 端子を Low にしてリセットを解除すると、シリアルプログラミングモードで起動します。シリアルプログラミングモードで起動後、ブートプログラムによって通信インタフェース（SCI）が選択されます。

3.2.2.2 USB ブートモード

このモードでは、デバイス内部の専用領域に格納された、コードフラッシュメモリ書き換えプログラム（ブートプログラム）が動作します。USB を使用して、デバイス外部からコードフラッシュメモリを書き換えることができます。詳細は、ユーザーズマニュアルハードウェア編の 57. フラッシュメモリを参照してください。

MD 端子を Low にしてリセットを解除すると、シリアルプログラミングモードで起動します。シリアルプログラミングモードで起動後、ブートプログラムによって通信インタフェース（USB）が選択されます。

3.2.3 オンチップデバッグモード

このモードでは、SWD を経由して外部エミュレータや、フラッシュメモリプログラマを接続して、本デバイスを外部から制御することが可能です。

3.3 起動モード遷移

3.3.1 モード設定端子による起動モード遷移

MD 端子、EHMD 端子の設定による起動モード遷移について、図 3.1 に状態遷移図を示します。

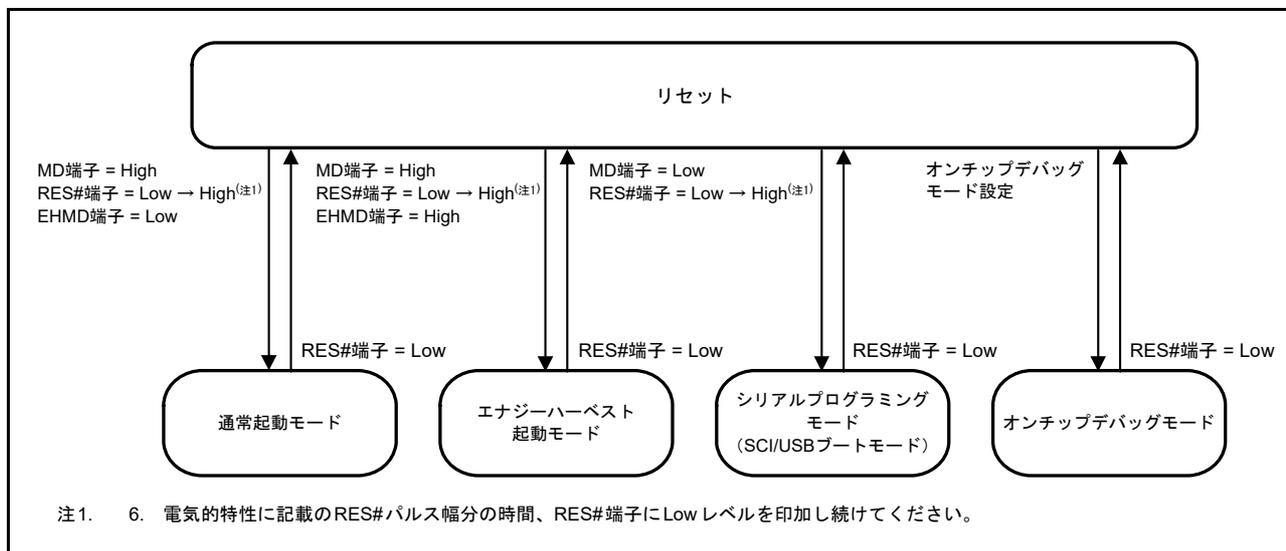


図 3.1 起動モード設定端子とエナジーハーベストモード設定端子のレベルと起動モード

3.3.2 電源起動シーケンス

表 3.2 に示すように、リセット解除時の EHMD 端子の状態により通常起動モードまたはエナジーハーベスト起動モードを選択します。

表 3.2 エナジーハーベストモード設定端子による起動モードの選択

EHMD 端子の状態	起動モード
Low	通常起動モード
High	エナジーハーベスト起動モード

電力制御モードのひとつである低リーク電流モードを使用する際の手順は、選択した起動モードによって異なります。

通常起動モードの場合、バックバイアス電圧制御 (VBBC) 回路の動作が停止したまま起動します。通常起動後に低リーク電流モードを使用するときは、内部リセット解除後に VBBC 回路の起動設定と初期セットアップ完了待ちが必要です。この VBBC 回路の初期セットアップとは、VBP/VBN 端子に接続された外付けコンデンサに充電する動作です。バックバイアス電圧制御 (VBBC) 許可ビット (VBBCR.VBBEN) に 1 を設定することで初期セットアップが開始され、初期セットアップが完了するとバックバイアス電圧制御 (VBBC) 初期セットアップ完了フラグ (VBBST.VBBSTUP) が 1 となります。VBBST.VBBSTUP フラグが 1 のとき、低リーク電流モードへの遷移が可能です。

エナジーハーベスト起動モードの場合、内部リセット期間中に VBBC 回路の初期セットアップが開始・完了します。そのため、内部リセットが解除された時点で VBBCR.VBBEN ビットと VBBST.VBBSTUP フラグは 1 となっているため、すぐに低リーク電流モードへの遷移が可能です。エナジーハーベスト起動モードは通常起動モードに比べて内部リセット期間が長くなりますが、VBBC 回路初期セットアップ中の消費電流が低減されます。

低リーク電流モードについては、ユーザーズマニュアルハードウェア編の 12. 消費電力低減機能を参照してください。

4. アドレス空間

4.1 アドレス空間

プログラムとデータの両方を格納できる 4G バイトのリニアアドレス空間（0000 0000h ~ FFFF FFFFh）をサポートしています。

図 4.1 にメモリマップを示します。

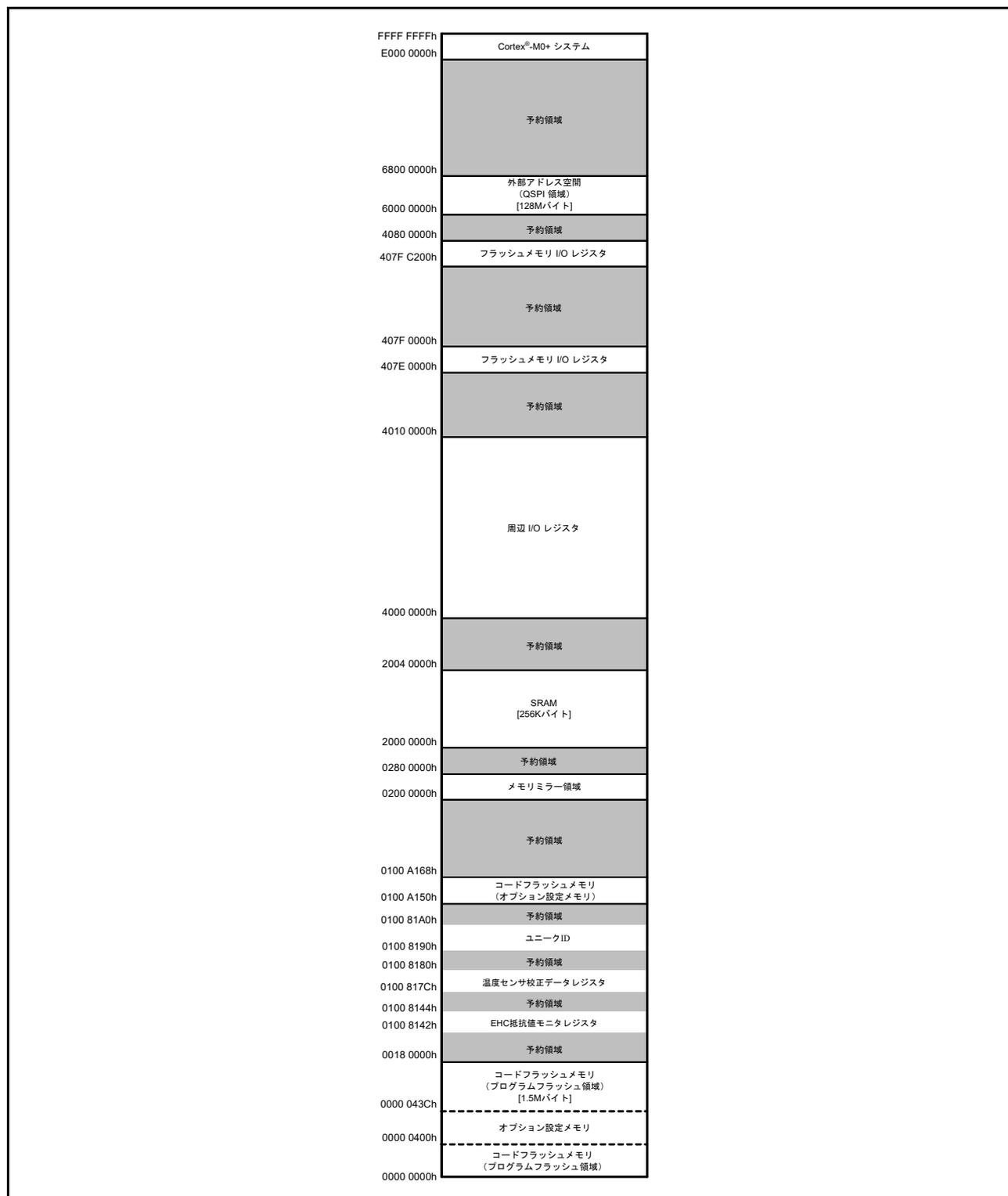


図 4.1 メモリマップ

4.2 外部アドレス空間

外部アドレス空間として QSPI 領域があります。QSPI 領域は、QSPI I/O レジスタと外部 SPI デバイス空間の2つの領域に分割されています。

図 4.2 に、QSPI 領域に対応するアドレス範囲を示します。

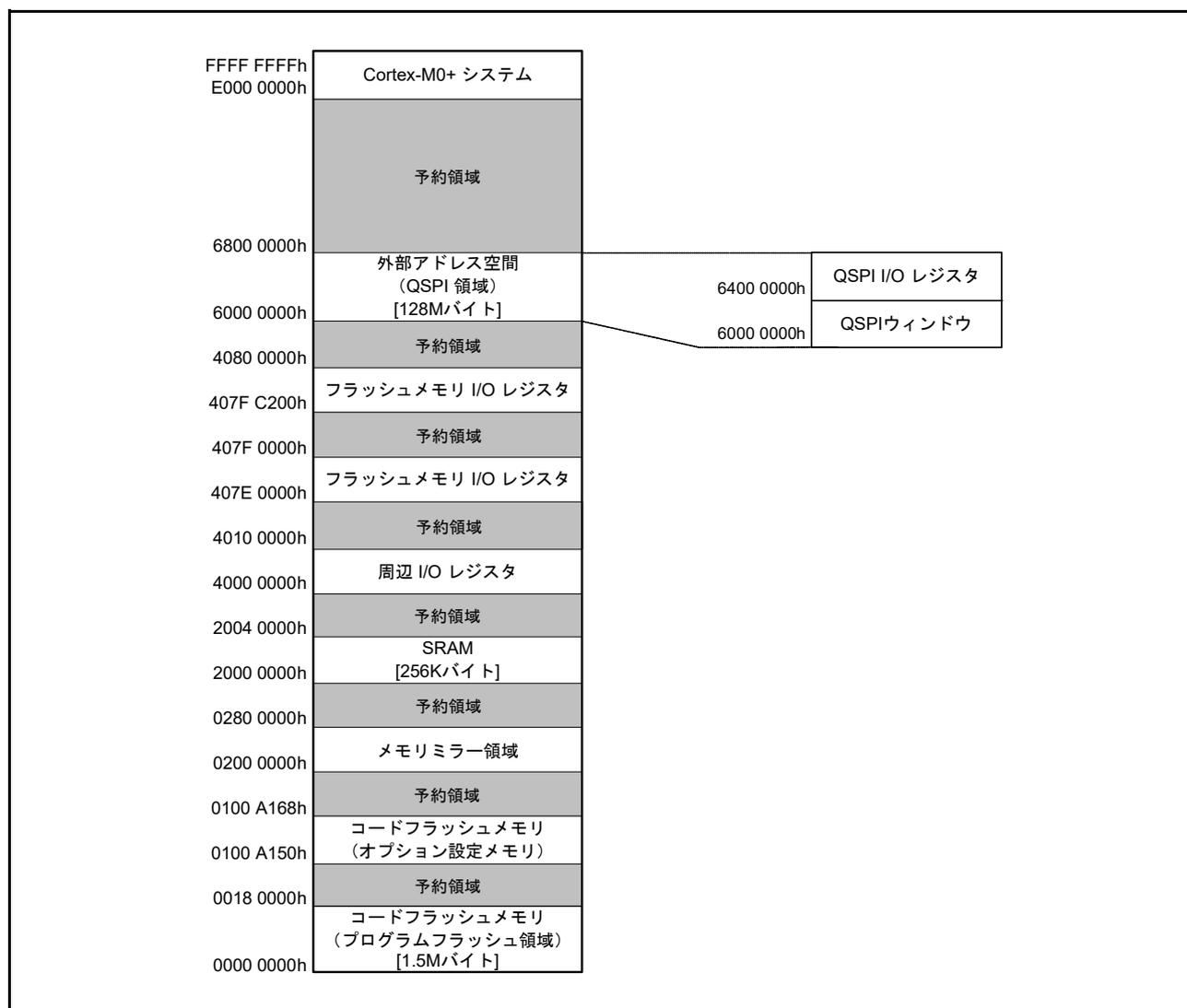


図 4.2 外部アドレス空間

5. I/Oレジスタ

本章では、I/Oレジスタアドレス、およびアクセスサイクルについて機能ごとに説明します。

5.1 アドレス情報

表 5.1 に本製品に搭載する I/O レジスタのアドレス情報を示します。

表 5.1 I/Oレジスタのアドレス (1/2)

開始アドレス	終了アドレス	モジュールシンボル	機能
4000 0000h	4000 4FFFh	MPU, MMF, BUS	メモリプロテクションユニット、メモリミラー機能、バスコントロール
4000 5000h	4000 5FFFh	DMAC, DTC	DMAコントローラ、データトランスファコントローラ
4000 6000h	4000 6FFFh	ICU	割り込みコントローラ
4001 9000h	4001 9FFFh	MTB	デバッグ機能 (MTB)
4001 A000h	4001 AFFFh	FLASH	フラッシュメモリ
4001 B000h	4001 BFFFh	DBG	デバッグ機能
4001 E000h	4001 EFFFh	SYSTEM	システムコントロール
4004 0000h	4004 001Fh	PORT0	ポート0コントロールレジスタ
4004 0020h	4004 003Fh	PORT1	ポート1コントロールレジスタ
4004 0040h	4004 005Fh	PORT2	ポート2コントロールレジスタ
4004 0060h	4004 007Fh	PORT3	ポート3コントロールレジスタ
4004 0080h	4004 009Fh	PORT4	ポート4コントロールレジスタ
4004 00A0h	4004 00BFh	PORT5	ポート5コントロールレジスタ
4004 00C0h	4004 00DFh	PORT6	ポート6コントロールレジスタ
4004 00E0h	4004 00FFh	PORT7	ポート7コントロールレジスタ
4004 0100h	4004 011Fh	PORT8	ポート8コントロールレジスタ
4004 0800h	4004 0CFFh	PFS	ポートmn端子機能選択レジスタ
4004 0D00h	4004 0FFFh	PMISC	その他のポートコントロールレジスタ
4004 1000h	4004 10FFh	ELC	イベントリンクコントローラ
4004 1240h	4004 125Fh	SCI2	シリアルコミュニケーションインタフェース2
4004 1260h	4004 127Fh	SCI3	シリアルコミュニケーションインタフェース3
4004 1280h	4004 129Fh	SCI4	シリアルコミュニケーションインタフェース4
4004 12A0h	4004 12BFh	SCI5	シリアルコミュニケーションインタフェース5
4004 1320h	4004 133Fh	SCI9	シリアルコミュニケーションインタフェース9
4004 2000h	4004 20FFh	POE0	ポートアウトプットイネーブル0
4004 2100h	4004 21FFh	POE1	ポートアウトプットイネーブル1
4004 4000h	4004 40FFh	RTC	リアルタイムクロック
4004 4200h	4004 42FFh	WDT	ウォッチドッグタイマ
4004 4400h	4004 44FFh	IWDT	独立ウォッチドッグタイマ
4004 4600h	4004 46FFh	CAC	クロック周波数精度測定回路
4004 7000h	4004 70FFh	MSTP	モジュールストップコントロールレジスタB、C、D
4005 2000h	4005 207Fh	TMR	8ビットタイマ
4005 3000h	4005 30FFh	RIIC0	I ² Cバスインタフェース0
4005 3100h	4005 31FFh	RIIC1	I ² Cバスインタフェース1
4005 4100h	4005 41FFh	DOC	データ演算回路
4005 5000h	4005 50FFh	GPT320	汎用PWMタイマ0 (32ビット)
4005 5100h	4005 51FFh	GPT321	汎用PWMタイマ1 (32ビット)

表5.1 I/Oレジスタのアドレス (2 / 2)

開始アドレス	終了アドレス	モジュールシンボル	機能
4005 5200h	4005 52FFh	GPT162	汎用PWMタイマ2 (16ビット)
4005 5300h	4005 53FFh	GPT163	汎用PWMタイマ3 (16ビット)
4005 5400h	4005 54FFh	GPT164	汎用PWMタイマ4 (16ビット)
4005 5500h	4005 55FFh	GPT165	汎用PWMタイマ5 (16ビット)
4005 5FF0h	4005 5FFFh	GPT_OPS	出力位相スイッチコントロール
4005 C000h	4005 C1FFh	S14AD	14ビットA/Dコンバータ
4005 D000h	4005 D0FFh	TEMPS	温度センサ
4005 E000h	4005 E0FFh	R12DA	12ビットD/Aコンバータ
4007 0000h	4007 001Fh	SCI0	シリアルコミュニケーションインタフェース0
4007 0020h	4007 003Fh	SCI1	シリアルコミュニケーションインタフェース1
4007 0200h	4007 03FFh	MLCD	MIP液晶コントローラ
4007 0800h	4007 0DFFh	GDT	2Dグラフィックデータ変換回路
4007 0F00h	4007 0FFFh	IrDA	赤外線通信
4007 2000h	4007 20FFh	SPI0	シリアルペリフェラルインタフェース0 (128ビット)
4007 2100h	4007 21FFh	SPI1	シリアルペリフェラルインタフェース1 (32ビット)
4007 4000h	4007 40FFh	CRC	CRC演算器
4008 0000h	4008 00FFh	KINT	キー割り込み機能
4008 0400h	4008 04FFh	CCC	クロック補正回路
4008 4000h	4008 40FFh	AGT0	非同期汎用タイマ0
4008 4100h	4008 41FFh	AGT1	非同期汎用タイマ1
4008 4400h	4008 44FFh	LST	低速クロックタイマ
4008 4500h	4008 457Fh	DIL	データ反転回路
4008 4600h	4008 467Fh	LPG	低速パルスジェネレータ
4008 4680h	4008 46FFh	DIV	除算器
4008 4800h	4008 49FFh	MTDV	モータドライバ制御回路
4008 5000h	4008 50FFh	ACMP	アナログコンパレータ
4008 6900h	4008 69FFh	LED	LEDドライバ
4008 6A80h	4008 6AFFh	VREF	基準電圧生成回路
4009 0400h	4009 04FFh	USB	USB2.0FSホスト/ファンクションモジュール
400C 0000h	400C 01FFh	TSIP-Lite	セキュリティ機能
6400 0000h	67FF FFFFh	QSPI	クワッドシリアルペリフェラルインタフェース

5.2 アクセスサイクル

表 5.2 に本デバイスの I/O レジスタに関するアクセスサイクル情報を示します。以下の内容は、表 5.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数は指定の基準クロックに基づいたサイクル数です。
- I/O レジスタ領域では、レジスタに割り付けられていない予約領域はアクセス禁止です。予約領域にアクセスしたときの動作については保証できません。
- I/O レジスタのアクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数によって異なります。PCLK とは、PCLKA または PCLKB を示します。内部周辺バスについては、ユーザーズマニュアルハードウェア編の 18. バスを参照してください。
- ICLK と PCLK の周波数が等しい場合は、分周クロック同期化サイクル数は定数となります。
- ICLK の周波数が PCLK の周波数よりも大きい場合、PCLK で1クロック分が分周クロック同期化サイクルに追加されます。
- CPU からのアクセスが他のバスマスタ (DMAC または DTC) からのバスアクセスと衝突しない場合のサイクル数に適用します。

表5.2 I/Oレジスタのアクセスサイクル (1/2)

機能	開始アドレス	終了アドレス	ICLK = PCLK		ICLK > PCLK (注1)		サイクルの単位	関連機能
			読み出し	書き込み	読み出し	書き込み		
CPU, MPU, MMF, Bus, DMAC, DTC, ICU, FLASH, DBG	4000 0000h	4000 6FFFh	3	3	—	—	ICLK	CPU、メモリプロテクションユニット、メモリミラー機能、バスコントロール、DMAコントローラ、データトランスファコントローラ、割り込みコントローラ、フラッシュメモリ、デバッグ機能
	4001 A000h	4001 BFFFh			—	—		
MTB	4001 9000h	4001 9FFFh	2	2	—	—	ICLK	デバッグ機能 (MTB)
SYSTEM (注4)	4001 E000h	4001 E3FFh	3	3	—	—	ICLK	消費電力低減機能、リセット、クロック発生機能、レジスタライトプロテクション機能、低電圧検出、エナジーハーベスト制御回路
	4001 E400h	4001 E412h	5	5	—	—		
	4001 E413h	4001 E413h	3	3	—	—		
	4001 E414h	4001 E420h	5	5	—	—		
	4001 E421h	4001 E421h	3	3	—	—		
	4001 E422h	4001 E4E0h	5	5	—	—		
	4001 E4E1h	4001 E4E1h	3	3	—	—		
	4001 E4E2h	4001 E4FFh	5	5	—	—		
4001 E500h	4001 EFFFh	3	3	—	—			
GPIO (注5)	4004 0000h	4004 10FFh	3	3	2-3	2-3	PCLKB	I/Oポート、イベントリンクコントローラ
SCI2-5, 9	4004 1240h	4004 133Fh	3	3	2-3 (注2)	2-3 (注2)	PCLKB	シリアルコミュニケーションインタフェース
POE0-1	4004 2000h	4004 21FFh	3	3	2-3	2-3	PCLKB	ポートアウトプットイネーブル
RTC, WDT, IWDT, CAC, MSTP	4004 4000h	4004 70FFh	3	3	2-3	2-3	PCLKB	リアルタイムクロック、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
TMR	4005 2000h	4005 207Fh	3	3	2-3	2-3	PCLKB	8ビットタイマ
RIIC0-1	4005 3000h	4005 31FFh	3	3	2-3	2-3	PCLKB	I ² Cバスインタフェース

表5.2 I/Oレジスタのアクセスサイクル (2/2)

機能	開始 アドレス	終了 アドレス	ICLK = PCLK		ICLK > PCLK (注1)		サイクル の単位	関連機能
			読み 出し	書き 込み	読み 出し	書き 込み		
DOC	4005 4100h	4005 41FFh	3	3	2-3	2-3	PCLKB	データ演算回路
GPT0-5 (注6), GPT_OPS	4005 5000h	4005 5FFFh	6	4	5-6	3-4	PCLKB	汎用PWMタイマ
S14AD	4005 C000h	4005 C1FFh	3	3	2-3	2-3	PCLKB	14ビットA/Dコンバータ
TEMPS	4005 D000h	4005 D0FFh	3	3	2-3	2-3	PCLKB	温度センサ
R12DA	4005 E000h	4005 E0FFh	3	3	2-3	2-3	PCLKB	12ビットD/Aコンバータ
SCI0-1	4007 0000h	4007 003Fh	3	3	—	—	PCLKA	シリアルコミュニケーションインタフェース
MLCD, GDT	4007 0200h	4007 0DFFh	3	3	—	—	PCLKA	MIP液晶コントローラ、2Dグラフィックデータ変換回路
IrDA	4007 0F00h	4007 0FFFh	3	3	—	—	PCLKA	赤外線通信
SPI0-1	4007 2000h	4007 21FFh	3	3	—	—	PCLKA	シリアルペリフェラルインタフェース
CRC	4007 4000h	4007 40FFh	3	3	—	—	PCLKA	CRC演算器
KINT	4008 0000h	4008 00FFh	3	3	2-3	2-3	PCLKB	キー割り込み機能
CCC	4008 0400h	4008 04FFh	4	4	3-4	3-4	PCLKB	クロック補正回路
AGT0-1	4008 4000h	4008 41FFh	4	4	3-4	3-4	PCLKB	非同期汎用タイマ
LST	4008 4400h	4008 44FFh	4	4	3-4	3-4	PCLKB	低速クロックタイマ
DIL	4008 4500h	4008 457Fh	4	4	3-4	3-4	PCLKB	データ反転回路
LPG	4008 4600h	4008 467Fh	4	4	3-4	3-4	PCLKB	低速パルスジェネレータ
DIV	4008 4680h	4008 46FFh	4	4	3-4	3-4	PCLKB	除算器
MTDV	4008 4800h	4008 49FFh	4	4	3-4	3-4	PCLKB	モータドライバ制御回路
ACMP	4008 5000h	4008 50FFh	3	3	2-3	2-3	PCLKB	アナログコンパレータ
LED	4008 6900h	4008 69FFh	4	4	3-4	3-4	PCLKB	LEDドライバ
VREF	4008 6A80h	4008 6AFFh	4	4	3-4	3-4	PCLKB	基準電圧生成回路
USB	4009 0400h	4009 04FFh	3	3	2-3	2-3	PCLKB	USB2.0FSホスト/ファンクションモジュール
TSIP-Lite	400C 0000h	400C 01FFh	3	3	—	—	PCLKA	セキュリティ機能
QSPI	6400 0000h	67FF FFFFh	4 (注3)	14 (注3)	—	—	PCLKA	クワッドシリアルペリフェラルインタフェース

- 注1. PCLKサイクル数が整数ではない(たとえば1.5)場合、最小値は小数点以下を切り捨て、最大値は小数点を四捨五入します。(たとえば、1.5~2.5は1~3)
- 注2. 16ビットレジスタ(FTDRHL、FRDRHL、FCR、FDR、LSR、およびCDR)にアクセスを行う場合は、表5.2に記載の値よりも2サイクル分多いアクセスサイクルとなります。8ビットレジスタ(FTDRH、FTDRL、FRDRH、およびFRDRL)にアクセスを行う場合は、表5.2に記載のアクセスサイクルとなります。
- 注3. アクセスサイクルはQSPIバスサイクルによって異なります。
- 注4. CPUからの最小アクセスサイクルを示します。SCKSCR、SCKDIVCRレジスタを変更した後の、ICLKのクロックソース、周波数変更に必要なサイクル数は含みません。
- 注5. PORT0-8、PFS、PMISC、ELCを示します。
- 注6. GPT320、GPT321、GPT162、GPT163、GPT164、GPT165を示します。

6. 電気的特性

特に記載のない限り、本デバイスの電気的特性は以下の条件で定義されています。

$$VCC = AVCC0 = AVCC1 = IOVCC0 = IOVCC1 = IOVCC2 = IOVCC3 = 1.62 \sim 3.6V$$

$$VCC_USB = 3.0V \sim 3.6V$$

$$1.62V \leq VREFH0 \leq AVCC0$$

$$VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$$

$$T_a = T_{opr}$$

各 I/O 端子の負荷容量は 30pF

消費電流測定時の低 CL サブクロック発振器は、低 CL4 (SOMCR.SODRV = 1 かつ SOMCR.SODRV0 = 0) を選択しています。

6.1 絶対最大定格

表 6.1 絶対最大定格

項目	記号	値	単位	
電源電圧	電源電圧	VCC	-0.3 ~ 4.6	V
	EHC用入力電圧	VSC_VCC	-0.3 ~ 4.6	V
	EHC用二次電池入力電圧	VBAT_EHC	-0.3 ~ 4.6	V
	USB用電源電圧	VCC_USB	-0.3 ~ 4.6	V
	I/O用電源電圧	IOVCC, IOVCC0 ~ 3	-0.3 ~ 4.6	V
入力電圧	V_{in}	-0.3 ~ VCC + 0.3 (max 4.6V)	V	
リファレンス電源電圧	VREFH0	-0.3 ~ AVCC0 + 0.3 (max 4.6V)	V	
	VREFL0	-0.3 ~ AVSS0 + 0.3	V	
アナログ電源電圧	AVCC0, AVCC1	-0.3 ~ 4.6	V	
ジャンクション温度	T_j	-40 ~ +95	°C	
保存温度	T_{stg}	-55 ~ +125	°C	

【使用上の注意】 絶対最大定格を超えて使用した場合、永久破壊されることがあります。

表6.2 推奨動作条件

項目	記号	Min	Typ	Max	単位	
電源電圧	VCC	1.62	–	3.6	V	
	VSS	–	0	–	V	
EHC用入力電圧	VSC_VCC	1.62	–	3.6	V	
EHC用二次電池入力電圧	VBAT_EHC (注1)	1.62	–	3.6	V	
USB用電源電圧	VCC_USB	3.0	–	3.6	V	
	VSS_USB	–	0	–	V	
アナログ電源電圧	AVCC0, AVCC1	1.62	–	3.6	V	
	AVSS0, AVSS1	–	0	–	V	
	VREFH0	1.62	–	AVCC0	V	
	VREFL0	–	0	–	V	
I/O用電源電圧	IOVCC, IOVCC0, IOVCC1, IOVCC3	1.62	–	3.6	V	
	IOVCC2	MLCD未使用時	1.62	–	3.6	V
		MLCD使用時	2.7	3.0	3.3	V
動作温度	T _{opr}	-40	–	85	°C	

注1. VBAT_EHCに接続する二次電池電圧は下記です。
2.6V, 3.0V

6.2 DC 特性

6.2.1 I/O 入力特性 ($V_{IH} \cdot V_{IL}$)

表6.3 I/O入力特性 ($V_{IH} \cdot V_{IL}$)

項目	記号	Min	Typ	Max	単位	測定条件	
シュミットトリガ入力 電圧	RES#, NMI, IRQn, および周辺機能の入力 端子 (RIICを除く)	V_{IH}	$VCC \times 0.8$	–	–	V	–
		V_{IL}	–	–	$VCC \times 0.2$		
		ΔV_T	0.3	–	–		
	RIIC	V_{IH}	$VCC \times 0.7$	–	–		VCC = 3.0~3.6V
		V_{IL}	–	–	$VCC \times 0.3$		
		ΔV_T	$VCC \times 0.05$	–	–		
入力電圧 (シュミット トリガ入力端子を除く)	EXTAL、MD、EHMD、 汎用入出力ポート	V_{IH}	$VCC \times 0.8$	–	–	–	
		V_{IL}	–	–	$VCC \times 0.2$		

6.2.2 I/O 出力特性 ($V_{OH} \cdot V_{OL}$) (1)

表6.4 I/O出力特性 ($V_{OH} \cdot V_{OL}$)

項目	レジスタ設定	記号	Min	Typ	Max	単位	測定条件
出力Highレベル電圧	低駆動 (PmnPFS.DSCR[1:0] = 00b)	V_{OH}	$VCC - 0.5$	–	–	V	$I_{OH} = 10\mu A$
	中駆動 (PmnPFS.DSCR[1:0] = 01b)		$VCC - 0.5$	–	–		$I_{OH} = 10\mu A$
	標準駆動 (PmnPFS.DSCR[1:0] = 10b)		$VCC - 0.6$	–	–		$I_{OH} = 2mA$
	高駆動 (PmnPFS.DSCR[1:0] = 11b)		$VCC - 0.5$	–	–		$I_{OH} = 2mA$
出力Lowレベル電圧	低駆動 (PmnPFS.DSCR[1:0] = 00b)	V_{OL}	–	–	0.5	V	$I_{OL} = 2mA$
	中駆動 (PmnPFS.DSCR[1:0] = 01b)		–	–	0.5		$I_{OL} = 2mA$
	標準駆動 (PmnPFS.DSCR[1:0] = 10b)		–	–	0.6		$I_{OL} = 2mA$
	高駆動 (PmnPFS.DSCR[1:0] = 11b)		–	–	0.5		$I_{OL} = 2mA$

表6.5 各I/O特性測定条件

	Typ33	Typ18	Min	単位
VCC	3.3	1.8	1.6	V
温度	25	25	125	°C

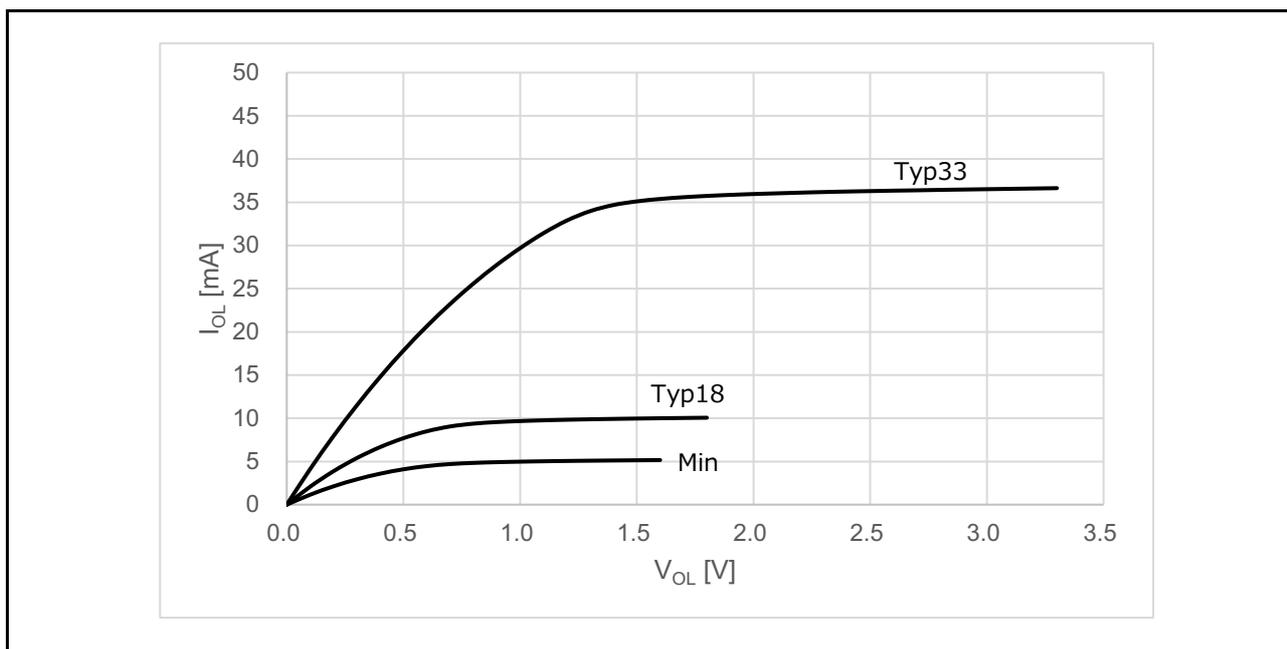


図 6.1 V_{OL} - I_{OL} 特性 (低駆動)

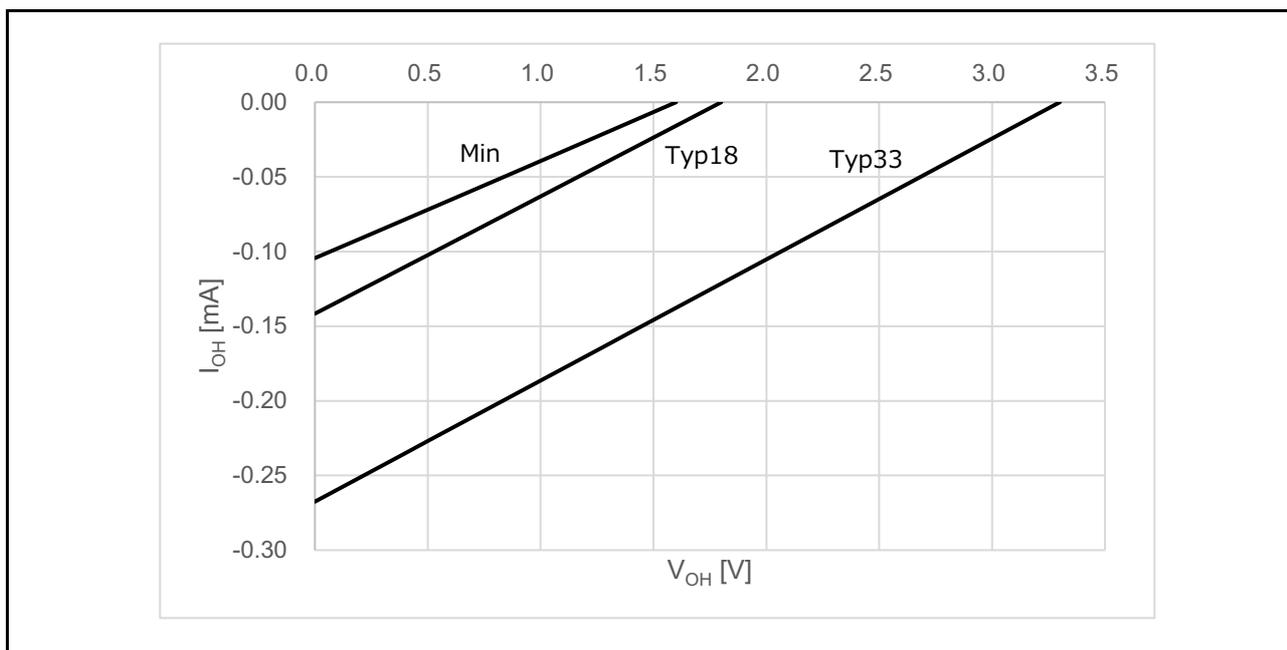


図 6.2 V_{OH} - I_{OH} 特性 (低駆動)

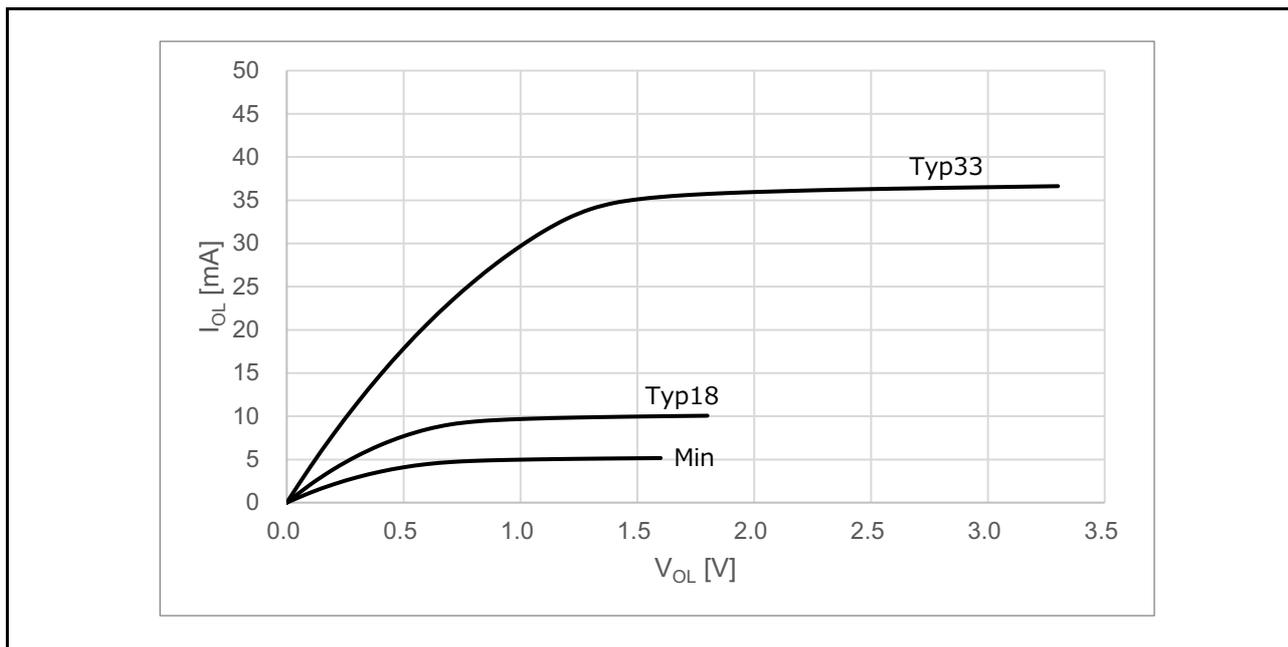


図 6.3 V_{OL} - I_{OL} 特性 (中駆動)

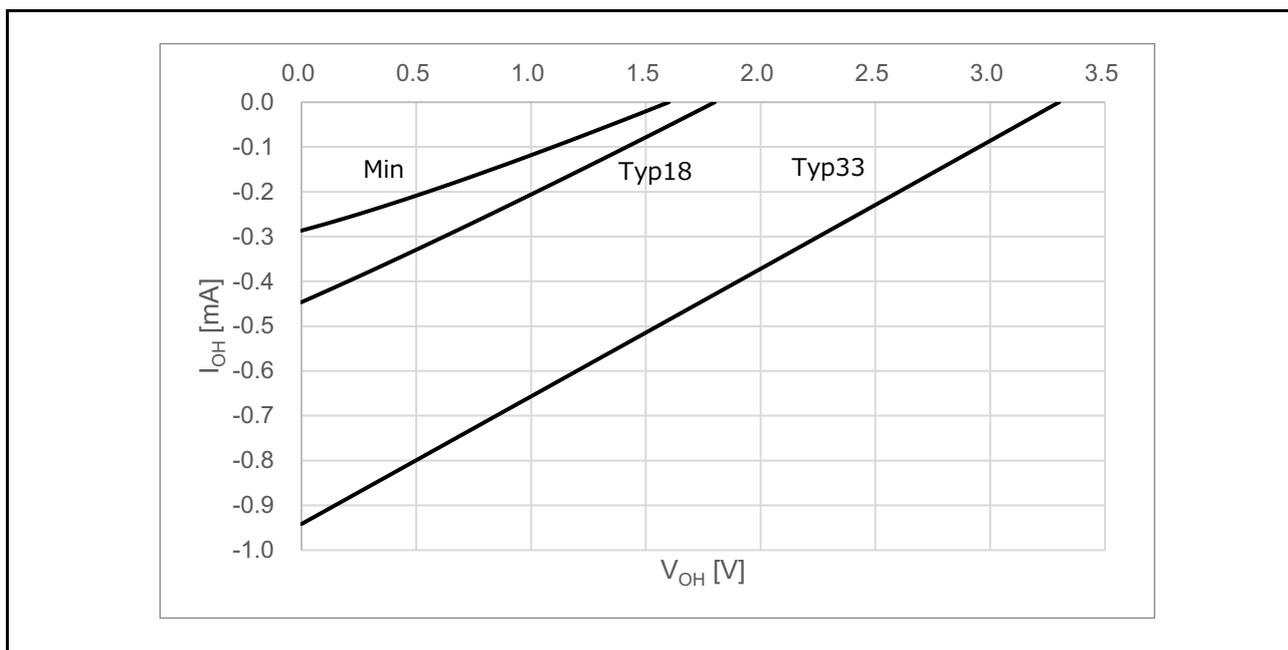


図 6.4 V_{OH} - I_{OH} 特性 (中駆動)

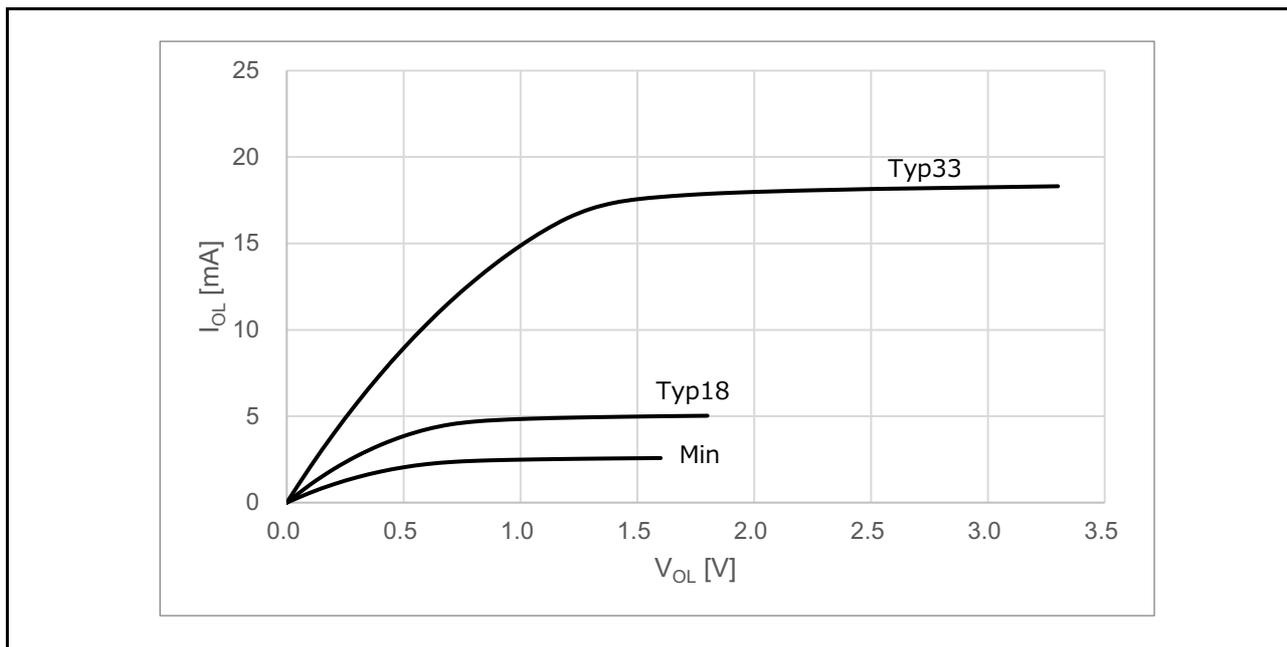


図 6.5 V_{OL} - I_{OL} 特性 (標準駆動)

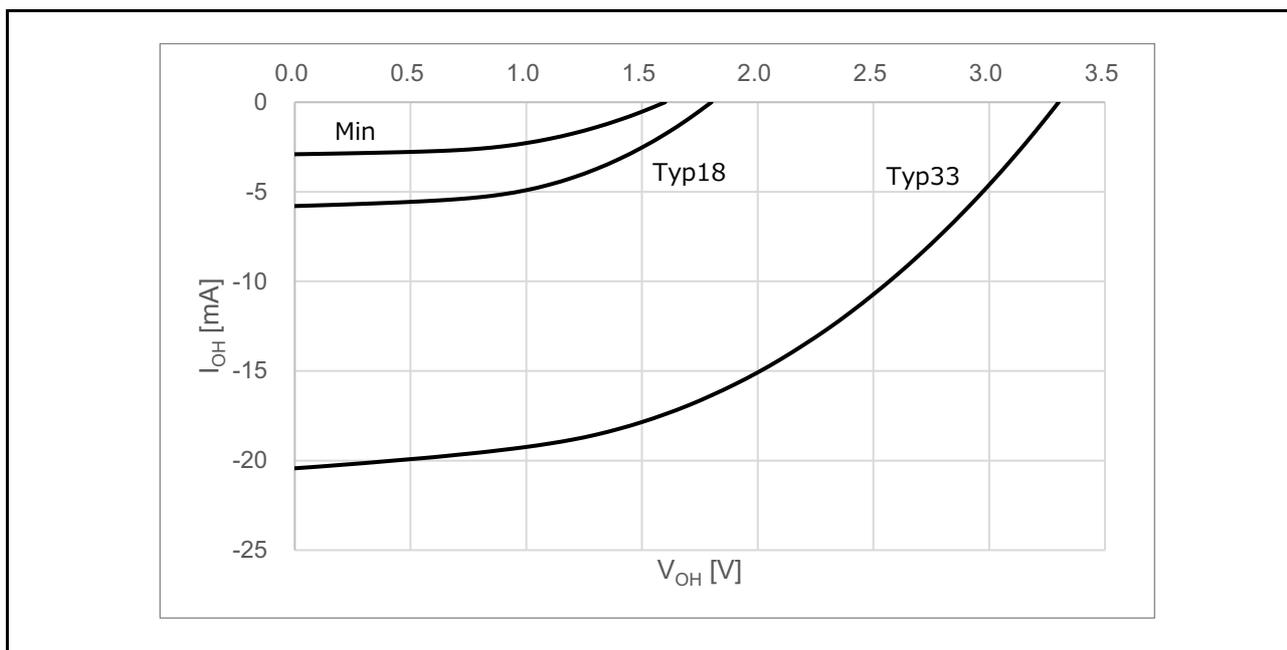


図 6.6 V_{OH} - I_{OH} 特性 (標準駆動)

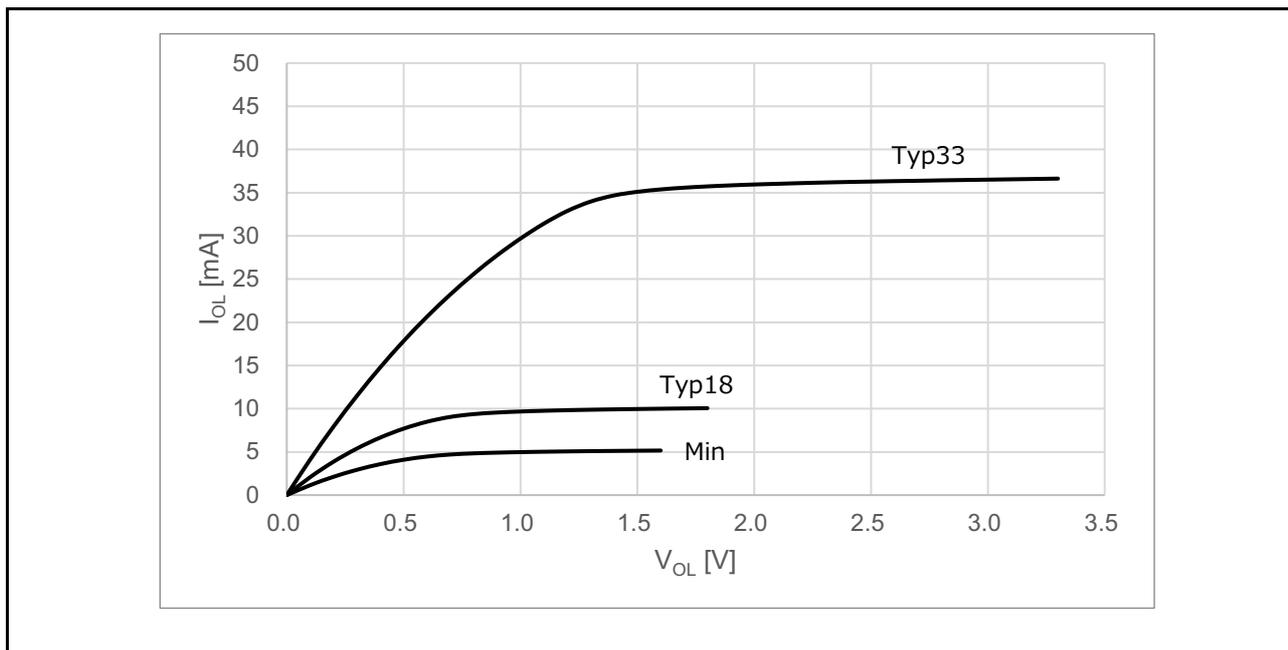


図 6.7 V_{OL} - I_{OL} 特性 (高駆動)

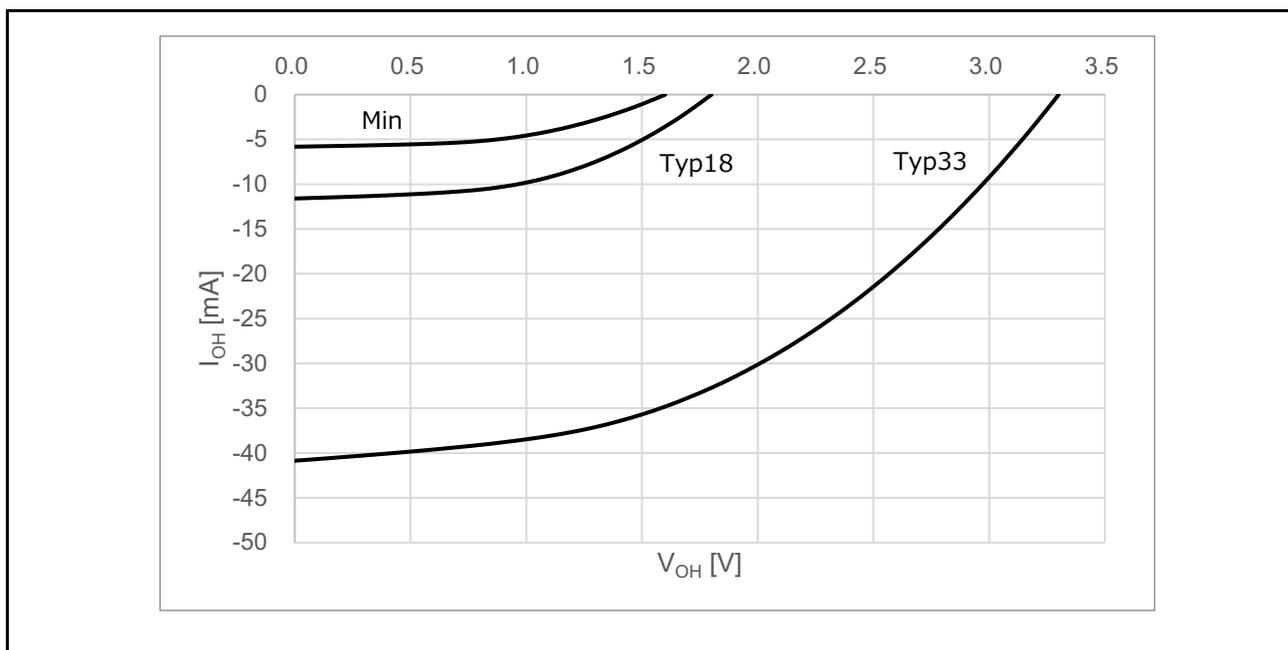


図 6.8 V_{OH} - I_{OH} 特性 (高駆動)

6.2.3 I/O 出力特性 (V_{OL}) (2)

表 6.6 I/O 出力特性 (V_{OL})
条件: $V_{CC} = 3.0 \sim 3.6V$

項目		記号	Min	Typ	Max	単位	測定条件
出力Lowレベル電圧	RIIC	V_{OL}	–	–	0.4	V	$I_{OL} = 3mA$
			–	–	0.6		$I_{OL} = 6mA$

6.2.4 I/O 出力特性 (LPG 用) ($I_{OH} \cdot I_{OL}$)

表 6.7 I/O 出力特性 (LPG用) ($I_{OH} \cdot I_{OL}$)
条件: $IOVCC1 = 2.2V$, $T_a = 25^\circ C$

項目		記号	Min	Typ	Max	単位	測定条件
出力電流	P600	I_{OL}	50	160	200	μA	P600PFS.DSCR[1:0] = 00b
			50	110	200		P600PFS.DSCR[1:0] = 01b
		I_{OH}	–	10	–		P600PFS.DSCR[1:0] = 00b

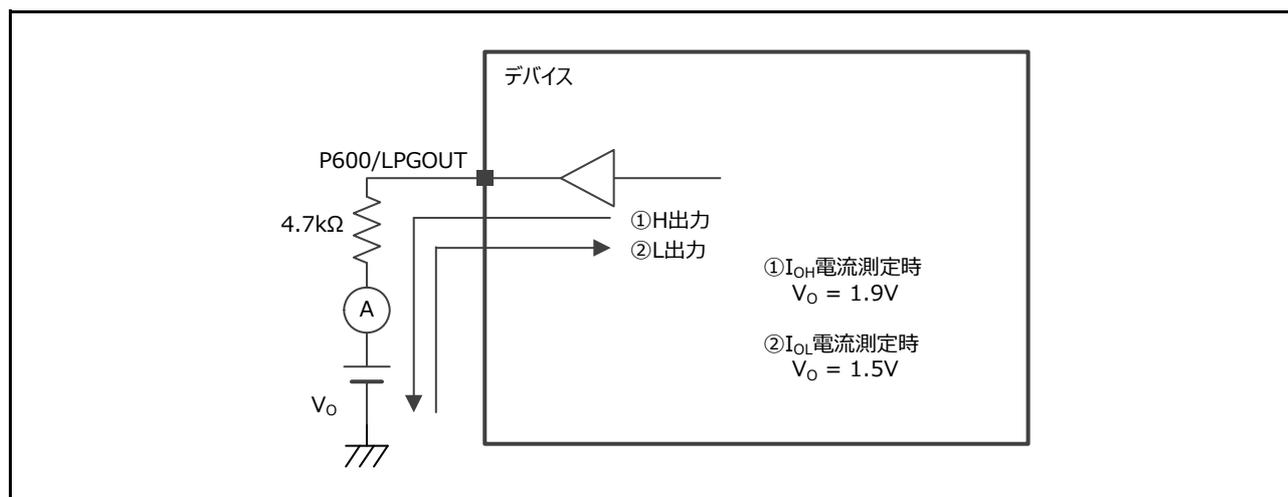


図 6.9 I/O 出力特性 (LPG 用) ($I_{OH} \cdot I_{OL}$)

6.2.5 プルアップ抵抗、プルダウン抵抗

表 6.8 プルアップ抵抗、プルダウン抵抗

項目	記号	Min	Typ	Max	単位	測定条件
プルアップ抵抗	I_p	120	200	–	k Ω	$V_{CC} = 2.5V$
プルダウン抵抗	I_p	120	200	–		$V_{CC} = 2.5V$

6.2.6 端子容量

表6.9 端子容量

項目		記号	Min	Typ	Max	単位	測定条件
RIIC関連端子	P809, P810, P701, P700	C _{in}	-	-	8	pF	-
DA0	P007						
LEDI1~LEDI3	P512, P513, P514						
MTDV関連端子	MTDO*_DRV*, PM_RES_DRV0						
EXTAL、XTAL	P412, P413						
USB関連端子	USB_DP, USB_DM						
上記以外の全端子		-	-	16			

注. 1. 概要 (Overview) の表 1.4 端子機能一覧を参照してください。

6.2.7 モータドライバI/O

表6.10 モータドライバI/O

条件: IOVCC1 = 1.8V (検出端子内蔵抵抗測定時)、T_a = -20 ~ +60 °C

項目	記号	Min	Typ	Max	単位	測定条件
検出端子内蔵抵抗	mtRs	23.5	25	26.5	kΩ	RESREG.PM1RES[2:0] = 001b
		47	50	53		RESREG.PM1RES[2:0] = 010b
		71	75	80		RESREG.PM1RES[2:0] = 011b
		94	100	106		RESREG.PM1RES[2:0] = 100b
		141	150	159		RESREG.PM1RES[2:0] = 101b
		165	175	186		RESREG.PM1RES[2:0] = 110b
		188	200	212		RESREG.PM1RES[2:0] = 111b
内蔵抵抗温度特性	R/dT	-1200	-	1200	ppm/°C	-

注. 該当するモータ端子
PM_RES_DRV0、MTDO1_DRV0、MTDO2_DRV0、MTDO4_DRV1、MTDO5_DRV1、
MTDO6_DRV1、MTDO7_DRV2、MTDO8_DRV2、MTDO9_DRV2

6.2.8 動作電流とスタンバイ電流

表6.11 動作電流とスタンバイ電流 (1 / 5)

Max測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.6V、 $T_a = T_{opr} = 85^\circ\text{C}$

Typ測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.3V、 $T_a = T_{opr} = 25^\circ\text{C}$

条件 : 機能ストップコントロールレジスタのFLFSTP = 0 (フラッシュメモリ機能ストップビットは無効) に設定

電源供給モード	電力制御モード/低消費電力モード		動作周波数設定値	クロックソース	Typ	Max	単位	
全電源供給モード (ALLPWON) コードは フラッシュメモリ から実行	BOOST	最大動作 (注1)	ICLK/PCLKB = 64/ 32MHz	HOCO	—	18	mA	
			ICLK/PCLKB = 32/ 16MHz	HOCO	—	11 (注3)		
		while(1)動作 (周辺クロック供給)	ICLK/PCLKB = 64/ 32MHz	MOSC + PLL	7.4	—		
			ICLK/PCLKB = 32/ 16MHz	MOSC	4.1	—		
			ICLK/PCLKB = 64/ 32MHz	HOCO	8.2	—		
					ICLK/PCLKB = 32/ 16MHz	4.4		—
		CoreMark (周辺クロック停止) (注2)	ICLK/PCLKB = 64/ 1MHz	HOCO	3.5	—		
			ICLK/PCLKB = 32/ 0.5MHz	HOCO	2.0	—		
		while(1)動作 (周辺クロック停止 (注2))	ICLK/PCLKB = 64/ 1MHz	HOCO	3.0	—		
			ICLK/PCLKB = 32/ 0.5MHz	HOCO	1.7	—		
		スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 64/ 1MHz	HOCO	1.2	—		
			ICLK/PCLKB = 32/ 0.5MHz	HOCO	1.0	—		
		BGO動作時の増加 分	プログラム時			0.24		—
			イレーズ時			0.23		—
	NORMAL	High-Speedモード	最大動作 (注1)	ICLK/PCLKB = 32/ 32MHz	MOSC	—	10	mA
				ICLK/PCLKB = 16/ 16MHz		—	8.0 (注3)	
			while(1)動作 (周辺クロック供給)	ICLK/PCLKB = 32/ 32MHz	MOSC	3.9	9.0	
				ICLK/PCLKB = 16/ 16MHz		2.0	7.0 (注3)	
				ICLK/PCLKB = 32/ 32MHz	HOCO	4.3	9.0	
						ICLK/PCLKB = 16/ 16MHz	2.4	
CoreMark (周辺クロック停止 (注2))			ICLK/PCLKB = 32/ 0.5MHz	MOSC	1.5	—		
			ICLK/PCLKB = 16/ 0.25MHz		0.83	—		
while(1)動作 (周辺クロック停止 (注2))			ICLK/PCLKB = 32/ 0.5MHz	MOSC	1.1	6.0		
			ICLK/PCLKB = 16/ 0.25MHz		0.65	—		
スリープモード (周辺クロック停止 (注2))			ICLK/PCLKB = 32/ 0.5MHz	MOSC	0.64	—		
			ICLK/PCLKB = 16/ 0.25MHz		0.41	—		
BGO動作時の増加分 (プログラム時)				0.23	—			
BGO動作時の増加分 (イレーズ時)				0.15	—			

表6.11 動作電流とスタンバイ電流 (2 / 5)

Max測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.6V、 $T_a = T_{opr} = 85^\circ\text{C}$

Typ測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.3V、 $T_a = T_{opr} = 25^\circ\text{C}$

条件 : 機能ストップコントロールレジスタのFLFSTP = 0 (フラッシュメモリ機能ストップビットは無効) に設定

電源供給モード	電力制御モード/低消費電力モード			動作周波数設定値	クロックソース	Typ	Max	単位	
全電源供給モード (ALLPWON) コードはフラッシュメモリから実行	NORMAL	Low-Speed モード	最大動作 (注1)	ICLK/PCLKB = 2/2MHz	MOSC	—	5.0	mA	
				ICLK/PCLKB = 1/1MHz		—	5.0 (注3)		
			while(1)動作 (周辺クロック供給)	ICLK/PCLKB = 2/2MHz	MOSC	0.36	5.0 (注3)		
				ICLK/PCLKB = 1/1MHz		0.24	—		
				ICLK/PCLKB = 2/2MHz	MOCO	0.36	—		
				ICLK/PCLKB = 1/1MHz		0.24	—		
			CoreMark (周辺クロック停止 (注2))	ICLK/PCLKB = 2000/31.25kHz	MOSC	0.20	—		
				ICLK/PCLKB = 1000/31.25kHz		0.15	—		
			while(1)動作 (周辺クロック停止 (注2))	ICLK/PCLKB = 2000/31.25kHz	MOSC	0.18	—		
				ICLK/PCLKB = 1000/31.25kHz		0.15	—		
			スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 2000/31.25kHz	MOSC	0.15	—		
				ICLK/PCLKB = 1000/31.25kHz		0.13	—		
			Subosc-Speed モード	while(1)動作 (周辺クロック供給)	LOCO	ICLK/PCLKB = 32.7/32.7kHz	93		4700 (注3)
						ICLK/PCLKB = 32.7/0.51kHz	92		—
	while(1)動作 (周辺クロック停止 (注2))	LOCO		ICLK/PCLKB = 32.7/0.51kHz	91	—			
	ICLK/PCLKB = 32.7/0.51kHz			90	—				
	VBB	最大動作 (注1)	LOCO	ICLK/PCLKB = 32.7/32.7kHz	—	200 (注3)			
				while(1)動作 (周辺クロック供給)	38	—			
				スリープモード (周辺クロック停止 (注2))	34	—			
				while(1)動作 (周辺クロック供給)	SOSC (標準 CL)	38	—		
スリープモード (周辺クロック停止 (注2))				34		—			
while(1)動作 (周辺クロック供給)				SOSC (低 CL)	37	—			
スリープモード (周辺クロック停止 (注2))					33	—			

表6.11 動作電流とスタンバイ電流 (3 / 5)

Max測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.6V、 $T_a = T_{opr} = 85^\circ\text{C}$

Typ測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.3V、 $T_a = T_{opr} = 25^\circ\text{C}$

条件 : 機能ストップコントロールレジスタのFLFSTP = 0 (フラッシュメモリ機能ストップビットは無効) に設定

電源供給モード	電力制御モード/低消費電力モード		動作周波数設定値	クロックソース	Typ	Max	単位		
Flash以外電源供給モード (EXFPWON) コードはSRAMから実行	NORMAL	High-Speedモード	最大動作 (注1)	ICLK/PCLKB = 32/ 32MHz	MOSC	—	9.8 (注3)	mA	
				ICLK/PCLKB = 16/ 16MHz		—	7.8 (注3)		
			while(1)動作 (周辺クロック供給)	ICLK/PCLKB = 32/ 32MHz		3.9	—		
				ICLK/PCLKB = 16/ 16MHz		2.0	—		
				ICLK/PCLKB = 32/ 32MHz		HOCO	4.3		—
				ICLK/PCLKB = 16/ 16MHz			2.4		—
		while(1)動作 (周辺クロック停止 (注2))	ICLK/PCLKB = 32/ 0.5MHz	MOSC	1.1	—			
			ICLK/PCLKB = 16/ 0.25MHz		0.61	—			
		スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 32/ 0.5MHz	MOSC	0.59	—			
			ICLK/PCLKB = 16/ 0.25MHz		0.36	—			
		Low-Speedモード	最大動作 (注1)	ICLK/PCLKB = 2/2MHz	MOSC	—	4.8 (注3)		
				ICLK/PCLKB = 1/1MHz		—	4.8 (注3)		
			while(1)動作 (周辺クロック供給)	ICLK/PCLKB = 2/2MHz	MOSC	0.29	—		
				ICLK/PCLKB = 1/1MHz		0.18	—		
				ICLK/PCLKB = 2/2MHz	MOCO	0.29	—		
				ICLK/PCLKB = 1/1MHz		0.18	—		
			while(1)動作 (周辺クロック停止 (注2))	ICLK/PCLKB = 2000/ 31.25kHz	MOSC	0.13	—		
				ICLK/PCLKB = 1000/ 31.25kHz		0.10	—		
	スリープモード (周辺クロック停止 (注2))		ICLK/PCLKB = 2000/ 31.25kHz	MOSC	0.09	—			
			ICLK/PCLKB = 1000/ 31.25kHz		0.08	—			
	Subosc-Speed モード		while(1)動作 (周辺クロック供給)	ICLK/PCLKB = 32.7/ 32.7kHz	LOCO	52	4500 (注3)		
				ICLK/PCLKB = 32.7/ 0.51kHz		51	—		
		while(1)動作 (周辺クロック停止 (注2))	ICLK/PCLKB = 32.7/ 0.51kHz	50		—			
		スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 32.7/ 0.51kHz	49		—			
ソフトウェア スタンバイモード (注5)	VCC = 3.3V時		LOCO	29	—				
	VCC = 1.8V時			29	—				
	VCC = 3.3V時		SOSC (標準 CL)	29	—				
	VCC = 1.8V時			29	—				
	VCC = 3.3V時		SOSC (低 CL)	28	—				
	VCC = 1.8V時			28	—				

表6.11 動作電流とスタンバイ電流 (4 / 5)

Max測定条件: VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.6V、 $T_a = T_{opr} = 85^\circ\text{C}$

Typ測定条件: VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.3V、 $T_a = T_{opr} = 25^\circ\text{C}$

条件: 機能ストップコントロールレジスタのFLFSTP = 0 (フラッシュメモリ機能ストップビットは無効) に設定

電源供給モード	電力制御モード/低消費電力モード		動作周波数設定値	クロックソース	Typ	Max	単位	
Flash以外電源供給モード (EXFPWON) コードはSRAMから実行	VBB	最大動作 (注1)	ICLK/PCLKB = 32.7/32.7kHz	LOCO	—	30 (注3)	μA	
		while(1)動作 (周辺クロック供給)	ICLK/PCLKB = 32.7/32.7kHz		6.8	—		
		スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 32.7/0.51kHz		3.1	—		
		ソフトウェアスタンバイモード (注5)	VCC = 3.3V/3.6V時		2.1	25 (注3)		
			VCC = 1.8V時		1.9	—		
		while(1)動作 (周辺クロック供給)	ICLK/PCLKB = 32.768/32.768kHz	SOSC (標準 CL)	6.5	—		
		スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 32.768/0.512kHz		2.9	—		
		ソフトウェアスタンバイモード (注5)	VCC = 3.3V時		2.0	—		
			VCC = 1.8V時		1.9	—		
		while(1)動作 (周辺クロック供給)	ICLK/PCLKB = 32.768/32.768kHz	SOSC (低 CL)	5.8	—		
		スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 32.768/0.512kHz		2.2	—		
		ソフトウェアスタンバイモード (注5)	VCC = 3.3V時		1.3	—		
VCC = 1.8V時			1.2		—			
最小電源供給モード (MINPWON) コードはSRAMから実行	NORMAL	High-Speedモード	最大動作 (注1)	ICLK/PCLKB = 32/32MHz	MOSC	—	7.0 (注3)	mA
				ICLK/PCLKB = 16/16MHz		—	5.5 (注3)	
			while(1)動作 (周辺クロック停止 (注2))	ICLK/PCLKB = 32/0.5MHz	MOSC	1.1	4.6 (注3)	
				ICLK/PCLKB = 16/0.5MHz		0.8	—	
			スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 32/0.5MHz	MOSC	0.58	—	
				ICLK/PCLKB = 16/0.5MHz		0.42	—	
		Low-Speedモード	最大動作 (注1)	ICLK/PCLKB = 2/2MHz	MOSC	—	3700 (注3)	μA
				ICLK/PCLKB = 1/1MHz		—	3700 (注3)	
			while(1)動作 (周辺クロック停止 (注2))	ICLK/PCLKB = 2000/31.25kHz	MOSC	110	—	
				ICLK/PCLKB = 1000/31.25kHz		80	—	
				ICLK/PCLKB = 2000/31.25kHz	MOCO	105	—	
						ICLK/PCLKB = 1000/31.25kHz	75	
スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 2000/31.25kHz	MOCO	70	—				
	ICLK/PCLKB = 1000/31.25kHz		60	—				

表6.11 動作電流とスタンバイ電流 (5 / 5)

Max測定条件: VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.6V, T_a = T_{opr} = 85°C

Typ測定条件: VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 3.3V, T_a = T_{opr} = 25°C

条件: 機能ストップコントロールレジスタのFLFSTP = 0 (フラッシュメモリ機能ストップビットは無効) に設定

電源供給モード	電力制御モード/低消費電力モード		動作周波数設定値	クロックソース	Typ	Max	単位	
最小電源供給モード (MINPWON) コードはSRAMから実行	NORMAL	Subosc-Speedモード	while(1)動作 (周辺クロック停止 (注2))	ICLK/PCLKB = 32.7/32.7kHz	LOCO	40	3500 (注3)	μA
				ICLK/PCLKB = 32.7/0.51kHz		40	—	
			スリープモード (周辺クロック停止 (注2))	ICLK/PCLKB = 32.7/32.7kHz		39	—	
				ICLK/PCLKB = 32.7/0.51kHz		39	—	
		ソフトウェアスタンバイモード (注5)	VCC = 3.3V時		LOCO	20	—	μA
			VCC = 1.8V時			19	—	
			VCC = 3.3V時		SOSC (標準 CL)	20	—	
			VCC = 1.8V時			20	—	
	VCC = 3.3V時		SOSC (低 CL)	19	—			
	VCC = 1.8V時			19	—			
	VBB	while(1)動作 (周辺クロック供給)		SOSC (標準 CL)	3.3	22 (注3)	μA	
		スリープモード (周辺クロック停止 (注2))			1.8	—		
		ソフトウェアスタンバイモード (注5)	VCC = 3.3V時		LOCO	3.3		15 (注3)
			VCC = 1.8V時			1.8		14 (注3)
		while(1)動作 (周辺クロック供給)		SOSC (低 CL)	2.6	—		
		スリープモード (周辺クロック停止 (注2))			1.1	—		
		ソフトウェアスタンバイモード (注5)	VCC = 3.3V (Typ) / 3.6V (Max) 時		LOCO	1.4		12
			VCC = 1.8V時			1.2		10 (注3)
		while(1)動作 (周辺クロック供給)		SOSC (低 CL)	0.7	—		
		スリープモード (周辺クロック停止 (注2))			0.5	—		
ソフトウェアスタンバイモード (注5)		VCC = 3.3V時		SOSC (低 CL)	81	—		
		VCC = 1.8V時			43	—		
	ソフトウェアスタンバイモード 周辺機能増加分 (VCC依存性なし)		12		—			
ディープソフトウェアスタンバイ	VCC = 3.3V (Typ) / 3.6V (Max)		—	140	2000 (注3)	nA		
	VCC = 1.8V時			120	500 (注3)			
	SOSC使用時の増加分 (VCC = 3.3V時)			160	—			
	SOSC使用時の増加分 (VCC = 1.8V時)			100	—			
スタンバイ時の周辺機能増加分 (VCC依存性なし)	LVD0使用時の増加分 (OFS1.LVDAS = 0)		—	48	—	nA		
	LVD1使用時の増加分 (LVCMPCR.LVD1E = 1)			66	—			
	LVDBAT使用時の増加分 (LVCMPCR.LVDBATE = 1)			66	—			
	CCC使用時の増加分 (CADJUSCEN = 1かつADJUSTEN = 1)			35	—			
	MTDV使用時の増加分			100 (注4)	—			

注1. “最大動作電流”とは、モジュールストップ状態をすべて解除して、DMACでの毎サイクル転送処理と、CPUの乗算命令の繰り返しの場合の電流値、と定義します。バックグラウンドオペレーション (BGO) 動作時の電流、および端子部分の消費電流は含みません。

注2. “周辺クロック停止”とは、ICLKとPCLKBの分周設定実施後に周辺回路をモジュールストップ状態へ遷移させた場合の電流値、と定義します。

注3. 出荷検査を実施しないため参考値です。

注4. PM2正転波出力中の2ms期間を計測したときの設計値です。
注5. 動作周波数設定値に関わりなく、クロック供給は停止します。

表6.12 アナログ動作電流 (AVCC0) とスタンバイ電流

Max測定条件: VCC = AVCC0 = VREFH0 = 3.6V、 $T_a = T_{opr} = 85^\circ\text{C}$

Typ測定条件: VCC = AVCC0 = VREFH0 = 3.3V、 $T_a = T_{opr} = 25^\circ\text{C}$ (VREF未使用時)

Typ測定条件: VCC = AVCC0 = 3.3V、AVTRO = 1.25V、 $T_a = T_{opr} = 25^\circ\text{C}$ (VREF使用時)

項目	動作回路			記号	Typ	Max	単位	測定条件
	A/D	温度センサ	VREF					
AVCC0 電源電流	変換中	動作中	動作中	I_{AVCC0}	81	—	μA	PCLKB = 16MHz サンプリング時間は1 μs (ADSSTRn.SST[7:0] = 10h)
		停止	動作中		77	—		
		動作中	停止		69	—		
		停止	停止		53	—		
		停止	停止		0.19	—		
	変換待機時	停止	停止	22	—	nA	PCLKB = 16MHz (注1)	
	スタンバイ時 (注2)			22	1900	—	クロック供給停止	
リファレンス 電源電流	変換中	停止	停止	I_{REFH0}	18	—	μA	PCLKB = 16MHz
		停止	停止		0.08	—		PCLKB = 32.768kHz
	変換待機時	停止	停止	22	—	nA	PCLKB = 16MHz (注1)	
	スタンバイ時			22	—	—	クロック供給停止	

注1. A/Dコンバータにクロック供給されているが、A/D変換していないときを示します。

注2. AVCC0とAVCC1端子を同時測定

表6.13 アナログ動作電流 (AVCC1)

Max測定条件: VCC = AVCC1 = 3.6V、 $T_a = T_{opr} = 85^\circ\text{C}$

Typ測定条件: VCC = AVCC1 = 3.3V、 $T_a = T_{opr} = 25^\circ\text{C}$

項目	動作回路			記号	Typ	Max	単位	測定条件
	D/A	D/Aアンプ	ACMP					
AVCC1 電源電流	変換中	動作中	停止	I_{AVCC1}	44	68	μA	PCLKB = 32MHz
		停止	停止		9.2	13		PCLKB = 32MHz
	変換待機時	停止	動作中		8.4	22	μA	PCLKB = 32MHz
		停止	停止		22	1900	nA	PCLKB = 32MHz

表6.14 USB動作電流

Max測定条件: VCC = VCC_USB = 3.6V、 $T_a = T_{opr} = 85^\circ\text{C}$

Typ測定条件: VCC = VCC_USB = 3.3V、 $T_a = T_{opr} = 25^\circ\text{C}$

項目	記号	Typ	Max	単位	測定条件	
USB動作電流	ホストコントローラモード時かつフルスピード転送設定時	I_{USBHF}	3.9	4.5	mA	—
	デバイスコントローラモード時かつフルスピード転送設定時	I_{USBDF}	4.6	5.4		—
	ホストコントローラモード時かつロースピード転送設定時	I_{USBHL}	2.4	3.1		—
USB待機電流	I_{USBST}	7.2	—	nA	—	

表 6.15 IOVCC待機電流

Max測定条件：VCC = IOVCCn = 3.6V、 $T_a = T_{opr} = 85^\circ\text{C}$

Typ測定条件：VCC = IOVCCn = 3.3V、 $T_a = T_{opr} = 25^\circ\text{C}$

項目	記号	Typ	Max	単位	測定条件
IOVCC0待機電流	$I_{IOVCC0ST}$	8.6	—	nA	—
IOVCC1待機電流	$I_{IOVCC1ST}$	16	—		—
IOVCC2待機電流	$I_{IOVCC2ST}$	9.2	—		—
IOVCC3待機電流	$I_{IOVCC3ST}$	21	—		—
IOVCC0～3待機電流 (合計)	$I_{IOVCCST}$	—	900		—

6.2.9 VCC 立ち上がり／立ち下がり勾配

表 6.16 VCC立ち上がり／立ち下がり勾配の特性

項目	記号	Min	Typ	Max	単位	測定条件
電源投入時のVCC立ち上がり勾配	SrVCC	0.02	—	20	ms/V	—
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	2	—	20	ms/V	—

6.2.10 内蔵リニアレギュレータ特性

表 6.17 内蔵リニアレギュレータ特性

項目	記号	Min	Typ	Max	単位	測定条件
LDO立ち上げ時間	t_{LDO}	3000	—	—	μs	図 6.10
LDO安定時間	t_{LDOWT}	300	—	—	μs	図 6.10

注. デバイスの安定動作を確保するため、LDOの安定時間および外部印加電圧供給なし後のLDOの安定期間中は消費電流の大きい動作を避けてください。

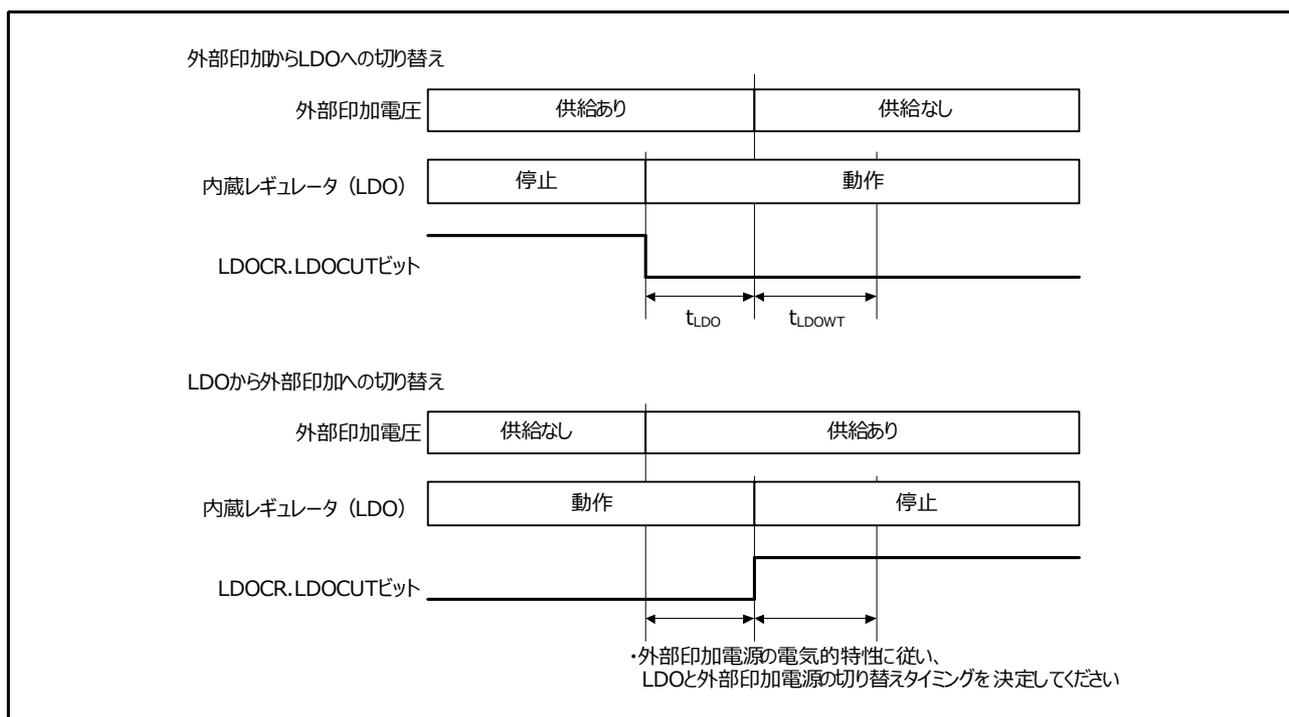


図 6.10 外部印加電源と LDO の切り替えタイミング

6.3 AC 特性

6.3.1 動作周波数

表6.18 各モードにおける動作周波数

電力制御モード		クロック種	記号	Min	Typ	Max	単位
BOOST		システムクロック (ICLK)	f	—	—	64	MHz
		周辺モジュールクロック A (PCLKA)		—	—	64	
		周辺モジュールクロック B (PCLKB)		—	—	32	
NORMAL	High-Speed	システムクロック (ICLK)		—	—	32	
		周辺モジュールクロック A (PCLKA)		—	—	32	
		周辺モジュールクロック B (PCLKB)		—	—	32	
	Low-Speed	システムクロック (ICLK)		—	(注1)	2.3	
		周辺モジュールクロック A (PCLKA)		—	(注1)	2.3	
		周辺モジュールクロック B (PCLKB)		—	(注1)	2.3	
Subosc-Speed	システムクロック (ICLK)	—	(注2)	37.6	kHz		
	周辺モジュールクロック A (PCLKA)	—	(注2)	37.6			
	周辺モジュールクロック B (PCLKB)	—	(注2)	37.6			
VBB		システムクロック (ICLK)	—	(注2)		37.6	
		周辺モジュールクロック A (PCLKA)	—	(注2)		37.6	
		周辺モジュールクロック B (PCLKB)	—	(注2)		37.6	

注. コードフラッシュメモリに対するリード/プログラム/イレーズには周波数制限があります。ユーザーズマニュアルハードウェア編の57. フラッシュメモリの表57.3を参照してください。

注. クロック間の周波数関係は、ユーザーズマニュアルハードウェア編の9. クロック発生回路の表9.2の注釈を参照してください。

注1. クロックソースにMOCOを選択して分周なし設定の場合、2.0MHz

注2. クロックソースにサブクロック発振器を選択して分周なし設定の場合、32.768kHz

6.3.2 クロックタイミング

表6.19 サブクロック発振器以外のクロックタイミング

項目	記号	Min	Typ	Max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{EXcyc}	35	—	—	ns	図6.11
EXTAL外部クロック入力Highレベルパルス幅	t_{EXH}	14	—	—	ns	
EXTAL外部クロック入力Lowレベルパルス幅	t_{EXL}	14	—	—	ns	
EXTAL外部クロック入力立ち上がり時間	t_{EXr}	—	—	3.5	ns	
EXTAL外部クロック入力立ち下がり時間	t_{EXf}	—	—	3.5	ns	
メインクロック発振器周波数	f_{MAIN}	8	—	32	MHz	—
メインクロック発振安定待機時間 (水晶) (注1)	$t_{MAINOSCWT}$	—	—	—	ms	図6.12
LOCOクロック発振周波数	f_{LOCO}	27.8	32.7	37.6	kHz	—
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	130	μ s	図6.13
IWDT専用クロック発振周波数	$f_{IWDTLOCO}$	13.9	16.35	18.8	kHz	—
MOCOクロック発振周波数	f_{MOCO}	1.4	2	2.3	MHz	—
MOCOクロック発振安定待機時間	t_{MOCOWT}	—	—	16	μ s	—
HOCOクロック発振周波数 (注3)	f_{HOCO24}	23.52	24	24.96	MHz	$0 \leq T_a \leq +85^\circ\text{C}$
	f_{HOCO32}	31.36	32	33.28		
	f_{HOCO48}	47.04	48	49.92		
	f_{HOCO64}	62.72	64	66.56		
	f_{HOCO24}	22.80	24	24.96	MHz	$-40 \leq T_a \leq 85^\circ\text{C}$
	f_{HOCO32}	30.40	32	33.28		
	f_{HOCO48}	45.60	48	49.92		
	f_{HOCO64}	60.80	64	66.56		
HOCOクロック発振安定待機時間 (注2)	t_{HOCOWT}	—	—	700	μ s	—
PLLの出カクロック周波数	f_{PLL}	32	—	64	MHz	PLLCCR.FSEL0 = 1
		32	—	48		PLLCCR.FSEL0 = 0
PLLの出カクロック発振安定待機時間	t_{PLLWT}	—	—	1020	μ s	図6.14 LOCOクロック発振安定待機時間も含む

- 注1. メインクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCRレジスタを、推奨値以上に設定してください。メインクロック動作を開始するためにMOSCCR.MOSTPビット設定を変更したら、OSCSF.MOSCSFフラグが1であることを確認してからメインクロック発振器の使用を開始してください。
- 注2. HOCO.R.HCSTP = 0にしてからOSCSF.HOCOSF = 1になるまでの時間です。
- 注3. 保証特性は、パッケージング後の値です。WLBGAサンプルは、サンプルをお客様のシステムに実装した時点で応力変動により特性値が劣化します。

表6.20 サブクロック発振器のクロックタイミング

項目	記号	Min	Typ	Max	単位	測定条件
サブクロック周波数	f_{SUB}	—	32.768	—	kHz	
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	—	—	— (注1)	s	図6.15

- 注1. サブクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を基にして必要な発振安定時間を決定してください。サブクロック動作を開始するためにSOSCCR.SOSTPビットの設定を変更したら、サブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。必要な発振安定時間の推奨値は、発振器メーカーによる発振評価結果の2倍の値です。

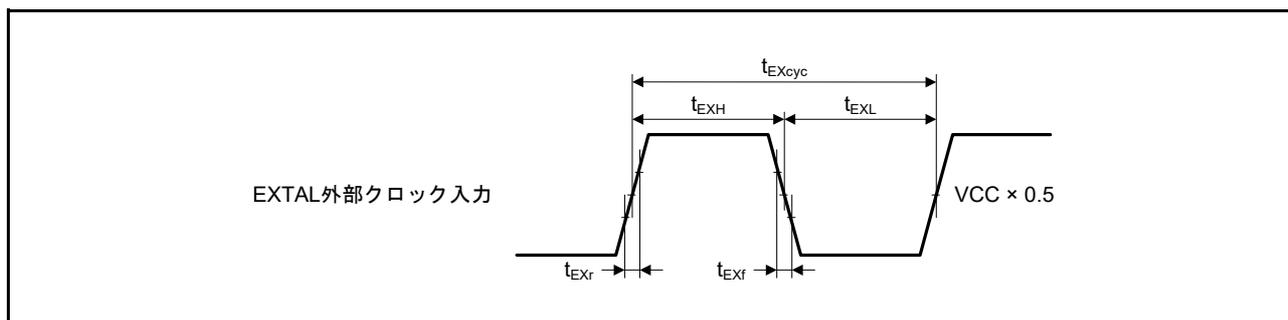


図 6.11 EXTAL 外部クロック入力タイミング

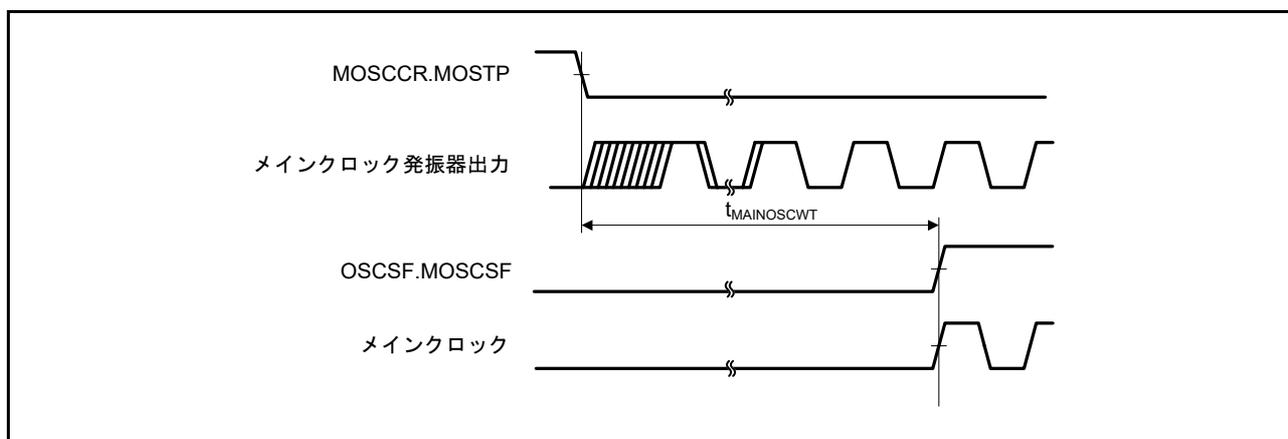


図 6.12 メインクロック発振開始タイミング

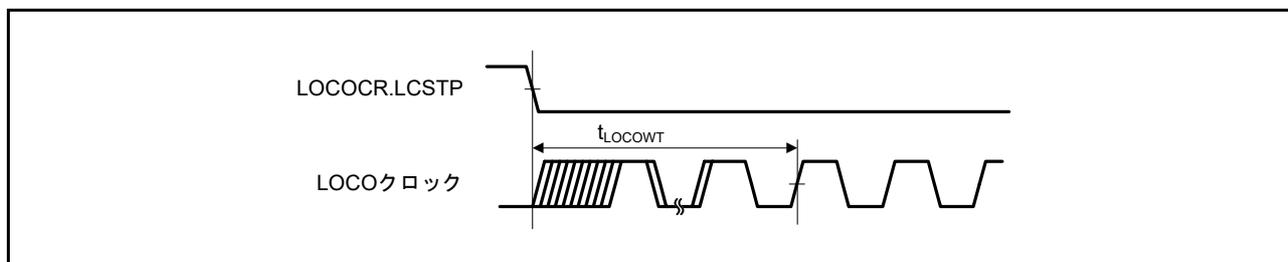


図 6.13 LOCO クロック発振開始タイミング

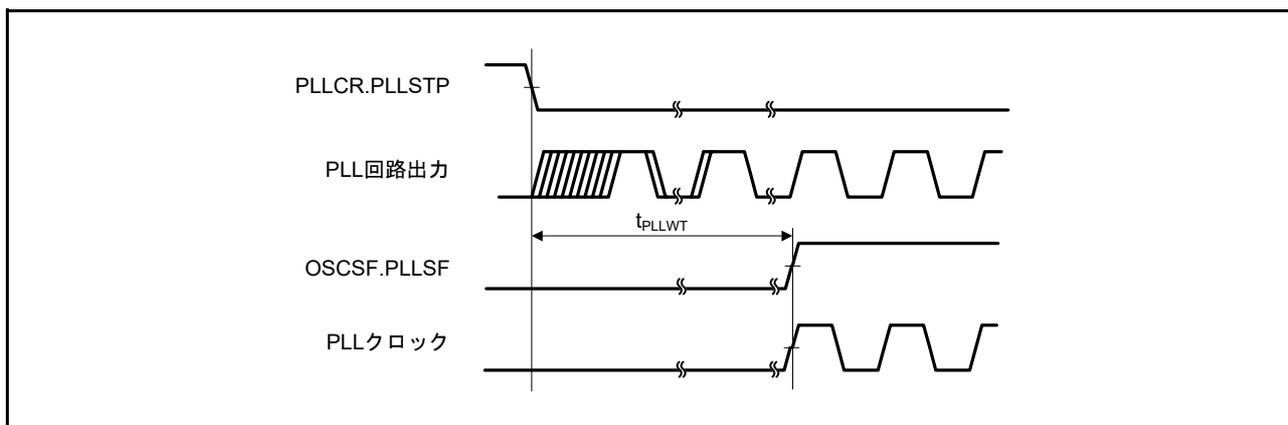


図 6.14 PLL クロック発振開始タイミング

注. メインクロックの発振が安定した後に PLL を動作させてください。

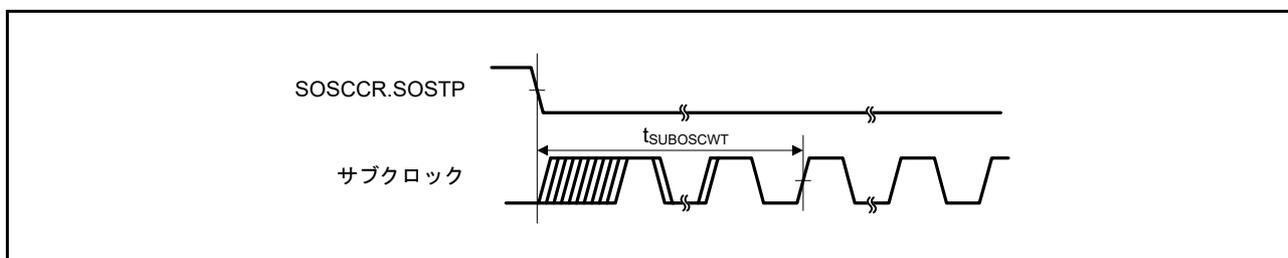


図 6.15 サブクロック発振開始タイミング

6.3.3 リセットタイミング

表6.21 リセットタイミング

項目		記号	Min	Typ	Max	単位	測定条件	
RES#パルス幅	パワーオン (通常起動モード時)	t_{RESWP}	44	—	—	ms	図6.16	
	ディープソフトウェアスタンバイモード (通常起動モード時)	t_{RESWD}	13	—	—	ms	図6.17	
	ソフトウェアスタンバイモード、Subosc-Speedモード	t_{RESWS}	7.0	—	—	ms		
	ALLPWON	ブーストモードで動作中	t_{RESW}	0.9	—	—		ms
		ノーマルモードで動作中	t_{RESW}	0.6	—	—		ms
		低リーク電流モードで動作中	t_{RESW}	1.6	—	—		ms
		ブーストモードからノーマルモードへの遷移中	t_{RESW}	0.6	—	—		ms
		ノーマルモードからブーストモードへの遷移中	t_{RESW}	1.8	—	—		ms
		ノーマルモードから低リーク電流モードへの遷移中	t_{RESW}	2.1	—	—		ms
		低リーク電流モードからノーマルモードへの遷移中	t_{RESW}	1.2	—	—		ms
		EXFPWON	ノーマルモードで動作中	t_{RESW}	1.9	—		—
	低リーク電流モードで動作中		t_{RESW}	2.0	—	—		ms
	ノーマルモードから低リーク電流モードへの遷移中		t_{RESW}	2.4	—	—		ms
	低リーク電流モードからノーマルモードへの遷移中		t_{RESW}	2.1	—	—		ms
	MINPWON	ノーマルモードで動作中	t_{RESW}	2.3	—	—		ms
		低リーク電流モードで動作中	t_{RESW}	2.5	—	—		ms
ノーマルモードから低リーク電流モードへの遷移中		t_{RESW}	6.1	—	—	ms		
低リーク電流モードからノーマルモードへの遷移中		t_{RESW}	2.6	—	—	ms		
ALLPWON ノーマルモードとEXFPWON ノーマルモード間の遷移中		t_{RESW}	2.5	—	—	ms		
EXFPWON ノーマルモードとMINPWON ノーマルモード間の遷移中		t_{RESW}	2.0	—	—	ms		
ALLPWON VBBモードとEXFPWON VBBモード間の遷移中		t_{RESW}	3.0	—	—	ms		
EXFPWON VBBモードとMINPWON VBBモード間の遷移中		t_{RESW}	6.5	—	—	ms		
RES#解除後の待機時間		t_{RESWT}	—	19	22	ms	図6.16、 図6.17	

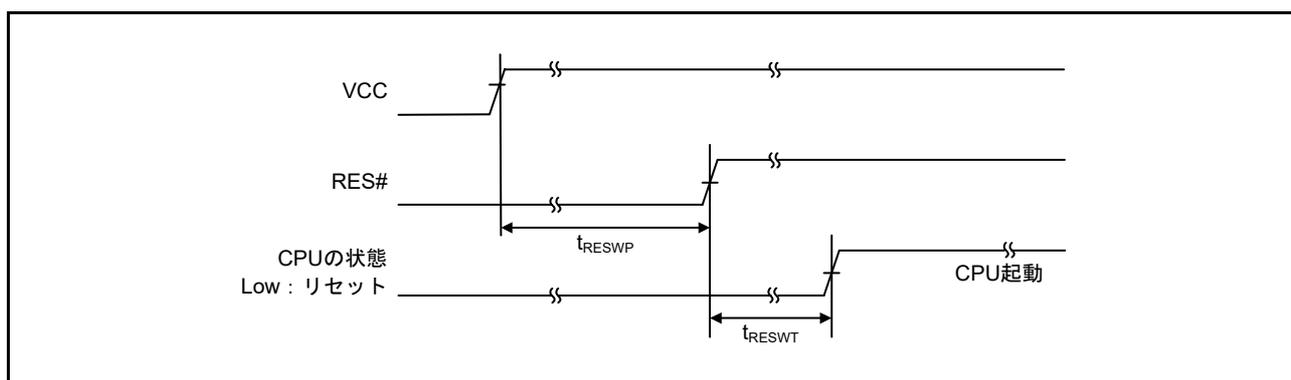


図 6.16 電源投入時のリセット端子入力タイミング

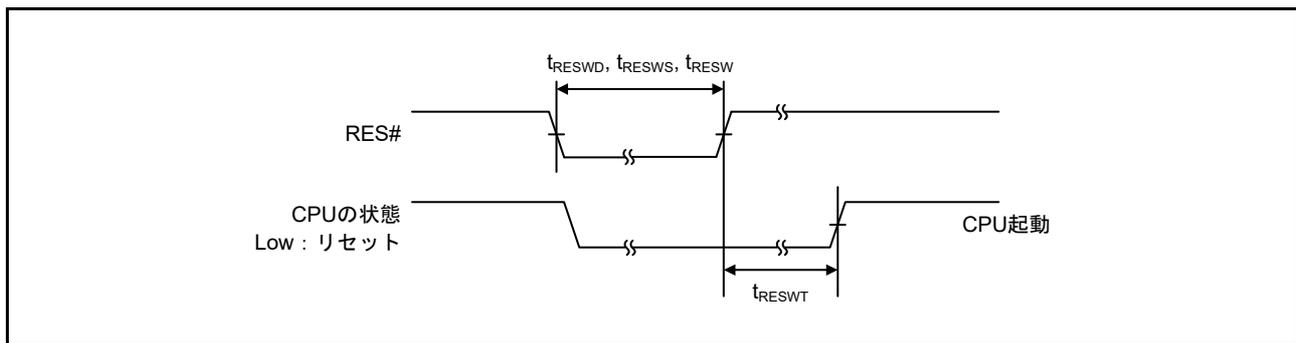


図 6.17 リセット入力タイミング

6.3.4 ウェイクアップタイミング

表6.22 低消費電力（スタンバイ）モードからの復帰タイミング

項目	モード遷移前後の電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモード (EXFPWON) から動作モード (ALLPWON) への復帰時間 (注1)	VBB	SOSC	t_{SBYSC}	—	—	6.0	ms	全発振器の分周比は1です。測定時の電源供給モードは、ALLPWONです。
		LOCO	t_{SBYLO}	—	—	6.2	ms	
ソフトウェアスタンバイモード (EXFPWON) から動作モード (EXFPWON) への復帰時間 (注1)	VBB	SOSC	t_{SBYSC}	—	—	1.2	ms	全発振器の分周比は1です。測定時の電源供給モードは、EXFPWONです。
		LOCO	t_{SBYLO}	—	—	1.1	ms	
ソフトウェアスタンバイモード (MINPWON) から動作モード (MINPWON) への復帰時間 (注1)	VBB	SOSC	t_{SBYSC}	—	—	1.2	ms	全発振器の分周比は1です。測定時の電源供給モードは、MINPWONです。
		LOCO	t_{SBYLO}	—	—	1.1	ms	
ディープソフトウェアスタンバイモードからの復帰時間 (通常起動モード)			t_{DSBY}	—	—	9	ms	図6.18
ディープソフトウェアスタンバイモード解除後待機時間			t_{DSBYWT}	—	—	22	ms	

注1. 復帰時間はシステムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定できます。総復帰時間 = システムクロックソースとしての発振器の復帰時間 + システムクロックソースより長い安定時間を要する発振器の最長発振安定時間 + 2 LOCO サイクル (LOCO が動作している場合) + 3 SOSC サイクル (サブクロック発振器が発振中かつMSTPCRC.MSTPC0 = 0 (CAC モジュールストップ解除) の場合)。

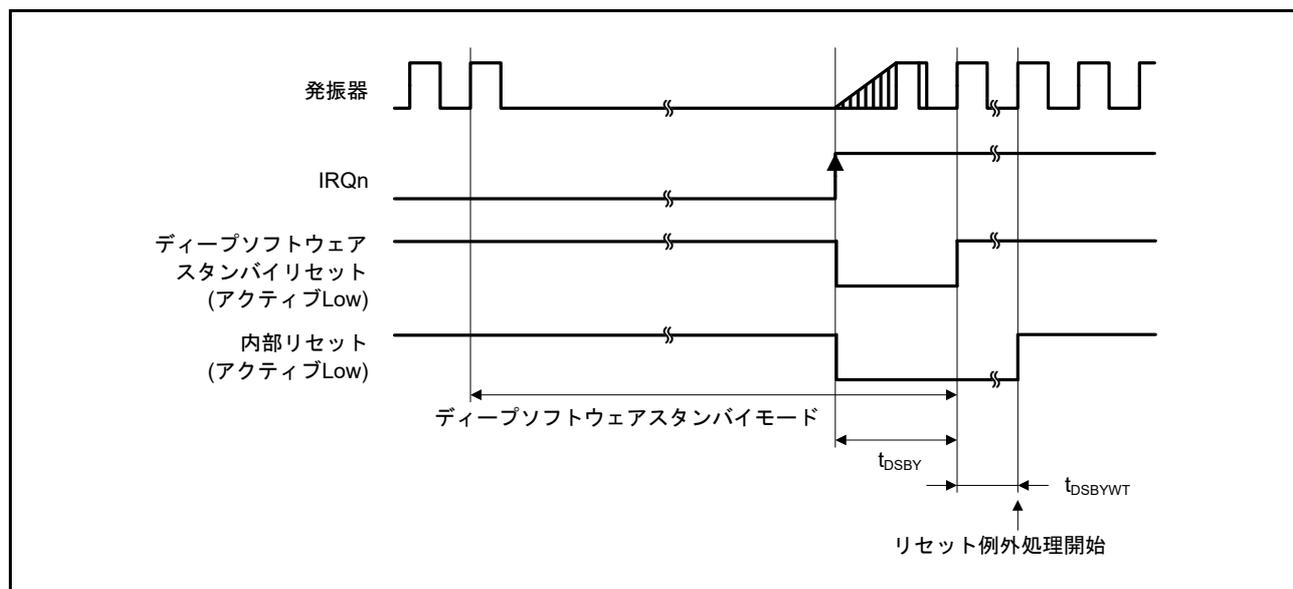


図 6.18 ディープソフトウェアスタンバイモード解除タイミング

6.3.5 割り込み入カタイミング

表6.23 割り込み入カタイミング

項目	記号	Min	Typ	Max	単位	測定条件
NMIパルス幅	t_{NMIW}	6000	—	—	ns	VBB時のソフトウェアスタンバイモード
		1000	—	—		上記以外のソフトウェアスタンバイモード
		300	—	—		ディープソフトウェアスタンバイモード
		4	—	—	t_{Pcyc} (注1)	上記以外
IRQnパルス幅	t_{IRQW}	6000	—	—	ns	VBB時のソフトウェアスタンバイモード
		1000	—	—		上記以外のソフトウェアスタンバイモード
		300	—	—		ディープソフトウェアスタンバイモード
		4	—	—	t_{Pcyc} (注1)	上記以外 IRQCRI.IRQMD[1:0] = 00b, 01b
		5	—	—		上記以外 IRQCRI.IRQMD[1:0] = 10b
KINTパルス幅	t_{KINTW}	6000	—	—	ns	VBB時のソフトウェアスタンバイモード
		1000	—	—		上記以外のソフトウェアスタンバイモード
		4	—	—	t_{Pcyc} (注1)	上記以外

注1. t_{Pcyc} : PCLKBの周期

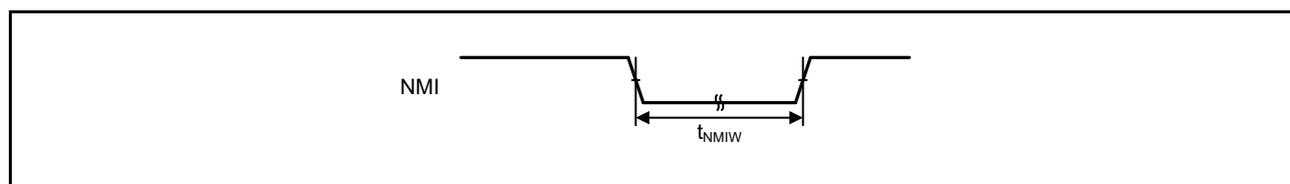


図 6.19 NMI 割り込み入カタイミング

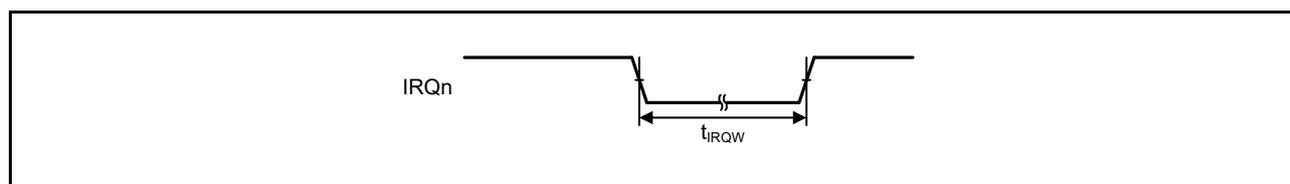


図 6.20 IRQn 割り込み入カタイミング

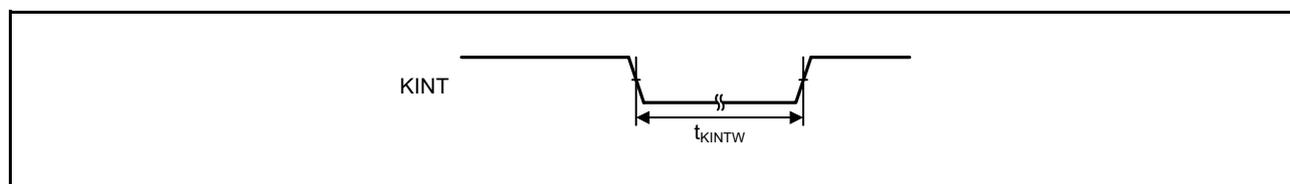


図 6.21 キー割り込み入カタイミング

6.3.6 I/Oポート、POE、GPT、AGT、S14ADのトリガタイミング

表6.24 I/Oポート、POE、GPT、AGT、S14ADのトリガタイミング

項目		記号	Min	Typ	Max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	2.5	—	—	t_{Pcyc}	図6.22
	ELCイベントパルス入力幅		4	—	—		
POE	POE入カトリガパルス幅	t_{POEW}	1.5	—	—	t_{Pcyc}	図6.23
GPT	インプットキャプチャパルス幅	t_{GTICW}	1.5	—	—	t_{Pcyc}	図6.24
			両エッジ	2.5	—		
AGT	AGTIO入カサイクル	t_{ACYC}	4	—	—	t_{Pcyc}	図6.25 AGTMR1.TEDGPL = 0 AGTMR1.TMOD[2:0] = 010b
			9	—	—		図6.25 AGTMR1.TEDGPL = 1 AGTMR1.TMOD[2:0] = 010b
	AGTIO入カHigh/Lowレベル幅	t_{ACKWH} ・ t_{ACKWL}	1	—	—	t_{Pcyc}	図6.25 AGTMR1.TEDGPL = 0 AGTMR1.TMOD[2:0] = 010b
			4	—	—		図6.25 AGTMR1.TEDGPL = 1 AGTMR1.TMOD[2:0] = 010b
	AGTEEn入カHigh/Lowレベル幅	t_{ACKWH} ・ t_{ACKWL}	—	1	—	t_{ACYC}	図6.25 AGTMR1.TEDGPL = 0 AGTMR1.TMOD[2:0] = 010b
			4	—	—		t_{Pcyc}
S14AD	14ビットA/Dコンバータトリガ入カパルス幅	t_{TRGW}	1.5	—	—	t_{Pcyc}	図6.26

(n = 0, 1)

注1. t_{Pcyc} : GPTはPCLKAの周期を示し、I/Oポート、POE、AGT、S14ADはPCLKBの周期を示します。

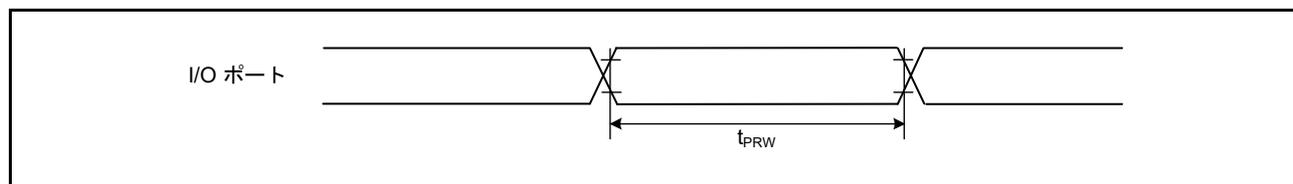


図 6.22 I/Oポート入力データパルス幅

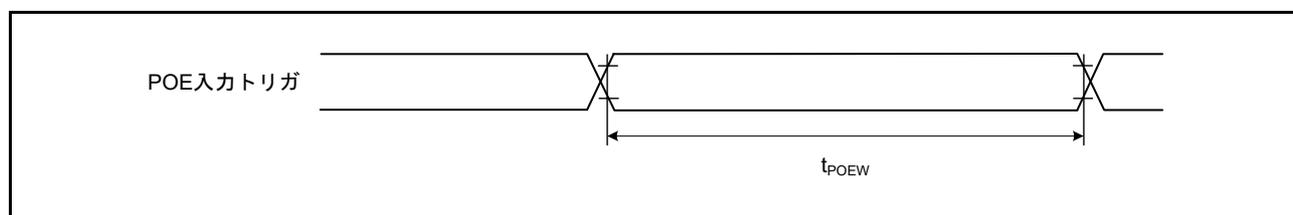


図 6.23 POE 入カトリガパルス幅

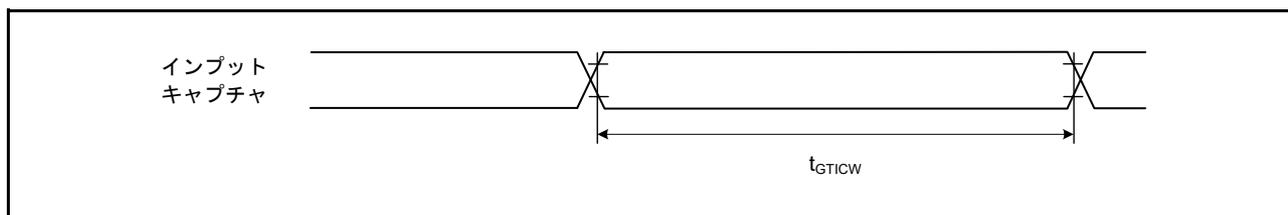


図 6.24 GPT 入力キャプチャパルス幅

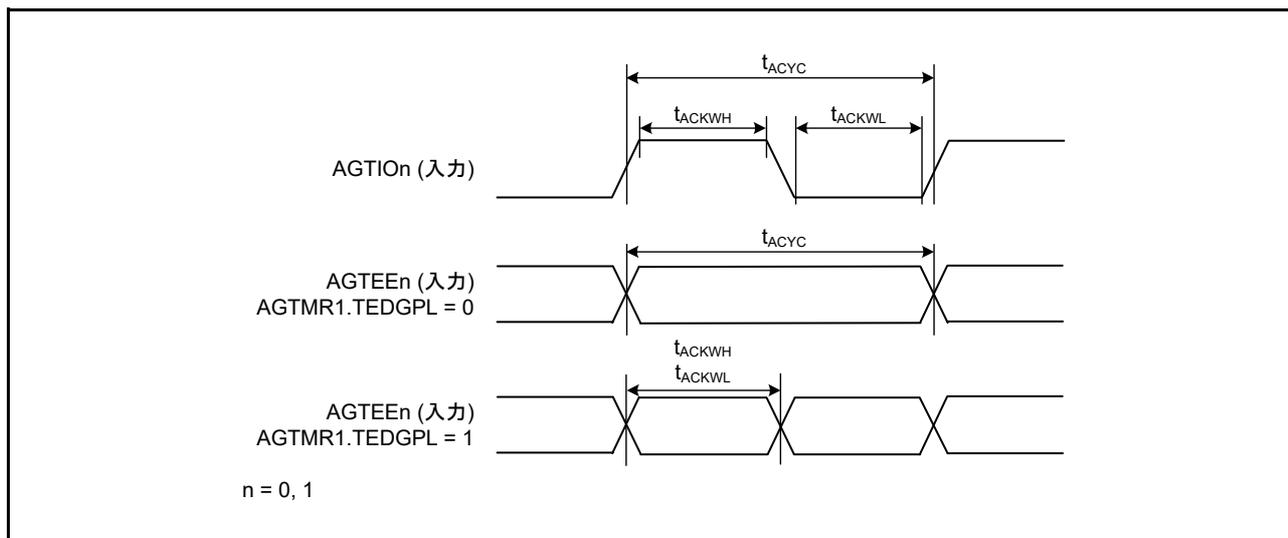


図 6.25 AGT 入出力タイミング

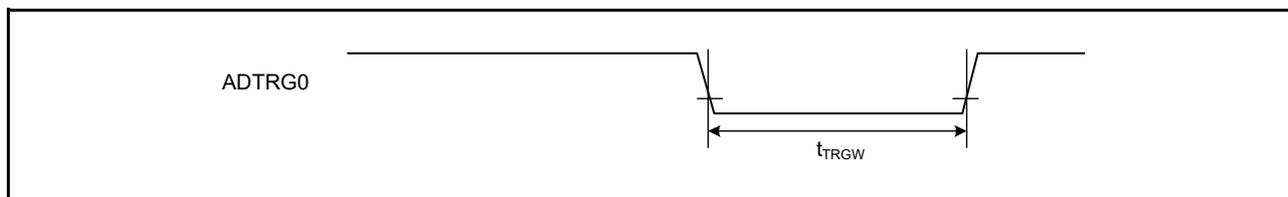


図 6.26 S14AD トリガ入力タイミング

6.3.7 CAC タイミング

表 6.25 CAC タイミング

項目		記号	Min	Max	単位	測定条件
CAC	CACREF 入力パルス幅	t_{CACREF}	$t_{\text{Pcyc}} \text{ (注1)} \leq t_{\text{cac}} \text{ (注2)}$	$4.5t_{\text{cac}} + 3t_{\text{Pcyc}}$	—	ns
			$t_{\text{Pcyc}} \text{ (注1)} > t_{\text{cac}} \text{ (注2)}$	$5t_{\text{cac}} + 6.5t_{\text{Pcyc}}$	—	ns

注 1. t_{Pcyc} : PCLKB の周期

注 2. t_{cac} : CAC カウントクロックソースの周期

6.3.8 SCI タイミング

表6.26 SCIタイミング (1)
条件：PmnPFSレジスタのポート駆動能力ビットで高駆動出力を選択

項目		記号	Min	Max	単位 (注1)	測定条件	
SCI	周波数 (SCI0, SCI1)	BOOST	pclkfmax	—	64	MHz	—
		NORMAL		—	32		
	周波数 (SCI0, SCI1以外)			—	32		
	入力クロックサイクル	調歩同期式	t_{Scyc}	4	—	t_{Pcyc}	図6.27
		クロック同期式		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	$1 \times t_{Pcyc}$	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	$1 \times t_{Pcyc}$	ns	
	出力クロックサイクル	調歩同期式	t_{Scyc}	6	—	t_{Pcyc}	
		クロック同期式		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	$1 \times t_{Pcyc}$	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	$1 \times t_{Pcyc}$	ns	
送信データ遅延時間	マスタ	t_{TXD}	—	40	ns	図6.28	
	スレーブ		—	55			
受信データセットアップ時間	マスタ	t_{RXS}	45	—	ns		
	スレーブ		27	—			
受信データホールド時間	マスタ	t_{RXH}	5	—	ns		
	スレーブ		40	—			

注1. t_{Pcyc} : SCI0, SCI1はPCLKAの周期、SCI2～SCI5, SCI9はPCLKBの周期を示します。

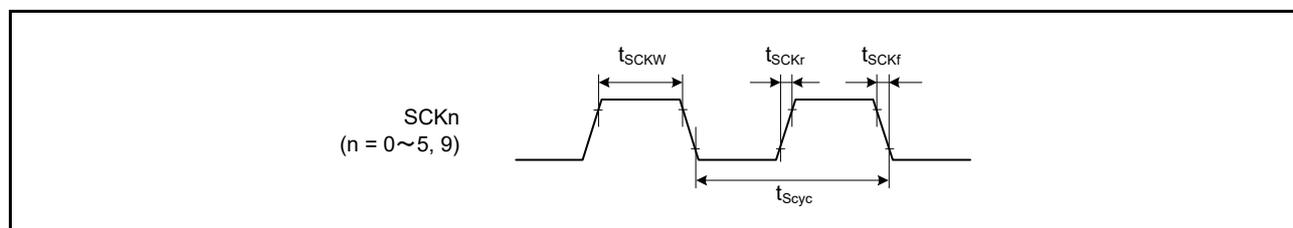


図 6.27 SCK クロック入力タイミング

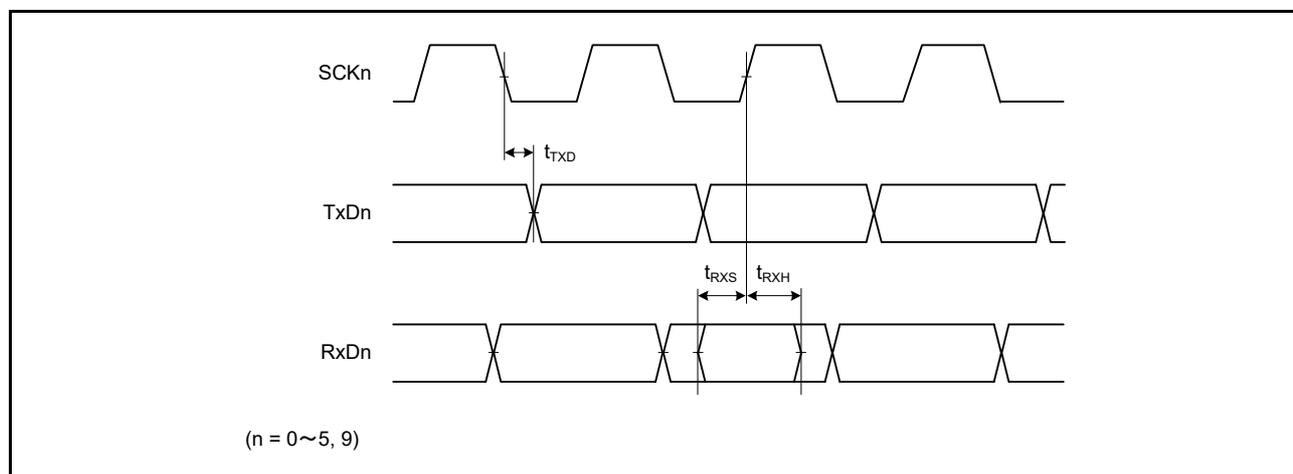


図 6.28 クロック同期式モードにおける SCI 入出力タイミング

表6.27 SCIタイミング (2)
条件: PmnPFSレジスタのポート駆動能力ビットで高駆動出力を選択

項目		記号	Min	Max	単位 (注1)	測定条件	
簡易SPI	周波数 (SCI0, SCI1)	BOOST	pclkfmax	—	64	MHz	—
		NORMAL	—	32			
	周波数 (SCI0, SCI1以外)			—	32		
	SCKクロックサイクル	マスタ	t_{SPCyc}	4	65536	t_{SPCyc}	図6.29
		スレーブ		6	—		
	SCKクロック Highレベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPCyc}	
	SCKクロック Lowレベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPCyc}	
	SCKクロック立ち上がり/立ち下がり時間		t_{SPCKr} , t_{SPCKf}	—	$1 \times t_{SPCyc}$	ns	
	データ入力セットアップ時間	マスタ	t_{SU}	45	—	ns	
		スレーブ		27	—		
	データ入力ホールド時間	マスタ	t_H	33.3	—	ns	
		スレーブ		40	—		
	SS入力セットアップ時間		t_{LEAD}	1	—	t_{SPCyc}	
	SS入力ホールド時間		t_{LAG}	1	—	t_{SPCyc}	
	データ出力遅延時間	マスタ	t_{OD}	—	40	ns	
		スレーブ		—	65		
データ出力ホールド時間	マスタ	t_{OH}	-10	—	ns		
	スレーブ		-10	—			
データ立ち上がり/立ち下がり時間		t_{Dr} , t_{Df}	—	$1 \times t_{SPCyc}$	ns		
スレーブアクセス時間	BOOST	t_{SA}	—	8	t_{SPCyc}	図6.32、図6.33	
	NORMAL		—	6			
スレーブ出力開放時間	BOOST	t_{REL}	—	8	t_{SPCyc}		
	NORMAL		—	6			

注1. t_{pCyc} : SCI0, SCI1はPCLKAの周期、SCI2～SCI5, SCI9はPCLKBの周期を示します。

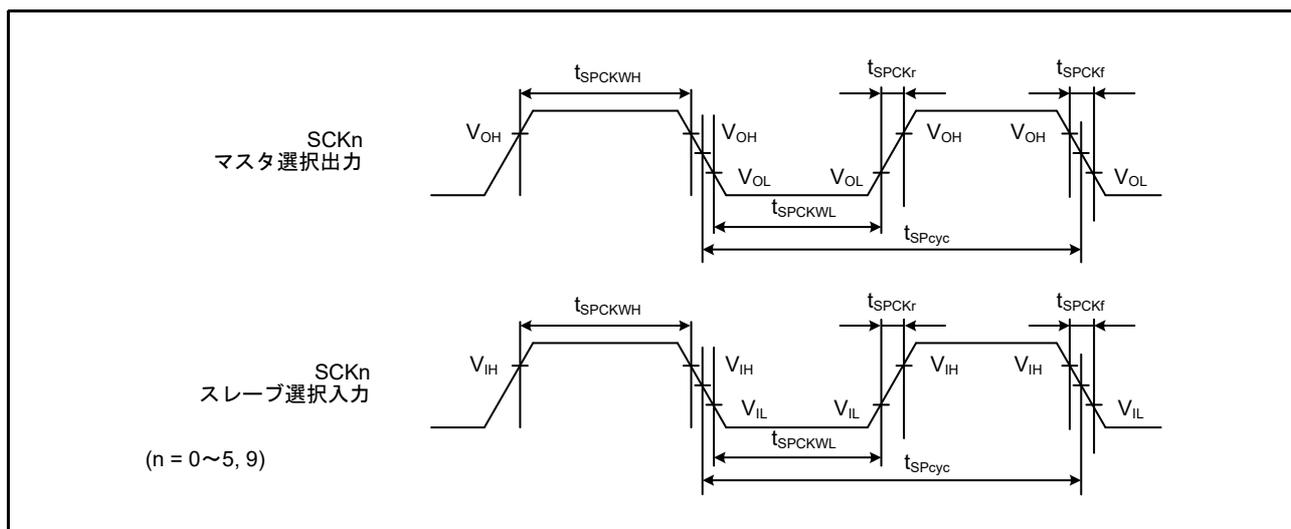


図 6.29 SCK クロック入出カタイミング (簡易 SPI モード)

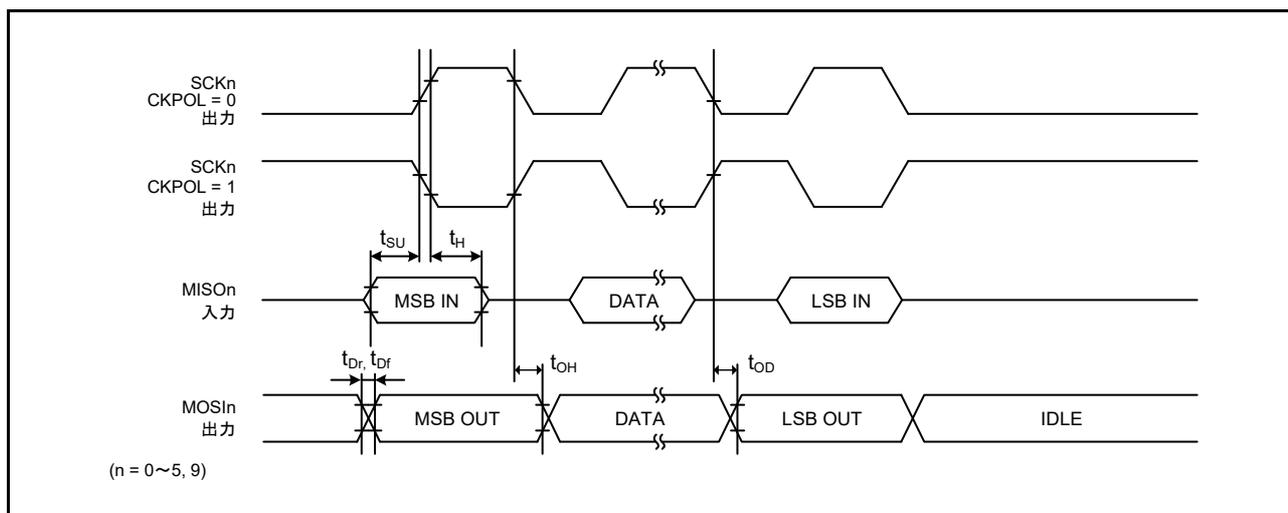


図 6.30 SCK 入出力タイミング (簡易 SPI モード) (マスタ、SPMR.CKPH = 1)

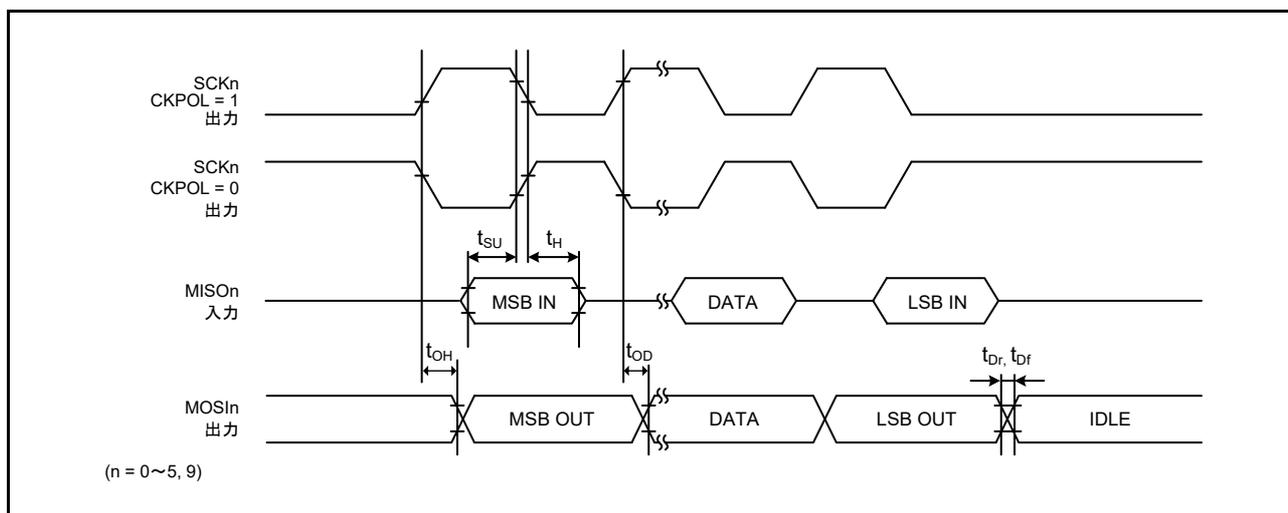


図 6.31 SCK 入出力タイミング (簡易 SPI モード) (マスタ、SPMR.CKPH = 0)

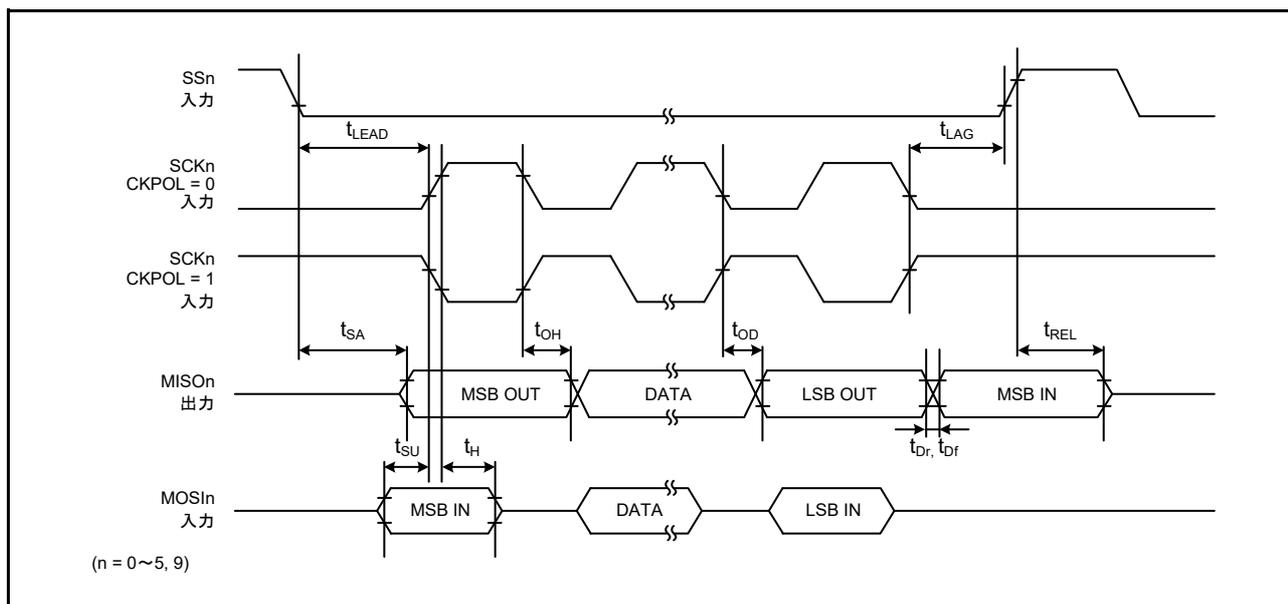


図 6.32 SCK 入出力タイミング (簡易 SPI モード) (スレーブ、SPMR.CKPH = 1)

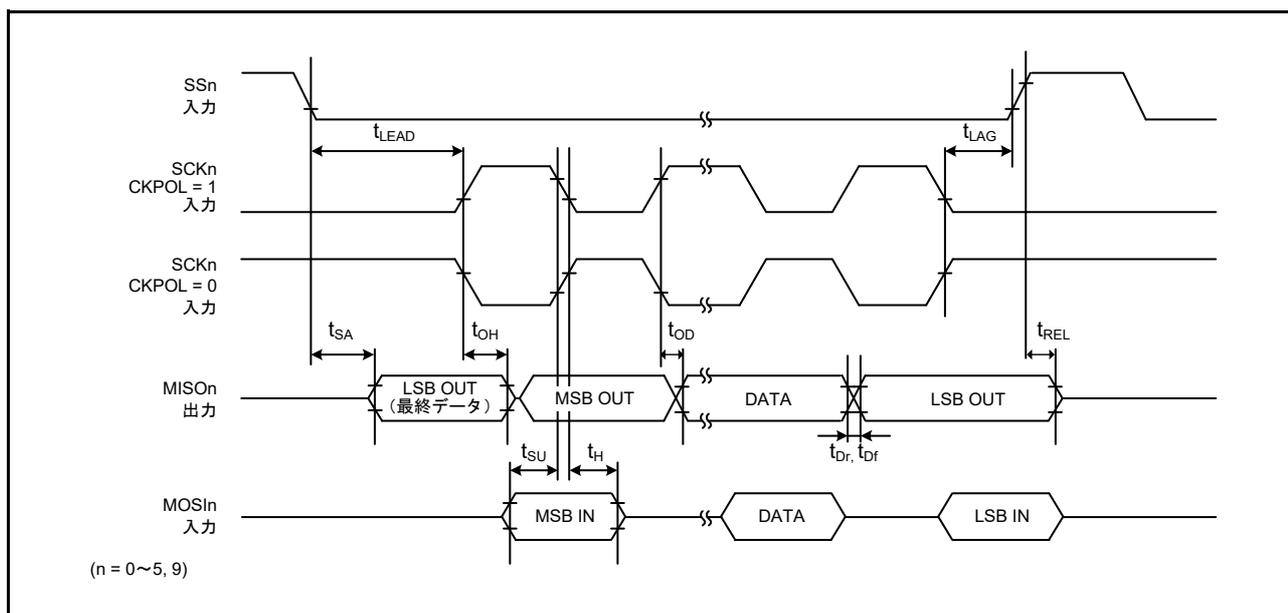


図 6.33 SCK 入出力タイミング (簡易 SPI モード) (スレーブ、SPMR.CKPH = 0)

表6.28 SCIタイミング (3)
条件: PmnPFSレジスタのポート駆動能力ビットで高駆動出力を選択

項目		記号	Min	Max (注2)	単位	測定条件	
簡易IIC (標準モード)	周波数 (SCI0, SCI1)	BOOST	—	64	MHz	—	
		NORMAL		32			
	周波数 (SCI0, SCI1以外)			—	32		—
	SDA入力立ち上がり時間		t_{Sr}	—	1000	ns	図6.34
	SDA入力立ち下がり時間		t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間		t_{SP}	0	4	t_{Pcyc}	図6.34 SMR.CKS[1:0] = 00b, SNFR.NFCS[2:0] = 001b
					1024		図6.34 SMR.CKS[1:0] = 11b, SNFR.NFCS[2:0] = 100b
	データ入カセットアップ時間		t_{SDAS}	250	—	ns	図6.34
	データ入カホールド時間		t_{SDAH}	0	—	ns	
SCL、SDAの負荷容量		C_b (注1)	—	400	pF		
簡易IIC (ファストモード)	周波数 (SCI0, SCI1)	BOOST	—	64	MHz	—	
		NORMAL		32			
	周波数 (SCI0, SCI1以外)			—	32		—
	SCL、SDA入力立ち上がり時間		t_{Sr}	—	300	ns	図6.34
	SCL、SDA入力立ち下がり時間		t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間		t_{SP}	0	4	t_{Pcyc}	図6.34 SMR.CKS[1:0] = 00b, SNFR.NFCS[2:0] = 001b
					1024		図6.34 SMR.CKS[1:0] = 11b, SNFR.NFCS[2:0] = 100b
	データ入カセットアップ時間		t_{SDAS}	100	—	ns	図6.34
	データ入カホールド時間		t_{SDAH}	0	—	ns	
SCL、SDAの負荷容量		C_b (注1)	—	400	pF		

注1. C_b はバスラインの容量総計を意味します。
注2. t_{Pcyc} : SCI0, SCI1はPCLKAの周期、SCI2~SCI5, SCI9はPCLKBの周期を示します。

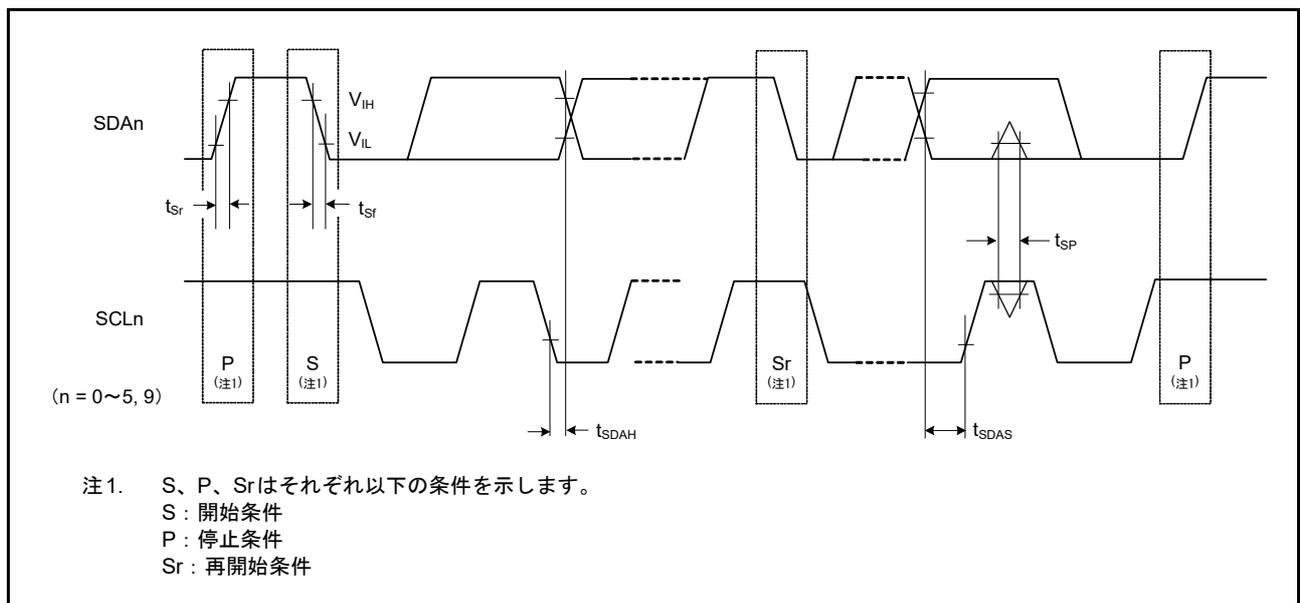


図6.34 SCK入出力タイミング (簡易I2Cモード)

6.3.9 SPI タイミング

表6.29 SPI タイミング
条件：PmnPFSレジスタのポート駆動能力ビットで高駆動出力を選択

項目			記号	Min	Max	単位	測定条件	
SPI	周波数	BOOST	pclkfmax	—	64	MHz	—	
		NORMAL		—	32			
	RSPCKクロックサイクル	マスタ	BOOST	t_{SPcyc}	4	4096	t_{Pcyc}	図6.35
			NORMAL		2	4096		
		スレーブ	6		4096			
	RSPCKクロックHighレベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$	—	—	ns	
		スレーブ			$3 \times t_{Pcyc}$	—		
	RSPCKクロックLowレベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$	—	—	ns	
		スレーブ			$3 \times t_{Pcyc}$	—		
	RSPCKクロック立ち上がり／立ち下がり時間	出力	t_{SPCKr}, t_{SPCKf}	—	10	ns	図6.35 IOVCCn \geq 2.7V	
		入力		—	1	μ s		
	データ入力セットアップ時間	マスタ	BOOST	t_{SU}	25	—	ns	図6.36～図6.41
			NORMAL		15	—		
		スレーブ	10		—			
	データ入力ホールド時間	マスタ		t_{HF}	0	—	ns	図6.36～図6.41 PCLKAを2分周に設定
					t_H	1		
		スレーブ		20	—	ns	図6.36～図6.41	
	SSLセットアップ時間	マスタ	t_{LEAD}	$-30 + N \times t_{SPcyc}$ (注1)	—	—	ns	
		スレーブ			$6 \times t_{Pcyc}$	—		
	SSLホールド時間	マスタ	t_{LAG}	$-30 + N \times t_{SPcyc}$ (注2)	—	—	ns	
スレーブ		$6 \times t_{Pcyc}$			—	ns		
データ出力遅延時間	マスタ	t_{OD}		—	14	ns	図6.36～図6.41 IOVCCn \geq 2.7V	
	スレーブ			—	50			
データ出力ホールド時間	マスタ	t_{OH}		0	—	ns	図6.36～図6.41	
	スレーブ			0	—			
連続送信遅延時間	マスタ	t_{TD}		$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	図6.36～図6.41	
	スレーブ			$6 \times t_{Pcyc}$	—			
MOSI、MISO立ち上がり／立ち下がり時間	出力	t_{Dr}, t_{Df}		—	10	ns	図6.36～図6.41 IOVCCn \geq 2.7V	
	入力			—	1			μ s
SSL立ち上がり／立ち下がり時間	出力	t_{SSLr}, t_{SSLf}		—	10	ns	図6.36～図6.41 IOVCCn \geq 2.7V	
	入力			—	1			μ s
スレーブアクセス時間		t_{SA}		—	$2 \times t_{Pcyc} + 100$	ns	図6.40、図6.41 IOVCCn \geq 2.7V	
スレーブ出力開放時間		t_{REL}		—	$2 \times t_{Pcyc} + 100$	ns		

注. t_{Pcyc} : PCLKAの周期を示します。
 注1. NはSPCKDレジスタで設定したRSPCKの遅延数です。
 注2. NはSSLNDレジスタで設定したRSPCKの遅延数です。

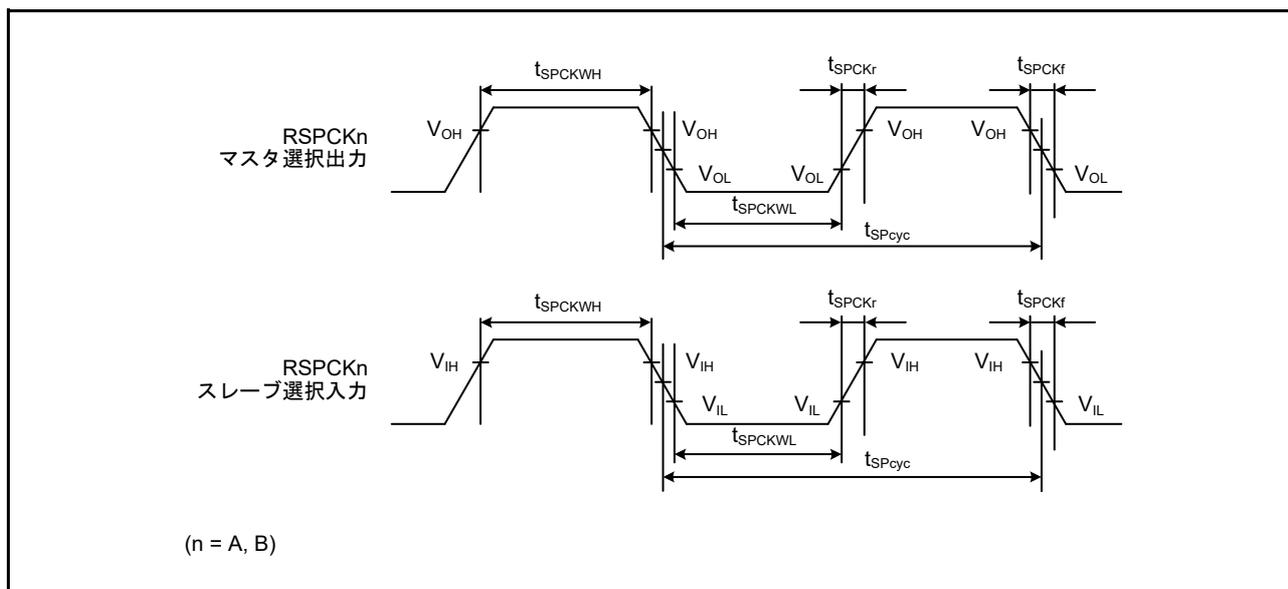


図 6.35 SPI クロックタイミング

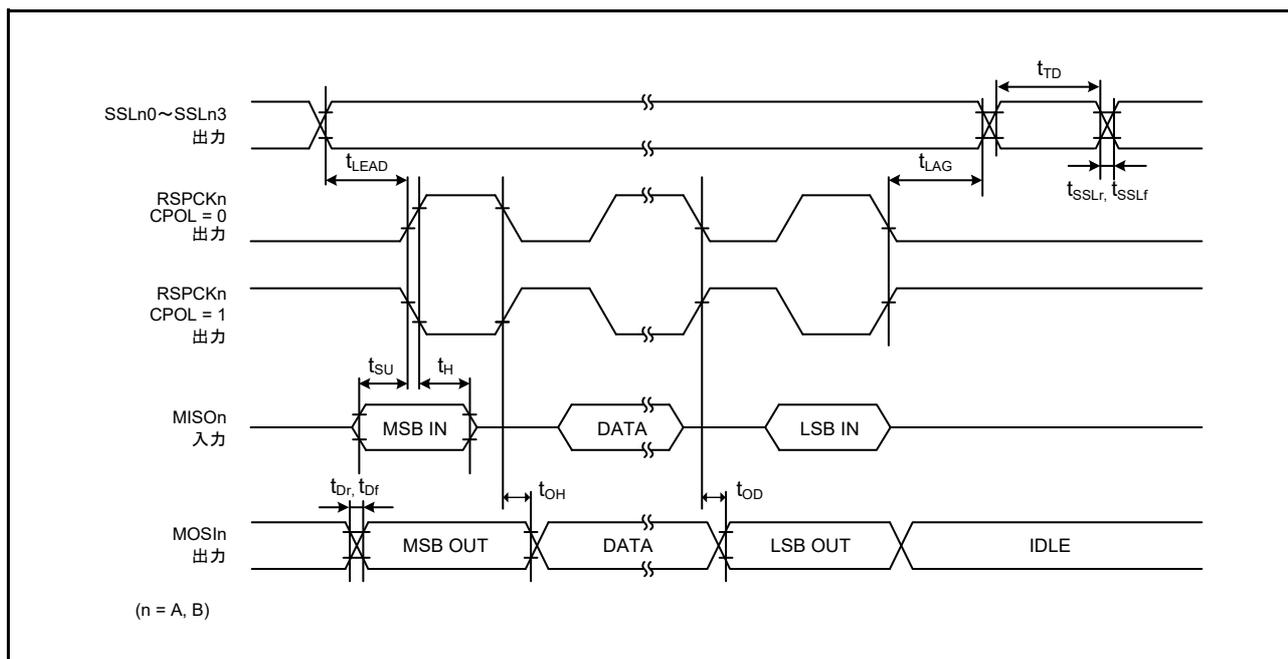


図 6.36 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

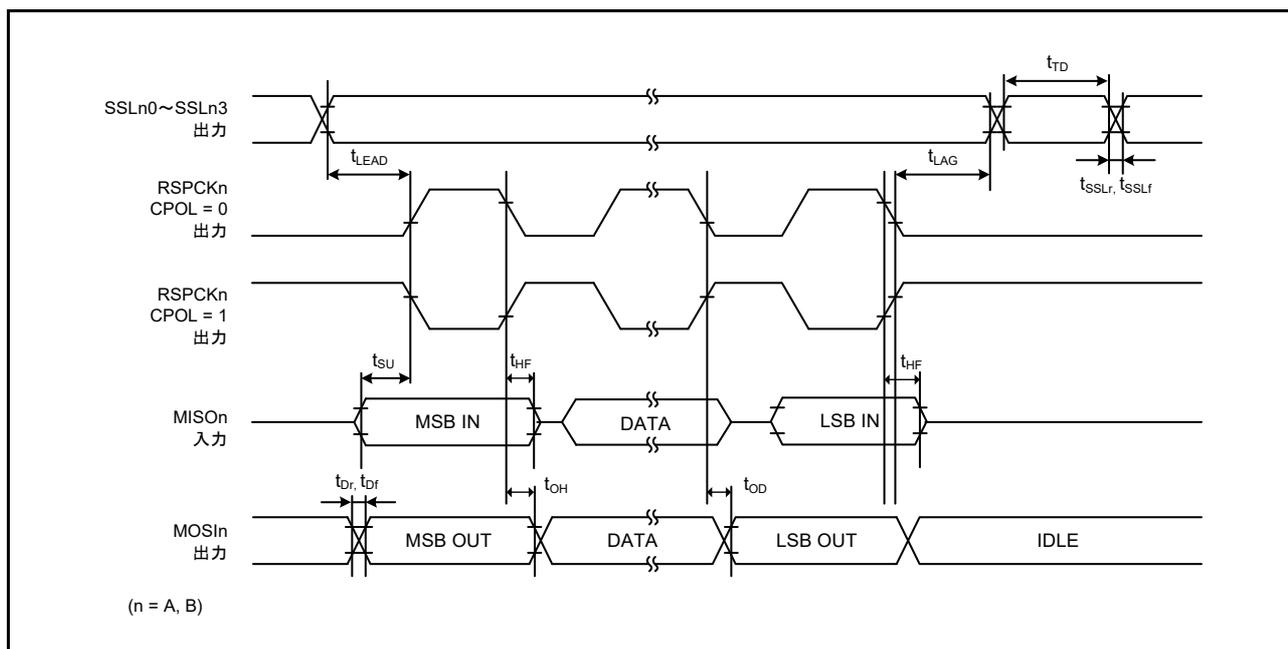


図 6.37 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

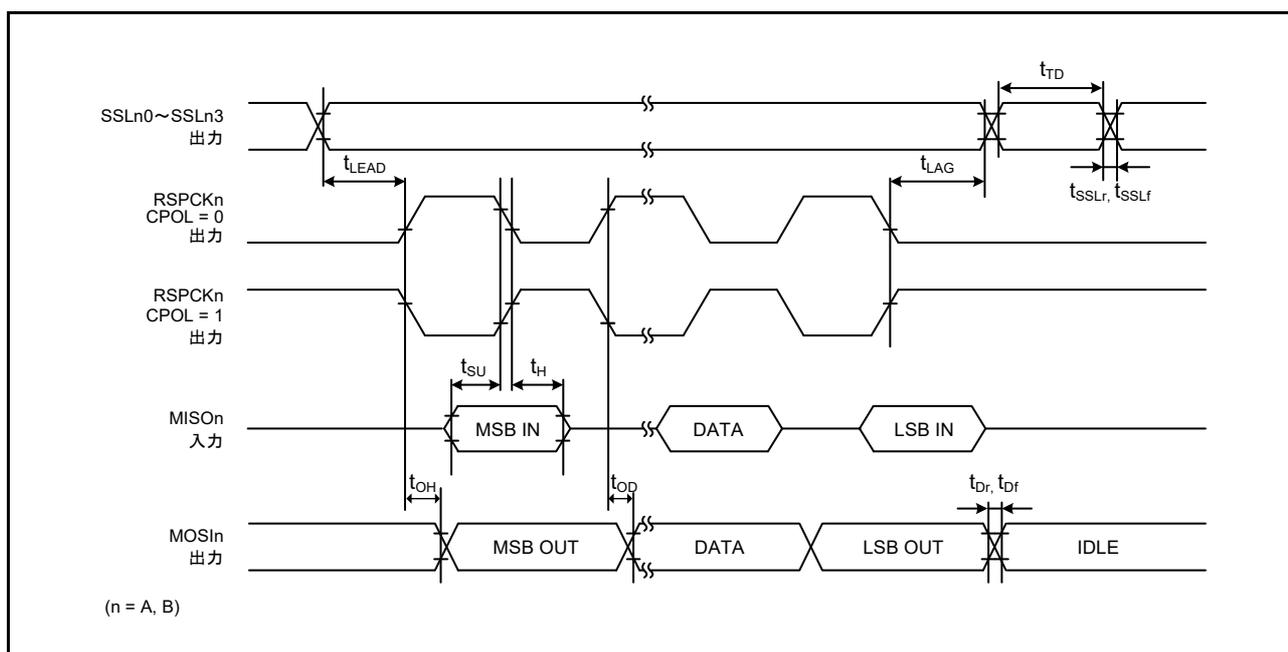


図 6.38 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

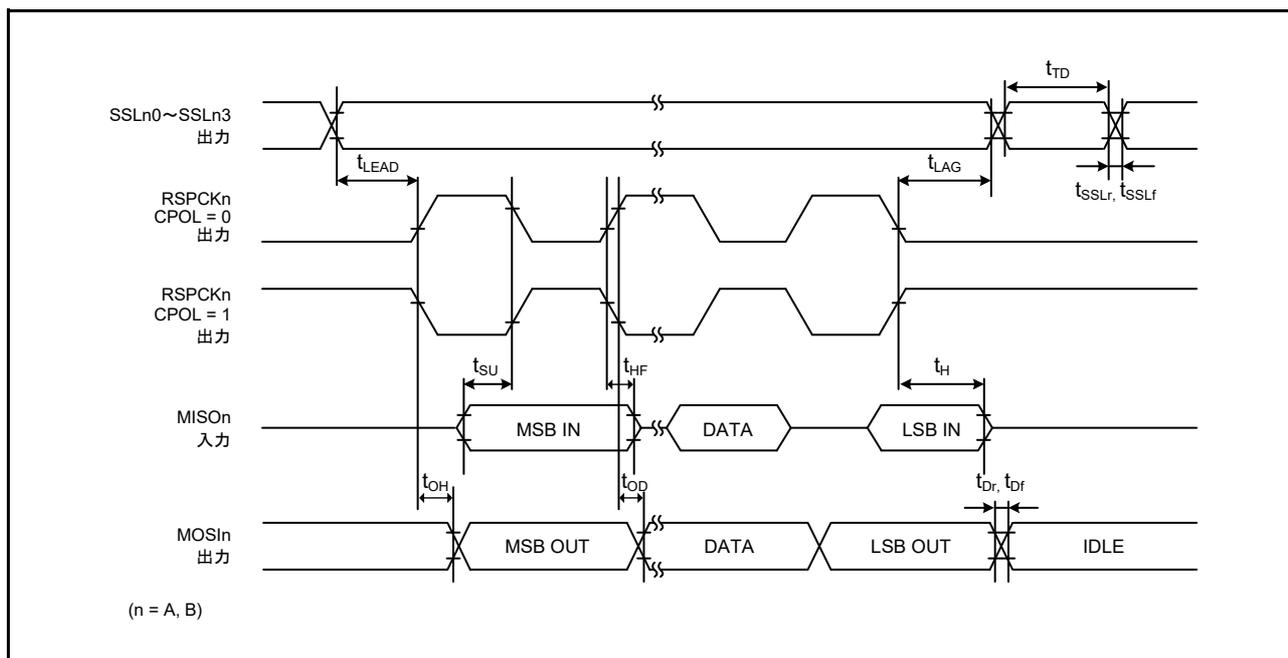


図 6.39 SPI タイミング (マスター、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

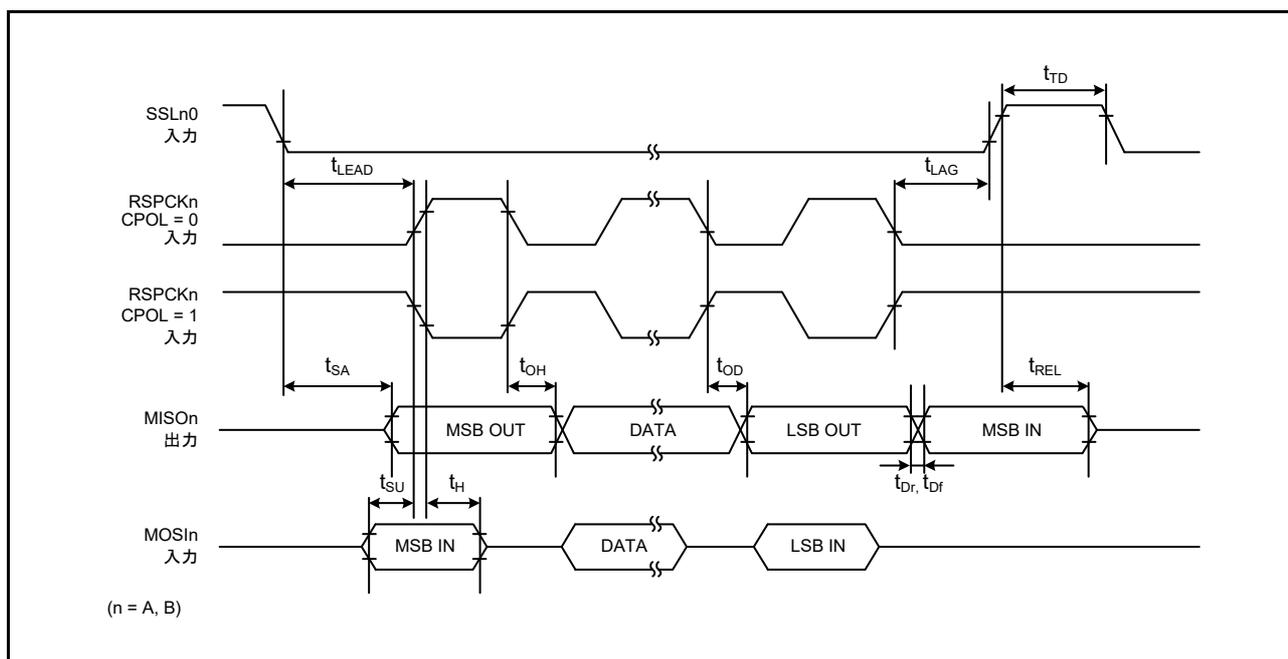


図 6.40 SPI タイミング (スレーブ、CPHA = 0)

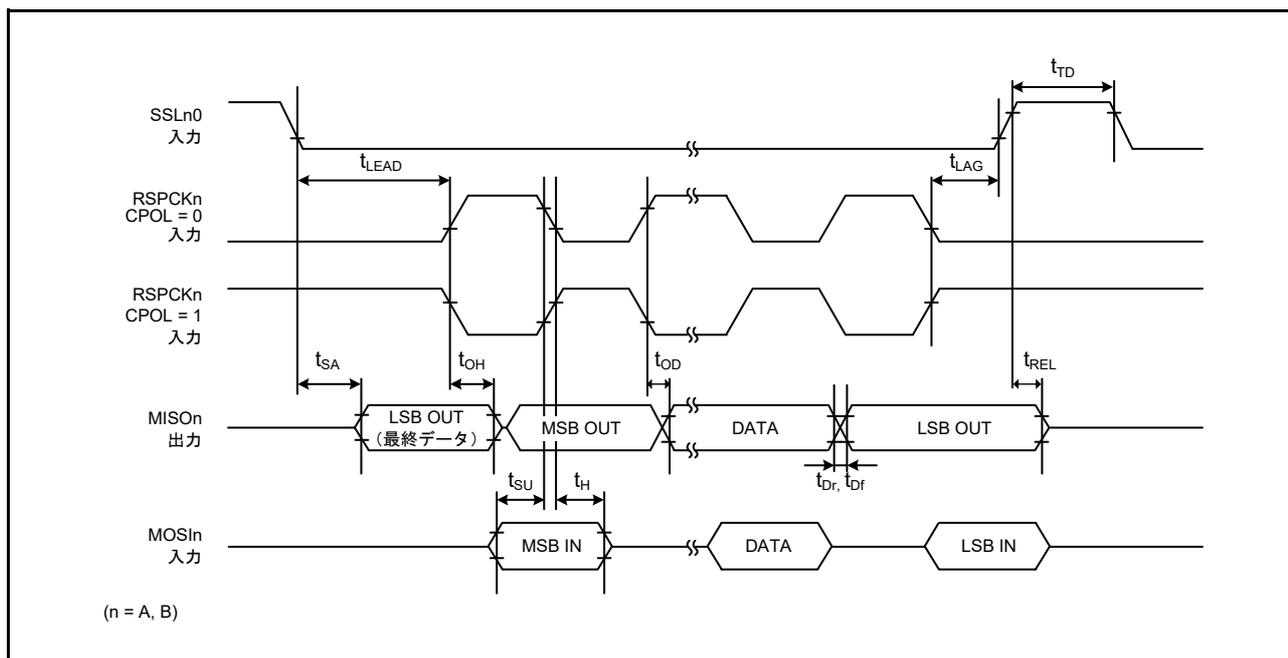


図 6.41 SPI タイミング (スレーブ、CPHA = 1)

6.3.10 QSPI タイミング

表6.30 QSPIタイミング

条件：PmnPFSレジスタのポート駆動能力ビットで高駆動出力を選択

項目	記号	Min	Max	単位(注1)	測定条件		
QSPI	QSPCLKクロックサイクル (PCLKA > 48MHz)	t_{QScyc}	3	4080	t_{Pcyc}	図6.42	
	QSPCLKクロックサイクル (PCLKA ≤ 48MHz)		2	4080			
	QSPCLKクロック Highレベルパルス幅	t_{QSWH}	$t_{QScyc} \times 0.4$	—			ns
	QSPCLKクロック Lowレベルパルス幅	t_{QSWL}	$t_{QScyc} \times 0.4$	—			
データ入力セットアップ時間	t_{SU}	25	—	ns	図6.43		
データ入力ホールド時間	t_H	12	—				
QSSLセットアップ時間	t_{LEAD}	$(L + 0.5) \times t_{QScyc} - M$ (注2)	—				
QSSLホールド時間	t_{LAG}	$(N + 0.5) \times t_{QScyc} - M$ (注3)	—				
データ出力遅延時間	t_{OD}	-3.3	14				
連続送信遅延時間	t_{TD}	1	16			t_{QScyc}	

注1. t_{Pcyc} : PCLKAの周期を示します。

注2. Lの値はSFMSLC.SFMSLDビットの設定値です。Mの値はBOOST時が10、NORMAL時が15です。

注3. Nの値はSFMSLC.SFMSHDビットの設定値です。Mの値はBOOST時が10、NORMAL時が15です。

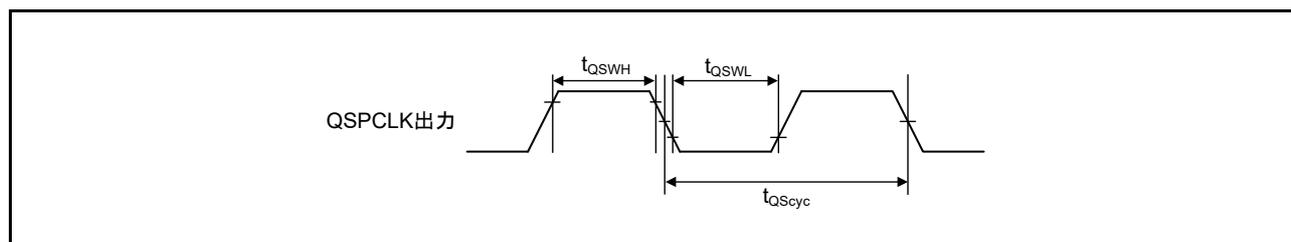


図 6.42 QSPI クロックタイミング

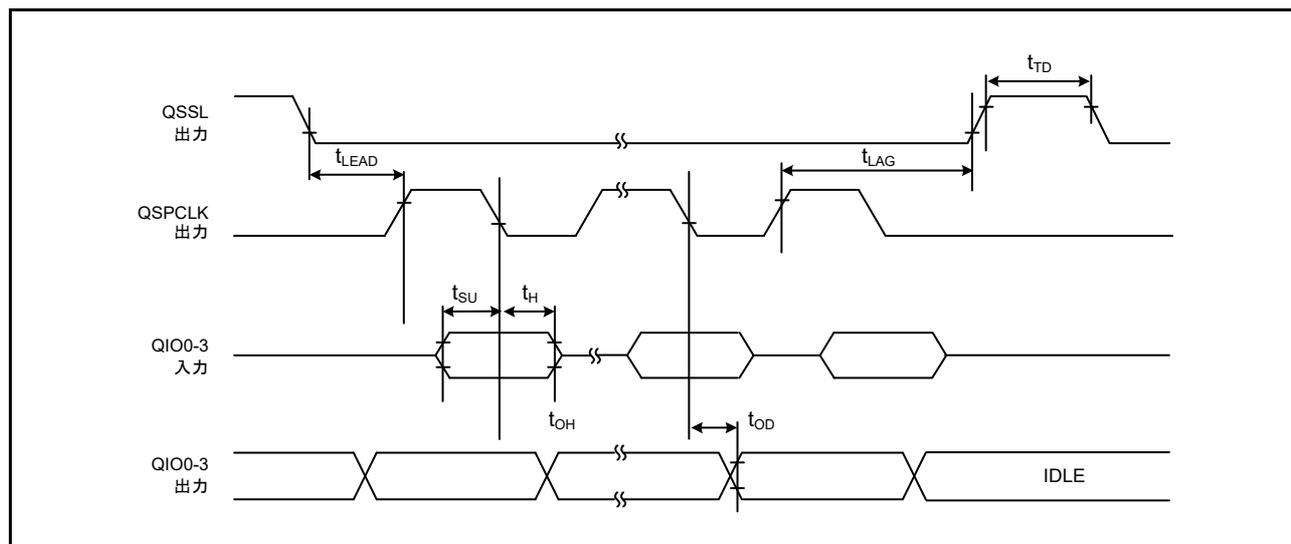


図 6.43 QSPI 入出力タイミング

6.3.11 RIIC タイミング

表6.31 RIICタイミング

条件：VCC = 3.0~3.6V、V_{IH} = VCC × 0.7、V_{IL} = VCC × 0.3、V_{OL} = 0.6V、I_{OL} = 6mA

条件：PmnPFSレジスタのポート駆動能力ビットで標準駆動出力を選択

項目		記号	Min (注1)	Max	単位	測定条件
RIIC (標準モード)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IICcyc} + 1300	—	ns	図6.44
	SCL入力Highレベルパルス幅	t _{SCLH}	3(6) × t _{IICcyc} + 300	—	ns	
	SCL入力Lowレベルパルス幅	t _{SCLL}	3(6) × t _{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IICcyc}	ns	
	SDA入カバスフリー時間	t _{BUF}	3(6) × t _{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの負荷容量 (注2)	C _b	—	400	pF	
RIIC (ファストモード)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IICcyc} + 1300	—	ns	図6.44
	SCL入力Highレベルパルス幅	t _{SCLH}	3(6) × t _{IICcyc} + 300	—	ns	
	SCL入力Lowレベルパルス幅	t _{SCLL}	3(6) × t _{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	300	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IICcyc}	ns	
	SDA入カバスフリー時間	t _{BUF}	3(6) × t _{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	300	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの負荷容量 (注2)	C _b	—	400	pF	

注. t_{IICcyc} : IIC内部基準クロック (IICφ) の周期を示します。

注1. ICFER.NFEビットが1でデジタルフィルタが有効な場合、ICMR3.NF[1:0]ビットが11bであると () 内の値が適用されます。

注2. C_bはバスラインの容量総計です。

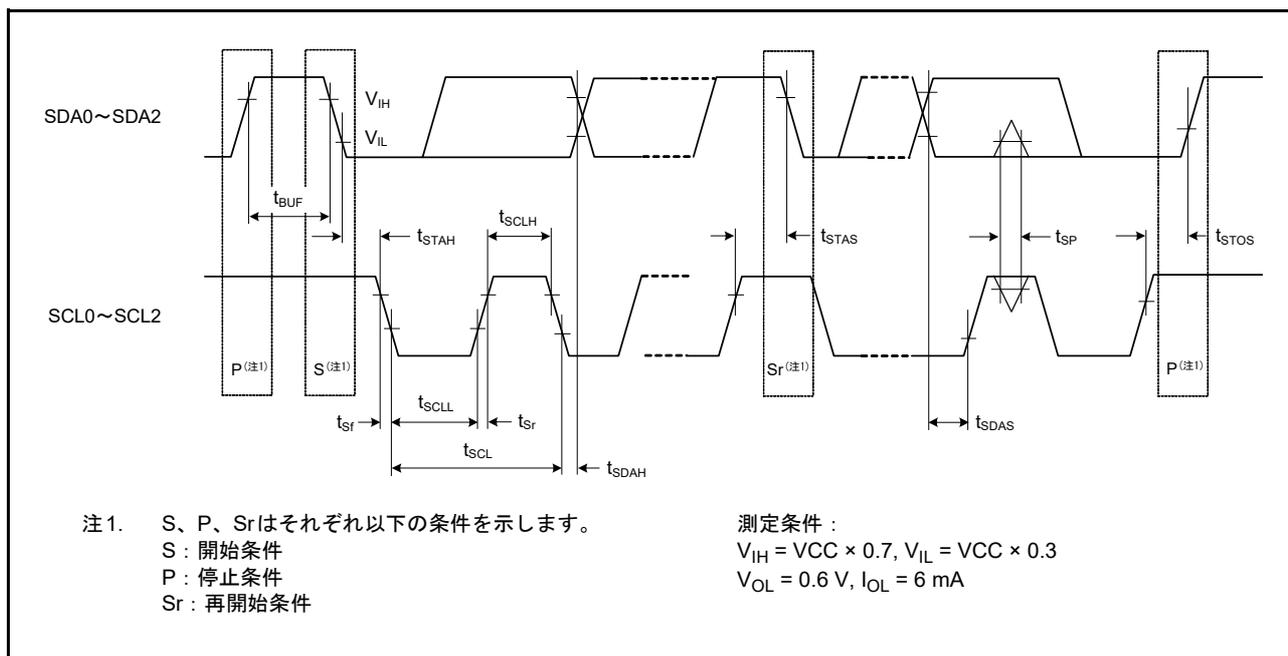


図 6.44 I²C バスインタフェース入出力タイミング

6.3.12 MLCD タイミング

表6.32 MLCD タイミング

条件：PmnPFSレジスタのポート駆動能力ビットで高駆動出力を選択

項目	記号	Min	Typ	Max	単位 (注1)	測定条件
MLCD_SCLK端子出力Highレベルパルス幅	t_{wSCLKH}	1	—	255	t_{Pcyc}	図6.45
MLCD_SCLK端子出力Lowレベルパルス幅	t_{wSCLKL}	1	—	255	t_{Pcyc}	
データ送信待ち時間	t_{wNOP}	—	1	—	t_{Pcyc}	
MLCD_SI端子出力セットアップ時間	t_{sSI}	1	—	255	t_{Pcyc}	
MLCD_SI端子出力ホールド時間	t_{hSI}	1	—	255	t_{Pcyc}	
MLCD_DEN端子出力セットアップ時間	t_{sDEN}	1	—	255	t_{Pcyc}	
MLCD_DEN端子出力ホールド時間	t_{hDEN}	1	—	255	t_{Pcyc}	
MLCD_ENBG/S端子出力Highレベルパルス幅	t_{wENBH}	2	—	1023	t_{Pcyc}	
MLCD_SCLK端子出力立ち上がりから、MLCD_ENBG/S端子出力立ち上がりまでの時間	t_{oENB}	3	—	255	t_{Pcyc}	
MLCD_ENBG/S端子出力立ち下がりから、MLCD_SCLK端子出力立ち上がりまでの時間	t_{bENB}	3	—	255	t_{Pcyc}	
MLCD_VCOM端子出力デューティ比	—	—	50	—	%	
MLCD_VCOM端子出力High/Lowレベルパルス時間	t_{cVCOM}	500	—	5000	ms	

注1. t_{Pcyc} : PCLKAの周期を示します。

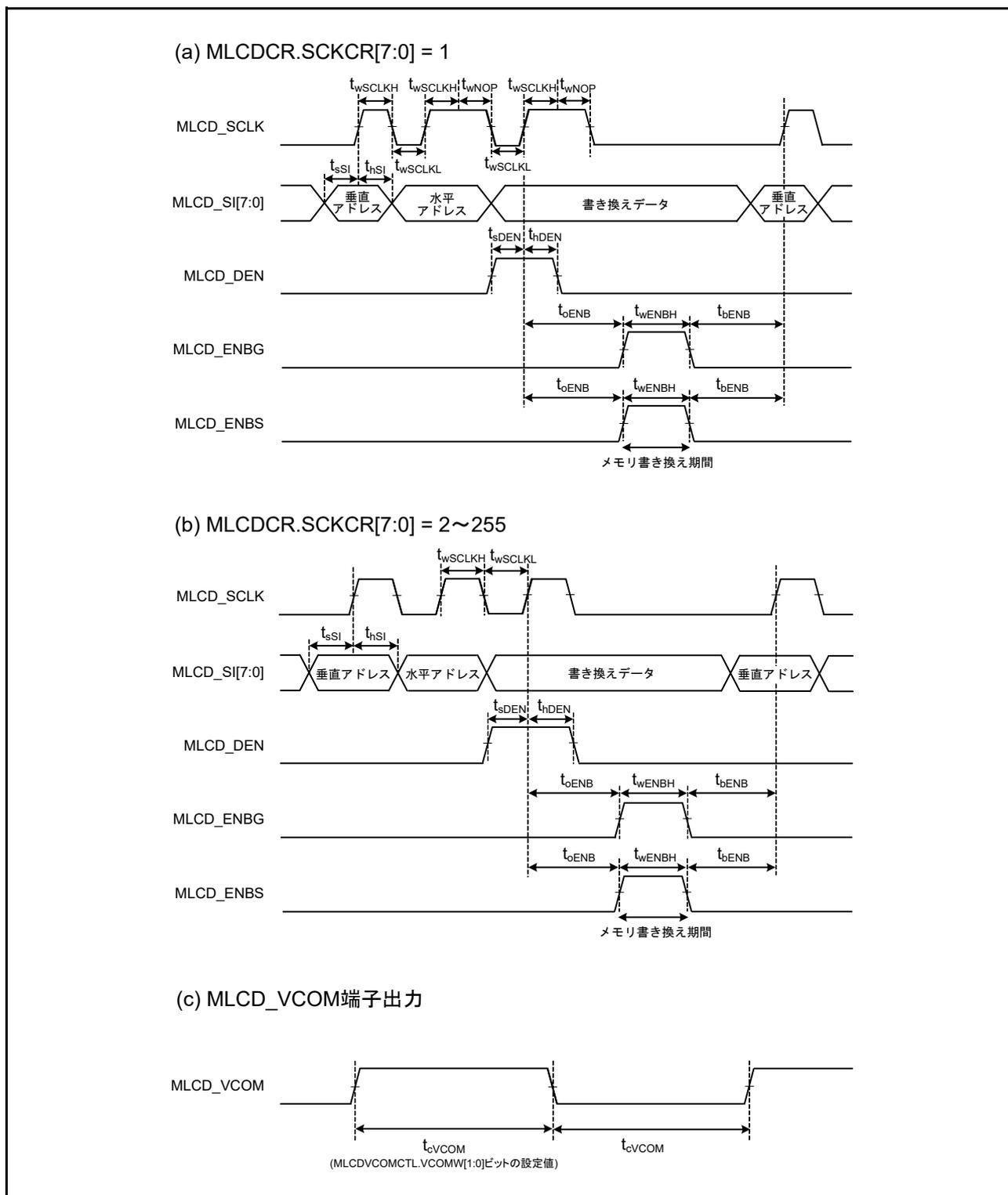


図 6.45 MLCD 出力タイミング

6.3.13 CLKOUT タイミング

表6.33 CLKOUT タイミング

項目		記号	Min	Max	単位	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注1)	t_{Cyc}	$IOVCCn \geq 2.7V$	31.25	—	ns	図 6.46
			$IOVCCn < 2.7V$	62.5	—		
CLKOUT32	CLKOUT 端子出力サイクル	t_{Cyc}	30.5	—	μs		

注1. EXTAL外部クロック入力またはサブクロック発振器を使用して1分周 (CKOCR.CKOSSEL[2:0] = 011bかつCKOCR.CKODIV[2:0] = 000b) をCLKOUTから出力する場合は、入力デューティサイクル45~55%で上記を満たします。

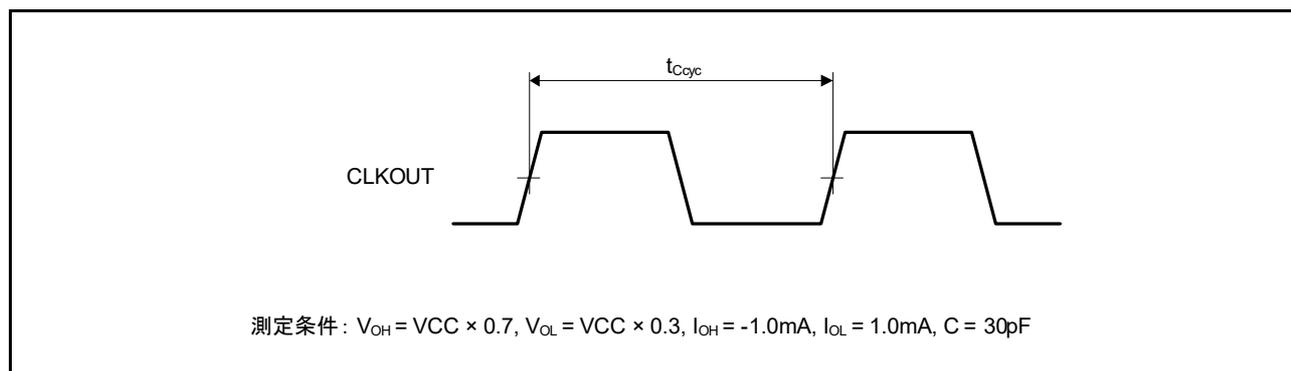


図 6.46 CLKOUT 出力タイミング

6.3.14 TMR タイミング

表6.34 TMRタイミング

項目		記号	Min	Typ	Max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	t_{TMCWH}	1.5	—	—	t_{Pcyc}	図6.47
		t_{TMCWL}	2.5	—	—		

注1. t_{Pcyc} : PCLKBの周期を示します。

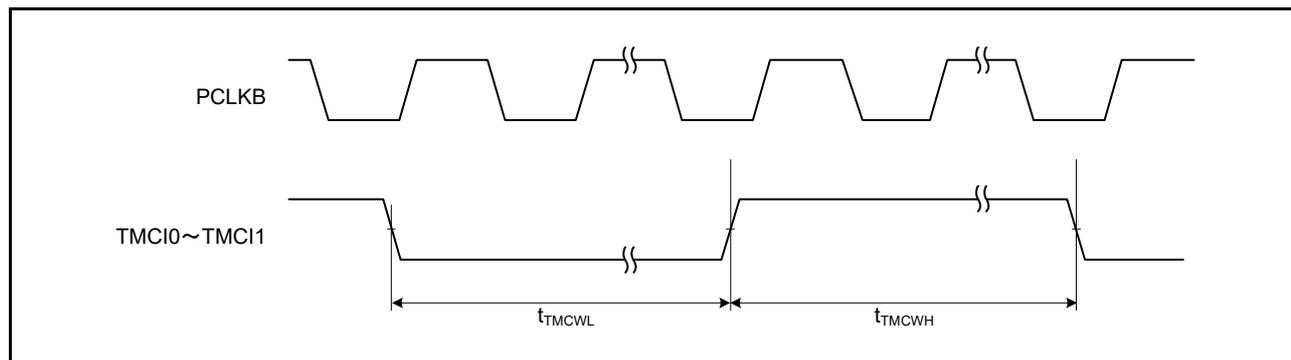


図 6.47 TMR クロック入力タイミング

6.4 USB 特性

6.4.1 USB タイミング

表 6.35 USB 特性

項目		記号	Min	Max	単位 (注1)	測定条件	
入力特性	入力Highレベル電圧	V_{IH}	2.0	—	V	—	
	入力Lowレベル電圧	V_{IL}	—	0.8	V	—	
	差動入力感度	V_{DI}	0.2	—	V	USB_DP - USB_DM	
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V	—	
出力特性	出力Highレベル電圧	V_{OH}	2.8	3.6	V	$I_{OH} = -200\mu A$	
	出力Lowレベル電圧	V_{OL}	0.0	0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V	図 6.48、図 6.49、 図 6.50	
	立ち上がり時間	FS	t_r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t_f	4	20		ns
		LS		75	300		
	立ち上がり／立ち下がり時間比	FS	t_r/t_f	90	111.11		%
LS			80	125			
出力抵抗	Z_{DRV}		28	44	Ω	外部抵抗 $R_S = 22\Omega$ 含む	
プルアップ、 プルダウン特性	プルダウン抵抗	R_{PD}	14.25	24.80	$k\Omega$	ホスト選択時	
	プルアップ抵抗	R_{PUI}	0.9	1.575	$k\Omega$	アイドル状態の間	
		R_{PUA}	1.425	3.09	$k\Omega$	受信中	

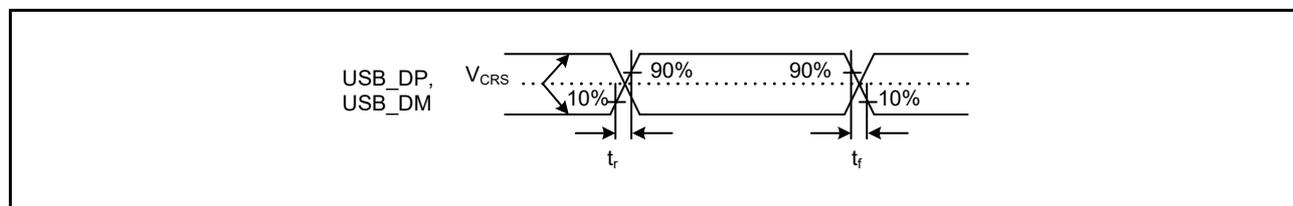


図 6.48 USB_DP および USB_DM 出カタイミング

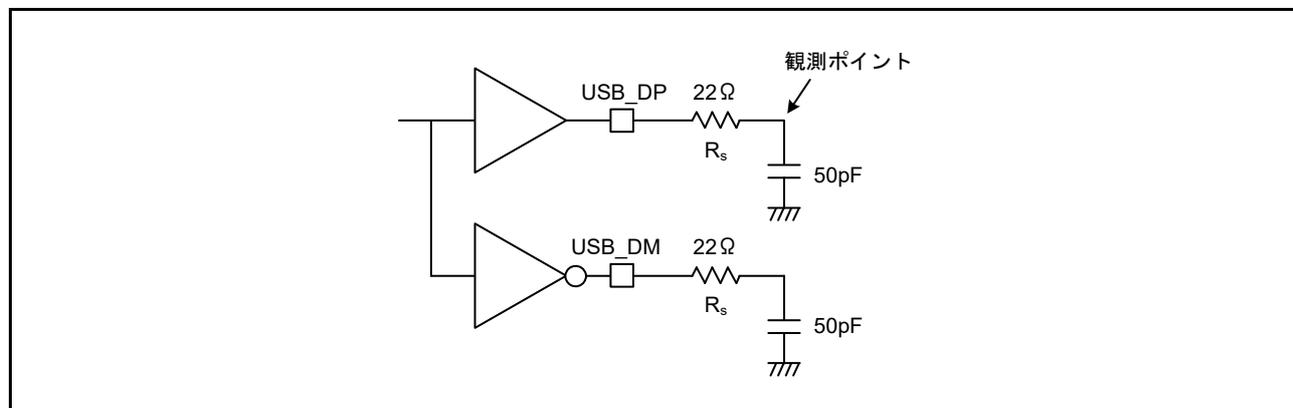


図 6.49 フルスピード (FS) 接続の測定回路

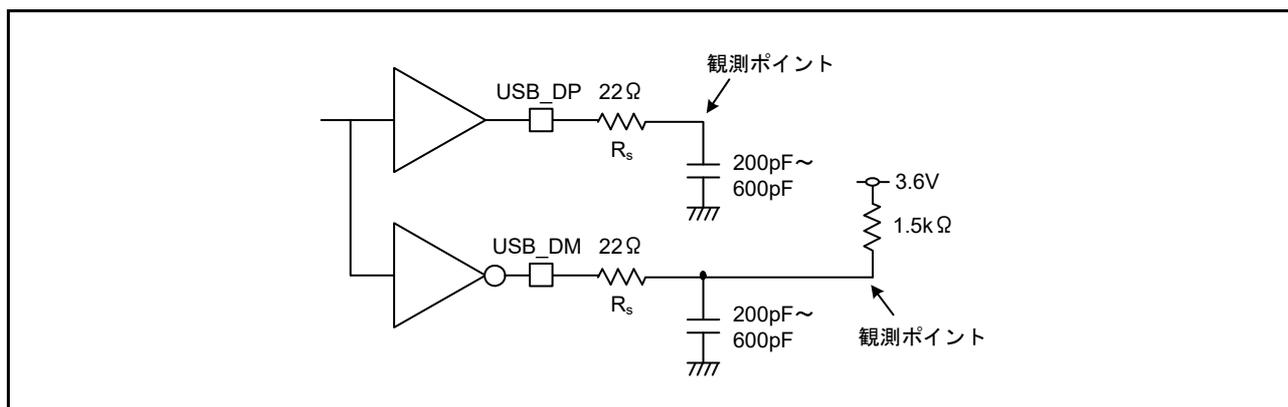


図 6.50 ロースピード (LS) 接続の測定回路

6.5 A/D 変換特性

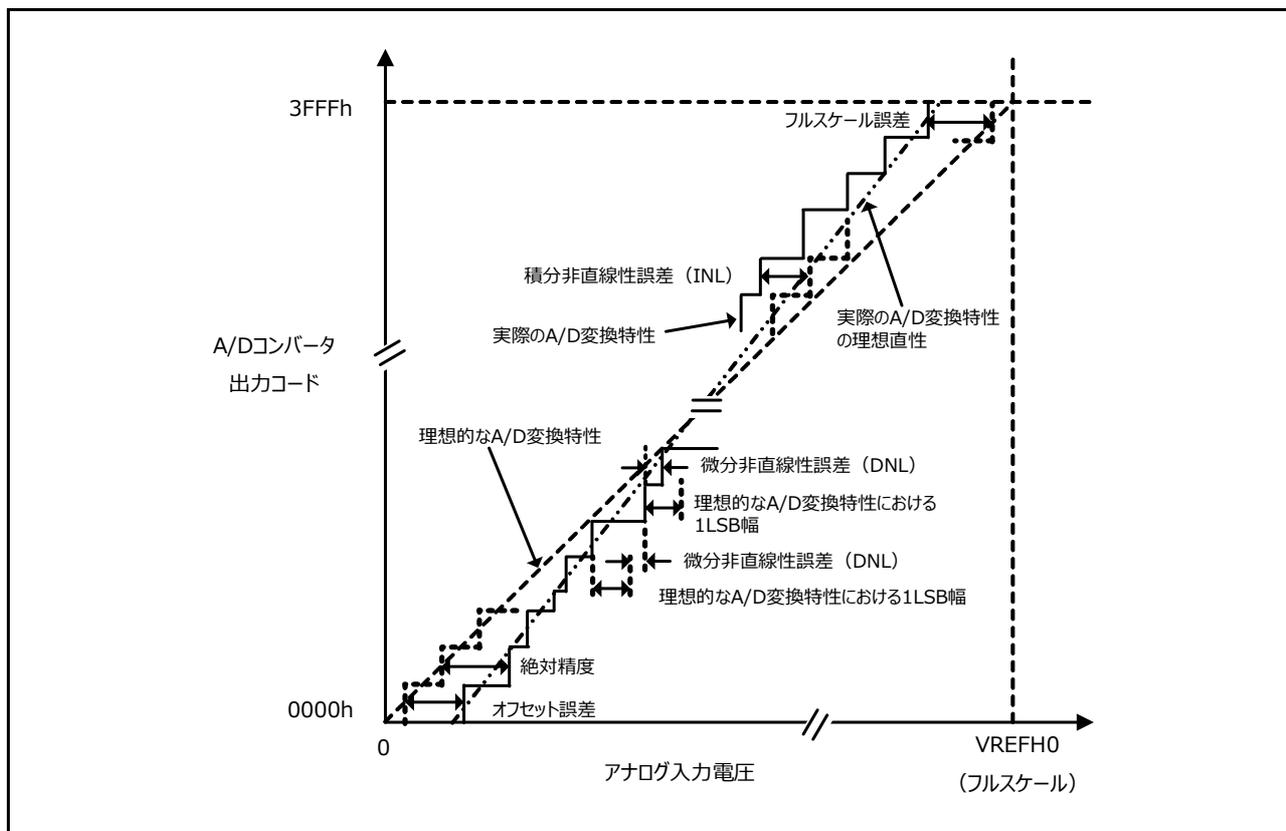


図 6.51 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理想的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理想的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能 14 ビット、基準電圧（VREFH0 = 3.276V）の場合、1LSB 幅は 0.2mV で、アナログ入力電圧には 0mV、0.2mV、0.4mV 等を使用します。

絶対精度 = ±5LSB とは、アナログ入力電圧が 1.6mV の場合、理想的な A/D 変換特性では出力コード 0008h を期待できますが、実際の A/D 変換結果は 0003h ~ 000Dh になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

A/Dコンバータの変換特性は、特に指定のない限り、出荷検査を実施しません。記載される値は、設計ガイドラインとしてのみ提示します。提示される電気的特性値は、電圧条件などに応じて、以下の7種類に分類します。

- (1) AVCC0 = VREFH0 = 2.7 ~ 3.6V ただし、Max 値は正規分布における $\pm 3\sigma$ の場合の値です。
- (2) AVCC0 = VREFH0 = 2.7 ~ 3.6V
- (3) AVCC0 = VREFH0 = 2.4 ~ 3.6V
- (4) AVCC0 = VREFH0 = 1.8 ~ 3.6V
- (5) AVCC0 = VREFH0 = 1.62 ~ 3.6V
- (6) AVCC0 = 3.3V、AVTRO = 2.5V (基準電圧生成回路の出力値をリファレンスとして使用)
- (7) AVCC0 = 1.8V、AVTRO = 1.25V (基準電圧生成回路の出力値をリファレンスとして使用)

また、電気的特性には、共通して以下の注意事項があります。

- (1) 特性値は、量子化誤差 ($\pm 0.5\text{LSB}$) を含みません。
- (2) 特性値は、オフセットキャリブレーション実施後の値です。
- (3) 特性値は、14ビット A/D コンバータ以外の機能を使用していないときの値です。
- (4) 変換時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。
変換時間の特性値にある () は、サンプリング時間です。

表 6.36 A/D変換特性 (1)
条件 : AVCC0 = VREFH0 = 2.7 ~ 3.6V

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	32 (注3)	MHz	ADSCCLKCR.SCLKEN = 0
		—	32.768	—	kHz	ADSCCLKCR.SCLKEN = 1
ダイナミックレンジ	A_{in}	0	—	VREFH0	V	—
分解能		12	—	14	ビット	—
変換時間	許容信号源インピーダンス Max. = 0.5k Ω	1.0 (0.46875)	—	—	μs	高精度チャンネル ADSCCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 0Fh
		1.5 (0.96875)	—	—	μs	標準精度チャンネル ADSCCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 1Fh
		593.75 (60.98)	—	—	μs	ADSCCLKCR.SCLKEN = 1 ADSSTRn.SST[7:0] = 02h
オフセット誤差 (注1)		-1.2	—	1.2	mV	高精度チャンネル
フルスケール誤差 (注1)		-1.2	—	1.2	mV	高精度チャンネル
絶対精度 (注1)		—	± 4.0 (注2)	± 11	LSB	高精度チャンネル
DNL 微分非直線誤差 (注1)		—	± 1.0 (注2)	± 1.5	LSB	高精度チャンネル
INL 積分非直線誤差 (注1)		—	± 2.5	± 4.0	LSB	高精度チャンネル
ENOB (Effective Number of bits) 誤差 (注1)(注2)		—	13	—	ビット	高精度チャンネル

- 注1. 平均モード有効かつ16回変換 (ADADC = 85h) を選択して、変換精度を14ビットに設定 (ADCER.ADPRC[1:0] = 11b) したときの値
 注2. AVCC0 = VREFH0 = 3.3Vの場合
 注3. AVCC0 \neq VREFH0の場合は、AVCC0 \geq VREFH0 \geq 2.7Vとしてください。

表 6.37 A/D変換特性 (2)
条件: AVCC0 = VREFH0 = 2.7 ~ 3.6V

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	32 (注3)	MHz	ADSCLKCR.SCLKEN = 0
		—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能		12	—	14	ビット	—
変換時間	許容信号源インピーダンス Max. = 0.5kΩ	1.0 (0.46875)	—	—	μs	高精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 0Fh
		1.5 (0.96875)	—	—	μs	標準精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 1Fh
		593.75 (60.98)	—	—	μs	ADSCLKCR.SCLKEN = 1 ADSSTRn.SST[7:0] = 02h
オフセット誤差 (注1)		-1.7	—	1.7	mV	高精度チャネル
フルスケール誤差 (注1)		-1.7	—	1.7	mV	高精度チャネル
絶対精度 (注1)		—	±4.0 (注2)	±14	LSB	高精度チャネル
DNL 微分非直線誤差 (注1)		—	±1.0 (注2)	±1.7	LSB	高精度チャネル
INL 積分非直線誤差 (注1)		—	±2.5	±5.0	LSB	高精度チャネル
ENOB (Effective Number of bits) 誤差 (注1)(注2)		—	13	—	ビット	高精度チャネル

注1. 平均モード有効かつ16回変換 (ADADC = 85h) を選択して、変換精度を14ビットに設定 (ADCER.ADPRC[1:0] = 11b) したときの値
 注2. AVCC0 = VREFH0 = 3.3Vの場合
 注3. AVCC0 ≠ VREFH0の場合は、AVCC0 ≥ VREFH0 ≥ 2.7Vとしてください。

表 6.38 A/D変換特性 (3)
条件: AVCC0 = VREFH0 = 2.4 ~ 3.6V

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	16 (注3)	MHz	ADSCLKCR.SCLKEN = 0
		—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能		12	—	14	ビット	—
変換時間	許容信号源インピーダンス Max. = 0.5kΩ	2.0 (0.9375)	—	—	μs	高精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 0Fh
		3.0 (1.9375)	—	—	μs	標準精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 1Fh
		593.75 (60.98)	—	—	μs	ADSCLKCR.SCLKEN = 1 ADSSTRn.SST[7:0] = 02h
オフセット誤差 (注1)		-1.7	—	1.7	mV	高精度チャネル
フルスケール誤差 (注1)		-1.7	—	1.7	mV	高精度チャネル
絶対精度 (注1)		—	±4.0 (注2)	±14	LSB	高精度チャネル
DNL 微分非直線誤差 (注1)		—	±1.0 (注2)	±1.7	LSB	高精度チャネル
INL 積分非直線誤差 (注1)		—	±2.5	±5.0	LSB	高精度チャネル
ENOB (Effective Number of bits) 誤差 (注1)(注2)		—	13	—	ビット	高精度チャネル

注1. 平均モード有効かつ16回変換 (ADADC = 85h) を選択して、変換精度を14ビットに設定 (ADCER.ADPRC[1:0] = 11b) したときの値
 注2. AVCC0 = VREFH0 = 3.3Vの場合
 注3. AVCC0 ≠ VREFH0の場合は、AVCC0 ≥ VREFH0 ≥ 2.4Vとしてください。

表 6.39 A/D変換特性 (4)
条件: AVCC0 = VREFH0 = 1.8 ~ 3.6V

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	8 (注2)	MHz	ADSCLKCR.SCLKEN = 0
		—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間	許容信号源インピーダンス Max. = 0.5kΩ	3.75 (1.875)	—	—	μs	高精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 0Fh
		5.75 (3.875)	—	—	μs	標準精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 1Fh
		531.25 (60.98)	—	—	μs	ADSCLKCR.SCLKEN = 1 ADSSTRn.SST[7:0] = 02h
オフセット誤差 (注1)		-1.7	—	1.7	mV	高精度チャネル
フルスケール誤差 (注1)		-1.7	—	1.7	mV	高精度チャネル
絶対精度 (注1)		—	±2.0	±7.0	LSB	高精度チャネル
DNL 微分非直線誤差 (注1)		—	±1.0	±2.0	LSB	高精度チャネル
INL 積分非直線誤差 (注1)		—	±1.0	±3.0	LSB	高精度チャネル

注1. 平均モード無効かつ変換精度を12ビットに設定 (ADCER.ADPARC[1:0] = 00h) したときの値
注2. AVCC0 ≠ VREFH0 の場合は、AVCC0 ≥ VREFH0 ≥ 1.8V としてください。

表 6.40 A/D変換特性 (5)
条件: AVCC0 = VREFH0 = 1.62 ~ 3.6V

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	8 (注3)	MHz	ADSCLKCR.SCLKEN = 0
		—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能 (注1)		—	—	10	ビット	—
変換時間	許容信号源インピーダンス Max. = 0.5kΩ	3.75 (1.875)	—	—	μs	高精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 0Fh
		5.75 (3.875)	—	—	μs	標準精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 1Fh
		531.25 (60.98)	—	—	μs	ADSCLKCR.SCLKEN = 1 ADSSTRn.SST[7:0] = 02h
オフセット誤差 (注2)		-1.7	—	1.7	mV	高精度チャネル
フルスケール誤差 (注2)		-1.7	—	1.7	mV	高精度チャネル
絶対精度 (注2)		—	±0.5	±2.5	LSB	高精度チャネル
DNL 微分非直線誤差 (注2)		—	±0.5	±1.5	LSB	高精度チャネル
INL 積分非直線誤差 (注2)		—	±0.5	±1.5	LSB	高精度チャネル

注1. A/D変換値 (ADDRyレジスタ) は、12ビット精度のフォーマットにおいて、下位2ビットを無視してください。
注2. 平均モード無効かつ変換精度を12ビットに設定 (ADCER.ADPARC[1:0] = 00b) したときの値
注3. AVCC0 ≠ VREFH0 の場合は、AVCC0 ≥ VREFH0 ≥ 1.62V としてください。

表6.41 基準電圧生成回路の出力値をリファレンス電圧としたときのA/D変換特性 (1)
条件: AVCC0 = 3.3V、AVTRO = 2.50V

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	16	MHz	ADSCLKCR.SCLKEN = 0
		—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能		12	—	14	ビット	—
変換時間	許容信号源インピーダンス Max. = 0.5kΩ	2.0 (0.9375)	—	—	μs	高精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 0Fh
		3.0 (1.9375)	—	—	μs	標準精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 1Fh
		593.75 (60.98)	—	—	μs	ADSCLKCR.SCLKEN = 1 ADSSTRn.SST[7:0] = 02h
オフセット誤差 (注1)		-1.7	—	1.7	mV	高精度チャネル
DNL 微分非直線誤差 (注1)		—	±1.5	—	LSB	高精度チャネル
INL 積分非直線誤差 (注1)		—	±3.0	—	LSB	高精度チャネル

注1. 平均モード有効かつ16回変換 (ADADC = 85h) を選択して、変換精度を14ビットに設定 (ADCER.ADPRC[1:0] = 11b) したときの値

表6.42 基準電圧生成回路の出力値をリファレンス電圧としたときのA/D変換特性 (2)
条件: AVCC0 = 1.8V、AVTRO = 1.25V

項目		Min	Typ	Max	単位	測定条件
周波数		1	—	8	MHz	ADSCLKCR.SCLKEN = 0
		—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間	許容信号源インピーダンス Max. = 0.5kΩ	3.75 (1.875)	—	—	μs	高精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 0Fh
		5.75 (3.875)	—	—	μs	標準精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST[7:0] = 1Fh
		531.25 (60.98)	—	—	μs	ADSCLKCR.SCLKEN = 1 ADSSTRn.SST[7:0] = 02h
オフセット誤差 (注1)		-1.7	—	1.7	mV	高精度チャネル
DNL 微分非直線誤差 (注1)		—	±1.0	—	LSB	高精度チャネル
INL 積分非直線誤差 (注1)		—	±1.0	—	LSB	高精度チャネル

注1. 平均モード無効かつ変換精度を12ビットに設定 (ADCER.ADPRC[1:0] = 00b) したときの値

6.6 アナログコンパレータ特性

表6.43 アナログコンパレータ特性

項目	記号	Min	Typ	Max	単位	測定条件
変換時間	T_{conv}	—	0.5	2	μs	—
比較精度	Acc	-100	—	100	mV	—
安定待機時間	T_{start}	—	1.2	7	μs	—

注. アナログコンパレータ特性は、出荷検査を実施しないため参考値です。

6.7 D/A 変換特性

表6.44 D/A変換特性

項目	記号	Min	Typ	Max	単位	測定条件	
分解能	—	12	12	12	ビット	—	
バッファなし出力	微分非直線性誤差	DNL	—	—	± 1.0	LSB	—
	積分非直線性誤差	INL	—	—	± 4.0	LSB	—
	出力抵抗	R_O	—	94	—	k Ω	—
	変換時間	t_s	—	—	50	μs	外部負荷20pF
バッファ出力	負荷抵抗	R_L	5	—	—	k Ω	—
	負荷容量	C_L	—	—	40	pF	—
	出力電圧範囲	V_O	0.18	—	AVCC1 - 0.18	V	AVCC1 \geq 2.7V
	微分非直線性誤差	DNL	—	—	± 1.0	LSB	AVCC1 \geq 2.7V
	積分非直線性誤差	INL	—	± 2.0	± 4.0	LSB	AVCC1 \geq 2.7V
	オフセット誤差	—	—	—	± 20	mV	AVCC1 \geq 2.7V
	フルスケール誤差	—	—	—	± 20	mV	AVCC1 \geq 2.7V
	変換時間	t_s	—	—	50	μs	AVCC1 \geq 2.0V

注. D/A変換特性は、出荷検査を実施しないため参考値です。

6.8 温度センサ特性

表6.45 温度センサ特性

項目	Min	Typ	Max	単位	測定条件
相対精度	—	± 5	—	$^{\circ}\text{C}$	AVCC0 \geq 2.6V
	—	± 6	—	$^{\circ}\text{C}$	AVCC0 < 2.6V
温度傾斜	—	1.6	—	mV/ $^{\circ}\text{C}$	—
温度センサ起動時間	—	30	120	μs	—
サンプリング時間	—	2	7	μs	—

注. 温度センサ特性は、出荷検査を実施しないため参考値です。

6.9 VREF 特性

表6.46 VREF特性

項目	記号	Min	Typ	Max	単位	測定条件
出力電圧	AVTRO	1.17	1.25	1.33	V	AVCC0 ≥ 2.8V VREF.AVCR.AVSEL = 0
	AVTRO	2.34	2.50	2.66	V	AVCC0 ≥ 2.8V VREF.AVCR.AVSEL = 1
	AVTRO	1.17	1.25	1.33	V	AVCC0 < 2.8V VREF.AVCR.AVSEL = 0
回路起動安定待ち時間	t _{VRSTUP}	—	—	50	ms	—

注. VREF特性は、出荷検査を実施しないため参考値です。

6.10 LED 特性

表6.47 LED特性
条件: T_a = -20 ~ +65°C

項目	記号	Min	Typ	Max	単位	測定条件
LED定電流(注1)	I _{led}	0.95	1.00	1.05	mA	LED負荷 = 1.4kΩ LED.LECO.LESn = 1 (n = 1, 2, 3)
		0.48	0.50	0.53		LED負荷 = 2.8kΩ LED.LECO.LESn = 0 (n = 1, 2, 3)
立ち上がり時間(注2)	T _{set}	—	—	150	μs	—

注. 使用する外部LEDに供給する電圧は、IOVCC3と同電位にしてください。

注1. LEDIn (n = 1, 2, 3) 1端子あたりの入力電流値です。複数端子を同時に有効にしないでください。LED.LECO.LEOnビット (n = 1, 2, 3) にて設定 (0: 無効, 1: 有効) してください。

注2. 立ち上がり時間は、LEPSR.LEPSビットを1 (定電流回路ON) にしてから、LED電流が目標値に達するまでの時間です。本特性は、出荷検査をしないため参考値です。

6.11 発振停止検出回路特性

表6.48 発振停止検出回路特性

項目	記号	Min	Typ	Max	単位	測定条件
検出時間	t _{dr}	—	—	30	μs	図6.52

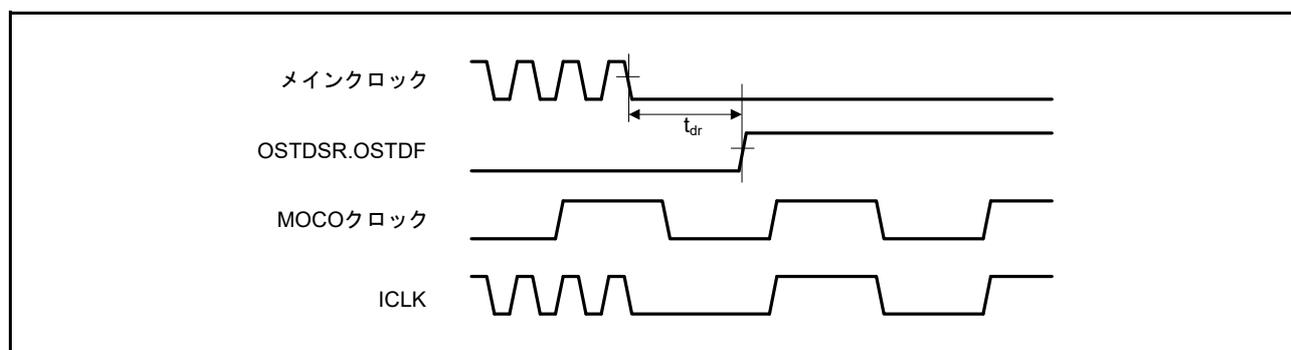


図 6.52 発振停止検出タイミング

6.12 パワーオンリセット回路、低電圧検出回路特性

表6.49 パワーオンリセット回路、低電圧検出回路の特性

項目		記号	Min	Typ	Max	単位	測定条件	
電圧検出レベル	パワーオンリセット回路 (POR)	立ち上がり	V _{POR}	1.40	1.50	1.60	V	図 6.53
		立ち下がり	V _{PORL}	1.30	1.40	1.50		
	電圧監視0回路 (LVDO)		V _{det0_0}	2.34	2.42	2.50	V	図 6.54
			V _{det0_1}	2.10	2.17	2.24		
			V _{det0_2}	1.86	1.92	1.98		
			V _{det0_3}	1.62	1.67	1.72		
	電圧監視1回路 (LVD1)		V _{det1_0}	2.74	2.83	2.92	V	図 6.55
			V _{det1_1}	2.58	2.66	2.74		
			V _{det1_3}	2.42	2.50	2.58		
			V _{det1_5}	2.26	2.33	2.40		
			V _{det1_7}	2.10	2.17	2.24		
			V _{det1_9}	1.94	2.00	2.06		
			V _{det1_B}	1.78	1.84	1.90		
	電圧監視BAT回路 (LVDBAT)		V _{detBAT_5}	2.26	2.33	2.40	V	図 6.56
			V _{detBAT_7}	2.10	2.17	2.24		
			V _{detBAT_9}	1.94	2.00	2.06		
			V _{detBAT_B}	1.78	1.84	1.90		
			V _{detBAT_D}	1.62	1.67	1.72		
	内部リセット時間	LVD0リセット時間	t _{LVD0}	—	3.10	—	ms	図 6.54
LVD1リセット時間		t _{LVD1}	—	1.38	—	ms	図 6.55	
LVDBATリセット時間		t _{LVDBAT}	—	1.38	—	ms	図 6.56	
最小VCC低下時間 (注1)		t _{VOFF}	4	—	—	ms	図 6.53 ~ 図 6.56	
LVDO応答遅延時間		t _{det}	—	150	300	μs	図 6.54 ~ 図 6.56	
LVD1応答遅延時間		t _{det}	—	150	300	μs		
LVDBAT応答遅延時間 (VCC = VBAT_EHC接続時)		t _{det}	—	150	300	μs		
LVDBAT応答遅延時間 (VCC ≠ VBAT_EHC独立時)		t _{det}	—	400	800	μs		
LVD1動作安定時間 (LVD有効切り替え後)		t _{d(E-A)}	—	—	600	μs	図 6.55、図 6.56	
LVDBAT動作安定時間 (VCC = VBAT_EHC接続時)		t _{d(E-A)}	—	—	600	μs		
LVDBAT動作安定時間 (VCC ≠ VBAT_EHC独立時)		t _{d(E-A)}	—	—	1000	μs		
ヒステリシス幅 (LVD1)		V _{LVH} (注2)	—	60	—	mV		
ヒステリシス幅 (LVD1)		V _{LVH} (注3)	—	55	—	mV		
ヒステリシス幅 (LVD1)		V _{LVH} (注4)	—	50	—	mV		
ヒステリシス幅 (LVD1)		V _{LVH} (注5)	—	45	—	mV		
ヒステリシス幅 (LVD1)		V _{LVH} (注6)	—	40	—	mV		
ヒステリシス幅 (LVD1)		V _{LVH} (注7)	—	35	—	mV		

注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル (V_{POR}、V_{det1}、V_{detBAT}) のmin値を下回っている時間です。

注2. V_{det1_0}選択時

注3. V_{det1_1}、V_{det1_3}選択時

注4. V_{det1_5}選択時

注5. V_{det1_7}選択時

注6. V_{det1_9}、V_{det1_B}選択時

注7. V_{det1_D}選択時

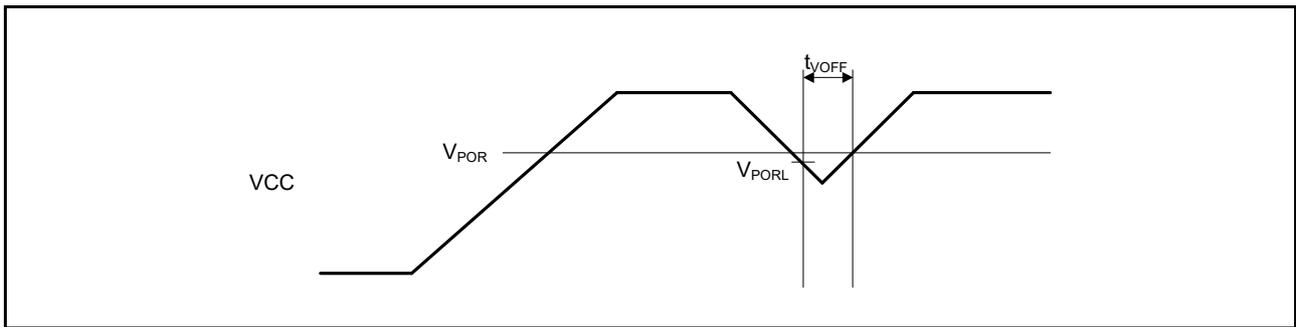


図 6.53 パワーオンリセットタイミング

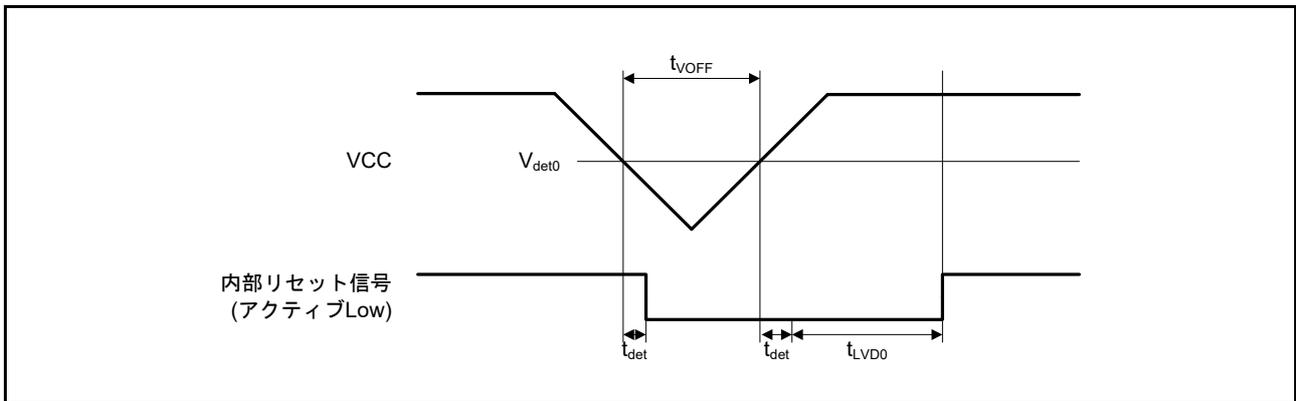


図 6.54 電圧監視 0 回路検知電圧タイミング (V_{det0})

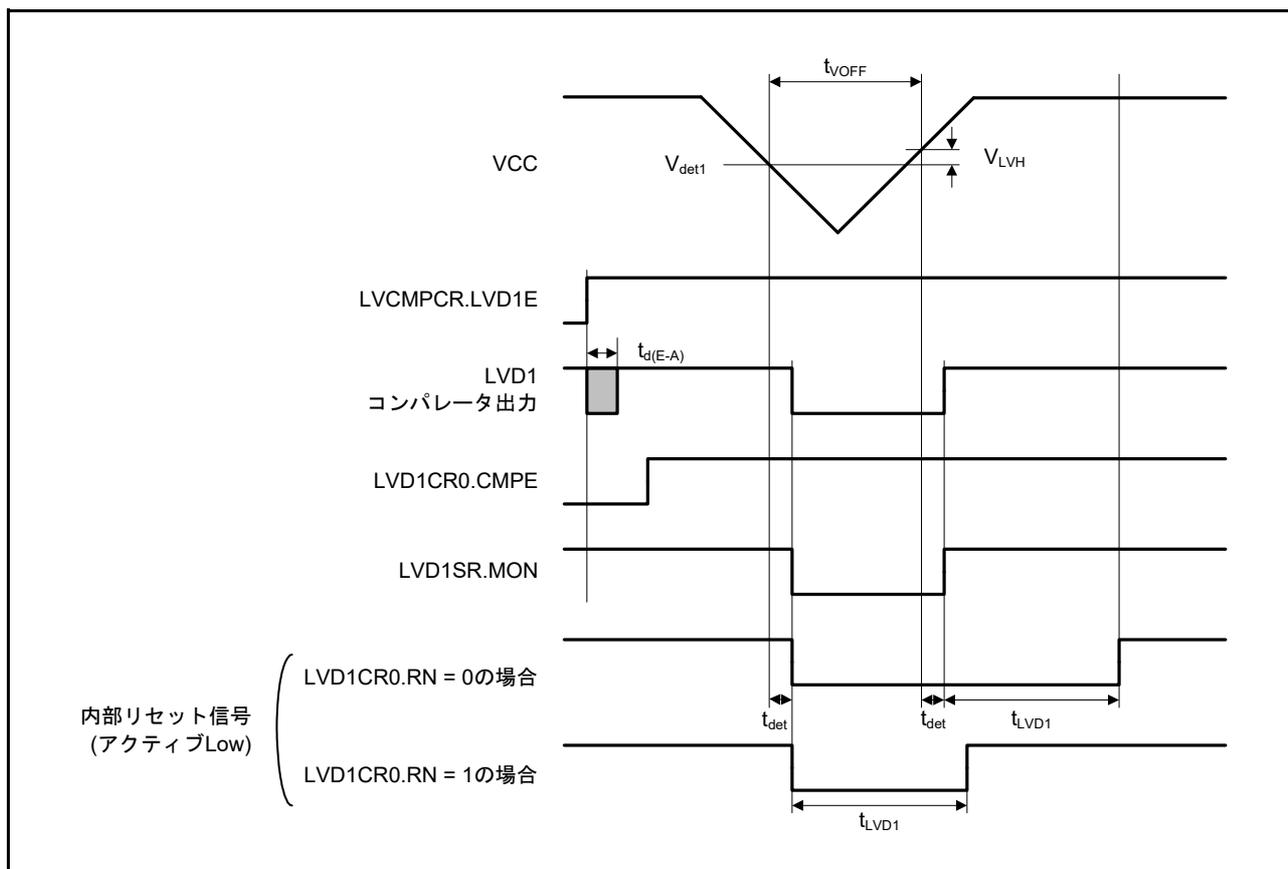


図 6.55 電圧監視 1 回路検知電圧タイミング (V_{det1})

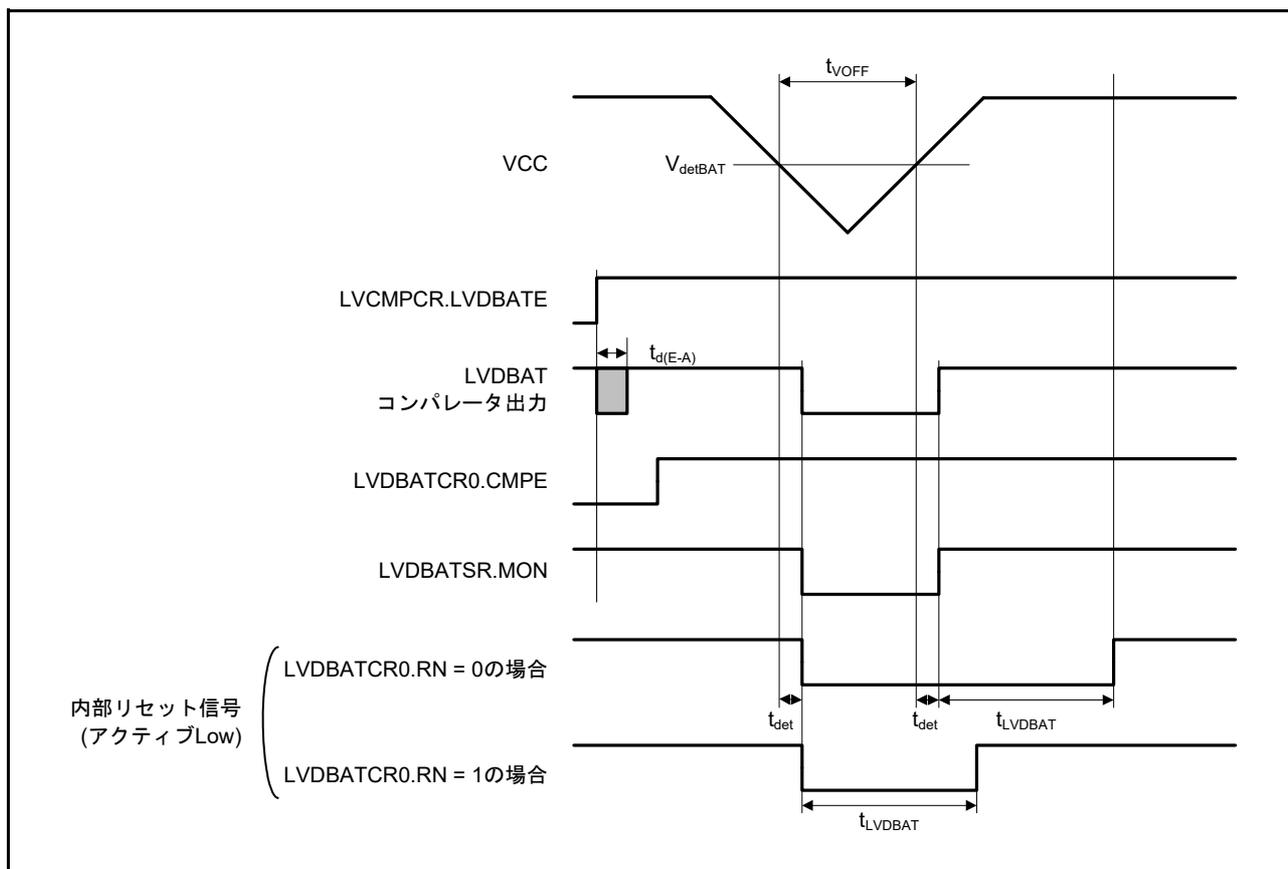


図 6.56 電圧監視 BAT 回路検知電圧タイミング (V_{detBAT})

6.13 EHC 特性

表6.50 EHC特性

項目	記号	Min	Typ	Max	単位	測定条件
リセット中電流	$I_{CC\text{EHC}}$	—	0.02	—	μA	$V_{CC} = V_{SC_VCC} = 0\text{V}$ 、 $V_{CC_SU} = V_{\text{BAT_EHC}} = 2.5\text{V}$ $T_a = 25^\circ\text{C}$
VCC_SU側蓄電用コンデンサ容量値(注1)(注3)	$C_{VCC\text{SU}}$	—	100	—	μF	EHMD = 1 $T_a = -40 \sim 60^\circ\text{C}$
		—	47	—		EHMD = 0 $T_a = -40 \sim 50^\circ\text{C}$
		—	150	—		EHMD = 1 $T_a = -40 \sim 85^\circ\text{C}$
VCC側平滑コンデンサ容量値(注1)	C_{VCC}	—	10	—		$T_a = -40 \sim 85^\circ\text{C}$
VSC_VCCからデバイス内部へ流せる電流 (2.6Vの二次電池使用時)	I_{SC}	—	—	10	mA	$V_{SC_VCC} \leq 3.6\text{V}$
VSC_VCCからデバイス内部へ流せる電流 (3.0Vの二次電池使用時)		—	—	6	mA	$V_{SC_VCC} \leq 3.6\text{V}$
VBAT_EHCからIOVCCn(注2)へ流せる電流	I_{VBAT}	—	—	30	mA	—
VCC/IOVCCからIOVCCn(注2)へ流せる電流	I_{VCC}	—	—	30	mA	—
VBAT_EHC側出カインピーダンス許容値	R_{VBAT}	—	—	10	Ω	$V_{SC_VCC} \leq 3.6\text{V}$
二次電池充電保護VBAT側しきい値電圧 (2.6Vの二次電池使用時)	VBAT_CHG	2.535	2.585	2.635	V	$I_{SC} = 3\mu\text{A} \sim 10\text{mA}$ 、 $V_{SC_VCC} = V_{\text{BAT_EHC}}$
二次電池充電保護VBAT側しきい値電圧 (3.0Vの二次電池使用時)	VBAT_CHG	2.925	2.975	3.025	V	$I_{SC} = 3\mu\text{A} \sim 6\text{mA}$ 、 $V_{SC_VCC} = V_{\text{BAT_EHC}}$
二次電池充電保護VCC側しきい値電圧	VCC_CHG	2.925	2.975	3.025	V	$I_{SC} = 3\mu\text{A} \sim 10\text{mA}$ 、 $V_{SC_VCC} = V_{CC}$
EHCコンデンサ充電高速起動H側しきい値電圧 (2.6Vの二次電池使用時)	VCC_SU_H	—	2.62	—	V	$V_{SC_VCC} = V_{CC}$ で、 VCC上昇時
EHCコンデンサ充電高速起動L側しきい値電圧 (2.6Vの二次電池使用時)	VCC_SU_L	—	2.32	—	V	$V_{SC_VCC} = V_{CC}$ で、 VCC下降時
EHCコンデンサ充電高速起動H側しきい値電圧 (3.0Vの二次電池使用時)	VCC_SU_H	—	2.83	—	V	$V_{SC_VCC} = V_{CC}$ で、 VCC上昇時
EHCコンデンサ充電高速起動L側しきい値電圧 (3.0Vの二次電池使用時)	VCC_SU_L	—	2.51	—	V	$V_{SC_VCC} = V_{CC}$ で、 VCC下降時
エナジーハーベスト起動モード時の起動しきい値電圧	VCC_SU_H	—	2.62	—	V	$I_{SC} = 3\mu\text{A} \sim 10\text{mA}$
発電ステータスフラグしきい値電圧	V_{ENOUT}	—	0.5	—	V	$V_{CC_SU} = 2.5\text{V}$
エナジーハーベスト起動モード時に必要な最小起動電流	I_{SC}	—	3	—	μA	$T_a = 25^\circ\text{C}$ 、 V_{CC_SU} に 100 μF とVCCに10 μF の コンデンサを接続

注1. ユーザーズマニュアルハードウェア編の図13.1を参照してください。

注2. IOVCCnはIOVCC0, IOVCC1, IOVCC2, IOVCC3を示します。

注3. 温度上限とVCC_SU側蓄電用コンデンサ容量値の関係を図6.58に示します。
使用温度に対して容量値が不足する場合、図6.59で示す起動電流が必要となります。

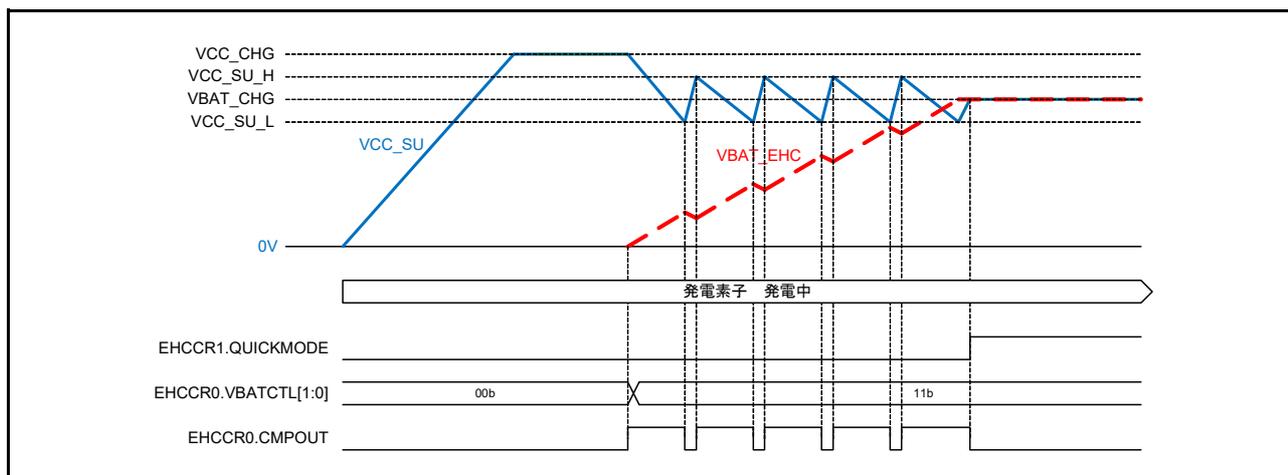


図 6.57 EHC コンデンサ充電高速起動機能期間中の VBAT_EHC 端子充電動作

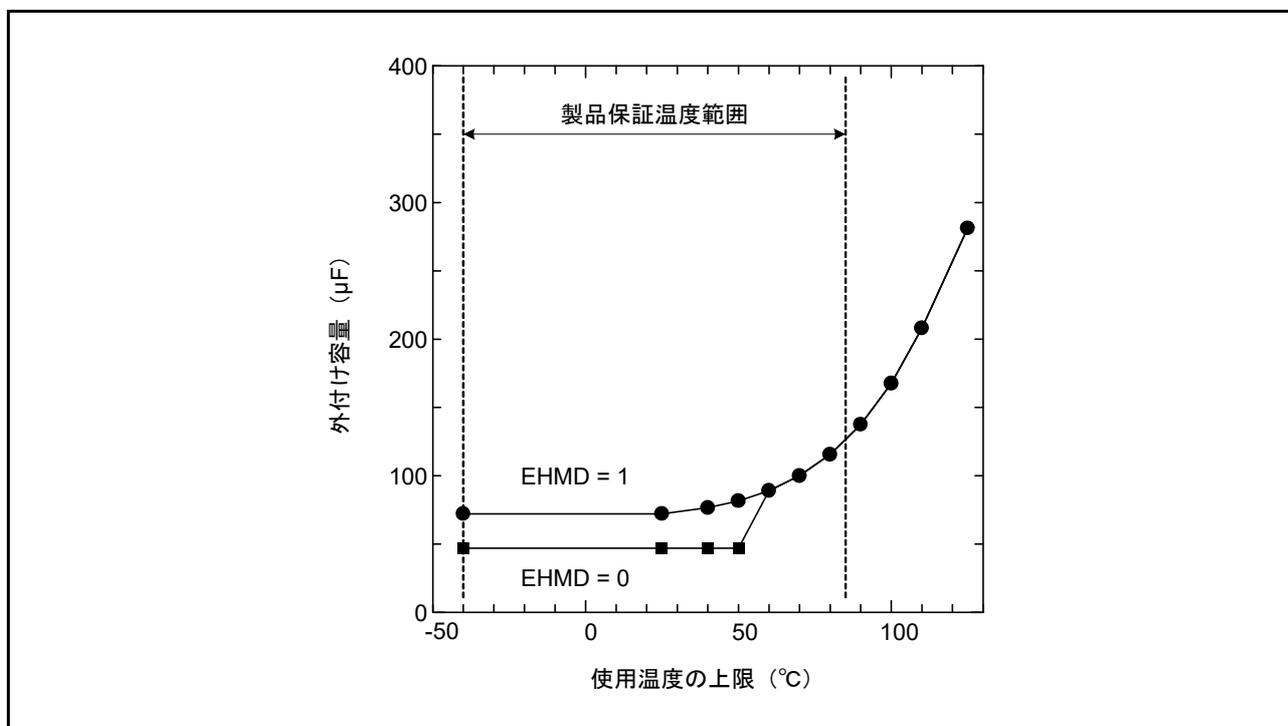


図 6.58 温度上限と VCC_SU 側蓄電用コンデンサ容量値の関係

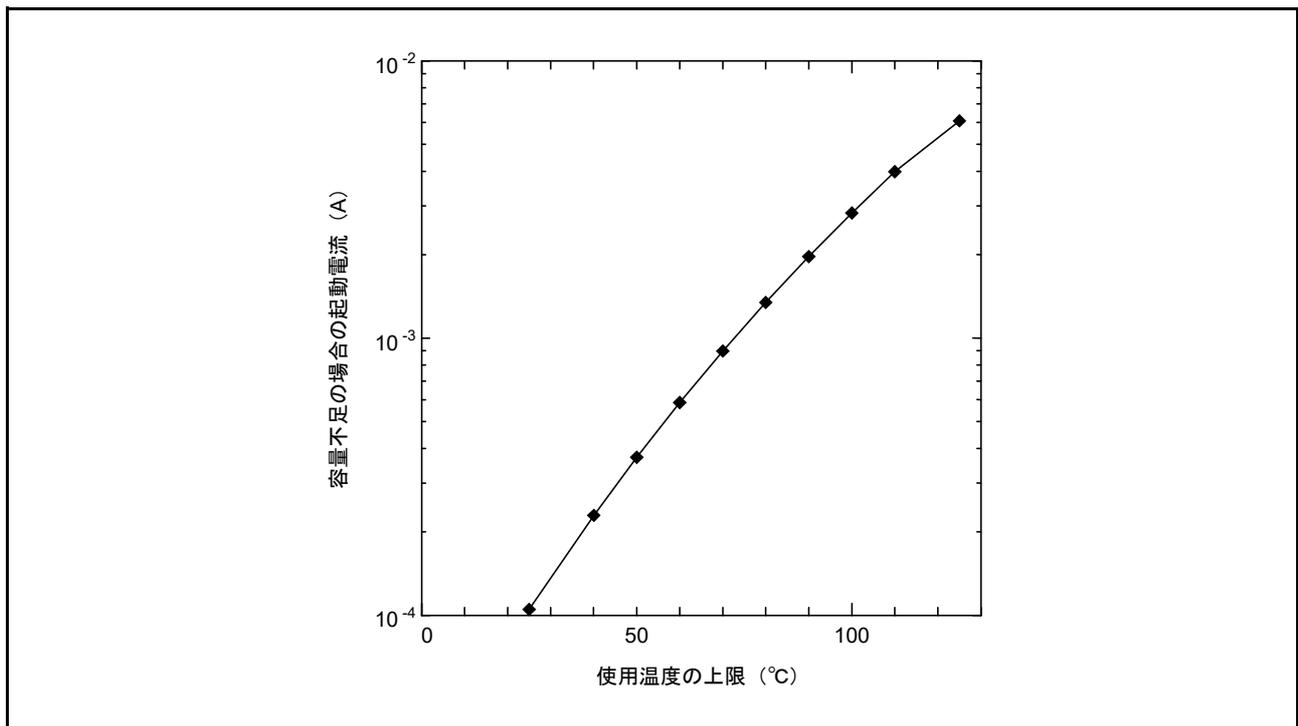


図 6.59 温度上限と容量不足の場合の起動電流の関係

6.14 バックバイアス電圧制御 (VBBC) 回路特性

表6.51 VBBC回路初期セットアップ時間

項目	記号	Min	Typ	Max	単位	測定条件
VBBC回路初期セットアップ時間(注1)	$t_{VBBSTUP}$	—	300(注2)	600(注2)(注3)	ms	図6.60
内部電圧ディスチャージ時間	t_{VBBDIS}	1	—	—	ms	図6.61

注1. VBBCR.VBBENビットに1を書いた後からVBBST.VBBSTUP = 1が読めるまでの時間です。

注2. VBP、VBN端子に接続される平滑コンデンサが $1.0\mu\text{F}\pm 20\%$ の場合の時間です。

注3. バックバイアス電圧制御回路特性は、出荷検査を実施しないため参考値です。

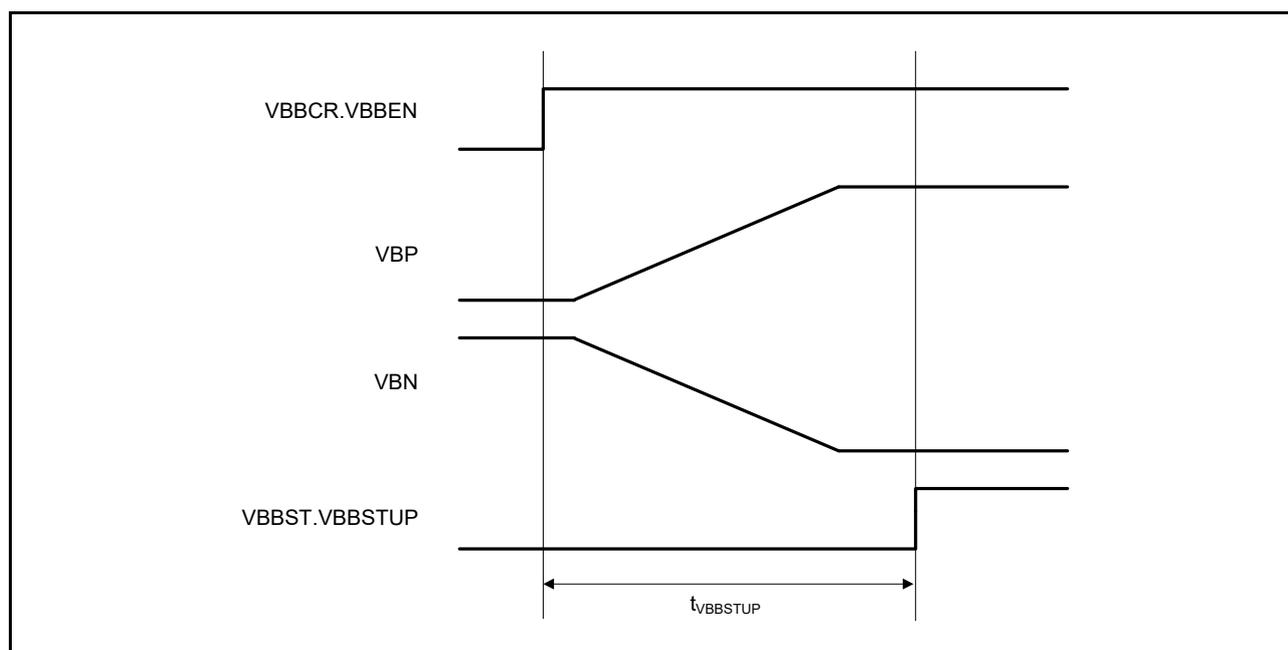


図 6.60 VBBC 回路初期セットアップタイミング

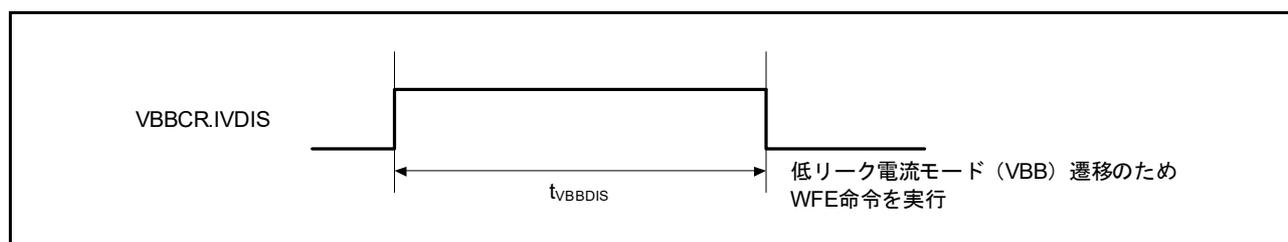


図 6.61 内部電圧ディスチャージ時間

6.15 MTDV 特性

表6.52 回転検出に関する特性

項目	記号	Min	Typ	Max	単位	測定条件
しきい値電圧1 (回転検出)	V _{THP1}	1.0	—	1.3	V	T _a = -40 ~ +85°C IOVCC1 = 1.65 ~ 3.6V
しきい値電圧2 (磁場検出)	V _{THP2}	0.42 × IOVCC1	—	0.54 × IOVCC1	V	T _a = -10 ~ +60°C IOVCC1 = 1.8 ~ 3.4V

表6.53 駆動波形用ディレイ特性

項目	記号	Min	Typ	Max	単位	測定条件
入力信号遅延時間1	t _{DELAY1}	6.00	7.60	9.20	μs	T _a = -10 ~ +60°C

注. 本特性はディレイセル1個分の遅延量です。実際に使用されたディレイセルの個数は、PM1STA.PM1BIT[3:0]ビットで確認できます。

表6.54 VPM特性 (1 / 2)

条件: T_a = -20°C ~ +60°C

項目	記号	Min	Typ	Max	単位	測定条件
出力電圧1	VPM	1.57	—	1.63	V	IOVCC1 = 1.65 ~ 3.6V VPM-VSS = 2mA VPMCON.VPMAS[2:0] = 000b (VPM端子出力電圧1.6V選択) VPMCON.VPMENA = 1 (VPM端子から強制電圧出力) VPMCON.VSYSSEL = 0 (VPM電源駆動)
		1.87	—	1.93	V	IOVCC1 = 1.95 ~ 3.6V VPM-VSS = 2mA VPMCON.VPMAS[2:0] = 001b (VPM端子出力電圧1.9V選択) VPMCON.VPMENA = 1 (VPM端子から強制電圧出力) VPMCON.VSYSSEL = 0 (VPM電源駆動)
		1.97	—	2.03	V	IOVCC1 = 2.05 ~ 3.6V VPM-VSS = 2mA VPMCON.VPMAS[2:0] = 010b (VPM端子出力電圧2.0V選択) VPMCON.VPMENA = 1 (VPM端子から強制電圧出力) VPMCON.VSYSSEL = 0 (VPM電源駆動)
		2.07	—	2.13	V	IOVCC1 = 2.15 ~ 3.6V VPM-VSS = 2mA VPMCON.VPMAS[2:0] = 011b (VPM端子出力電圧2.1V選択) VPMCON.VPMENA = 1 (VPM端子から強制電圧出力) VPMCON.VSYSSEL = 0 (VPM電源駆動)
		2.17	—	2.23	V	IOVCC1 = 2.25 ~ 3.6V VPM-VSS = 2mA VPMCON.VPMAS[2:0] = 100b (VPM端子出力電圧2.2V選択) VPMCON.VPMENA = 1 (VPM端子から強制電圧出力) VPMCON.VSYSSEL = 0 (VPM電源駆動)

表6.54 VPM特性 (2 / 2)
条件 : $T_a = -20^{\circ}\text{C} \sim +60^{\circ}\text{C}$

項目	記号	Min	Typ	Max	単位	測定条件
出力電圧1	VPM	2.27	—	2.33	V	IOVCC1 = 2.35 ~ 3.6V VPM-VSS = 2mA VPMCON.VPMAS[2:0] = 101b (VPM端子出力電圧2.3V選択) VPMCON.VPMENA = 1 (VPM端子から強制電圧出力) VPMCON.VSYSEL = 0 (VPM電源駆動)
		2.37	—	2.43	V	IOVCC1 = 2.45 ~ 3.6V VPM-VSS = 2mA VPMCON.VPMAS[2:0] = 110b (VPM端子出力電圧2.4V選択) VPMCON.VPMENA = 1 (VPM端子から強制電圧出力) VPMCON.VSYSEL = 0 (VPM電源駆動)
		2.47	—	2.53	V	IOVCC1 = 2.55 ~ 3.6V VPM-VSS = 2mA VPMCON.VPMAS[2:0] = 111b (VPM端子出力電圧2.5V選択) VPMCON.VPMENA = 1 (VPM端子から強制電圧出力) VPMCON.VSYSEL = 0 (VPM電源駆動)
温度特性1	Δ_{TVPM1}	-0.25	—	+0.75	mV/°C	IOVCC1 = 1.65 ~ 3.6V VPMCON.VPMAS[2:0] = 000b (VPM端子出力電圧1.6V選択)
温度特性2	Δ_{TVPM2}	-0.5	—	+1.0	mV/°C	IOVCC1 = (VPM端子出力電圧選択値 + 0.05V) ~ 3.6V

6.16 フラッシュメモリ特性

6.16.1 コードフラッシュメモリ特性

表6.55 コードフラッシュメモリ特性 (1)

項目	記号	Min	Typ	Max	単位	測定条件
再プログラム/イレーズサイクル(注1)	N _{PEC}	10000	—	—	回	JEDEC準拠
データ保持時間	t _{DRP}	10	—	—	年	

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回の場合、ブロックごとにそれぞれn回ずつ消去することができます。たとえば、2Kバイトのブロックについて、それぞれ異なる番地に8バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

表6.56 コードフラッシュメモリ特性 (2)

項目		記号	ICLK = 1MHz			ICLK = 32MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8バイト	t _{P8}	—	5.0	6.0	—	5.0	6.0	ms
	256バイト	t _{P256}	—	5.0	6.0	—	5.0	6.0	ms
イレーズ時間	4Kバイト	t _{E4K}	—	10.0	12.0	—	10.0	12.0	ms
プログラム中の1回目のサスペンド遅延時間		t _{SPD1}	—	—	0.2	—	—	0.1	ms
プログラム中の2回目以降のサスペンド遅延時間		t _{SPD2}	—	—	2.4	—	—	2.0	ms
イレーズ中の1回目のサスペンド遅延時間		t _{SED1}	—	—	0.2	—	—	0.1	ms
イレーズ中の2回目以降のサスペンド遅延時間		t _{SED2}	—	—	2.4	—	—	2.0	ms
強制終了コマンド		t _{FD}	—	—	0.2	—	—	0.1	ms

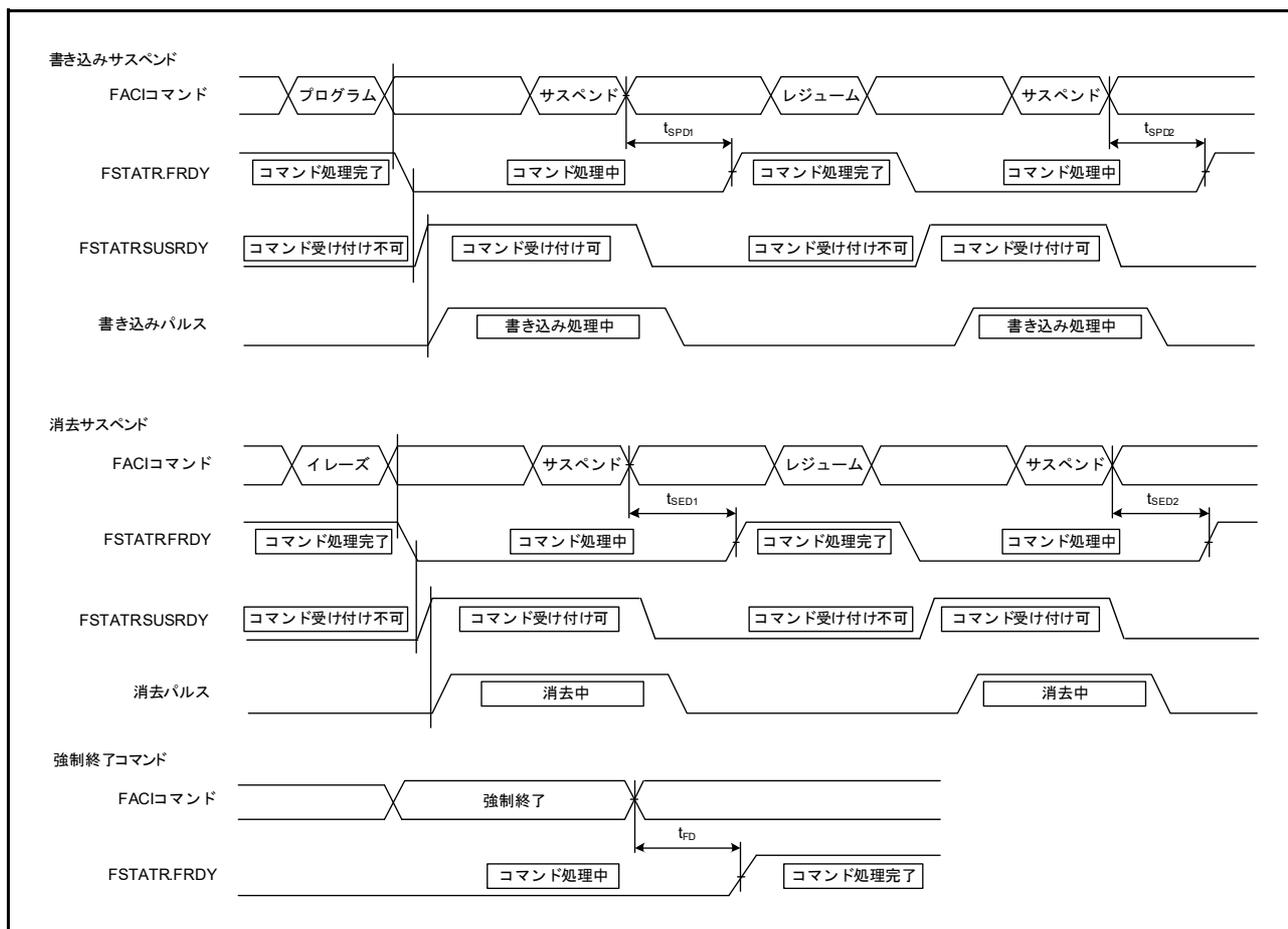


図 6.62 コードフラッシュメモリ書き込みサスペンド、消去サスペンド、強制終了コマンドタイミング

6.17 バウンダリスキャン特性

表6.57 バウンダリスキャン特性

条件：PmnPFSレジスタのポート駆動能力ビットで高駆動出力を選択

項目	記号	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図6.63
TCKクロックHighレベルパルス幅	t_{TCKH}	43	—	—	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	43	—	—	ns	
TCK立ち上がり時間	t_{TCKr}	—	—	7	ns	
TCK立ち下がり時間	t_{TCKf}	—	—	7	ns	
TMSセットアップ時間	t_{TMSS}	15	—	—	ns	図6.64
TMSホールド時間	t_{TMSh}	15	—	—	ns	
TDIセットアップ時間	t_{TDis}	15	—	—	ns	
TDIホールド時間	t_{TDIH}	15	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	100	ns	

注. ノーマルモード (High-Speedモード) です。

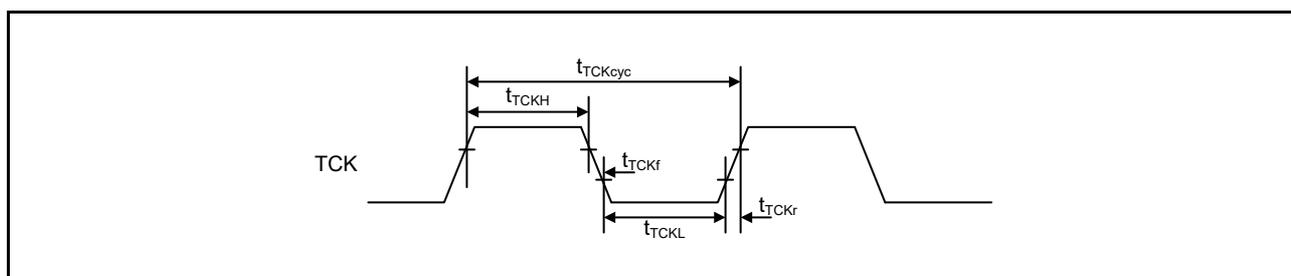


図 6.63 バウンダリスキャン TCK タイミング

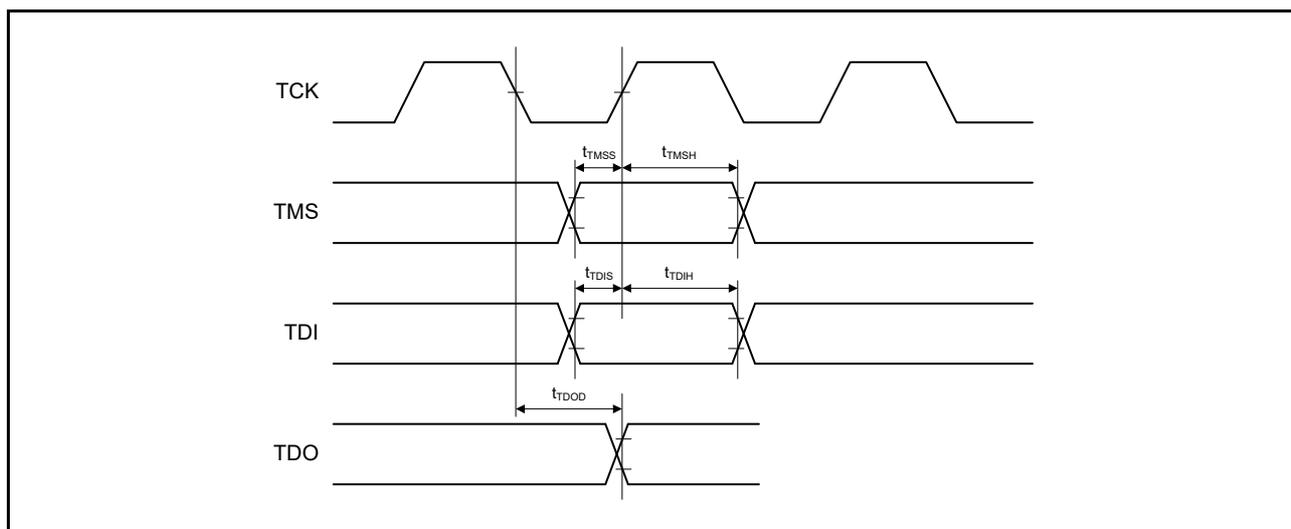


図 6.64 バウンダリスキャン入出力タイミング

6.18 シリアルワイヤデバッグ (SWD) 特性

表6.58 SWD特性
条件 : VCC = AVCC0 = 1.62~3.6V

項目	記号	Min	Typ	Max	単位	測定条件	
NORMAL	SWCLKクロックサイクル時間	$t_{SWCKcyc}$	80	—	—	ns	図6.65
	SWCLKクロックHighレベルパルス幅	t_{SWCKH}	$t_{SWCKcyc} \times 0.5 - t_{SWCKr}$	—	—	ns	
	SWCLKクロックLowレベルパルス幅	t_{SWCKL}	$t_{SWCKcyc} \times 0.5 - t_{SWCKf}$	—	—	ns	
	SWCLK立ち上がり時間	t_{SWCKr}	—	—	7	ns	
	SWCLK立ち下がり時間	t_{SWCKf}	—	—	7	ns	
	SWDIOセットアップ時間	t_{SWDS}	$t_{SWCKcyc} \times 0.2$	—	—	ns	図6.66
	SWDIOホールド時間	t_{SWDH}	$t_{SWCKcyc} \times 0.2$	—	—	ns	
	SWDIOデータ遅延時間	t_{SWDD}	2	—	50	ns	
VBB	SWCLKクロックサイクル時間	$t_{SWCKcyc}$	30000	—	—	ns	図6.65
	SWCLKクロックHighレベルパルス幅	t_{SWCKH}	$t_{SWCKcyc} \times 0.5 - t_{SWCKr}$	—	—	ns	
	SWCLKクロックLowレベルパルス幅	t_{SWCKL}	$t_{SWCKcyc} \times 0.5 - t_{SWCKf}$	—	—	ns	
	SWCLK立ち上がり時間	t_{SWCKr}	—	—	7	ns	
	SWCLK立ち下がり時間	t_{SWCKf}	—	—	7	ns	
	SWDIOセットアップ時間	t_{SWDS}	1000	—	—	ns	図6.66
	SWDIOホールド時間	t_{SWDH}	1000	—	—	ns	
	SWDIOデータ遅延時間	t_{SWDD}	2	—	1000	ns	

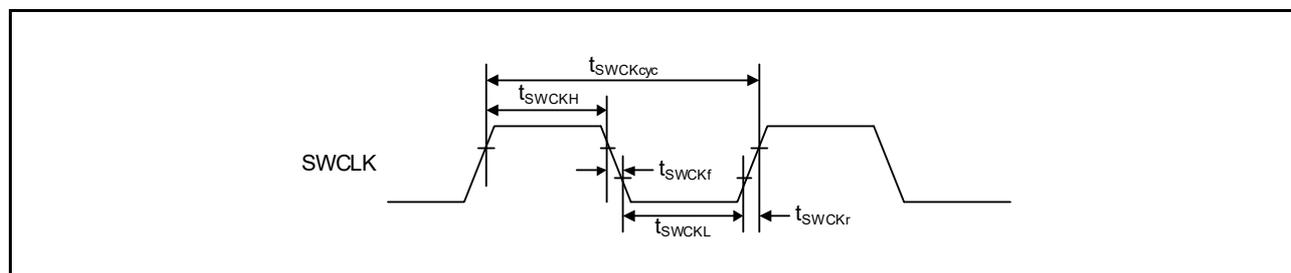


図 6.65 SWD SWCLK タイミング

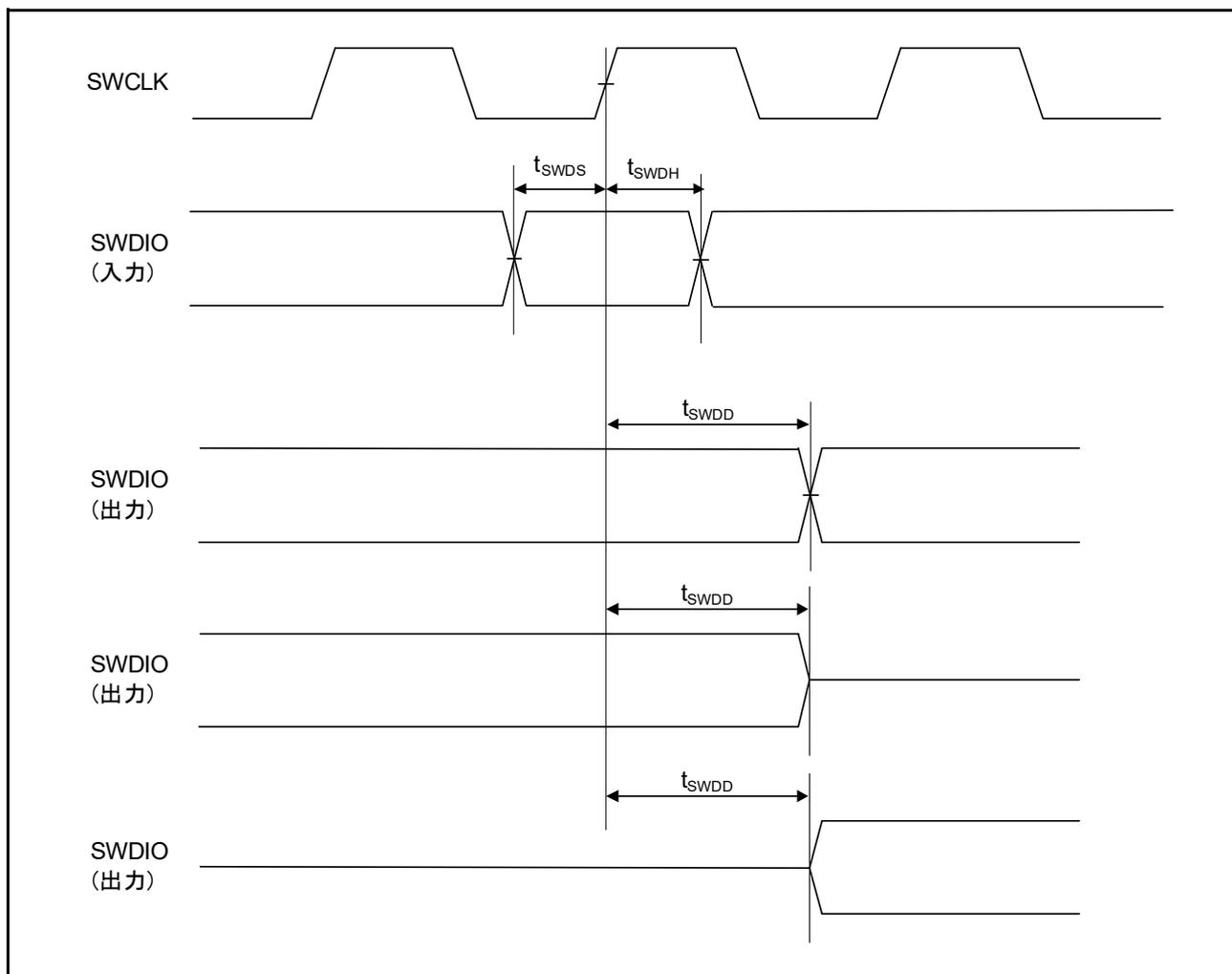


図 6.66 SWD 入出力タイミング

付録A. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に記載されています。

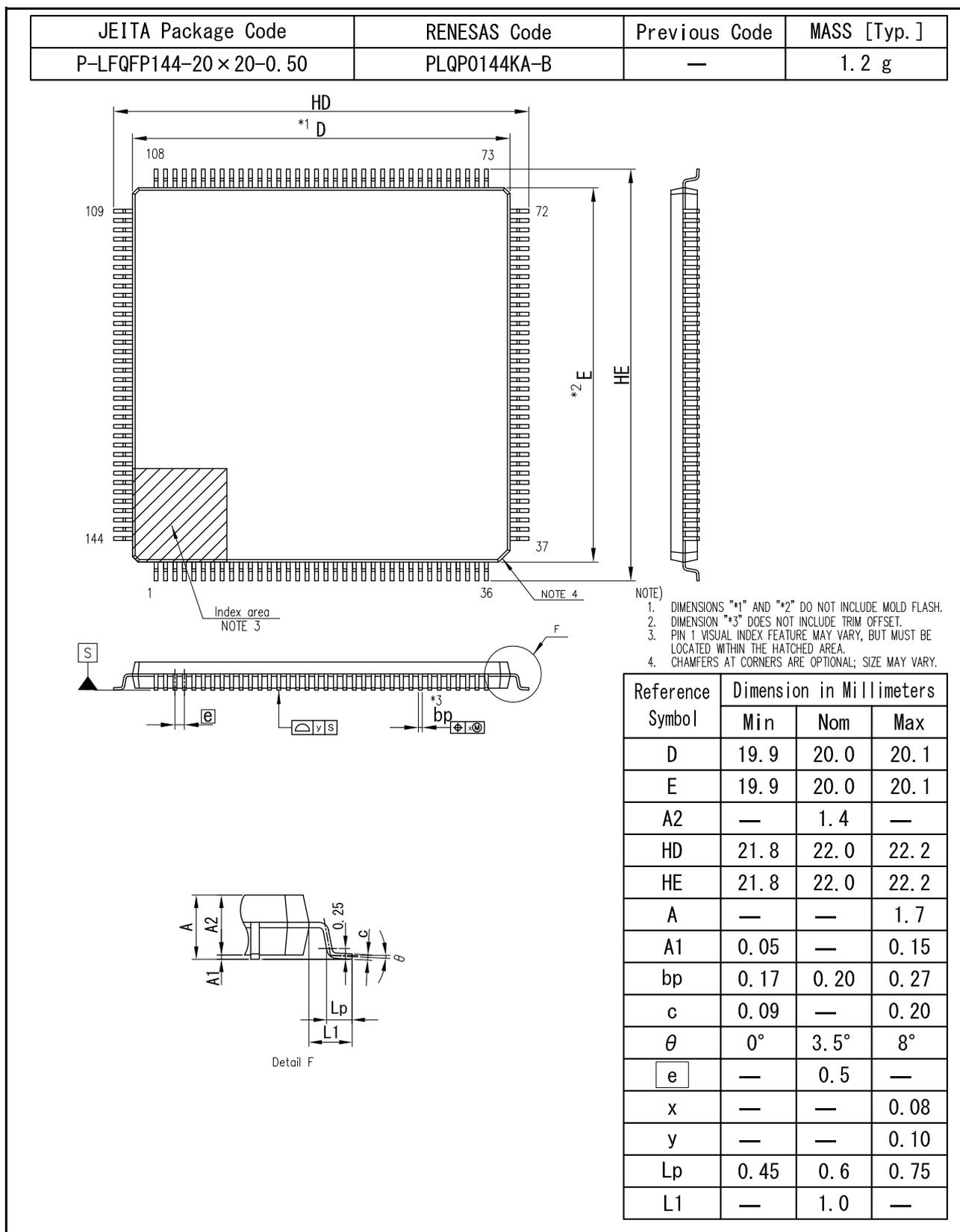


図 A.1 144 ピン LQFP (PLQP0144KA-B)

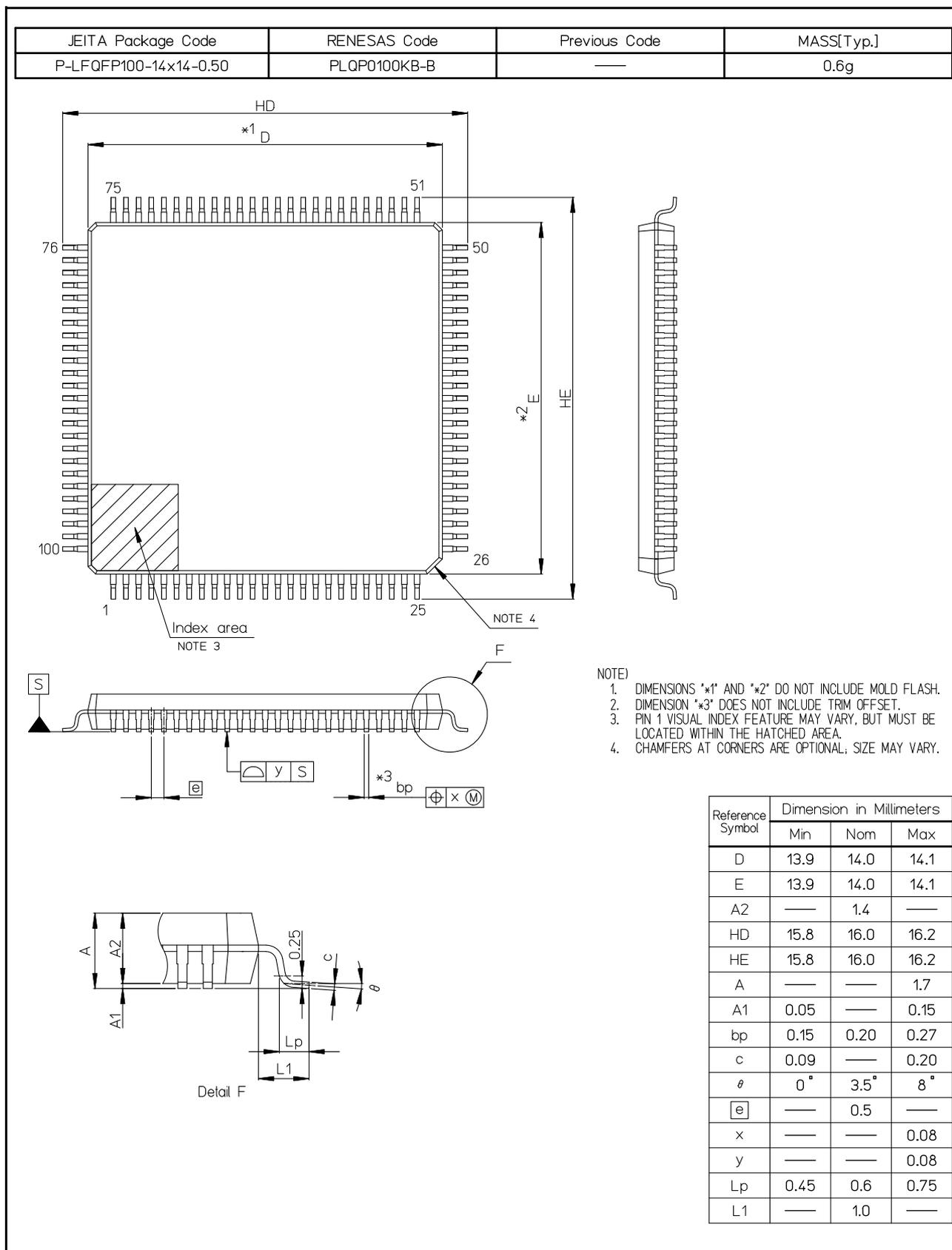


図 A.2 100ピン LQFP (PLQP0100KB-B)

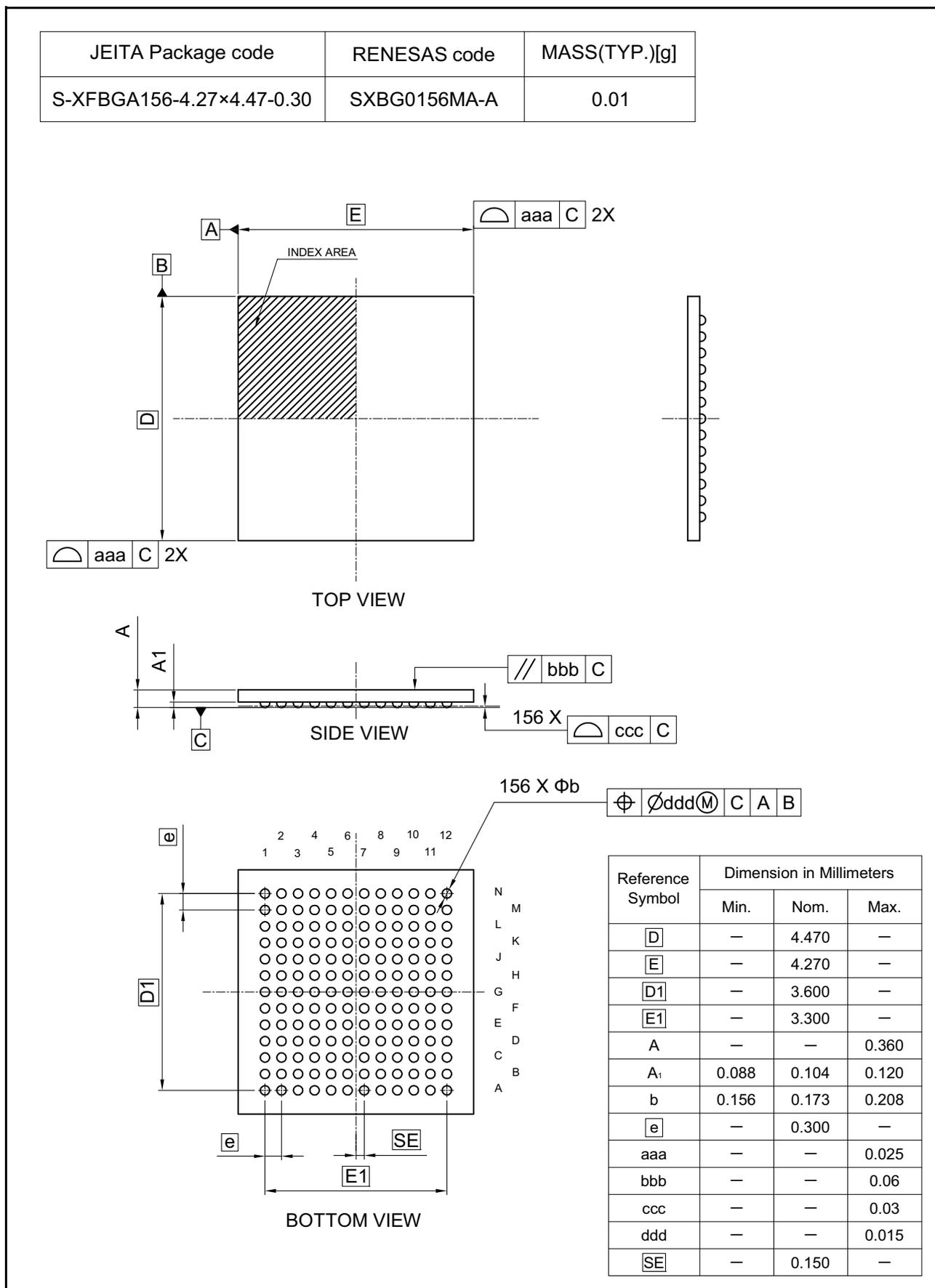


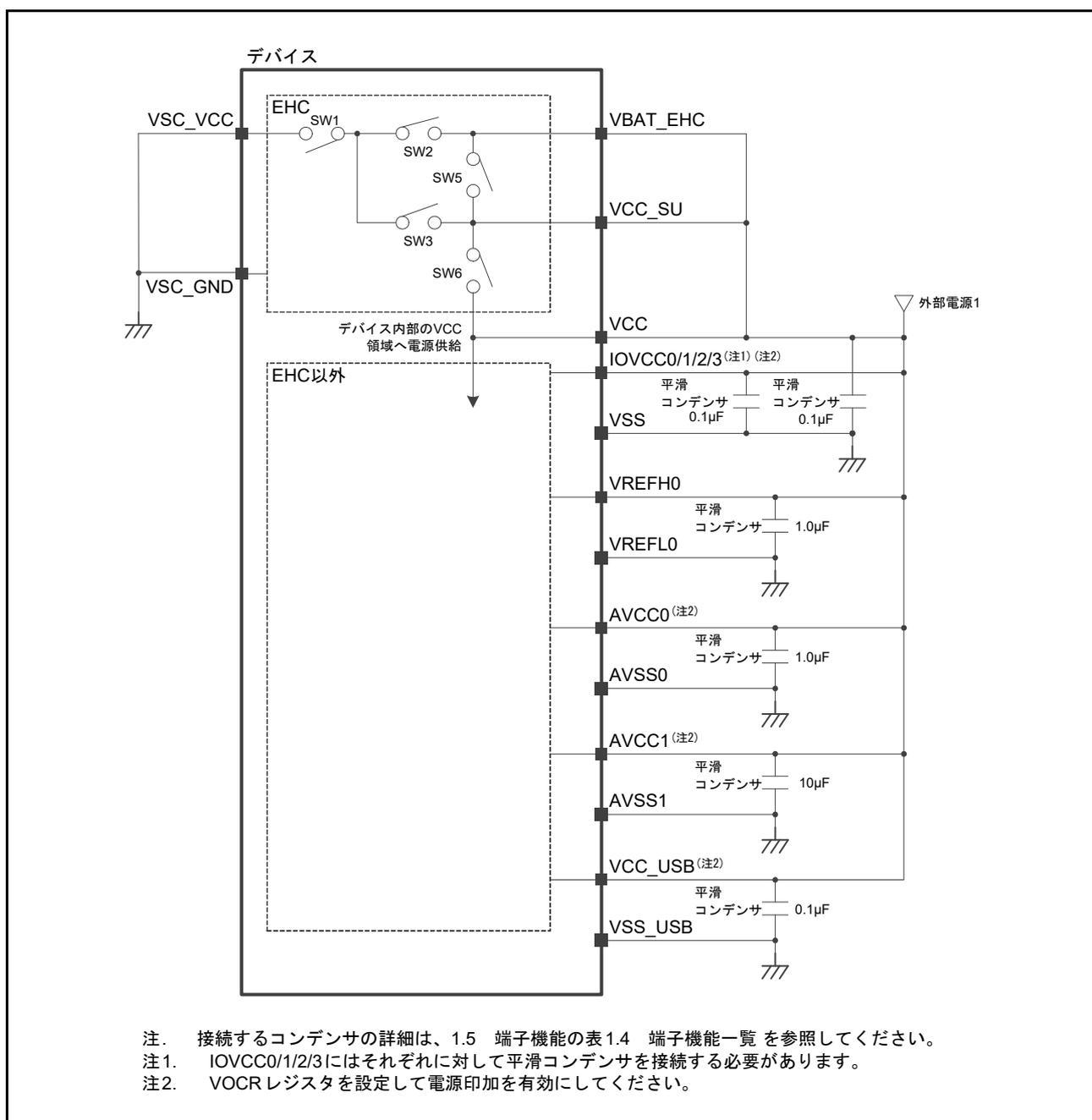
図 A.3 156ピンWLBGA (SXBG0156MA-A)

付録B. コンデンサの接続方法

電源端子は、GNDとの間に端子近傍に配置した平滑コンデンサを介して接続する必要があります。この章では、代表的な複数の接続例を示します。なお、電源オープン制御レジスタ（VOCR）を設定することで、外部から印加した電源を有効にできます。また、外来ノイズが多い環境では、外来ノイズへの耐性と回路の安定動作を向上させるために、接続例に加えて、電流源の近傍に任意で10 μ Fの平滑コンデンサを挿入してください。詳細は、1. 概要（Overview）1.5 端子機能 表1.4を参照してください。

B.1 通常起動モード時の接続例（1）

EHCを使用しない通常起動モードで、外部電源が1個の場合の接続例を図B.1に示します。



図B.1 通常起動モード時の接続例1

B.2 通常起動モード時の接続例 (2)

EHCを使用しない通常起動モードで、例えば、MLCDとUSBが独立した外部電源で接続されるような接続例を図B.2に示します。

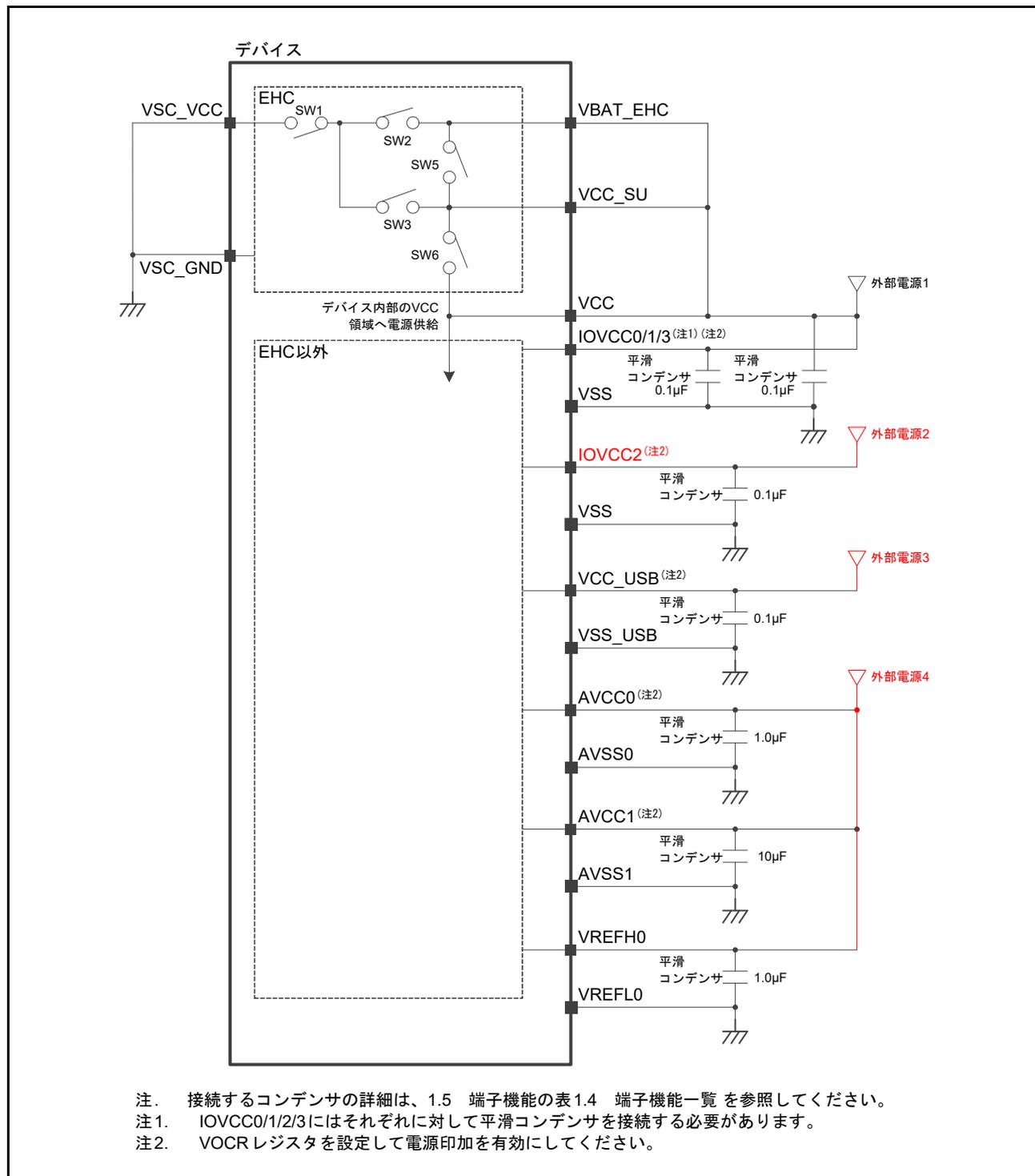
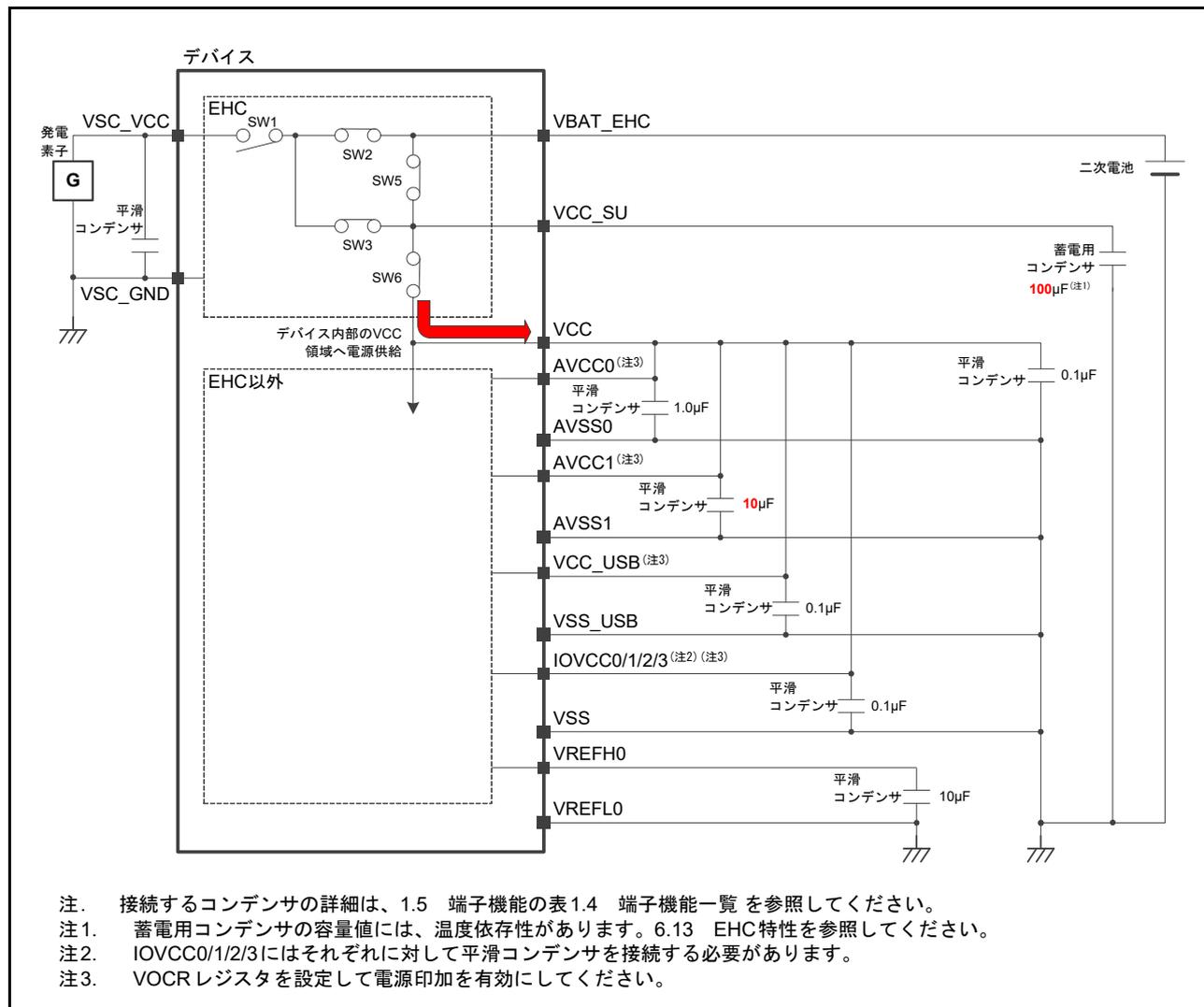


図 B.2 通常起動モード時の接続例 2

B.3 エナジーハーベスト起動モード時の接続例 (1)

EHCを使用したエナジーハーベスト起動モード、かつ、外部電源が存在しない場合で、VREF使用時の接続例を図B.3、AVCC0を基準電圧にした接続例を図B.4に示します。



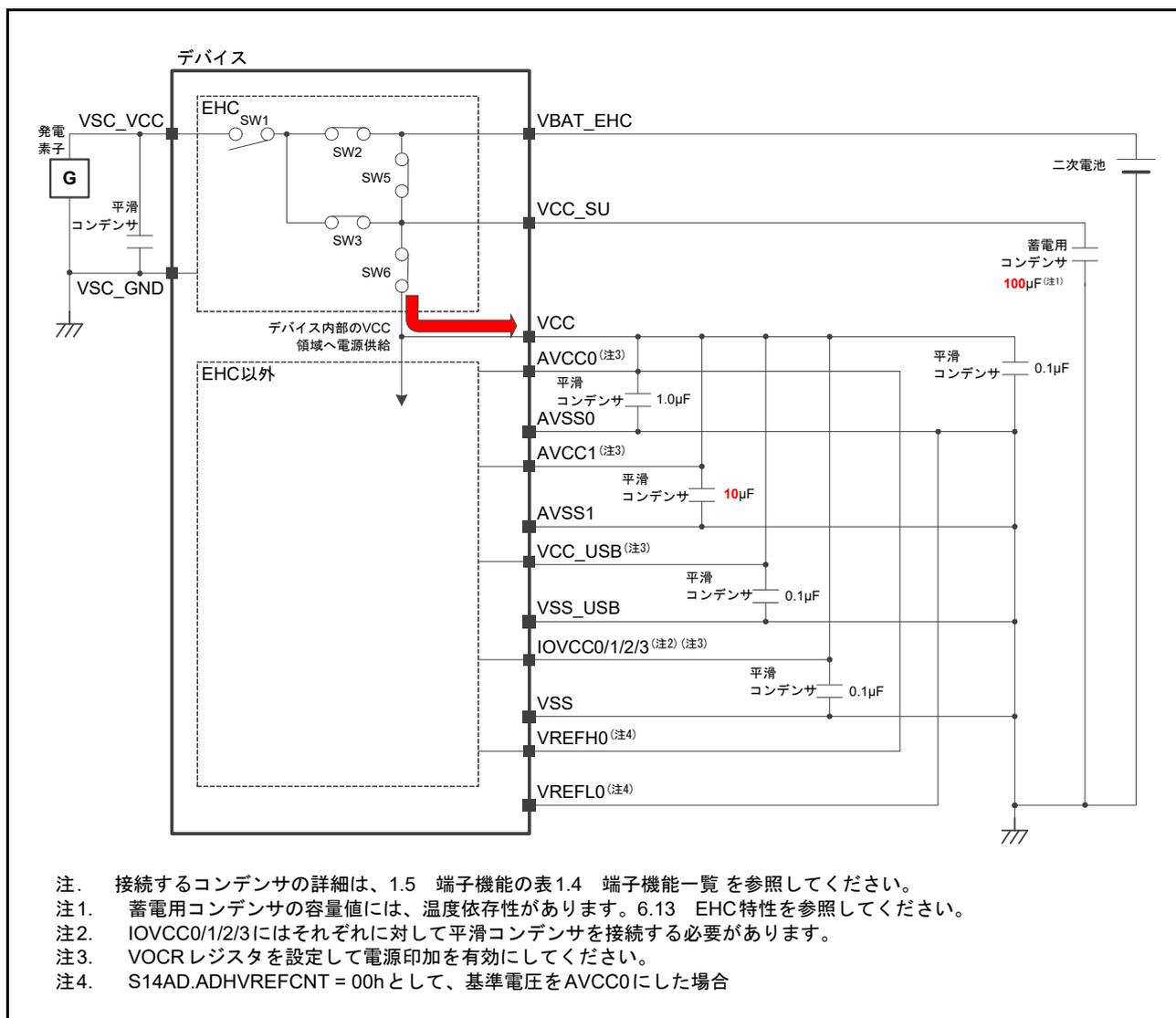
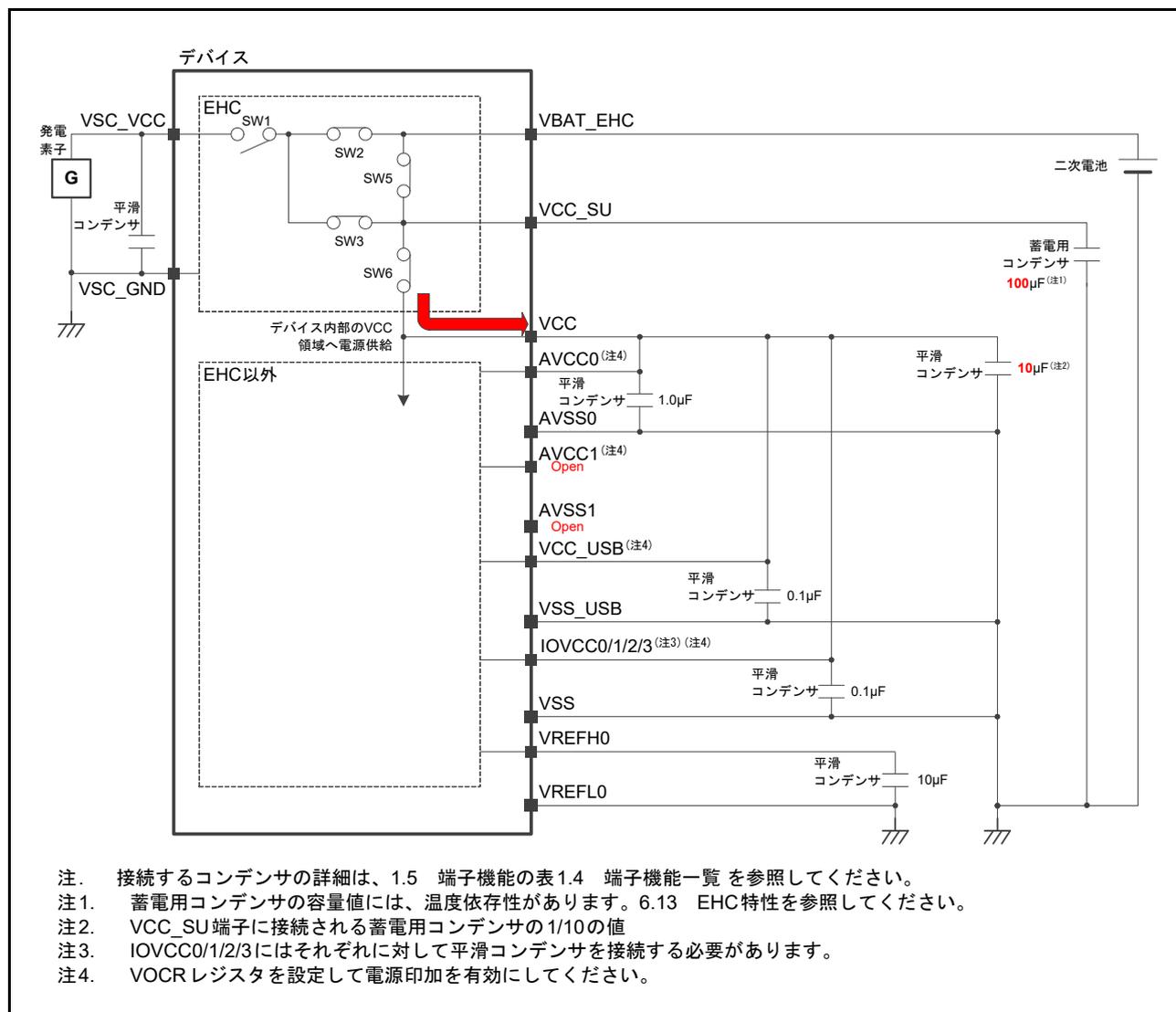


図 B.4 エナジーハーベスト起動モード時の接続例 (1) (AVCC0 が基準電圧の時)

B.4 エナジーハーベスト起動モード時の接続例 (2)

EHCを使用したエナジーハーベスト起動モード、かつ、外部電源が存在しない場合で、さらに、R12DAやACMPを使用しない場合の接続例を図B.5に示します。



B.5 エナジーハーベスト起動モード時の接続例 (3)

EHCを使用したエナジーハーベスト起動モードの場合で、ただし、アナログ用電源とUSB用電源が別に存在する場合の接続例を図B.6、アナログ回路およびUSBをすべて使用しない場合の接続例を図B.7、最小構成例を図B.8にそれぞれ示します。

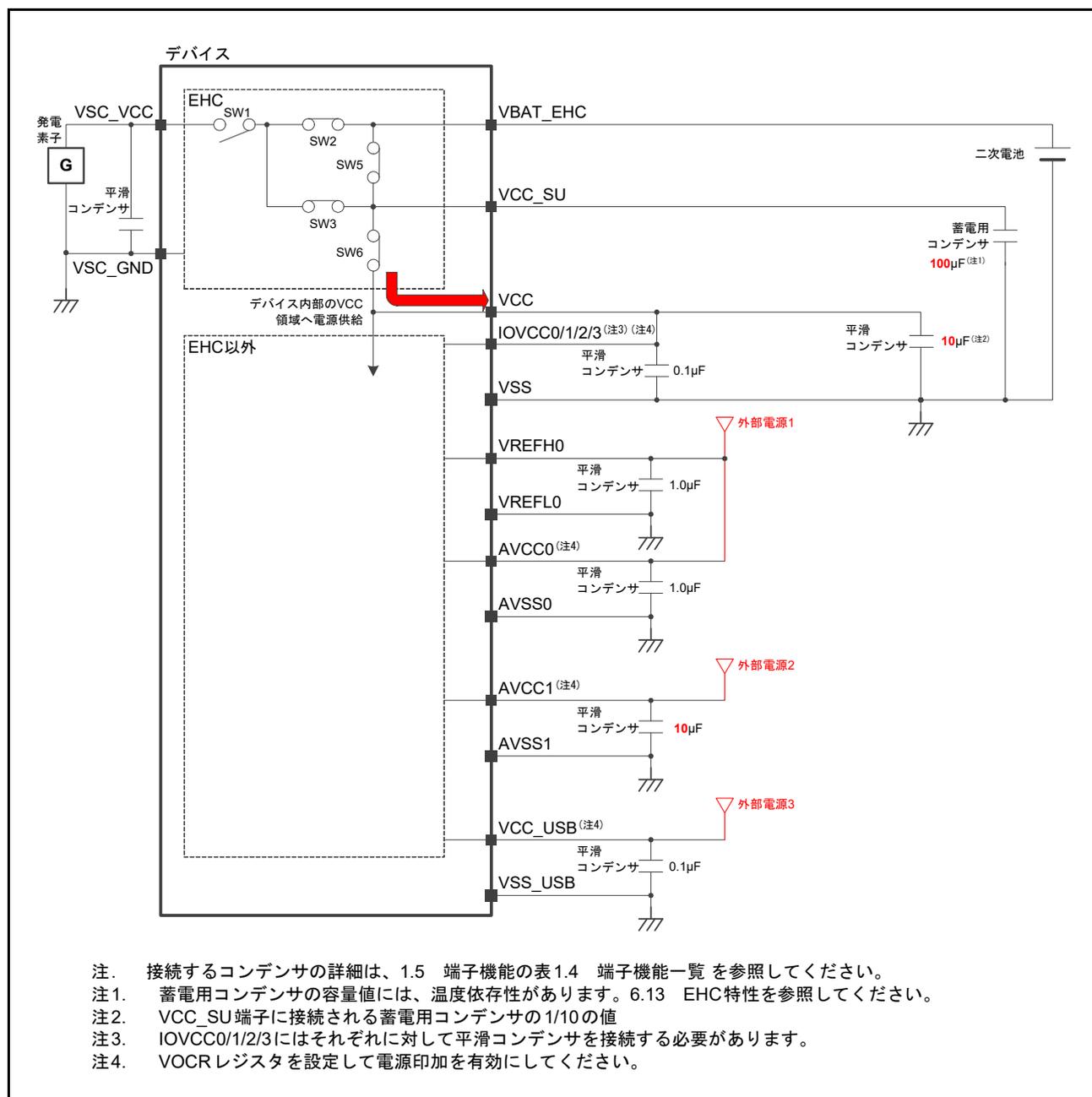


図 B.6 エナジーハーベスト起動モードの接続例 (3) (外部電源も使用する場合 1)

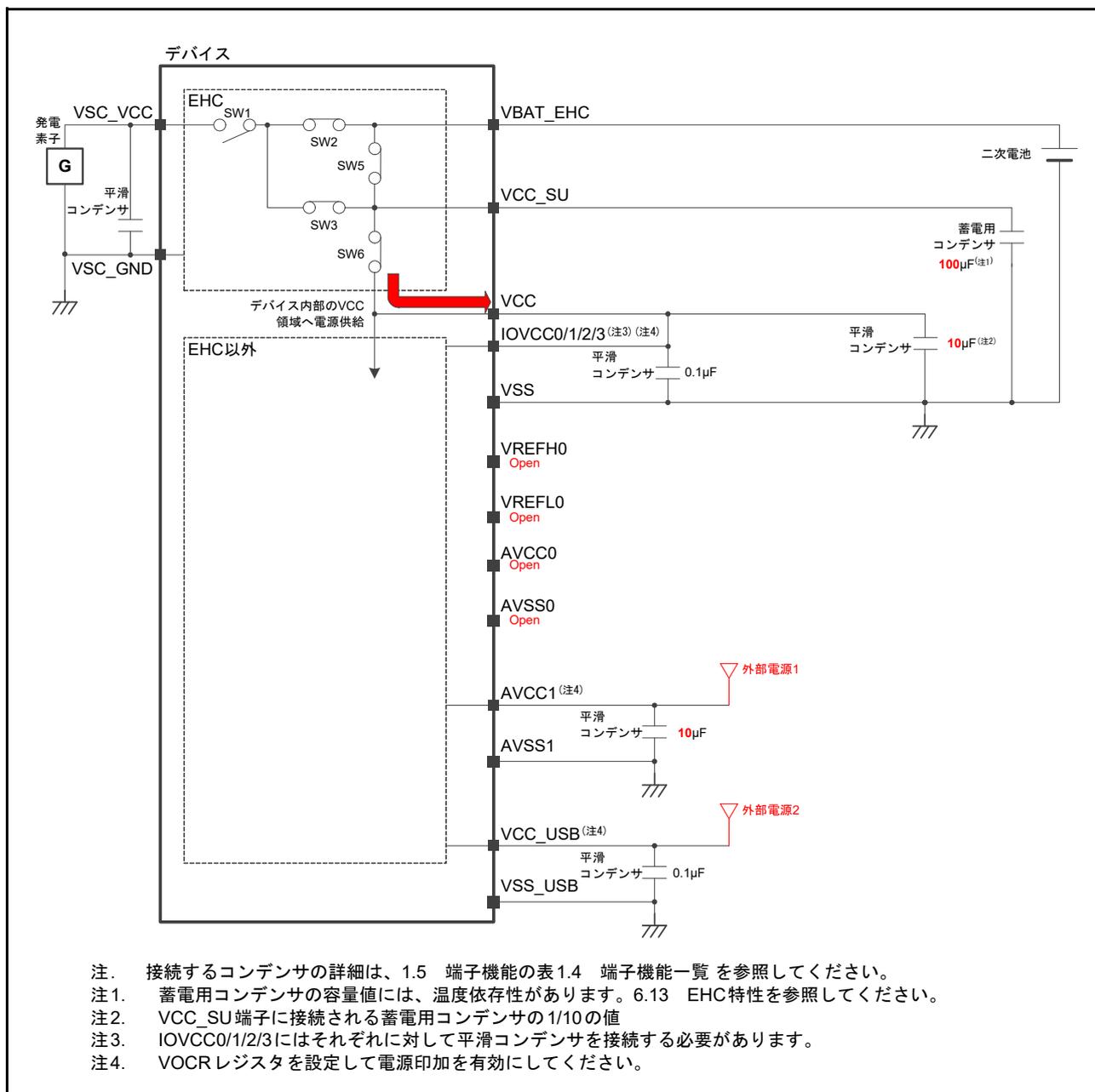


図 B.7 エナジーハーベスト起動モードの接続例 (3) (外部電源も使用する場合 2)

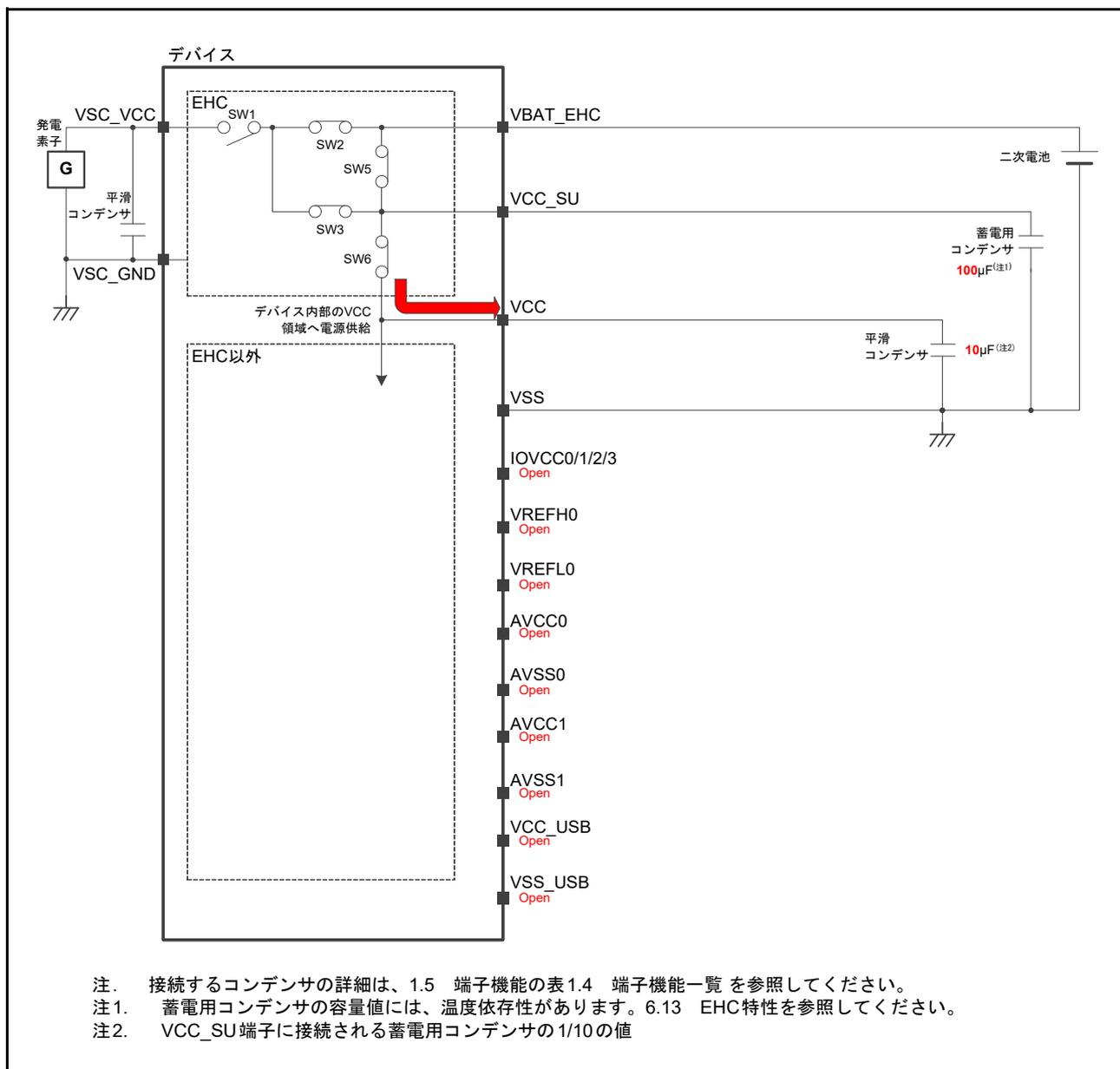


図 B.8 エナジーハーベスト起動モードの接続例 (3) (最小構成例)

改訂記録	RE01 グループ (1.5M バイトフラッシュメモリ搭載製品) データシート
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.09.30	—	初版発行
1.10	2020.05.29	特長	
		1	セキュリティ機能 (オプション) の周辺機能のシンボル: 訂正 • 「TSIP」 → 「TSIP-Lite」
		1. 概要 (Overview)	
		2	表 1.1 仕様概要 (1/9): 修正 • CPUのSysTickタイマの説明を修正 • リセットの説明内の誤記訂正: 「電源監視BATリセット」 → 「電圧監視BATリセット」
		3	表 1.1 仕様概要 (2/9): 修正 • LVDの説明の冒頭の周辺機能名: 「低電圧検出 (LVD)」 → 「低電圧検出回路 (LVD)」
		4	表 1.1 仕様概要 (3/9): 修正 • CACの説明内の用語修正: 「CCCクロック」 → 「CCC2Kクロック」 • MPUの説明内の誤記訂正: 「Arm® MPU: 8MPU領域」 → 「Arm® MPU: 8領域」
		6	表 1.1 仕様概要 (5/9): 修正 • CCCの説明内の表記修正: 「サブクロック 32.768kHz」 → 「サブクロック (32.768kHz)」 • LPGの説明内の表記修正: 「4bit」 → 「4ビット」
		7	表 1.1 仕様概要 (6/9): 修正 • MTDVの説明内の注を削除 • SPIの説明内の誤記訂正: 「SPIClock」 → 「SPI Clock」
		12	表 1.2 製品一覧表: 修正 • PLQP0100KB-Bの2型名およびMLCDのサポート有無を変更
		13	表 1.3 機能比較 (1/2): 修正 • 「端子総数: 100」の2列の型名を変更 • 「汎用I/O数」行を追加 • 「MTDV」行の表現修正: 「3ch」 → 「あり (3ch)」
		14	表 1.3 機能比較 (2/2): 修正 • 「MLCD」行の「端子総数: 100」の2列を修正: 「なし」 → 「あり」
		15	表 1.4 端子機能一覧 (1/5): 修正 • VCC/IOVCC端子の説明の最後に一文追加
		16	表 1.4 端子機能一覧 (2/5): 修正 • AGTEE0, AGTEE1端子の説明の用語修正: 「信号」 → 「端子」
		18	表 1.4 端子機能一覧 (4/5): 修正 • VREFH0/AVTRO端子の説明をVREFH0端子とAVTRO端子それぞれに分離
		19	表 1.4 端子機能一覧 (5/5): 修正 • PM_RES_DRV0端子の説明の用語修正: 「回転検出端子」 → 「逆起電力検出端子」
		24 ~ 38	表 1.5 端子機能別一覧 (144ピンLFQFP) ~ 表 1.7 端子機能別一覧 (WLBGA): 修正 • 「通信」列のSCI関連の機能表記を修正 - 「TXDn_m」 → 「TXDn_m/SSDAn_m/MOSIn_m」 - 「RXDn_m」 → 「RXDn_m/SSCLn_m/MISON_m」 - 「CTSn_m」 → 「CTSn_m/RTSn_m/SSn_m」
		29 ~ 32	表 1.6 端子機能別一覧 (100ピンLFQFP): 修正 • 「表示系」列の題目: 「表示系」 → 「表示系 (MLCD)」 • 列名を修正した「表示系 (MLCD)」列内にMLCDの機能名を追加
		2. CPU	
		50	2.5.5.3 DBGREGのCoreSightレジスタ: 題目修正
		53	2.5.6.4 OCDREGのCoreSightレジスタ: 題目修正
		5. I/Oレジスタ	
		63	表 5.1 I/Oレジスタのアドレス (1/2): 誤記訂正 • 機能名: 「メモプロテクションユニット」 → 「メモリプロテクションユニット」
		65	表 5.2 I/Oレジスタのアクセスサイクル (1/2): 誤記訂正 • FLASHの終了アドレス: 「4001 CFFFh」 → 「4001 BFFFh」
		6. 電気的特性	
		67	冒頭: 修正 • 測定条件の最後に条件 (文章) を追加
		69 ~ 73	6.2.2 I/O出力特性 (V _{OH} ・V _{OL}) (1): 修正 • 「表 6.5 各I/O特性測定条件」を追加 • 「図 6.1 V _{OL} -I _{OL} 特性 (低駆動)」 ~ 「図 6.8 V _{OH} -I _{OH} 特性 (高駆動)」を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2020.05.29	82	6.2.9 VCC 立ち上がり/立ち下がり勾配: 新規追加
		82	6.2.10 内蔵リニアレギュレータ特性: 新規追加
		84	表6.20 サブクロック発振器のクロックタイミング: 誤記訂正 <ul style="list-style-type: none"> 注1の文中: 「SOSCCR.SOSTPフラグ」→「SOSCCR.SOSTPビット」
		86	図6.14 PLLクロック発振開始タイミング: 修正 <ul style="list-style-type: none"> PLL回路出力の波形において、タイミング規定に無関係な線を削除
		87	表6.21 リセットタイミング: 修正 <ul style="list-style-type: none"> 「パワーオン (エナジーハーベスト起動モード時)」と「ディープソフトウェアスタンバイモード (エナジーハーベスト起動モード時)」の項目を削除
		89	表6.22 低消費電力 (スタンバイ) モードからの復帰タイミング: 修正 <ul style="list-style-type: none"> 各項目の文章を修正 列題を修正: 「電力制御モード」→「モード遷移前後の電力制御モード」 ソフトウェアスタンバイモード関連の測定条件から図の参照記述を削除 注1の文末の誤記訂正: 「CACモジュール停止」→「CACモジュールストップ解除」
		91	表6.24 I/Oポート、POE、GPT、AGT、S14ADのトリガタイミング: 修正 <ul style="list-style-type: none"> 「I/Oポート」行に「ELCイベントパルス入力幅」の項目を追加
		104	表6.31 RIICタイミング: 修正 <ul style="list-style-type: none"> 測定条件を修正
		123	表6.50 EHC特性: 用語修正 <ul style="list-style-type: none"> 「発電ステータスフラグ」→「発電ステータスフラグしきい値電圧」
		付録.B コンデンサの接続方法	
		137	図B.1 通常起動モード時の接続例1 平滑コンデンサの容量値: 誤記訂正 <ul style="list-style-type: none"> VREFH0端子とVREFLO端子の間にある平滑コンデンサの値: 「0.1μF」→「1.0μF」
		144	図B.8 エナジーハーベスト起動モードの接続例 (3) (最小構成例): 修正 <ul style="list-style-type: none"> 注3を削除

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>