

64 MHz, 32 ビット Arm[®] Cortex[®]-M0+, 256 KB フラッシュメモリ、128 KB SRAM、エネルギーハーベスト制御回路、MIP 液晶コントローラ、2D グラフィックエンジン、超低消費電力 14 ビット A/D コンバータ、VREF 回路、RTC、サブクロック補正回路 (論理緩急)、セキュリティ機能 (オプション)、SPI、Quad SPI

特長

■ Arm Cortex-M0+コア内蔵

- 最高動作周波数：64 MHz
- Arm[®]メモリプロテクションユニット：8 領域 (Arm MPU)
- CoreSight[™]デバッグポート：SW-DP

■ 消費電力低減機能

- SOTB[™]プロセス技術を用いたバックバイアス電圧制御機能
- 1.62 V~3.6 V の超低電圧動作が可能
- 動作周波数に応じた 3 種類の電力制御モードをサポート
- 4 種類の低消費電力モードをサポート
- 3 種類の電源供給モードをサポート

■ 内蔵コードフラッシュメモリ

- 256 KB のコードフラッシュメモリ
- 32 MHz 以下では 0 ウェイト、32 MHz より速い場合には 1 ウェイト
- エリアプロテクション機能により誤書き換え、改ざんを防止

■ 内蔵 SRAM

- 128 KB の 0 ウェイトアクセス SRAM

■ データ転送機能

- DMAC：4 チャンネル
- DTC：1 チャンネル

■ リセットおよび電源電圧制御

- パワーオンリセット (POR)
- 低電圧検出機能 (LVD) の設定可能

■ マルチクロックソース

- 外部水晶発振 (メインクロック)：8~32 MHz
- 外部水晶発振 (サブクロック)：32.768 kHz
- 高速オンチップオシレータ (HOCO)：24/32/48/64 MHz
- 中速オンチップオシレータ (MOCO)：2 MHz
- 低速オンチップオシレータ (LOCO)：32 kHz
- 独立ウォッチドッグタイマ用オシレータ：16 kHz

■ エネルギーハーベスト制御

- 発電素子との直接接続可能
- 二次電池の充電を待たずに高速起動が可能
- 二次電池過充電防止機能

■ 独立ウォッチドッグタイマ

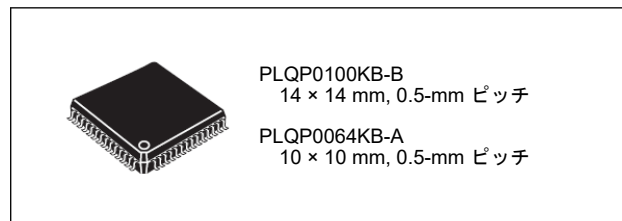
- 14 ビットカウンタ、16 kHz (LOCO クロックの 1/2) 動作

■ サブクロック補正回路

- 16 秒周期で発振精度補正が可能 (論理緩急機能)
- ディープソフトウェアスタンバイモード時にも 1 秒周期のイベント生成可能

■ 通信機能

- SPI × 2 チャンネル
最大 8 コマンド/128 ビットバッファタイプ × 1 チャンネル
1 コマンド/32 ビットバッファタイプ × 1 チャンネル
- Quad SPI × 1 チャンネル (外付けフラッシュメモリの接続が可能)
- I²C バスインタフェース × 2 チャンネル
- シリアルコミュニケーションインタフェース (SCIg) × 5 チャンネル
調歩同期式/クロック同期式/簡易 I²C/簡易 SPI/スマートカードインタフェース/IrDA インタフェース (バージョン 1.0) に対応 (SCI0 のみ)
- FIFO 付きシリアルコミュニケーションインタフェース (SCIi) × 2 チャンネル (FIFO サイズは 16 バイト)



■ 多種多様なアナログ回路

- 超低消費電力 14 ビット逐次比較型 A/D コンバータ × 1 ユニット
高精度: 8 チャンネル、標準精度: 4 チャンネル
- チップ内部の温度を測定可能な温度センサ × 1 ユニット
- 14 ビット A/D コンバータリファレンス電圧用の VREF 回路

■ 多種多様なタイマ回路

- 汎用 PWM タイマ (GPT) × 6 チャンネル
32 ビットカウントタイプ × 2 チャンネル
16 ビットカウントタイプ × 4 チャンネル
- スタンバイでも動作可能な非同期汎用タイマ (AGT) × 4 チャンネル
32 ビットカウントタイプ × 2 チャンネル
16 ビットカウントタイプ × 2 チャンネル
- 8 ビットタイマ (TMR) × 2 チャンネル
- リアルタイムクロック (RTC) × 1 チャンネル
- ウォッチドッグタイマ (WDT) × 1 チャンネル
- 1 kHz 動作の低速クロックタイマ (LST) × 1 チャンネル
ストップウォッチ用 16 進数 → 10 進数変換回路

■ ヒューマンマシンインタフェース

- MIP 液晶コントローラ (MLCD) × 1 ユニット (パラレルインタフェースタイプに対応)
- 2D グラフィックデータ変換回路 (GDT) × 1 ユニット

■ セキュリティ機能 (オプション)

- Trusted Secure IP Lite (TSIP) × 1 ユニット
- AES (鍵長 128 ビット/256 ビット ECB/CBC/CMAC/GCM 他に対応)
- Key wrapping によりユーザ暗号鍵の漏洩を防止
- アクセスマネジメント回路により暗号エンジンの不正アクセス防止
- エリアプロテクション機能との併用でセキュアブート、セキュア OTA が可能

■ 動作電圧・動作周囲温度

- VCC = IOVCC = IOVCCn = AVCC0 = 1.62 V~3.6 V
IOVCCn、AVCC0 は、1.62 V~3.6 V の範囲で独立に電圧設定が可能
- Ta: -40°C~+85°C

1. 概要

1.1 機能の概要

表 1.1 ~ 表 1.11 には最大仕様を掲載しています。周辺機能のチャンネル数はパッケージのピン数によって異なります。詳細は表 1.13 を参照してください。

表 1.1 CPU

機能	機能の説明
Arm® Cortex®-M0+コア	<ul style="list-style-type: none"> 最高動作周波数 : 64 MHz Arm Cortex-M0+コア : <ul style="list-style-type: none"> リビジョン: r0p1-00rel0 Armv6-M アーキテクチャプロファイル シングルサイクル整数乗算器 Arm メモリプロテクションユニット (MPU): <ul style="list-style-type: none"> Armv6 保護メモリスistemアーキテクチャ 8つの保護領域 SysTick タイマ: <ul style="list-style-type: none"> SYSTICCLK (LOCO または ICLK) による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	<ul style="list-style-type: none"> 最大 256 KB のコードフラッシュメモリ。 32 MHz 以下では 0 ウェイト、32 MHz より速い場合には 1 ウェイト プリフェッチ機能 オンボードプログラミング : 3 種類 <ul style="list-style-type: none"> シリアルプログラミングモード (SCI ブートモード) でのプログラム オンチップデバッグモードによるプログラム ユーザプログラム中のコードフラッシュメモリ書き換えルーチンによるプログラム
SRAM	<ul style="list-style-type: none"> 最大 128 KB の SRAM SRAM0: 0x2000_0000~0x2000_7FFF SRAM1: 0x2000_8000~0x2001_FFFF 上記いずれの領域も、低リーク電流モード時に使用可能 64 MHz、0 ウェイトアクセス

表 1.3 システム (1/2)

機能	機能の説明
起動モード	3 種類の起動モード : <ul style="list-style-type: none"> 通常起動モード エネルギーハーベスト起動モード SCI ブートモード
リセット	本製品は 13 種類のリセットをサポートしています。リセットは MCU が初期化されるシステムリセットと、MCU が初期化されない電源遮断リセットに分類されます。
低電圧検出 (LVD)	低電圧検出モジュール (LVD) は、VCC 端子と VBAT_EHC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路 (LVD0、LVD1、LVDBAT) で構成され、LVD0 と LVD1 は VCC 端子への入力電圧レベルを、LVDBAT は VBAT_EHC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧および VBAT_EHC 端子への入力電圧の変動を監視できます。
クロック	<ul style="list-style-type: none"> 以下のクロック発生回路を内蔵 <ul style="list-style-type: none"> メインクロック発振器 (MOSC) サブクロック発振器 (SOSC) 高速オンチップオシレータ (HOCO) 中速オンチップオシレータ (MOCO) 低速オンチップオシレータ (LOCO) IWDT 専用オンチップオシレータ (IWDTLOCO) クロック出力サポート <ul style="list-style-type: none"> CLKOUT 端子 (全クロック種を出力可能) CLKOUT32K 端子 (SOSC クロックを出力可能)

表 1.3 システム (2/2)

機能	機能の説明
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。
消費電力低減機能	<p>クロック分周器の設定、モジュールストップ設定、動作時の電力制御モード選択、低消費電力モードへの遷移、ドメイン単位の電源供給モードなど、さまざまな省電力機能があります</p> <ul style="list-style-type: none"> ● 動作周波数に応じた 3 種類の電力制御モード <ul style="list-style-type: none"> - ブーストモード (~64 MHz) - ノーマルモード <ul style="list-style-type: none"> • High-speed モード (~32 MHz) • Low-speed モード (~2 MHz) - 低リーク電流モード (32.768 kHz) ● 5 種類の低消費電力モード <ul style="list-style-type: none"> - 通常動作モード - スリープモード - ソフトウェアスタンバイモード - スヌーズモード - ディープソフトウェアスタンバイモード ● 3 種類の電源供給モード <ul style="list-style-type: none"> - 全電源供給モード (ALLPWON) - Flash 以外電源供給モード (EXFPWON) - 最小電源供給モード (MINPWON)
バックバイアス電圧制御 ^(注1) (VBBC) 機能	バックバイアス電圧をプログラム制御することで、低リーク電流モードでの低リーク電流動作が可能になります。
エネルギーハーベスト制御回路 (EHC)	発電素子と、蓄電用コンデンサ、および 2 次電池を制御して超低消費電力状態での起動が可能になります。
レジスタライトプロテクション (RWP)	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
メモリプロテクションユニット (MPU)	本 MCU は、4 つのメモリプロテクションユニットと、CPU スタックポインタモニタ機能を備えています。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み機能端子の有効なエッジが検出されると、キー割り込み (KEY_INTKR) を生成します。

注 1. VBP/VBN 端子に充電する電圧

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、モジュール間を相互に接続 (リンク) することにより、CPU を介さず直接モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
DMA コントローラ (DMAC)	本 MCU は、4 チャンネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 1.6 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	本 MCU は、2 チャネルの 32 ビットタイマと、4 チャネルの 16 ビットタイマにより構成される汎用 PWM タイマ (GPT) を内蔵しています。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。
GPT 用のポートアウトプットイネーブル (POE)	ポートアウトプットイネーブル (POE) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。
非同期汎用タイマ (AGT, AGTW)	非同期汎用タイマ (AGT, AGTW) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウンタに利用可能な 16 ビットおよび 32 ビットのタイマです。この 16 ビットおよび 32 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。
8 ビットタイマ (TMR)	8 ビットタイマ (TMR) は外部イベントをカウント可能です。また、2 つのレジスタのコンペアマッチ信号を使用して、カウンタクリア、割り込み要求出力、および任意のデューティ比のパルス出力の機能を備えています。
ウェイクアップタイマ (WUPT)	ウェイクアップタイマ (WUPT) は 32 ビットカウンタをベースにしています。また、カウントリセット、割り込み要求出力、およびオーバフロー発生時に外部端子にパルス出力の機能を備えています。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) には、カレンダーカウントモード、バイナリカウントモードおよび 32 kHz カウントモードの 3 種類のカウントモードがあり、レジスタ設定を切り替えることで使用します。カレンダーカウントモードは、2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。
クロック補正回路 (CCC)	サブクロック 32.768 kHz に対して、16 秒周期で発振精度補正が可能 <ul style="list-style-type: none"> 補正後クロック出力 : 2.048 kHz/512 Hz 信号出力 (CCCOUT) : 512 Hz/1 Hz、および RTC 出力 (1 Hz/64 Hz) から選択可能 ELC によるイベントリンク機能をサポート
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダフローした際に MCU をリセットすることができます。さらに、ノンマスカブル割り込みやアンダフロー割り込み、を発生させるためにも使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダフロー発生時に、割り込み/ノンマスカブル割り込みを発生させることが可能です。
低速クロックタイマ (LST)	低速クロックタイマ (LST) は、1 kHz のタイマカウンタと、16 進数→10 進数変換回路を内蔵しています。10 進数表示が必要なカウントとして利用可能な 13 ビットのタイマです。 <ul style="list-style-type: none"> 0.000~1.999 秒 (0.001 秒単位) のカウントが可能 レジスタに、10 進数表記の値を直接格納

表 1.7 通信インタフェース (1/2)

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 7 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。 <ul style="list-style-type: none"> 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA)) 8 ビットクロック同期式インタフェース 簡易 IIC (マスタのみ) 簡易 SPI スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCI _n (n=0, 1) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のポーレートジェネレータを用いて、データ転送速度の個別設定が可能です。
IrDA インタフェース (IrDA)	IrDA インタフェースは、SCI1 と連携して IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信を行います。
I ² C バスインタフェース (IIC)	I ² C バスインタフェース (IIC) には 2 チャネルあります。IIC は、NXP 社の I ² C バス (Inter-Integrated Circuit Bus) インタフェース方式に準拠しており、そのサブセット機能を備えています。

表 1.7 通信インタフェース (2/2)

機能	機能の説明
シリアルペリフェラルインタフェース (SPI)	SPI によって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です
クワッドシリアルペリフェラルインタフェース (QSPI)	SPI 互換インタフェースを持つシリアル ROM に接続することが可能 <ul style="list-style-type: none"> 1 チャンネル 拡張 SPI プロトコル、Dual-SPI プロトコル、および Quad-SPI プロトコルのサポート SPI モード 0 と SPI モード 3 の設定が可能 アドレス幅として 8、16、24、32 ビットを選択可能
外部バス	QSPI 領域：QSPI (外部デバイスインタフェース) を接続可能グループ A 優先制御動作 (グループスキャンモードのみ)

表 1.8 アナログ

機能	機能の説明
14 ビット A/D コンバータ (ADC14)	逐次比較方式の 14 ビット A/D コンバータを内蔵しています。アナログ入力チャンネルは最大 12 チャンネルまで選択可能です。変換にはアナログ入力、温度センサ出力を選択できます。A/D 変換精度には 12 ビット変換と 14 ビット変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。 <ul style="list-style-type: none"> 14 ビット × 12 チャンネル (最大値) (高精度: 8 チャンネル、標準精度: 4 チャンネル) 分解能: 14 ビット (14 ビットまたは 12 ビット変換が選択可能) 動作モード: <ul style="list-style-type: none"> スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) グループ A 優先制御動作 (グループスキャンモードのみ) サンプリングステート数可変機能 A/D 変換値加算モードと平均モードが選択可能 断線検出アシスト機能 ダブルトリガモード (A/D 変換データ 2 重化機能) ELC によるイベントリンク機能をサポート A/D データレジスタオートクリア機能 コンペア機能 (ウィンドウ A、ウィンドウ B) デジタルコンペア機能 コンペアレジスタとデータレジスタとの比較、データレジスタ間の比較
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視することができます。温度センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどニアの関係にあります。出力された電圧は 14 ビット A/D コンバータでデジタル値に変換することで使用できます。
基準電圧生成回路 (VREF)	2 種類 (1.25V/2.5V) の基準電圧を生成する回路です。ADC の基準電圧として使用可能です

表 1.9 ヒューマンマシンインタフェース

機能	機能の説明
MIP 液晶コントローラ (MLCD) (注1)	MIP 方式の液晶パネルドライバ回路内蔵
2D グラフィックデータ変換回路 (GDT)	2次元画像データを処理できるグラフィックアクセラレータ回路内蔵 <ul style="list-style-type: none"> 最大 32 バイトの画像データを処理します。フォント展開は 63 x 64 ビットまで対応可能です。 グルー 90°右回転、90°左回転、上下反転、左右反転 平均画素法で 1/8、2/8、3/8、4/8、5/8、6/8、7/8 縮小、ビット間引き法 (1/2) に対応 画像のビット反転が可能: 1 は 0 に、0 は 1 に反転されます。 前景画像、背景画像、縁取り画像のモノクロ画像を合成 前景画像と背景画像のカラー画像を合成、優先色と透過色の設定 1 ビット単位での画像スクロール フォントデータを画像データに変換可能 RGB 値を使用したモノクロ画像のカラー化 カラーデータ整列により、メモリ内の独立した R/G/B 画像を単一領域に RGB の順で並べ替え可能 エンディアン変換

注 1. 一般的な 3 線式 MIP は、SPI0 と GDT を組み合わせることで対応可能。

表 1.10 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC:Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対する読み出しおよび書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に一致する場合、割り込み要求が発生します。
除算器 (DIV)	符号付き 32 ビット固定小数点データを高速除算する回路 <ul style="list-style-type: none"> ● 被除数：符号付き 32 ビットデータ ● 除数：符号付き 32 ビットデータ
データ変換回路 (DIL)	32 ビットデータのデータ変換する回路を内蔵 <ul style="list-style-type: none"> ● データ反転 <ul style="list-style-type: none"> – 入力データのビット反転値を出力 ● 2つの入力データの AND、OR、XOR 演算 <ul style="list-style-type: none"> – データ反転により、NAND、NOR、XNOR 演算が可能 ● バイト幅ごとにデータ配置を変換 (バイトスワップ) ● 8 ビットごとに MSB と LSB の順序を反転

表 1.11 セキュリティ

機能	機能の説明
Trusted Secure IP Lite (TSIP-Lite)	<ul style="list-style-type: none"> ● アクセスマネジメント回路搭載 ● セキュリティアルゴリズム <ul style="list-style-type: none"> – 共通鍵暗号 (対称暗号方式) : AES 鍵長 : 128 ビット / 256 ビット – 暗号利用モード : GCM、ECB、CBC、CMAC、XTS、CTR、GCTR、CCM

1.2 ブロック図

図 1.1 にスーパーセットのブロック図を示します。グループ内の個々のデバイスによっては、その機能のサブセットを持つ場合があります。

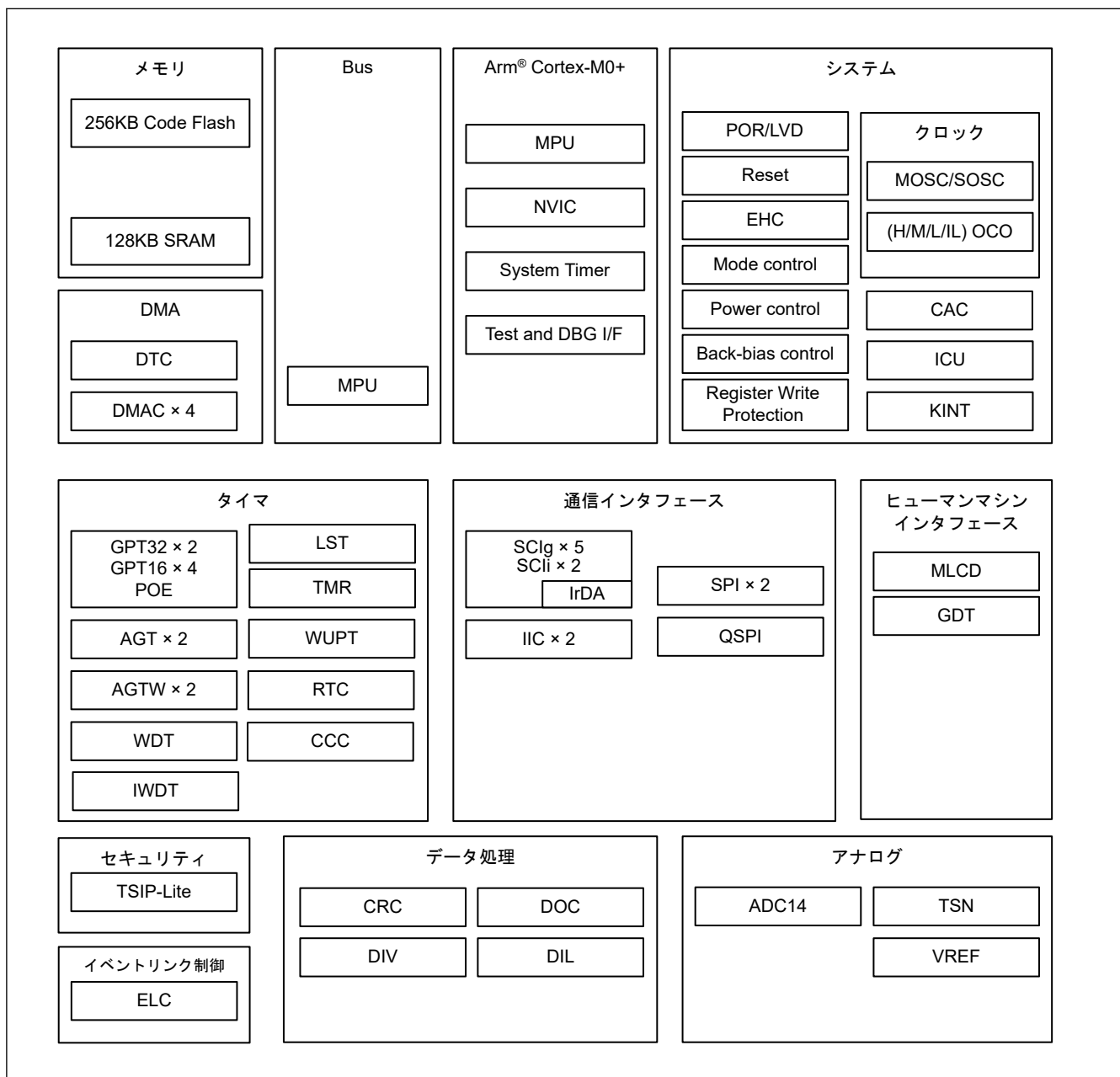


図 1.1 ブロック図

1.3 型名

表 1.12 に製品一覧を示します。

表 1.12 製品一覧

製品の型名	パッケージコード	コードフラッシュメモリ容量	SRAM 容量	TSIP-Lite
R7F0E01182CFP	PLQP0100KB-B	256 KB	128 KB	サポートあり
R7F0E01082CFP	PLQP0100KB-B			サポートなし
R7F0E01182CFM	PLQP0064KB-A			サポートあり
R7F0E01082CFM	PLQP0064KB-A			サポートなし
R7F0E01182DBH	TBD (BGA100pin)			サポートあり
R7F0E01082DBH	TBD (BGA100pin)			サポートなし
R7F0E01182DBR	SXBG0072MA-A			サポートあり
R7F0E01082DBR	SXBG0072MA-A			サポートなし
R7F0E01182DNG	PVQN0056LA-A			サポートあり
R7F0E01082DNG	PVQN0056LA-A			サポートなし

1.4 機能の比較

表 1.13 機能の比較 (1/4)

型名		R7F0E01182CFP	R7F0E01082CFP	R7F0E01182CFM	R7F0E01082CFM	R7F0E01182DBH	R7F0E01082DBH
端子総数		100		64		100	
GPIO	出力ポート	73		37		73	
	入力ポート	1		1		1	
パッケージ		LFQFP				BGA	
コードフラッシュメモリ		256 KB					
SRAM		128 KB					
CPU 動作周波数		最大 32 MHz (ノーマルモード) 最大 64 MHz (ブーストモード) 最大 32.768 kHz (低リーク電流モード)					
割り込みコントロール	ICU	あり					
	IRQ	ch0~ch9		ch0~ch5、ch7~ch8		ch0~ch9	
キー割り込み	KINT	8ch					
DMA	DTC	あり					
	DMAC	ch0~ch3					
イベントコントロール	ELC	あり					
エネルギーハーベスト	EHC	あり					
バックバイアス電圧制御	VBBC	あり					

表 1.13 機能の比較 (2/4)

型名		R7F0E01182CFP	R7F0E01082CFP	R7F0E01182CFM	R7F0E01082CFM	R7F0E01182DBH	R7F0E01082DBH
タイマ	GPT32	ch0~ch1					
	GPT16	ch2~ch5					
		POE	あり				
	AGT	ch0~ch1					
	AGTW	ch0~ch1					
	TMR	ch0~ch1					
	WUPT	あり					
	RTC	あり					
	CCC	あり					
	WDT	あり					
	IWDT	あり					
	LST	あり					
通信機能	SCIg	FIFO なし	ch2~ch5、ch9				
		FIFO あり	ch0~ch1				
	SCII	IrDA	あり				
		IIC	ch0~ch1	ch1	ch0~ch1		
	SPI	128 ビットバッファ	ch0				
		32 ビットバッファ	ch1				
	QSPI	あり					
アナログ	ADC14	高精度	8ch				
		標準精度	4ch	なし	4ch		
	TSN	あり					
	VREF	あり					
HMI グラフィック	MLCD	あり					
	GDT	あり					
データ処理	CRC	あり					
	DOC	あり					
	DIV	あり					
	DIL	あり					
セキュリティ	TSIP-Lite	あり	なし	あり	なし	あり	なし

表 1.13 機能の比較 (3/4)

型名		R7F0E01182DBR	R7F0E01082DBR	R7F0E01182DNG	R7F0E01082DNG
端子総数		72		56	
汎用 I/O 数	入出力ポート	43		33	
	入力ポート	1		1	
パッケージ		WLBGA		QFN	
コードフラッシュメモリ		256 KB			
SRAM		128 KB			

表 1.13 機能の比較 (4/4)

型名		R7F0E01182DBR	R7F0E01082DBR	R7F0E01182DNG	R7F0E01082DNG
CPU 動作周波数		最大 32 MHz (ノーマルモード) 最大 64 MHz (ブーストモード) 最大 32.768 kHz (低リーク電流モード)			
割り込みコントロール	ICU	あり			
	IRQ	ch0~ch9		ch0~ch5、ch7~ch8	
キー割り込み	KINT	8ch			
DMA	DTC	あり			
	DMAC	ch0~ch3			
イベントコントロール	ELC	あり			
エナジーハーベスト	EHC	あり			
バックバイアス電圧制御	VBBC	あり			
タイマ	GPT32		ch0~ch1		
	GPT16		ch2~ch5		
		POE	あり		
	AGT		ch0~ch1		
	AGTW		ch0~ch1		
	TMR		ch0~ch1		
	WUPT		あり		
	RTC		あり		
	CCC		あり		
	WDT		あり		
	IWDT		あり		
	LST		あり		
通信機能	SCIg	FIFO なし	ch2~ch5、ch9		
	SCli	FIFO あり	ch0~ch1		
		IrDA	あり		
	IIC		ch0~ch1	ch1	
	SPI	128 ビットバッファ	ch0		
		32 ビットバッファ	ch1		
QSPI		あり			
アナログ	ADC14	高精度	8ch		
		標準精度	4ch	なし	
	TSN	あり			
	VREF	あり			
HMI グラフィック	MLCD	あり			
	GDT	あり			
データ処理	CRC	あり			
	DOC	あり			
	DIV	あり			
	DIL	あり			
セキュリティ	TSIP-Lite	あり	なし	あり	なし

1.5 端子機能

表 1.14 に、端子機能一覧を示します。

表 1.14 端子機能一覧 (1/5)

機能	端子名	入出力	説明
電源	VCC/IOVCC	入力	<p>通常起動モード 電源端子。システムの電源に接続してください。0.1 μF 平滑コンデンサを介して VSS に接続してください。平滑コンデンサは端子近くに配置してください。(注2)IOVCCn 端子より先に電圧を印加してください。</p> <p>エネルギーハーベスト起動モード 電源端子。システムの電源に接続してください。0.1 μF 平滑コンデンサ(1)を介して VSS に接続してください。平滑コンデンサは端子近くに配置してください。 上記に加えて外来ノイズへの耐性と回路の安定動作を向上させるために、VCC_SU 端子に接続する蓄電用コンデンサの 1/10 の容量の平滑コンデンサ(2)を介して VSS に接続してください。 例えば、VCC_SU に 47 μF の蓄電用コンデンサを接続している場合は、4.7 μF の平滑コンデンサを接続してください。 (2)の平滑コンデンサを端子近傍に配置できる場合は、(1)の平滑コンデンサを省略可能です。</p>
	VSS	入力	グラウンド端子。システムの電源 (0V) に接続してください。
	VCL	入力	内部電源安定化端子。4.7μF の平滑コンデンサを介して VSS に接続してください。平滑コンデンサは端子近くに配置してください。
	VCLH	入力	内部電源安定化端子。VCL 端子と別に、4.7μF の平滑コンデンサを介して VSS に接続してください。平滑コンデンサは端子近くに配置してください。
	VBN	—	バックバイアス電圧安定化端子。0.56μF の平滑コンデンサを介して VSS に接続してください。平滑コンデンサは端子近くに配置してください。
	VBP	—	
	VSC_VCC	入力	<p>通常起動モード 発電素子から供給される電源端子。通常起動モードではシステムの電源 (0V) に接続してください</p> <p>エネルギーハーベスト起動モード 発電素子から供給される電源端子。発電素子と並列に平滑コンデンサを介して VSC_GND に接続してください。平滑コンデンサは端子近くに配置してください。平滑コンデンサの容量値は 4.7nF~47nF が推奨ですが、発電素子の安定度等から適切に選択ください</p>
電源	VCC_SU	入出力	<p>通常起動モード 蓄電用コンデンサから供給される電源端子。通常起動モードでは VCC/IOVCC に短絡してください</p> <p>エネルギーハーベスト起動モード 蓄電用コンデンサから供給される電源端子。発電素子として太陽電池を使用する場合は、接続する蓄電用コンデンサの容量値は動作温度に応じたもので、かつ VCC の 10 倍以上の容量値が必要です。25°C時は 47 μF が必要で、高温になるほど大きな容量値が必要です。それ以外の発電素子を使用する場合は 100 μF の蓄電用コンデンサを接続してください。</p>
	VSC_GND	入力	VSC_VCC 用のグラウンド端子。システムの電源 (0V) に接続してください
	VBAT_EHC	入力	<p>通常起動モード 2次電池から供給される電源端子。通常起動モードでは VCC/IOVCC に接続してください</p> <p>エネルギーハーベスト起動モード 2次電池から供給される電源端子。エネルギーハーベスト起動モードでは 2.4 V、2.5 V、2.6 V、2.7 V、2.8 V、2.9 V、3.0 V、3.1 V の二次電池、またはスーパーキャパシタを接続します。</p>
	IOVCC0, IOVCC1	入力	IO 用電源端子。0.1 μF の平滑コンデンサを介して VSS に接続してください。平滑コンデンサは端子近くに配置してください。(注2)(注3)

表 1.14 端子機能一覧 (2/5)

機能	端子名	入出力	説明
クロック	XTAL	入力	MOSC 発振子接続端子。EXTAL は外部クロック入力端子
	EXTAL	出力	
	XCIN	入力	SOSC 発振子接続端子
	XCOU	出力	
	CLKOUT	出力	クロック出力端子
	CLKOUT32K	出力	SOSC クロック出力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路のリファレンスクロック入力端子
起動モードコントロール	MD	入力	モード設定端子。本端子の信号レベルは、リセット解除時の起動モードの遷移中に変更しないでください
	EHMD	入力	エナジーハーベストモード設定端子
システム制御	RES#	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
	BSCANP	入力	IOVCCn 端子電源強制入力端子 バウンダリスキャン機能を使用する際は、本端子を IOVCCn 端子に電源供給されている状態において High レベルにすることで、全 I/O ポートへの電源供給が許可されます。
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0~IRQ9,IRQ0_A_DS ~IRQ3_A_DS	入力	マスクابل割り込み要求端子 端子名に“_DS”が付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます
KINT	KRM00~KRM07	入力	キー割り込みは、キー割り込み入力端子に立ち下がりエッジを入力することで発生させることができます。
オンチップデバッグ	SWDIO	入出力	SWD データ入出力端子
	SWCLK	入力	SWD クロック入力端子
バウンダリスキャン	TMS	入力	バウンダリスキャン端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
GPT, POE	GTIOC0A~GTIOC5A, GTIOC0B~GTIOC5B	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モータ制御用 3 相 PWM 出力 (正相 U 相)
	GTOULO	出力	BLDC モータ制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モータ制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モータ制御用 3 相 PWM 出力 (逆相 V 相)
	GTOWUP	出力	BLDC モータ制御用 3 相 PWM 出力 (正相 W 相)
	GTOWLO	出力	BLDC モータ制御用 3 相 PWM 出力 (逆相 W 相)
	AGT	AGTIO0, AGTIO1	入出力
AGTEE0, AGTEE1		入力	外部イベント入力カインイーブル信号
AGTO0, AGTO1		出力	パルス出力端子
AGTOA0, AGTOA1		出力	コンペアマッチ A 出力端子
AGTOB0, AGTOB1		出力	コンペアマッチ B 出力端子

表 1.14 端子機能一覧 (3/5)

機能	端子名	入出力	説明
AGTW	AGTWIO0, AGTWIO1	入出力	外部イベント入力およびパルス出力端子
	AGTWEE0, AGTWEE1	入力	外部イベント入力カインープル信号
	AGTWO0, AGTWO1	出力	パルス出力端子
	AGTWOA0, AGTWOA1	出力	コンペアマッチ A 出力端子
	AGTWOB0, AGTWOB1	出力	コンペアマッチ B 出力端子
TMR	TMCI0, TMCI1	入力	カウンタに入力する外部クロックの入力端子
	TMRI0, TMRI1	入力	カウンタリセット入力端子
	TMO0, TMO1	出力	コンペアマッチ出力端子
WUPT	TMWO	出力	パルス出力端子
RTC	RTCIC0-RTCIC2	入力	時間キャプチャイベント入力端子
	RTCOUT	出力	1Hz または 64Hz のクロック出力端子
CCC	CCCOUT	出力	CCC クロック出力端子
SCli	【調歩同期式モード/クロック同期式モード】		
	SCK0, SCK1	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD0, RXD1	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD0, TXD1	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS0, CTS1	入力	送受信の開始制御用の入力端子 (調歩同期式モード/クロック同期式モード)
	RTS0, RTS1	出力	送受信の開始制御用の出力端子 (調歩同期式モード/クロック同期式モード)
	【簡易 I ² C モード】 (注1)		
	SSCL0, SSCL1	入出力	I ² C クロック用の入出力端子 (簡易 I ² C モード)
	SSDA0, SSDA1	入出力	I ² C データ用の入出力端子 (簡易 I ² C モード)
	【簡易 SPI モード】 (注1)		
	SCK0, SCK1	入出力	クロック用の入出力端子 (簡易 SPI モード)
	MISO0, MISO1	入出力	データのスレーブ送信用の入出力端子 (簡易 SPI モード)
	MOSI0, MOSI1	入出力	データのマスタ送信用の入出力端子 (簡易 SPI モード)
	SS0, SS1	入力	チップセレクト入力端子 (簡易 SPI モード)

表 1.14 端子機能一覧 (4/5)

機能	端子名	入出力	説明
SClg	【調歩同期式モード/クロック同期式モード】		
	SCK2~SCK5, SCK9	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD2~RXD5, RXD9	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD2~TXD5, TXD9	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS2~CTS5, CTS9	入力	送受信の開始制御用の入力端子 (調歩同期式モード/クロック同期式モード)
	RTS2~RTS5, RTS9	出力	送受信の開始制御用の出力端子 (調歩同期式モード/クロック同期式モード)
	【簡易 I ² C モード】 (注1)		
	SSCL2~SSCL5, SSCL9	入出力	I ² C クロック用の入出力端子 (簡易 I ² C モード)
	SSDA2~SSDA5, SSDA9	入出力	I ² C データ用の入出力端子 (簡易 I ² C モード)
	【簡易 SPI モード】 (注1)		
	SCK2~SCK5, SCK9	入出力	クロック用の入出力端子 (簡易 SPI モード)
	MISO2~MISO5, MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易 SPI モード)
	MOSI2~MOSI5, MOSI9	入出力	データのマスタ送信用の入出力端子 (簡易 SPI モード)
	SS2~SS5, SS9	入力	チップセレクト入力端子 (簡易 SPI モード)
IIC	SCL0, SCL1	入出力	クロック用の入出力端子
	SDA0, SDA1	入出力	データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3, SSLB1~SSLB3	出力	スレーブ選択用の出力端子
QSPI	QSPCLK	出力	QSPI のクロック出力端子
	QSSL	出力	QSPI スレーブ出力端子
	QIO0~QIO3	入出力	データ 0~データ 3
アナログ電源	AVCC0	入力	14 ビット A/D コンバータ、基準電圧生成回路、温度センサのアナログ電源端子。 1.0 μF の平滑コンデンサを介して AVSS0 に接続してください。平滑コンデンサは端子近くに配置してください。(注4) 使用しない場合は、端子を開放できます。使用する場合は、電源オープン制御レジスタ (VOCR) を設定してください。
	AVSS0	入力	14 ビット A/D コンバータ、基準電圧生成回路、温度センサ用のアナロググランド端子。 使用しない場合は、端子を開放できます。使用する場合は、電源オープン制御レジスタ (VOCR) を設定してください。
	VREFH0	入力	14 ビット A/D コンバータ用のアナログ基準電圧端子。 1.0 μF の平滑コンデンサを介して VREFL0 に接続してください。平滑コンデンサは端子近くに配置してください。(注5) A/D コンバータを使用しない場合は AVCC0 に接続してください。AVCC0 が供給されない場合、オープン (開放) にしてください。
	AVTRO	出力	基準電圧生成回路 (VREF) の基準電圧出力端子 10 μF の平滑コンデンサを介して VREFL0 に接続してください。
	VREFL0	入力	14 ビット A/D コンバータ用のアナログ基準グランド端子。A/D コンバータを使用しない場合は AVSS0 に接続してください。AVCC0 が供給されない場合、オープン (開放) にしてください。

表 1.14 端子機能一覧 (5/5)

機能	端子名	入出力	説明
ADC14	AN000~AN007, AN016, AN017, AN020, AN021	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子
MLCD	MLCD_VCOM	出力	コモン電極極性信号端子
	MLCD_XRST	出力	液晶表示制御出力端子
	MLCD_SCLK	出力	通信用シリアル出カクロック端子
	MLCD_DEN	出力	データ識別信号端子
	MLCD_ENBS	出力	水平方向データイネーブル端子
	MLCD_ENBG	出力	垂直方向データイネーブル端子
	MLCD_SI0~MLCD_SI7	出力	画像データ信号端子
I/O ポート	P000~P007, P010~P015	入出力	14 ビットの入出力端子
	P100-P113	入出力	14 ビットの入出力端子
	P200	入力	1 ビットの入力専用端子。NMI 端子と兼用。
	P201~P205, P207~P210	入出力	8 ビットの入出力端子
	P300~P302, P314~P315	入出力	5 ビットの入出力端子
	P409~P411	入出力	3 ビットの入出力端子
	P412, P413	入出力	2 ビットの入出力端子。EXTAL、XTAL 端子と兼用。
	P500, P501, P508~P511	入出力	6 ビットの入出力端子
	P600~P604	入出力	5 ビットの入出力端子
	P700~P704	入出力	5 ビットの入出力端子
	P806~P815	入出力	10 ビットの入出力端子

注. 平滑コンデンサには積層セラミックコンデンサをお使いください。

注 1. SCLi、SCLg における各モードの通信端子は、以下の通り同一端子に兼用されています。RXDn/SCLn/MISO_n, TXDn/SDAn/MOSIn, CTSn/RTSn/SSn

注 2. 外来ノイズが多い環境では、外来ノイズへの耐性と回路の安定動作を向上させるために、電流源の近傍に任意で 10 μF の平滑コンデンサを介して VSS に接続してください。

注 3. IOVCC0/1 のそれぞれの端子で、同電位で接続した端子があれば、10 μF の平滑コンデンサは共有できます。VCC/IOVCC と接続した場合は、10 μF の平滑コンデンサは不要です。

注 4. 外来ノイズが多い環境では、外来ノイズへの耐性と回路の安定動作を向上させるために、電流源の近傍に任意で 10 μF の平滑コンデンサを介して AVSS0 に接続してください。

注 5. 外来ノイズが多い環境では、外来ノイズへの耐性と回路の安定動作を向上させるために、電流源の近傍に任意で 10 μF の平滑コンデンサを介して VREFL0 に接続してください。

1.6 ピン配置図

図 1.2、図 1.3、図 1.4 は、ピン配置の上面図を示しています。ピン配置図には、電源端子、I/O ポートを記載しています。

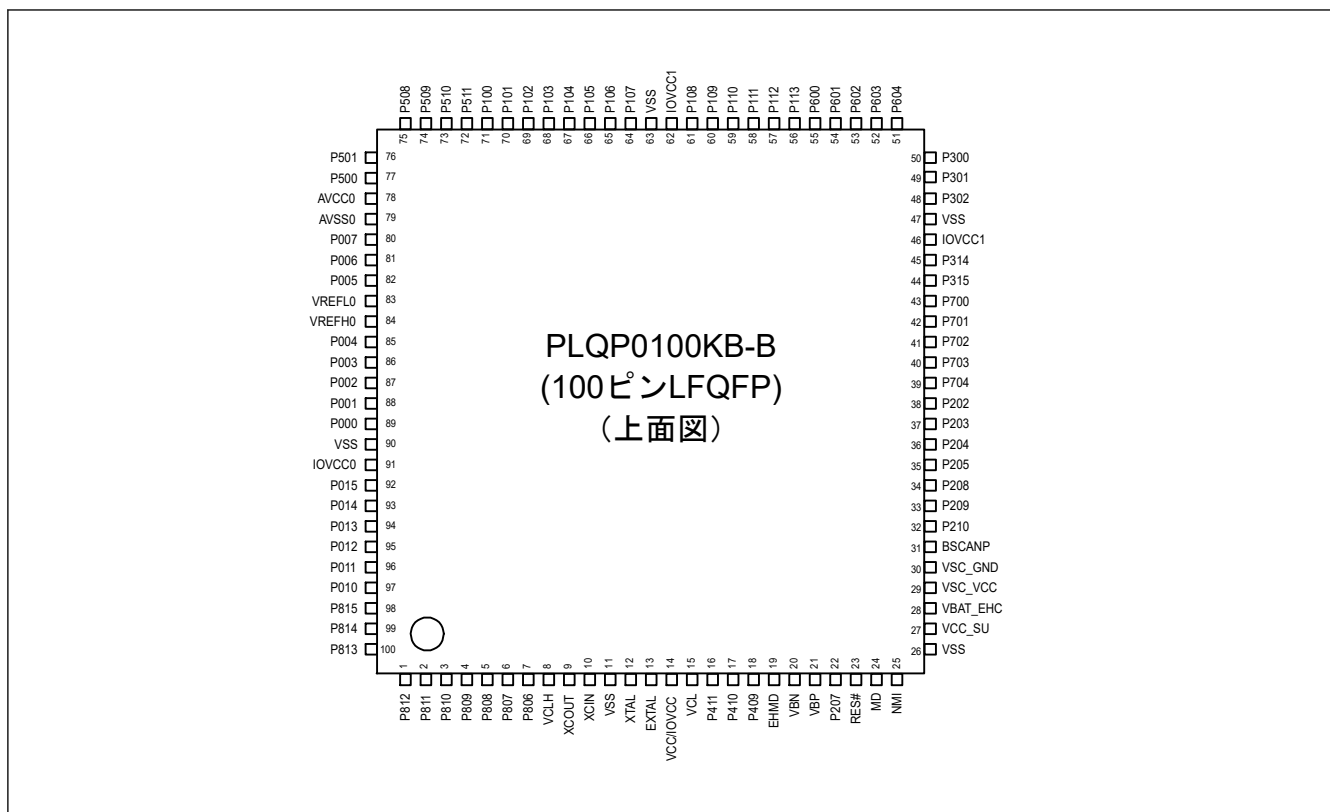


図 1.2 100 ピン LQFP のピン配置図

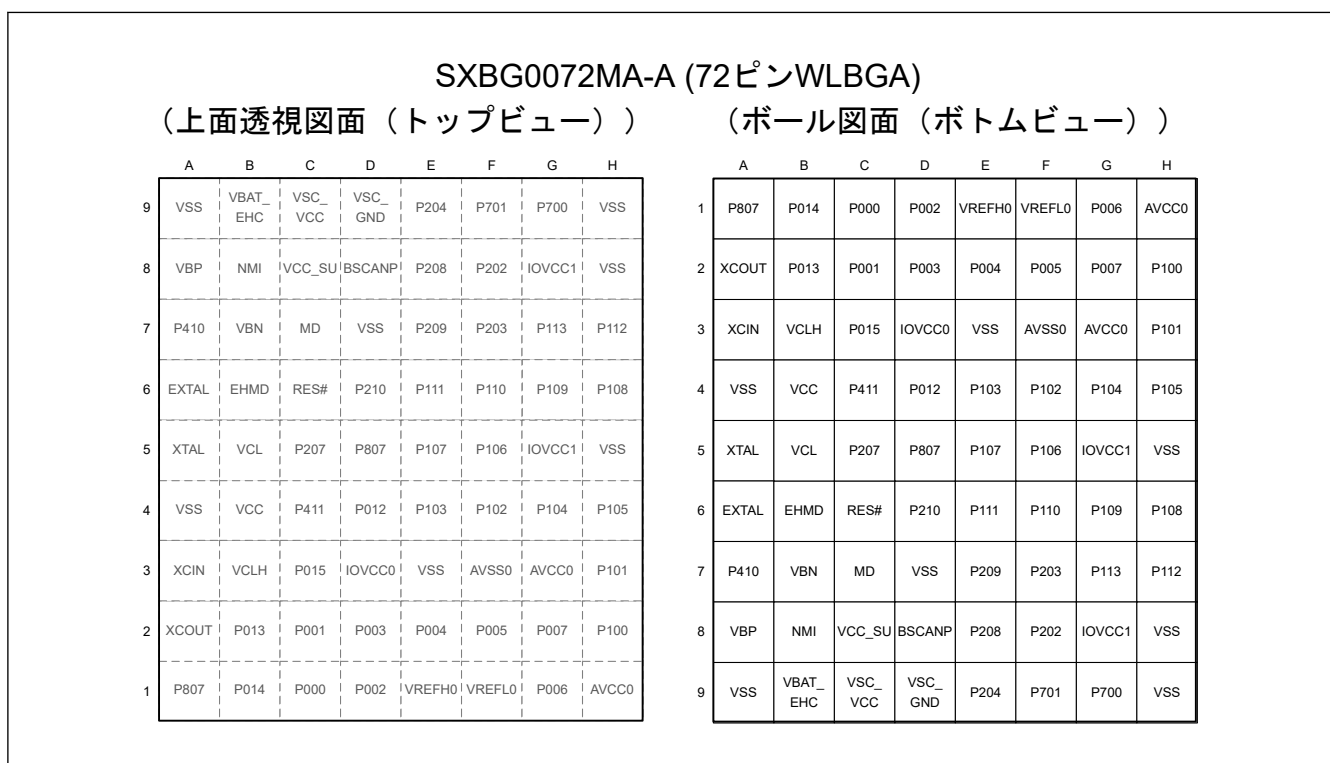


図 1.3 72 ピン WLBGA のピン配置図

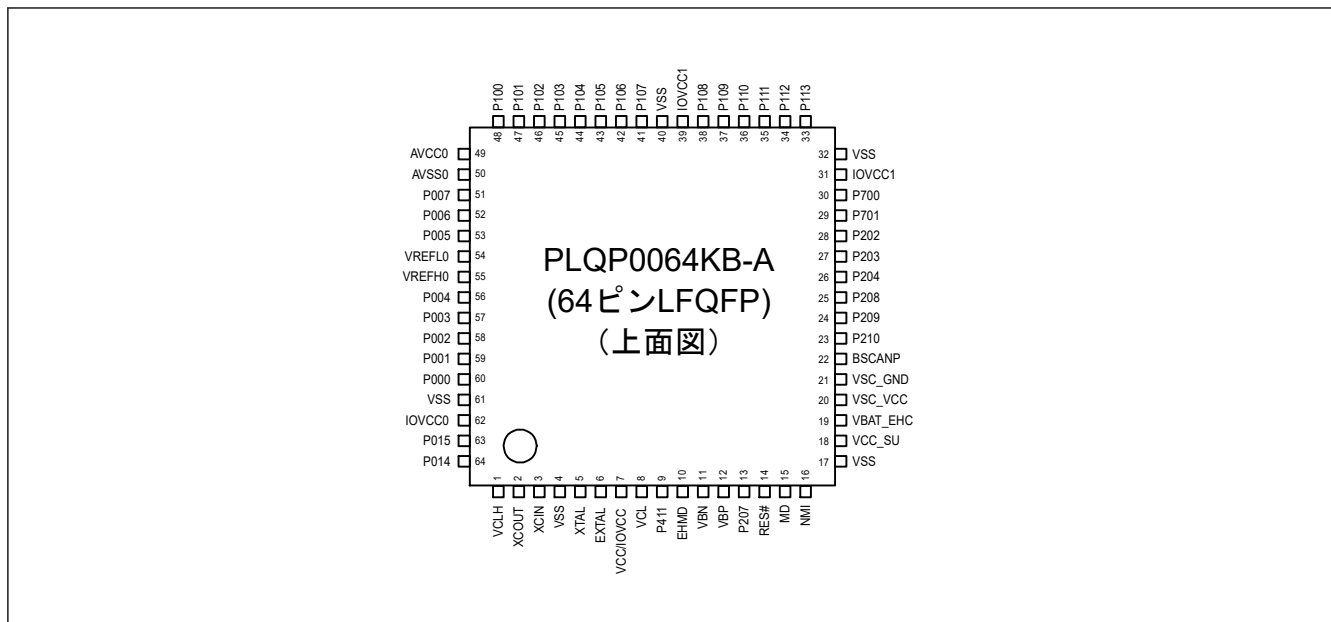


図 1.4 64 ピン LQFP のピン配置図

TBD
(100ピンBGA)
(ボール図面 (ボトムビュー))

	1	2	3	4	5	6	7	8	9	10	11	12
M	P812	P814	P811	XCOUT	XCIN	VSS	VCC	P411	EHMD	RES#	P201	VSS
L	IOVCC0	P813	P810	VCLH	XTAL	EXTAL	VCL	VBP	VBN	P207	P200	VCC_SU
K	P010	P011	P809	P807	P806			P409	P410	P209	VBAT_EHC	VSS
J	IOVSS0	P013	P808							P210	BSCANP	VSC_VCC
H	P815	P012	P014							P208	P205	P204
G	P002	P015									P203	P703
F	VREFL	P001									P704	P701
E	VREFH	P007	P003							P202	P702	P314
D	AVSS0	P004	P006							P109	P700	IOVCC1
C	AVCC0	P000	P005	P501	P104			P110	P111	P302	P315	IOVSS1
B	P500	P100	P101	P102	P103	P106	P107	P108	P112	P600	P300	P301
A	P509	P508	P510	P511	P105	IOVSS1	IOVCC1	P113	P602	P601	P603	P604

図 1.5 100 ピン BGA のピン配置図 (ボトムビュー)

TBD
(100ピン BGA)
(上面透視図面 (トップビュー))

	1	2	3	4	5	6	7	8	9	10	11	12
A	P509	P508	P510	P511	P105	IOVSS1	IOVCC1	P113	P602	P601	P603	P604
B	P500	P100	P101	P102	P103	P106	P107	P108	P112	P600	P300	P301
C	AVCC0	P000	P005	P501	P104			P110	P111	P302	P315	IOVSS1
D	AVSS0	P004	P006							P109	P700	IOVCC1
E	VREFH	P007	P003							P202	P702	P314
F	VREFL	P001									P704	P701
G	P002	P015									P203	P703
H	P815	P012	P014							P208	P205	P204
J	IOVSS0	P013	P808							P210	BSCANP	VSC_VCC
K	P010	P011	P809	P807	P806			P409	P410	P209	VBAT_EHC	VSS
L	IOVCC0	P813	P810	VLCH	XTAL	EXTAL	VCL	VBP	VBN	P207	P200	VCC_SU
M	P812	P814	P811	XCOUT	XCIN	VSS	VCC	P411	EHMD	RES#	P201	VSS

図 1.6 100ピン BGA のピン配置図 (トップビュー)

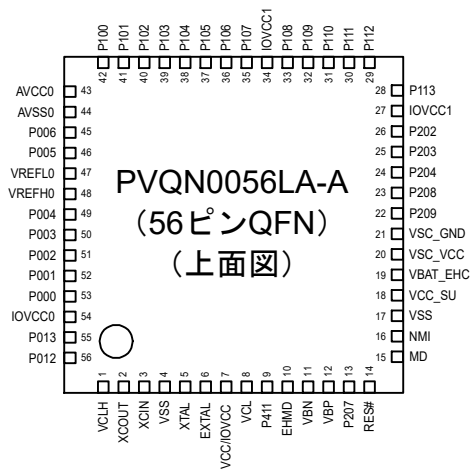


図 1.7 56ピン QFN のピン配置図

1.7 端子一覧

表 1.15 端子一覧 (1/3)

100ピン L/PdFP	100ピン BGA	72ピン MLBGA	64ピン L/PdFP	68ピン DFN	電源、システム、 クロック	I/O ポート	タイマ (CAC, CCC, GPT, AGT, AGTW, TMR, WUPT, RTC)	通信 (SCI, SPI, IIC, QSPI)	表示系 (MLCD)	外部割り込み (IRQn, KINT)	アナログ (ADC14)	電源
1	M1	—	—	—		P812	AGTWEE1_B	TXD4_C/QSPCLK_A				IOVCC0
2	M3	—	—	—		P811	AGTWIO1_B	QIO0_A				IOVCC0
3	L3	—	—	—		P810	AGTIO1_B/GTIIOC3A_B	QIO1_A		IRQ5_B		IOVCC0
4	K3	—	—	—		P809	AGTEE1_B/GTIIOC3B_B	QIO2_A		IRQ6_B		IOVCC0
5	J3	F5	—	—		P808	AGTO1_B	RXD3_B/QIO3_A		IRQ2_B		IOVCC0
6	K4	E4	—	—		P807	AGTOA1_B	CTS3_B/QSSL_A		IRQ6_A		IOVCC0
7	K5	—	—	—		P806	AGTOB1_B					IOVCC0
8	L4	G2	1	1	VCLH							
9	M4	H1	2	2	XCOUT							IOVCC
10	M5	G1	3	3	XCIN							IOVCC
11	M6	F1	4	4	VSS							
12	L5	E1	5	5	XTAL	P413	GTIOC0A_A	TXD3_A				IOVCC
13	L6	D1	6	6	EXTAL	P412	GTIOC0B_A	RXD3_A				IOVCC
14	M7	F2	7	7	VCC/IOVCC							
15	L7	E2	8	8	VCL							
16	M8	F3	9	9	CLKOUT32K_A	P411	AGTWEE1_A/GTIIOC0B_B	TXD9_A/SCK3_A		IRQ0_A_DS		IOVCC
17	K9	C1	—	—		P410				IRQ9_A		IOVCC
18	K8	—	—	—	CLKOUT32K_B	P409				IRQ9_B		IOVCC
19	M9	D2	10	10	EHMD							IOVCC
20	L9	C2	11	11	VBN							
21	L8	B1	12	12	VBP							
22	L10	E3	13	13		P207	AGTWO1_A/GTIIOC0A_B	RXD9_A/CTS3_A		IRQ1_A_DS		IOVCC
23	M10	D3	14	14	RES#							IOVCC
24	M11	C3	15	15	MD	P201						IOVCC
25	L11	B2	16	16		P200				NMI		IOVCC
26	M12	A1	17	17	VSS							
27	L12	B3	18	18	VCC_SU							
28	K11	A2	19	19	VBAT_EHC							
29	J12	A3	20	20	VSC_VCC							
30	K12	A4	21	21	VSC_GND							
31 (注1)	J11	B4	22 (注1)	—	BSCANP							IOVCC
32	J10	D4	23	—		P210	AGTWOA1_A					IOVCC
33	K10	C4	24	22		P209	AGTWOB1_A					IOVCC
34	H10	B5	25	23		P208	AGTWIO1_A/TMWO					IOVCC
35	H11	E5	—	—		P205	AGTWO0_B	CTS4_B		IRQ8_C		IOVCC1
36	H12	A5	26	24		P204	ADTRG0_A/AGTO0_A/GTIU_A/ TMCIO_A/RTCIC0_A	SCK4_B		IRQ7_B		IOVCC1
37	G11	D5	27	25		P203	AGTOA0_A/GTIV_A/TMRI0_A/ RTCIC1_A	RXD4_B				IOVCC1
38	E10	C5	28	26		P202	CACREF_A/AGTOB0_A/ GTIW_A/TMO0_A/CCCOU_A/ RTCOU_A	TXD4_B		IRQ4_A		IOVCC1
39	F11	—	—	—		P704	AGTWOA0_B	CTS0_C				IOVCC1
40	G12	—	—	—		P703	AGTWOB0_B	TXD0_C				IOVCC1
41	E11	—	—	—		P702	AGTWEE0_B	RXD0_C				IOVCC1
42	F12	A6	29	—		P701	TMRI1/RTCIC2_A	SCL1				IOVCC1
43	D11	A7	30	—		P700	TMO1	SCK0_C/SDA1				IOVCC1

表 1.15 端子一覧 (2/3)

100ピン Light	100ピン BGA	72ピン WLPGA	64ピン Light	68ピン DFN	電源、システム、 クロック	I/Oポート	タイマ (CAC, CCC, GPT, AGT, AGTW, TMR, WUPT, RTC)	通信 (SCI, SPI, IIC, QSPI)	表示系 (MLCD)	外部割り込み (IRQn, KINT)	アナログ (ADC14)	電源
44	C11	—	—	—		P315	AGTWIO0_B/GTIOC4A_B	TXD5_B				IOVCC1
45	E12	—	—	—		P314	GTIOC4B_B	RXD5_B				IOVCC1
46	D12	B7	31	27	IOVCC1							
47	C12	A8	32	—	VSS							
48	C10	—	—	—		P302	GTIU_B/GTIOC2A_B/TMCIO_B/	CTS5_B				IOVCC1
49	B12	—	—	—		P301	GTIV_B/GTIOC2B_B/TMRI0_B/ CCCOU_T_B/RTCOU_T_B	SCK5_B				IOVCC1
50	B11	—	—	—		P300	GTIW_B/TMO0_B					IOVCC1
51	A12	—	—	—		P604	GTOWLO_B/GTIOC5B_B/ RTIC0_B	TXD9_B		IRQ3_C		IOVCC1
52	A11	—	—	—		P603	GTETRGB_B/GTIOC5A_B/ RTIC1_B	RXD9_B				IOVCC1
53	A9	—	—	—		P602	GTOUUP_B/RTIC2_B	SCK9_B				IOVCC1
54	A10	—	—	—		P601	GTOULO_B	CTS9_B				IOVCC1
55	B10	—	—	—		P600	GTETPGA_B					IOVCC1
56	A8	B8	33	28		P113	AGTEE0_A/GTOWUP_A/TMC1	TXD4_A/SSLB2_A/QIO0_B	MLCD_VCOM	IRQ3_A_DS		IOVCC1
57	B9	B6	34	29		P112	AGTEE0_B/AGTWEE0_A/ GTOWLO_A	RXD4_A/SSLB3_A/ QIO1_B	MLCD_XRST	IRQ8_B		IOVCC1
58	C9	C8	35	30		P111	AGTO0_B/AGTWO0_A/ GTOUUP_A/GTIOC2A_A	CTS4_A/RXD5_A/ SSLB1_A/QIO2_B	MLCD_SCLK			IOVCC1
59	C8	C7	36	31		P110	AGTOA0_B/AGTWOA0_A/ GTOULO_A/GTIOC2B_A	SCK9_A/SCK5_A/ MOSIB_A/QIO3_B	MLCD_DEN			IOVCC1
60	D10	C6	37	32		P109	AGTOB0_B/AGTWOB0_A/ GTOVUP_A	CTS9_A/CTS5_A/ MISOB_A/QSPCLK_B	MLCD_ENBS			IOVCC1
61	B8	D8	38	33		P108	AGTIO0_B/AGTWIO0_A/ GTOVLO_A	SCK4_A/TXD5_A/ RSPCKB_A/QSSL_B	MLCD_ENBG			IOVCC1
62	A7	E7	39	34	IOVCC1							
63	A6	E8	40	—	VSS							
64	B7	D7	41	35	TMS	P107	AGTOB1_A/GTETRGA_A/ GTIOC1A_A	CTS0_A/RSPCKA_A	MLCD_SI0	IRQ7_A/KRM07_A		IOVCC1
65	B6	D6	42	36	TDO	P106	AGTOA1_A/GTETRGB_A/ GTIOC1B_A	TXD0_A/SSLB0_A	MLCD_SI1	IRQ3_B/KRM06_A		IOVCC1
66	A5	E6	43	37	TDI	P105	AGTO1_A/GTIOC4A_A	RXD0_A/MISOA_A	MLCD_SI2	IRQ8_A/KRM05_A		IOVCC1
67	C5	F8	44	38	TCK	P104	AGTIO1_A/GTIOC4B_A	SCK0_A/MOSIA_A	MLCD_SI3	IRQ4_B/KRM04_A		IOVCC1
68	B5	F7	45	39		P103	AGTEE1_A/GTIOC5A_A	CTS2_A/CTS1_A/ SSLA0_A	MLCD_SI4	KRM03_A		IOVCC1
69	B4	F6	46	40		P102	AGTIO0_A/GTIOC5B_A	TXD2_A/TXD1_A/ IRTXD1_A/SSLA1_A	MLCD_SI5	KRM02_A		IOVCC1
70	B3	G8	47	41		P101	ADTRG0_B/GTIOC0A_C	RXD2_A/RXD1_A/ IRRXD1_A/SSLA2_A	MLCD_SI6	KRM01_A		IOVCC1
71	B2	H8	48	42		P100	CACREF_B/GTIOC0B_C	SCK2_A/SCK1_A/ SSLA3_A	MLCD_SI7	KRM00_A		IOVCC1
72	A4	—	—	—		P511	GTOVUP_B/GTIOC1B_B	SCK0_B		KRM03_B		IOVCC1
73	A3	—	—	—		P510	GTOVLO_B/GTIOC1A_B	RXD0_B		KRM02_B	AN021	IOVCC1
74	A1	—	—	—		P509		TXD0_B		KRM01_B	AN020	IOVCC1
75	A2	—	—	—		P508				IRQ4_C	AN017	IOVCC1
76	C4	—	—	—		P501					AN016	IOVCC1
77	B1	—	—	—		P500	GTOWUP_B	CTS0_B				IOVCC1
78	C1	G7	49	43	AVCC0							
79	D1	G6	50	44	AVSS0							
80	E2	H7	51	—		P007					AN007	AVCC0
81	D3	J7	52	45		P006					AN006	AVCC0
82	C3	H6	53	46		P005					AN005	AVCC0
83	F1	J6	54	47	VREFLO							

表 1.15 端子一覧 (3/3)

100ピン LQFP	100ピン BGA	72ピン WLPGA	64ピン LQFP	56ピン LQFP	電源、システム、 クロック	I/Oポート	タイマ (CAC, CCC, GPT, AGT, AGTW, TMR, WUPT, RTC)	通信 (SCI, SPI, IIC, QSPI)	表示系 (MLCD)	外部割り込み (IRQn, KINT)	アナログ (ADC14)	電源
84	E1	J5	55	48	VREFH0/AVTRO							
85	D2	H5	56	49		P004					AN004	AVCC0
86	E3	H4	57	50		P003					AN003	AVCC0
87	G1	J4	58	51		P002					AN002	AVCC0
88	F2	H3	59	52		P001					AN001	AVCC0
89	C2	J3	60	53		P000					AN000	AVCC0
90	J1	G5	61	—	VSS							
91	L1	G4	62	54	IOVCC0							
92	G2	G3	63	—	CLKOUT	P015	GTIOC3A_A	SSLA1_B		IRQ5_A		IOVCC0
93	H3	F4	64	—		P014	GTIOC3B_A	SSLA0_B		IRQ2_A_DS		IOVCC0
94	J2	J2	—	55		P013		SCK3_B/SCL0				IOVCC0
95	H2	H2	—	56		P012		TXD3_B/SDA0				IOVCC0
96	K2	—	—	—		P011		RSPCKA_B				IOVCC0
97	K1	—	—	—		P010		MOSIA_B				IOVCC0
98	H1	—	—	—		P815	AGTWOB1_B	CTS4_C/MISOA_B				IOVCC0
99	M2	—	—	—		P814	AGTWOA1_B	SCK4_C/SSLA2_B				IOVCC0
100	L2	—	—	—		P813	AGTWO1_B	RXD4_C/SSLA3_B				IOVCC0

注. 端子名については、以下の注意事項があります。

- SCli, SClg における各モードの通信端子は、以下の通り同一端子に兼用されています。RXDn/SCLn/MISO_n, TXDn/SDAn/MOS_n, CTS_n/RTS_n/SS_n
- 端子名に“_A”、“_B”、“_C”などのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。SPI、QSPI、SCI については、電気的特性の AC タイミングを各グループで測定しています。
- 端子名に“_DS”が付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます

注 1. LQFP パッケージには BSCANP 機能がないので、GND に接続してください。

2. 電気的特性

特に指定がない限り、電気特性は次の条件で定義されます。

- $VCC = AVCC0 = IOVCC0 = IOVCC1 = 1.62 \sim 3.6 \text{ V}$
- $1.62 \text{ V} \leq VREFH0 \leq AVCC0$
- $VSS = AVSS0 = VREFL0 = 0\text{V}$
- $T_a = T_{opr}$
- 各 I/O 端子の負荷容量は、30pF

2.1 絶対最大定格

表 2.1 絶対最大定格

項目	記号	値	単位	
電源電圧	電源電圧	VCC	-0.3 ~ 4.6	V
	EHC 用入力電圧	VSC_VCC	-0.3 ~ 4.6	V
	EHC 用二次電池入力電圧	VBAT_EHC	-0.3 ~ 4.6	V
	I/O 用電源電圧	IOVCC, IOVCC0~1	-0.3 ~ 4.6	V
入力電圧	V_{in}	-0.3 ~ VCC + 0.3 (max 4.6 V)	V	
リファレンス電源電圧	VREFH0	-0.3 ~ AVCC0 + 0.3 (max 4.6 V)	V	
	VREFL0	-0.3 ~ AVSS0 + 0.3	V	
アナログ電源電圧	AVCC0	-0.3 ~ 4.6	V	
ジャンクション温度	T_j	-40 ~ +95	°C	
保存温度	T_{stg}	-55 ~ +125	°C	

【使用上の注意】絶対最大定格を超えて使用した場合、永久破壊されることがあります。

表 2.2 推奨動作条件

項目	記号	Min	Typ	Max	単位
電源電圧	VCC	1.62	—	3.6	V
	VSS	—	0	—	V
EHC 用入力電圧	VSC_VCC	1.62	—	3.6	V
EHC 用二次電池入力電圧	VBAT_EHC ^(注1)	1.62	—	3.6	V
アナログ電源電圧	AVCC0	1.62	—	3.6	V
	AVSS0	—	0	—	V
	VREFH0	1.62	—	AVCC0	V
	VREFL0	—	0	—	V
I/O 電源	IOVCC, IOVCC0, IOVCC1	1.62	—	3.6	V
電源電圧	T_{opr}	-40	—	85	°C

注 1. VBAT_EHC に接続できる二次電池電圧は、2.4 V、2.5 V、2.6 V、2.7 V、2.8 V、2.9 V、3.0 V、または 3.1 V です。

2.2 DC 特性

2.2.1 I/O 入力特性 (V_{IH} , V_{IL})表 2.3 I/O 入力特性 (V_{IH} , V_{IL})

項目		記号	Min	Typ	Max	単位	測定条件	
シュミットトリガ入力電圧	RES#, NMI, IRQn, および周辺機能の入力端子 (IIC を除く)	V_{IH}	$VCC \times 0.8$	—	—	V	—	
		V_{IL}	—	—	$VCC \times 0.2$			
		ΔV_T	0.3	—	—			
	IIC	V_{IH}	$VCC \times 0.7$	—	—		V	$VCC = 3.0 \sim 3.6 V$
		V_{IL}	—	—	$VCC \times 0.3$			
		ΔV_T	$VCC \times 0.05$	—	—			
入力電圧 (シュミットトリガ入力端子を除く)	EXTAL、MD、EHMD、汎用入出力ポート	V_{IH}	$VCC \times 0.8$	—	—	V		—
		V_{IL}	—	—	$VCC \times 0.2$			

2.2.2 I/O 出力特性 (V_{OH} , V_{OL}) (1)表 2.4 I/O 出力特性 (V_{OH} , V_{OL}) (1)

項目	レジスタ設定	記号	Min	Typ	Max	単位	測定条件	
出力 High レベル電圧	標準駆動 (PmnPFS.DSCR[1:0] = 10b)	V_{OH}	$VCC - 0.6$	—	—	V	$I_{OH} = 2 \text{ mA}$	
	高駆動 (PmnPFS.DSCR[1:0] = 11b)		$VCC - 0.5$	—	—		$I_{OH} = 2 \text{ mA}$	
出力 Low レベル電圧	標準駆動 (PmnPFS.DSCR[1:0] = 10b)	V_{OL}	—	—	0.6		V	$I_{OL} = 2 \text{ mA}$
	高駆動 (PmnPFS.DSCR[1:0] = 11b)		—	—	0.5			$I_{OL} = 2 \text{ mA}$

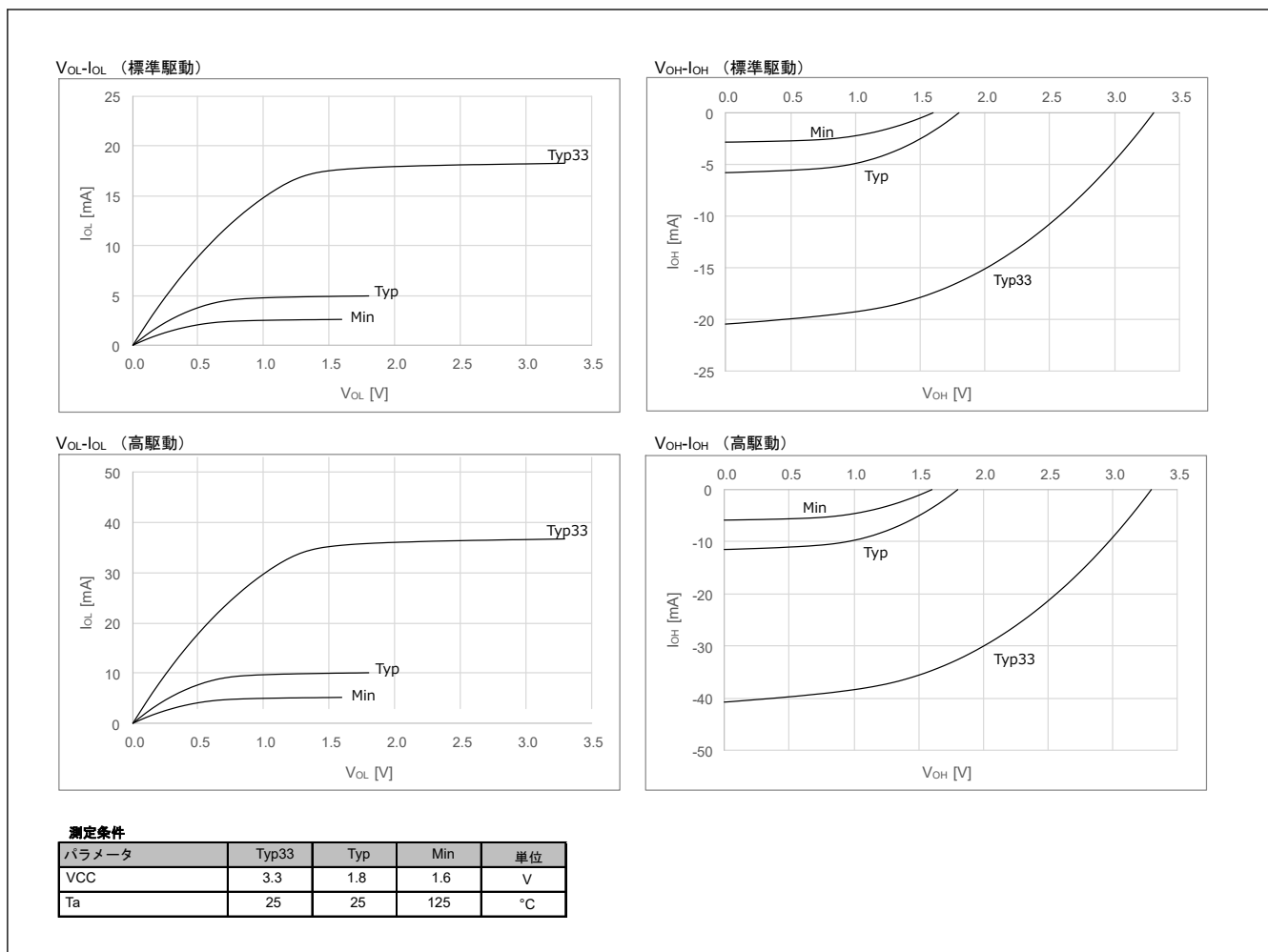


図 2.1 VOH-IoH および VOL-IOL 特性

2.2.3 I/O 出力特性 (V_{OL}) (2)

表 2.5 I/O 出力特性 (V_{OL}) (2)

条件: VCC = 3.0~3.6 V

項目	記号	Min	Typ	Max	単位	測定条件
出力 Low レベル電圧	V _{OL}	—	—	0.4	V	I _{OL} = 3 mA
		—	—	0.6		I _{OL} = 6 mA

2.2.4 プルアップ抵抗

表 2.6 プルアップ抵抗

項目	記号	Min	Typ	Max	単位	測定条件
プルアップ抵抗	I _P	120	200	—	kΩ	VCC = 2.5 V

2.2.5 端子容量

表 2.7 端子容量

項目		記号	Min	Typ	Max	単位	測定条件
IIC 関連端子	P012, P013, P700, P701	C _{in}	—	—	8	pF	—
EXTAL, XTAL	P412, P413		—	—	16		
上記以外の全端子			—	—	16		

2.2.6 動作電流とスタンバイ電流

表 2.8 動作電流とスタンバイ電流 (1/6)

Max 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.6 V, T_a = T_{opr} = 85°CTyp 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.3 V, T_a = T_{opr} = 25°C

電源供給モード	電力制御モード/低消費電力モード	動作周波数設定値	クロックソース	Typ	Max	単位		
全電源供給モード (ALLPWON) コードはフラッシュメモリから実行	BOOST	最大動作 ^(注1)	ICLK/PCLKB = 64/32 MHz	HOCO	—	14	mA	
			ICLK/PCLKB = 32/16 MHz		—	9.1 ^(注3)		
		while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32/32 MHz	MOSC	3.6	—		
			ICLK/PCLKB = 16/16 MHz		1.9	—		
			ICLK/PCLKB = 32/16 MHz		3.0	—		
			ICLK/PCLKB = 64/32 MHz	HOCO	5.7	—		
			ICLK/PCLKB = 32/16 MHz		2.9	—		
			ICLK/PCLKB = 32/16 MHz		2.9	—		
		CoreMark (周辺機能へのクロック供給停止 ^(注2))	ICLK/PCLKB = 64/1 MHz	HOCO	2.3	—		
			ICLK/PCLKB = 32/0.5 MHz		1.2	—		
			While(1) 動作 (周辺機能へのクロック供給停止 ^(注2))	ICLK/PCLKB = 64/32 MHz	HOCO	2.0		—
				ICLK/PCLKB = 32/16 MHz		1.1		—
		スリープモード (周辺機能へのクロック供給停止 ^(注2))	ICLK/PCLKB = 32/32 MHz	MOSC	1.2	—		
			ICLK/PCLKB = 16/16 MHz		0.7	—		
			ICLK/PCLKB = 64/1 MHz	HOCO	1.8	—		
			ICLK/PCLKB = 32/0.5 MHz		1.0	—		
		NORMAL	最大動作 ^(注1)	ICLK/PCLKB = 32/32 MHz	MOSC	—	8.3	mA
				ICLK/PCLKB = 16/16 MHz		—	6.1 ^(注3)	
	while(1) 動作 (周辺クロック供給)		ICLK/PCLKB = 32/32 MHz	MOSC	2.9	7.6		
			ICLK/PCLKB = 16/16 MHz		1.5	5.7 ^(注3)		
			ICLK/PCLKB = 32/32 MHz	HOCO	2.8	7.5		
			ICLK/PCLKB = 16/16 MHz		1.6	5.8 ^(注3)		
	CoreMark (周辺機能へのクロック供給停止 ^(注2))		ICLK/PCLKB = 32/0.50 MHz	MOSC	1.1	—		
			ICLK/PCLKB = 16/0.25 MHz		0.61	—		
While(1) 動作 (周辺機能へのクロック供給停止 ^(注2))	ICLK/PCLKB = 32/32 MHz		MOSC	0.97	—			
	ICLK/PCLKB = 16/16 MHz			0.56	—			
	ICLK/PCLKB = 32/0.50 MHz			0.84	5.7			
	ICLK/PCLKB = 16/0.25 MHz			0.49	—			
スリープモード (周辺機能へのクロック供給停止 ^(注2))	ICLK/PCLKB = 32/32 MHz		MOSC	0.56	—			
	ICLK/PCLKB = 16/16 MHz			0.35	—			
	ICLK/PCLKB = 32/0.50 MHz			0.45	—			
	ICLK/PCLKB = 16/0.25 MHz			0.3	—			

表 2.8 動作電流とスタンバイ電流 (2/6)

Max 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.6 V, T_a = T_{opr} = 85°CTyp 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.3 V, T_a = T_{opr} = 25°C

電源供給モード	電力制御モード/低消費電力モード	動作周波数設定値	クロックソース	Typ	Max	単位	
全電源供給モード (ALLPWON) コードはフラッシュメモリから実行	VBB	最大動作(注1)	ICLK/PCLKB = 32.7/32.7 kHz	LOCO	—	120(注3)	μA
		while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32.7/32.7 kHz		44	—	
			ICLK/PCLKB = 32.7/0.51 kHz		43	—	
		スリープモード (周辺機能へのクロック供給停止 (注2))	ICLK/PCLKB = 32.7/0.51 kHz	SOSC (標準 CL)	40	—	
					while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32.768/32.768 kHz	
		スリープモード (周辺機能へのクロック供給停止 (注2))	ICLK/PCLKB = 32.768/0.512 kHz	SOSC (低 CL)	40	—	
					while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32.768/32.768 kHz	
		While(1) 動作 (周辺機能へのクロック供給停止 (注2))	ICLK/PCLKB = 32.768/32.768 kHz	SOSC (低 CL)	43	—	
					ICLK/PCLKB = 32.768/0.512 kHz	43	
		スリープモード (周辺機能へのクロック供給停止 (注2))	ICLK/PCLKB = 32.768/32.768 kHz	SOSC (低 CL)	39	—	
					ICLK/PCLKB = 32.768/0.512 kHz	39	

表 2.8 動作電流とスタンバイ電流 (3/6)

Max 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.6 V, T_a = T_{opr} = 85°CTyp 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.3 V, T_a = T_{opr} = 25°C

電源供給モード	電力制御モード/低消費電力モード		動作周波数設定値	クロックソース	Typ	Max	単位		
Flash 以外電源供給モード (EXFPWON) コードは SRAM から実行	BOOST	ソフトウェアスタンバイモード(注4)	VCC = 3.3 V 時	ICLK/PCLKB = 32.7/32.7 kHz	LOCO	39	—	μA	
			VCC = 1.8 V 時			38	—		
	BOOST_VBB	ソフトウェアスタンバイモード(注4)	VCC = 3.3 V 時	ICLK/PCLKB = 32.7/32.7 kHz	LOCO	14	—	μA	
			VCC = 1.8 V 時			13	—		
	NORMAL	High-Speed モード	最大動作(注1)	ICLK/PCLKB = 32/32 MHz	MOSC	—	7.3(注3)	mA	
				ICLK/PCLKB = 16/16 MHz		—	5.8(注3)		
			while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32/32 MHz	MOSC	2.8	—		
				ICLK/PCLKB = 16/16 MHz		1.5	—		
				ICLK/PCLKB = 32/32 MHz		HOCO	2.8	—	
				ICLK/PCLKB = 16/16 MHz			1.5	—	
			While(1) 動作 (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 32/32 MHz	MOSC	0.93	—		
				ICLK/PCLKB = 16/16 MHz		0.52	—		
				ICLK/PCLKB = 32/0.50 MHz		0.8	—		
				ICLK/PCLKB = 16/0.25 MHz		0.45	—		
			スリープモード (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 32/32 MHz	MOSC	0.52	—		
				ICLK/PCLKB = 16/16 MHz		0.32	—		
				ICLK/PCLKB = 32/0.50 MHz		0.41	—		
				ICLK/PCLKB = 16/0.25 MHz		0.26	—		
			Low-Speed モード	最大動作(注1)	ICLK/PCLKB = 2/2 MHz	MOSC	—	4.4(注3)	mA
					ICLK/PCLKB = 1/1 MHz		—	4.3(注3)	
while(1) 動作 (周辺クロック供給)				ICLK/PCLKB = 2/2 MHz	MOSC	0.22	—		
				ICLK/PCLKB = 1/1 MHz		0.13	—		
				ICLK/PCLKB = 2/2 MHz	MOCO	0.2	—		
				ICLK/PCLKB = 1/1 MHz		0.12	—		
While(1) 動作 (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 2/2 MHz	MOSC		0.10	—				
	ICLK/PCLKB = 1/1 MHz			0.07	—				
	ICLK/PCLKB = 2000/31.25 kHz			0.09	—				
	ICLK/PCLKB = 1000/31.25 kHz			0.07	—				
スリープモード (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 2/2 MHz	MOSC		0.07	—				
	ICLK/PCLKB = 1/1 MHz			0.06	—				
	ICLK/PCLKB = 2000/31.25 kHz			0.07	—				
	ICLK/PCLKB = 1000/31.25 kHz			0.05	—				
ソフトウェアスタンバイモード(注4)		VCC = 3.3 V 時	LOCO	24	—	μA			
		VCC = 1.8 V 時		24	—				
		VCC = 3.3 V 時	SOSC (標準 CL)	24	—				
		VCC = 1.8 V 時		24	—				
		VCC = 3.3 V 時	SOSC (低 CL)	23	—				
		VCC = 1.8 V 時		23	—				

表 2.8 動作電流とスタンバイ電流 (4/6)

Max 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.6 V, T_a = T_{opr} = 85°CTyp 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.3 V, T_a = T_{opr} = 25°C

電源供給モード	電力制御モード/低消費電力モード	動作周波数設定値	クロックソース	Typ	Max	単位			
Flash 以外電源供給モード (EXFPWON) コードは SRAM から実行	VBB	最大動作(注1)	ICLK/PCLKB = 32.7/32.7 kHz	LOCO	—	26(注3)	μA		
		while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32.7/32.7 kHz		4.1	—			
		スリープモード (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 32.7/0.51 kHz		1.6	—			
		ソフトウェアスタンバイモード(注4)	VCC = 3.3 V/3.6 V 時		SOSC (標準 CL)	1.4		22(注3)	
			VCC = 1.8 V 時			1.3		—	
		while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32.768/32.768 kHz		SOSC (標準 CL)	4.7		—	
		スリープモード (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 32.768/0.512 kHz			2.2		—	
		ソフトウェアスタンバイモード(注4)	VCC = 3.3 V 時			SOSC (低 CL)		2.0	—
			VCC = 1.8 V 時					1.9	—
		while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32.768/32.768 kHz			SOSC (低 CL)		4.0	—
		While(1) 動作 (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 32.768/32.768 kHz	4.0			—		
		スリープモード (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 32.768/0.512 kHz	1.5	—				
		ソフトウェアスタンバイモード(注4)	VCC = 3.3 V 時	SOSC (低 CL)	1.3		—		
			VCC = 1.8 V 時		1.2	—			

表 2.8 動作電流とスタンバイ電流 (5/6)

Max 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.6 V, T_a = T_{opr} = 85°CTyp 測定条件 : VCC = AVCC0 = AVCC1 = VREFH0 = 3.3 V, T_a = T_{opr} = 25°C

電源供給モード	電力制御モード/低消費電力モード		動作周波数設定値	クロックソース	Typ	Max	単位	
最小電源供給モード (MINPWON) コードは SRAM から実行	BOOST	ソフトウェアスタンバイモード(注4)	VCC = 3.3 V 時	ICLK/PCLKB = 32.7/32.7 kHz	LOCO	29	—	μA
			VCC = 1.8 V 時	ICLK/PCLKB = 32.7/32.7 kHz		28	—	
	BOOST_VBB	ソフトウェアスタンバイモード(注4)	VCC = 3.3 V 時	ICLK/PCLKB = 32.7/32.7 kHz	LOCO	14	—	μA
			VCC = 1.8 V 時	ICLK/PCLKB = 32.7/32.7 kHz		13	—	
	NORMAL	High-Speed モード	最大動作(注1)	ICLK/PCLKB = 32/32 MHz	MOSC	—	4.6(注3)	mA
				ICLK/PCLKB = 16/16 MHz		—	3.8(注3)	
			while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32/32 MHz	MOSC	1.3	—	
				ICLK/PCLKB = 16/16 MHz		0.72	—	
			While(1) 動作 (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 32/32 MHz	MOSC	0.9	—	
				ICLK/PCLKB = 16/16 MHz		0.5	—	
				ICLK/PCLKB = 32/0.5 MHz	0.78	3.7(注3)		
				ICLK/PCLKB = 16/0.5 MHz	0.44	—		
			スリープモード (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 32/32 MHz	MOSC	0.5	—	
				ICLK/PCLKB = 16/16 MHz		0.3	—	
		ICLK/PCLKB = 32/0.5 MHz		0.39	—			
		ICLK/PCLKB = 16/0.5 MHz		0.25	—			
		Low-Speed モード	最大動作(注1)	ICLK/PCLKB = 2/2 MHz	MOSC	—	3000(注3)	μA
				ICLK/PCLKB = 1/1 MHz		—	2900(注3)	
			while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 2/2 MHz	MOCO	108	—	
				ICLK/PCLKB = 1/1 MHz		60	—	
While(1) 動作 (周辺機能へのクロック供給停止(注2))			ICLK/PCLKB = 2000/31.25 kHz	MOSC	78	—		
			ICLK/PCLKB = 1000/31.25 kHz		52	—		
			ICLK/PCLKB = 2/2 MHz	MOCO	68	—		
			ICLK/PCLKB = 1/1 MHz		46	—		
スリープモード (周辺機能へのクロック供給停止(注2))	ICLK/PCLKB = 2000/31.25 kHz		MOCO	60	—			
	ICLK/PCLKB = 1000/31.25 kHz			42	—			
	ICLK/PCLKB = 2/2 MHz		MOCO	43	—			
	ICLK/PCLKB = 1/1 MHz			34	—			
ソフトウェアスタンバイモード(注4)	VCC = 3.3 V 時		LOCO	14	—	μA		
	VCC = 1.8 V 時			14	—			
	VCC = 3.3 V 時	SOSC (標準 CL)	14	—				
	VCC = 1.8 V 時		14	—				
	VCC = 3.3 V 時	SOSC (低 CL)	14	—				
	VCC = 1.8 V 時		13	—				

表 2.8 動作電流とスタンバイ電流 (6/6)

Max 測定条件: VCC = AVCC0 = AVCC1 = VREFH0 = 3.6 V, T_a = T_{opr} = 85°CTyp 測定条件: VCC = AVCC0 = AVCC1 = VREFH0 = 3.3 V, T_a = T_{opr} = 25°C

電源供給モード	電力制御モード/低消費電力モード	動作周波数設定値	クロックソース	Typ	Max	単位	
最小電源供給モード (MINPWON) コードは SRAM から実行	VBB	while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32.768/32.768 kHz	SOSC (標準 CL)	2.4	10 ^(注3)	μA
		スリープモード (周辺機能へのクロック供給停止 (注2))	ICLK/PCLKB = 32.768/0.512 kHz		1.4	—	
		ソフトウェアスタンバイモード(注4)	VCC = 3.3 V 時		1.2	—	
	VCC = 1.8 V 時		1.1	—			
	while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32.7/32.7 kHz	LOCO	2	10 ^(注3)	μA	
				スリープモード (周辺機能へのクロック供給停止 (注2))	ICLK/PCLKB = 32.7/0.51 kHz		0.9
	ソフトウェアスタンバイモード	VCC = 3.3 V (TYP)/3.6 V (Max) 時		LOCO	0.6	8.4	μA
		VCC = 1.8 V 時			0.5	7.3 ^(注3)	
	while(1) 動作 (周辺クロック供給)	ICLK/PCLKB = 32.768/32.768 kHz	SOSC (低 CL)	1.7	—	μA	
	While(1) 動作 (周辺機能へのクロック供給停止 (注2))	ICLK/PCLKB = 32.768/32.768 kHz		1.7	—		
	スリープモード (周辺機能へのクロック供給停止 (注2))	ICLK/PCLKB = 32.768/0.512 kHz		0.7	—		
	ソフトウェアスタンバイモード(注4)	VCC = 3.3 V 時		0.5	7 ^(注3)		
		VCC = 1.8 V 時	0.4	5.8 ^(注3)			
ソフトウェアスタンバイモード(注4)	IWDT 使用時の増加分 (OFS0.IWDTSTRT = 0)		81	—	nA		
周辺機能増加分	AGT と AGTW 使用時の増加分 (AGTCR.TSTART = 1)		38	—			
(VCC 依存性なし)	SRAM 32 KB 当たりの増加分 (RAMSDCR で設定)		12	—			
ディープソフトウェアスタンバイ	VCC = 3.3 V(TYP)/3.6 V(Max)	—	—	120	1600 ^(注3)	nA	
	VCC = 1.8 V 時	—	—	100	1200 ^(注3)		
	SOSC 使用時の増加分 (VCC = 3.3 V 時)		SOSC (低 CL)	160	—		
	SOSC 使用時の増加分 (VCC = 1.8 V 時)			100	—		
スタンバイ時の周辺機能増加分	LVD0 使用時の増加分 (OFS1.LVDAS = 0)			48	—	nA	
	LVD1 使用時の増加分 (LVCMPCR.LVD1E = 1)			66	—		
	LVDBAT 使用時の増加分 (LVCMPCR.LVDBATR = 1)			66	—		
	CCC 使用時の増加分 (CADJUSCEN = 1 かつ ADUSTEN = 1) (3.3 V)			35	—		
	CCC 使用時の増加分 (CADJUSCEN = 1 かつ ADUSTEN = 1) (1.8 V)			12	—		
	WUPT 使用時の増加分 (TCR.TCST=1 かつ TCR.TCCE=1) (3.3 V)			65	—		
	WUPT 使用時の増加分 (TCR.TCST=1 かつ TCR.TCCE=1) (1.8 V)			30	—		
	RTC 使用時の増加分 (RCR4.R32KMD = 0 かつ RCR2.CNTMD = 1) (3.3 V)			200	—		
	RTC 使用時の増加分 (RCR4.R32KMD = 0 かつ RCR2.CNTMD = 1) (1.8 V)			100	—		
	RTC 使用時の増加分 (RCR4.R32KMD = 1 かつ RCR2.CNTMD = 1) (3.3 V)			280	—		
RTC 使用時の増加分 (RCR4.R32KMD = 1 かつ RCR2.CNTMD = 1) (1.8 V)			150	—			

注 1. “最大動作”とは、モジュールストップ状態をすべて解除して、DMAC での毎サイクル転送処理と、CPU の乗算命令の繰り返しの場合の電流値、と定義します。I/O 部分の消費電流は含みません。

注 2. 「周辺機能へのクロック供給停止」とは、ICLK と PCLKB の分周設定実施後に周辺回路をモジュールストップ状態へ遷移させた場合の電流値、と定義します。

注 3. 出荷検査を実施しません。この値は参考値です。

注 4. 動作周波数設定値に関わりなく、クロック供給は停止します。

表 2.9 アナログ動作電流 (AVCC0) とスタンバイ電流

Max 測定条件: VCC = AVCC0 = VREFH0 = 3.6 V, T_a = T_{opr} = 85°CTyp 測定条件: VCC = AVCC0 = VREFH0 = 3.3 V, T_a = T_{opr} = 25°C (VREF 回路未使用時)Typ 測定条件: VCC = AVCC0 = 3.3 V, AVTRO = 1.25 V, T_a = T_{opr} = 25°C (VREF 回路使用時)

項目	動作回路			記号	Typ	Max	単位	測定条件
	A/D	温度センサ	VREF					
AVCC0 電源電流	変換中	動作中	動作中	I _{AVCC0}	81	—	μA	PCLKB = 16 MHz サンプリング時間は 1 μs (ADSSTRn.SST[7:0] = 0x10)
		停止	動作中		77	—		
		動作中	停止		69	—		
		停止	停止		53	—		
		停止	停止		0.19	—		
	変換待機時	停止	停止	22	—	nA	PCLKB = 16 MHz(注1)	
	スタンバイ時				22	1900		クロック供給停止
リファレンス電源電流	変換中	停止	停止	I _{REFH0}	18	—	μA	PCLKB = 16 MHz
					0.08	—		PCLKB = 32.768 kHz
	変換待機時	停止	停止		22	—	nA	PCLKB = 16 MHz(注1)
	スタンバイ時				22	—		クロック供給停止

注 1. A/D コンバータにクロック供給されているが、A/D 変換していないときを示します。

表 2.10 IOVCC 待機電流

Max 測定条件: VCC = IOVCCn = 3.6 V, T_a = T_{opr} = 85°CTyp 測定条件: VCC = IOVCCn = 3.3 V, T_a = T_{opr} = 25°C

項目	記号	Typ	Max	単位	測定条件
IOVCC0 待機電流	I _{IOVCC0ST}	10	—	nA	—
IOVCC1 待機電流	I _{IOVCC1ST}	18	—		—
IOVCC0~1 待機電流 (合計)	—	—	1500		—

2.2.7 VCC 立ち上がり／立ち下がり勾配

表 2.11 VCC 立ち上がり／立ち下がり勾配特性

項目	記号	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり勾配	SrVCC	0.02	—	20	ms/V	—
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	2	—	20	ms/V	—

2.2.8 内蔵リニアレギュレータ特性

表 2.12 内蔵リニアレギュレータ特性

項目	記号	Min	Typ	Max	単位	測定条件
LDO 立ち上げ時間	t _{LDO}	220	—	—	μs	図 2.2
LDO 安定時間	t _{LDOWT}	60	—	—	μs	図 2.2

注. デバイスの安定動作を確保するために、LDO 安定時間中に消費電流の大きい動作を避けてください。

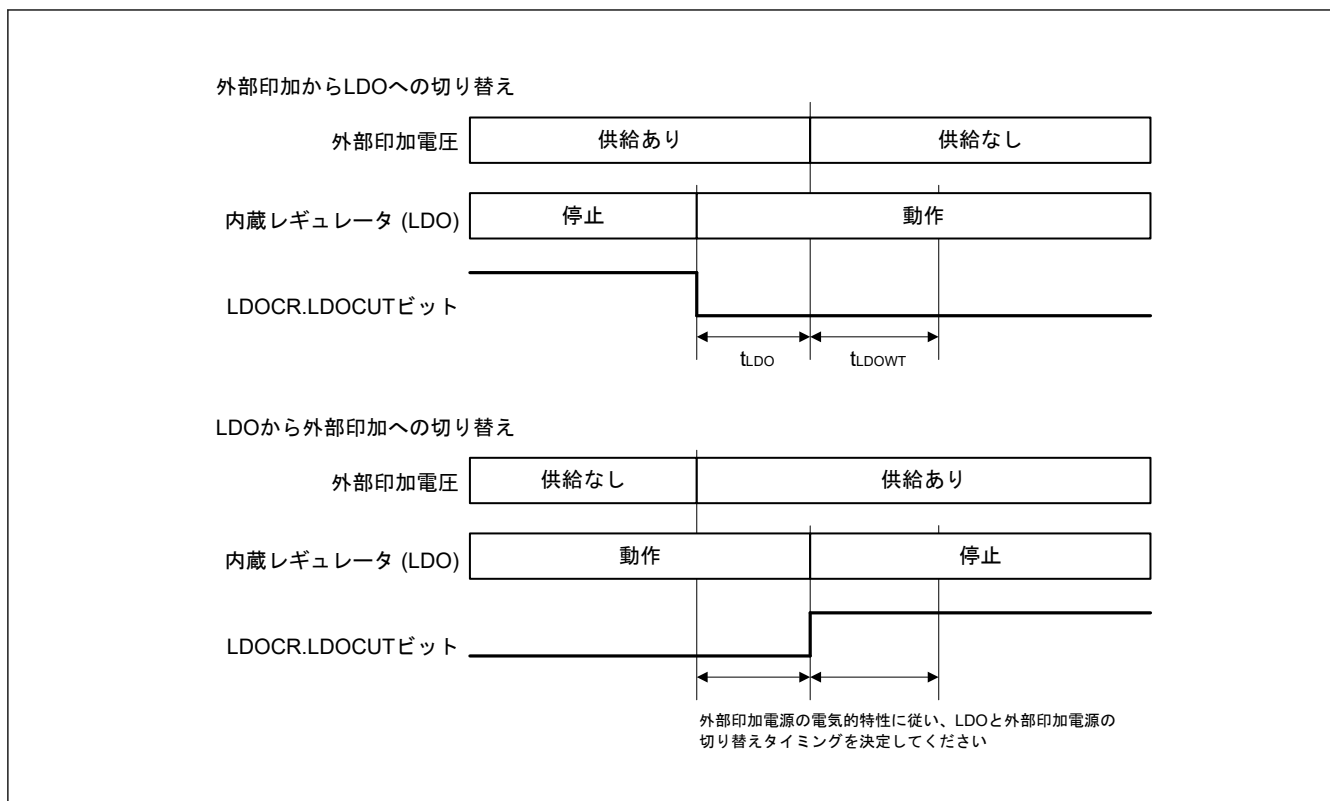


図 2.2 外部印加電源と LDO の切り替えタイミング

2.3 AC 特性

2.3.1 動作周波数

表 2.13 各モードにおける動作周波数

電力制御モード		クロック種	記号	Min	Typ	Max	単位
BOOST		システムクロック (ICLK)	f	—	—	64	MHz
		周辺モジュールクロック A (PCLKA)		—	—	64	
		周辺モジュールクロック B (PCLKB)		—	—	32	
NORMAL	High-Speed	システムクロック (ICLK)	—	—	32		
		周辺モジュールクロック A (PCLKA)	—	—	32		
		周辺モジュールクロック B (PCLKB)	—	—	32		
	Low-Speed	システムクロック (ICLK)	—	(注1)	2.3		
		周辺モジュールクロック A (PCLKA)	—	(注1)	2.3		
		周辺モジュールクロック B (PCLKB)	—	(注1)	2.3		
VBB		システムクロック (ICLK)	—	—	(注2)	37.6	kHz
		周辺モジュールクロック A (PCLKA)		—	(注2)	37.6	
		周辺モジュールクロック B (PCLKB)		—	(注2)	37.6	

注. フラッシュメモリのプログラム/イレーズ (P/E) モードでの最小 ICLK 周波数は 1MHz です。

注. クロック周波数の設定に関する制限: $ICLK/PCLKA \geq PCLKB$

クロック周波数比に関する制限 (N: 整数、最大 64): $ICLK/PCLKA:PCLKB = N:1$
PCLKA と ICLK は等速です。

注 1. クロックソースに MOCO を選択して分周なし設定の場合、2.0MHz

注 2. クロックソースにサブクロック発振器を選択して分周なし設定の場合、32.768kHz

2.3.2 クロックタイミング

表 2.14 サブクロック発振器以外のクロックタイミング

項目	記号	Min	Typ	Max	単位	測定条件	
EXTAL 外部クロック入力サイクル時間	t _{EXCyc}	39	—	—	ns	図 2.3	
EXTAL 外部クロック入力 High レベルパルス幅	t _{EXH}	15	—	—	ns		
EXTAL 外部クロック入力 Low レベルパルス幅	t _{EXL}	15	—	—	ns		
EXTAL 外部クロック入力立ち上がり時間	t _{EXr}	—	—	4.5	ns		
EXTAL 外部クロック入力立ち下がり時間	t _{EXf}	—	—	4.5	ns		
メインクロック発振器周波数	f _{MAIN}	8	—	32	MHz	—	
メインクロック発振安定待機時間 (水晶) (注1)	t _{MAINOSCWT}	—	—	—	ms	図 2.4	
LOCO クロック発振周波数	f _{LOCO}	27.8	32.7	37.6	kHz	—	
LOCO クロック発振安定待機時間	t _{LOCOWT}	—	—	130	μs	図 2.5	
IWDT 専用クロック発振周波数	f _{IWDTLOCO}	13.9	16.35	18.8	kHz	—	
MOCO クロック発振周波数	f _{MOCO}	1.4	2	2.3	MHz	—	
MOCO クロック発振安定待機時間	t _{MOCOWT}	—	—	16	μs	—	
HOCO クロック 発振周波数(注3)	FLL 補正機能なし	f _{HOCO24}	23.64	24	24.36	MHz	0 ≤ T _a ≤ +85°C
		f _{HOCO32}	31.52	32	32.48		
		f _{HOCO48}	47.28	48	48.72		
		f _{HOCO64}	63.04	64	64.96		
		f _{HOCO24}	23.64	24	24.36		-40 ≤ T _a ≤ 0°C
		f _{HOCO32}	31.52	32	32.48		
		f _{HOCO48}	47.28	48	48.72		
		f _{HOCO64}	63.04	64	64.96		
	FLL 補正機能あり	f _{HOCO24}	23.88	24	24.12	MHz	-40 ≤ T _a ≤ +85°C
		f _{HOCO32}	31.84	32	32.16		
		f _{HOCO48}	47.76	48	48.24		
		f _{HOCO64}	63.68	64	64.32		
HOCO クロック発振安定待機時間(注2)	t _{HOCOWT}	—	—	320	μs	—	
FLL 補正機能安定待機時間	f _{FLLWT}	—	—	1800	μs	—	

- 注 1. メインクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWT_{CR} レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。
- 注 2. HOCO_{CR}.HCSTP = 0 にしてから OSCSF.HOCOSF = 1 になるまでの時間です。
- 注 3. 保証特性は、パッケージング後の値です。WLBGA サンプルは、サンプルをお客様のシステムに実装した時点で応力変動により特性値が劣化します。

表 2.15 サブクロック発振器のクロックタイミング

項目	記号	Min	Typ	Max	単位	測定条件
サブクロック周波数	f _{SUB}	—	32.768	—	kHz	—
サブクロック発振安定待機時間	t _{SUBOSCWT}	—	—	—(注1)	s	図 2.6

注 1. サブクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を基にして必要な発振安定時間を決定してください。サブクロック動作を開始するために SOSCCR.SOSTP ビット設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。必要な発振安定時間の推奨値は発振器メーカーによる発振評価結果の 2 倍の値です。

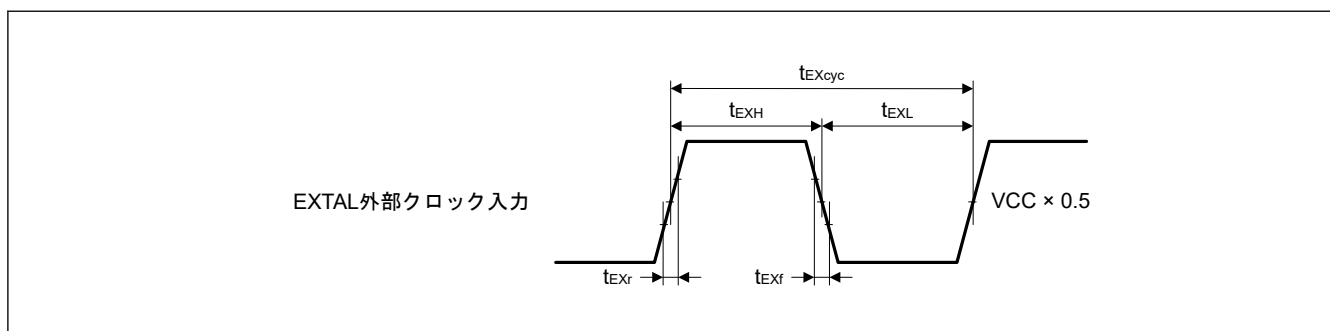


図 2.3 EXTAL 外部クロック入力タイミング

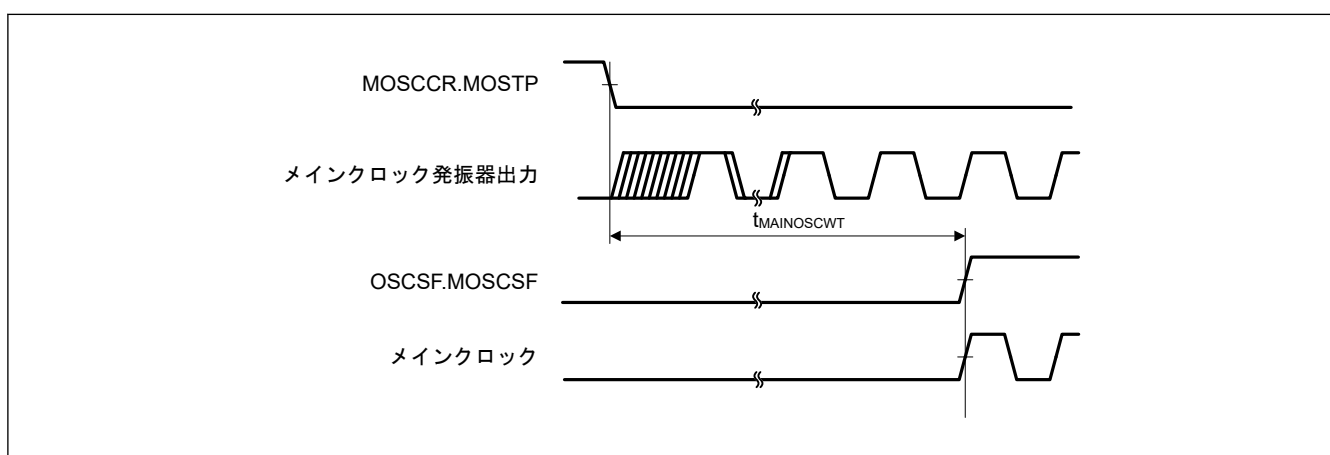


図 2.4 メインクロック発振開始タイミング

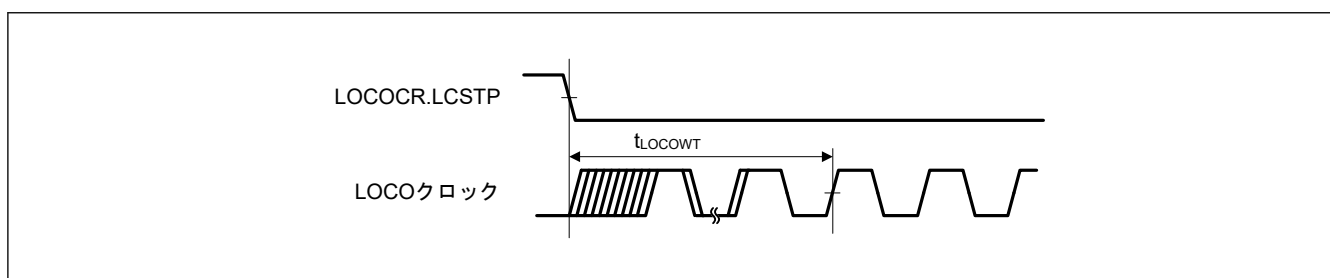


図 2.5 LOCO クロック発振開始タイミング

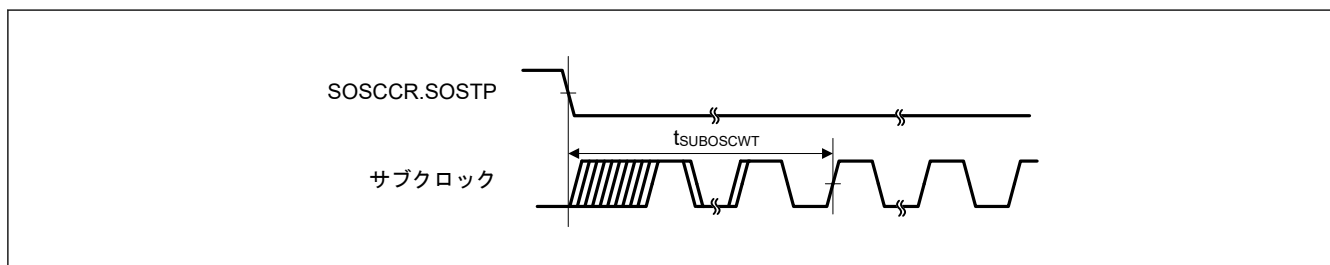


図 2.6 サブクロック発振開始タイミング

2.3.3 リセットタイミグ

表 2.16 リセットタイミグ

項目	記号	Min	Typ	Max	単位	測定条件		
RES#パルス幅	パワーオン (通常起動モード時)	t_{RESWP}	44	—	—	ms	図 2.7	
	ディープソフトウェアスタンバイモード	t_{RESWD}	7.7	—	—	ms	図 2.8	
	ソフトウェアスタンバイモード	t_{RESWS}	1.2	—	—	ms		
	ALLPWON	ブーストモードで動作中	t_{RESW}	0.15	—	—	ms	
		ノーマルモードで動作中	t_{RESW}	0.14	—	—	ms	
		低リーク電流モードで動作中	t_{RESW}	0.62	—	—	ms	
		ブーストモードとノーマルモード間の遷移中	t_{RESW}	0.99	—	—	ms	
		ノーマルモードと低リーク電流モード間の遷移中	t_{RESW}	0.84	—	—	ms	
	EXFPWON	ノーマルモードで動作中	t_{RESW}	0.46	—	—	ms	
		低リーク電流モードで動作中	t_{RESW}	0.58	—	—	ms	
		ノーマルモードと低リーク電流モード間の遷移中	t_{RESW}	0.87	—	—	ms	
	MINPWON	ノーマルモードで動作中	t_{RESW}	0.46	—	—	ms	
		低リーク電流モードで動作中	t_{RESW}	0.58	—	—	ms	
		ノーマルモードと低リーク電流モード間の遷移中	t_{RESW}	0.87	—	—	ms	
	ALLPWON ノーマルモードと EXFPWON ノーマルモード間の遷移中	t_{RESW}	0.78	—	—	ms		
	EXFPWON ノーマルモードと MINPWON ノーマルモード間の遷移中	t_{RESW}	0.44	—	—	ms		
ALLPWON ノーマルモードと MINPWON ノーマルモード間の遷移中	t_{RESW}	0.78	—	—	ms			
ALLPWON 低リーク電流モードと EXFPWON 低リーク電流モード間の遷移中	t_{RESW}	0.80	—	—	ms			
EXFPWON 低リーク電流モードと MINPWON 低リーク電流モード間の遷移中	t_{RESW}	1.04	—	—	ms			
ALLPWON 低リーク電流モードと EXFPWON 低リーク電流モード間の遷移中	t_{RESW}	1.01	—	—	ms			
RES#解除後の待機時間	t_{RESWT}	—	19	22	ms	図 2.7、 図 2.8		

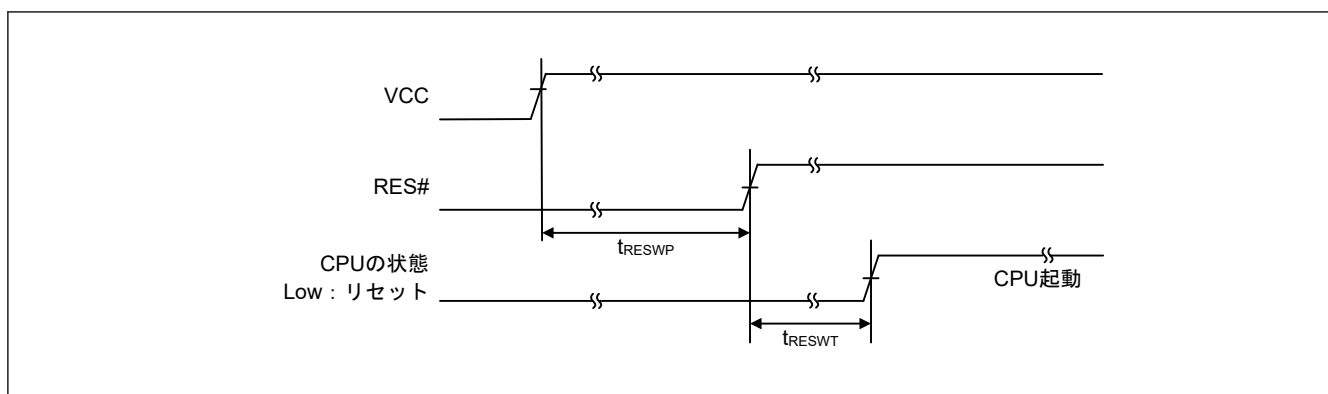


図 2.7 電源投入時のリセット端子入力タイミグ

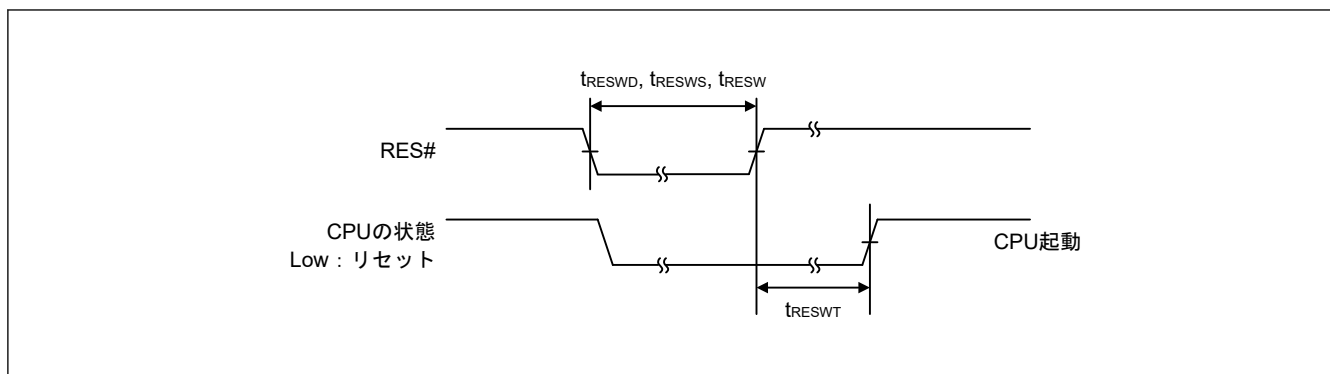


図 2.8 リセット入力タイミング

2.3.4 ウェイクアップタイミング

表 2.17 低消費電力 (スタンバイ) モードからの復帰タイミング (1/7)

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモード (EXFPWON) から動作モード (ALLPWON) への復帰時間 (注1)(注3)	Normal	MOSC	t _{SBYMC}	—	—	3.1	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.8		
		SOSC	t _{SBYSC}	—	—	3.0		
		LOCO	t _{SBYLO}	—	—	3.5		
	BOOST	MOSC	t _{SBYMC}	—	—	3.0	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.7		
	VBB	SOSC	t _{SBYSC}	—	—	3.0	ms	図 2.9 全発振器の分周比は 1 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		LOCO	t _{SBYLO}	—	—	3.5		
ソフトウェアスタンバイモード (EXFPWON) から動作モード (EXFPWON) への復帰時間 (注1)(注3)	Normal/ High-speed モード	MOSC	t _{SBYMC}	—	—	2.7	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.6		
		MOCO	t _{SBYMO}	—	—	0.4		
	Normal/ Low-speed モード	MOCO	t _{SBYMO}	—	—	0.05	ms	図 2.9 全発振器の分周比は 1 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		SOSC	t _{SBYSC}	—	—	0.4		
		LOCO	t _{SBYLO}	—	—	0.5		
	VBB	SOSC	t _{SBYSC}	—	—	0.4	ms	
		LOCO	t _{SBYLO}	—	—	0.5		

表 2.17 低消費電力 (スタンバイ) モードからの復帰タイミング (2/7)

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモード (MINPWON) から動作モード (MINPWON) への復帰時間 (注1)(注3)	Normal/ High-speed モード	MOSC	t _{SBYMC}	—	—	2.7	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		MOCO	t _{SBYMO}	—	—	0.4		
	Normal/ Low-speed モード	MOCO	t _{SBYMO}	—	—	0.05	ms	図 2.9 全発振器の分周比は 1 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		SOSC	t _{SBYSC}	—	—	0.4		
		LOCO	t _{SBYLO}	—	—	0.5		
	VBB	SOSC	t _{SBYSC}	—	—	0.4	ms	
LOCO		t _{SBYLO}	—	—	0.5	ms		
ソフトウェアスタンバイモード (MINPWON) から動作モード (ALLPWON) への復帰時間 (注1)(注3)	Normal	MOSC	t _{SBYMC}	—	—	3.1	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 0, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.8		
		SOSC	t _{SBYSC}	—	—	3.0		
		LOCO	t _{SBYLO}	—	—	3.5		
	BOOST	MOSC	t _{SBYMC}	—	—	3.0	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 0, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.7		
	VBB	SOSC	t _{SBYSC}	—	—	3.2	ms	図 2.9 全発振器の分周比は 1 です。 SSBYPWG = 1, SSBYVBB = 0, SSBYACC = 0
		LOCO	t _{SBYLO}	—	—	3.7		
ソフトウェアスタンバイモード (MINPWON) から動作モード (EXFPWON) への復帰時間 (注1)(注3)	Normal/ High-speed モード	MOSC	t _{SBYMC}	—	—	2.8	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 0, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.6		
		MOCO	t _{SBYMO}	—	—	0.5		
	Normal/ Low-speed モード	MOCO	t _{SBYMO}	—	—	0.2	ms	図 2.9 全発振器の分周比は 1 です。 SSBYPWG = 1, SSBYVBB = 0, SSBYACC = 0
		SOSC	t _{SBYSC}	—	—	0.5		
		LOCO	t _{SBYLO}	—	—	0.6		
	VBB	SOSC	t _{SBYSC}	—	—	1.0	ms	
		LOCO	t _{SBYLO}	—	—	1.1		

表 2.17 低消費電力 (スタンバイ) モードからの復帰タイミング (3/7)

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモード (MINPWON) から動作モード (MINPWON) への復帰時間 (注1)(注3)	Normal/ High-speed モード	MOSC	t _{SBYMC}	—	—	2.7	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 0, SSBYACC = 0
		MOCO	t _{SBYMO}	—	—	0.4		
	Normal/ Low-speed モード	MOCO	t _{SBYMO}	—	—	0.05	ms	図 2.9 全発振器の分周比は 1 です。 SSBYPWG = 1, SSBYVBB = 0, SSBYACC = 0
		SOSC	t _{SBYSC}	—	—	0.4		
		LOCO	t _{SBYLO}	—	—	0.5		
	VBB	SOSC	t _{SBYSC}	—	—	0.4	ms	
LOCO		t _{SBYLO}	—	—	0.5			
ソフトウェアスタンバイモード (VBB MINPWON) から動作モード (ALLPWON) への復帰時間 (注1)(注3)	Normal	MOSC	t _{SBYMC}	—	—	3.2	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	1.0		
		MOCO	t _{SBYMO}	—	—	0.8		
		SOSC	t _{SBYSC}	—	—	3.1		
		LOCO	t _{SBYLO}	—	—	3.6		
	BOOST	MOSC	t _{SBYMC}	—	—	3.0	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.7		
	VBB	SOSC	t _{SBYSC}	—	—	3.2	ms	図 2.9 全発振器の分周比は 1 です。 最小電流条件： SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 0
		LOCO	t _{SBYLO}	—	—	3.7		

表 2.17 低消費電力 (スタンバイ) モードからの復帰タイミング (4/7)

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモード (VBB MINPWON) から動作モード (EXFPWON) への復帰時間(注1)(注3)	Normal/High-speed モード	MOSC	t _{SBYMC}	—	—	2.9	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.7		
		MOCO	t _{SBYMO}	—	—	0.6		
	Normal/Low-speed モード	MOCO	t _{SBYMO}	—	—	0.7	ms	図 2.9 全発振器の分周比は 1 です。 最小電流条件： SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 0
		SOSC	t _{SBYSC}	—	—	1.0		
		LOCO	t _{SBYLO}	—	—	1.1		
	VBB	SOSC	t _{SBYSC}	—	—	1.0	ms	
		LOCO	t _{SBYLO}	—	—	1.1		
	ソフトウェアスタンバイモード (VBB MINPWON) から動作モード (MINPWON) への復帰時間(注1)(注3)	Normal/High-speed モード	MOSC	t _{SBYMC}	—	—	2.8	ms
MOCO			t _{SBYMO}	—	—	0.5		
Normal/Low-speed モード		MOCO	t _{SBYMO}	—	—	0.6	ms	図 2.9 全発振器の分周比は 1 です。 最小電流条件： SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 0
		SOSC	t _{SBYSC}	—	—	0.9		
		LOCO	t _{SBYLO}	—	—	1.1		
VBB		SOSC	t _{SBYSC}	—	—	0.4	ms	
		LOCO	t _{SBYLO}	—	—	0.5		

表 2.17 低消費電力 (スタンバイ) モードからの復帰タイミング (5/7)

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモード (EXFPWON) から動作モード (ALLPWON) への復帰時間 (高速復帰) (注1)(注3)	Normal	MOSC	t _{SBYMC}	—	—	3.0	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 1
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.7		
		SOSC	t _{SBYSC}	—	—	3.0		
		LOCO	t _{SBYLO}	—	—	3.5		
	BOOST	MOSC	t _{SBYMC}	—	—	3.0	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 1
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.7		
	VBB	SOSC	t _{SBYSC}	—	—	3.0	ms	図 2.9 全発振器の分周比は 1 です。 最小遷移時間条件： SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 1
		LOCO	t _{SBYLO}	—	—	3.5		
ソフトウェアスタンバイモード (EXFPWON) から動作モード (EXFPWON) への復帰時間 (高速復帰) (注1)(注3)	Normal/ High-speed モード	MOSC	t _{SBYMC}	—	—	2.4	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 1
		HOCO (注2)	t _{SBYHO}	—	—	0.3		
		MOCO	t _{SBYMO}	—	—	0.05		
	Normal/ Low-speed モード	MOCO	t _{SBYMO}	—	—	0.05	ms	図 2.9 全発振器の分周比は 1 です。 遷移時間 min 条件： SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 1
		SOSC	t _{SBYSC}	—	—	0.4		
		LOCO	t _{SBYLO}	—	—	0.5		
	VBB	SOSC	t _{SBYSC}	—	—	0.4	ms	
		LOCO	t _{SBYLO}	—	—	0.5		

表 2.17 低消費電力 (スタンバイ) モードからの復帰タイミング (6/7)

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモード (MINPWON) から動作モード (MINPWON) への復帰時間 (高速復帰) (注1)(注3)	Normal/ High-speed モード	MOSC	t _{SBYMC}	—	—	2.4	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 1
		MOCO	t _{SBYMO}	—	—	0.05		
	Normal/ Low-speed モード	MOCO	t _{SBYMO}	—	—	0.05	ms	図 2.9 全発振器の分周比は 1 です。 遷移時間 min 条件: SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 1
		SOSC	t _{SBYSC}	—	—	0.4		
		LOCO	t _{SBYLO}	—	—	0.5		
	VBB	SOSC	t _{SBYSC}	—	—	0.4	ms	
LOCO		t _{SBYLO}	—	—	0.5			
ソフトウェアスタンバイモード (VBB MINWON) から動作モード (ALLPWON) への復帰時間 (高速復帰) (注1)(注3)	Normal	MOSC	t _{SBYMC}	—	—	3.0	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 1
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.7		
		SOSC	t _{SBYSC}	—	—	3.0		
		LOCO	t _{SBYLO}	—	—	3.5		
	BOOST	MOSC	t _{SBYMC}	—	—	3.0	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 1
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.7		
	VBB	SOSC	t _{SBYSC}	—	—	3.0	ms	図 2.9 全発振器の分周比は 1 です。 最小遷移時間条件: SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 1
		LOCO	t _{SBYLO}	—	—	3.5		

表 2.17 低消費電力 (スタンバイ) モードからの復帰タイミング (7/7)

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモード (VBB MINWON) から動作モード (EXFPWON) への復帰時間 (高速復帰) (注1)(注3)	Normal/High-speed モード	MOSC	t _{SBYMC}	—	—	2.6	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 1 図 2.9 全発振器の分周比は 1 です。 遷移時間 min 条件: SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 1
		HOCO (注2)	t _{SBYHO}	—	—	0.4		
		MOCO	t _{SBYMO}	—	—	0.3		
	Normal/Low-speed モード	MOCO	t _{SBYMO}	—	—	0.3	ms	
		SOSC	t _{SBYSC}	—	—	0.6		
		LOCO	t _{SBYLO}	—	—	0.7		
	VBB	SOSC	t _{SBYSC}	—	—	0.5	ms	
LOCO		t _{SBYLO}	—	—	0.7			
ソフトウェアスタンバイモード (VBB MINWON) から動作モード (MINPWON) への復帰時間 (高速復帰) (注1)(注3)	Normal/High-speed モード	MOSC	t _{SBYMC}	—	—	2.5	ms	図 2.9 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 1 図 2.9 全発振器の分周比は 1 です。 遷移時間 min 条件: SSBYPWG = 1, SSBYVBB = 1, SSBYACC = 1
		MOCO	t _{SBYMO}	—	—	0.2		
	Normal/Low-speed モード	MOCO	t _{SBYMO}	—	—	0.2	ms	
		SOSC	t _{SBYSC}	—	—	0.5		
		LOCO	t _{SBYLO}	—	—	0.6		
	VBB	SOSC	t _{SBYSC}	—	—	0.4	ms	
		LOCO	t _{SBYLO}	—	—	0.5		
ソフトウェアスタンバイモード解除後待機時間			t _{SBYWT}	—	—	(注4)	ms	図 2.9
ディープソフトウェアスタンバイモードからの復帰時間 (通常起動モード)			t _{DSBY}	—	—	6.8	ms	図 2.10
ディープソフトウェアスタンバイモード解除後待機時間			t _{DSBYWT}	—	—	22.0	ms	

注 1. 復帰時間は、システムクロックソースによって決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定します。

総復帰時間 = システムクロックソースとしての発振器の発振安定時間 + システムクロックソースより長い安定時間を要する発振器の最長発振安定時間 + 2 LOCO サイクル (LOCO が動作している場合) + 3 SOSC サイクル (Subosc が発振中かつ MSTPCRC.MSTPC0 = 0 (CAC モジュールストップ解除) の場合)。

注 2. HOCO クロック周波数 = 32 MHz

注 3. 出荷検査を実施しないため参考値です。

注 4. 待機時間 = 3 × PCLKB の周期 + 14 × ICLK の周期

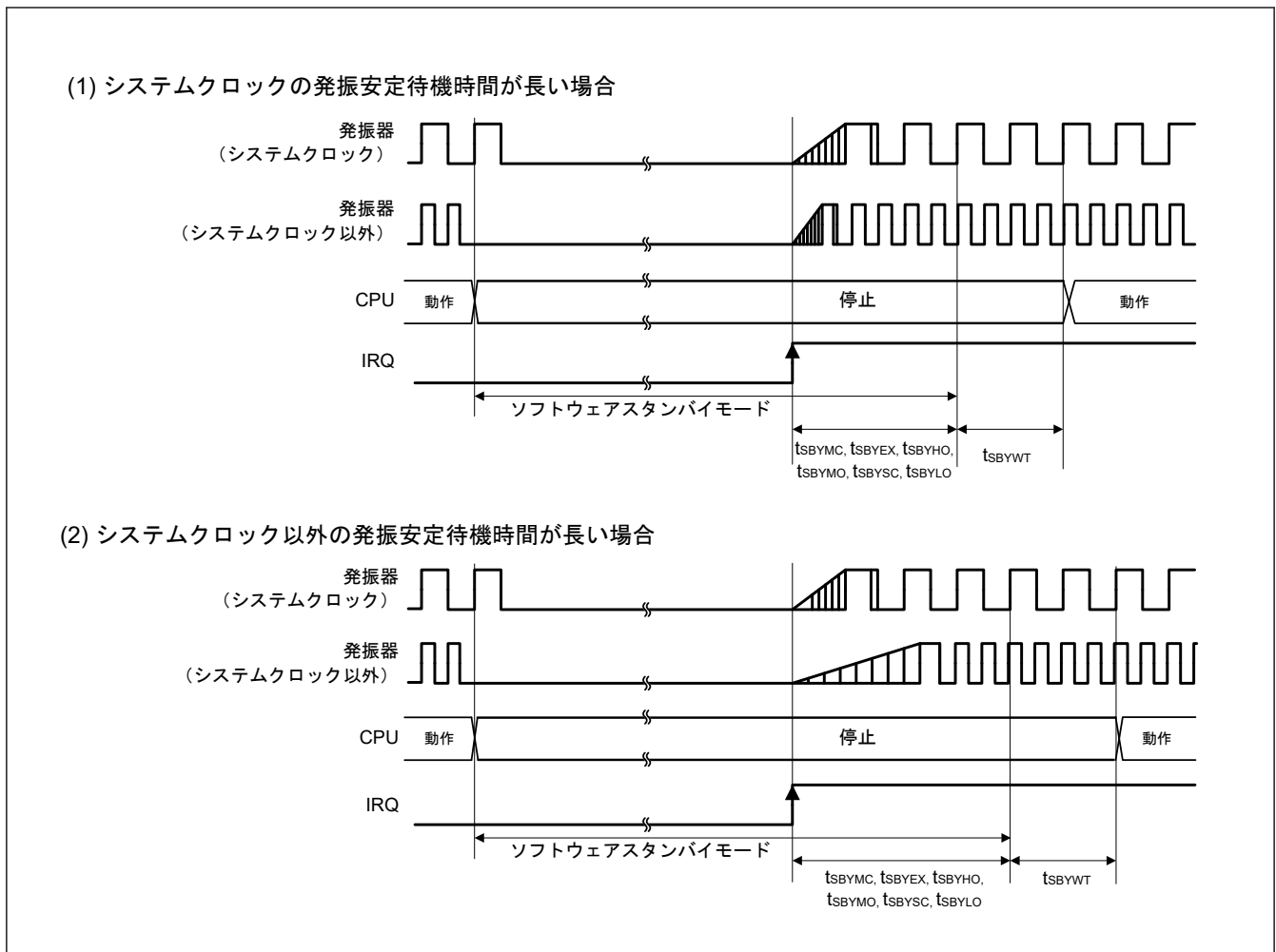


図 2.9 ソフトウェアスタンバイモード解除タイミング

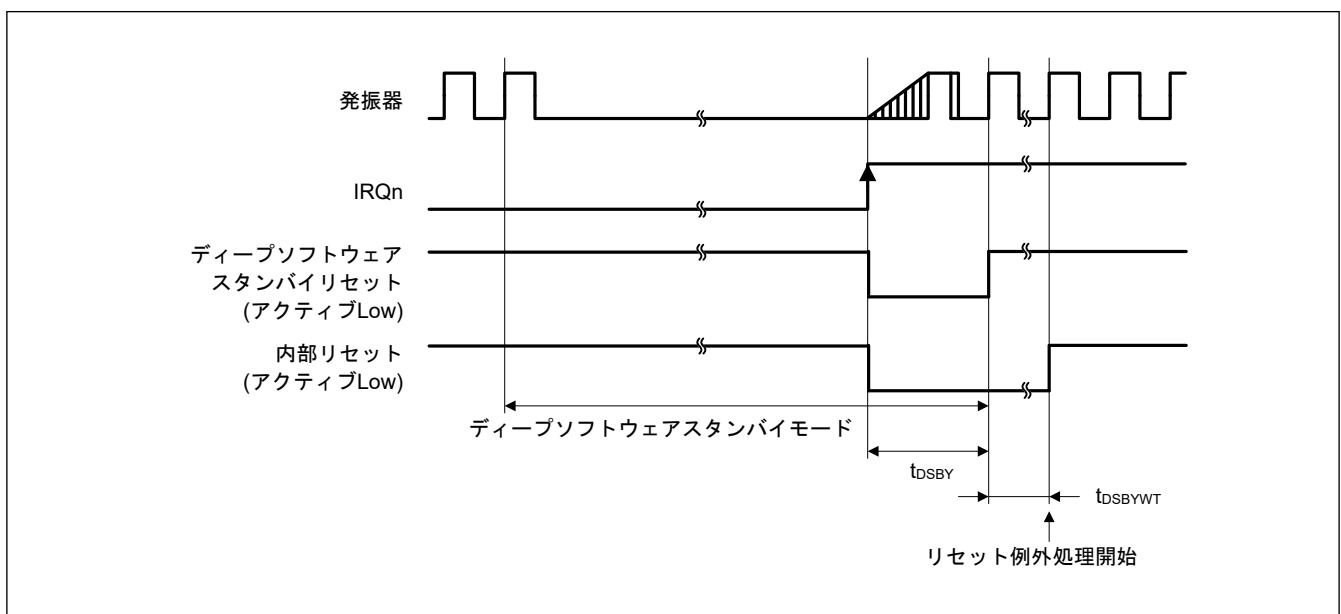


図 2.10 ディープソフトウェアスタンバイモード解除タイミング

表 2.18 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモード (EXFPWON) からスヌーズモード (ALLPWON) への復帰時間(注1)(注3)	Normal	MOSC	t _{SBYMC}	—	—	3.1	ms	図 2.11 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.8		
		SOSC	t _{SBYSC}	—	—	3.0		
		LOCO	t _{SBYLO}	—	—	3.4		
	BOOST	MOSC	t _{SBYMC}	—	—	3.0	ms	図 2.11 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.9		
		MOCO	t _{SBYMO}	—	—	0.7		
	VBB	SOSC	t _{SBYSC}	—	—	3.0	ms	図 2.11 全発振器の分周比は 1 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		LOCO	t _{SBYLO}	—	—	3.5		
ソフトウェアスタンバイモード (EXFPWON) からスヌーズモード (EXFPWON) への復帰時間(注1)(注3)	Normal/High-speed モード	MOSC	t _{SBYMC}	—	—	2.7	ms	図 2.11 ICLK/PCLKA および PCLKB の各分周比は 1/8 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		HOCO (注2)	t _{SBYHO}	—	—	0.6		
		MOCO	t _{SBYMO}	—	—	0.4		
	Normal/Low-speed モード	SOSC	t _{SBYSC}	—	—	0.4	ms	図 2.11 全発振器の分周比は 1 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		LOCO	t _{SBYLO}	—	—	0.5		
	VBB	SOSC	t _{SBYSC}	—	—	0.4	ms	図 2.11 全発振器の分周比は 1 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		LOCO	t _{SBYLO}	—	—	0.5		
	ソフトウェアスタンバイモード (MINPWON) からスヌーズモード (MINPWON) への復帰時間(注1)(注3)	Normal/High-speed モード	MOSC	t _{SBYMC}	—	—	2.7	ms
MOCO			t _{SBYMO}	—	—	0.4		
Normal/Low-speed モード		SOSC	t _{SBYSC}	—	—	0.4	ms	図 2.11 全発振器の分周比は 1 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		LOCO	t _{SBYLO}	—	—	0.5		
VBB		SOSC	t _{SBYSC}	—	—	0.4	ms	図 2.11 全発振器の分周比は 1 です。 SSBYPWG = 0, SSBYVBB = 0, SSBYACC = 0
		LOCO	t _{SBYLO}	—	—	0.5		

注. 水晶の周波数が 32 MHz の場合 (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05 のとき)

- 注 1. 復帰時間は、システムクロックソースによって決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定できます。
 総復帰時間 = システムクロックソースとしての発振器の発振安定時間 + システムクロックソースより長い安定時間を要する発振器の最長発振安定時間 + 2 LOCO サイクル (LOCO が動作している場合) + 3 SOSC サイクル (Subosc が発振中かつ MSTPCRC.MSTPC0 = 0 (CAC モジュールストップ解除) の場合)。
- 注 2. HOCO クロック周波数 = 32 MHz
- 注 3. 出荷検査を実施しないため参考値です。

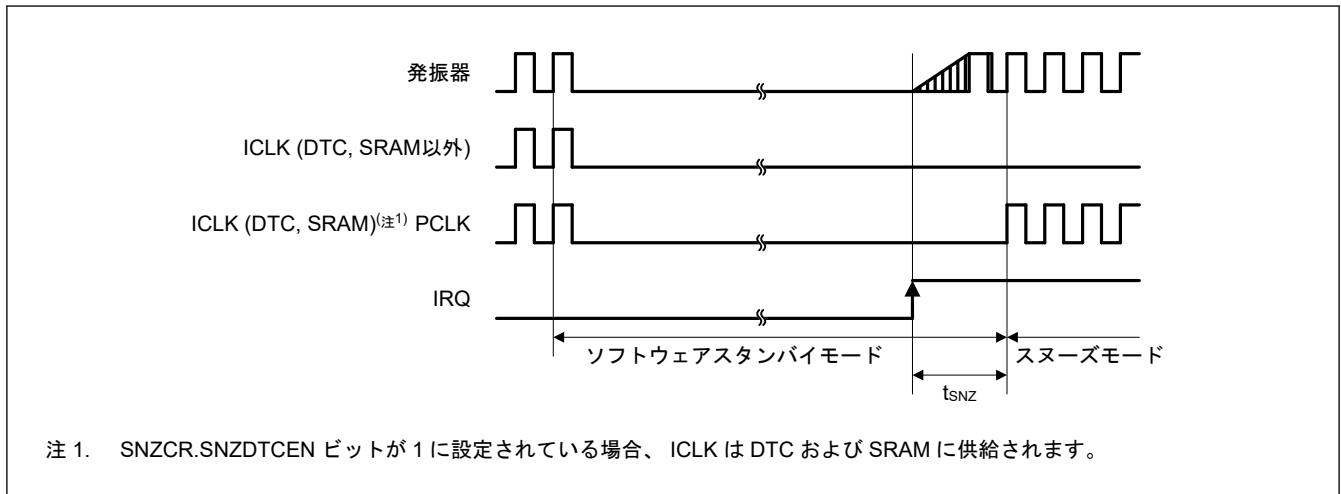


図 2.11 ソフトウェアスタンバイモードからスヌーズモードへの復帰時間

2.3.5 動作モード遷移時間

表 2.19 電源供給モード遷移時間 (1/2)

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位
ALLPWON から EXFPWON への遷移時間	Normal (ALLPWON) → Normal High-speed (EXFPWON)	MOSC	t _{MDMC}	—	—	2.7	ms
		HOCO(注1)	t _{MDHO}	—	—	0.6	
		MOCO	t _{MDMO}	—	—	0.4	
	Normal (ALLPWON) → Normal Low-speed (EXFPWON)	MOCO	t _{MDMO}	—	—	0.5	ms
		SOSC	t _{MDSC}	—	—	1.7	
		LOCO	t _{MDLO}	—	—	2.1	
VBB (ALLPWON) → VBB (EXFPWON)	VBB (EXFPWON)	SOSC	t _{MDSC}	—	—	1.7	ms
		LOCO	t _{MDLO}	—	—	2.1	
EXFPWON から ALLPWON への遷移時間	Normal High-speed (EXFPWON) → Normal (ALLPWON)	MOSC	t _{MDMC}	—	—	3.0	ms
		HOCO(注1)	t _{MDHO}	—	—	0.9	
		MOCO	t _{MDMO}	—	—	0.7	
	Normal Low-speed (EXFPWON) → Normal (ALLPWON)	MOCO	t _{MDMO}	—	—	0.8	ms
		SOSC	t _{MDSC}	—	—	3.9	
		LOCO	t _{MDLO}	—	—	4.6	
VBB (EXFPWON) → VBB (ALLPWON)	VBB (ALLPWON)	SOSC	t _{MDSC}	—	—	4.2	ms
		LOCO	t _{MDLO}	—	—	4.7	

表 2.19 電源供給モード遷移時間 (2/2)

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位
ALLPWON から MINPWON への遷移時間	Normal (ALLPWON) → Normal High-speed (MINPWON)	MOSC	t _{MDCM}	—	—	2.7	ms
		MOCO	t _{MDCM}	—	—	0.4	
	Normal (ALLPWON) → Normal Low-speed (MINPWON)	MOCO	t _{MDCM}	—	—	0.5	ms
		SOSC	t _{MDCS}	—	—	1.7	
		LOCO	t _{MDCO}	—	—	2.1	
	VBB (ALLPWON) → VBB (MINPWON)	SOSC	t _{MDCS}	—	—	1.4	ms
LOCO		t _{MDCO}	—	—	1.8		
MINPWON から ALLPWON への遷移時間	Normal High-speed (MINPWON) → Normal (ALLPWON)	MOSC	t _{MDCM}	—	—	3.0	ms
		MOCO	t _{MDCM}	—	—	0.7	
	Normal Low-speed (MINPWON) → Normal (ALLPWON)	MOCO	t _{MDCM}	—	—	0.8	ms
		SOSC	t _{MDCS}	—	—	3.9	
		LOCO	t _{MDCO}	—	—	4.6	
	VBB (MINPWON) → VBB (ALLPWON)	SOSC	t _{MDCS}	—	—	4.4	ms
LOCO		t _{MDCO}	—	—	4.9		
EXFPWON から MINPWON への移行時間	Normal High-speed (EXFPWON) → Normal High-speed (MINPWON)	MOSC	t _{MDCM}	—	—	2.4	ms
		MOCO	t _{MDCM}	—	—	0.07	
	Normal High-speed (EXFPWON) → Normal Low-speed (MINPWON)	MOCO	t _{MDCM}	—	—	0.07	ms
		SOSC	t _{MDCS}	—	—	1.3	
		LOCO	t _{MDCO}	—	—	1.7	
	VBB (EXFPWON) → VBB (MINPWON)	SOSC	t _{MDCS}	—	—	1.4	ms
LOCO		t _{MDCO}	—	—	1.8		
MINPWON から EXFPWON への遷移時間	Normal High-speed (MINPWON) → Normal (EXFPWON)	MOSC	t _{MDCM}	—	—	2.5	ms
		MOCO	t _{MDCM}	—	—	0.2	
	Normal Low-speed (MINPWON) → Normal (EXFPWON)	MOCO	t _{MDCM}	—	—	0.2	ms
		SOSC	t _{MDCS}	—	—	1.4	
		LOCO	t _{MDCO}	—	—	1.8	
	VBB (MINPWON) → VBB (EXFPWON)	SOSC	t _{MDCS}	—	—	1.9	ms
LOCO		t _{MDCO}	—	—	2.3		

注. 遷移時間はシステムクロックソースにより決定されます。複数の発振器が起動している場合、遷移時間は以下の計算式で決定できません。

総遷移時間 = システムクロックソースとしての発振器の発振安定時間 + システムクロックソースより長い安定時間を要する発振器の最長発振安定時間 + 2 LOCO サイクル (LOCO が動作している場合) + 3 SOSC サイクル (Subosc が発振中かつ MSTPCRC.MSTPC0 = 0 (CAC モジュールストップ解除) の場合)。

注. 全発振器の分周比は 1 です。

注. 出荷検査を実施しないため参考値です。

注 1. HOCO クロック周波数 = 32 MHz

表 2.20 電源供給モード遷移時間

項目	電力制御モード	システムクロックソース	記号	Min	Typ	Max	単位	
Normal と Boost 間の遷移	Normal (ALLPWON) → Boost (ALLPWON)	MOSC	t _{MDMC}	—	—	3.4	ms	
		HOCO(注1)	t _{MDHO}	—	—	1.2		
		MOCO	t _{MDMO}	—	—	1.1		
	Boost (ALLPWON) → Normal (ALLPWON)	MOSC	t _{MDMC}	—	—	2.4	ms	
		HOCO(注1)	t _{MDHO}	—	—	0.3		
		MOCO	t _{MDMO}	—	—	0.07		
Normal と VBB 間の遷移	Normal (ALLPWON) → VBB (ALLPWON)	SOSC	t _{MDSC}	—	—	1.8	ms	
		LOCO	t _{MDLO}	—	—	2.2		
	Normal (EXFPWON) → VBB (EXFPWON)	SOSC	t _{MDSC}	—	—	1.8	ms	
		LOCO	t _{MDLO}	—	—	2.2		
	Normal (MINPWON) → VBB (MINPWON)	SOSC	t _{MDSC}	—	—	1.4	ms	
		LOCO	t _{MDLO}	—	—	1.8		
	VBB (ALLPWON) → Normal (ALLPWON)	SOSC	t _{MDSC}	—	—	1.7	ms	
		LOCO	t _{MDLO}	—	—	2.0		
	VBB (EXFPWON) → Normal (EXFPWON)	SOSC	t _{MDSC}	—	—	1.7	ms	
		LOCO	t _{MDLO}	—	—	2.1		
	VBB (MINPWON) → Normal (MINPWON)	SOSC	t _{MDSC}	—	—	1.8	ms	
		LOCO	t _{MDLO}	—	—	2.2		
	Boost と VBB 間の遷移	Boost (ALLPWON) → VBB (ALLPWON)	SOSC	t _{MDSC}	—	—	1.8	ms
			LOCO	t _{MDLO}	—	—	2.2	
VBB (ALLPWON) → Boost (MINPWON)		SOSC	t _{MDSC}	—	—	2.6	ms	
		LOCO	t _{MDLO}	—	—	3.0		
High-speed から Low-speed への遷移	ALLPWON		t _{HILOW}	—	—	0.003	ms	
	EXFPWON		t _{HILOW}	—	—	0.5		
	MINPWON		t _{HILOW}	—	—	0.5		
Low-speed から High-speed への遷移	ALLPWON		t _{LOWHI}	—	—	0.003	ms	
	EXFPWON		t _{LOWHI}	—	—	0.4		
	MINPWON		t _{LOWHI}	—	—	0.4		

注. 遷移時間はシステムクロックソースにより決定されます。複数の発振器が起動している場合、遷移時間は以下の計算式で決定できません。

総遷移時間 = システムクロックソースとしての発振器の発振安定時間 + システムクロックソースより長い安定時間を要する発振器の最長発振安定時間 + 2 LOCO サイクル (LOCO が動作している場合) + 3 SOSC サイクル (Subosc が発振中かつ MSTPCRC.MSTPC0 = 0 (CAC モジュールストップ解除) の場合)。

注. 全発振器の分周比は 1 です。

注. 出荷検査を実施しないため参考値です。

注 1. HOCO クロック周波数 = 32 MHz

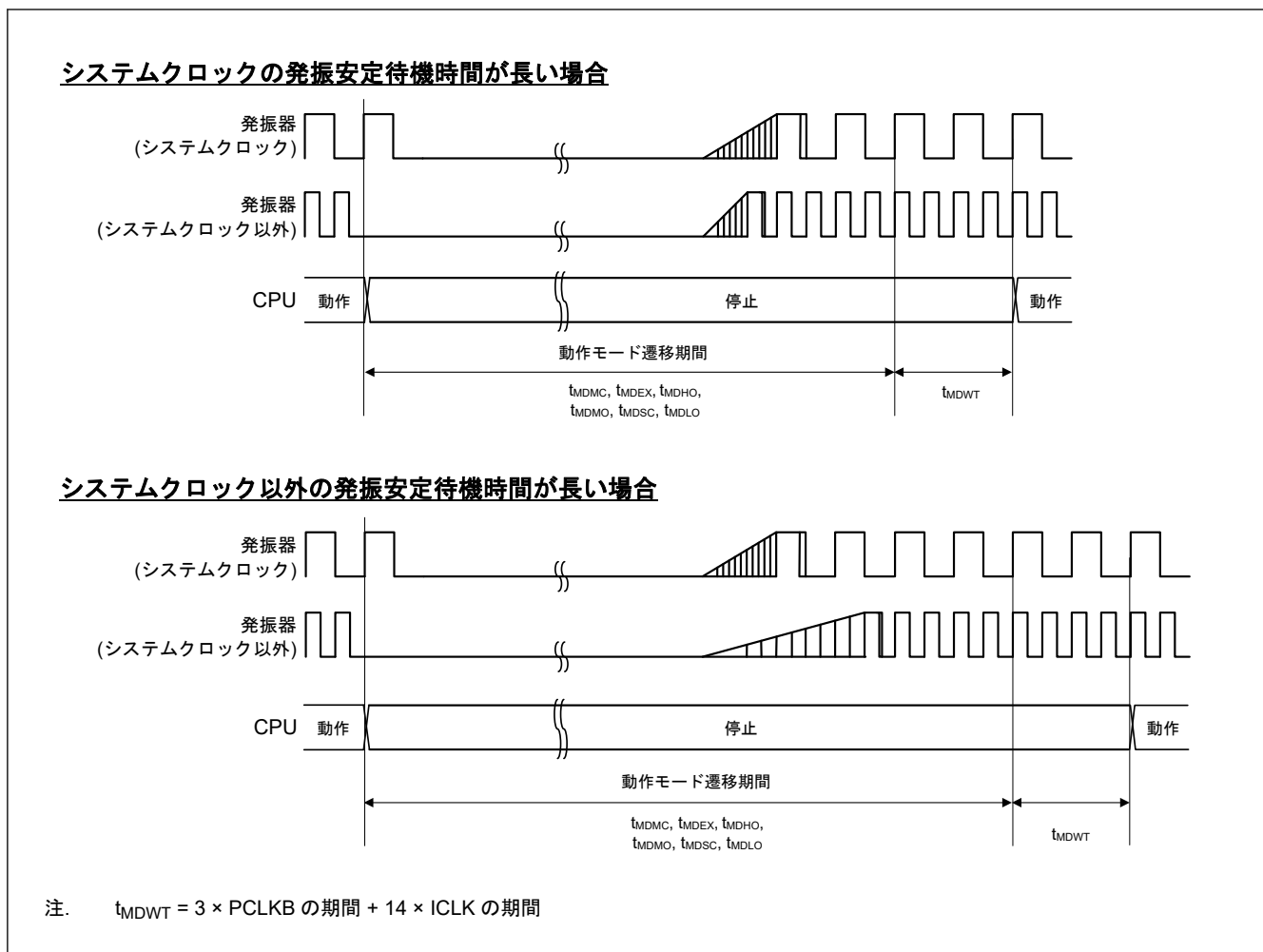


図 2.12 動作モード遷移タイミング

2.3.6 割り込み入力タイミング

表 2.21 割り込み入力タイミング (1/2)

項目	記号	Min	Typ	Max	単位	測定条件
NMI パルス幅	t_{NMIW}	6000	—	—	ns	VBB 時のソフトウェアスタンバイモード
		1000	—	—		上記以外のソフトウェアスタンバイモード
		300	—	—		ディープソフトウェアスタンバイモード
		4	—	—	t_{Pcyc} (注1)	上記以外
IRQn パルス幅	t_{IRQW}	6000	—	—	ns	VBB 時のソフトウェアスタンバイモード
		1000	—	—		上記以外のソフトウェアスタンバイモード
		300	—	—		ディープソフトウェアスタンバイモード
		4	—	—	t_{Pcyc} (注1)	上記以外 (IRQCRi.IRQMD[1:0] = 00b, 01b)
		5	—	—		上記以外 (IRQCRi.IRQMD[1:0] = 10b)

表 2.21 割り込み入力タイミング (2/2)

項目	記号	Min	Typ	Max	単位	測定条件
KINT パルス幅	t_{KINTW}	6000	—	—	ns	VBB 時のソフトウェアスタンバイモード
		1000	—	—		上記以外のソフトウェアスタンバイモード
		4	—	—	t_{Pcyc} (注1)	上記以外

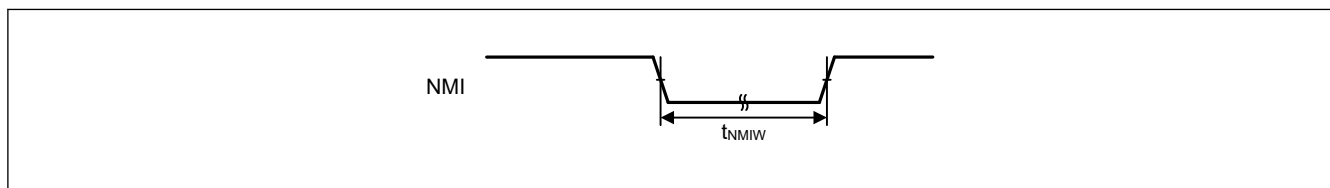
注 1. t_{Pcyc} : PCLKB の周期

図 2.13 NMI 割り込み入力タイミング

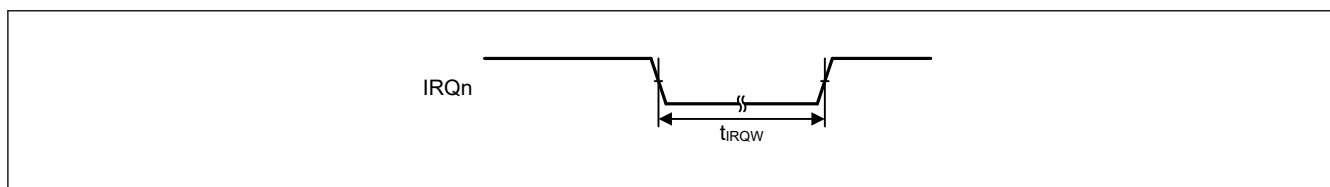


図 2.14 IRQn 割り込み入力タイミング

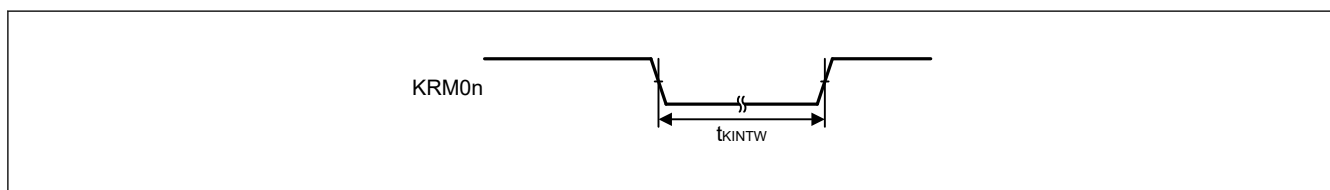


図 2.15 KINT 割り込み入力タイミング

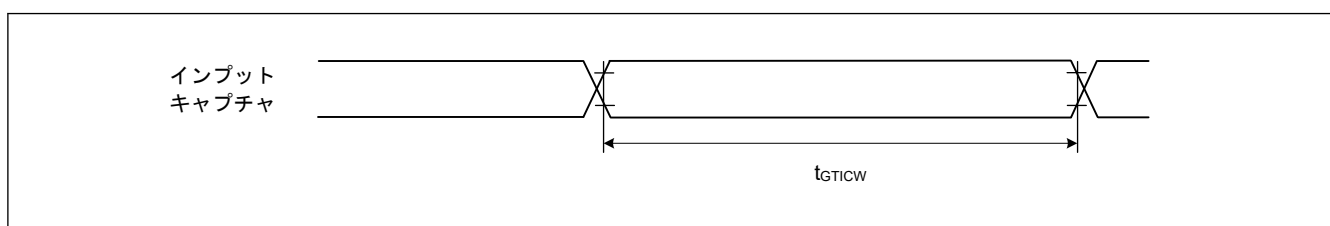
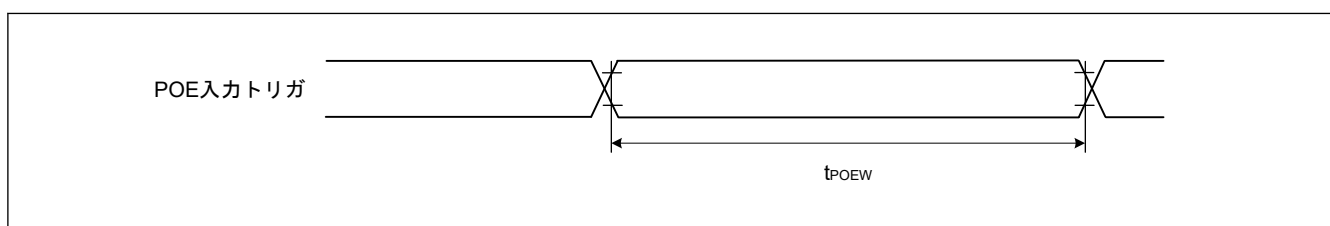
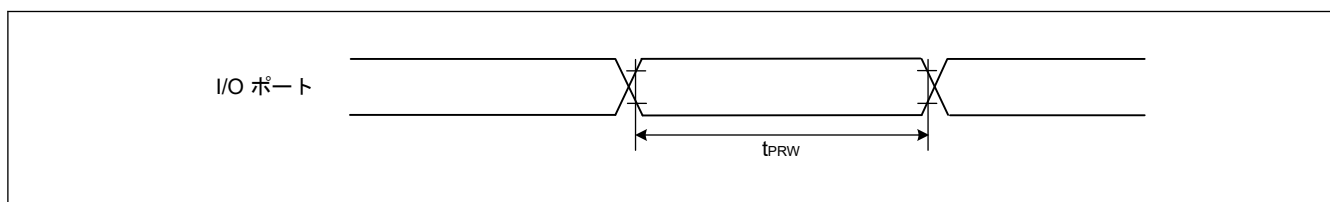
2.3.7 I/O ポート、POE、GPT、AGT、ADC14 のトリガタイミング

表 2.22 I/O ポート、POE、GPT、AGT、ADC14 のトリガタイミング (1/2)

項目	記号	Min	Typ	Max	単位(注1)	測定条件
I/O ポート	入力データパルス幅	t_{PRW}	2.5	—	t_{Pcyc}	図 2.16
	ELC ベントパルス入力幅	4	—	—		
POE	POE 入力トリガパルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図 2.17
GPT	インプットキャプチャパルス幅	単エッジ	t_{GTICW}	1.5	t_{Pcyc}	図 2.18
		両エッジ	2.5	—		

表 2.22 I/O ポート、POE、GPT、AGT、ADC14 のトリガタイミング (2/2)

項目		記号	Min	Typ	Max	単位(注1)	測定条件
AGT/AGTW	AGTION/AGTWIO _n 入力サイクル	t_{ACYC}	4	—	—	t_{Pcyc}	図 2.19, AGTMR1.TEDGPL = 0 AGTMR1.TMOD[2:0] = 010b
			9	—	—	t_{Pcyc}	図 2.19, AGTMR1.TEDGPL = 1 AGTMR1.TMOD[2:0] = 010b
	AGTION/AGTWIO _n 入力高レベル幅、低レベル幅	t_{ACKWH} , t_{ACKWL}	1	—	—	t_{Pcyc}	図 2.19, AGTMR1.TEDGPL = 0 AGTMR1.TMOD[2:0] = 010b
			4	—	—	t_{Pcyc}	図 2.19, AGTMR1.TEDGPL = 1 AGTMR1.TMOD[2:0] = 010b
	AGTEEn/AGTWEEn 入力高レベル幅、低レベル幅	t_{ACKWH} , t_{ACKWL}	—	1	—	t_{ACYC}	図 2.19, AGTMR1.TEDGPL = 0 AGTMR1.TMOD[2:0] = 010b
			4	—	—	t_{Pcyc}	図 2.19, AGTMR1.TEDGPL = 1 AGTMR1.TMOD[2:0] = 010b
ADC14	14 ビット A/D コンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	—	t_{Pcyc}	図 2.20

注. $n = 0, 1$ 注 1. t_{Pcyc} : GPT は PCLKA の周期を示し、I/O ポート、POE、AGT、ADC14 は PCLKB の周期を示します。

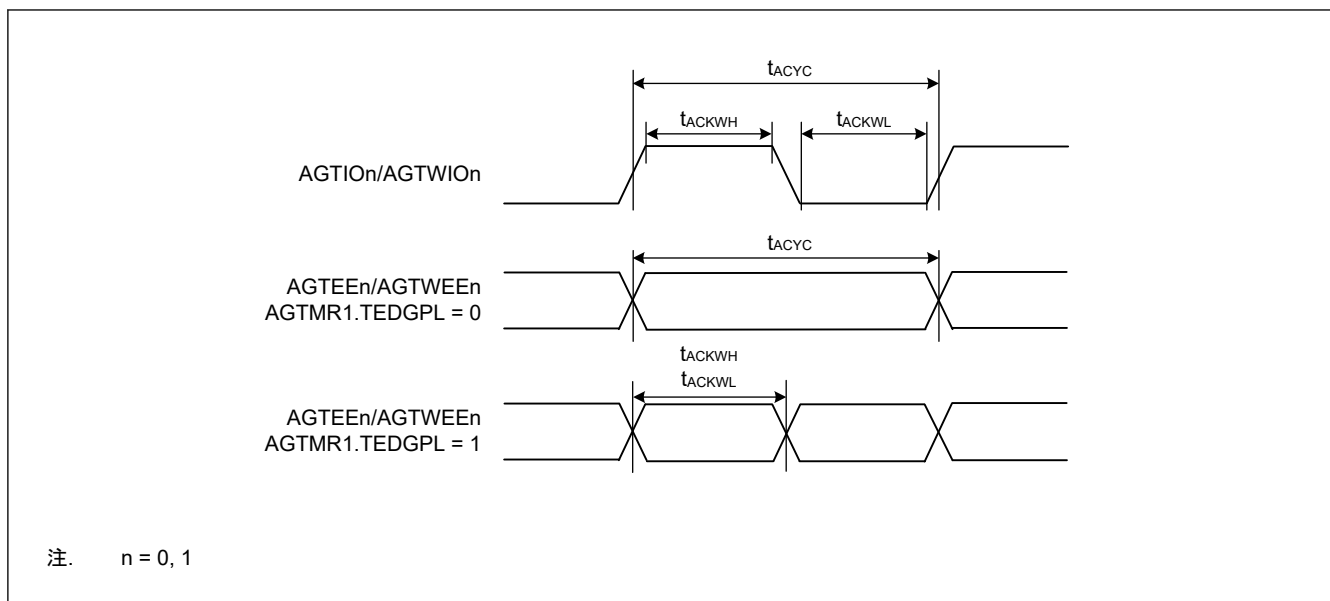


図 2.19 AGT/AGTW 入力タイミング

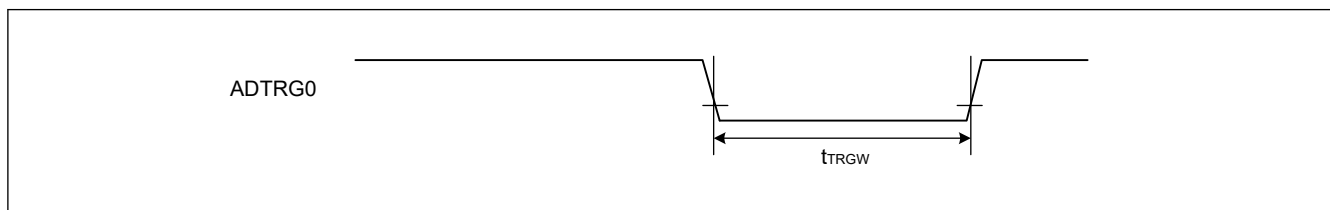


図 2.20 ADC14 トリガ入力タイミング

2.3.8 CAC タイミング

表 2.23 CAC タイミング

項目	記号	Min	Typ	Max	単位	測定条件
CAC CACREF 入力 パルス幅	t _{CACREF}	t _{Pcyc} (注1) ≤ t _{cac} (注2)	—	—	ns	—
		t _{Pcyc} (注1) > t _{cac} (注2)	4.5t _{cac} + 3t _{Pcyc}	—	ns	

注 1. t_{Pcyc}: PCLKB の周期

注 2. t_{cac}: CAC カウントクロックソースの周期

2.3.9 SCI タイミング

表 2.24 SCI タイミング (1)

条件 : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		記号	Min	Max	単位(注1)	測定条件	
SCI	周波数 (SCI0、SCI1)	BOOST	pclkfmax	—	64	MHz	—
		NORMAL		—	32		
	周波数 (SCI0、SCI1 以外)	—		32			
	入力クロックサイクル	調歩同期式	$t_{S\text{cyc}}$	4	—	$t_{P\text{cyc}}$	図 2.21
		クロック同期式		6	—		
	入力クロックパルス幅		$t_{S\text{cKW}}$	0.4	0.6	$t_{S\text{cyc}}$	
	入力クロック立ち上がり時間		$t_{S\text{cKr}}$	—	$1 \times t_{P\text{cyc}}$	ns	
	入力クロック立ち下がり時間		$t_{S\text{cKf}}$	—	$1 \times t_{P\text{cyc}}$	ns	
	出カクロックサイクル	調歩同期式	$t_{S\text{cyc}}$	6	—	$t_{P\text{cyc}}$	
		クロック同期式		4	—		
	出カクロックパルス幅		$t_{S\text{cKW}}$	0.4	0.6	$t_{S\text{cyc}}$	
	出カクロック立ち上がり時間		$t_{S\text{cKr}}$	—	$1 \times t_{P\text{cyc}}$	ns	
	出カクロック立ち下がり時間		$t_{S\text{cKf}}$	—	$1 \times t_{P\text{cyc}}$	ns	
	送信データ遅延時間	マスタ	$t_{T\text{XD}}$	—	40	ns	
スレーブ		—		55	ns		
受信データセットアップ時間	マスタ	$t_{R\text{XS}}$	45	—	ns		
	スレーブ		27	—	ns		
受信データホールド時間	マスタ	$t_{R\text{XH}}$	5	—	ns		
	スレーブ		40	—	ns		

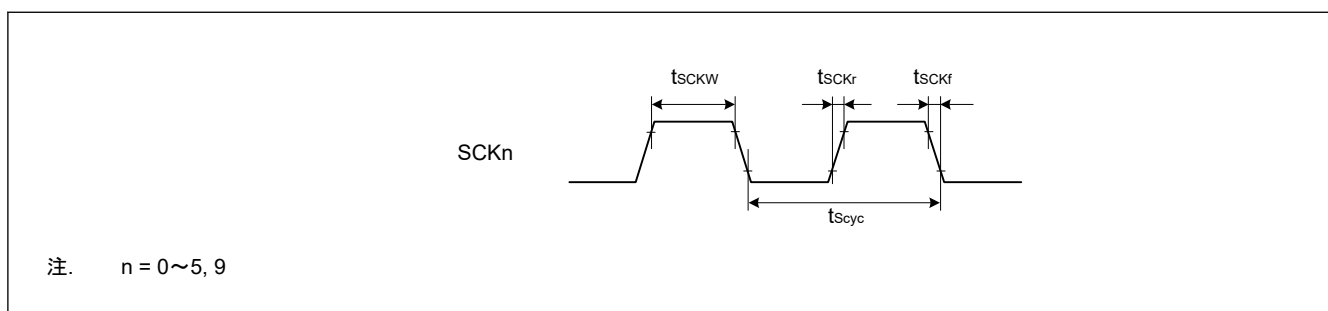
注 1. $t_{P\text{cyc}}$: SCI0、SCI1 は PCLKA の周期、SCI2~SCI5、SCI9 は PCLKB の周期を示します。

図 2.21 SCK クロック入力タイミング

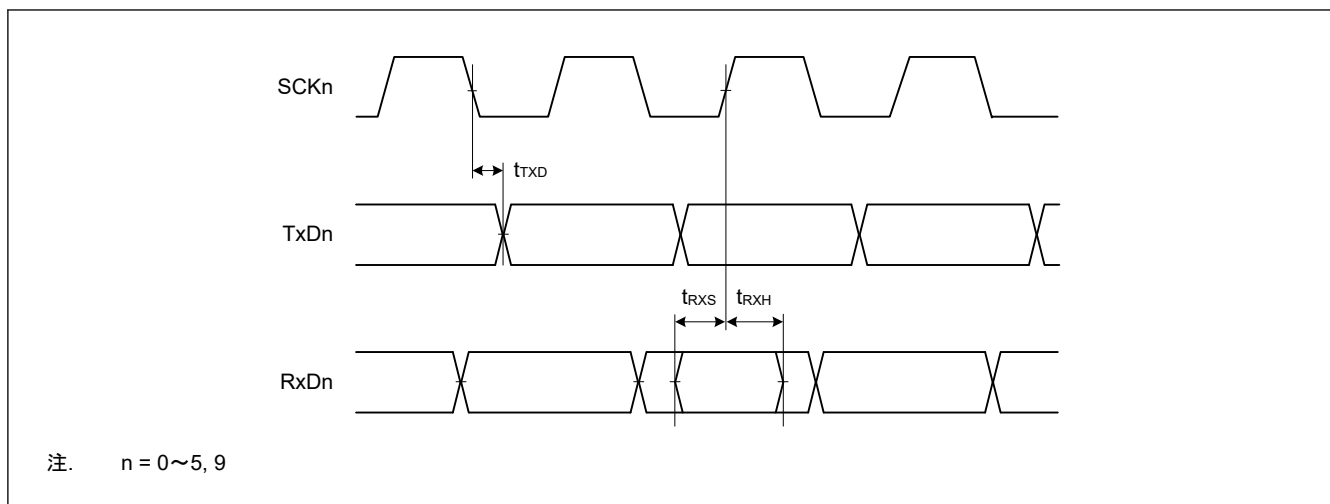


図 2.22 クロック同期式モードにおける SCI 入出力タイミング

表 2.25 SCI タイミング (2)

条件 : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	記号	Min	Max	単位(注1)	測定条件				
簡易 SPI	周波数 (SCI0、SCI1)	BOOST	pclkfmax	—	MHz	—			
		NORMAL		—			32		
		周波数 (SCI0、SCI1 以外)		—			32		
	SCK クロック サイクル	マスタ	t_{SPcyc}	4	65536		t_{Pcyc}	図 2.23	
		スレーブ		6	—				
	SCK クロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}				
	SCK クロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}				
	SCK クロック 立ち上がり/立ち下がり時間	t_{SPCKr}, t_{SPCKf}	—	$1 \times t_{Pcyc}$	ns				
	データ入力セットアップ時間	マスタ	t_{SU}	45	—		ns		図 2.24 ~ 図 2.27
		スレーブ		27	—				
データ入力ホールド時間	マスタ	t_H	33.3	—	ns				
	スレーブ		40	—					
SS 入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}					
SS 入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}					
データ出力遅延時間	マスタ	t_{OD}	—	40	ns				
	スレーブ		—	65					
データ出力ホールド時間	マスタ	t_{OH}	-10	—	ns				
	スレーブ		-10	—					
データ立ち上がり/立ち下がり時間	t_{Dr}, t_{Df}	—	$1 \times t_{Pcyc}$	ns					
スレーブアクセス時間	BOOST	t_{SA}	—	8	t_{Pcyc}	図 2.26 図 2.27			
	NORMAL		—	6					
スレーブ出力開放時間	BOOST	t_{REL}	—	8	t_{Pcyc}				
	NORMAL		—	6					

注 1. t_{Pcyc} : SCI0、SCI1 は PCLKA の周期、SCI2~SCI5、SCI9 は PCLKB の周期を示します。

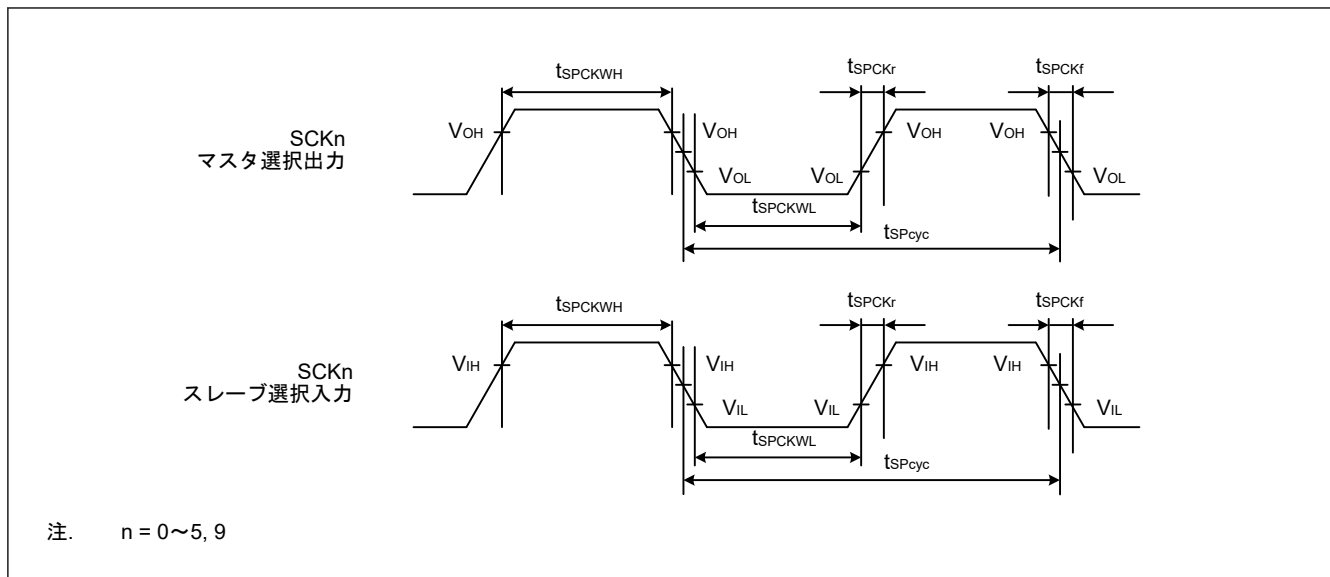


図 2.23 SCK クロック入出カタイミング (簡易 SPI モード)

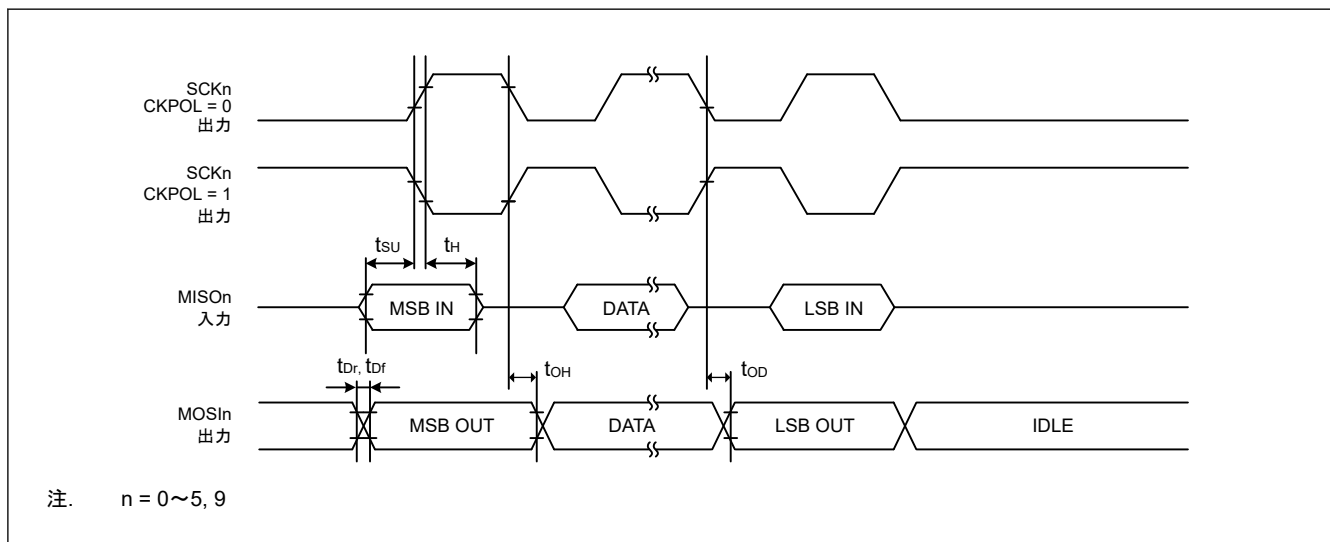


図 2.24 SCK 入出カタイミング (簡易 SPI モード) (マスタ、SPMR.CKPH = 1)

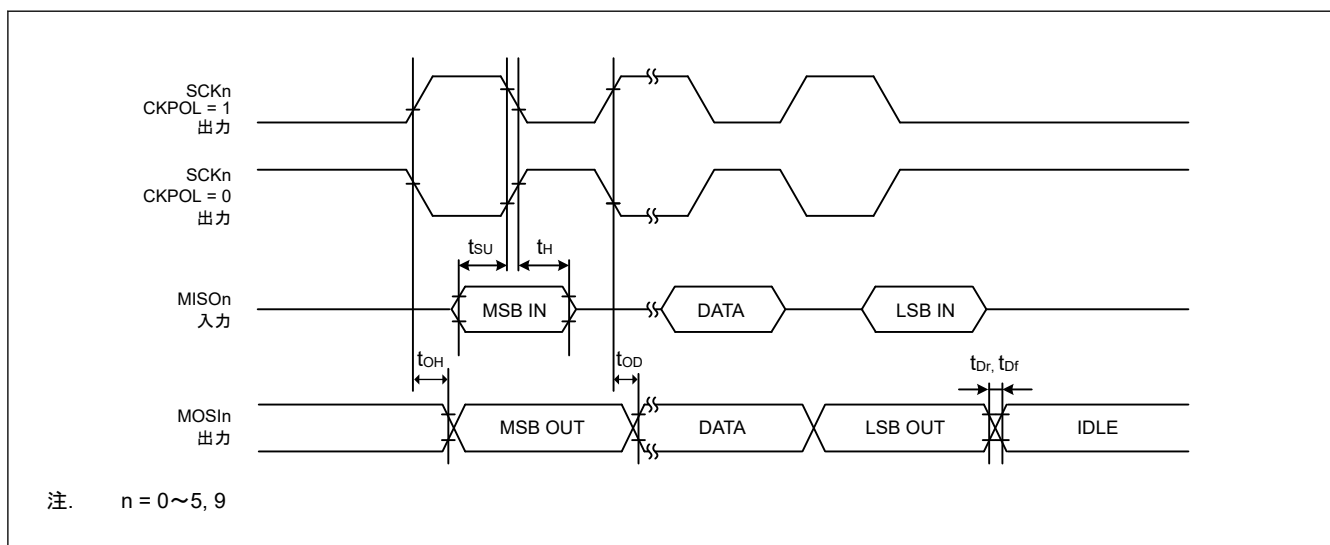


図 2.25 SCK 入出カタイミング (簡易 SPI モード) (マスタ、SPMR.CKPH = 0)

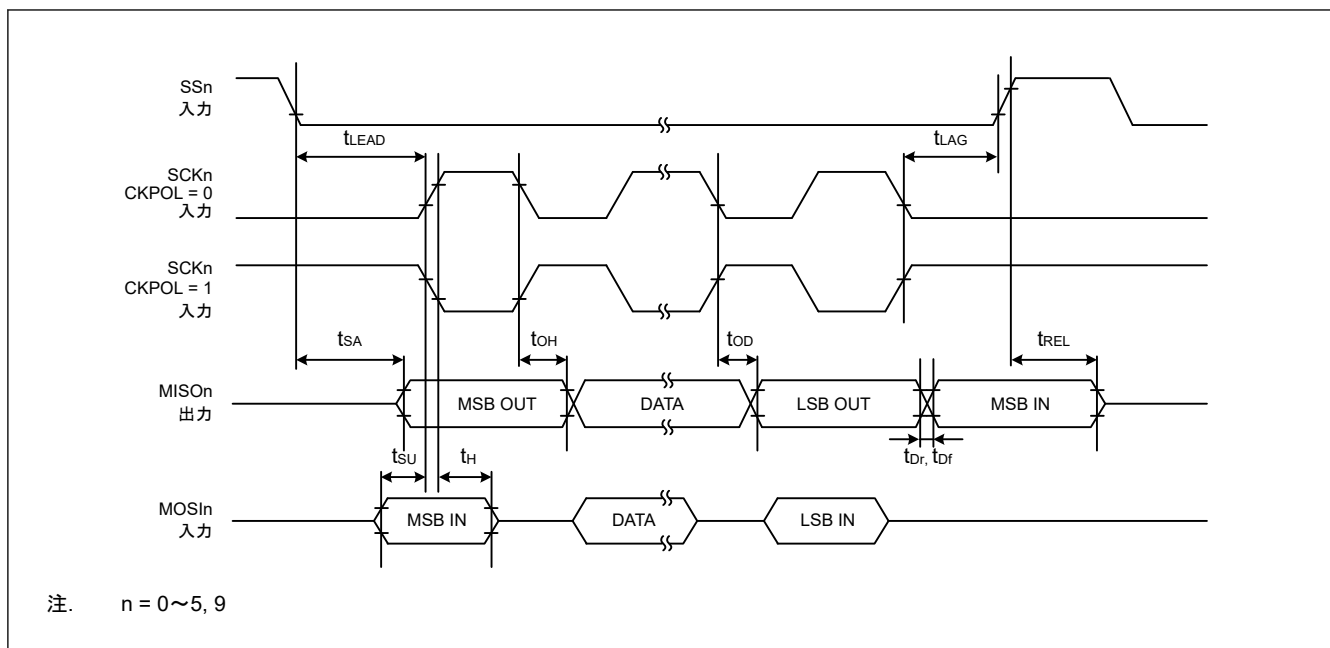


図 2.26 SCK 入出力タイミング (簡易 SPI モード) (スレーブ、SPMR.CKPH = 1)

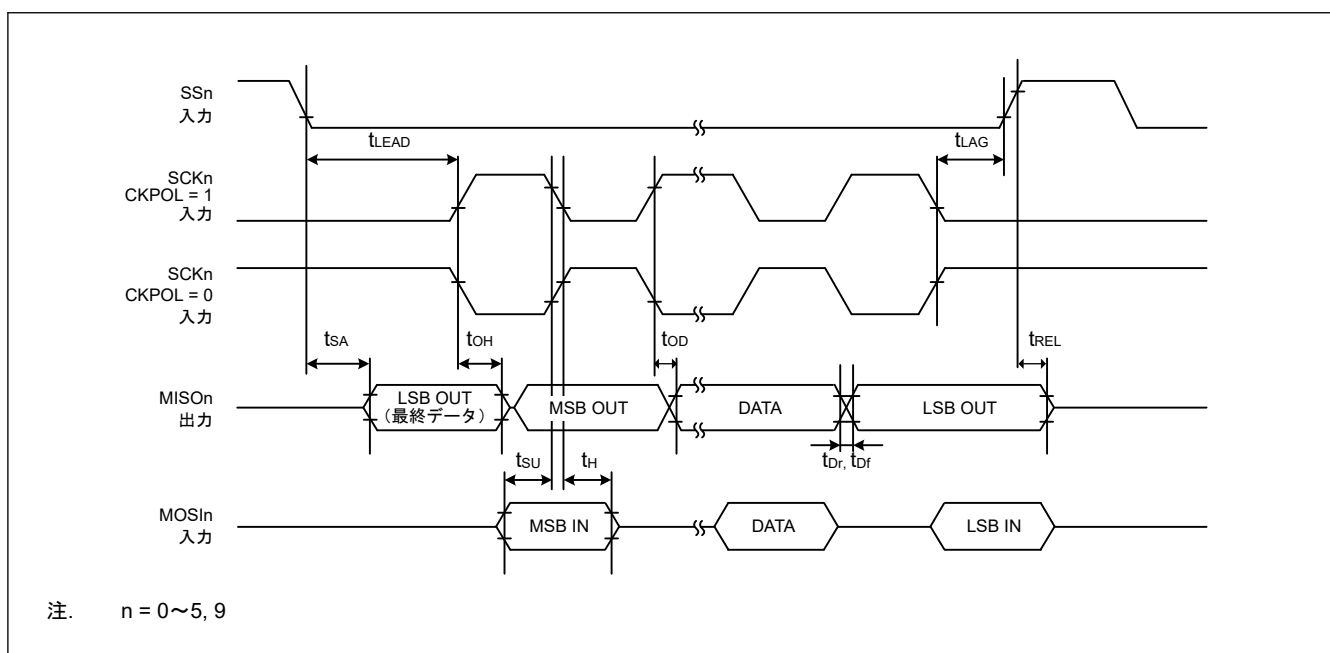
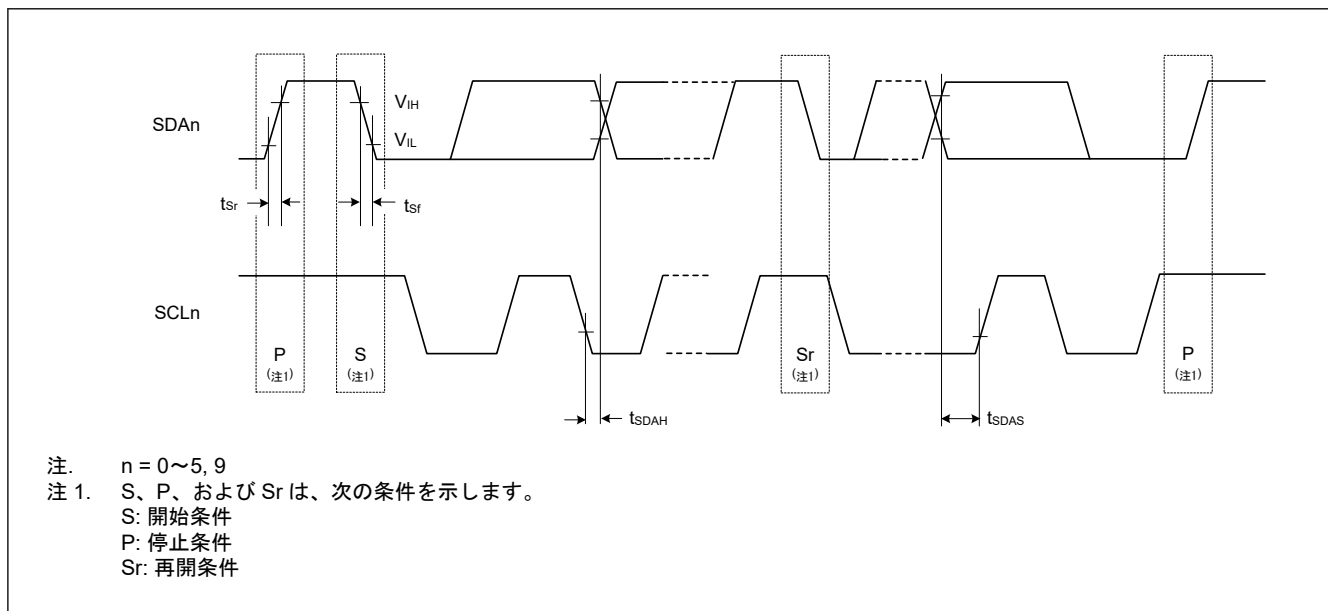


図 2.27 SCK 入出力タイミング (簡易 SPI モード) (スレーブ、SPMR.CKPH = 0)

表 2.26 SCI タイミング (3)

条件: PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	記号	Min	Max	単位(注2)	測定条件	
簡易 IIC (標準モード)	周波数 (SCI0、SCI1)	pclkfmax	—	64	MHz	—
	BOOST		—	32		
	NORMAL	—	32			
	周波数 (SCI0、SCI1 以外)		—	32		
	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.28
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	図 2.28
データ入力ホールド時間	t_{SDAH}	0	—	ns		
SCL、SDA の負荷容量	C_b (注1)	—	400	pF		
簡易 IIC (ファストモード)	周波数 (SCI0、SCI1)	pclkfmax	—	64	MHz	—
	BOOST		—	32		
	NORMAL	—	32			
	周波数 (SCI0、SCI1 以外)		—	32		
	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.28
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	図 2.28
データ入力ホールド時間	t_{SDAH}	0	—	ns		
SCL、SDA の負荷容量	C_b (注1)	—	400	pF		

注 1. C_b はバスラインの容量総計を意味します。注 2. t_{PcyC} : SCI0、SCI1 は PCLKA の周期、SCI2~SCI5、SCI9 は PCLKB の周期を示します。図 2.28 SCK 入出力タイミング (簡易 I²C モード)

2.3.10 SPI タイミング

表 2.27 SPI タイミング (1/2)

条件: PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		記号	Min	Max	単位(注1)	測定条件	
周波数	BOOST	pclkfmax	—	64	MHz	—	
	NORMAL		—	32			
RSPCK クロック サイクル	マスタ	t _{SPCyc}	BOOST	4	4096	t _{PCyc}	図 2.29
			NORMAL	2	4096		
	スレーブ		6	4096			
RSPCK クロック High レベルパルス幅	マスタ	t _{SPCKWH}	(t _{SPCyc} - t _{SPCKr} - t _{SPCKf})/2 - 3		—	ns	
	スレーブ		3 × t _{PCyc}		—		
RSPCK クロック Low レベルパルス幅	マスタ	t _{SPCKWL}	(t _{SPCyc} - t _{SPCKr} - t _{SPCKf})/2 - 3		—	ns	
	スレーブ		3 × t _{PCyc}		—		
RSPCK クロック 立ち上がり/立ち 下がり時間	出力	t _{SPCKr} , t _{SPCKf}	—	10	ns	図 2.29 IOVCCn ≥ 2.7 V	
	入力		—	1	μs		
データ入力セット アップ時間	マスタ	t _{SU}	BOOST	25	—	ns	図 2.30 ~ 図 2.35 IOVCCn ≥ 2.7 V
			NORMAL	15	—		
	スレーブ		10	—			
データ入力ホール ド時間	マスタ	t _{HF}	0	—	ns	図 2.30 ~ 図 2.35 PCLKA を 2 分 周に設定	
		t _H	1	—	t _{PCyc}	図 2.30 ~ 図 2.35 PCLKA を 2 分 周以外に設定	
	スレーブ		20	—	ns	図 2.30 ~ 図 2.35	
SSL セットアップ 時間	マスタ	t _{LEAD}	-30 + N × t _{SPCyc} (注2)		—	ns	図 2.30 ~ 図 2.35
	スレーブ		6 × t _{PCyc}		—	ns	
SSL ホールド時 間	マスタ	t _{LAG}	-30 + N × t _{SPCyc} (注3)		—	ns	
	スレーブ		6 × t _{PCyc}		—	ns	
データ出力遅延時 間	マスタ	t _{OD}	—	14	ns	図 2.30 ~ 図 2.35 IOVCCn ≥ 2.7 V	
	スレーブ		—	50			
データ出力ホール ド時間	マスタ	t _{OH}	0	—	ns	図 2.30 ~ 図 2.35	
	スレーブ		0	—			
連続送信遅延時間	マスタ	t _{TD}	t _{SPCyc} + 2 × t _{PCyc}	8 × t _{SPCyc} + 2 × t _{PCyc}	ns	図 2.30 ~ 図 2.35	
	スレーブ		6 × t _{PCyc}	—			
MOSI、MISO 立ち 上がり/立ち下がり 時間	出力	t _{Dr} , t _{Df}	—	10	ns	図 2.30 ~ 図 2.35 IOVCCn ≥ 2.7 V	
	入力		—	1			μs

表 2.27 SPI タイミング (2/2)

条件: PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	記号	Min	Max	単位(注1)	測定条件	
SSL 立ち上がり ／立ち下がり時間	出力	t_{SSLr} , t_{SSLf}	—	10	ns	図 2.30 ~ 図 2.35 IOVCCn \geq 2.7 V
	入力		—	1	μ s	
スレーブアクセス時間	t_{SA}	—	$2 \times t_{Pcyc} + 100$	ns	図 2.34、 図 2.35 IOVCCn \geq 2.7 V	
スレーブ出力開放時間	t_{REL}	—	$2 \times t_{Pcyc} + 100$	ns	図 2.34、 図 2.35 IOVCCn \geq 2.7 V	

注 1. t_{Pcyc} は PCLKA の周期を示します。

注 2. N は、SPCKD レジスタで設定した RSPCK の遅延数です。

注 3. N は SSLND レジスタで設定した RSPCK の遅延数です。

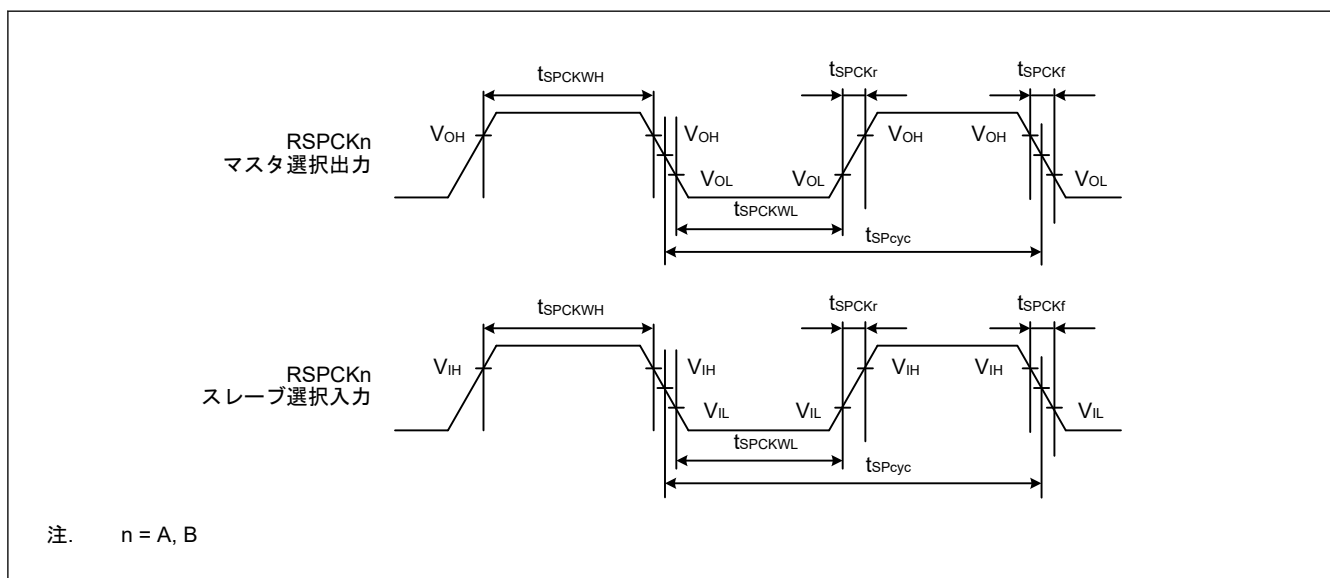


図 2.29 SPI クロックタイミング

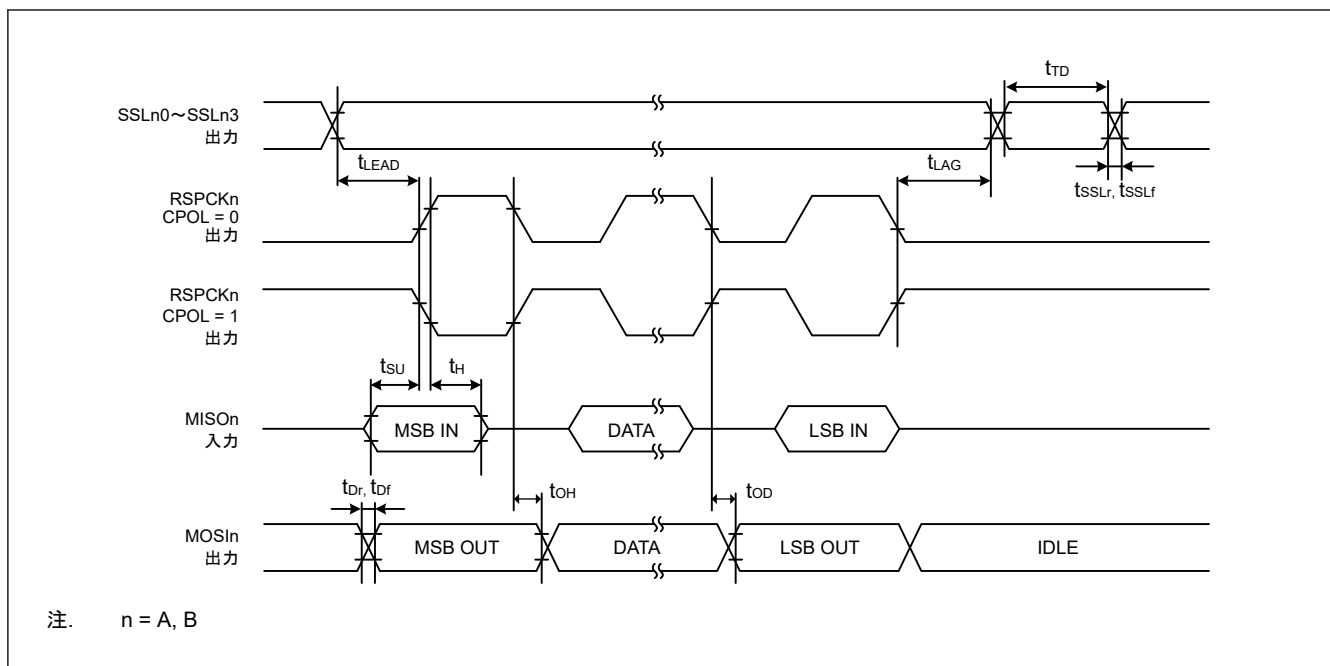


図 2.30 SPI タイミング (マスター、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

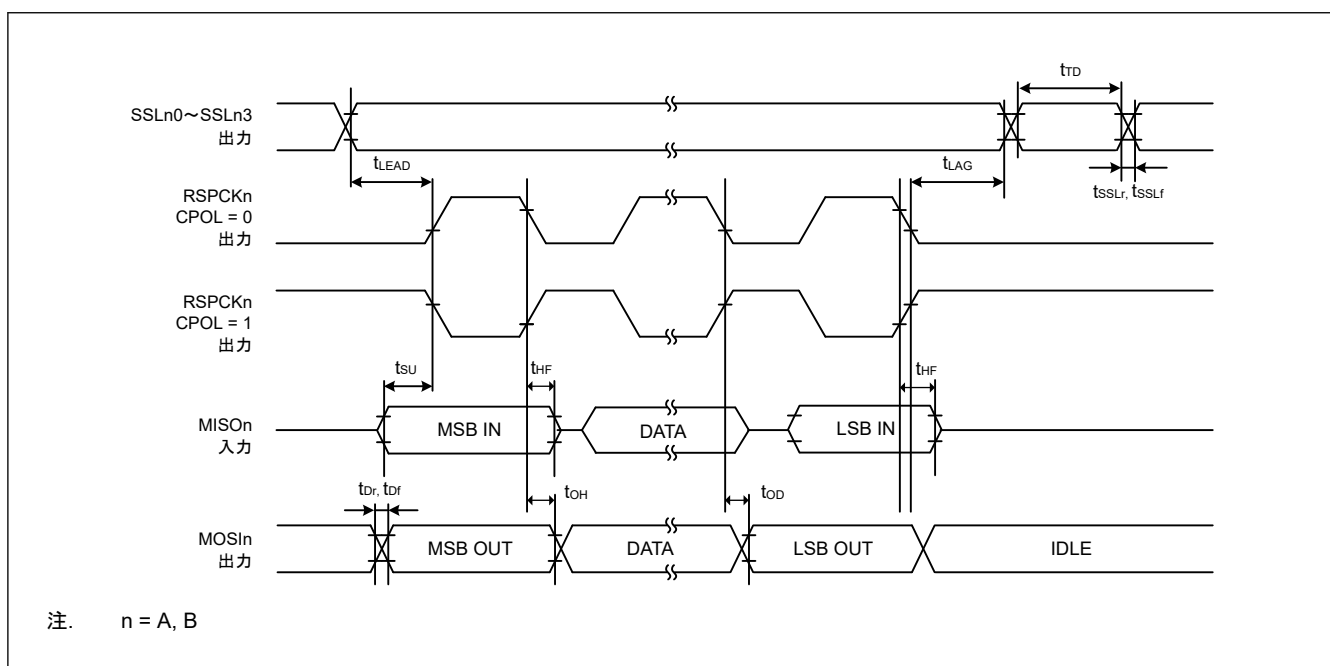


図 2.31 SPI タイミング (マスター、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

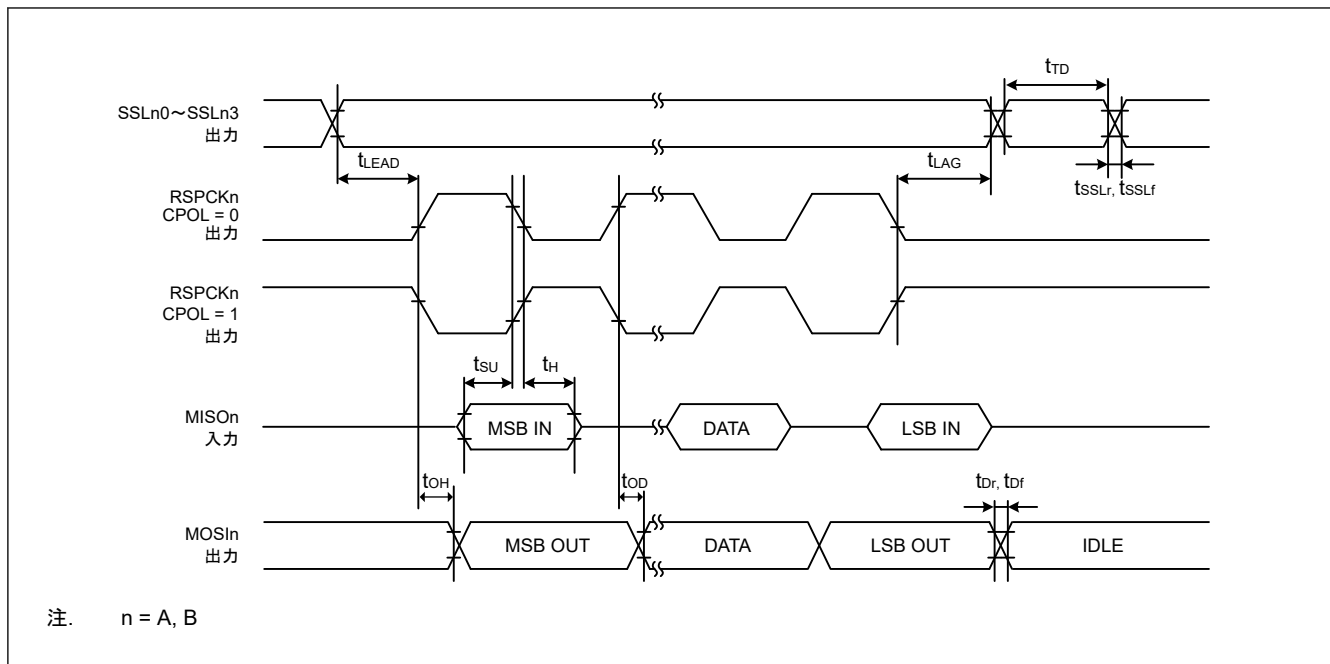


図 2.32 SPI タイミング (マスター、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

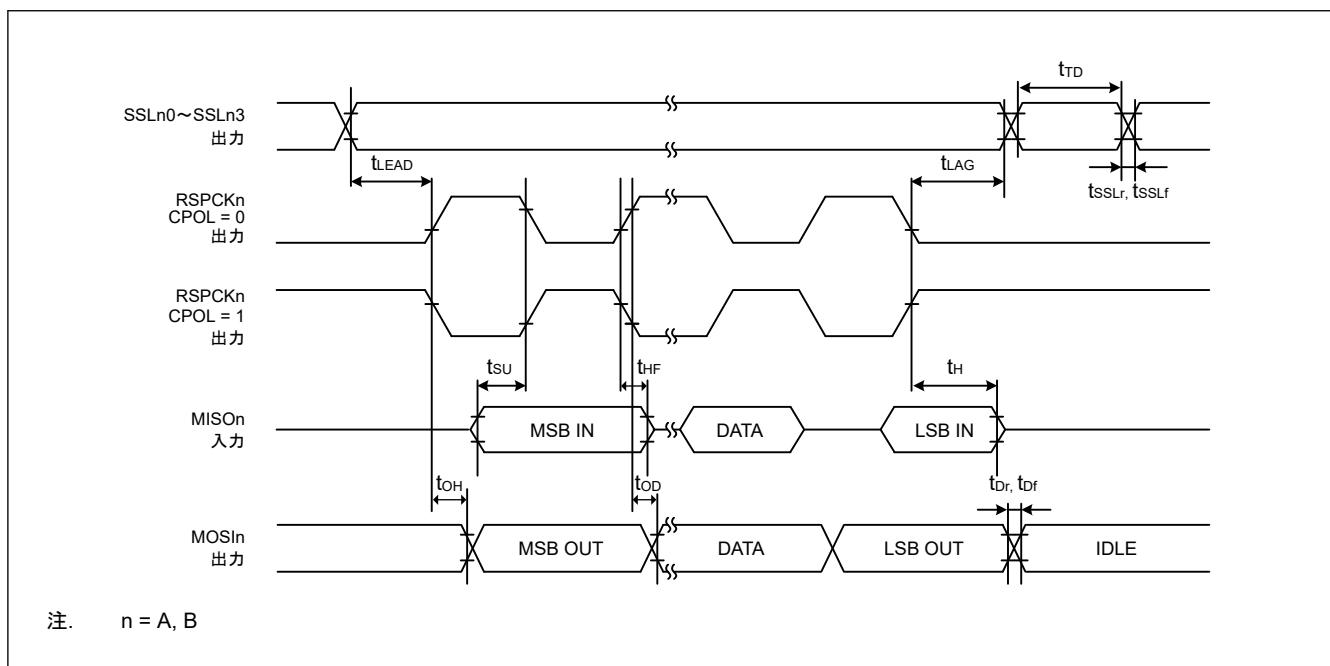


図 2.33 SPI タイミング (マスター、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

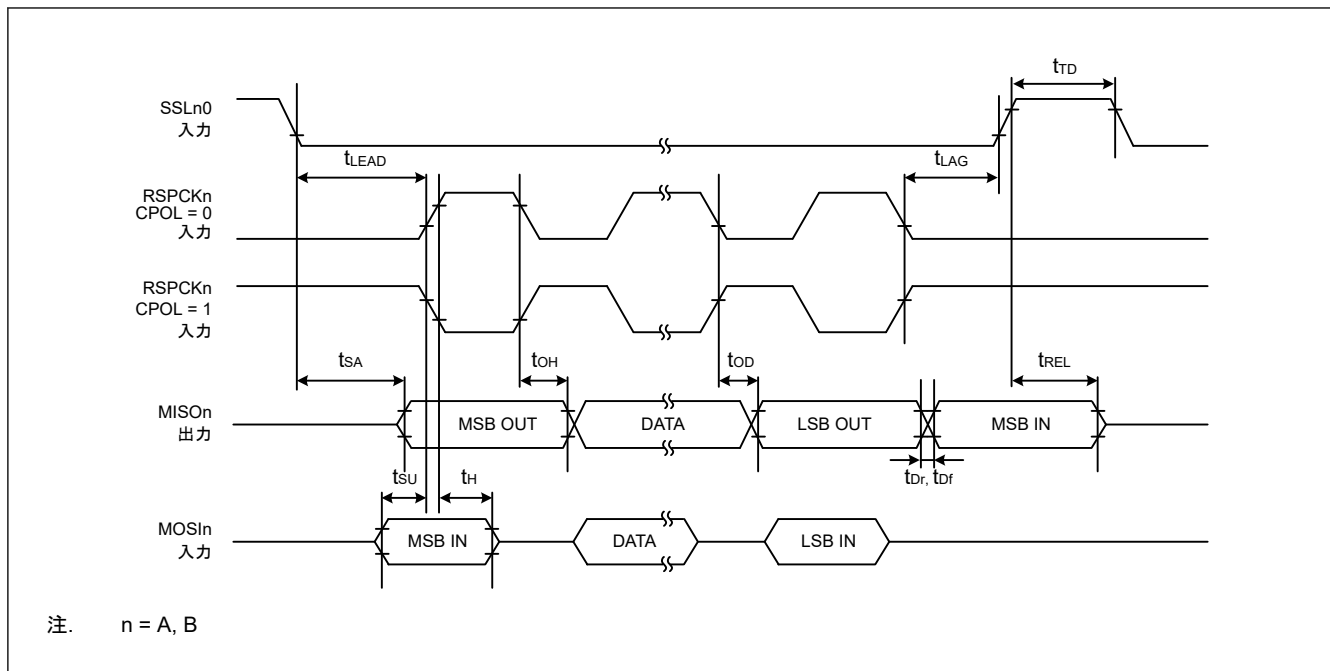


図 2.34 SPI タイミング (スレーブ、CPHA = 0)

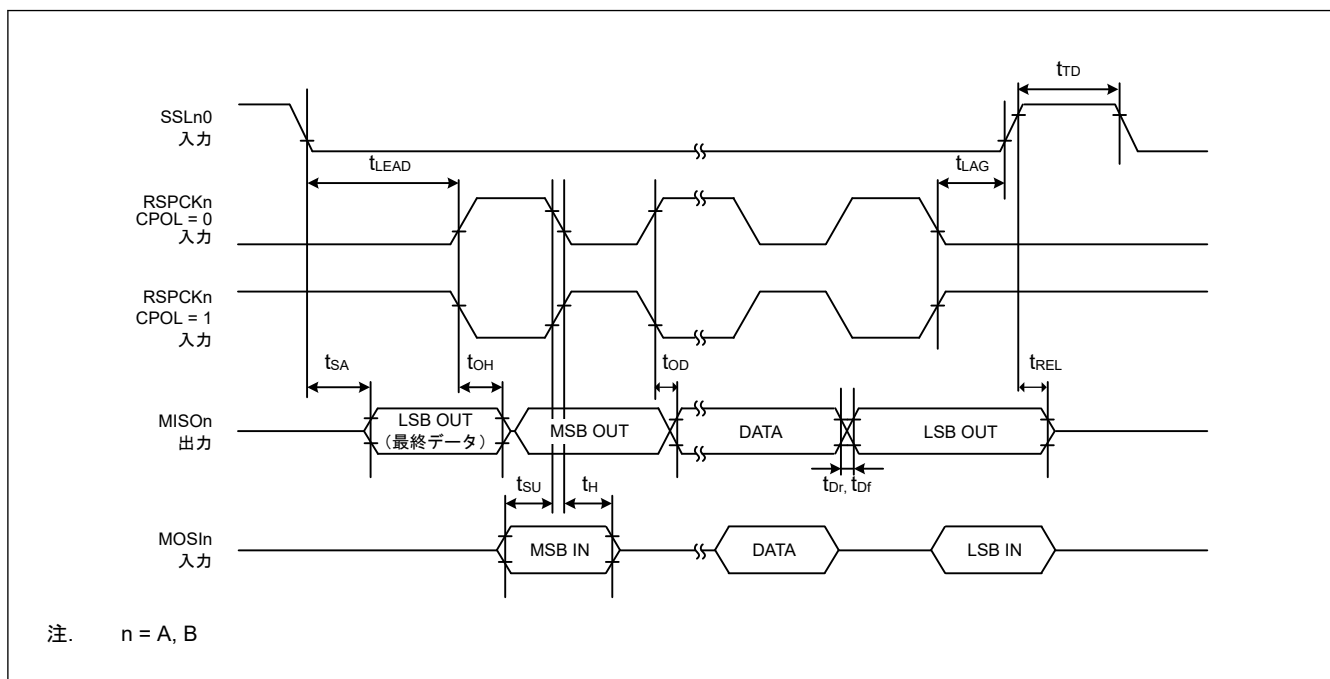


図 2.35 SPI タイミング (スレーブ、CPHA = 1)

2.3.11 QSPI タイミング

表 2.28 QSPI タイミング

条件 : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	記号	Min	Max	単位(注1)	測定条件
QSPCLK クロックサイクル (PCLKA > 48 MHz)	t _{QScyc}	3	4080	t _{p_{cyc}}	図 2.36
QSPCLK クロックサイクル (PCLKA ≤ 48 MHz)		2	4080		
QSPCLK クロック High レベルパルス幅	t _{QSWH}	t _{QScyc} × 0.4	—	ns	
QSPCLK クロック Low レベルパルス幅	t _{QSWL}	t _{QScyc} × 0.4	—	ns	
データ入力セットアップ時間	t _{SU}	25	—	ns	図 2.37 IOVCCn ≥ 2.7 V
データ入力ホールド時間	t _H	12	—	ns	
QSSL セットアップ時間	t _{LEAD}	(L + 0.5) × t _{QScyc} - M(注2)	—	ns	
QSSL ホールド時間	t _{LAG}	(N + 0.5) × t _{QScyc} - M(注3)	—	ns	
データ出力遅延時間	t _{OD}	-3.3	14	ns	
連続送信遅延時間	t _{TD}	1	16	t _{QScyc}	

注 1. t_{p_{cyc}} は PCLKA の周期を示します。

注 2. L の値は SFMSSC.SFMSLD ビットの設定値です。M の値は BOOST 時が 10、NORMAL 時が 15 です。

注 3. N の値は SFMSSC.SFMSSD ビットの設定値です。M の値は BOOST 時が 10、NORMAL 時が 15 です。

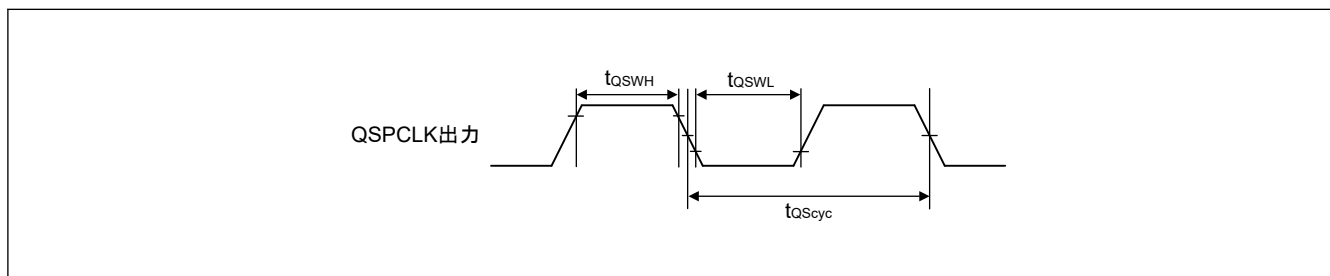


図 2.36 QSPI クロックタイミング

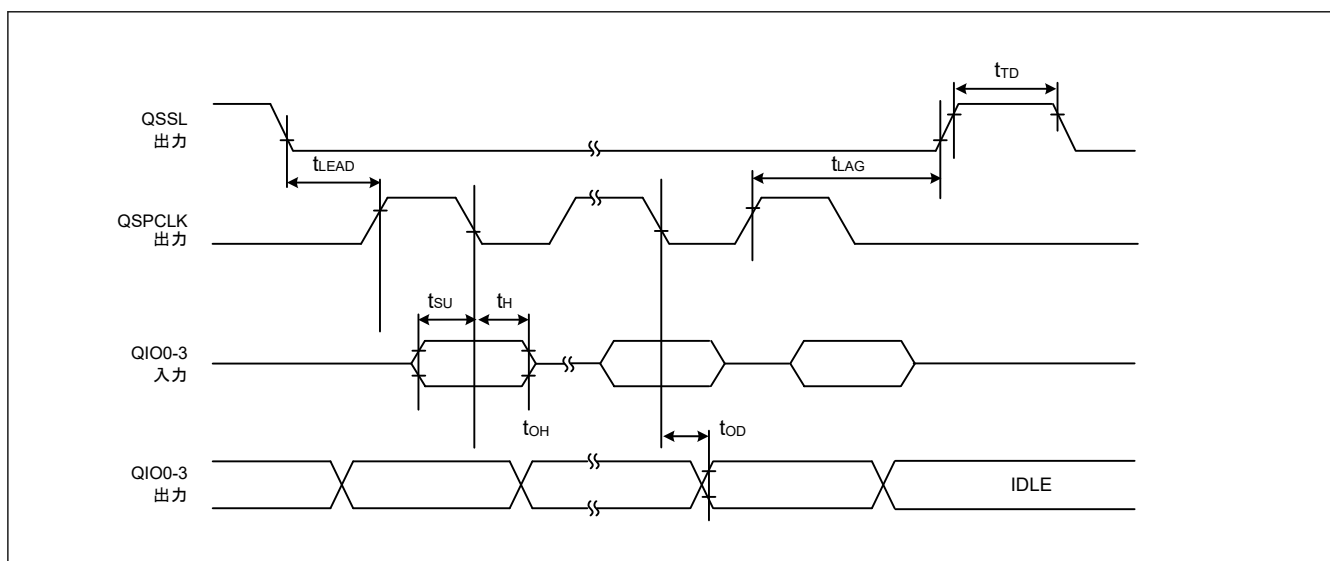


図 2.37 QSPI 入出力タイミング

2.3.12 IIC タイミング

表 2.29 IIC タイミング

条件: $V_{CC} = 3.0 \sim 3.6 \text{ V}$, $V_{IH} = V_{CC} \times 0.7$, $V_{IL} = V_{CC} \times 0.3$, $V_{OH} = 0.6 \text{ V}$, $I_{OL} = 6 \text{ mA}$

条件: PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。(PmnPFS.DSCR[1:0] = 10b)

項目	記号	Min(注1)	Max(注1)	単位	測定条件	
IIC (標準モード)	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図 2.38
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	—	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b (注2)	—	400	pF	
	IIC (ファストモード)	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	
SCL 入力 High レベルパルス幅		t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
SCL 入力 Low レベルパルス幅		t_{SCLL}	—	—	ns	
SCL、SDA 入力立ち上がり時間		t_{Sr}	—	300	ns	
SCL、SDA 入力立ち下がり時間		t_{Sf}	—	300	ns	
SDA 入力バスフリー時間		t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
開始条件入力ホールド時間		t_{STAH}	$t_{IICcyc} + 300$	—	ns	
再送開始条件入力セットアップ時間		t_{STAS}	300	—	ns	
停止条件入力セットアップ時間		t_{STOS}	300	—	ns	
データ入力セットアップ時間		t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
データ入力ホールド時間		t_{SDAH}	0	—	ns	
SCL、SDA の負荷容量		C_b (注2)	—	400	pF	

注. t_{IICcyc} : IIC 内部基準クロック (IICφ) の周期を示します。

注 1. ICFER.NFE ビットが 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] ビットが 11b であると () 内の値が適用されます。

注 2. C_b はバスラインの容量総計を意味します。

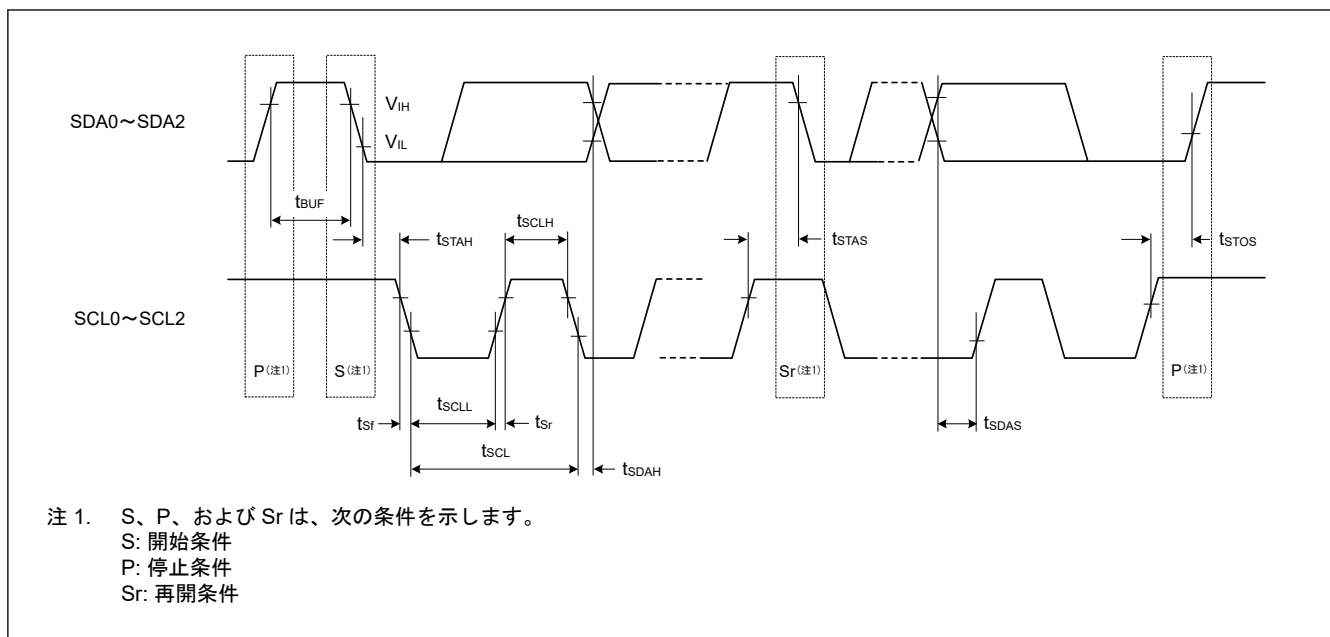


図 2.38 I2C バスインタフェース入出力タイミング

2.3.13 MLCD タイミング

表 2.30 MLCD タイミング

条件: PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	記号	Min	Typ	Max	単位(注1)	測定条件
MLCD_SCLK 端子出力 High レベルパルス幅	t_{wSCLKH}	1	—	255	t_{Pcyc}	図 2.39
MLCD_SCLK 端子出力 Low レベルパルス幅	t_{wSCLKL}	1	—	255	t_{Pcyc}	
データ送信待ち時間	t_{wNOP}	—	1	—	t_{Pcyc}	
MLCD_SI 端子出力セットアップ時間	t_{sSI}	1	—	255	t_{Pcyc}	
MLCD_SI 端子出力ホールド時間	t_{hSI}	1	—	255	t_{Pcyc}	
MLCD_DEN 端子出力セットアップ時間	t_{sDEN}	1	—	255	t_{Pcyc}	
MLCD_DEN 端子出力ホールド時間	t_{hDEN}	1	—	255	t_{Pcyc}	
MLCD_ENBG/S 端子出力 High レベルパルス幅	t_{wENBH}	2	—	1023	t_{Pcyc}	
MLCD_SCLK 端子出力立ち上がりから、 MLCD_ENBG/S 端子出力立ち上がりまでの時間	t_{oENB}	3	—	255	t_{Pcyc}	
MLCD_ENBG/S 端子出力立ち下がりから、 MLCD_SCLK 端子出力立ち上がりまでの時間	t_{bENB}	3	—	255	t_{Pcyc}	
MLCD_VCOM 端子出力デューティ比	—	—	50	—	%	
MLCD_VCOM 端子出力 High/Low レベルパルス 時間	t_{cVCOM}	500	—	5000	ms	

注 1. t_{Pcyc} : PCLKA の周期を示します。

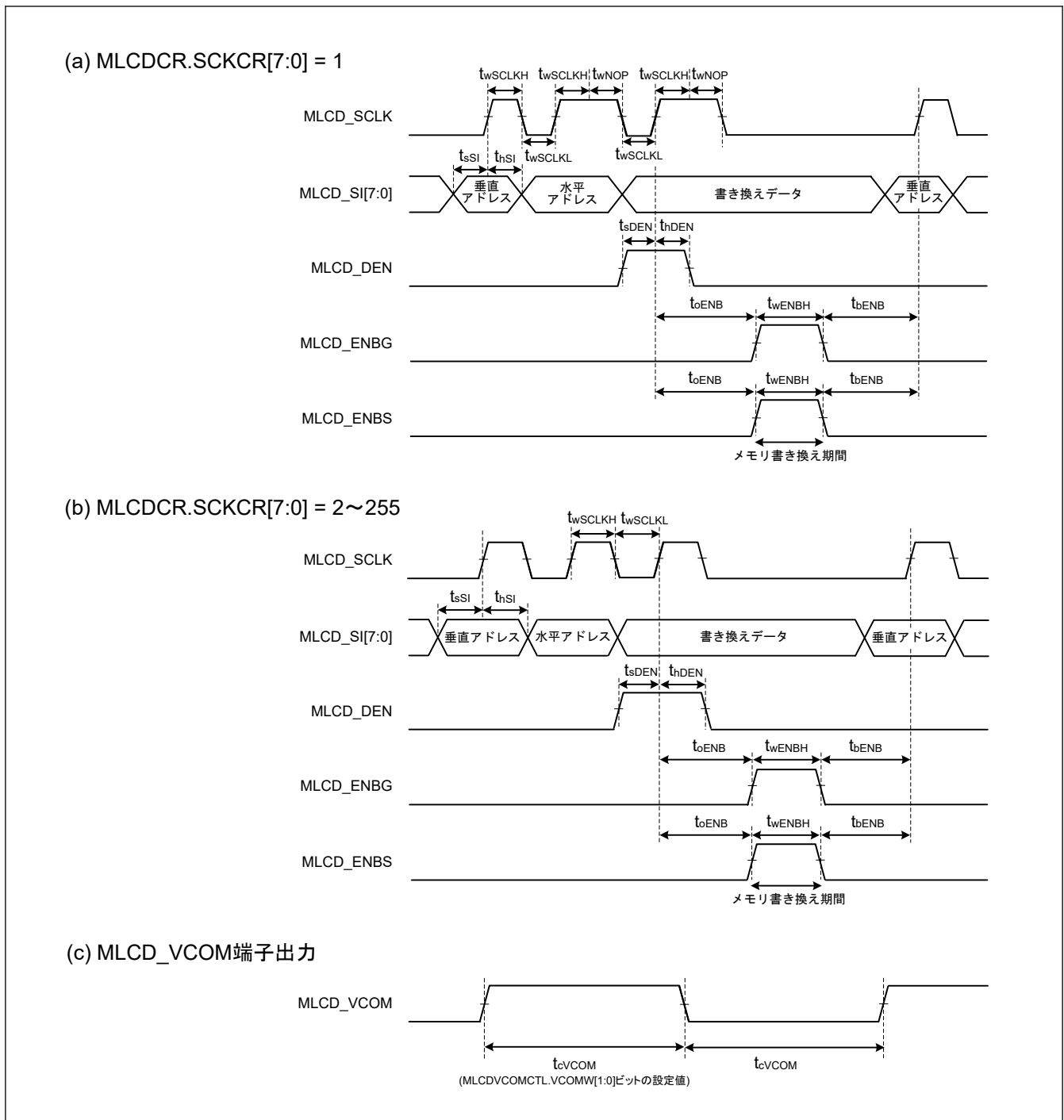


図 2.39 MLCD 出力タイミング

2.3.14 CLKOUT タイミング

表 2.31 CLKOUT タイミング

項目	記号	Min	Max	単位	測定条件		
CLKOUT	CLKOUT 端子出力サイクル(注1)	IOVCCn ≥ 2.7V	t _{Ccyc}	31.25	—	ns	図 2.40
		IOVCCn < 2.7V		62.5	—		
CLKOUT32	CLKOUT 端子出力サイクル	t _{Ccyc}		30.5	—	μs	

注 1. EXTAL 外部クロック入力またはサブクロック発振器を使用して 1 分周 (CKOCR.CKOSSEL[2:0] = 011b かつ CKOCR.CKODIV[2:0] = 000b) を CLKOUT から出力する場合は、入力デューティサイクル 45~55%で上記を満たします。

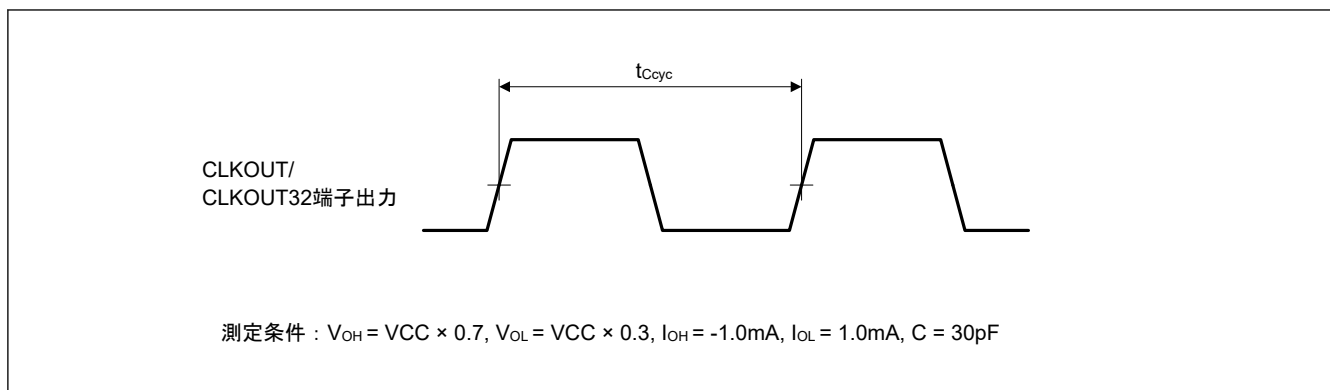


図 2.40 CLKOUT/CLKOUT32 端子出カタイミング

2.3.15 TMR タイミング

表 2.32 TMR タイミング

項目			記号	Min	Typ	Max	単位(注1)	測定条件
TMR	タイマクロック パルス幅	単エッジ指定	t_{TMCWH}	1.5	—	—	t_{Pcyc}	図 2.41
		両エッジ指定	t_{TMCWL}	2.5	—	—		

注 1. t_{Pcyc} : PCLKB の周期を示します。

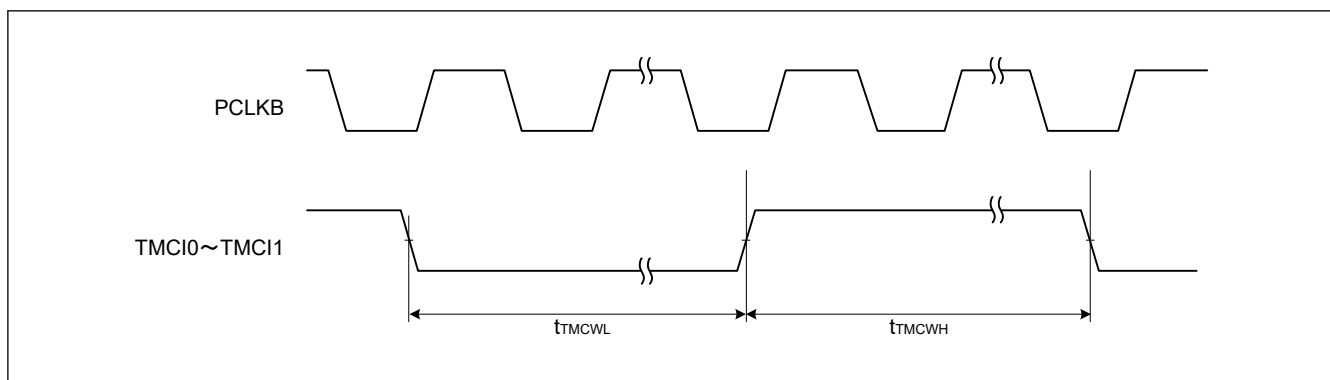


図 2.41 TMR クロック入力タイミング

2.4 A/D 変換特性

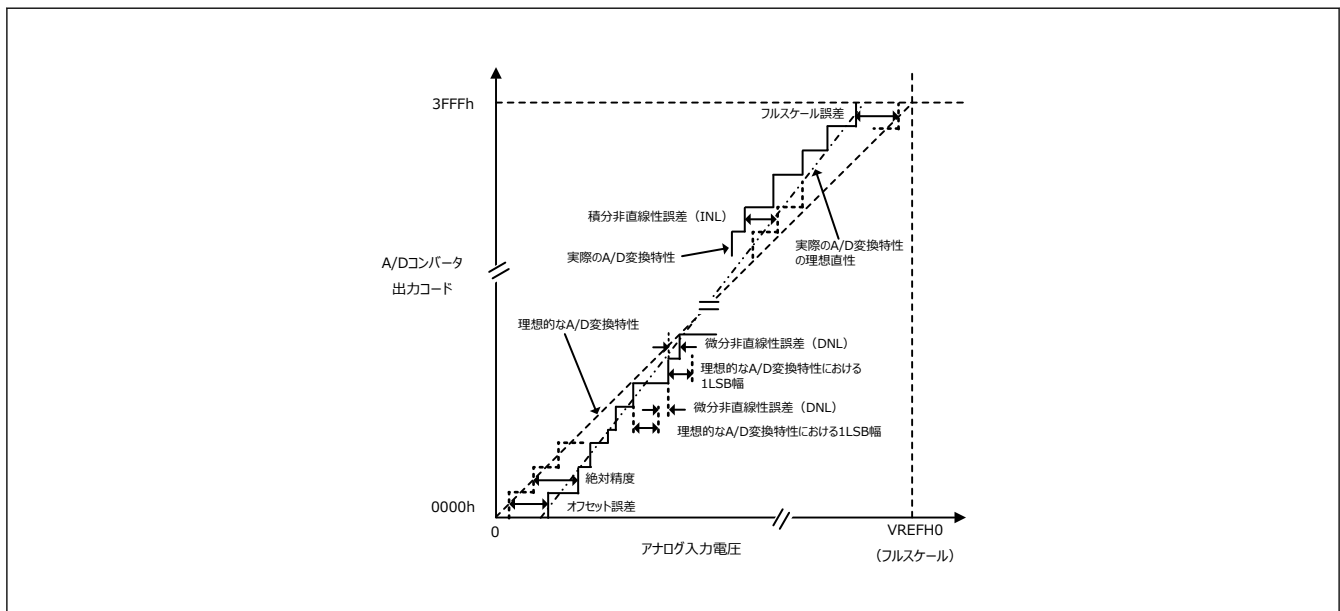


図 2.42 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理想的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理想的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 14 ビット、基準電圧 ($V_{REFH0} = 3.276 \text{ V}$) の場合、1LSB 幅は 0.2 mV で、アナログ入力電圧には 0 mV、0.2 mV、0.4 mV 等を使用します。

絶対精度 = $\pm 5\text{LSB}$ とは、アナログ入力電圧が 1.6 mV の場合、理想的な A/D 変換特性では出力コード 0x0008 を期待できますが、実際の A/D 変換結果は 0x0003 ~ 0x000D になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

A/D コンバータの変換特性は、特に指定のない限り、出荷検査を実施しません。記載される値は、設計ガイドラインとしてのみ提示します。提示される電気的特性値は、電圧条件などに応じて、以下の 6 種類に分類します。

1. $AVCC0 = V_{REFH0} = 2.7 \sim 3.6 \text{ V}$ ただし、Max 値は正規分布における $\pm 3\sigma$ の場合の値です。
2. $AVCC0 = V_{REFH0} = 2.7 \sim 3.6 \text{ V}$
3. $AVCC0 = V_{REFH0} = 1.62 \sim 3.6 \text{ V}$ 、14 ビット分解能
4. $AVCC0 = V_{REFH0} = 1.62 \sim 3.6 \text{ V}$ 、12 ビット分解能
5. $AVCC0 = 3.3 \text{ V}$ 、 $AVT_{RO} = 2.5 \text{ V}$ （基準電圧生成回路の出力値をリファレンスとして使用）
6. $AVCC0 = 1.8 \text{ V}$ 、 $AVT_{RO} = 1.25 \text{ V}$ （基準電圧生成回路の出力値をリファレンスとして使用）

A/D コンバータの電気的特性には、以下の注意事項があります。

- 特性値は、量子化誤差 ($\pm 0.5\text{LSB}$) を含みません。

- 特性値は、オフセットキャリブレーション実施後の値です。
- 特性値は、14 ビット A/D コンバータ以外の機能を使用していないときの値です。
- 変換時間 (t_{CONV}) は、サンプリング時間 (t_{SPL}) と、逐次変換時間 (t_{SAM}) とを合わせた時間です。変換時間の特性値にある () は、サンプリング時間です。

表 2.33 A/D 変換特性 (1)

条件: AVCC0 = VREFH0 = 2.7~3.6 V

項目	Min.	Typ.	Max.	単位	測定条件	
周波数	1	—	32 ^(注3)	MHz	ADSCLKCR.SCLKEN = 0	
	—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1	
ダイナミックレンジ	A_{in}	0	—	VREFH0	V	—
分解能	12	—	14	ビット	—	
変換時間	許容信号源インピーダンス Max. = 0.5 k Ω	1.0 (0.46875)	—	—	μ s	高精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x0F
		1.5 (0.96875)	—	—	μ s	標準精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x1F
		593.75 (60.98)	—	—	μ s	ADSCLKCR.SCLKEN = 1 ADSSTRn.SST = 0x02
オフセット誤差 ^(注1)	-0.8	—	0.8	mV	高精度チャネル	
フルスケール誤差 ^(注1)	-0.8	—	0.8		高精度チャネル	
絶対精度 ^(注1)	—	± 4.0 ^(注2)	± 7.0	LSB	高精度チャネル	
DNL 微分非直線誤差 ^(注1)	—	± 1.0 ^(注2)	± 1.5	LSB	高精度チャネル	
INL 積分非直線誤差 ^(注1)	—	± 2.5 ^(注2)	± 4.0	LSB	高精度チャネル	
ENOB (Effective number of bits) ^{(注1)(注2)(注4)}	—	13	—	ビット	高精度チャネル	

注 1. 平均モード有効かつ 16 回変換 (ADADC = 0x85) を選択して、分解能を 14 ビットに設定 (ADCER.ADPRC[1:0] = 11b) したときの値

注 2. AVCC0 = VREFH0 = 3.3 V の場合

注 3. AVCC0 \neq VREFH0 の場合は、AVCC0 \geq VREFH0 \geq 2.7 V としてください。

注 4. クロックソースにメインクロック発振器を選択し、アナログ入力チャネルに 50 Hz の正弦波を入力した場合

表 2.34 A/D 変換特性 (2) (1/2)

条件: AVCC0 = VREFH0 = 2.7~3.6 V

項目	Min.	Typ.	Max.	単位	測定条件	
周波数	1	—	32 ^(注3)	MHz	ADSCLKCR.SCLKEN = 0	
	—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1	
ダイナミックレンジ	A_{in}	0	—	VREFH0	V	—
分解能	12	—	14	ビット	—	
変換時間	許容信号源インピーダンス Max. = 0.5 k Ω	1.0 (0.46875)	—	—	μ s	高精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x0F
		1.5 (0.96875)	—	—	μ s	標準精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x1F
		593.75 (60.98)	—	—	μ s	ADSCLKCR.SCLKEN = 1 ADSSTRn.SST = 0x02
オフセット誤差 ^(注1)	-1.2	—	1.2	mV	高精度チャネル	
フルスケール誤差 ^(注1)	-1.2	—	1.2		高精度チャネル	
絶対精度 ^(注1)	—	± 4.0 ^(注2)	± 9.0	LSB	高精度チャネル	

表 2.34 A/D 変換特性 (2) (2/2)

条件: AVCC0 = VREFH0 = 2.7~3.6 V

項目	Min.	Typ.	Max.	単位	測定条件
DNL 微分非直線誤差(注1)	—	±1.0(注2)	±1.7	LSB	高精度チャネル
INL 積分非直線誤差(注1)	—	±2.5(注2)	±5.0	LSB	高精度チャネル
ENOB (Effective number of bits) (注1)(注2)(注4)	—	13	—	ビット	高精度チャネル

注 1. 平均モード有効かつ 16 回変換 (ADADC = 0x85) を選択して、分解能を 14 ビットに設定 (ADGER.ADPRC[1:0] = 11b) したときの値

注 2. AVCC0 = VREFH0 = 3.3 V の場合

注 3. AVCC0 ≠ VREFH0 の場合は、AVCC0 ≥ VREFH0 ≥ 2.7 V としてください。

注 4. クロックソースにメインクロック発振器を選択し、アナログ入力チャネルに 50 Hz の正弦波を入力した場合

表 2.35 A/D 変換特性 (3)

条件: AVCC0 = VREFH0 = 1.62~3.6 V

項目	Min.	Typ.	Max.	単位	測定条件	
周波数	1	—	16(注3)	MHz	ADSCLKCR.SCLKEN = 0	
	—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1	
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能	—	—	—	—	—	—
変換時間	許容信号源インピーダンス Max. = 0.5 kΩ	2.0 (0.9375)	—	—	μs	高精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x0F
		3.0 (1.9375)	—	—	μs	標準精度チャネル ADSCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x1F
		593.75 (60.98)	—	—	μs	ADSCLKCR.SCLKEN = 1 ADSSTRn.SST = 0x02
オフセット誤差(注1)	-1.2	—	1.2	mV	高精度チャネル	
フルスケール誤差(注1)	-1.2	—	1.2	mV	高精度チャネル	
絶対精度(注1)	—	±4.0(注2)	±1.2(注5)	LSB	高精度チャネル	
DNL 微分非直線誤差(注1)	—	±1.0(注2)	±2.5(注6)	LSB	高精度チャネル	
INL 積分非直線誤差(注1)	—	±2.5(注2)	±5.0	LSB	高精度チャネル	
ENOB (Effective number of bits) (注1)(注2)(注4)	—	13	—	ビット	高精度チャネル	

注 1. 平均モード有効かつ 16 回変換 (ADADC = 0x85) を選択して、分解能を 14 ビットに設定 (ADGER.ADPRC[1:0] = 11b) したときの値

注 2. AVCC0 = VREFH0 = 3.3 V の場合

注 3. AVCC0 ≠ VREFH0 の場合は、AVCC0 ≥ VREFH0 ≥ 2.4 V としてください。

注 4. クロックソースにメインクロック発振器を選択し、アナログ入力チャネルに 50 Hz の正弦波を入力した場合

注 5. AVCC0 = VREFH0 = 2.4~3.6 V の場合、最大値は±9.0LSB です。

注 6. AVCC0 = VREFH0 = 2.4~3.6 V の場合、最大値は±1.7LSB です。

表 2.36 A/D 変換特性 (4) (1/2)

条件: AVCC0 = VREFH0 = 1.62~3.6 V

項目	Min.	Typ.	Max.	単位	測定条件	
周波数	1	—	16(注2)	MHz	ADSCLKCR.SCLKEN = 0	
	—	32.768	—	kHz	ADSCLKCR.SCLKEN = 1	
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能	—	—	12	ビット	—	

表 2.36 A/D 変換特性 (4) (2/2)

条件: AVCC0 = VREFH0 = 1.62~3.6 V

項目		Min.	Typ.	Max.	単位	測定条件
変換時間	許容信号源インピーダンス Max. = 0.5 kΩ	2.0 (0.9375)	—	—	μs	高精度チャネル ADCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x0F
		3.0 (1.9375)	—	—	μs	標準精度チャネル ADCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x1F
		593.75 (60.98)	—	—	μs	ADCLKCR.SCLKEN = 1 ADSSTRn.SST = 0x02
オフセット誤差(注1)		-1.2	—	1.2	mV	高精度チャネル
フルスケール誤差(注1)		-1.2	—	1.2		高精度チャネル
絶対精度(注1)		—	±2.0	±5.0	LSB	高精度チャネル
DNL 微分非直線誤差(注1)		—	±1.0	±1.5	LSB	高精度チャネル
INL 積分非直線誤差(注1)		—	±1.0	±2.0	LSB	高精度チャネル

注 1. 平均モード無効かつ、分解能を 12 ビット (ADCER.ADPRC[1:0] = 00b) に設定したときの値

注 2. AVCC0 ≠ VREFH0 の場合は、AVCC0 ≥ VREFH0 ≥ 1.62 V としてください。

表 2.37 基準電圧生成回路の出力値をリファレンス電圧としたときの A/D 変換特性 (1)

条件: AVCC0 = 3.3 V, AVTRO = 2.50 V

項目		Min.	Typ.	Max.	単位	測定条件
周波数		1	—	16	MHz	ADCLKCR.SCLKEN = 0
		—	32.768	—	kHz	ADCLKCR.SCLKEN = 1
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能		12	—	14	ビット	—
変換時間	許容信号源インピーダンス Max. = 0.5 kΩ	2.0 (0.46875)	—	—	μs	高精度チャネル ADCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x0F
		3.0 (1.9375)	—	—	μs	標準精度チャネル ADCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x1F
		593.75 (60.98)	—	—	μs	ADCLKCR.SCLKEN = 1 ADSSTRn.SST = 0x02
オフセット誤差(注1)		-1.2	—	1.2	mV	高精度チャネル
DNL 微分非直線誤差(注1)		—	±1.5	—	LSB	高精度チャネル
INL 積分非直線誤差(注1)		—	±3.0	—	LSB	高精度チャネル

注 1. 平均モード有効かつ 16 回変換 (ADADC = 0x85) を選択して、変換精度を 14 ビット (ADCER.ADPRC[1:0] = 11b) に設定したときの値

表 2.38 基準電圧生成回路の出力値をリファレンス電圧としたときの A/D 変換特性 (2) (1/2)

条件: AVCC0 = 1.8 V, AVTRO = 1.25 V

項目		Min.	Typ.	Max.	単位	測定条件
周波数		1	—	16	MHz	ADCLKCR.SCLKEN = 0
		—	32.768	—	kHz	ADCLKCR.SCLKEN = 1
ダイナミックレンジ	A _{in}	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—

表 2.38 基準電圧生成回路の出力値をリファレンス電圧としたときの A/D 変換特性 (2) (2/2)

条件: AVCC0 = 1.8 V, AVTRO = 1.25 V

項目		Min.	Typ.	Max.	単位	測定条件
変換時間	許容信号源インピーダンス Max. = 0.5 k Ω	2.0 (0.46875)	—	—	μ s	高精度チャネル ADCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x0F
		3.0 (1.9375)	—	—	μ s	標準精度チャネル ADCLKCR.SCLKEN = 0 ADSSTRn.SST = 0x1F
		593.75 (60.98)	—	—	μ s	ADCLKCR.SCLKEN = 1 ADSSTRn.SST = 0x02
オフセット誤差(注1)		-1.2	—	1.2	mV	高精度チャネル
DNL 微分非直線誤差(注1)		—	\pm 1.0	—	LSB	高精度チャネル
INL 積分非直線誤差(注1)		—	\pm 1.0	—	LSB	高精度チャネル

注 1. 平均モード無効かつ、変換精度を 12 ビット (ADCER.ADPRC[1:0] = 00b) に設定したときの値

2.5 温度センサ特性

表 2.39 温度センサ特性

項目	記号	Min	Typ	Max	単位	測定条件
相対精度	—	—	\pm 5	—	$^{\circ}$ C	AVCC0 \geq 2.6 V
	—	—	\pm 6	—	$^{\circ}$ C	AVCC0 < 2.6 V
温度傾斜	—	—	1.6	—	mV/ $^{\circ}$ C	—
温度センサ起動時間	t _{STBL}	—	30	120	μ s	—
サンプリング時間	—	—	2	7	μ s	—

注. 温度センサ特性は、出荷検査を実施しないため参考値です。

2.6 VREF 特性

表 2.40 VREF 特性

項目	記号	Min	Typ	Max	単位	測定条件
出力電圧	AVTRO	1.17	1.25	1.33	V	VREF.AVCR.AVSEL = 0 AVCC0 \geq 2.8V
	AVTRO	2.34	2.50	2.66	V	VREF.AVCR.AVSEL = 1 AVCC0 \geq 2.8V
	AVTRO	1.17	1.25	1.33	V	VREF.AVCR.AVSEL = 0 AVCC0 < 2.8V
回路起動安定待ち時間	t _{VRSTUP}	—	—	50	ms	—

注. VREF 特性は、出荷検査を実施しないため参考値です。

2.7 発振停止検出回路特性

表 2.41 発振停止検出回路特性

項目	記号	Min	Typ	Max	単位	測定条件
検出時間	t _{dr}	—	—	30	μ s	図 2.43

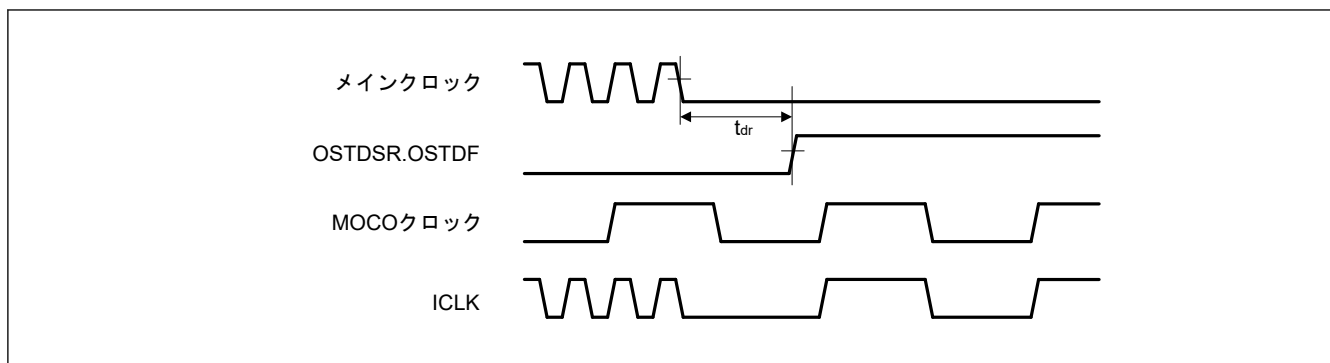


図 2.43 発振停止検出タイミング

2.8 パワーオンリセット回路、低電圧検出回路特性

表 2.42 パワーオンリセット回路、低電圧検出回路特性 (1/2)

項目	記号	Min	Typ	Max	単位	測定条件		
電圧検出レベル	パワーオンリセット回路 (POR)	rise	V_{POR}	1.40	1.50	1.60	V	図 2.44
		fall	V_{PORL}	1.30	1.40	1.50		
	電圧監視 0 回路 (LVD0)	V_{det0_0}	2.34	2.42	2.50	V	図 2.45	
		V_{det0_1}	2.10	2.17	2.24			
		V_{det0_2}	1.86	1.92	1.98			
		V_{det0_3}	1.62	1.67	1.72			
	電圧監視 1 回路 (LVD1)	V_{det1_0}	2.74	2.83	2.92	V	図 2.46	
		V_{det1_1}	2.58	2.66	2.74			
		V_{det1_3}	2.42	2.50	2.58			
		V_{det1_5}	2.26	2.33	2.40			
		V_{det1_7}	2.10	2.17	2.24			
		V_{det1_9}	1.94	2.00	2.06			
		V_{det1_B}	1.78	1.84	1.90			
	電圧監視 BAT 回路 (LVDBAT)	V_{detBAT_5}	2.26	2.33	2.40	V	図 2.47	
		V_{detBAT_7}	2.10	2.17	2.24			
V_{detBAT_9}		1.94	2.00	2.06				
V_{detBAT_B}		1.78	1.84	1.90				
V_{detBAT_D}		1.62	1.67	1.72				
内部リセット時間	パワーオンリセット時間(注8) (通常起動モード)	t_{PORNML}	—	—	44	ms	—	
	LVD0 リセット時間	t_{LVD0}	—	2.5	—	ms	図 2.45	
	LVD1 リセット時間	t_{LVD1}	—	0.8	—	ms	図 2.46	
	LVDBAT リセット時間	t_{LVDBAT}	—	0.8	—	ms	図 2.47	
最小 VCC 低下時間(注1)	$t_{VOFFPOR}$	4	—	—	ms	図 2.44		
POR 応答遅延時間	t_{detpor}	—	—	500	μ s	図 2.44		

表 2.42 パワーオンリセット回路、低電圧検出回路特性 (2/2)

項目	記号	Min	Typ	Max	単位	測定条件
LVD0 応答遅延時間	t_{det}	—	150	300	μs	図 2.45 ~ 図 2.47
LVD0 応答遅延時間		—	150	300	μs	
LVD0 応答遅延時間 (VCC = VBAT_EHC 接続時)		—	150	300	μs	
LVD0 応答遅延時間 (VCC \neq VBAT_EHC 独立時)		—	400	800	μs	
LVD1 動作安定時間 (LVD 有効切り替え後)	$t_{d(E-A)}$	—	—	400	μs	図 2.46、図 2.47
LVD1 動作安定時間 (VCC = VBAT_EHC 接続時)		—	—	400	μs	
LVD1 動作安定時間 (VCC \neq VBAT_EHC 独立時)		—	—	1000	μs	
ヒステリシス幅 (LVD1)	V_{LVH} (注2)	—	60	—	mV	
	V_{LVH} (注3)	—	55	—		
	V_{LVH} (注4)	—	50	—		
	V_{LVH} (注5)	—	45	—		
	V_{LVH} (注6)	—	40	—		
	V_{LVH} (注7)	—	35	—		

注 1. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル (V_{POR} , V_{det0} , V_{det1} , V_{detBAT}) の min 値を下回ってる時間です。

注 2. V_{det1_0} 選択時

注 3. V_{det1_1} 、 V_{det1_3} 選択時

注 4. V_{det1_5} 選択時

注 5. V_{det1_7} 選択時

注 6. V_{det1_9} 、 V_{det1_B} 選択時

注 7. V_{det1_D} 選択時

注 8. これらの値はシミュレーションに基づいています。出荷検査はされていません。

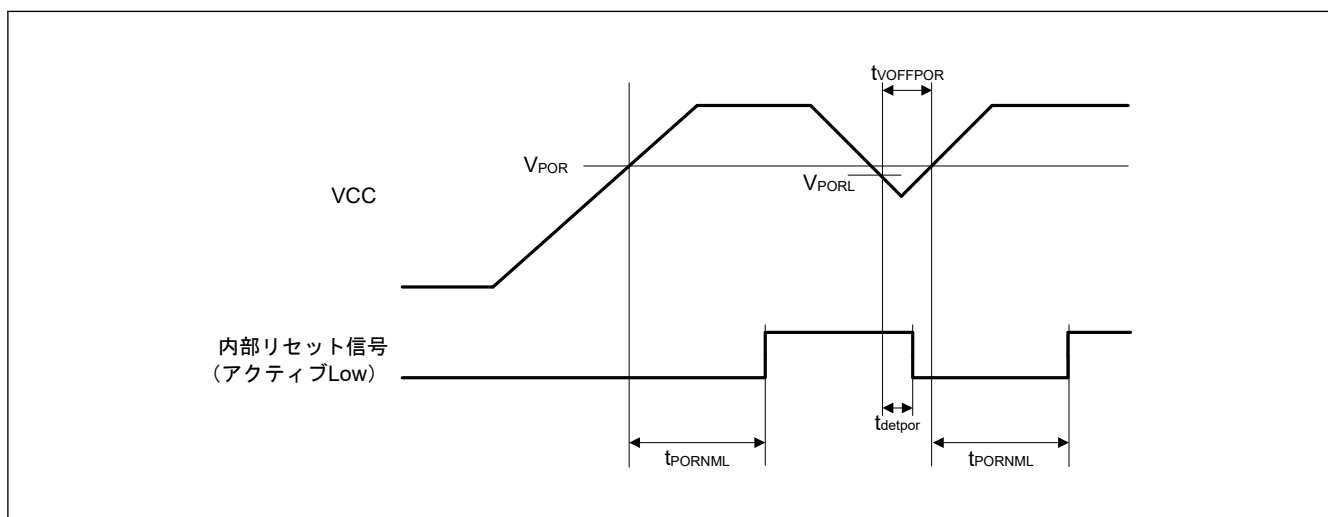


図 2.44 パワーオンリセットタイミング

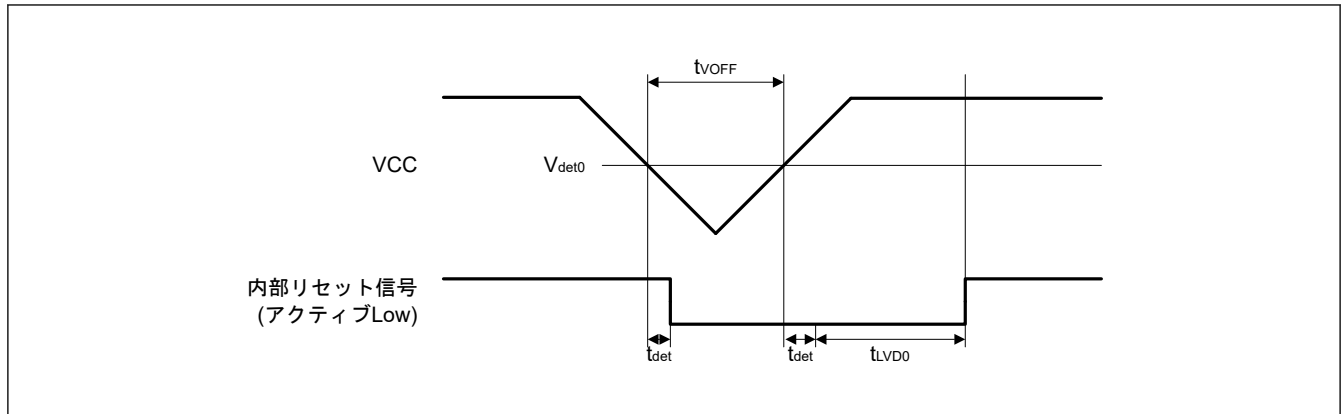


図 2.45 電圧監視 0 回路検知電圧タイミング (V_{det0})

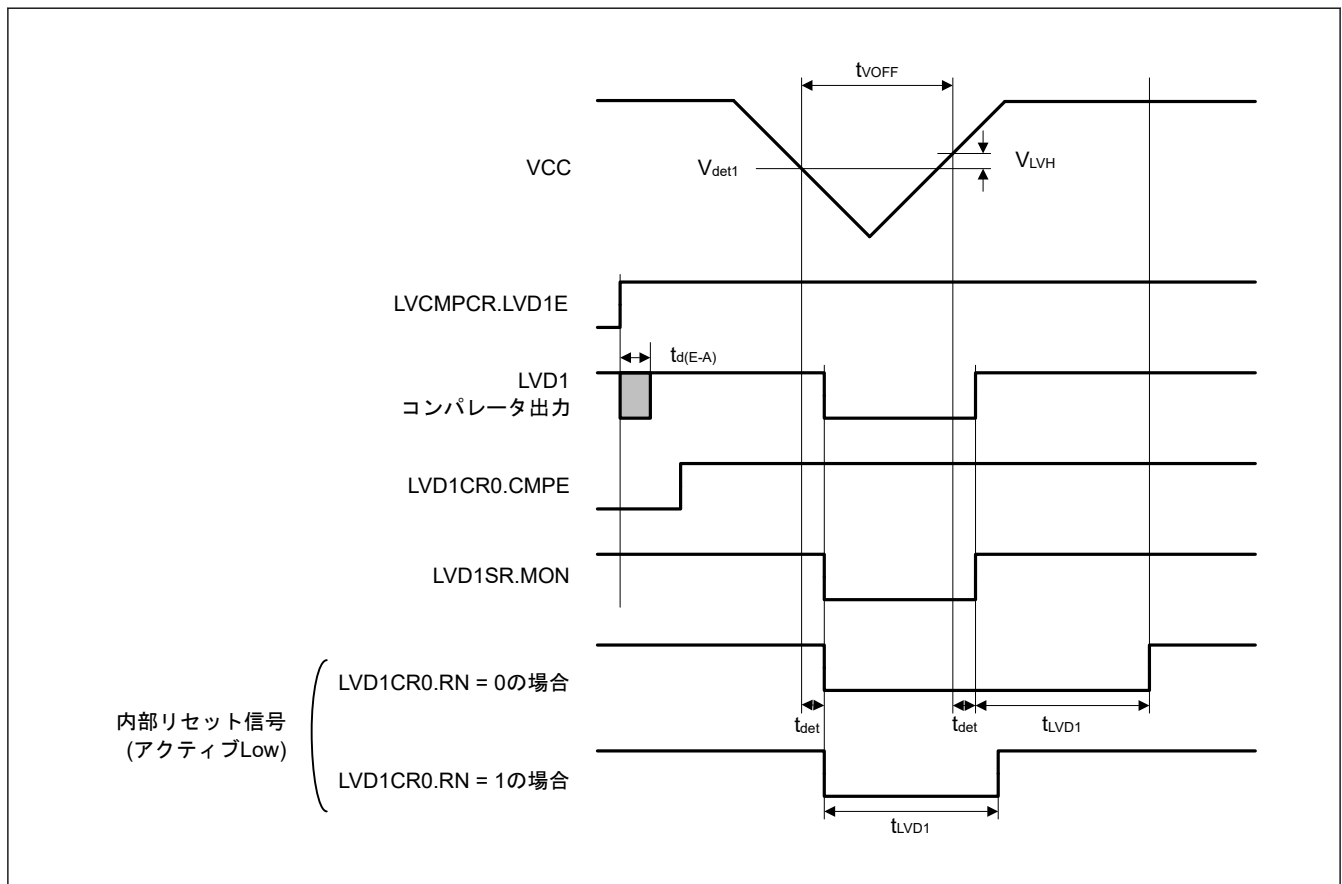


図 2.46 電圧監視 1 回路検知電圧タイミング (V_{det1})

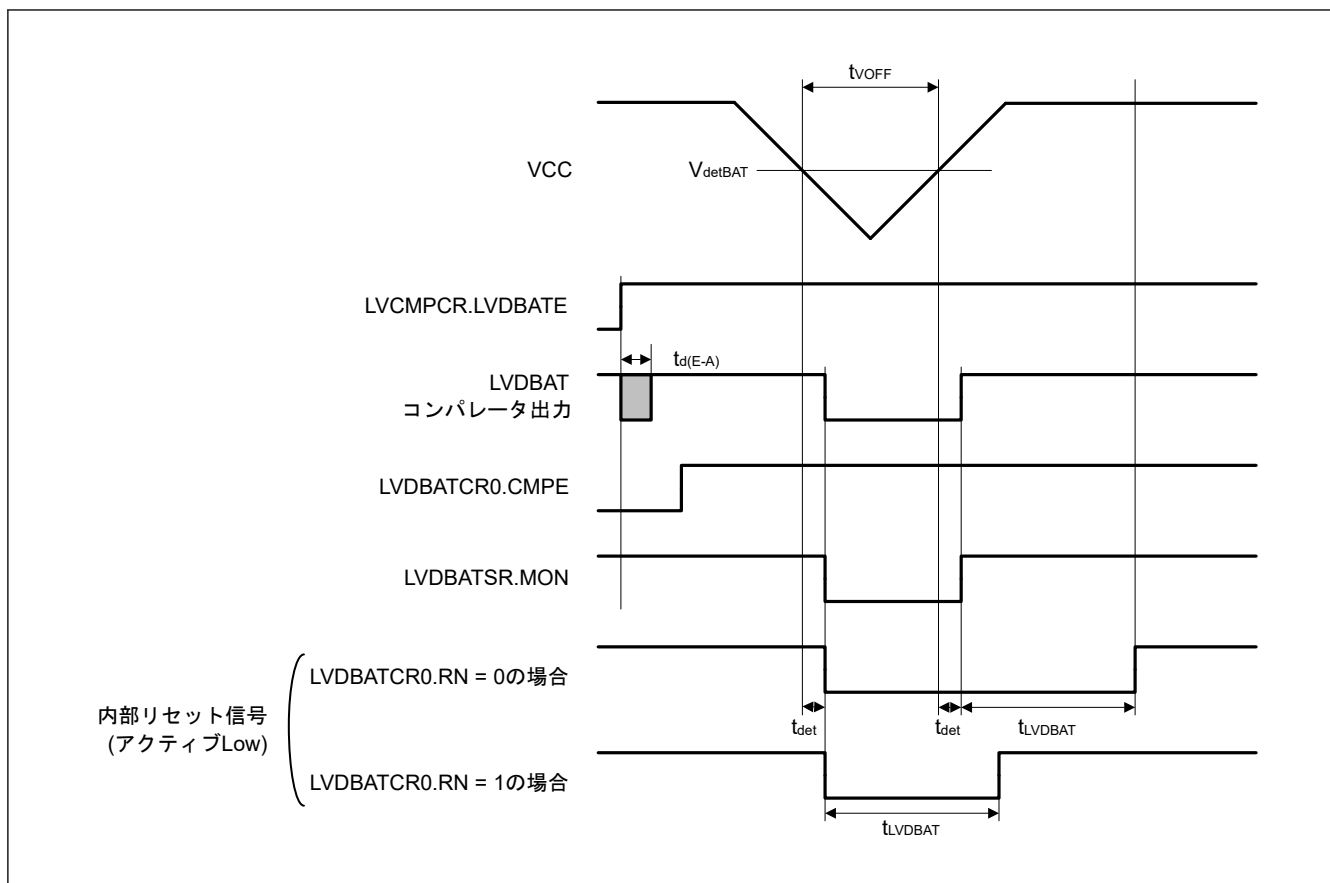


図 2.47 電圧監視 BAT 回路検知電圧タイミング (V_{detBAT})

2.9 EHC 特性

表 2.43 EHC 特性 (1/2)

項目	記号	Min	Typ	Max	単位	測定条件
リセット中電流	I_{CC}	—	0.02	—	μA	$T_a = 25^\circ C$, $V_{CC} = V_{SC_VCC} = 0 V$, $V_{CC_SU} = V_{BAT_EHC} = 2.5 V$
VCC_SU 側蓄電用コンデンサ容量値 (注2)	C_{VCCSU}	—	100	—	μF	EHMD = 1 $T_a = -40 \sim 60^\circ C$
		—	47	—		EHMD = 0 $T_a = -40 \sim 50^\circ C$
		—	150	—		EHMD = 1 $T_a = -40 \sim 85^\circ C$
VCC 側平滑コンデンサ容量値	C_{VCC}	—	10	—	μF	$T_a = -40 \sim 85^\circ C$
VSC_VCC から MCU 内部へ流せる電流	I_{SC}	—	—	10	mA	$V_{SC_VCC} \leq 3.6 V$
VBAT_EHC から IOVCCn へ流せる電流(注1)	I_{VBAT}	—	—	30	mA	—
VCC/IOVCC から IOVCCn へ流せる電流(注1)	I_{VCC}	—	—	30	mA	—
VBAT_EHC 側出力インピーダンス許容値	R_{VBAT}	—	—	10	Ω	$V_{SC_VCC} \leq 3.6 V$

表 2.43 EHC 特性 (2/2)

項目	記号	Min	Typ	Max	単位	測定条件
二次電池充電保護 VBAT 側しきい値電圧	VBAT_CHG	2.340	2.390	2.440	V	$I_{SC} = 3 \mu A \sim 10 mA$, VSC_VCC = VBAT_EHC = 2.4 V
		2.438	2.488	2.538		$I_{SC} = 3 \mu A \sim 10 mA$, VSC_VCC = VBAT_EHC = 2.5 V
		2.535	2.585	2.635		$I_{SC} = 3 \mu A \sim 10 mA$, VSC_VCC = VBAT_EHC = 2.6 V
		2.633	2.683	2.733		$I_{SC} = 3 \mu A \sim 10 mA$, VSC_VCC = VBAT_EHC = 2.7 V
		2.730	2.780	2.830		$I_{SC} = 3 \mu A \sim 10 mA$, VSC_VCC = VBAT_EHC = 2.8 V
		2.827	2.877	2.927		$I_{SC} = 3 \mu A \sim 10 mA$, VSC_VCC = VBAT_EHC = 2.9 V
		2.924	2.974	3.024		$I_{SC} = 3 \mu A \sim 10 mA$, VSC_VCC = VBAT_EHC = 3.0 V
		3.020	3.070	3.120		$I_{SC} = 3 \mu A \sim 10 mA$, VSC_VCC = VBAT_EHC = 3.1 V
二次電池充電保護 VCC 側しきい値電圧	VCC_CHG	3.021	3.071	3.121	V	$I_{SC} = 3 \mu A \sim 10 mA$, VSC_VCC = VCC,
EHC コンデンサ充電高速起動 H 側しきい値電圧	VCC_SU_H	—	2.63	—	V	VSC_VCC = VCC かつ VCC 上昇時 VBAT_EHC = 2.4~2.7 V
		—	2.92	—		VSC_VCC = VCC かつ VCC 上昇時 VBAT_EHC = 2.8~3.1 V
EHC コンデンサ充電高速起動 L 側しきい値電圧	VCC_SU_L	—	2.33	—	V	VSC_VCC = VCC かつ VCC 下降時 VBAT_EHC = 2.4~2.7 V
		—	2.61	—		VSC_VCC = VCC かつ VCC 下降時 VBAT_EHC = 2.8~3.1 V
エネルギーハーベストモード起動時の起動しきい値電圧	VCC_SU_H	—	2.60	—	V	$I_{SC} = 3 \mu A \sim 10 mA$,
発電ステータスフラグ	V _{ENOUT}	—	0.42	—	V	VCC_SU = 2.5V
エネルギーハーベスト起動に必要な最小起動電流	I _{SC}	—	3	—	μA	Ta = 25°C, VCC_SU に 100 μF と VCC に 10 μF のコンデンサを接続

注 1. IOVCCn は、IOVCC0 および IOVCC1 を示します。

注 2. 図 2.49 に温度上限と VCC_SU 側蓄電用コンデンサ容量値の関係を示します。
使用温度に対して容量値が不足する場合、図 2.50 で示す起動電流が必要となります。

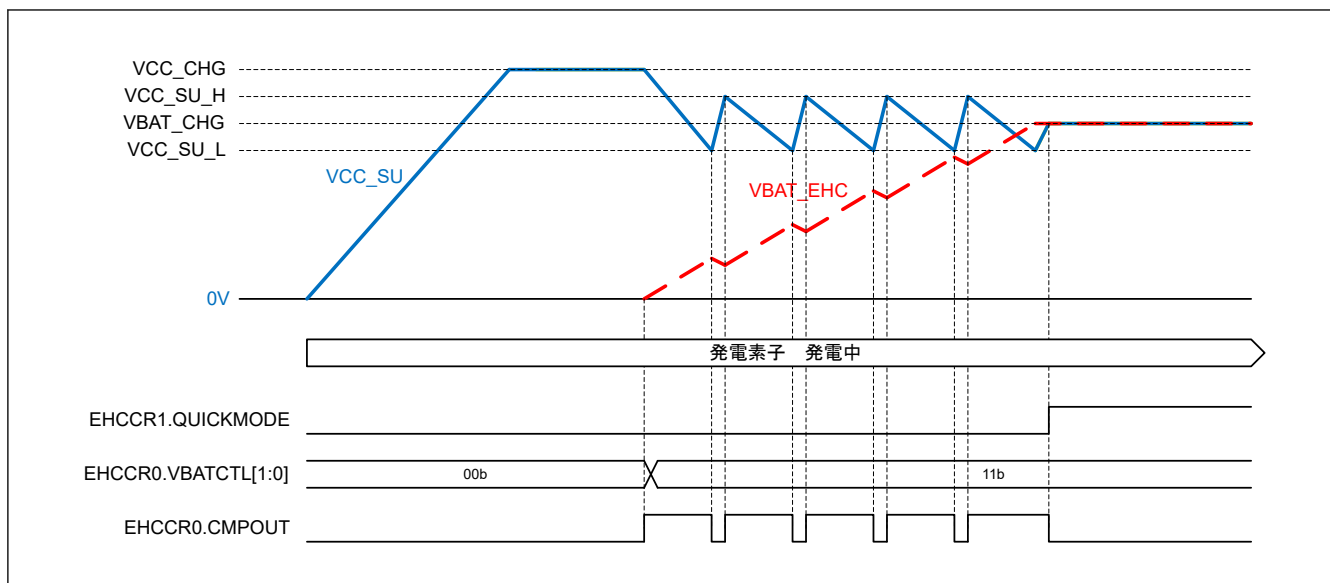


図 2.48 EHC コンデンサ充電高速起動機能期間中の VBAT_EHC 端子充電動作

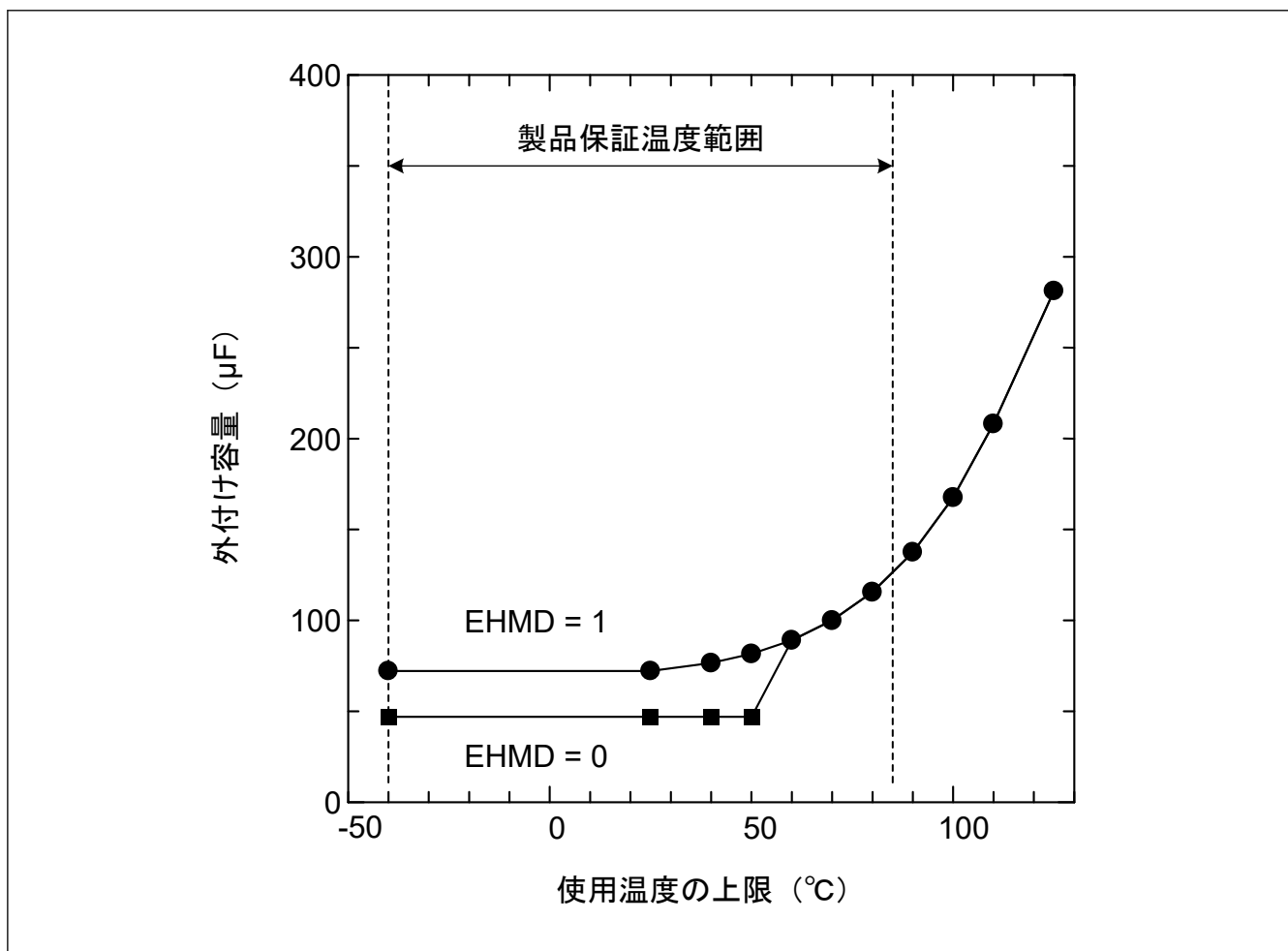


図 2.49 温度上限と VCC_SU 側蓄電用コンデンサ容量値の関係

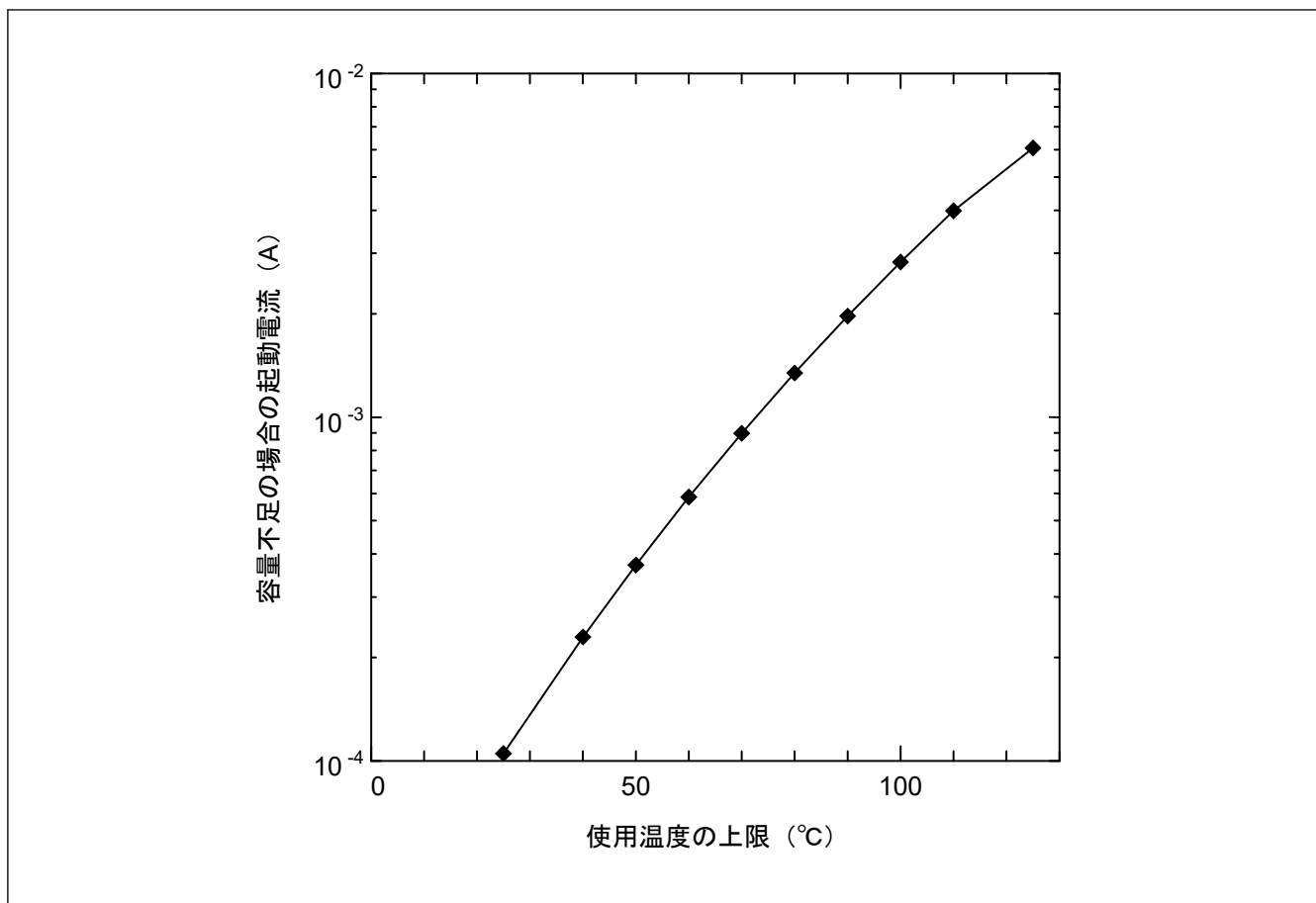


図 2.50 温度上限と容量不足の場合の起動電流の関係

2.10 バックバイアス電圧制御 (VBBC) 回路特性

表 2.44 VBBC 回路初期セットアップ時間

項目	記号	Min	Typ	Max	単位	測定条件
VBBC 回路初期セットアップ時間 ^(注1)	$t_{VBBCSTUP}$	—	100 ^(注2)	400 ^(注2) (注3)	ms	図 2.51
内部電圧ディスチャージ時間	$t_{VBBCDIS}$	1	—	—	ms	図 2.52

注 1. VBBCR.VBBEN ビットに 1 を書いてから VBBST.VBBSTUP = 1 が読めるまでの時間です。

注 2. VBP、VBN 端子に接続される平滑コンデンサが 0.56 $\mu\text{F} \pm 20\%$ の場合の時間です。

注 3. バックバイアス電圧制御回路特性は、出荷検査を実施しません。この値は参考値です。

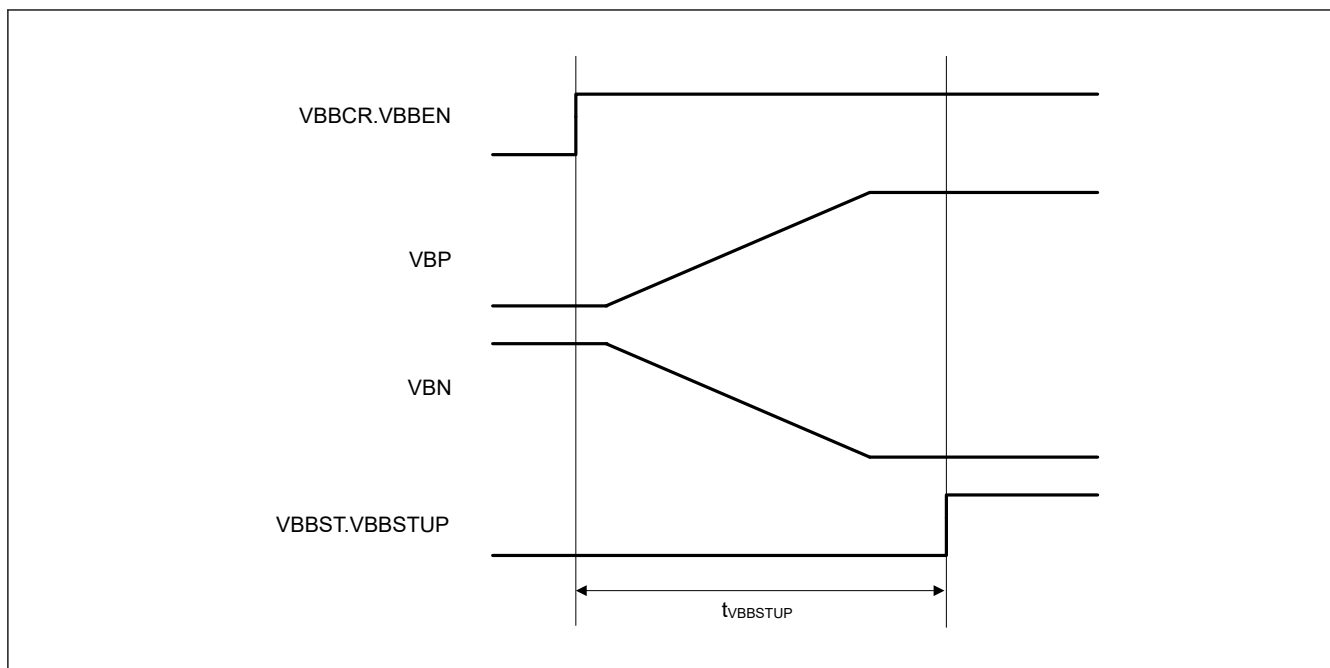


図 2.51 VBBC 回路初期セットアップタイミング

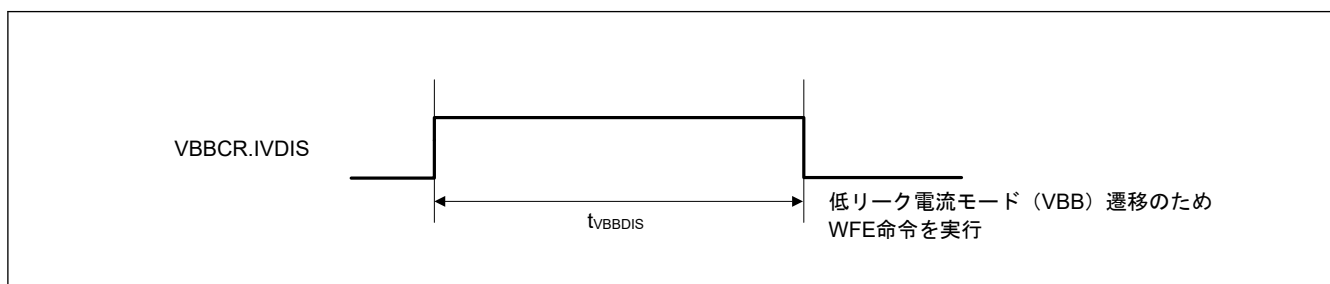


図 2.52 内部電圧ディスチャージ時間

2.11 フラッシュメモリ特性

2.11.1 コードフラッシュメモリ特性

表 2.45 コードフラッシュメモリ特性 (1)

項目	記号	Min	Typ	Max	単位	測定条件
再プログラム/イレーズサイクル(注1)	N_{PEC}	10000	—	—	回	JEDEC 準拠
データ保持時間	t_{DRP}	10	—	—	年	JEDEC 準拠

注 1. 再プログラム/イレーズサイクルの定義: 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルが n 回の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なる番地に 8 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

表 2.46 コードフラッシュメモリ特性 (2)

項目	記号	ICLK = 1 MHz			ICLK = 32 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	8 バイト	t _{P8}	—	5	6	—	5	6	ms
	256 バイト	t _{P256}	—	5	6	—	5	6	
イレーズ時間	4 KB	t _{E4K}	—	10	12	—	10	12	
プログラム中の 1 回目のサスペンド遅延時間	t _{SPD1}	—	—	0.2	—	—	0.1		
プログラム中の 2 回目以降のサスペンド遅延時間	t _{SPD2}	—	—	2.4	—	—	2		
イレーズ中の 1 回目のサスペンド遅延時間	t _{SED1}	—	—	0.2	—	—	0.1		
イレーズ中の 2 回目以降のサスペンド遅延時間	t _{SED2}	—	—	2.4	—	—	2		
強制終了コマンド	t _{FD}	—	—	0.2	—	—	0.1		

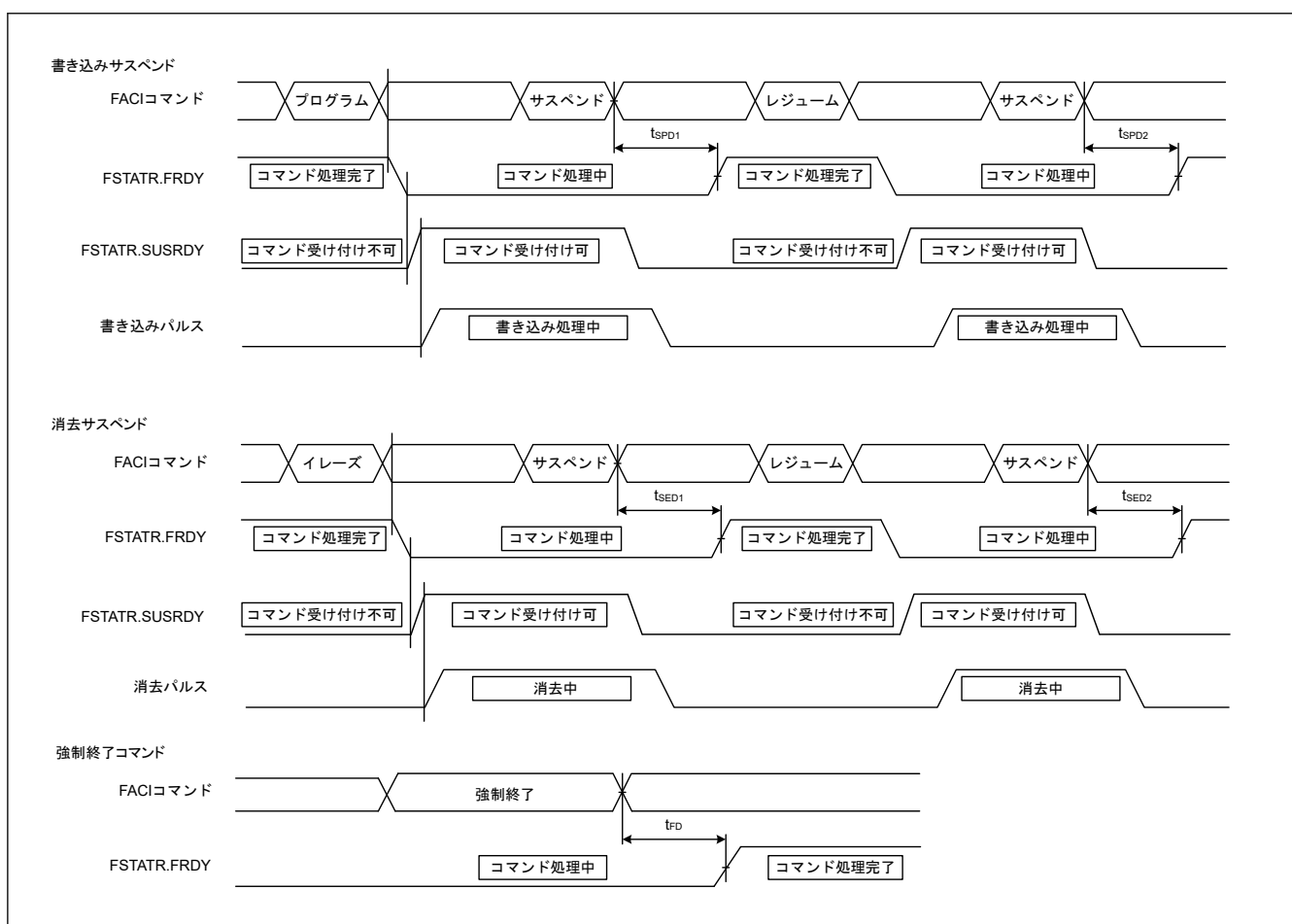


図 2.53 コードフラッシュメモリ書き込みサスペンド、消去サスペンド、強制終了コマンドタイミング

2.12 バウンダリスキャン特性

表 2.47 バウンダリスキャン特性

条件: PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。(PmnPFS.DSCR[1:0] = 11b)

項目	記号	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 2.54
TCK クロック High レベルパルス幅	t_{TCKH}	43	—	—		
TCK クロック Low レベルパルス幅	t_{TCKL}	43	—	—		
TCK 立ち上がり時間	t_{TCKr}	—	—	7		
TCK 立ち下がり時間	t_{TCKf}	—	—	7		
TMS セットアップ時間	t_{TMSS}	15	—	—		図 2.55
TMS ホールド時間	t_{TMSH}	15	—	—		
TDI セットアップ時間	t_{TDIS}	15	—	—		
TDI ホールド時間	t_{TDIH}	15	—	—		
TDO データ遅延時間	t_{TDOD}	—	—	100		

注: ノーマルモード(High-Speed モード)です。

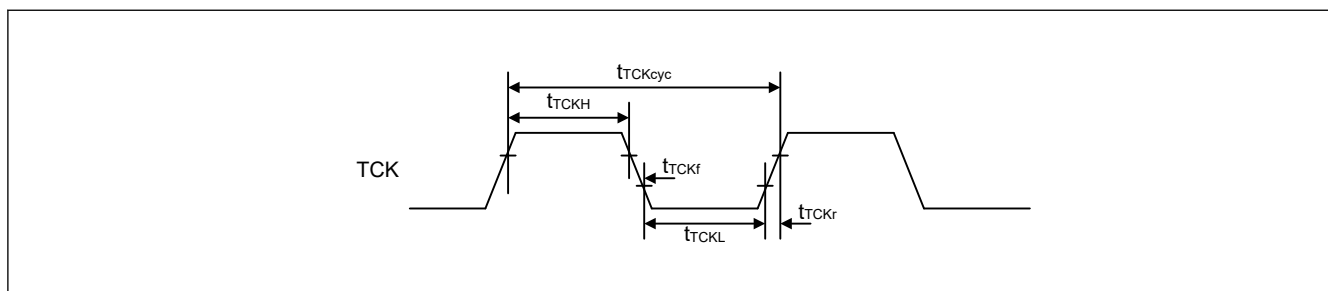


図 2.54 バウンダリスキャン TCK タイミング

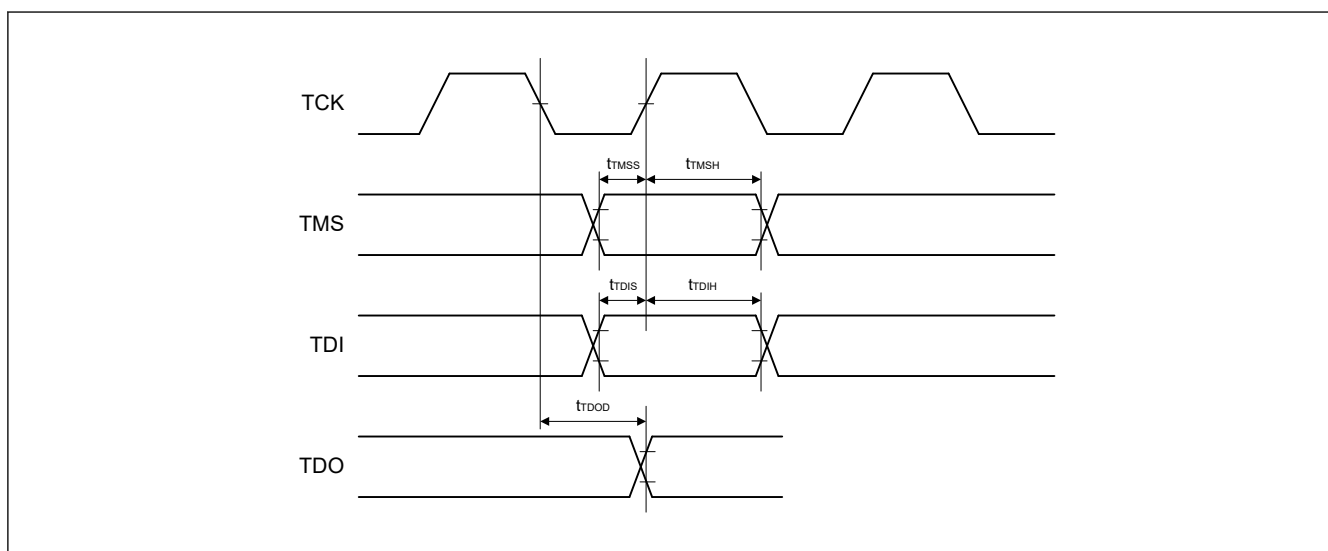


図 2.55 バウンダリスキャン入出力タイミング

2.13 シリアルワイヤデバッグ (SWD) 特性

表 2.48 SWD 特性

条件 : VCC = AVCC0 = 1.62~3.6 V

項目	記号	Min	Typ	Max	単位	測定条件	
NORMAL	SWCLK クロックサイクル時間	$t_{SWCKcyc}$	80	—	—	ns	図 2.56
	SWCLK クロック High レベルパルス幅	t_{SWCKH}	$t_{SWCKcyc} \times 0.5 - t_{SWCKr}$	—	—	ns	
	SWCLK クロック Low レベルパルス幅	t_{SWCKL}	$t_{SWCKcyc} \times 0.5 - t_{SWCKf}$	—	—	ns	
	SWCLK 立ち上がり時間	t_{SWCKr}	—	—	7	ns	
	SWCLK 立ち下がり時間	t_{SWCKf}	—	—	7	ns	
	SWDIO セットアップ時間	t_{SWDS}	$t_{SWCKcyc} \times 0.2$	—	—	ns	
SWDIO ホールド時間	t_{SWDH}	$t_{SWCKcyc} \times 0.2$	—	—	ns		
SWDIO データ遅延時間	t_{SWDD}	2	—	50	ns		
VBB	SWCLK クロックサイクル時間	$t_{SWCKcyc}$	30000	—	—	ns	図 2.56
	SWCLK クロック High レベルパルス幅	t_{SWCKH}	$t_{SWCKcyc} \times 0.5 - t_{SWCKr}$	—	—	ns	
	SWCLK クロック Low レベルパルス幅	t_{SWCKL}	$t_{SWCKcyc} \times 0.5 - t_{SWCKf}$	—	—	ns	
	SWCLK 立ち上がり時間	t_{SWCKr}	—	—	7	ns	
	SWCLK 立ち下がり時間	t_{SWCKf}	—	—	7	ns	
	SWDIO セットアップ時間	t_{SWDS}	1000	—	—	ns	
	SWDIO ホールド時間	t_{SWDH}	1000	—	—	ns	
	SWDIO データ遅延時間	t_{SWDD}	2	—	1000	ns	

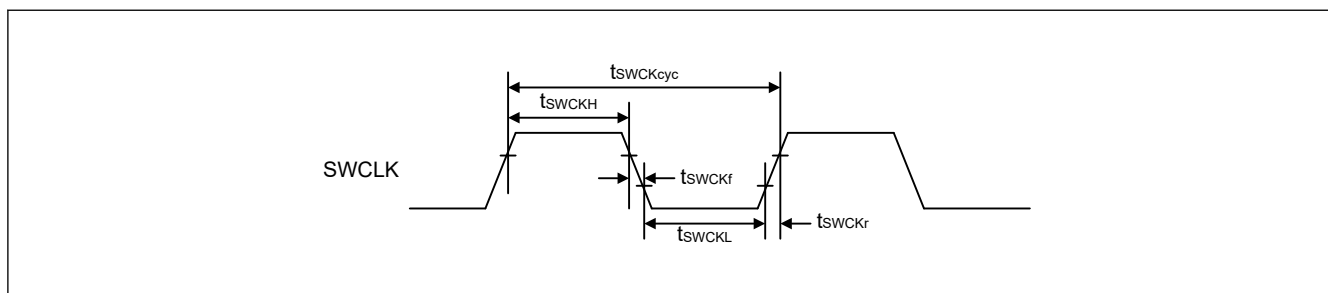


図 2.56 SWD SWCLK タイミング

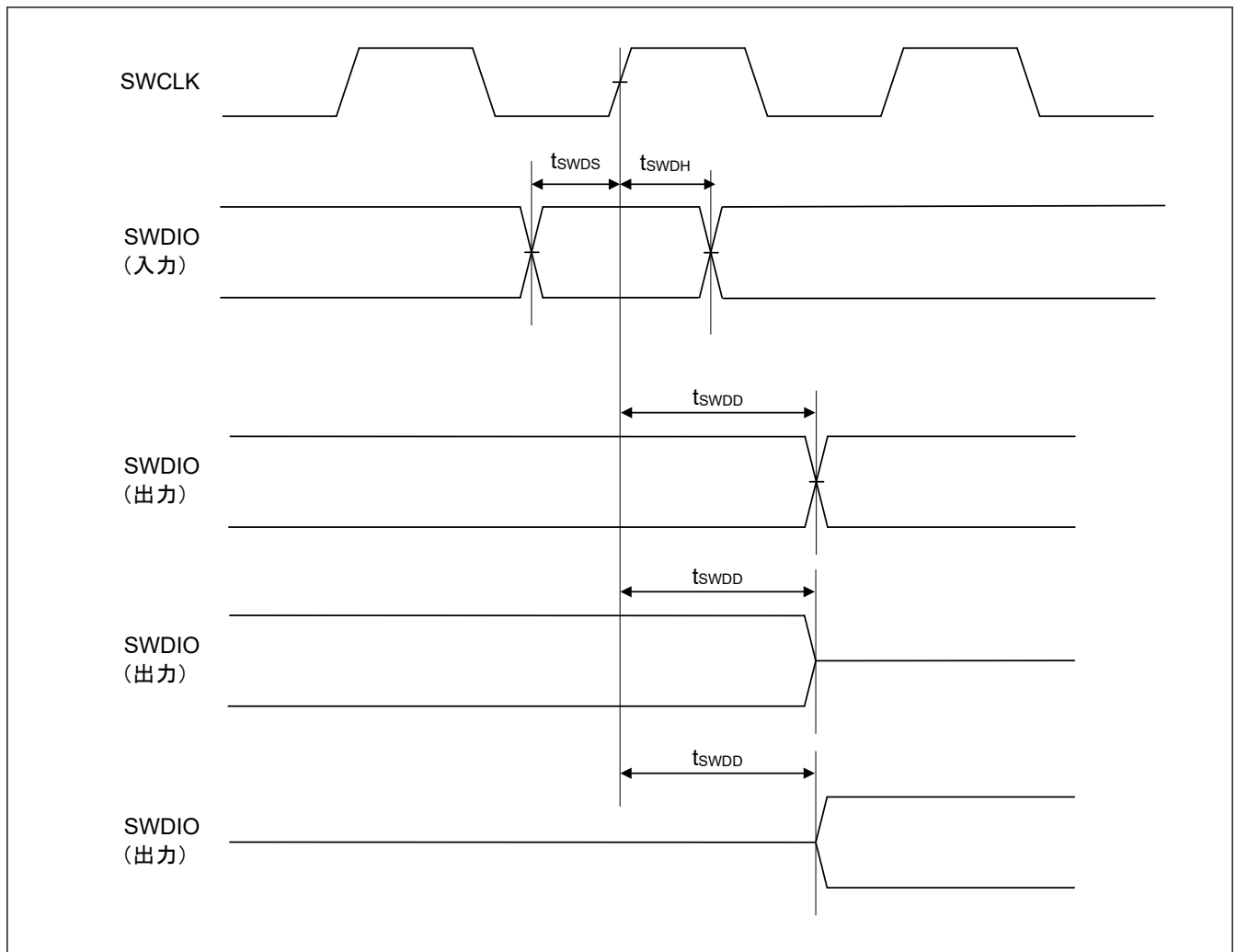


図 2.57 SWD 入出力タイミング

付録 1. コンデンサの接続方法

電源端子は、GND との間に端子近傍に配置した平滑コンデンサを介して接続する必要があります。この付録では、代表的な複数の接続例を示します。電源オープン制御レジスタ (VOCR) を設定することで、外部から印加した電源を有効にできます。外来ノイズが多い環境では、外来ノイズへの耐性と回路の安定動作を向上させるために、接続例に加えて、電流源の近傍に任意で 10 μF の平滑コンデンサを挿入してください。

1.1 通常起動モード時の接続例

図 1.1 と図 1.2 に、EHC を使用しない通常起動モードで、単一の電源および複数の電源を使用した場合の接続例を示します。

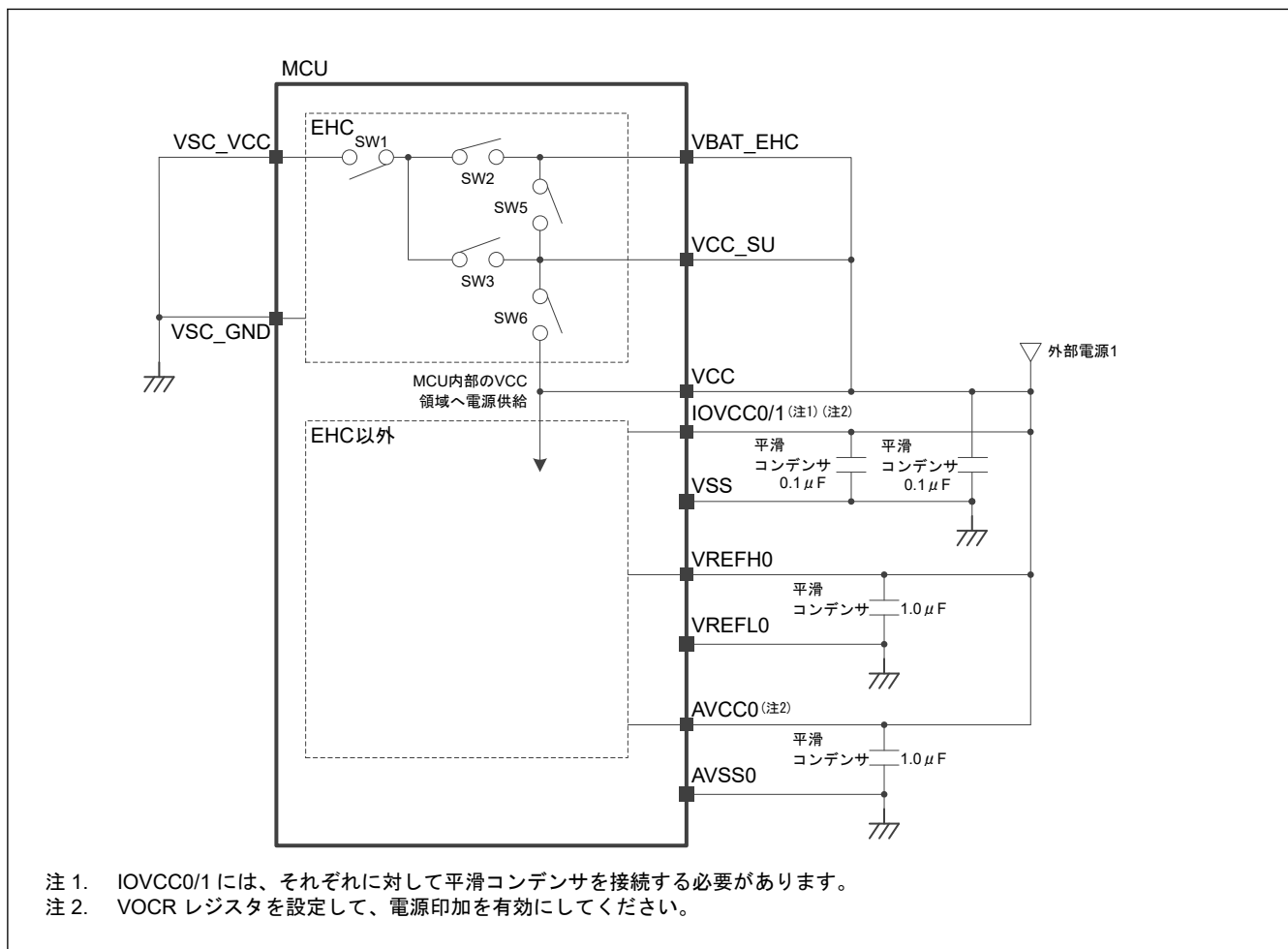


図 1.1 単一電源での通常起動モード

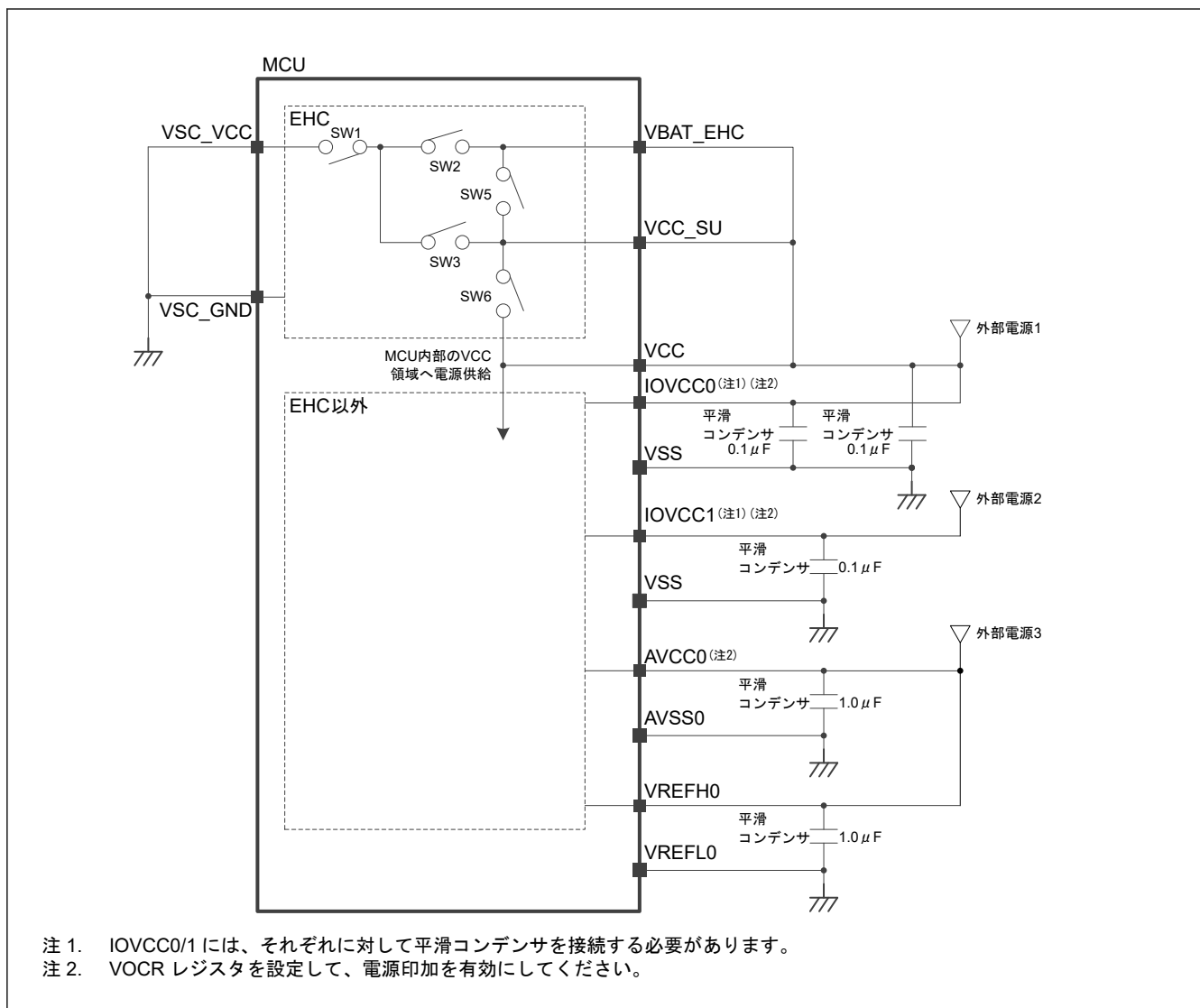
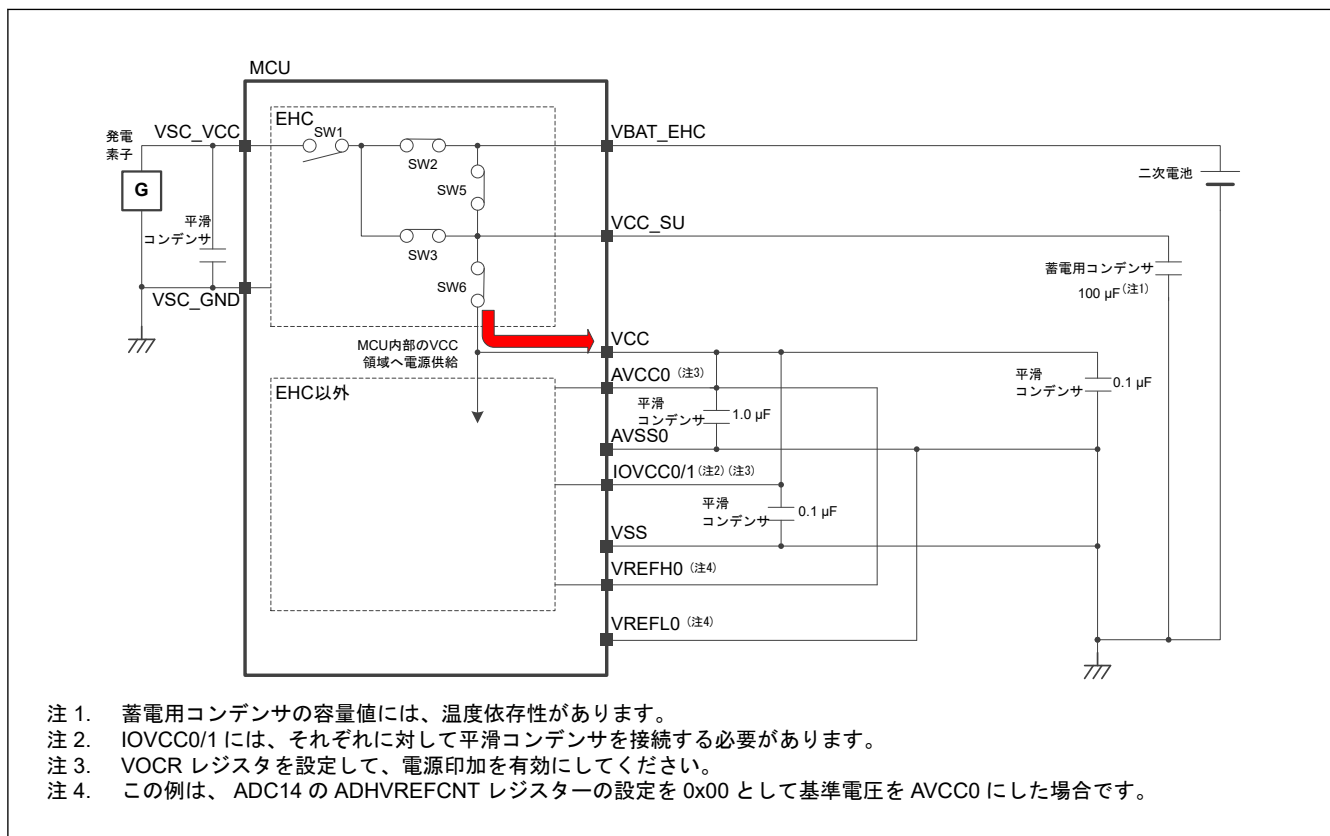
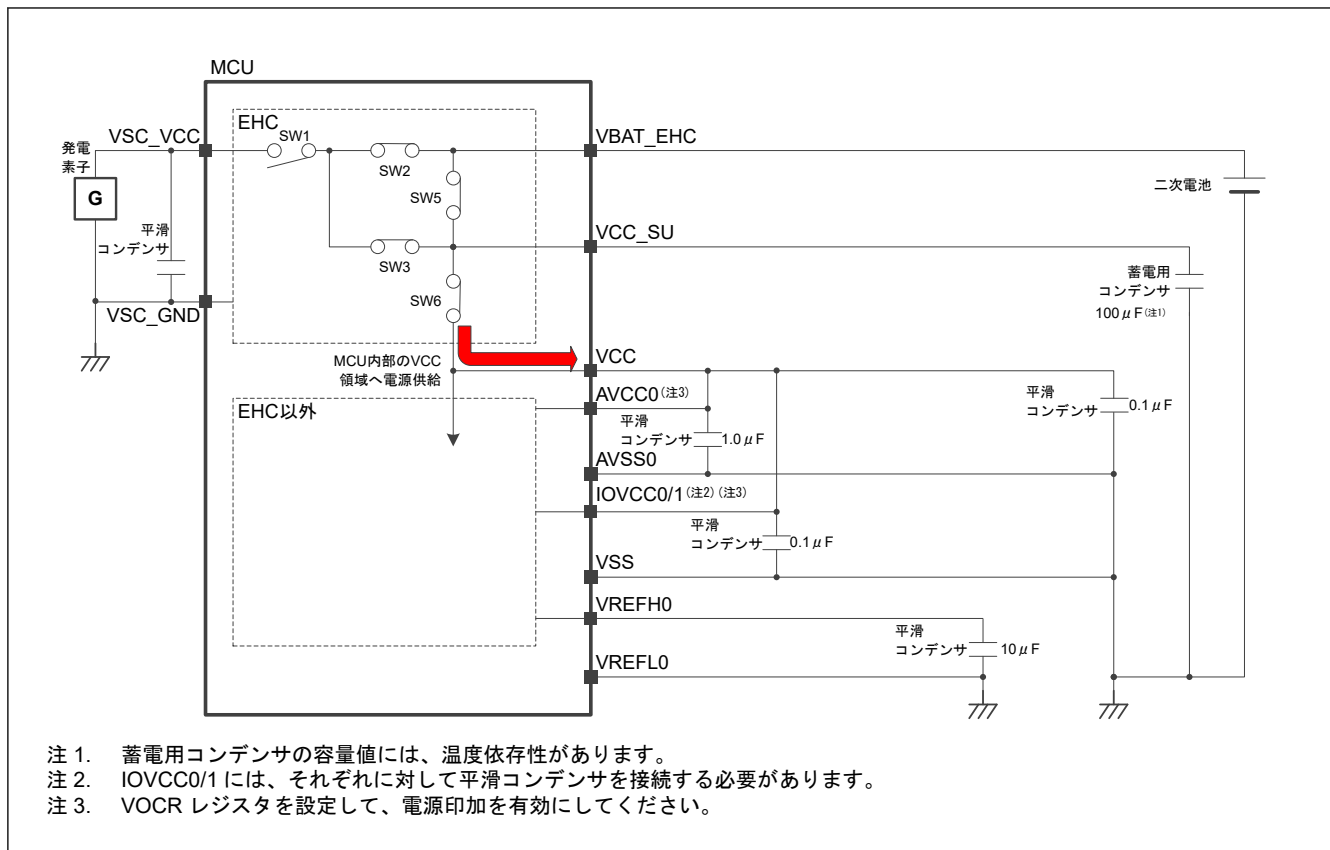


図 1.2 複数電源での起動モード

1.2 エナジーハーベスト起動モードでの接続例 (1)

図 1.3 にエナジーハーベスト起動モードで、VREF を使用し、外部電源を使用しない場合の接続例を示します。

図 1.4 に AVCC0 を基準電圧にした接続例を示します。



1.3 エナジーハーベスト起動モードでの接続例 (2)

図 1.5 に、エナジーハーベスト起動モードで、アナログ回路用の電源を分離した場合の接続例を示します。図 1.6 に、エナジーハーベスト起動モードで、アナログ回路を使用しない場合の接続例を示します。図 1.7 に、エナジーハーベスト起動モードにおける最小構成例を示します。

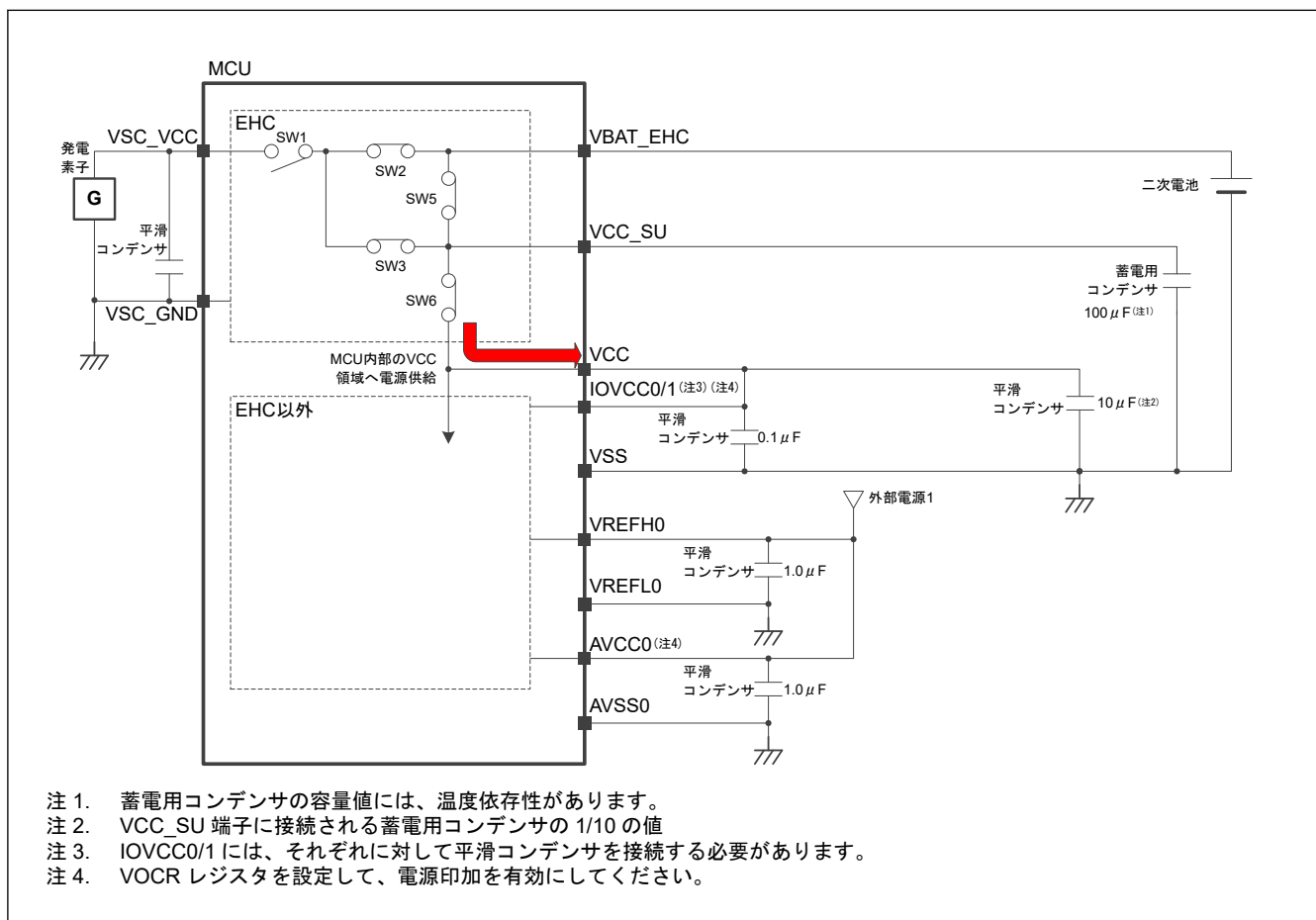


図 1.5 VREF を使用したエナジーハーベスト起動モード

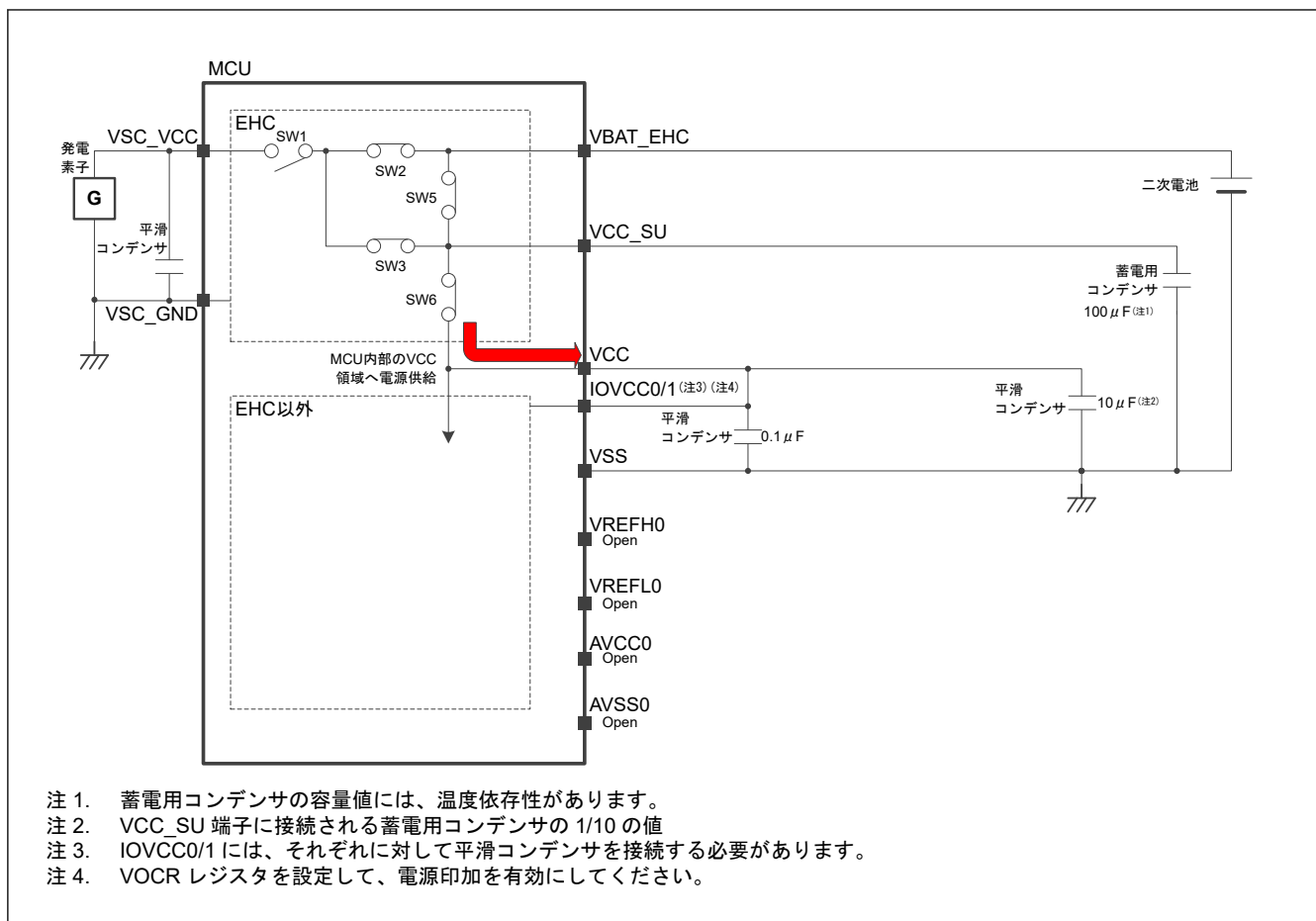


図 1.6 AVCC0 を基準電圧としたエネルギーハーベスト起動モード

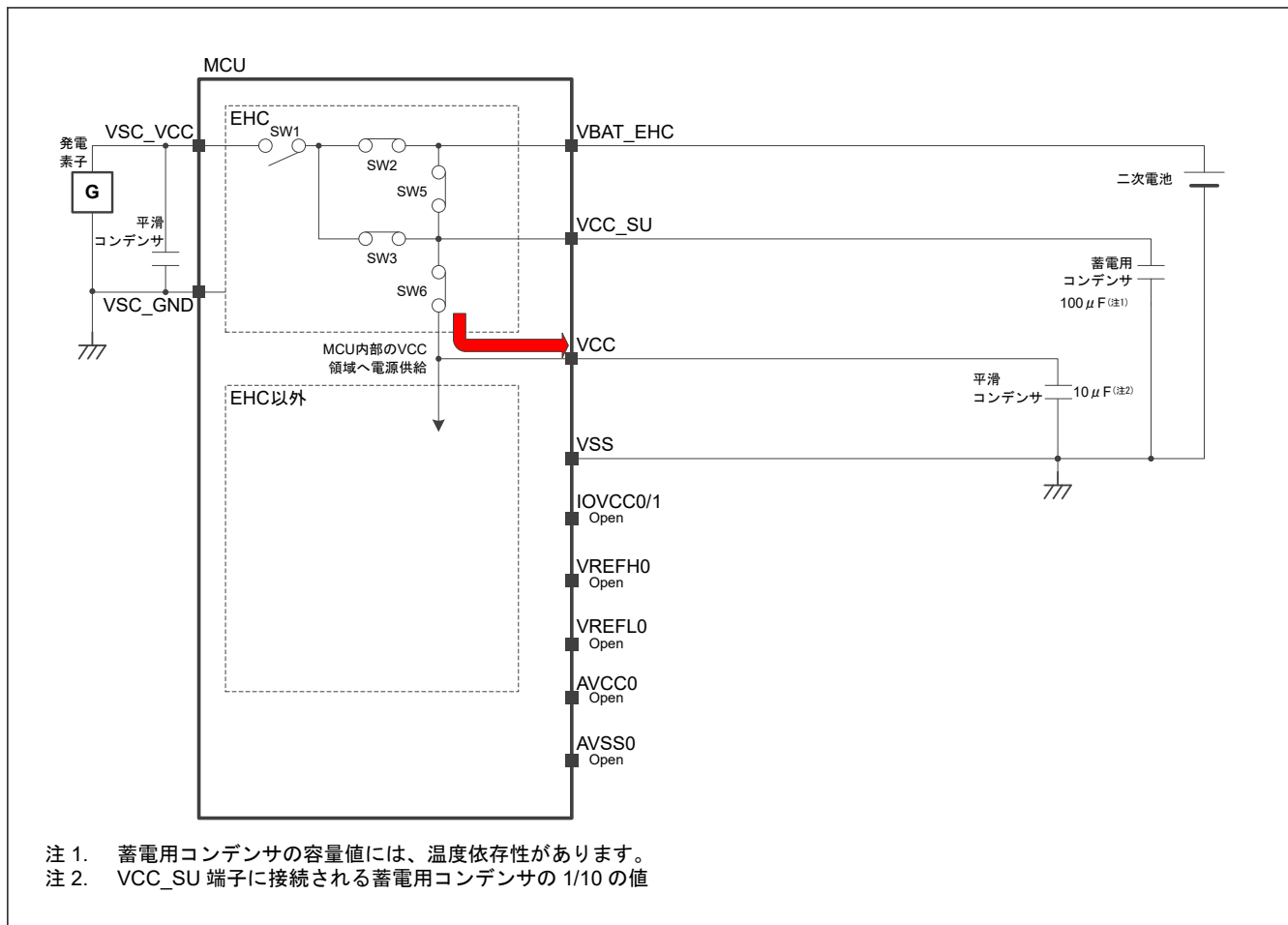


図 1.7 エナジーハーベスト起動モード (最小構成)

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクス Web サイトの「パッケージ」に掲載されています。

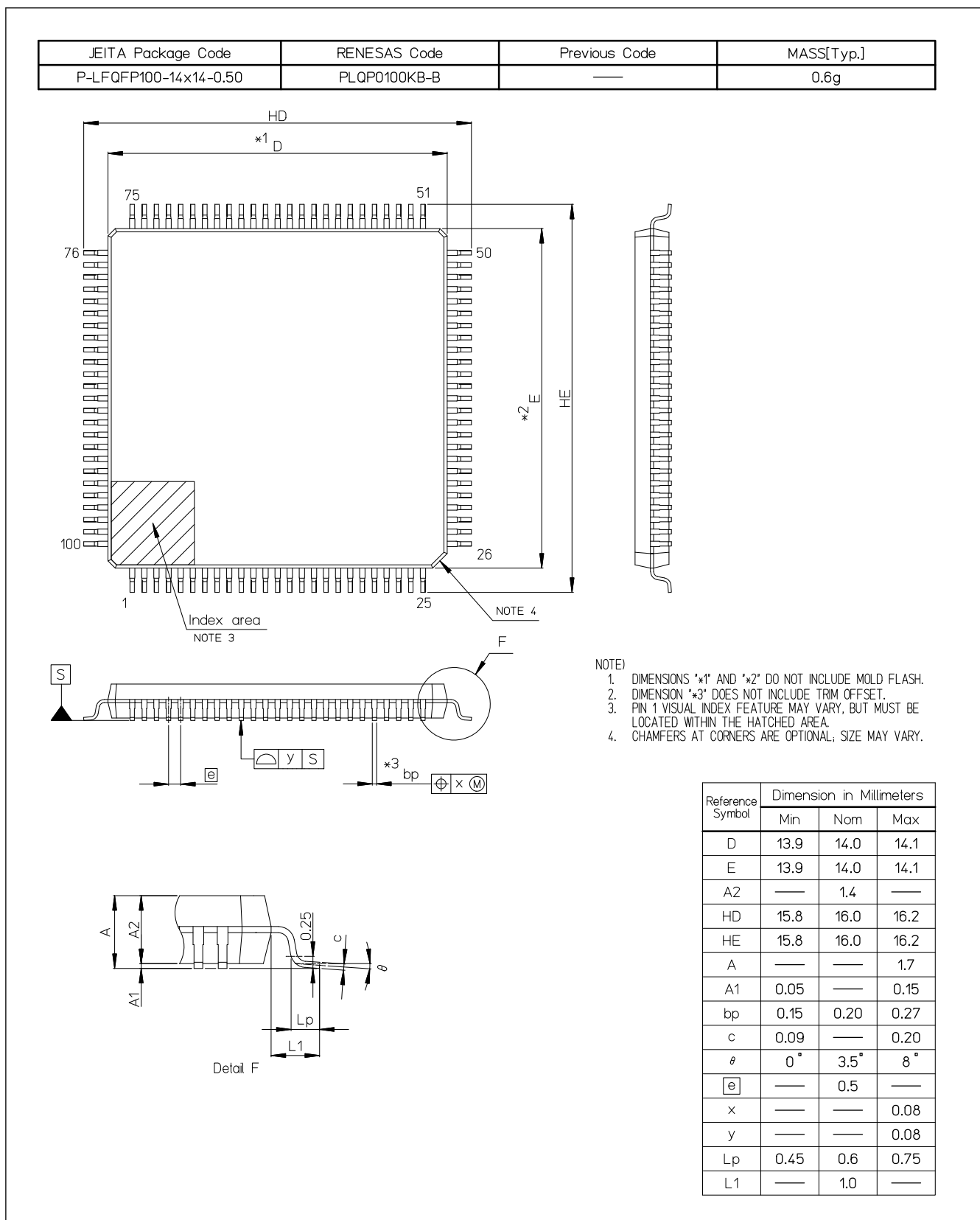


図 2.1 LFQFP 100 ピン

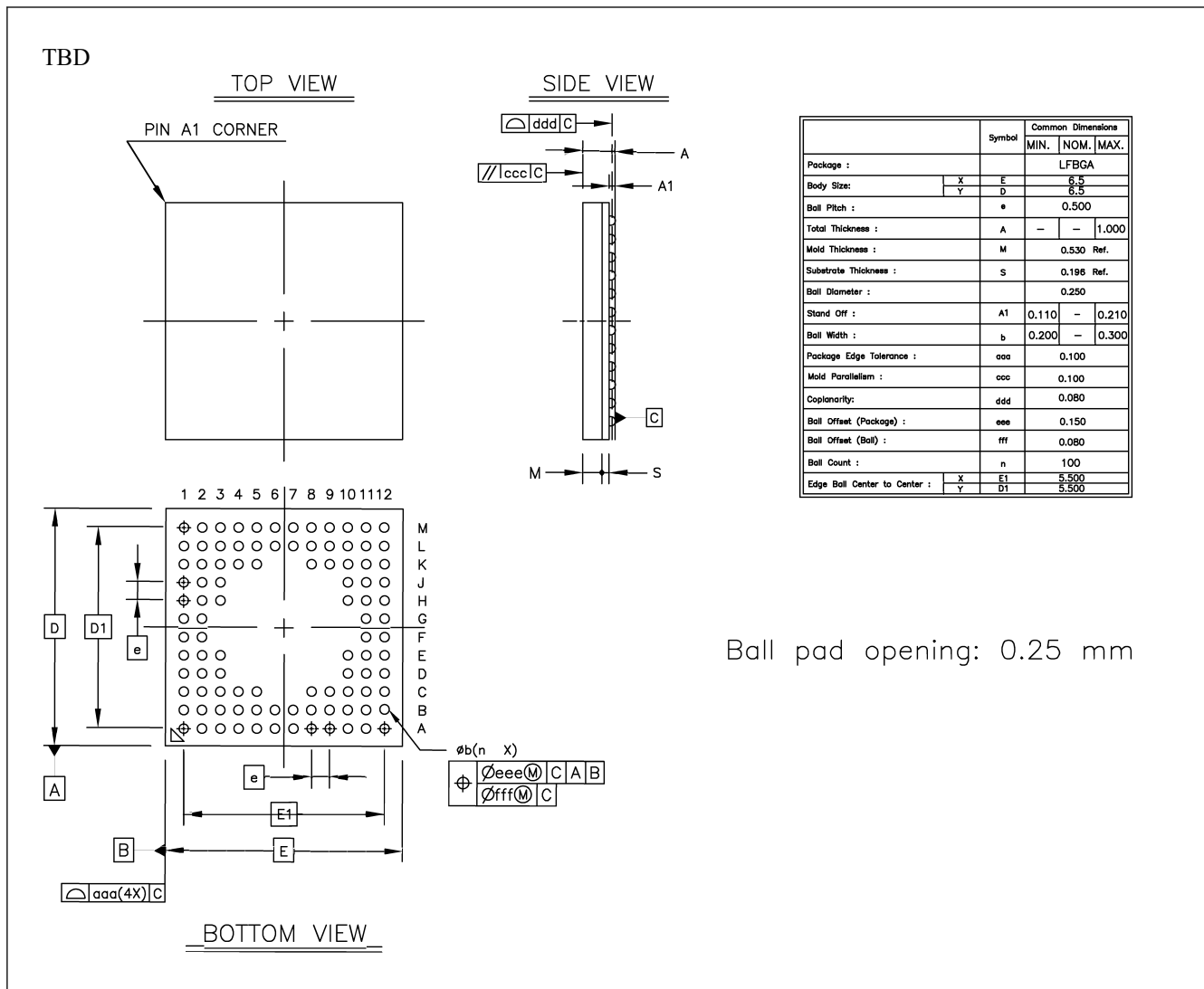
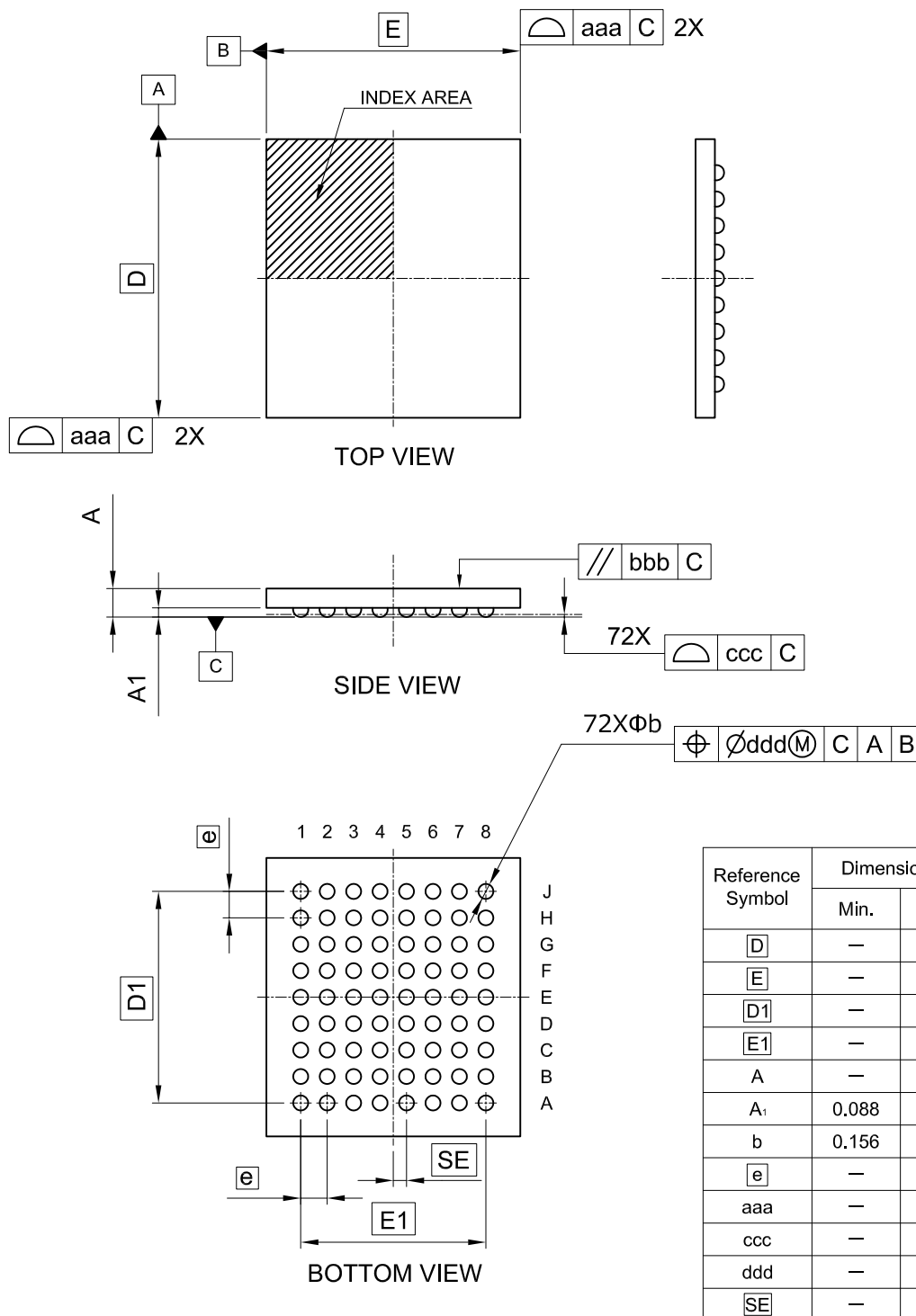


図 2.2 BGA 100 ピン (TBD)

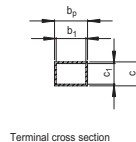
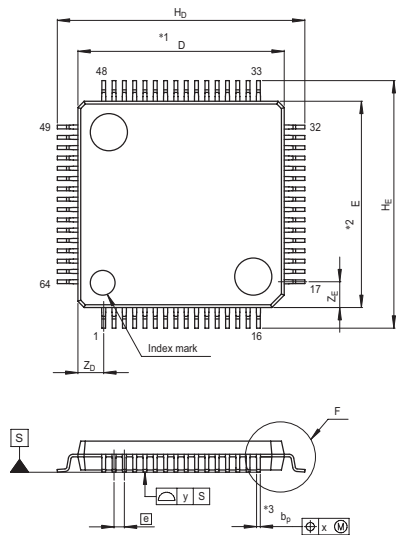
JEITA Package code	RENESAS code	MASS(TYP.)[g]
S-XBGA72-2.88x3.16-0.30	SXBG0072MA-A	T.B.D



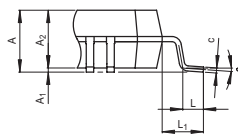
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	3.160	—
E	—	2.880	—
D1	—	2.400	—
E1	—	2.100	—
A	—	—	0.360
A ₁	0.088	0.104	0.120
b	0.156	0.173	0.208
e	—	0.300	—
aaa	—	—	0.025
ccc	—	—	0.030
ddd	—	—	0.015
SE	—	0.150	—

図 2.3 WLBGA 72 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP64-10x10-0.50	PLQP0064KB-A	64P6Q-A / FP-64K / FP-64KV	0.3g



Terminal cross section



Detail F

NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A2	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	0.1	0.15
b _D	0.15	0.20	0.25
b ₁	—	0.18	—
c	0.09	0.145	0.20
c ₁	—	0.125	—
θ	0°	—	8°
Ⓢ	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z _D	—	1.25	—
Z _E	—	1.25	—
L	0.35	0.5	0.65
L ₁	—	1.0	—

図 2.4 LFQFP 64 ピン

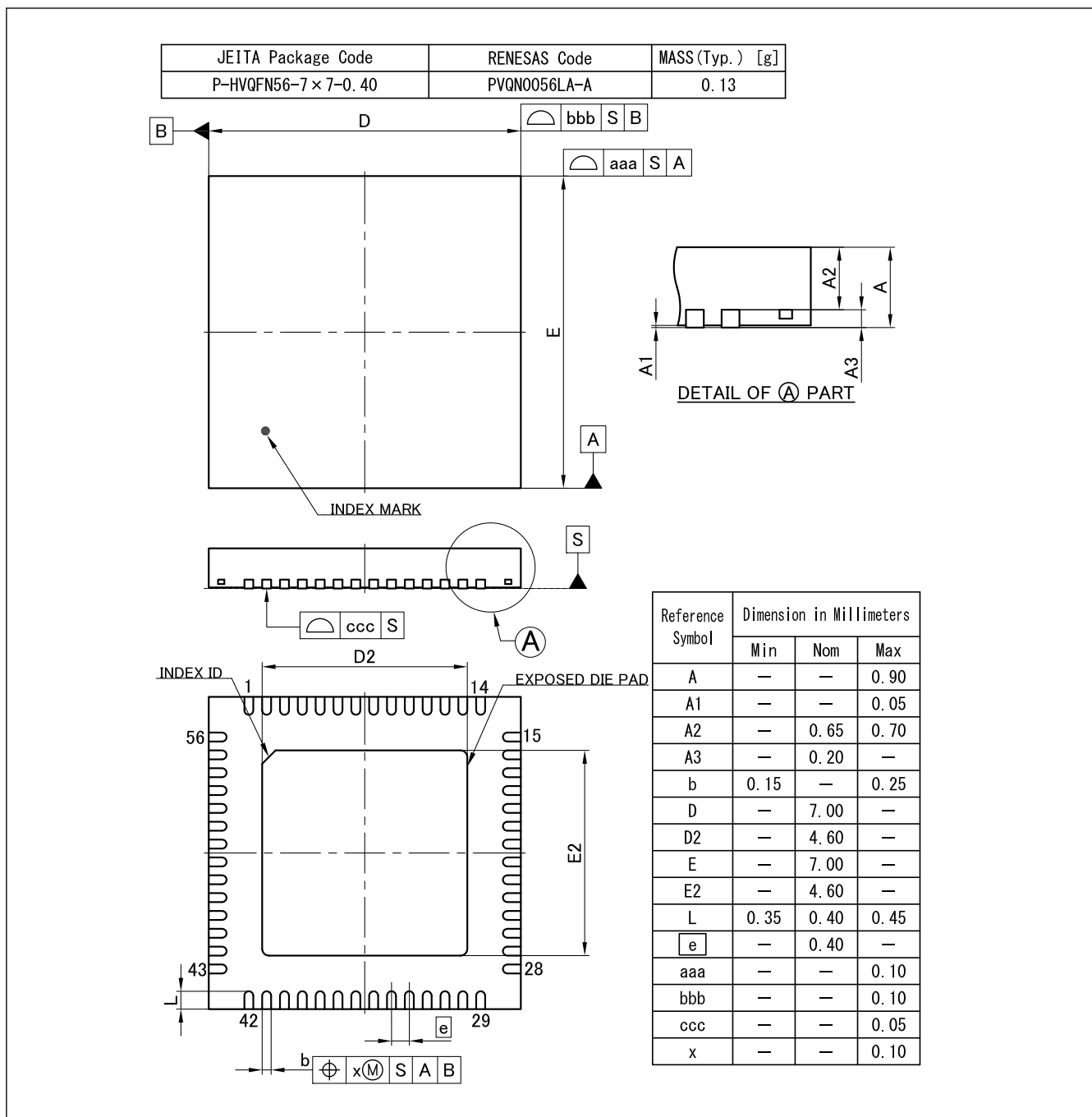


図 2.5 QFN 56 ピン

改訂記録

Revision 1.00 — 2020 年 3 月 31 日

初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。