

EVALUATION KIT
AVAILABLE

MAXIM

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

概要

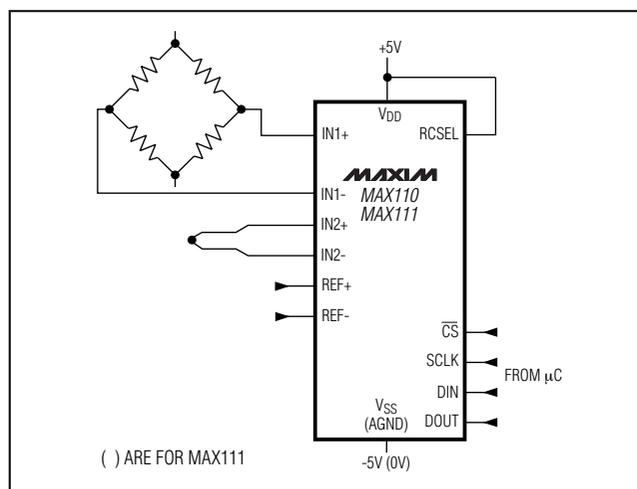
MAX110/MAX111は、自動較正機能を内蔵したA/Dコンバータ(ADC)で、外付部品なしで14ビット分解能及びオーバーレンジを実現します。消費電流は僅か550 μ A(MAX110)で、パワーダウン時には4 μ Aまで低減するため、高分解能のバッテリー駆動及びリモートセンシング用途に最適です。高速シリアルインタフェースにより信号配線と光絶縁が容易になり、マイクロコントローラのピン数が節約できるだけでなく、SPI™、QSPI™及びMICROWIRE™に適合します。MAX110は±5V電源で動作し、-3V~+3Vの範囲の差動アナログ信号を変換します。MAX111は+5V単一電源で動作し、±1.5Vの差動アナログ信号又は0V~+1.5Vのシングルエンド信号を変換します。

内部較正機能によって、オフセットとゲインエラー補正がマイクロプロセッサ(μ P)制御により行えるようになっていました。どちらの製品も省スペースの16ピンDIP/SOPパッケージ及びさらに小型の20ピンSSOPパッケージで提供されています。

アプリケーション

プロセス制御
重量計
パネルメータ
データ収集システム
温度測定

標準動作回路



特長

- ◆ 電源：+5V単一(MAX111)
- ◆ 入力：差動2チャンネル
- ◆ ±14ビット分解能+サイン及びオーバーレンジ
- ◆ リニアリティ：0.03%(MAX110)
0.05%(MAX111)
- ◆ 低消費電力：550 μ A(MAX110)
640 μ A(MAX111)
4 μ Aのシャットダウン電流
- ◆ 変換数：最大50回/秒
- ◆ 50Hz/60Hzのリジエクション
- ◆ 自動キャリブレーションモード
- ◆ 外付部品不要
- ◆ 16ピンDIP/SOP、20ピンSSOPパッケージ

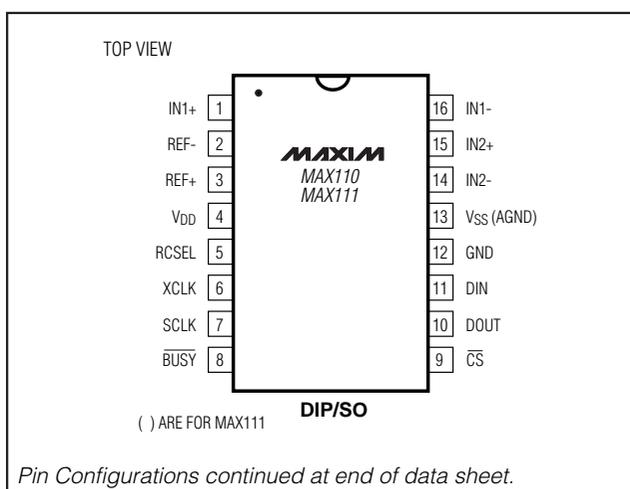
型番

PART	TEMP. RANGE	PIN-PACKAGE	INL(%)
MAX110ACPE	0°C to +70°C	16 Plastic DIP	±0.03
MAX110BCPE	0°C to +70°C	16 Plastic DIP	±0.05
MAX110ACWE	0°C to +70°C	16 Wide SO	±0.03
MAX110BCWE	0°C to +70°C	16 Wide SO	±0.05
MAX110ACAP	0°C to +70°C	20 SSOP	±0.03
MAX110BCAP	0°C to +70°C	20 SSOP	±0.05
MAX110BC/D	0°C to +70°C	Dice*	±0.05

Ordering Information continued at end of data sheet.

* Contact factory for dice specifications.

ピン配置



SPI及びQSPIはMotorola Corp.の商標です。MICROWIREはNational Semiconductor Corp.の商標です。

MAXIM

Maxim Integrated Products 1

無料サンプル及び最新版データシートの入手にはマキシム社のホームページをご利用下さい。http://www.maxim-ic.com

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	+6V	16-Pin Wide SO (derate 9.52mW/°C above +70°C)	762mW
V _{SS} to GND (MAX110).....	+0.3V to -6V	20-Pin SSOP (derate 8.00mW/°C above +70°C)	640mW
AGND to DGND.....	-0.3V to +0.3V	16-Pin CERDIP (derate 10.00mW/°C above +70°C).....	800mW
V _{IN1+} , V _{IN1-}	(V _{DD} + 0.3V) to (V _{SS} - 0.3V)	Operating Temperature Ranges	
V _{IN2+} , V _{IN2-}	(V _{DD} + 0.3V) to (V _{SS} - 0.3V)	MAX11_ _C_ _	0°C to +70°C
V _{REF+} , V _{REF-}	(V _{DD} + 0.3V) to (V _{SS} - 0.3V)	MAX11_ _E_ _	-40°C to +85°C
Digital Inputs and Outputs	(V _{DD} + 0.3V) to -0.3V	MAX11_ _BMJE	-55°C to +125°C
Continuous Power Dissipation		Storage Temperature Range	-65°C to +160°C
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C).....	842mW	Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX110

(V_{DD} = 5V ±5%, V_{SS} = -5V ±5%, f_{CLK} = 1MHz, ÷ 2 mode (DV2 = 1), 81,920 CLK cycles/conv, V_{REF+} = 1.5V, V_{REF-} = -1.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
ACCURACY (Note 1)							
Resolution	RES	(Note 2)	14 + POL + OFL			Bits	
Differential Nonlinearity	DNL	(Notes 3, 4)			±2	LSB	
No-Missing-Codes Resolution		(Note 3)	13 + POL + OFL			Bits	
Relative Accuracy (Notes 3, 5–7)	INL	MAX110AC/E	-V _{REF} ≤ V _{IN} ≤ V _{REF}		±0.03	±0.06	%FSR
			-0.83 × V _{REF} ≤ V _{IN} ≤ 0.83 × V _{REF}		±0.015	±0.03	
		MAX110BC/E	-V _{REF} ≤ V _{IN} ≤ V _{REF}		±0.04		
			-0.83 × V _{REF} ≤ V _{IN} ≤ 0.83 × V _{REF}		±0.018		
		MAX110BM	-V _{REF} ≤ V _{IN} ≤ V _{REF}		±0.1		
			-0.83 × V _{REF} ≤ V _{IN} ≤ 0.83 × V _{REF}		±0.05		
Offset Error		V _{IN+} = V _{IN-} = 0V			±4	mV	
Offset Error Temperature Drift		After offset null		0.003		µV/°C	
		Uncalibrated		0.02			
Common-Mode Rejection Ratio	CMRR	-2.5V ≤ (V _{IN+} = V _{IN-}) ≤ 2.5V		6		ppm/V	
Full-Scale Error		After gain calibration (Note 5)			±0.1	%	
		Uncalibrated	-8		0		
Full-Scale Error Temperature Drift				8		ppm/°C	
Power-Supply Rejection		V _{SS} = -5V, V _{DD} = 4.75V to 5.25V		15		ppm	
		V _{DD} = 5V, V _{SS} = -4.75V to -5.25V		30			
ANALOG INPUTS							
Differential Input Voltage Range	V _{IN}	(Note 6)	-V _{REF}		+V _{REF}	V	
Absolute Input Voltage Range	V _{IN+} , V _{IN-}		V _{SS} + 2.25		V _{DD} - 2.25	V	
Input Bias Current	I _{IN+} , I _{IN-}				500	nA	
Input Capacitance		(Note 3)			10	pF	

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

ELECTRICAL CHARACTERISTICS—MAX110 (continued)

($V_{DD} = 5V \pm 5\%$, $V_{SS} = -5V \pm 5\%$, $f_{XCLK} = 1MHz$, ± 2 mode ($DV2 = 1$), 81,920 CLK cycles/conv, $V_{REF+} = 1.5V$, $V_{REF-} = -1.5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
REFERENCE INPUTS							
Differential Reference Input Voltage Range	V_{REF}		0		3.0	V	
Absolute Reference Input Voltage Range	V_{REF+} , V_{REF-}		$V_{SS} + 2.25$		$V_{DD} - 2.25$	V	
Reference Input Current	I_{REF+} , I_{REF-}	$V_{REF+} = 2.5V$, $V_{REF-} = 0V$			500	nA	
Reference Input Capacitance		(Note 3)			10	pF	
CONVERSION TIME							
Synchronous Conversion Time (Note 7)	t_{CONV}	10,240 clock-cycles/conversion		20.48		ms	
		102,400 clock-cycles/conversion		204.80			
Oversampling Clock Frequency	f_{OSC}	(Note 8)	0.25		1.25	MHz	
DIGITAL INPUTS (\overline{CS} , SCLK, DIN, and XCLK when RCSEL = 0V)							
Input High Voltage	V_{IH}		2.4			V	
Input Low Voltage	V_{IL}				0.8	V	
Input Capacitance		(Note 3)			10	pF	
Input Leakage Current	I_{LKG}	Digital inputs at 0V or 5V			± 1	μA	
DIGITAL OUTPUTS (DOOUT, \overline{BUSY} , and XCLK when RCSEL = V_{DD})							
Output Low Voltage	V_{OL}	DOOUT, \overline{BUSY} , $I_{SINK} = 1.6mA$			0.4	V	
		XCLK, $I_{SINK} = 200\mu A$			0.4		
Output High Voltage	V_{OH}	DOOUT, \overline{BUSY} , $V_{DD} = 4.75V$, $I_{SOURCE} = 1.0mA$		$V_{DD} - 0.5$		V	
		XCLK, $V_{DD} = 4.75V$, $I_{SOURCE} = 200\mu A$		$V_{DD} - 0.5$			
Leakage Current	I_{LKG}	$V_{OUT} = 5V$ or 0V			± 10	μA	
Output Capacitance		(Note 3)			10	pF	
POWER REQUIREMENTS (all digital inputs at 0V or 5V)							
Positive Supply Voltage	V_{DD}	Performance guaranteed by supply rejection test	4.75		5.25	V	
Negative Supply Voltage	V_{SS}	Performance guaranteed by supply rejection test	-4.75		-5.25	V	
Positive Supply Current	I_{DD}	$V_{DD} = 5.25V$, $V_{SS} = -5.25V$	$f_{XCLK} = 500kHz$, continuous-conversion mode		550	950	μA
			XCLK unloaded, continuous-conversion mode, RC oscillator operational (Note 9)		780		
Negative Supply Current	I_{SS}	$V_{DD} = 5.25V$, $V_{SS} = -5.25V$	$f_{XCLK} = 500kHz$, continuous-conversion mode		320	650	μA
Power-Down Current	I_{DD}	$V_{DD} = 5.25V$, $V_{SS} = -5.25V$, $V_{XCLK} = 0V$, PD = 1			4	10	μA
	I_{SS}				0.05	2	

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

ELECTRICAL CHARACTERISTICS—MAX111

($V_{DD} = 5V \pm 5\%$, $f_{CLK} = 1MHz$, $\div 2$ mode ($DV2 = 1$), 81,920 CLK cycles/conv, $V_{REF+} = 1.5V$, $V_{REF-} = 0V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
ACCURACY (Note 1)							
Resolution	RES	(Note 2)		14 + POL + OFL			Bits
Differential Nonlinearity	DNL	(Notes 3, 4)				±2	LSB
No-Missing-Codes Resolution		(Note 3)		13 + POL + OFL			Bits
Relative Accuracy, Differential Input (Notes 3, 5–7)	INL	MAX111AC/E	$-V_{REF} \leq V_{IN} \leq V_{REF}$	±0.05	±0.10		%FSR
			$-0.667 \times V_{REF} \leq V_{IN} \leq 0.667 \times V_{REF}$	±0.03	±0.05		
		MAX111BC/E	$-V_{REF} \leq V_{IN} \leq V_{REF}$		±0.18		
			$-0.667 \times V_{REF} \leq V_{IN} \leq 0.667 \times V_{REF}$		±0.10		
MAX111BM	$-V_{REF} \leq V_{IN} \leq V_{REF}$		±0.25				
	$-0.667 \times V_{REF} \leq V_{IN} \leq 0.667 \times V_{REF}$		±0.20				
Relative Accuracy, Single-Ended Input (IN- = GND)	INL	MAX111AC/E	$0V \leq V_{IN} \leq V_{REF}$	±0.1			%FSR
			$V_{IN} \leq 0.667 \times V_{REF}$	±0.06			
		MAX111BC/E	$0V \leq V_{IN} \leq V_{REF}$	±0.18			
			$V_{IN} \leq 0.667 \times V_{REF}$	±0.10			
MAX111BM	$0V \leq V_{IN} \leq V_{REF}$	±0.25					
	$V_{IN} \leq 0.667 \times V_{REF}$	±0.15					
Offset Error		$V_{IN+} = V_{IN-} = 0V$				±4	mV
Common-Mode Rejection Ratio	CMRR	$10mV \leq (V_{IN+} = V_{IN-}) \leq 2.0V$		6			ppm/V
Full-Scale Error		After gain calibration (Note 5)				±0.2	%
		Uncalibrated		-8	0		
Full-Scale Error Temperature Drift				8			ppm/°C
Power-Supply Rejection		$V_{DD} = 4.75V$ to $5.25V$		15			ppm
ANALOG INPUTS							
Differential Input Voltage Range	V_{IN}	(Note 6)		$-V_{REF}$	$+V_{REF}$		V
Absolute Input Voltage Range	V_{IN+} , V_{IN-}			0	$V_{DD} - 3.2$		V
Input Bias Current	I_{IN+} , I_{IN-}			500			nA
Input Capacitance		(Note 3)		10			pF

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

ELECTRICAL CHARACTERISTICS—MAX111 (continued)

($V_{DD} = 5V \pm 5\%$, $f_{XCLK} = 1MHz$, ÷ 2 mode ($DV2 = 1$), 81,920 CLK cycles/conv, $V_{REF+} = 1.5V$, $V_{REF-} = 0V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE INPUTS						
Differential Reference Input Voltage Range	V_{REF}		0		1.5	V
Absolute Reference Input Voltage Range	V_{REF+} , V_{REF-}		0		$V_{DD} - 3.2$	V
Reference Input Current	I_{REF+} , I_{REF-}	$V_{REF+} = 1.5V$, $V_{REF-} = 0V$			500	nA
Reference Input Capacitance		(Note 3)			10	pF
CONVERSION TIME						
Synchronous Conversion Time (Note 7)	t_{CONV}	10,240 clock-cycles/conversion		20.48		ms
		102,400 clock-cycles/conversion		204.80		
Oversampling Clock Frequency	f_{OSC}	(Note 8)	0.25		1.25	MHz
DIGITAL INPUTS (\overline{CS} , SCLK, DIN, and XCLK when RCSEL = 0V)						
Input High Voltage	V_{IH}		2.4			V
Input Low Voltage	V_{IL}				0.8	V
Input Capacitance		(Note 3)			10	pF
Input Leakage Current	I_{LKG}	Digital inputs at 0V or 5V			± 1	μA
DIGITAL OUTPUTS (DOUT, \overline{BUSY} , and XCLK when RCSEL = V_{DD})						
Output Low Voltage	V_{OL}	DOUT, \overline{BUSY} , $I_{SINK} = 1.6mA$			0.4	V
		XCLK, $I_{SINK} = 200\mu A$			0.4	
Output High Voltage	V_{OH}	DOUT, \overline{BUSY} , $V_{DD} = 4.75V$, $I_{SOURCE} = 1.0mA$	$V_{DD} - 0.5$			V
		XCLK, $V_{DD} = 4.75V$, $I_{SOURCE} = 200\mu A$	$V_{DD} - 0.5$			
Leakage Current	I_{LKG}	$V_{OUT} = 5V$ or 0V			± 1	μA
Output Capacitance		(Note 3)			10	pF
POWER REQUIREMENTS (all digital inputs at 0V or 5V)						
Positive Supply Voltage	V_{DD}	Performance guaranteed by supply rejection test	4.75		5.25	V
Supply Current	I_{DD}	$V_{DD} = 5.25V$	$f_{XCLK} = 500kHz$, continuous-conversion mode	640	1200	μA
			XCLK unloaded, continuous-conversion mode, RC oscillator operational (Note 9)	960		
Power-Down Current	I_{DD}	$V_{DD} = 5.25V$, $V_{XCLK} = 0V$, PD = 1		4	10	μA

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

- Note 1:** These specifications apply after auto-null and gain calibration. Performance at power-supply tolerance limits is guaranteed by power-supply rejection tests. Tests are performed at $V_{DD} = 5V$ and $V_{SS} = -5V$ (MAX110).
- Note 2:** 32,768 LSBs cover an input voltage range of $\pm V_{REF}$ (15 bits). An additional bit (OFL) is set for $V_{IN} > V_{REF}$.
- Note 3:** Guaranteed by design. Not subject to production testing.
- Note 4:** DNL is less than ± 2 counts (LSBs) out of 2^{15} counts (± 14 bits). The major source of DNL is noise, and this can be further improved by averaging.
- Note 5:** See *3-Step Calibration* section in text.
- Note 6:** $V_{REF} = (V_{REF+} - V_{REF-})$, $V_{IN} = (V_{IN1+} - V_{IN1-})$ or $(V_{IN2+} - V_{IN2-})$. The voltage is interpreted as negative when the voltage at the negative input terminal exceeds the voltage at the positive input terminal.
- Note 7:** Conversion time is set by control bits CONV1–CONV4.
- Note 8:** Tested at clock frequency of 1MHz with the divide-by-2 mode (i.e. oversampling clock of 500kHz). See *Typical Operating Characteristics* section for the effect of other clock frequencies. Also read the *Clock Frequency* section.
- Note 9:** This current depends strongly on $CXCLK$ (see *Applications Information* section).

TIMING CHARACTERISTICS (see Figure 6)

($V_{DD} = 5V$, $V_{SS} = -5V$ (MAX110), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
\overline{CS} to SCLK Setup Time (Note 10)	t _{CS}	$T_A = +25^\circ C$	60			ns	
		MAX11_ _C/E	80				
		MAX11_ _BM	100				
\overline{CS} to SCLK Hold Time (Note 10)	t _{CSH}		0			ns	
DIN to SCLK Setup Time (Note 10)	t _{DS}	$T_A = +25^\circ C$	60			ns	
		MAX11_ _C/E	80				
		MAX11_ _BM	100				
DIN to SCLK Hold Time (Note 10)	t _{DH}		0			ns	
SCLK, XCLK Pulse Width (Note 10)	t _{CK}	$T_A = +25^\circ C$	100			ns	
		MAX11_ _C/E	120				
		MAX11_ _BM	160				
Data Access Time (Note 10)	t _{DA}	$C_{LOAD} = 50pF$	$T_A = +25^\circ C$	0	35	80	ns
			MAX11_ _C/E	0		100	
			MAX11_ _BM	0		120	
SCLK to DOUT Valid Delay (Note 10)	t _{DO}	$C_{LOAD} = 50pF$	$T_A = +25^\circ C$	0	60	100	ns
			MAX11_ _C/E	0		120	
			MAX11_ _BM	0		140	
Bus Relinquish Time (Note 10)	t _{DH}	$T_A = +25^\circ C$		35	80	ns	
		MAX11_ _C/E/M			120		
RC Oscillator Frequency		$T_A = +25^\circ C$		2.0		MHz	
		MAX11_ _C/E	1.3		2.8		
		MAX11_ _BM	1.1		3.0		

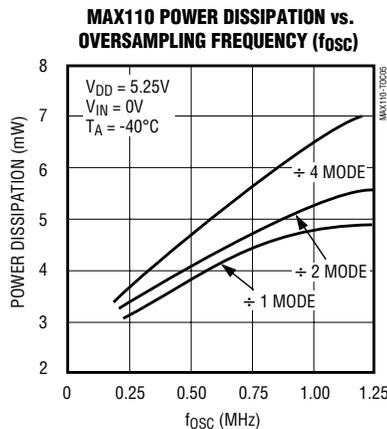
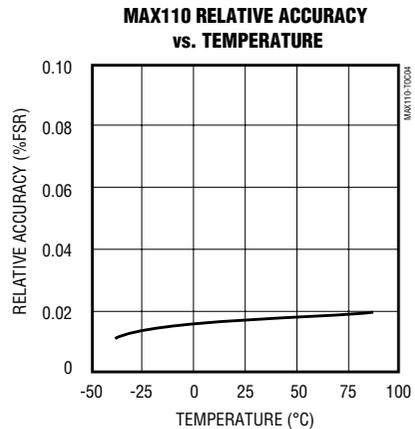
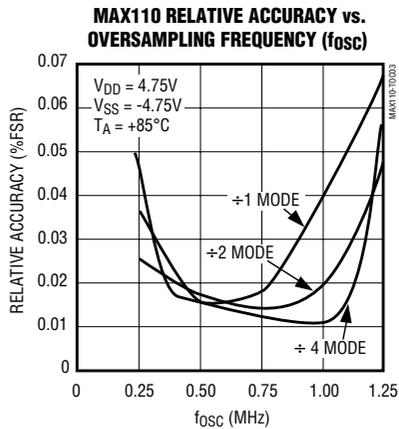
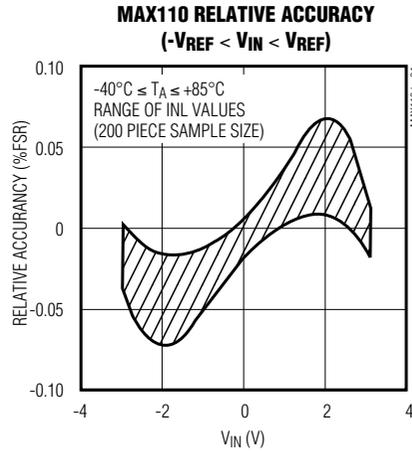
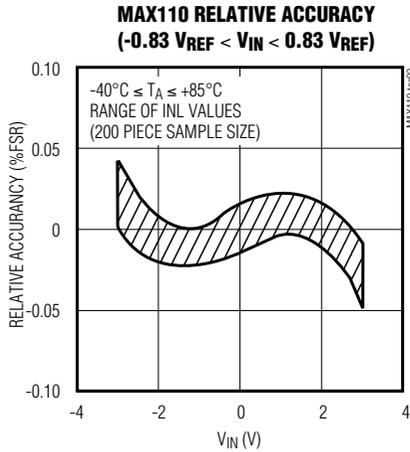
Note 10: Timing specifications are guaranteed by design. All input control signals are specified with $t_r = t_f = 5ns$ (10% to 90% of +5V) and timed from a +1.6V voltage level.

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

標準動作特性

(MAX110, $V_{DD} = 5V$, $V_{SS} = -5V$, $V_{REF+} = 1.5V$, $V_{REF-} = -1.5V$, differential input ($V_{IN+} = -V_{IN-}$), $f_{XCLK} = 1MHz$, $\div 2$ mode ($DV2 = 1$), 81,920 clocks/conv, $T_A = +25^\circ C$, unless otherwise noted.)

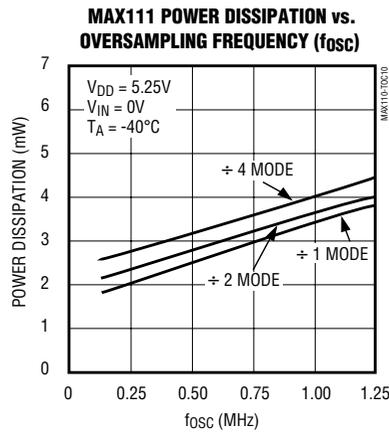
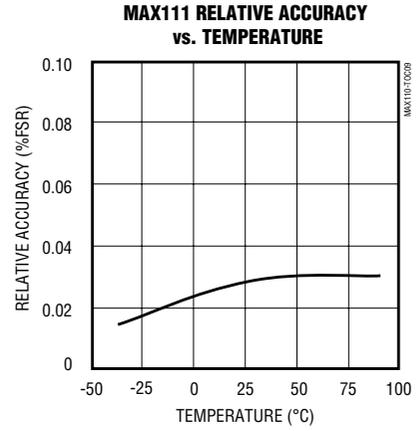
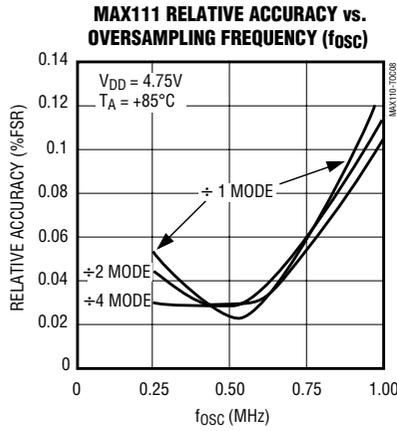
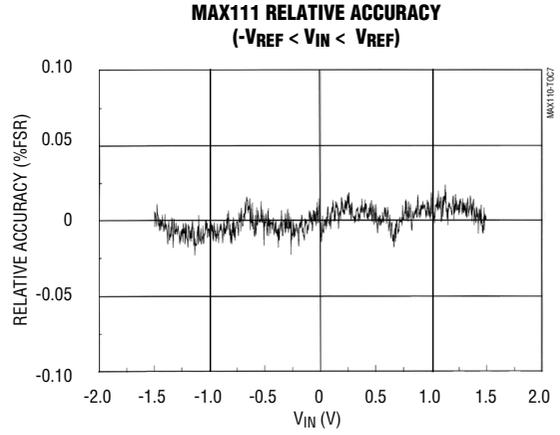
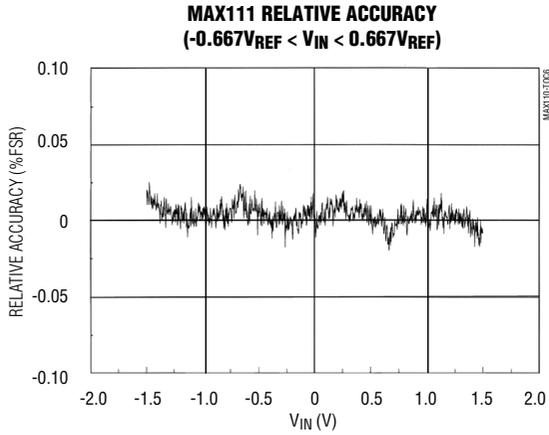


低コスト、2チャンネル、 ± 14 ビットシリアルADC

MAX1110/MAX1111

標準動作特性(続き)

(MAX1111, $V_{DD} = 5V$, $V_{REF+} = 1.5V$, $V_{REF-} = 0V$, differential input ($V_{IN+} = -V_{IN-}$), $f_{CLK} = 1MHz$, $\div 2$ mode ($DV2 = 1$), 81,920 clocks/conv, $T_A = +25^\circ C$, unless otherwise noted.)



低コスト、2チャンネル、±14ビットシリアルADC

端子説明

端子		名称	機能
DIP/SOP	SSOP		
1	1	IN1+	チャンネル1の正アナログ入力
2	2	REF-	負リファレンス入力
3	3	REF+	正リファレンス入力
4	6	V _{DD}	正電源入力 (+5Vに接続してください)
5	7	RCSEL	RCセレクト入力。外部クロックモードを選択する場合はGNDに接続し、RC OSCモードを選択する場合はV _{DD} に接続してください。RC OSCモード選択時には、XCLKを抵抗を経由して(1M以下)V _{DD} 又はGNDに接続してください。
6	8	XCLK	クロック入力/RCオシレータ出力。RCSEL = GNDの時はTTL/CMOSコンパチブルのオーバースAMPLINGクロック入力。RCSEL = V _{DD} の時は内部RCオシレータに接続されます。RC OSCモード選択時には、XCLKを抵抗を経由して(1M以下)V _{DD} 又はGNDに接続してください。
7	9	SCLK	シリアルクロック入力。シリアルインタフェースのデータ/Oに対する、TTL/CMOSコンパチブルクロック入力。
8	10	$\overline{\text{BUSY}}$	ビジー出力。変換開始時にローになり、変換終了時ハイに戻ります。
9	11	$\overline{\text{CS}}$	チップセレクト入力。制御ワード書込み/データ読取り時は、この入力をローにしてください。NO-OPが1の場合は、 $\overline{\text{CS}}$ がハイに戻った時変換が開始します。「SPI、QSPI及びMICROWIREシリアルインタフェースでのMAX110/MAX111の使用」の項を参照。
10	12	DOUT	シリアルデータ出力。 $\overline{\text{CS}}$ がハイの時は、ハイインピーダンスになります。
11	13	DIN	シリアルデータ入力。「制御レジスタ」を参照してください。
12	16	GND	デジタルグランド
13	17	V _{SS}	MAX110の負電源入力 (-5Vに接続してください)
		AGND	MAX111のアナロググランド
14	18	IN2-	チャンネル2の負アナログ入力
15	19	IN2+	チャンネル2の正アナログ入力
16	20	IN1-	チャンネル1の負アナログ入力
—	4, 5, 14, 15	N.C.	無接続 (内部で接続されていません)

詳細

MAX110/MAX111 ADCは1次シグマデルタループを用いて、低周波アナログ信号を16ビットのシリアルデジタル出力(データビット14、サインビット1、及びオーバーレンジビット1)に変換します(図1)。差動入力電圧は、精密な電圧-電流コンバータに内部接続されています。ここから得られた電流は積分され、コンパレータに印加されます。そして、このコンパレータの出力によって、アップ/ダウンカウンタ及び1ビットDACを駆動します。DACの出力が積分器の入力へ戻ると、シグマデルタループが完了します。

変換時のコンパレータ出力は、V_{REF-} ~ V_{REF+}の方形波です。デューティサイクルは、ADCへ印加する差動入力電圧の大きさに比例します。アップ/ダウンカウンタは、

コンパレータからのデータをオーバースAMPLINGのクロックレートでクロックインし、パルス幅変調(PWM)方形波を平均化することによって、変換の結果を得ます。この結果は、変換終了時に16ビットのスタティックシフトレジスタに保存されます。差動アナログ入力 $1/2(V_{\text{REF+}} - V_{\text{REF-}})$ の時のADC波形を図2に示します。この場合、コンパレータ及び1ビットDAC出力は、オーバースAMPLINGクロックの7サイクル間でハイ、3サイクル間でローになっています。

アナログ入力信号は、多数のクロックサイクルにわたって積分されているため、信号及び量子化ノイズが殆ど減衰してしまいます。変換中のクロックサイクルが増加すればする程、ノイズの減衰量も増加します(「変換時間のプログラミング」参照)。

低コスト、2チャンネル、 ± 14 ビットシリアルADC

MAX110/MAX111

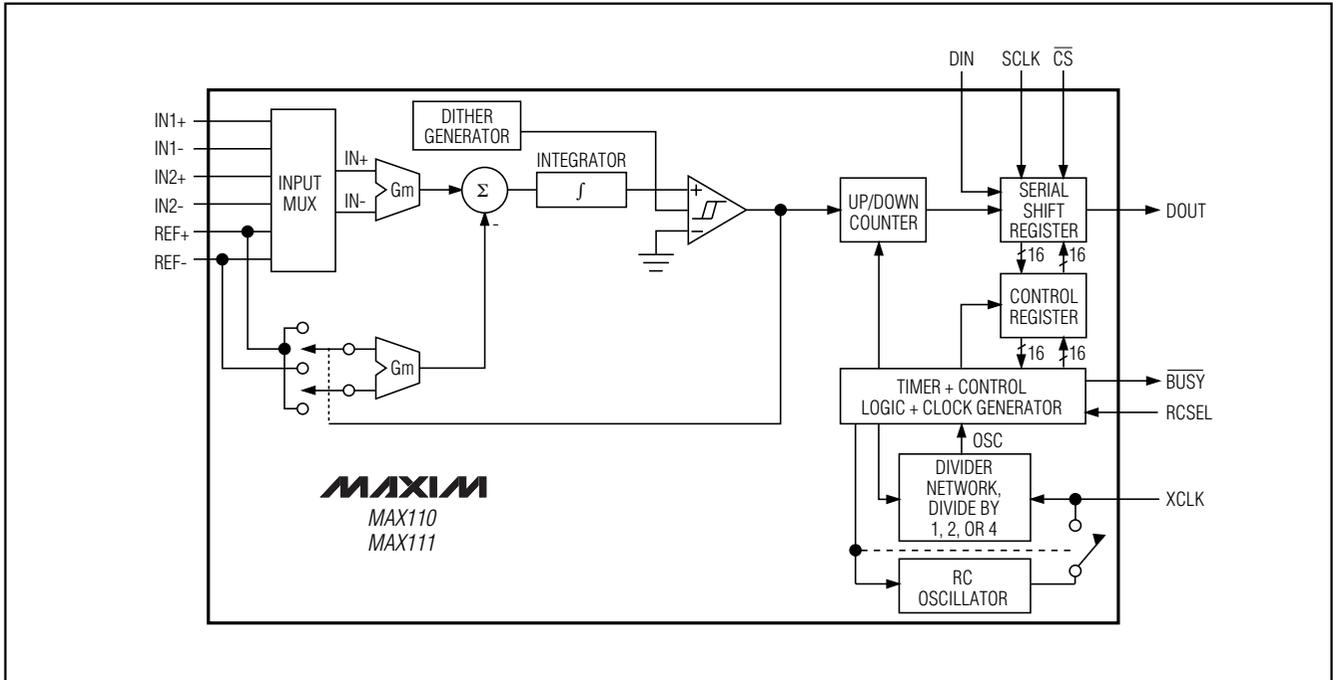


図1. ファンクションダイアグラム

オーバサンプリングクロック

XCLKはクロック分周ネットワークに内部接続され、ADCオーバサンプリングクロック f_{osc} がその出力になります。従って、選択したクロックソース(内部RCオシレータ又はXCLKと接続する外部クロック)は1、2又は4分周することができます(「クロック分割比制御ビット」参照)。

オーバサンプリングクロックをMAX110/MAX111へ供給するための2つの方法を図3に示します。外部クロックモード(図3a)では、内部RCオシレータはディセーブルされ、XCLKは、オーバサンプリングクロックをADCに供給するためにTTL/CMOSレベルクロックを受付けます。

RCSELをGNDへ、TTL/CMOSコンパチブルクロックをXCLKへ接続することによって外部クロックモード(図3a)を選択します(「オーバサンプリングクロック周波数の選択」参照)。

RCオシレータモード(図3b)では、内部RCオシレータがアクティブ状態になり、この出力がXCLKへ供給されます(図1)。RCオシレータモードを選択するためには、RCSELを V_{DD} に接続します。このモードでは、内部オシレータがイネーブルされ、XCLKに接続されます。そのため、XCLKをADCや外部システムコンポーネントで使用できるようになります。ただし、内部RCオシレータを使用する場合は、XCLKへの容量性負荷を最小限に抑えてください。

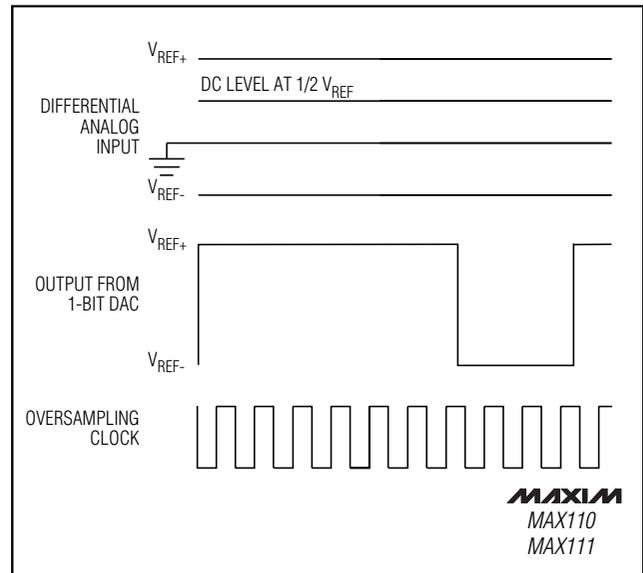


図2. 変換中のADC波形

低コスト、2チャンネル、±14ビットシリアルADC

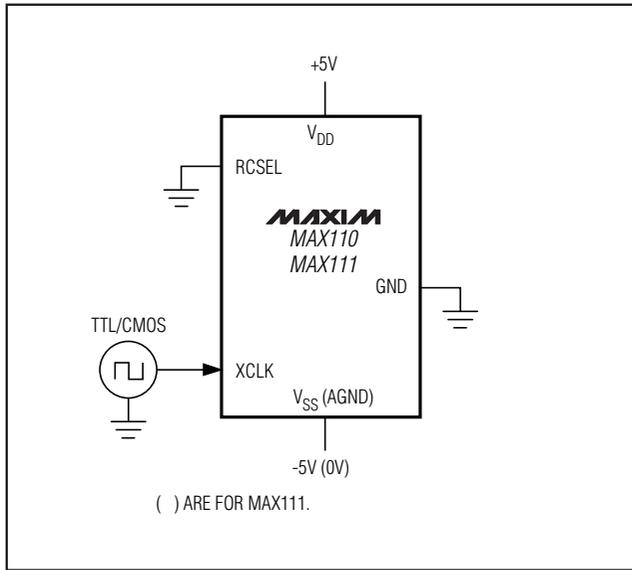


図3a. 外部クロックモード時の接続図

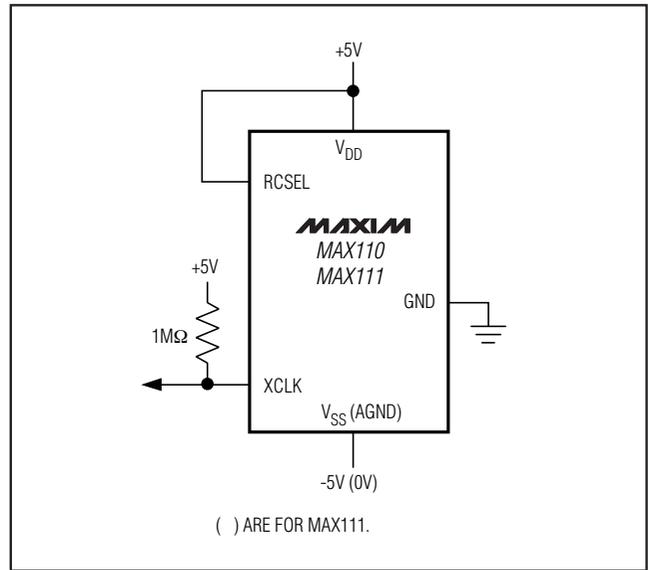


図3b. 内部RCオシレータモード時の接続図(XCLKは内部RCオシレータに接続されます)。内部オシレータがシャットダウンされない場合はプルアップ抵抗は必要ありません。

ADCの動作

MAX110/MAX111の出力データは、2の補数形式になっています(図4、図5)。サインビット(POL)がシフトアウトし、続いてオーバーレンジビット(OR)及び14個のデータビット(MSBが先)がシフトアウトします(図6)。MAX110は±5V電源で動作し、最大リファレンス電圧 $V_{REF} = 3V$ ($V_{REF} = V_{REF+} - V_{REF-}$)では、±3V範囲の低周波アナログ信号を変換します。±3Vの入力範囲の中でも、より高い精度は±2.5V以内の範囲で得られます(詳細は「Electrical Characteristics」を参照)。ただし、負の入力電圧は $V_{IN-} > V_{IN+}$ として定義されていることに注意してください。MAX110では、アナログ入力端子に関係なく、絶対電圧を $(V_{SS} + 2.25V) \sim (V_{DD} - 2.25V)$ の範囲内で維持することが必要です。

MAX111は+5V単一電源で動作し、最大リファレンス電圧 $V_{REF} = 1.5V$ では±1.5V範囲の低周波数アナログ信号を変換します。「Electrical Characteristics」で示すように、±1.2V以内の範囲ではより高い精度が得られます。MAX111では、アナログ入力端子に関係なく、絶対電圧を $0V \sim (V_{DD} - 3.2V)$ の範囲内で維持することが必要です。 $V_{IN-} > V_{IN+}$ 時には、負の入力電圧が得られます。

入力電圧レベルがリファレンス電圧レベルを超えたことを検出するために、オーバーレンジビット(OFL)が備えられています。コンバータは、入力電圧が20%(typ)増大するまでは、“飽和”しません。しかしこの範囲ではリニア

リティは保証されていません。注) オーバレンジビットは、リファレンス電圧が推奨電圧範囲内に維持されている場合は正しく動作します(「リファレンス入力」参照)が、推奨電圧範囲を超えた場合は正しく動作しないことがあります。

デジタルインタフェース --- 変換の開始

シリアルI/Oシフトレジスタとのデータ転送は、 \overline{CS} をローに設定し、SCLKにシリアルクロックを加えることによって行います。この完全スタティックシフトレジスタによって、SCLKの許容範囲はDC~2MHzまでとなります。ADCからの出力データは、SCLKの立下がりエッジでクロックアウトされ、SCLKの立上がりエッジで読み取ります。DINでのADCへの入力データは、SCLKの立上がりエッジでクロックインされます。入力制御ワード($\overline{NO-OP}$)が1であれば、 \overline{CS} がハイに戻った時点で次の変換が開始されます(「SPI、QSPI及びMICROWIREシリアルインタフェースでのMAX110/MAX111の使用」を参照)。シリアルインタフェースのタイミングを図6に示します。

変換処理中は、 \overline{CS} をハイに維持することが必要です(BUSYをローにしたまま)。変換中に \overline{CS} をローにすると変換処理が中断し、誤データが出力される可能性があります。

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

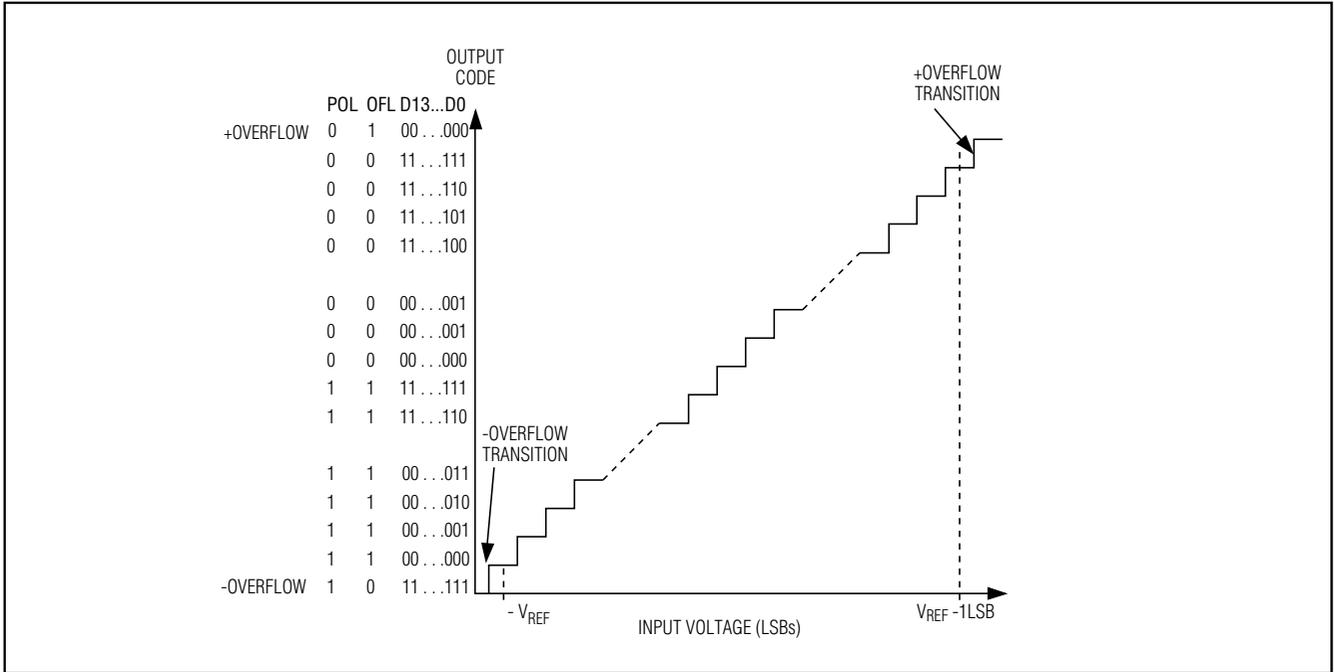


図4. 差動伝達関数

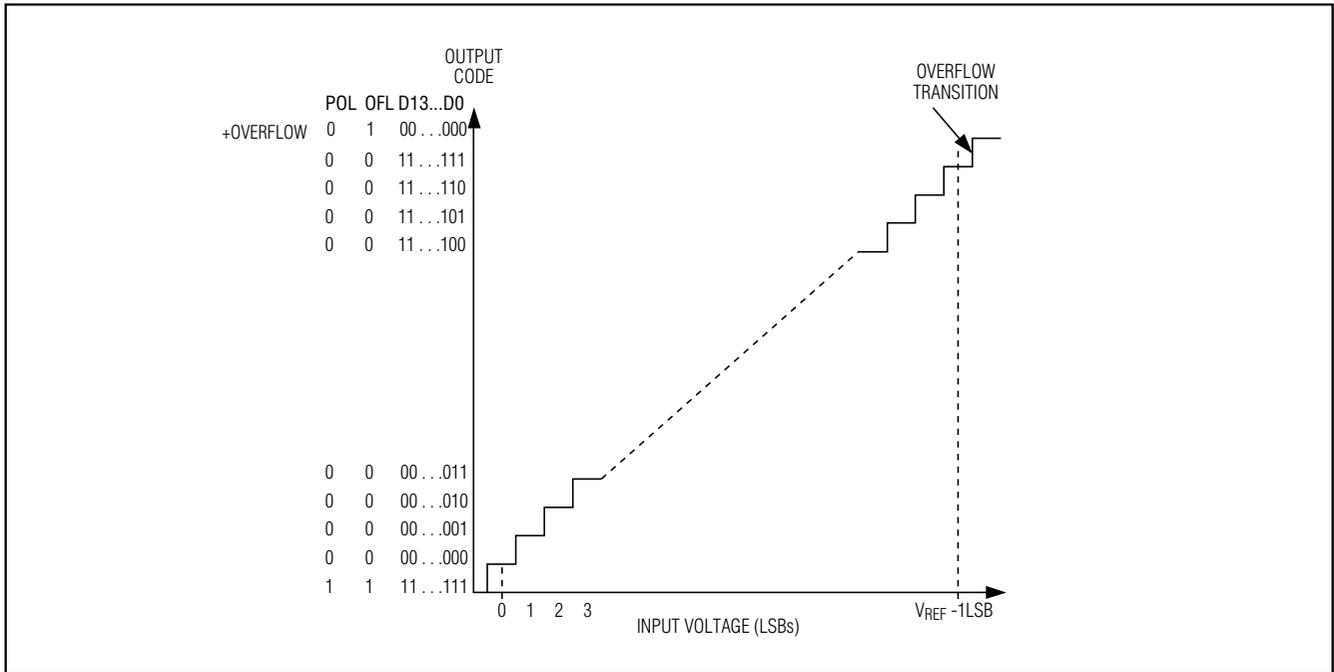


図5. ユニポーラ伝達関数

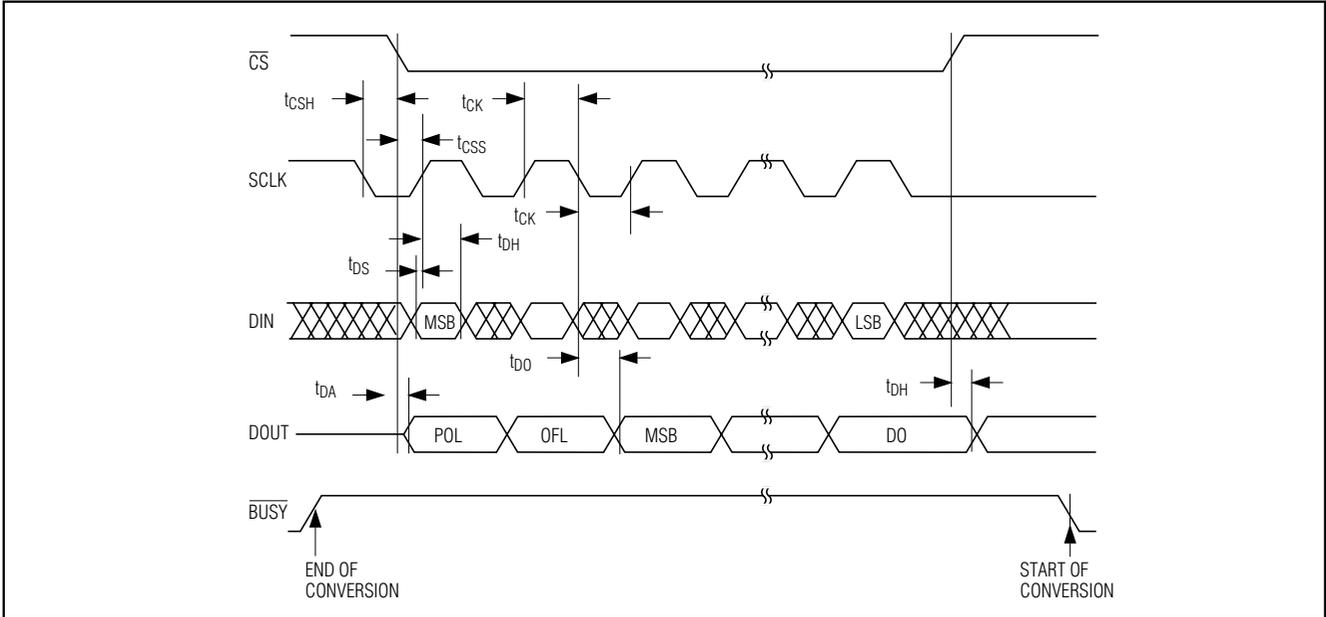


図6. 詳細なシリアルインタフェースのタイミング

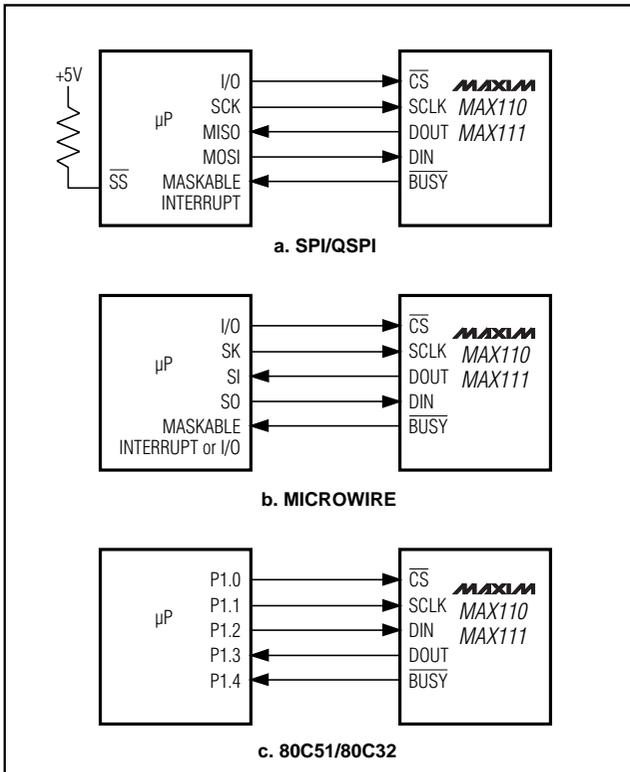


図7. 一般的なシリアルインタフェース接続

SPI、QSPI及びMICROWIREシリアルインタフェースでのMAX110/MAX111の使用

最も一般的なシリアルインタフェース接続を図7に示します。MAX110/MAX111は、SPI、QSPI (CPHA = 0、CPOL = 0)及びMICROWIREシリアルインタフェース規格に適合しています。

ADCシリアルインタフェースは、SCLK、DIN及びDOUTだけで動作します(ただし、読取り/書き込み動作には十分な変換時間が必要です)。変換の完了をプロセッサに知らせる場合、未使用のμP I/O又は割込みにBUSYを接続することにより、連続動作が可能になります。SPI及びMICROWIRE及びQSPI動作のタイミングを図8a及び図8bに示します。

完全スタティック16ビットI/Oレジスタは、SPI及びMicrowireによって完全な16ビットデータを得るために必要な2回の8ビット読取り/書き込み動作に十分な時間を与えます。CSは2バイト転送中ずっとローに維持される必要があります(図8a)。QSPIでは、完全な16ビット転送を行うことができます(図8b)。

80C32マイクロコントローラファミリとのインタフェース

80C32とMAX110/MAX111の一般的な接続を、ポート1を用いて図7cに示します。詳細な説明については、MAX110の評価キットを参照してください。

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

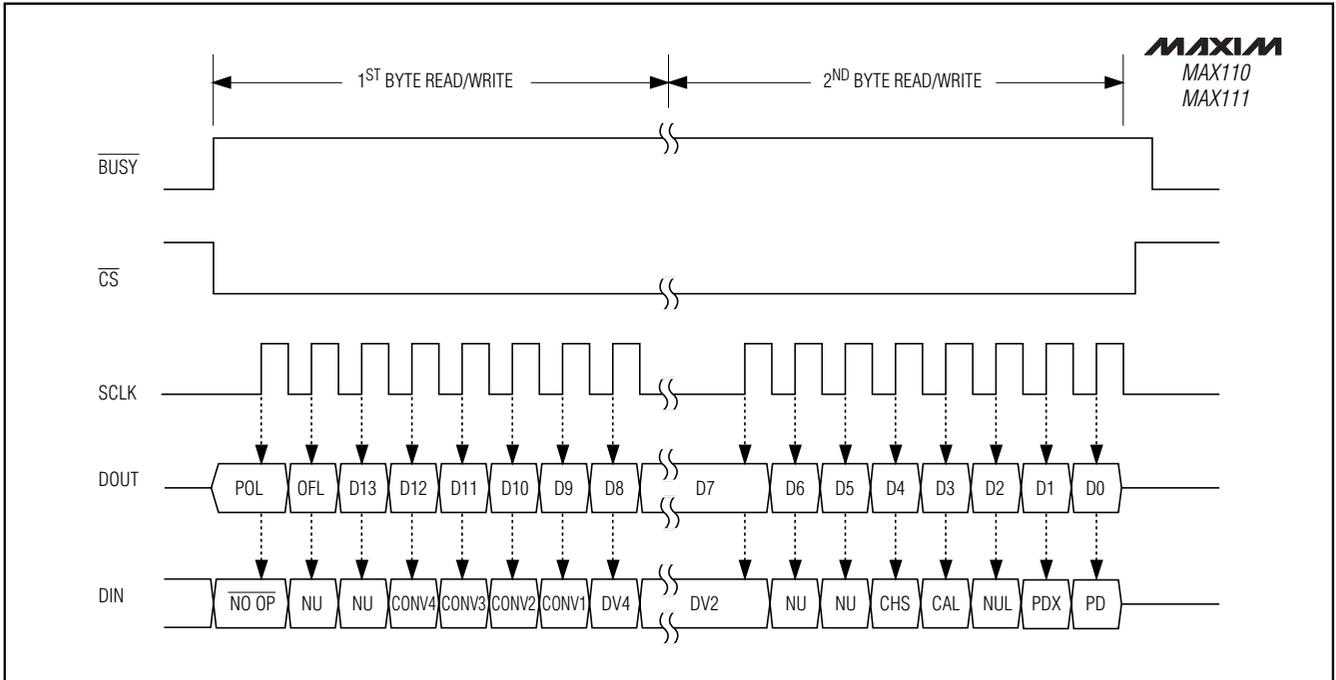


図8a. SPI/MICROWIREインタフェースのタイミング

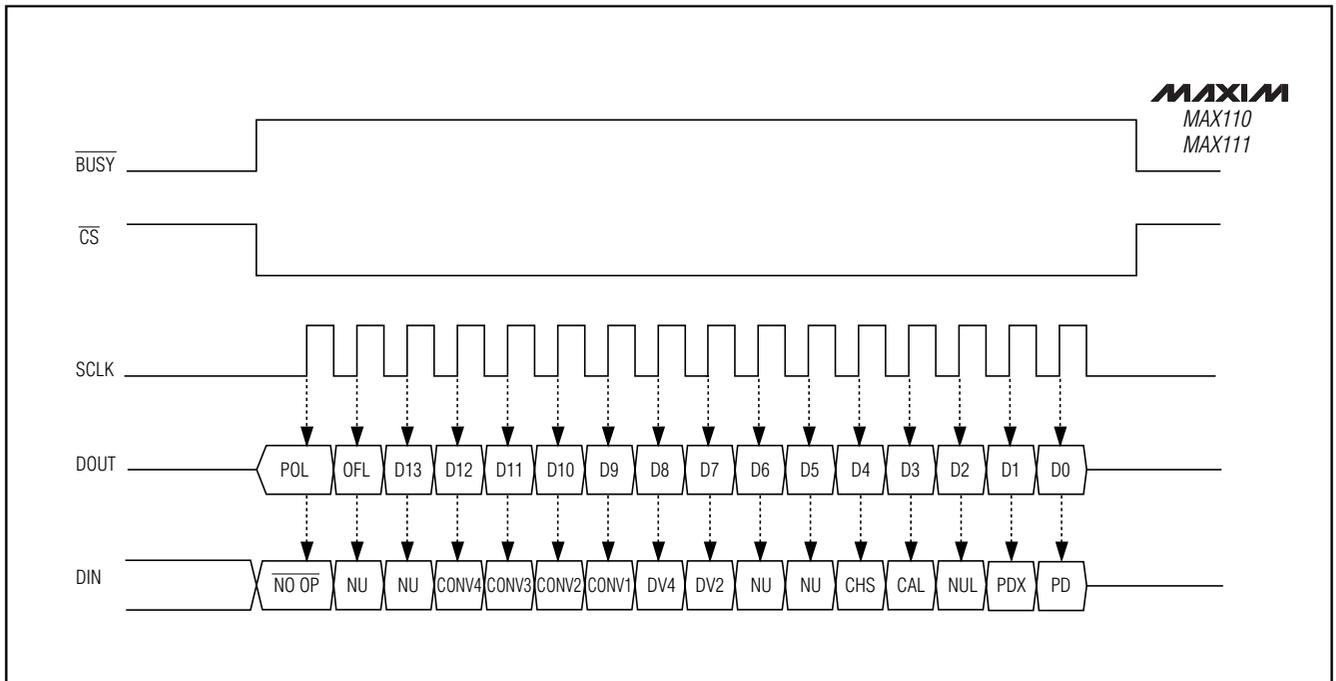


図8b. QSPIシリアルインタフェースのタイミング

表1. 入力制御ワードのビットマップ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NO-OP	NU	NU	CONV4	CONV3	CONV2	CONV1	DV4	DV2	NU	NU	CHS	CAL	NUL	PDX	PD

↑
クロックインの最初のビット

ビット	名称	説明
15	NO-OP	このビットがロジックハイの時は、残り15のLSBが制御レジスタへ転送され、CSがハイに戻った時点で新しい変換が開始されます。このビットがローの時は、制御ワードが制御レジスタを通過せず、ADCの構成は変化しないため、CSがハイに戻っても新たな変換は開始されません。
5, 6, 13, 14	NU	テスト用。これらのビットは、全てローに設定してください。
9-12	CONV1-CONV4	変換時間制御ビット。表4参照。
7, 8	DV2, DV4	XCLKとオーバサンプリングのクロック比率制御ビット。表5参照。
4	CHS	入力チャンネルセレクト。ロジックハイの時、チャンネル2(IN2 ₊ とIN2 ₋)が選択され、ロジックローの時、チャンネル1(IN1 ₊ 及びIN1 ₋)が選択されます。表2及び表3参照。
3	CAL	利得調整ビット。ロジックハイの時、利得調整モードが選択されます。表3参照。
2	NUL	内部オフセットヌルビット。ロジックハイの時、オフセットヌルモードが選択されます。表3参照。
1	PDX	オンレータパワーダウン。RCオンレータをパワーダウンする時は、このビットをハイに設定してください。
0	PD	アナログパワーダウン。アナログ部をパワーダウンする時は、このビットをハイに設定してください。

I/Oシフトレジスタ

シリアルデータ転送は、16ビット完全スタティックシフトレジスタで実現しています。データ転送中にこのレジスタにシフトインされてくる16ビット制御ワードは、ADCの様々な機能を制御します。MSB (NO-OP)はADC内での制御ワードの転送をイネーブル/ディセーブルします。ロジックがハイの時は、CSがハイになると制御ワードの残りの15ビットがI/Oレジスタから制御レジスタへ転送され、ADCの設定を更新し、新たな変換を開始させます。NO-OPがローの時は、制御ワードは制御レジスタに転送されず、ADCの設定は変化しないため、新たな変換は開始されません。これによって「デジチェーン」内の特定のADCだけを再設定し、他のADCの現状を変えることなく維持することができます。表1に様々なADC制御ワードの機能が記載されています。

次の変換用入力制御ワードがシフトインすると同時にDOUTから出力データがシフトアウトします(図8)。

パワーアップ時、全ての内部レジスタがゼロにリセットされます。従って、最初の制御ワードをADCに書込んでいる間は、同時にシフトアウトされるデータはゼロになります。最初の変換は、CSがハイになった時点(NO-OP=1)で開始されます。変換結果は、次のデータ転送でアクセスできるよう、16ビットI/Oレジスタに保存されます。

パワーダウンモード

ビット0及びビット1は、ADCのパワーダウンモードを制御します。ビット0(PD)がロジックハイの時は、RCオンレータ以外のアナログ回路へは電源が供給されま

せん。ビット1(PDX)がロジックハイの時は、RCオンレータへの電源が切断されます。PD及びPDXの両方がロジックハイの時、又はPDがハイでRCSELがローの時は、消費電流が僅か4µAまで低減します。パワーダウン時に外部XCLKクロックを稼働させる場合は、消費電流はクロックレートに依存します。

PDXをハイに設定すると、CSがハイに戻った直後に内部RCオンレータが停止します。次の制御ワードがNO-OP=1でADCに変換指示が出されるとBUSYはローになります。この時RCオンレータが停止しているため、BUSYはローのまま維持され、新たな変換は開始されません。この状態を避けるために、NO-OP=0でPDX=0の制御ワードに続いてビット14~0に任意の組み合わせにより「ダミー」の制御ワードを書込みます。NO-OP=0ではビット14~0は無視され内部状態はリセットされます。次に3ステップ調整を行います(表3参照)。RCオンレータモードを選択した時には(RCSEL = V_{DD}) XCLKは抵抗を経由して(推奨値1M Ω) V_{DD}又はGNDに接続されなくてはなりません。内部オンレータがシャットダウンされない場合、もしくは外部オンレータモードが使用される場合にはこの抵抗は必要ありません。

アナログ入力の選択

ビット4(CHS)は2つの差動入力の内、どちらを内部ADC入力に接続するかを制御します(ファンクションダイアグラムを参照)。ロジックハイの時はIN2₊及びIN2₋が選択され、また、ロジックローの時はIN1₊及びIN1₋が選択されます。入力マルチプレクサが許容できる構成を表2に示します。

低コスト、2チャンネル、±14ビットシリアルADC

表2. 入力マルチプレクサが許容される構成

CAL	NUL	CHS	NO-OP	ADC IN ₊	ADC IN ₋	説明
0	0	0	1	IN1 ₊	IN1 ₋	チャンネル1をADC入力へ接続。変換は、 \overline{CS} がハイに戻った時に開始されます。
0	0	1	1	IN2 ₊	IN2 ₋	チャンネル2をADC入力へ接続。変換は、 \overline{CS} がハイに戻った時に開始されます。
0	1	0	1	IN1 ₋	IN1 ₋	IN1 ₋ をADC入力へ接続。オフセットヌルモードが選択されます。 \overline{CS} がハイに戻ると、オートヌル変換が開始され、結果はヌルレジスタに保存されます。
0	1	1	1	IN2 ₋	IN2 ₋	IN2 ₋ をADC入力へ接続。オフセットヌルモードが選択されます。 \overline{CS} がハイに戻ると、オートヌル変換が開始され、結果はヌルレジスタに保存されます。
1	1	X	1	REF ₋	REF ₋	REF ₋ をADC入力へ接続。オフセットヌルモードが選択されます。 \overline{CS} がハイに戻ると、オートヌル変換が開始され、結果はヌルレジスタに保存されます。
1	0	X	1	REF ₊	REF ₋	REF ₊ 及びREF ₋ をADC入力へ接続。利得調整モードが選択されます。 \overline{CS} がハイに戻ると、オートカル変換が開始され、結果は16ビットI/Oレジスタに保存されます。
X	X	X	0	変化なし	変化なし	入力制御ワードは制御レジスタに転送されません。 \overline{CS} がハイに戻ってもADCの構成は変化せず、新たな変換は開始されません。

X = 任意

表3. ADCの調整手順

ステップ	説明	制御ワード									
		NO-OP	Not Used	CONV1-CONV4	DV2 & DV4	Not Used	CHS	CAL	NUL	PDX	PD
1	新しい変換速度を設定し(必要であれば)、内部ADC入力をREF ₋ に接続してオフセット補正変換を実行します。結果はヌルレジスタに保存されます。(このステップでは、ADCの速度/分解能も選択します。)	1	00	新しいデータ	XX	00	X	1	1	0	0
2	ヌルレジスタの内容を初期値として、利得調整変換を実行します。結果は調整レジスタに保存されます。	1	00	変化なし	XX	00	X	1	0	0	0
3	内部ADC入力を選択した入力チャンネルの負入力(IN1 ₋ 又はIN2 ₋)に接続して、オフセットヌル変換を実行します。次の動作では、新しいセットアップでの第1回目の信号変換を行います。	1	00	変化なし	XX	00	0 or 1	0	1	0	0

X = 任意

3ステップ調整

データシートの電気仕様は、オプションとなっている利得誤差及びオフセットの調整を行った後のデバイスに適用されたものです。これらの調整を行わない場合の利得誤差は2%(typ)です。

ADCを完全に調整するために必要となる3つのステップを表3に示します。

一旦選択されたチャンネルでADCを調整した場合、選択したアナログ入力チャンネルで信号変換を行うためには、次の制御ワードのCHSは変更せずCAL = 0及びNUL = 0に設定します。

ADCの調整は、以下の事象が発生した後に行います。

- 初めて電源を入れた時
- リファレンスのコモンモード電圧が変化した時
- 選択した入力チャンネルのコモンモード電圧が大幅に変化した時。アナログ入力のCMRRは0.25 LSB/Vです。
- チャンネルを変更した時(2つのチャンネルのコモンモード電圧が異なる場合)
- 変換速度/分解能を変えた時
- 温度変化が大きい時。温度のオフセットドリフトは、0.003μV/ (typ)です。

自動利得調整は、1変換当たり102,400サイクルのモード時には行うことはできません(「変換時間のプログラミング」参照)。このモードでは、リファレンス電圧を1つの入力チャンネルへ接続し、通常の変換を実行することによって調整を行うことができます。以降の変換結果はソフトウェアで補正することができます。利得調整直後にNO-OPコマンドを発行しないでください。発行した場合、調整データが損失します。

変換時間のプログラミング

MAX110/MAX111の仕様は、12ビットの精度、最大±14ビットの分解能です。ADCの分解能は、各変換で許容されるクロックサイクル数に依存します。制御レジスタビット9~12(CONV1~CONV4)は、各変換に必要な公称オーバサンプリングクロックサイクル数(OSCC/CONV)を制御することによって、変換時間を決定します。変換時間と分解能の関係を表4に示します。

新しい変換時間をプログラムするためには、表3で適用したCONV1~CONV4のデータの中から適切なものを用いて3ステップ調整を行います。これによって、ADCを新しい変換速度/分解能に調整することができます。

表4. 変換時間

CONV4	CONV3	CONV2	CONV1	クロックサイクル/ 変換当り	変換時間(公称) RCSEL = GND, DV2 = DV4 = 0, XCLK = 500kHz (ms)	変換分解能 (Bits)
1	0	0	1	10,240	20.48	12 + POL
0	0	1	1	20,480	40.96	13 + POL
0	1	1	0	81,920	163.84	14 + POL
0	0	0	0	102,400*	204.80	14 + POL

* 102,400クロックサイクル/変換を選択した場合は、利得調整モードは使用できません。

表5. クロック分周比制御

DV2	DV4	説明
0	0	XCLK又は内部RCオシレータを直接ADCに接続します($f_{osc} = f_{XCLK}$)
0	1	XCLK又は内部RCオシレータを4で割り、ADCに接続します($f_{osc} = f_{XCLK} \div 4$)
1	0	XCLK又は内部RCオシレータを2で割り、ADCに接続します($f_{osc} = f_{XCLK} \div 2$)
1	1	この組み合わせは許容されません。

クロックのデューティサイクルは50%±10%が推奨されます。

低コスト、2チャンネル、±14ビットシリアルADC

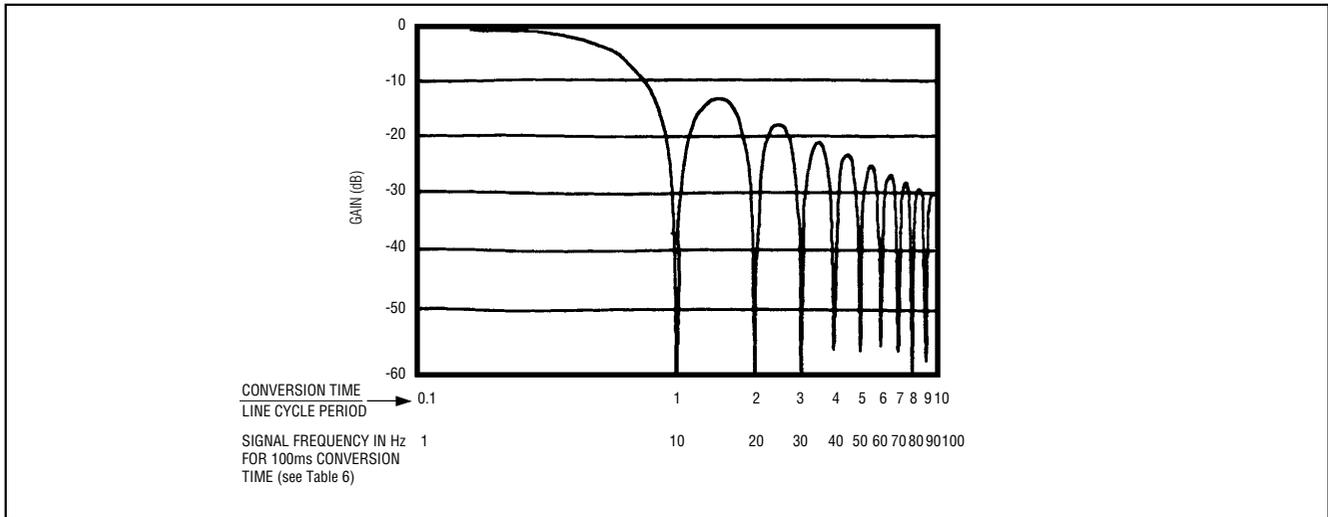


図9. MAX110/MAX111のノイズリジェクションは $\text{SIN}(X)/X$ 関数となる

オーバーサンプリングクロック周波数の選択

MAX110/MAX111における最適な相対精度を得るためには、注意してオーバーサンプリング周波数(f_{OSC})を選択する必要があります(「標準動作特性」参照)。

クロック分周比制御ビット

ビット7及びビット8(DV2及びDV4)は、クロック分周ネットワークをプログラミングします。分周ネットワークは、 f_{XCLK} (外部TTL/CMOSクロック又は内部RCオシレータの周波数)と f_{OSC} (ADCで使用するオーバーサンプリング周波数)間の周波数比率を設定します。本コンバータに最適なオーバーサンプリングクロック周波数は、450kHz～700kHzです。2分周オプション(DV2 = 1)で1MHz又は1.024MHzを選択することによって、**拡張温度範囲で最大の性能を得ることができます**(「INLに対するランダムノイズの影響」参照)。他のクロック周波数でのコンバータ精度を決定するためには、「標準動作特性」及び表5を参照してください。

相対精度に対するランダムノイズの影響

変調器で発生する規則的な音をランダム化するためには、一次シグマデルタコンバータにランダムノイズが必要です。ランダムノイズ源となる周波数は、変調器の直線性において重要な役割を果たします。変調器のオーバーサンプリングクロック対ランダムノイズ発生器(DITHER GENERATOR)の周波数の比率は、DV2/DV4ビットを設定することによって変更できます。XCLKクロックはランダムノイズ発生器で直接使用し、DV2/DV4ビットはオーバーサンプリングクロックを2分割又は4分割します。商用の温度範囲では、ランダムノイズ周波数とオーバーサンプリングクロック周波数の

比率(つまり、1、2、又は4)は性能に影響しませんが、軍用又は拡張温度範囲では、2又は4の比率が最良の性能をもたらします。クロック分周器が本コンバータのリニアリティに与える影響については「標準動作特性」を参照してください。

50Hz / 60Hzのライン周波数リジェクション

以下の式に示すように、変換時間がラインサイクル数の整数と等しくなるようにオーバーサンプリングクロック周波数とクロックサイクル数/変換を設定することにより、50Hz/60Hzで高いリジェクションが得られます。

$$f_{\text{OSC}} = f_{\text{LINE}} \times m/n$$

ここで、 f_{OSC} はオーバーサンプリングクロック周波数、 $f_{\text{LINE}} = 50\text{Hz}$ 又は 60Hz 、 m は変換当たりのクロックサイクル数(表4参照)、 n は各変換の平均ラインサイクル数を示します。

このノイズリジェクションは積分ADC及びシグマデルタADC特有のもので、 $\text{SIN}(X)/X$ 関数になっています(図9)。この関数のノッチ部分は極めて高いリジェクションを意味していて、MAX110/MAX111の選択された変換時間中のサイクル数の整数に等しくなっています。

60Hzと50Hzの両方のライン周波数で、同時に最大リジェクションが得られる最短変換時間は100msです。MAX111を使用する場合は、変換時間を200msにすることで60Hz及び50Hzのリジェクションが最大になり、また最高の性能が得られます。いずれの素子についても、適切なオーバーサンプリングクロック周波数を選択し、クロックサイクル数/変換(CCPC)の比率を81,240又は102,400にしてください。表6に設定例を示します。

低コスト、2チャンネル、±14ビットシリアルADC

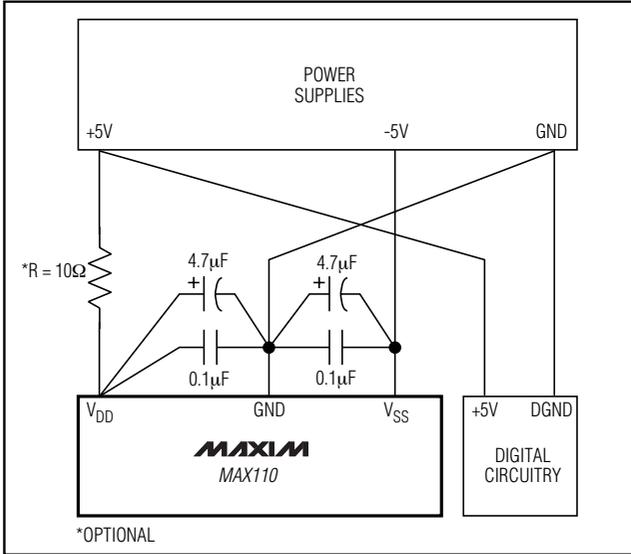


図10a. MAX110の電源グランド接続

10,240 CCPCあるいは20,480 CCPCモードでは100msの変換時間は実現できません。これは f_{OSC} が必要最低限の250kHzよりも低くなるからです。

利得調整を行った場合、変調器の利得誤差を補償するために、変換時間が約1%変化します。この結果、補正後の変換時間がライン周波数の完全な整数倍ではなくなるため、ライン周波数リジェクションが多少悪化します。本コンバータでの50Hz/60Hzのリジェクションは、55dB(typ)です。すなわち、リファレンス又はアナログ入力端子での注入が100mVの時は、±0.006%の不確実性が発生します。システムに大きな50Hz/60Hzノイズが存在する場合は、内部自動利得調整は適しません。この場合は、数値計算を用いてオフチップで利得調整を行います。

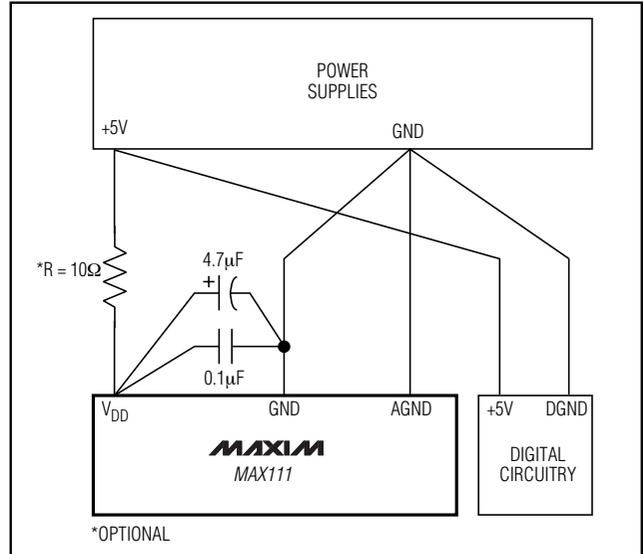


図10b. MAX111の電源グランド接続

表6に記載されている以外の設定を使用する場合は、数回の変換をチップの外部で平均化することで、同程度の50Hz/60Hzラインリジェクションを実現することができます。

アプリケーション情報

レイアウト、グランド及びバイパス

ノイズを最低に抑えるためには、0.1μFコンデンサで各電源をGNDにバイパスします。この時、アナログ回路の下にもグランドプレーンを配置することが推奨されます。浮遊容量によるカップリング効果を最小限にするためには、デジタルラインをアナログ部品やラインからできるだけ遠くに配置します。適切な電源及びグランドプレーン接続を図10に示します。

表6. 50Hz / 60Hzの両ライン周波数で最大リジェクションを実現するための推奨XCLK周波数

MAX110 (t _{CONVERT} = 100ms)				
DIVIDER RATIO	81,240 CCPC		102,400 CCPC	
	f _{XCLK} (MHz)	RELATIVE ACCURACY (%)	f _{XCLK} (MHz)	RELATIVE ACCURACY (%)
1:1	0.8124	0.025	1.024	0.065
2:1	1.6248	0.018	2.048	0.045
4:1	3.2496	0.016	4.096	0.030

MAX111 (t _{CONVERT} = 200ms)				
DIVIDER RATIO	81,240 CCPC		102,400 CCPC	
	f _{XCLK} (MHz)	RELATIVE ACCURACY (%)	f _{XCLK} (MHz)	RELATIVE ACCURACY (%)
1:1	0.4062	0.030	0.512	0.030
2:1	0.8124	0.025	1.024	0.025
4:1	1.6248	0.022	2.048	0.023

CCPC = クロックサイクル数 / 変換

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

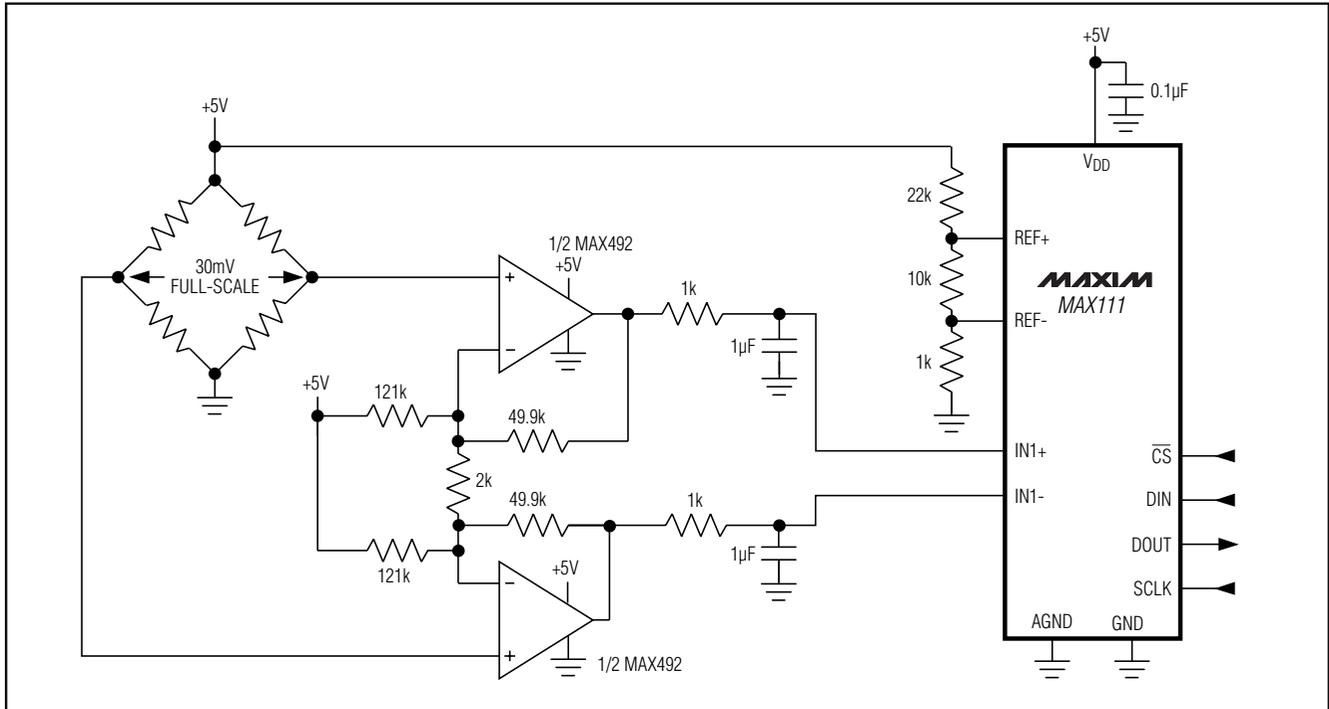


図11. 重量計アプリケーション

内部RCオシレータモード時におけるXCLKの容量性負荷の影響

内部RCオシレータを使用する場合、XCLK端子に対する容量性負荷の影響を最小に抑えることが必要です。浮遊容量によって、 V_{DD} の消費電流が $p = 1/2 CV^2f$ だけ増加します。ここで、 C は浮遊容量、 V は電源電圧、 f は内部RCオシレータの周波数を示します。

外部リファレンス

ADCへのリファレンス入力はハイインピーダンスであるため、負荷の影響なしに外部電圧リファレンス及びレシオメトリックアプリケーションの両方が可能です。完全な差動アナログ信号とリファレンス入力は、レシオメトリック変換を行う時に有利です(図11及び図12)。例えば、ロードセルを測定する場合、ブリッジ励磁及びADCリファレンス入力は、同じ電圧源を共用します。温度又は電圧によって励磁が変化するとロードセルの出力も変化しますが、差動リファレンス電圧も変化するため、変換結果は一定となり、他の要因も全て等価の状態を維持します。

重量計アプリケーション

MAX111は、完全な差動アナログ信号とリファレンス入力によって、図11に示すロードセルのような、差動出力を

持つトランスデューサへのインタフェースが容易になっています。ADC入力が差動であるため、ロードセルは差動利得のみを必要とし、標準的な3個のオペアンプからなる計測アンプの差動アンプ(差動からシングルエンドへのコンバータ)を必要としません。

30mVのフルスケールブリッジ出力は2Vフルスケールに増幅され、MAX111のチャンネル1の入力へ供給されます。ADCへのリファレンス電圧は、+5V電源に接続した分圧器によって発生します。ブリッジの励磁はこの5Vによって発生するため、励起電圧が変化すると、ADCへのリファレンス電圧も変化し、電源に依存しないADC出力を得ることができます。

+5V電源に接続した2個の121k 抵抗がコモンモード電圧を2.5V(5V/2)から1.5Vまでシフトさせ、リニアリティを保証します。差動オフセットを防ぐためには、これら2個の抵抗を同じ値にすることが必要です。値が異なる場合はポテンショメータで誤差をトリミングします。実際は、無負荷時に変換を数回行い、その平均をメモリに保存し、実測値からこの平均を差し引くことによって計器のゼロ化又は風袋計測を行います。MAX111は、シグマデルタコンバータのローパスフィルタ効果によってノイズを最低限に抑えています。数回の変換を平均化することによって、重量計の分解能をさらに向上させることができます。

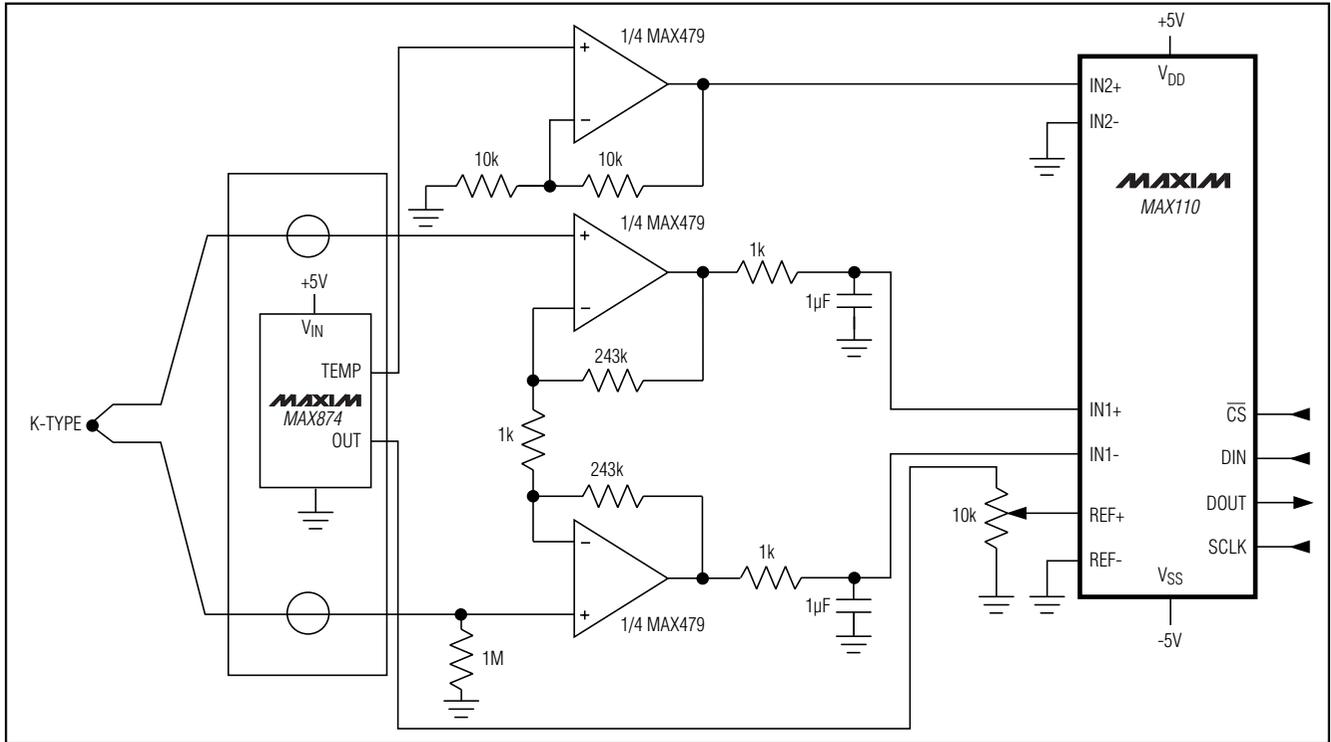


図12. ソフトウェア補償付き熱電対回路

ソフトウェア補償付き熱電対回路

熱電対は、異種の金属を接合することによって作成され、温度に比例する電圧(ゼーベック電圧)を発生させることから、温度計測器に便利です。熱電対プローブを計器に接続することにより、プローブの合金と計器の銅コネクタ間に別の熱電位が発生します。これらの電位は温度依存誤差を招くため、正確な計測結果を得るためには、温度計測値からこのような誤差を差し引く必要があります。中間金属の法則によると、熱電対プローブ合金と計器接合ブロックの銅との接合は、同種の別の熱電対として扱うことができます。計器で測定した電圧は、以下の式で表現することができます。

$$V = \alpha (T1 - T_{REF})$$

ここで、 α は熱電対の種類を示すゼーベック定数、 $T1$ は測定する温度、 T_{REF} は接合ブロックの温度を示します。 T_{REF} の求め方としては、接合ブロックを強制的に既知の

温度(0)に設定する方法もありますが、サーミスタ又はPN接合部電圧を用いて直接 T_{REF} を測定の方が一般的です。

図12に示す回路では、k型熱電対を54dBの利得を経てMAX110のチャンネル1に接続しています。3Vのリファレンス電圧及びリファレンス接合温度情報は、MAX874の電圧リファレンスからMAX110へ送られます。MAX874から得た温度情報を用いることにより、接合ブロックで発生した熱電対電圧は、ソフトウェアで差し引くことができます。MAX874のTEMP出力は、室温では690mV(公称)であり、約2.3mV/ で増加します。この場合、MAX874をターミナルブロックにできるだけ近く配置し、熱接点の効率を高めることが重要です。この回路では、一般的なk型熱電対を使用しており、示されている部品定数では-150 ~ +125 までの温度を示すことができます。

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

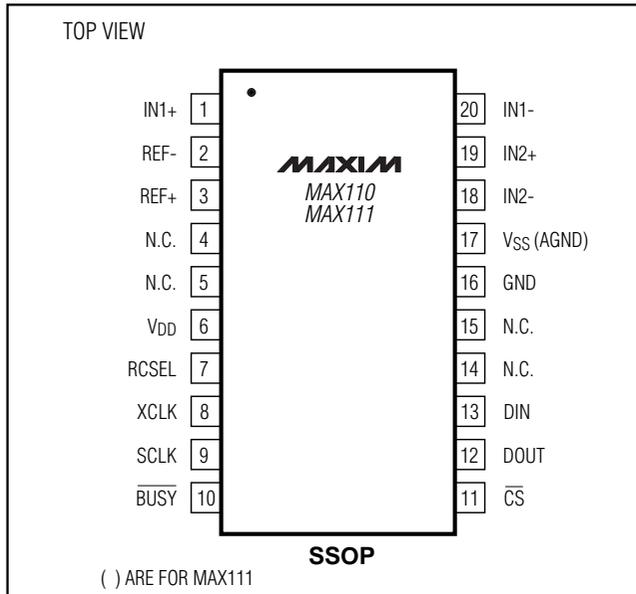
型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	INL(%)
MAX110AEPE	-40°C to +85°C	16 Plastic DIP	±0.03
MAX110BEPE	-40°C to +85°C	16 Plastic DIP	±0.05
MAX110AEWE	-40°C to +85°C	16 Wide SO	±0.03
MAX110BEWE	-40°C to +85°C	16 Wide SO	±0.05
MAX110AEAP	-40°C to +85°C	20 SSOP	±0.03
MAX110BEAP	-40°C to +85°C	20 SSOP	±0.05
MAX110BMJE	-55°C to +125°C	16 CERDIP**	±0.05
MAX111ACPE	0°C to +70°C	16 Plastic DIP	±0.03
MAX111BCPE	0°C to +70°C	16 Plastic DIP	±0.05
MAX111ACWE	0°C to +70°C	16 Wide SO	±0.03
MAX111BCWE	0°C to +70°C	16 Wide SO	±0.05
MAX111ACAP	0°C to +70°C	20 SSOP	±0.03
MAX111BCAP	0°C to +70°C	20 SSOP	±0.05
MAX111BC/D	0°C to +70°C	Dice*	±0.05
MAX111AEPE	-40°C to +85°C	16 Plastic DIP	±0.03
MAX111BEPE	-40°C to +85°C	16 Plastic DIP	±0.05
MAX111AEWE	-40°C to +85°C	16 Wide SO	±0.03
MAX111BEWE	-40°C to +85°C	16 Wide SO	±0.05
MAX111AEAP	-40°C to +85°C	20 SSOP	±0.03
MAX111BEAP	-40°C to +85°C	20 SSOP	±0.05
MAX111BMJE	-55°C to +125°C	16 CERDIP**	±0.05

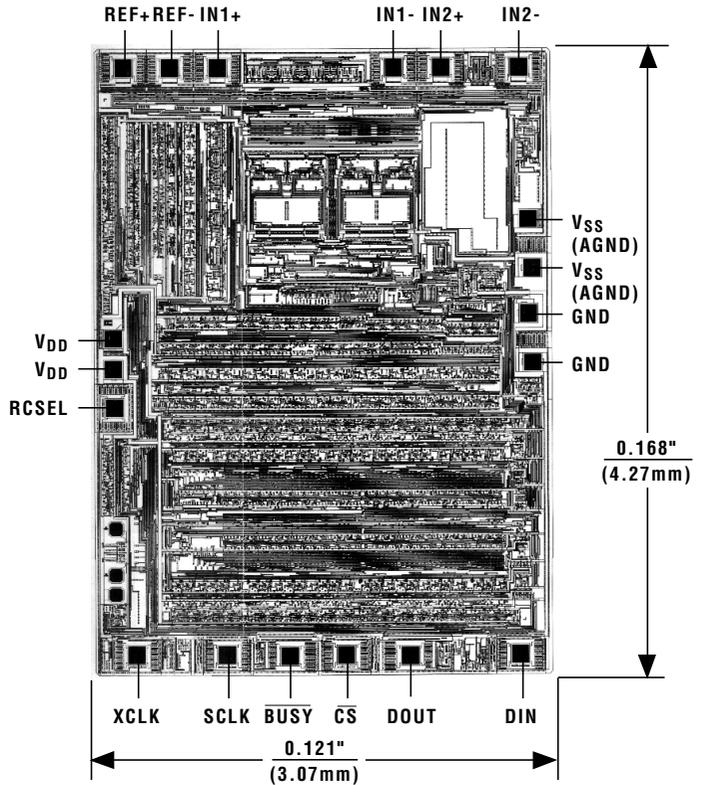
* Contact factory for dice specifications.

** Contact factory for availability.

ピン配置(続き)



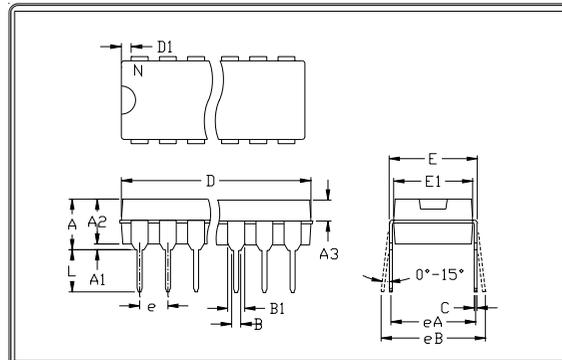
チップ構造図



TRANSISTOR COUNT: 5849
SUBSTRATE CONNECTED TO V_{DD}

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

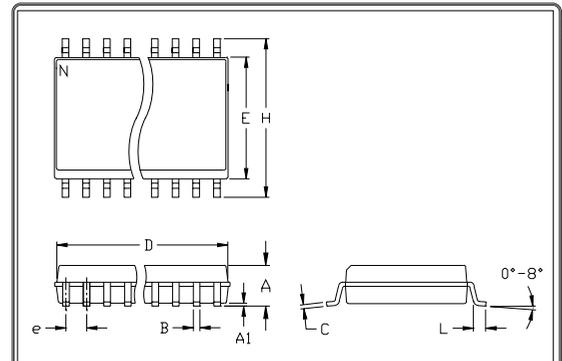


	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.200	---	5.08
A1	0.015	---	0.38	---
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	---	2.54	---
eA	0.300	---	7.62	---
eB	---	0.400	---	10.16
L	0.115	0.150	2.92	3.81

	INCHES		MILLIMETERS		N	MS001
	MIN	MAX	MIN	MAX		
D	0.348	0.390	8.84	9.91	8	AB
D	0.735	0.765	18.67	19.43	14	AC
D	0.745	0.765	18.92	19.43	16	AA
D	0.885	0.915	22.48	23.24	18	AD
D	1.015	1.045	25.78	26.54	20	AE
D	1.14	1.265	28.96	32.13	24	AF
D	1.360	1.380	34.54	35.05	28	*5

- NOTES:
 1. DAE DO NOT INCLUDE MOLD FLASH
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
 3. CONTROLLING DIMENSION: MILLIMETER
 4. MEETS JEDEC MS001-XX AS SHOWN IN ABOVE TABLE
 5. SIMILAR TO JEDEC MO-058AB
 6. N = NUMBER OF PINS

MAXIM PACKAGE FAMILY OUTLINE: PDIP .300" 1/4 21-0043 A
IN ALL DIMENSIONS UNLESS OTHERWISE SPECIFIED, TOLERANCES ARE IN MILLIMETERS



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A1	0.004	0.012	0.10	0.30
B	0.014	0.019	0.35	0.49
C	0.009	0.013	0.23	0.32
e	0.050	---	1.27	---
E	0.291	0.299	7.40	7.60
H	0.394	0.419	10.00	10.65
h	0.010	0.030	0.25	0.75
L	0.016	0.050	0.40	1.27

	INCHES		MILLIMETERS		N	MS013
	MIN	MAX	MIN	MAX		
D	0.398	0.413	10.10	10.50	16	AA
D	0.447	0.463	11.35	11.75	18	AB
D	0.496	0.512	12.60	13.00	20	AC
D	0.598	0.614	15.20	15.60	24	AD
D	0.697	0.713	17.70	18.10	28	AE

- NOTES:
 1. DAE DO NOT INCLUDE MOLD FLASH
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
 3. LEADS TO BE COPLANAR WITHIN .102mm (.004")
 4. CONTROLLING DIMENSION: MILLIMETER
 5. MEETS JEDEC MS013-XX AS SHOWN IN ABOVE TABLE
 6. N = NUMBER OF PINS

MAXIM PACKAGE FAMILY OUTLINE: SOIC .300" 1/4 21-0042 A
IN ALL DIMENSIONS UNLESS OTHERWISE SPECIFIED, TOLERANCES ARE IN MILLIMETERS

低コスト、2チャンネル、±14ビットシリアルADC

MAX110/MAX111

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256	BSC	0.65	BSC
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0°	8°	0°	8°

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
D	0.239	0.249	6.07	6.33
D	0.239	0.249	6.07	6.33
D	0.278	0.289	7.07	7.33
D	0.317	0.328	8.07	8.33
D	0.397	0.407	10.07	10.33

NOTES:
 1. D&E DO NOT INCLUDE MOLD FLASH.
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
 3. CONTROLLING DIMENSION: MILLIMETER

MAXIM
 PROPRIETARY INFORMATION
 TITLE: PACKAGE OUTLINE, SSOP, 5.3X.65mm
 APPROVAL: DOCUMENT CONTROL NO. 21-0056 REV. A 1/1

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.200	---	5.08
B	0.014	0.023	0.36	0.58
B1	0.038	0.065	0.97	1.65
C	0.008	0.015	0.20	0.38
E	0.220	0.310	5.59	7.87
E1	0.290	0.320	7.37	8.13
e	0.100	---	2.54	---
L	0.125	0.200	3.18	5.08
L1	0.150	---	0.00	---
Q	0.015	0.070	0.38	1.78
S	---	0.098	---	2.49
S1	0.005	---	0.13	---

DIM	INCHES		MILLIMETERS		N	CASE
	MIN	MAX	MIN	MAX		
D	---	0.405	---	10.29	8	P-D4
D	---	0.785	---	19.94	14	C-D1
D	---	0.840	---	21.34	16	E-D2
D	---	0.960	---	24.38	18	V-D6
D	---	1.060	---	26.92	20	R-D8
D	---	1.280	---	32.51	24	L-D9

NOTES:
 1. CONTROLLING DIMENSION: INCH
 2. MEETS 1835 CASE OUTLINE CONFIGURATION #1 AS SHOWN IN ABOVE TABLE
 3. N = NUMBER OF PINS

MAXIM
 PROPRIETARY INFORMATION
 TITLE: PACKAGE FAMILY OUTLINE: CDIP .300"
 APPROVAL: DOCUMENT CONTROL NO. 21-0045 A REV. A 1/1

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

24 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**