

電圧出力12ビット乗算型DAC

概要

MAX501/MAX502は、出力アンプを備えた12ビット、4象限、電圧出力の乗算型デジタルアナログコンバータ(DAC)です。ウエハの段階でレーザトリムされた薄膜抵抗により動作温度範囲の全域にわたって精度を維持します。

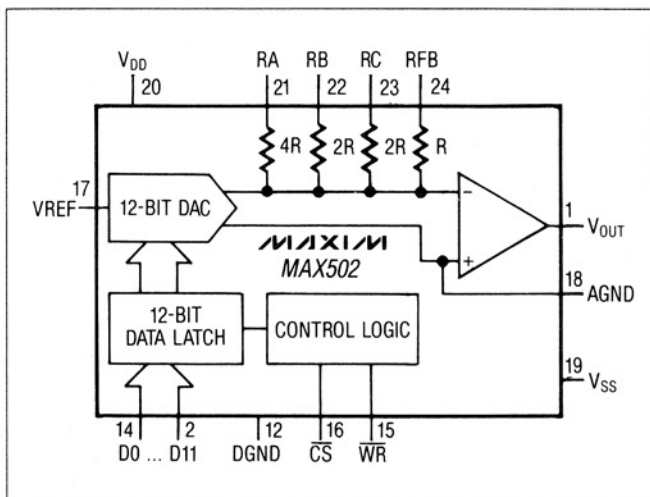
MAX501/MAX502マイクロプロセッサとのインタフェースが容易なバッファ付きラッチを備えています。データは、右詰め8+4ビットフォーマット(MAX501)、または、12ビット幅のデータ経路(MAX502)を介して入力レジスタに転送されます。MAX501では、データはLDAC信号によって入力レジスタからDACレジスタに転送されます。MAX502における入力レジスタの制御は、標準的なチップセレクト(CS)信号とライト(WR)信号によって行います。単独動作の場合、すべてのラッチをトランスペアレントとするために、CS及びWR入力をグラウンドに接続します。すべてのロジック入力はレベルトリガであり、TTL及び+5V CMOSロジックレベルとコンパチブルです。

内部補償された低入力オフセット電圧の出力アンプは、+10~-10Vの出力電圧を供給し、5mAまでのソース及びシンクが可能です。

アプリケーション

- デジタルアッテネータ
- プログラブルゲインアンプ
- サーボ制御
- デジタルから4mA~20mAへの変換
- 自動検査機器
- プログラブル電源

ファンクションダイアグラム



特徴

- ◆ 12ビット電圧出力DAC
- ◆ ±10V、5mAの出力駆動能力
- ◆ 全動作温度範囲にわたる単調増加性
- ◆ 4本のレンジスケール用抵抗
- ◆ 8+4 (MAX501) 及び12ビット (MAX502) インタフェース
- ◆ 24ピンDIP及びワイドSOPパッケージ

型番

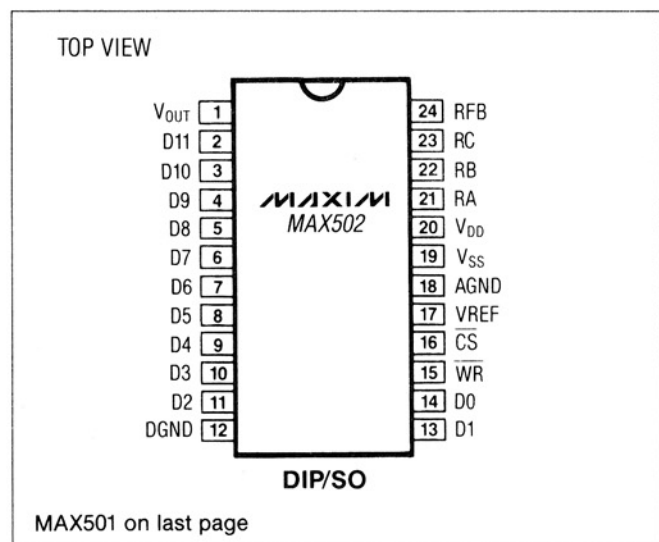
PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSBs)
MAX501ACNG	0°C to +70°C	24 Narrow Plastic DIP	±1/2
MAX501BCNG	0°C to +70°C	24 Narrow Plastic DIP	±3/4
MAX501ACWG	0°C to +70°C	24 Wide SO	±1/2
MAX501BCWG	0°C to +70°C	24 Wide SO	±3/4
MAX501BC/D	0°C to +70°C	Dice*	±3/4
MAX501AENG	-40°C to +85°C	24 Narrow Plastic DIP	±1/2
MAX501BENG	-40°C to +85°C	24 Narrow Plastic DIP	±3/4
MAX501AEWG	-40°C to +85°C	24 Wide SO	±1/2
MAX501BEWG	-40°C to +85°C	24 Wide SO	±3/4
MAX501AMRG	-55°C to +125°C	24 Narrow Cerdip**	±1/2
MAX501BMRG	-55°C to +125°C	24 Narrow Cerdip**	±3/4

Ordering information continued on last page.

* Contact factory for dice specifications.

** Contact factory for availability and processing to MIL-STD-883.

ピン配置



MAX501 on last page

電圧出力12ビット乗算型DAC

MAX501/MAX502

ABSOLUTE MAXIMUM RATINGS

V _{DD} to DGND	-0.3V, +17V
V _{SS} to DGND	+0.3V, -17V
VREF to AGND	±25V
RFB to AGND	±25V
RA to AGND	±25V
RB to AGND	±25V
RC to AGND	±25V
V _{OUT} to AGND (Note 1)	V _{DD} +0.3V, V _{SS} -0.3V
V _{DD} to AGND	-0.3V, +17V
AGND to DGND	-0.3V, V _{DD}

Digital Input Voltage to DGND	-0.3V, V _{DD}
Continuous Power Dissipation (any package)	
to +75°C	650mW
derate above +75°C	10mW/°C
Operating Temperature Ranges:	
MAX501_C_, MAX502_C_	0°C to +70°C
MAX501_E_, MAX502_E_	-40°C to +85°C
MAX501_M_, MAX502_M_	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10 sec)	+300°C

Note 1: V_{OUT} may be shorted to AGND, V_{DD}, or V_{SS} if the power dissipation of the package is not exceeded.

Stresses beyond those under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

Dual Supply (V_{DD} = +11.4V to +15.75V, V_{SS} = -11.4V to -15.75V, VREF = +10V, AGND = DGND = 0V, R_L = 2kΩ, C_L = 100pF, all grades, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
STATIC PERFORMANCE							
Resolution	N		12			Bits	
Relative Accuracy	INL	T _A = +25°C	MAX501/502A		±1/2	LSB	
			MAX501/502B		±3/4		
		T _A = T _{MIN} to T _{MAX}	MAX501/502A		±3/4		
			MAX501/502B		±1		
Differential Nonlinearity	DNL		±1			LSB	
Zero-Code Offset Error		T _A = +25°C		±1		mV	
		T _A = T _{MIN} to T _{MAX}	MAX501/502_C/E		±2		
			MAX501/502_M		±3		
Offset Temperature Coefficient	ΔV _{OS} /ΔTemp		±5			μV/°C	
Gain Error		RFB, V _{OUT} connected			±3		LSB
		RC or RB connected to V _{OUT} , VREF = 5V			±4½		
		RA, V _{OUT} connected, VREF = 2.5V			±6		
Gain Temperature Coefficient	ΔGain/ΔTemp		±1			ppm/°C	
Reference Input Resistance		RFB	8	12	16	kΩ	
Application Resistor Ratio Matching		RA to RB to RC match	0.5			%	

電圧出力12ビット乗算型DAC

MAX501/MAX502

ELECTRICAL CHARACTERISTICS (continued)

Dual Supply ($V_{DD} = +11.4V$ to $+15.75V$, $V_{SS} = -11.4V$ to $-15.75V$, $V_{REF} = +10V$, $AGND = DGND = 0V$, $R_L = 2k\Omega$, $C_L = 100pF$, all grades, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS						
Input Current	I_{IN}	$V_{IN} = 0V$ and V_{DD}	$T_A = +25^\circ C$		± 1	μA
			$T_A = T_{MIN}$ to T_{MAX}		± 10	
Input Low Voltage	V_{IL}				0.8	V
Input High Voltage	V_{IH}		2.4			V
Input Capacitance	C_{IN}			7		pF
POWER SUPPLIES						
Supply Voltage	V_{DD}		11.40		15.75	V
	V_{SS}		-11.40		-15.75	
Supply Current	I_{DD}	V_{OUT} unloaded			10	mA
	I_{SS}	V_{OUT} unloaded			4	
Power-Supply Rejection	PSR	$\Delta Gain/\Delta V_{DD}$	$V_{REF} = -10V$ $V_{DD} = 15V \pm 5\%$		± 0.02	%/%
			$V_{REF} = -8.9V$ $V_{DD} = 12V \pm 5\%$			
		$\Delta Gain/\Delta V_{SS}$	$V_{REF} = 10V$ $V_{SS} = -15V \pm 5\%$		± 0.02	
			$V_{REF} = 8.9V$ $V_{SS} = -12V \pm 5\%$			
DYNAMIC PERFORMANCE (Note 3)						
Output-Voltage Settling Time	t_S	To $\pm 0.01\%$ of full scale			5	μs
Slew Rate	SR			5		$V/\mu s$
DAC Glitch Impulse		Major carry transition		450		nV-s
Multiplying Feedthrough Error		$V_{REF} = \pm 10V$ at 10kHz, DAC = all 0s		5		mVp-p
Unity-Gain Small-Signal Bandwidth				3		MHz
Full-Power Bandwidth				250		kHz
Total Harmonic Distortion	THD	$V_{REF} = 6V_{RMS}$ at 1kHz		-90		dB
OUTPUT CHARACTERISTICS						
Open-Loop Gain	A_{VO}	RFB not connected, $V_{OUT} = \pm 10V$, $R_L = 2k\Omega$	90			dB
Output Resistance	R_O			0.2		Ω
Short-Circuit Current		$T_A = +25^\circ C$		20		mA
Output Noise Voltage		0.1Hz to 10Hz, $T_A = +25^\circ C$		2		μV_{RMS}
		$f = 1kHz$, $T_A = +25^\circ C$		25		nV/\sqrt{Hz}

電圧出力12ビット乗算型DAC

MAX501/MAX502

TIMING CHARACTERISTICS (See Figures 1a, 1b)

Dual Supply ($V_{DD} = +11.4V$ to $+15.75V$, $V_{SS} = -11.4V$ to $-15.75V$, $V_{REF} = +10V$, $AGND = DGND = 0V$, $R_L = 2k\Omega$, $C_L = 100pF$, all grades, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.) (Note 2)

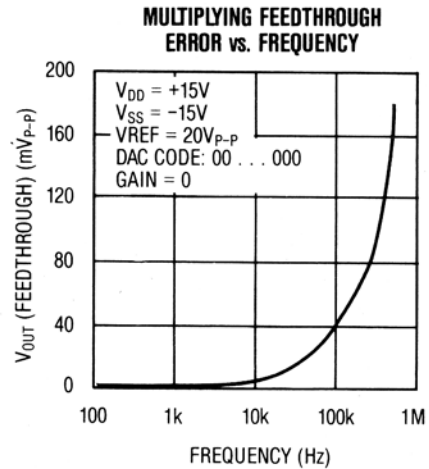
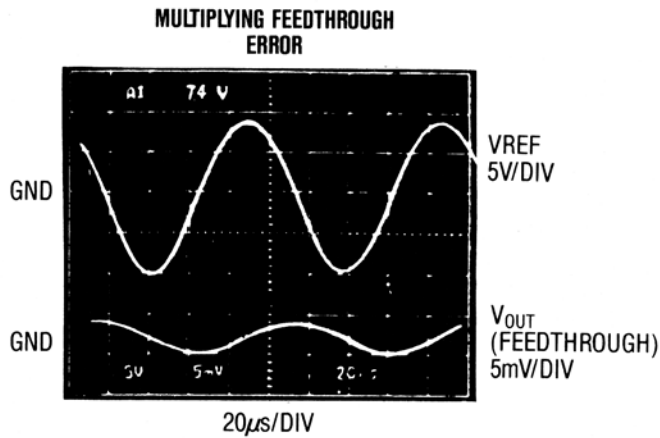
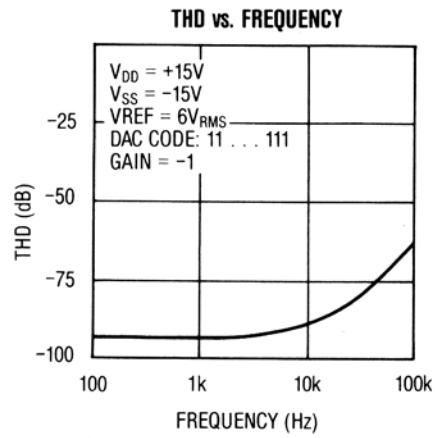
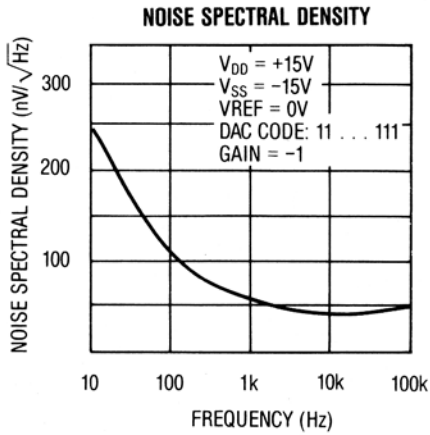
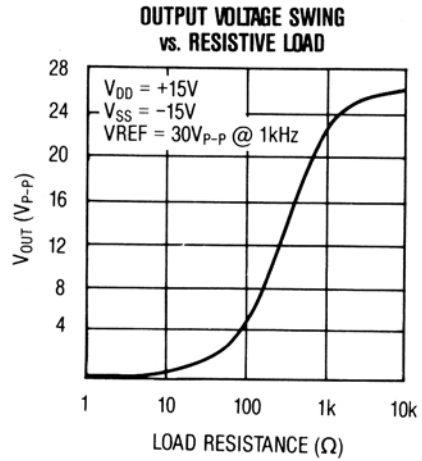
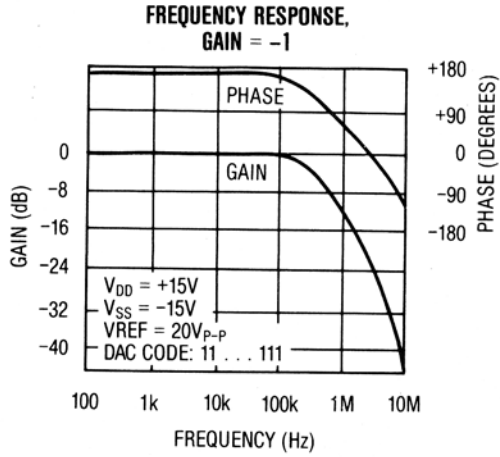
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
MAX501							
Chip Select to Write-Setup Time	tCS		0			ns	
Write Pulse Width	tWR	$T_A = +25^\circ C$	55			ns	
		$T_A = T_{MIN}$ to T_{MAX}	70				
Data-Setup Time	tDS	MAX501_C/E	50			ns	
		MAX501_M	60				
Data-Hold Time	tDH		10	0		ns	
LDAC Pulse Width	tLDAC		70			ns	
CLR Pulse Width	tCLR		70			ns	
SET Pulse Width	tSET		200			ns	
MAX502							
Chip Select to Write-Setup Time	tCS		0			ns	
Write Pulse Width	tWR	$T_A = +25^\circ C$	40			ns	
		$T_A = T_{MIN}$ to T_{MAX}	MAX502_C/E	50			
			MAX502_M	60			
Data-Setup Time	tDS	MAX502_C/E	50			ns	
		MAX502_M	60				
Data-Hold Time	tDH		10	0		ns	

Note 2: V_{OUT} must be less than $V_{DD} - 2.5V$ and greater than $V_{SS} + 2.5V$ to ensure correct operation. Performance at supplies other than $V_{DD} = +15V$ and $V_{SS} = -15V$ is guaranteed by PSRR tests. Leave unused feedback resistors floating.

Note 3: Dynamic Performance and Output Characteristics are included for design guidance and are not subject to test.

電圧出力12ビット乗算型DAC

MAX501/MAX502



電圧出力12ビット乗算型DAC

MAX501/MAX502

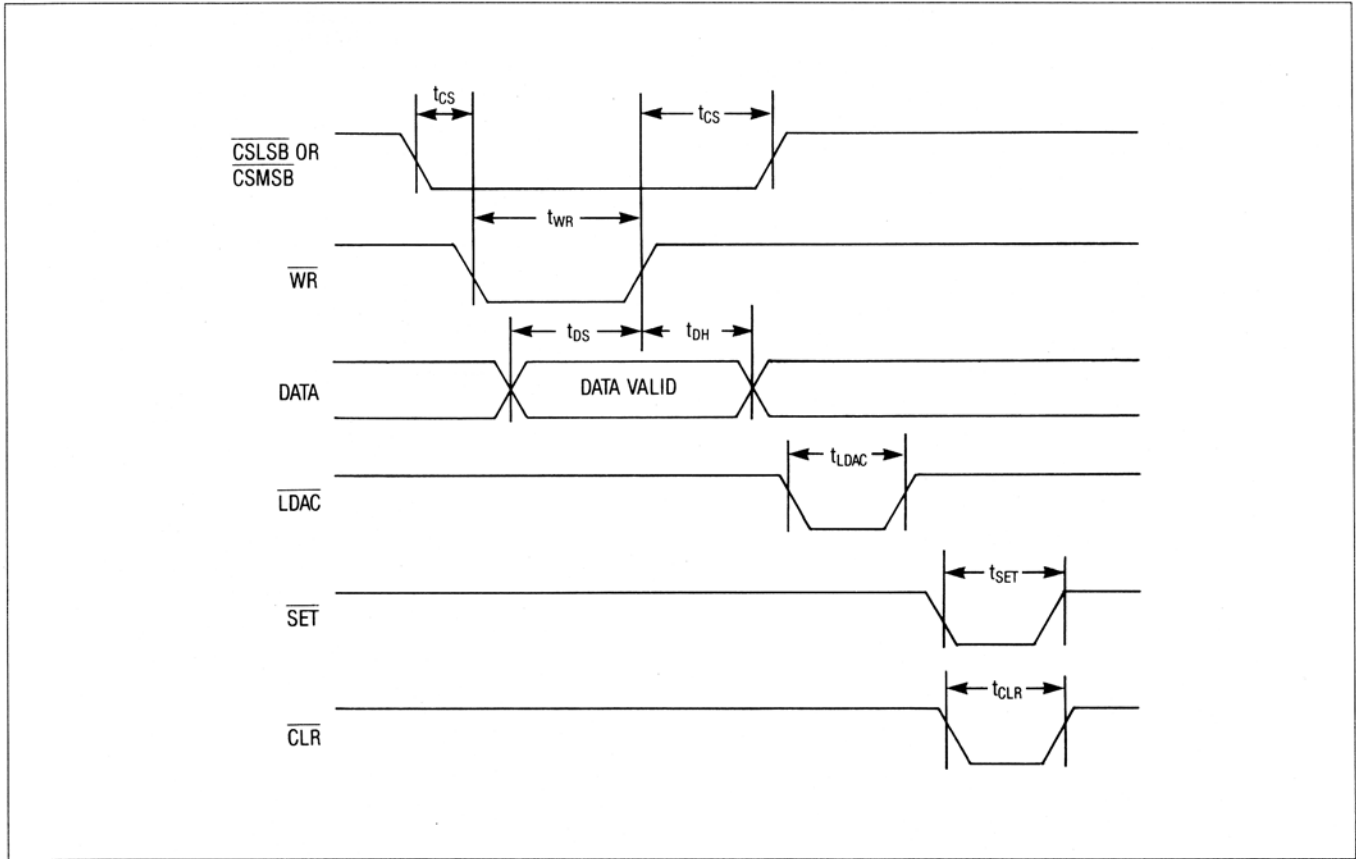


図1a. MAX501 タイミング図

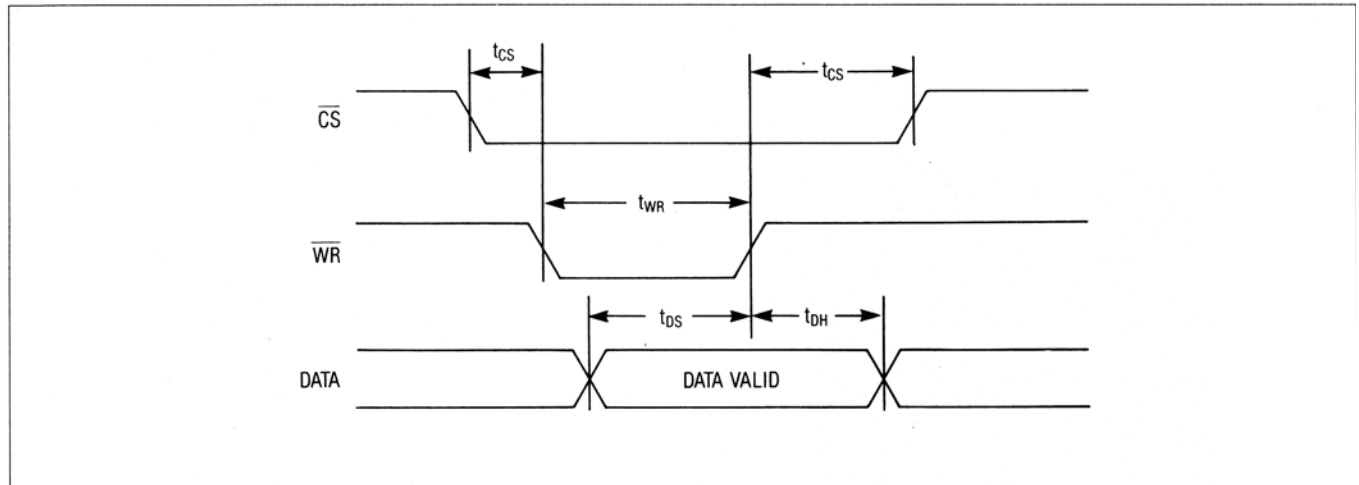


図1b. MAX502 タイミング図

NOTES:

1. All input signal rise and fall times measured from 10% to 90% of +5V, $t_R = t_F = 20\text{ns}$.
2. Timing measurement reference level is $\frac{V_{\text{IH}} + V_{\text{IL}}}{2}$

電圧出力12ビット乗算型DAC

MAX501/MAX502

端子説明

MAX501

端子	名称	機能
1	VOUT	電圧出力
2	$\overline{\text{LDAC}}$	非同期ロードDAC入力。アクティブロー
3	$\overline{\text{SET}}$	DACレジスタすべてに“1”をセット
4	$\overline{\text{CLR}}$	DACレジスタすべてに“2”をセット
5-8	D7-D4	データビット7~4
9	D3/D11	データビット3または11
10	D2/D10	データビット2または10
11	D1/D9	データビット1または9
12	DGND	デジタルグラウンド
13	D0/D8	データビット0または8 (LSB)
14	$\overline{\text{CSLSB}}$	LSBチップセレクト入力。アクティブロー
15	$\overline{\text{WR}}$	ライト入力。アクティブロー
16	$\overline{\text{CSMSB}}$	MSBチップセレクト入力。アクティブロー
17	VRFF	DACリファレンス電圧入力
18	AGND	アナロググラウンド
19	V _{SS}	-12~+15V電源入力
20	V _{DD}	+12~-15V電源入力
21	RA	スケーリング抵抗：RA=4RFB
22	RB	スケーリング抵抗：RB=2RFB
23	RC	スケーリング抵抗：RC=2RFB
24	RFB	フィードバック抵抗

MAX502

端子	名称	機能
1	VOUT	電圧出力
2-11	D11-D2	データビット2~11 (MSB)
12	DGND	デジタルグラウンド
13, 14	D1, D0	データビット0~1 (LSB)
15	$\overline{\text{WR}}$	ライト入力。アクティブロー
16	$\overline{\text{CS}}$	チップセレクト入力。アクティブロー
17	VRFF	DACリファレンス電圧入力
18	AGND	アナロググラウンド
19	V _{SS}	-12~+15V電源入力
20	V _{DD}	+12~-15V電源入力
21	RA	スケーリング抵抗：RA=4RFB
22	RB	スケーリング抵抗：RB=2RFB
23	RC	スケーリング抵抗：RC=2RFB
24	RFB	フィードバック抵抗

電圧出力12ビット乗算型DAC

詳細

デジタル回路

図2a及び2bに、それぞれMAX501とMAX502の入力制御ロジックの概略回路を示します。MAX501では、 $\overline{\text{CSLSB}}$ 及び $\overline{\text{WR}}$ がローで、 $\overline{\text{CSMSB}}$ がハイのとき、下位バイト(LSB)が入力レジスタにロードされます。そして、 $\overline{\text{WR}}$ または $\overline{\text{CSLSB}}$ の立ち上がりエッジにおいて、下位バイトが入力レジスタにラッチされます。同様に、 $\overline{\text{CSMSB}}$ 及び $\overline{\text{WR}}$ がローで、 $\overline{\text{CSLSB}}$ がハイのとき、上位ニブル(MSB)が入力レジ

スタにロードされます。そして、 $\overline{\text{WR}}$ または $\overline{\text{CSMSB}}$ パルスの、いずれかの立ち上がりエッジにおいて上位ニブルが入力レジスタにラッチされます。12ビットのデータがすべてロードされた状態で $\overline{\text{LDAC}}$ がローになると、データはDACレジスタに転送されます。MAX502では、 $\overline{\text{CS}}$ 及び $\overline{\text{WR}}$ がローのとき、入力レジスタ上のデータがDACラッチに転送されます。いずれの製品も、デジタル入力はTTL及びCMOSコンチパブルであり、マイクロプロセッサ(μP)と容易にインタフェース可能です。表1及び2に、MAX501とMAX502の真理値表を示します。

表1. MAX501の真理値表

$\overline{\text{WR}}$	$\overline{\text{CSMSB}}$	$\overline{\text{CSLSB}}$	$\overline{\text{LDAC}}$	$\overline{\text{CLR}}$	$\overline{\text{SET}}$	動作内容
X	X	X	X	X	0	DACレジスタに1が書き込まれる。入力レジスタは影響されません。
X	X	X	X	0	1	DCAレジスタに1が書き込まれる。入力レジスタは影響されません。
0	0	1	1	1	1	入力レジスタに上位ニブル(MSB)をロード
0	1	0	1	1	1	入力レジスタに下位バイト(LSB)をロード
X	X	X	0	1	1	入力レジスタをDACレジスタに転送
1	X	X	1	1	1	ノーオペレーション
0	1	1	1	1	1	ノーオペレーション
0	R	1	1	1	1	入力レジスタに上位ニブル(MSB)をラッチ
R	0	1	1	1	1	入力レジスタに上位ニブル(MSB)をラッチ
0	1	R	1	1	1	入力レジスタに下位バイト(LSB)をラッチ
R	1	0	1	1	1	入力レジスタに下位バイト(LSB)をラッチ

H=ハイ、L=ロー、R=立ち上がりエッジ、X=任意

表2. MAX502の真理値表

WR	CS	動作内容
H	X	ノーオペレーション
X	H	ノーオペレーション
L	L	入力レジスタはトランスペアレント
L	R	入力レジスタをラッチ
R	L	入力レジスタをラッチ

H=ハイ、L=ロー、R=立ち上がりエッジ、X=任意

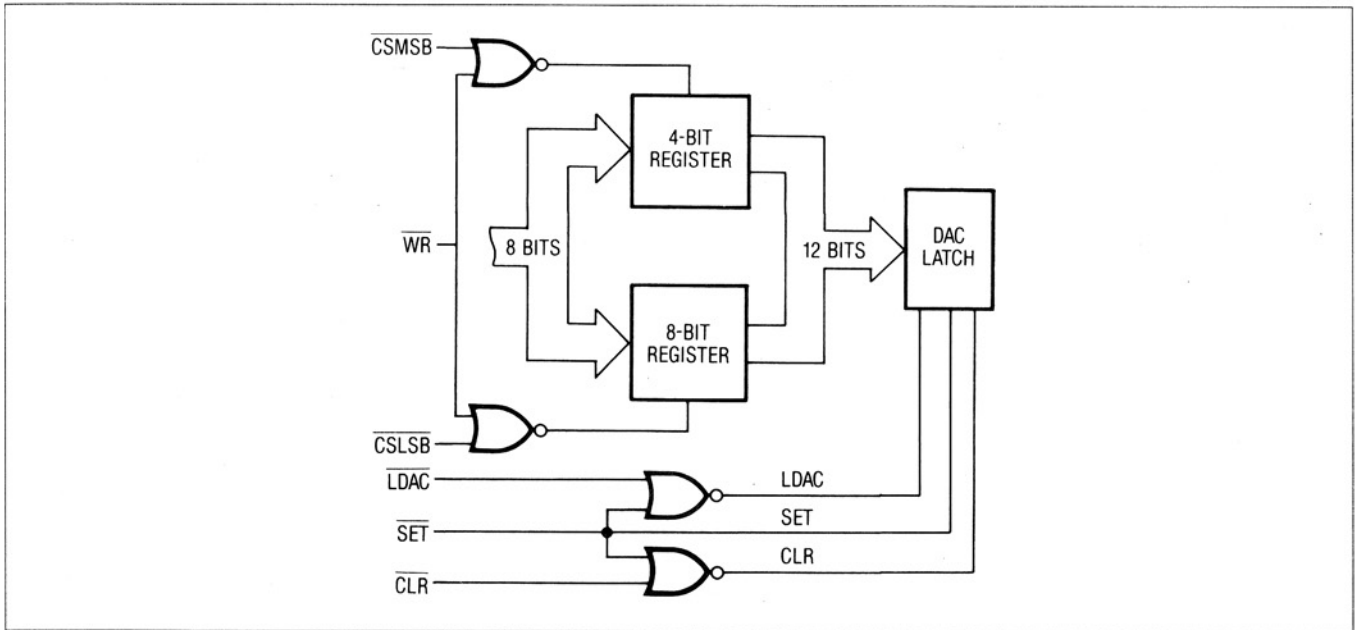


図2a. MAX501入力制御ロジック

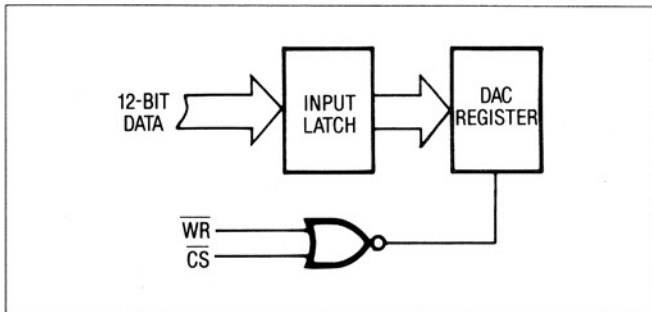


図2b. MAX502入力制御ロジック

デジタルアナログコンバータ

MAX501/MAX502は、標準R-2Rラダーを備えた12ビット、バイナリウエイト付き電流出力DACを内蔵しています(図3)。バイナリウエイトされた電流は、AGNDと内部出力アンプの反転入力との間でスイッチングされます。標準的にはフィードバック抵抗RFBがV_{OUT}に接続されているとき、出力電圧は次式で表現されます。

$$V_{OUT} = -D \times VREF$$

ここで、Dはデジタル入力コードをフルスケールで割った値の少数表現です。ユニポーラモードにおいては、Dは0~4095/4096の範囲で変化します。

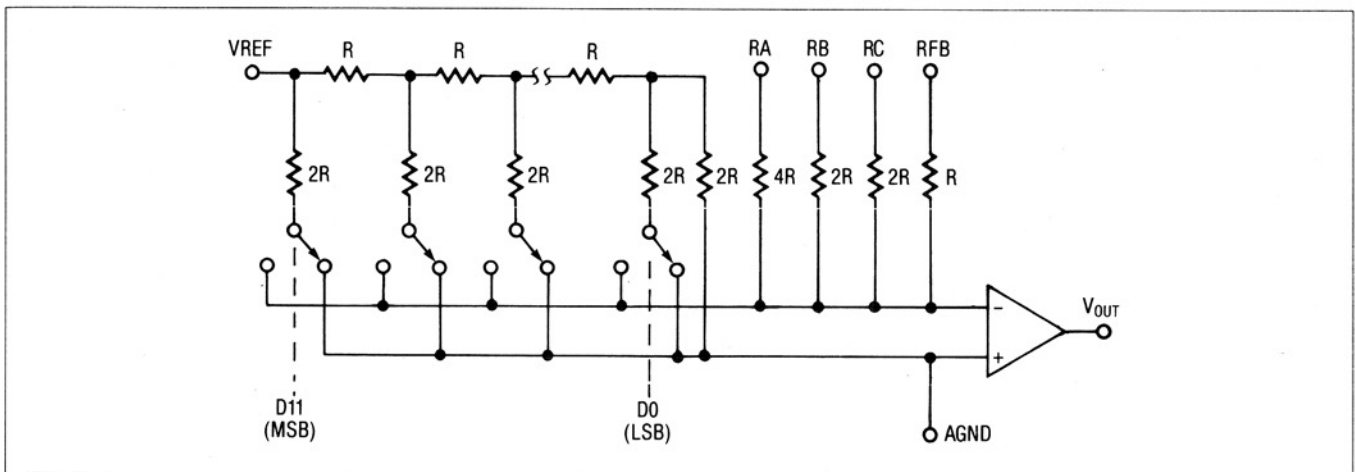


図3. MAX501/MAX502のDACおよびアンプの概略回路図

電圧出力12ビット乗算型DAC

MAX501/MAX502

出力バッファアンプ

出力アンプは、内部補償済みの非反転、ゲインスケール可能アンプによって構成されており、2kΩの負荷に対して±10Vを発生することができます。(フルスケールの0.01%までの)最大セトリング時間は5μs以下です。入力オフセット電圧は、ウエハの段階でレーザトリムされています。スルーレートの標準値は7V/μsです。ゲイン設定抵抗(RA, RB, RC)は、アンプの反転端子に接続されています。未使用のゲイン設定抵抗はフロートして下さい。

ユニポーラ構成

図4は、MAX501/502をユニポーラバイナリ動作または、VINにAC信号を与え2象限乗算動作で用いる場合の標準的な構成です。R1によってゲインを調整し、R3によりゼロオフセットを調整します。リファレンス電圧が固定されている応用では、リファレンス電圧を調整し、R1とR2を取り除いてください。R1とR2を接続する場合、これらの抵抗のゲイン温度係수에配慮する必要があります。MAX502のゲイン温度係数の標準値は1ppm/°Cであり、この値は100°Cの温度範囲において1/2LSBのゲインシフトに相当します。表3に、ユニポーラバイナリ動作におけるコード表を示します。

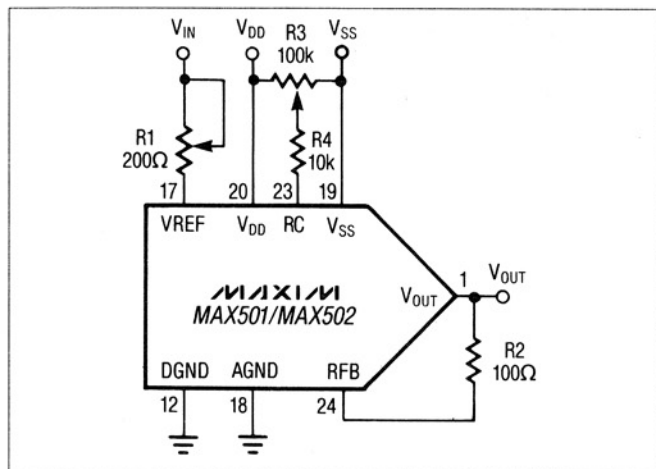


図4. ユニポーラバイナリ動作 (2象限乗算)

表3. MAX501/MAX502ユニポーラバイナリコード表

DIGITAL INPUT			ANALOG OUTPUT
1111	1111	1111	$(-V_{IN}) \frac{4095}{4096}$
1000	0000	0000	$(-V_{IN}) \frac{2048}{4096} = -\frac{1}{2} V_{IN}$
0000	0000	0001	$(-V_{IN}) \frac{1}{4096}$
0000	0000	0000	0V

バイポーラ動作

図5に、4象限バイポーラ動作の構成を示します。R1とR2の比率を変更することによりゲインエラーを調整することができます。ゲインエラーの規定を維持し、調整を不要とするためには、これらの抵抗感のマッチング比は、0.01%以内とする必要があります。オフセット値は、内部抵抗RB及びRC間のマッチングによって決まります。表4に、バイポーラバイナリ動作時のコード表を示します。

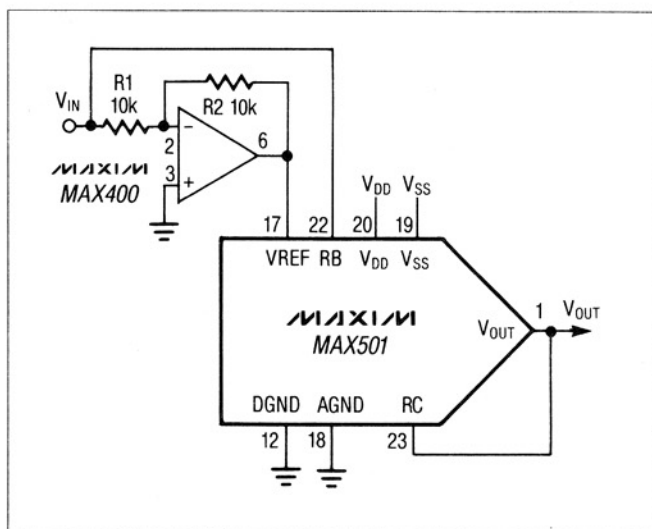


図5. バイポーラ動作 (4象限乗算)

表4. MAX501/MAX502バイポーラバイナリコード表

DIGITAL INPUT			ANALOG OUTPUT
1111	1111	1111	$(+V_{IN}) \frac{2047}{2048}$
1000	0000	0001	$(+V_{IN}) \frac{1}{2048}$
1000	0000	0000	0V
0111	1111	1111	$(-V_{IN}) \frac{1}{2048}$
0000	0000	0000	$(-V_{IN}) \frac{2048}{2048} = V_{IN-}$

アプリケーション情報

ノイズ

AGNDとDGND間のAC電圧または過渡電圧は、アナログ出力に加わるノイズの原因となります。MAX502のAGNDとDGNDを接続し、2つのピン間に電位差が生じないようにしてください。これらのピンを個別にバックプレーンに接続する場合、2本のバックトゥバックダイオードを用い、2つのピンを相互に接続してください。そして、 μ Pベースシステムのグラウンドは一般的にノイズが多く、電源と結合しているため、 V_{DD} 及び V_{SS} はAGNDとの間でデカップリングしてください。

デジタルグリッチ

DACに書込まれるすべてのデータはグリッチインパルスの原因となります。このインパルスは、DACスイッチの浮游容量を通じて出力バスに結合します。バス上のグリッチインパルスはRFBと出力アンプにより電圧に変換されます。出力電圧グリッチのエネルギーは、インパルスの期間と平均振幅の積(曲線内の全面積)であり、nVsで表現されます。エネルギーは、アナロググラウンドに接続されたVREFにおいて、DACレジスタに全0と全1を交互にロードすることによって測定します。

デジタルフィードスルー

MAX501/MAX502のほとんどのデジタル入力は、 μ Pバスに直接接続します。これらの入力は、DACが非選択のときでも常に変化しています。データバス上の高周波のロジック動作はDACのパッケージ容量にフィールドスルーし、DAC出力におけるノイズとなります。図6に、デジタルフィードスルーを最小化するインタフェース構成を示します。すべてのデータ入力は、 \overline{CS} によってラッチされます。また、周辺のインタフェースデバイスを用いることによってもデジタルフィードスルーを抑制することができます。

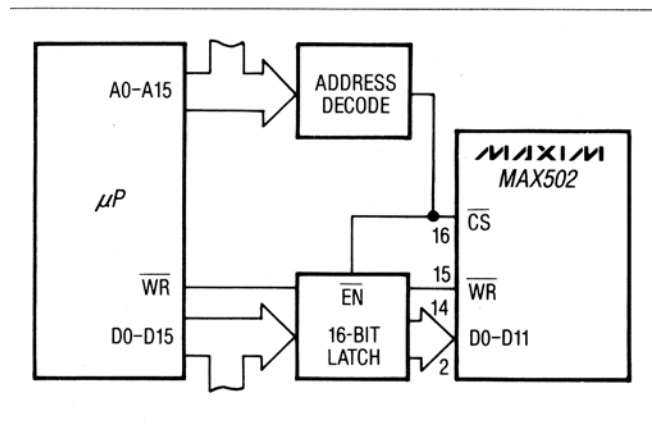


図6. MAX501インタフェース回路—ラッチによりデジタルフィードスルーを最小化

MAX502マイクロプロセッサインタフェース

16ビットマイクロプロセッサシステム

図7～9に、MAX502とMC68000、8086、TMS32010とのインタフェースを示します。MAX502はプロセッサのメモリマップされた周辺デバイスとして接続されています。それぞれの例において、ライト命令によりMAX502にデータが書きこまれます。プロセッサごとの実際の命令は以下のとおりです。

MC68000 : MOVE

8086 : MOV

TMS32010 : OUT

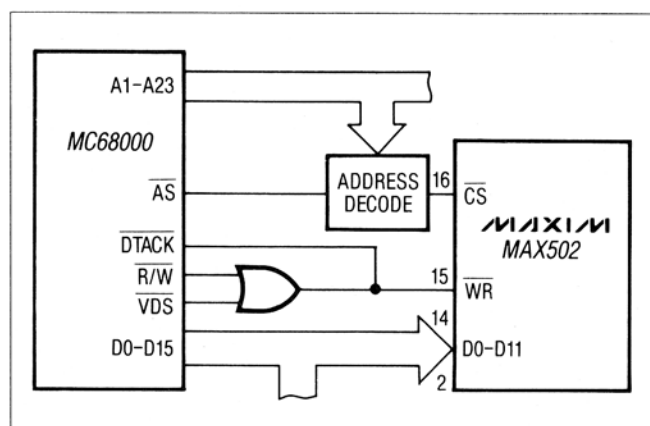


図7. MAX501とMC68000のインタフェース

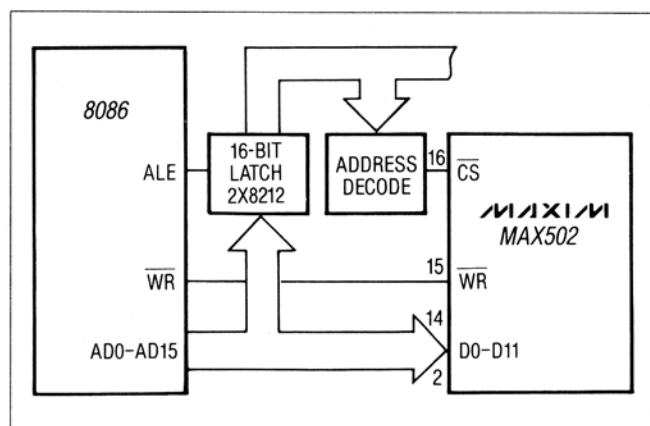


図8. MAX502と8086のインタフェース

電圧出力12ビット乗算型DAC

MAX501/MAX502

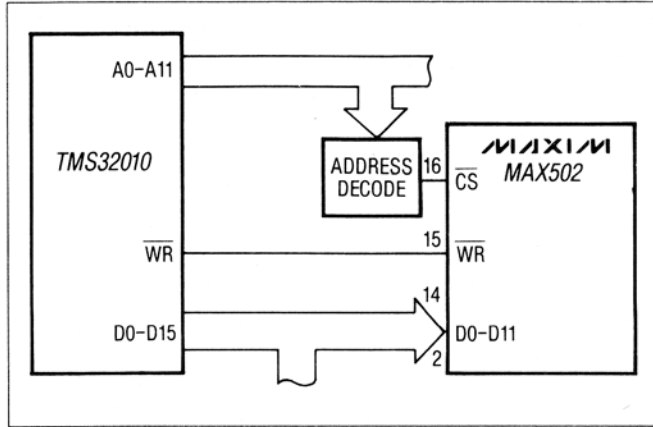


図9. MAX502とTMS32010のインターフェース

MAX501マイクロプロセッサインターフェース

8ビットマイクロプロセッサシステム

図10に、MAX501と8ビットμPの8085A間のインターフェース回路を示します。MAX501にデータをロードするためのソフトウェアルーチンを表3に示します。12ビットのデータを転送するためには、2度の書き込み動作が必要なことに注意してください。最初の動作によって7475ラッチに上位4ビットがラッチされます。次の書き込み動作により、DACに下位8ビットと(ラッチに保持されていた)上位4ビットが同時にロードされます。

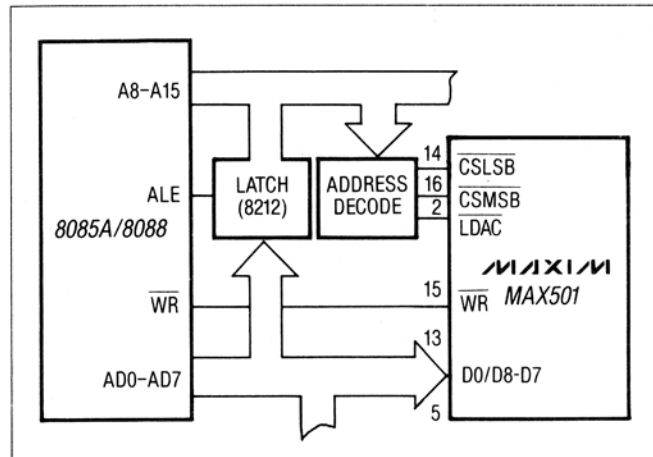
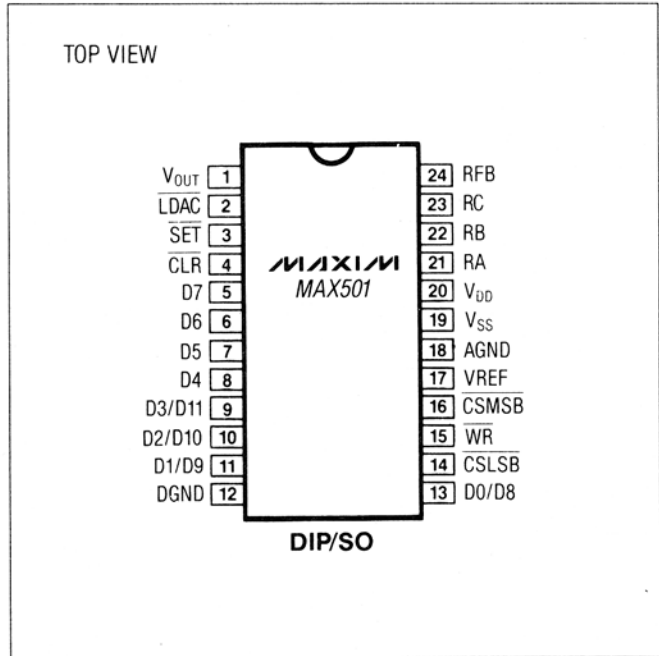


図10. MAX501と8085A/8088のインターフェース

ピン配置(続き)



型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSBs)
MAX502ACNG	0°C to +70°C	24 Narrow Plastic DIP	1/2
MAX502BCNG	0°C to +70°C	24 Narrow Plastic DIP	3/4
MAX502ACWG	0°C to +70°C	24 Wide SO	1/2
MAX502BCWG	0°C to +70°C	24 Wide SO	3/4
MAX502BC/D	0°C to +70°C	Dice*	3/4
MAX502AENG	-40°C to +85°C	24 Narrow Plastic DIP	1/2
MAX502BENG	-40°C to +85°C	24 Narrow Plastic DIP	3/4
MAX502AEWG	-40°C to +85°C	24 Wide SO	1/2
MAX502BEWG	-40°C to +85°C	24 Wide SO	3/4
MAX502AMRG	-55°C to +125°C	24 Narrow Cerdip**	1/2
MAX502BMRG	-55°C to +125°C	24 Narrow Cerdip**	3/4

* Contact factory for dice specifications.

** Contact factory for availability and processing to MIL-STD-883.

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408)737-7600