

AD5304/AD5314/AD5324*

特長

AD5304

10ピン μ SOICのバッファ4個付きの8ビットDAC

AD5314

10ピン μ SOICのバッファ4個付きの10ビットDAC

AD5324

10ピン μ SOICのバッファ4個付きの12ビットDAC

低消費電力動作：3V電源で500 μ A、5V電源で600 μ A

電源：+2.5 ~ +5.5V

全コードに対する単調性を設計により保証

パワーダウン：3V電源で80nA、5Vで200nAまで

ダブルバッファ入力ロジック

出力範囲：0 ~ V_{REF}

0Vへのパワーオン・リセット

出力の同時更新 (LDAC機能)

低消費電力のSPI™、QSPI™、MICROWIRE™、DSPコンバ

チブルの3線式シリアル・インターフェース

レールtoレール出力のバッファ・アンプを内蔵

温度範囲：-40 ~ +105

アプリケーション

ポータブルのバッテリー駆動機器

ゲインとオフセットのデジタル調整

プログラマブルな電圧 / 電流源

プログラマブルな減衰器

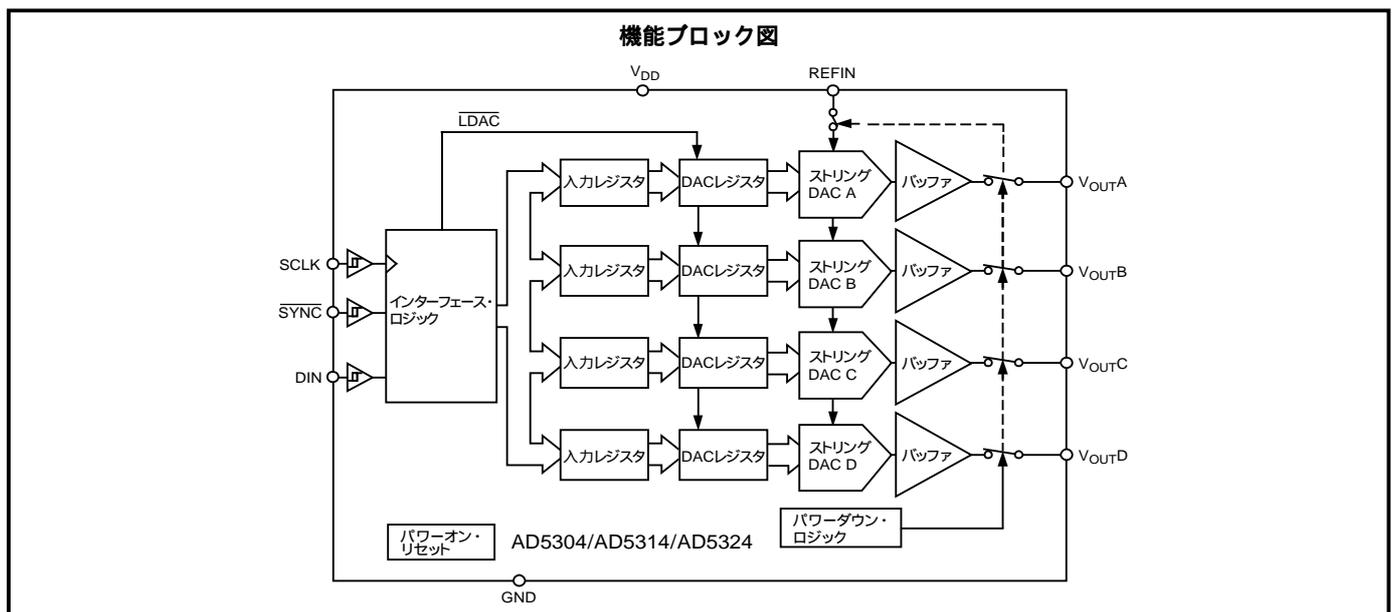
工業用プロセス制御

概要

AD5304 (8ビット) AD5314 (10ビット) AD5324 (12ビット) は、10ピン μ SOICパッケージのバッファ付き電圧出力クワッドDACです。単電源+2.5 ~ +5.5Vで動作し、500 μ A (3V) の低消費電力です。内蔵出力アンプは、レールtoレールの出力振幅を可能にし、0.7V/ μ sの高速スルーレートを達成しています。最大クロック・レート30MHzで動作する3線式シリアル・インターフェースを使用しており、標準のSPI/QSPI/MICROWIRE/DSPインターフェース規格と互換性があります。

AD5304/AD5314/AD5324内蔵のDAC4個に対するリファレンスは、1本のリファレンス・ピンから発生されます。全DAC出力は、ソフトウェアLDAC機能を使って同時に更新できます。AD5304/AD5314/AD5324は、パワーオン・リセット回路を内蔵しており、パワーアップ時にDAC出力を0Vにし、デバイスに対する有効な書き込みが行われるまで、この0Vを維持します。また、消費電流を5Vで200nA (3Vで80nA) に削減するパワーダウン機能も備えています。

AD5304/AD5314/AD5324は、通常動作での消費電力が小さいため、ポータブルのバッテリー駆動機器に最適です。消費電力は、5Vで3mW、3Vで1.5mWであり、パワーダウン・モードでは1 μ Wに減少します。



*米国特許No.5,969,657で保護されています。その他の特許は申請中です。
SPIとQSPIは、Motorola, Inc.の商標です。
MICROWIREは、National Semiconductor Corporationの商標です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

REV. B

AD5304/AD5314/AD5324 仕様

(特に指定のない限り、 $V_{DD} = 2.5 \sim 5.5V$ 、 $V_{REF} = 2V$ 、 $R_L = 2k$ (GNDに接続)、 $C_L = 200pF$ (GNDに接続)、 $T_{MIN} \sim T_{MAX}$ で仕様規定)

パラメータ ¹	Bバージョン ²			単位	条件/備考
	Min	Typ	Max		
DC性能 ^{3,4}					
AD5304					
分解能		8		ビット	
相対精度		± 0.15	± 1	LSB	
微分非直線性		± 0.02	± 0.25	LSB	全コードに対する単調性を設計により保証
AD5314					
分解能		10		ビット	
相対精度		± 0.5	± 4	LSB	
微分非直線性		± 0.05	± 0.5	LSB	全コードに対する単調性を設計により保証
AD5324					
分解能		12		ビット	
相対精度		± 2	± 16	LSB	
微分非直線性		± 0.2	± 1	LSB	全コードに対する単調性を設計により保証
オフセット誤差		± 0.4	± 3	FSRの%	図2と図3を参照
ゲイン誤差		± 0.15	± 1	FSRの%	図2と図3を参照
下側デッドバンド		20	60	mV	下側デッドバンドはオフセット誤差が負の場合のみ存在
オフセット誤差ドリフト ⁵		-12		FSR/ のppm	
ゲイン誤差ドリフト ⁵		-5		FSR/ のppm	
DC電源変動除去比 ⁵		-60		dB	$V_{DD} = \pm 10\%$
DCクロストーク ⁵		200		μV	$R_L = 2k \sim GND$ 、 $\sim V_{DD}$
DACリファレンス入力 ⁵					
V_{REF} 入力範囲	0.25		V_{DD}	V	
V_{REF} 入力インピーダンス	37	45		k	通常動作
リファレンス・フィードスルー		> 10		M	パワーダウン・モード
		-90		dB	周波数 = 10kHz
出力特性 ⁵					
最小出力電圧 ⁶		0.001		V	出力アンプの最小および最大の駆動能力をあらわします。
最大出力電圧 ⁶		$V_{DD} - 0.001$		V	
DC出力インピーダンス		0.5			
短絡電流		25		mA	$V_{DD} = 5V$
		16		mA	$V_{DD} = 3V$
パワーアップ時間		2.5		μs	パワーダウン・モードから、 $V_{DD} = 5V$
		5		μs	パワーダウン・モードから、 $V_{DD} = 3V$
ロジック入力 ⁵					
入力電流			± 1	μA	
V_{IL} 、入力ロー電圧			0.8	V	$V_{DD} = 5V \pm 10\%$
			0.6	V	$V_{DD} = 3V \pm 10\%$
			0.5	V	$V_{DD} = 2.5V$
V_{IH} 、入力ハイ電圧	2.4			V	$V_{DD} = 5V \pm 10\%$
	2.1			V	$V_{DD} = 3V \pm 10\%$
	2.0			V	$V_{DD} = 2.5V$
ピン容量		3		pF	
電源条件					
V_{DD}	2.5		5.5	V	
I_{DD} (通常モード)					
$V_{DD} = 4.5 \sim 5.5V$		600	900	μA	$V_{IH} = V_{DD}$ 、 $V_{IL} = GND$
$V_{DD} = 2.5 \sim 3.6V$		500	700	μA	$V_{IH} = V_{DD}$ 、 $V_{IL} = GND$
I_{DD} (パワーダウン・モード)					
$V_{DD} = 4.5 \sim 5.5V$		0.2	1	μA	$V_{IH} = V_{DD}$ 、 $V_{IL} = GND$
$V_{DD} = 2.5 \sim 3.6V$		0.08	1	μA	$V_{IH} = V_{DD}$ 、 $V_{IL} = GND$

注

- 用語集を参照。
- 温度範囲：Bバージョン：-40 ~ +105、25でのtyp値
- 出力無負荷でテストしたDC仕様。
- 直線性はコード範囲を縮小してテストしています。AD5304 (コード8 ~ 248)、AD5314 (コード28 ~ 995)、AD5324 (コード115 ~ 3981)。
- 設計と製品特性により保証しますが、出荷テストは行いません。
- アンプ出力が最小電圧に到達するためには、オフセット誤差は負である必要があります。アンプ出力が最大電圧に到達するためには、 $V_{REF} = V_{DD}$ で、かつ“オフセットとゲインの和”の誤差が正である必要があります。
- I_{DD} 仕様は、すべてのDACコードに有効です。インターフェースは非アクティブ状態。すべてのDACはアクティブ状態。負荷電流は除きます。仕様は予告なく変更されることがあります。

AD5304/AD5314/AD5324

AC特性¹ (特に指定のない限り $V_{DD} = 2.5 \sim 5.5V$ 、 $R_L = 2k \sim GND$ 、 $C_L = 200pF \sim GND$ 、 $T_{MIN} \sim T_{MAX}$ で仕様規定)

パラメータ ²	Bバージョン ³			単位	条件/備考
	Min	Typ	Max		
出力電圧セトリング・タイム					$V_{REF} = V_{DD} = 5V$
AD5304		6	8	μs	1/4から3/4スケールに変化 (40HexからC0Hex)
AD5314		7	9	μs	1/4から3/4スケールに変化 (100Hexから300Hex)
AD5324		8	10	μs	1/4から3/4スケールに変化 (400HexからC00Hex)
スルーレート		0.7		$V/\mu s$	
主要コード変化時のグリッチ電力		12		nV-s	主要キャリの付近で1LSB変化
デジタル・フィードスルー		1		nV-s	
デジタル・クロストーク		1		nV-s	
DAC間クロストーク		3		nV-s	
マルチプル帯域幅		200		kHz	$V_{REF} = 2V \pm 0.1V_{p-p}$
合計高調波歪み		- 70		dB	$V_{REF} = 2.5V \pm 0.1V_{p-p}$ 、周波数 = 10kHz

注

- 1.設計と製品特性により保証しますが、出荷テストは行いません。
- 2.用語集を参照。
- 3.温度範囲：Bバージョン：-40 ~ +105 ; 25 でのtyp値
仕様は予告なく変更されることがあります。

タイミング特性^{1,2,3} (特に指定のない限り $V_{DD} = 2.5 \sim 5.5V$ 、 $T_{MIN} \sim T_{MAX}$ で仕様規定)

パラメータ	T_{MIN}, T_{MAX} での限界		単位	条件/備考
	$V_{DD} = 2.5 \sim 3.6V$	$V_{DD} = 3.6 \sim 5.5V$		
t_1	40	33	ns min	SCLKサイクル・タイム
t_2	16	13	ns min	SCLKハイタイム
t_3	16	13	ns min	SCLKロータイム
t_4	0	0	ns min	SYNCからSCLKへの立ち上がりエッジのセットアップ・タイム
t_5	5	5	ns min	データ・セットアップ・タイム
t_6	4.5	4.5	ns min	データ・ホールド・タイム
t_7	0	0	ns min	SCLK立ち下がりエッジからSYNC立ち上がりエッジまで
t_8	80	33	ns min	SYNCの最小ハイ時間

注

- 1.設計と製品特性により保証しますが、出荷テストは行いません。
- 2.すべての入力信号は $t_r = t_f = 5ns$ (V_{DD} の10~90%)で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。
- 3.図1を参照してください。
仕様は予告なく変更されることがあります。

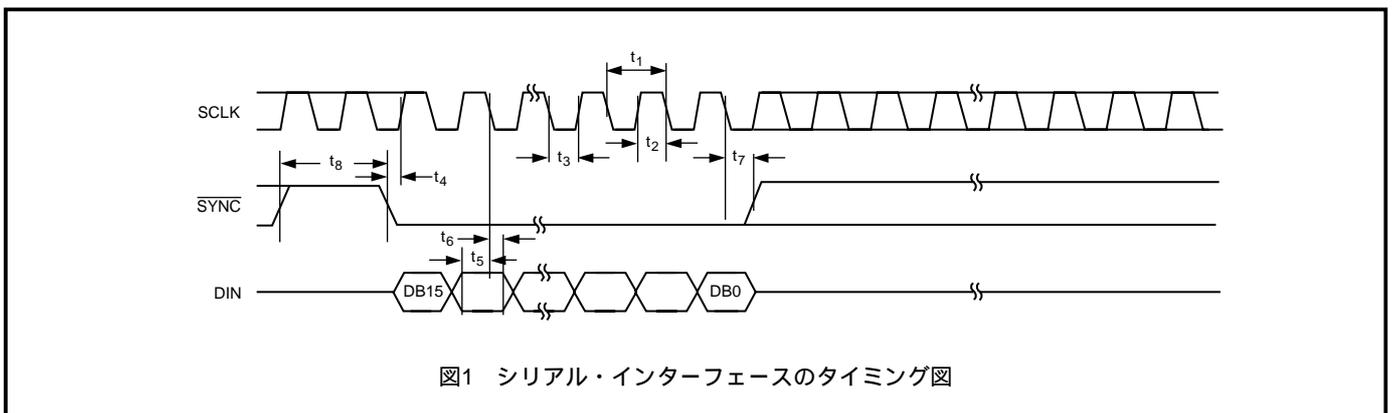


図1 シリアル・インターフェースのタイミング図

AD5304/AD5314/AD5324

絶対最大定格^{1, 2} (特に指定のない限り、 $T_A = 25$)

$V_{DD} \sim GND$ - 0.3 ~ + 7V

デジタル入力電圧 ~ GND - 0.3V ~ $V_{DD} + 0.3V$

入力リファレンス ~ GND - 0.3V ~ $V_{DD} + 0.3V$

$V_{OUTA-D} \sim GND$ - 0.3V ~ $V_{DD} + 0.3V$

動作温度範囲

工業用 (Bバージョン) - 40 ~ + 105

保存温度範囲 - 65 ~ + 150

接合温度 ($T_J \max$) 150

10ピン μ SOICパッケージ

ワット損 ($T_J \max - T_A$) / J_A

J_A 熱インピーダンス 206 /W

J_C 熱インピーダンス 44 /W

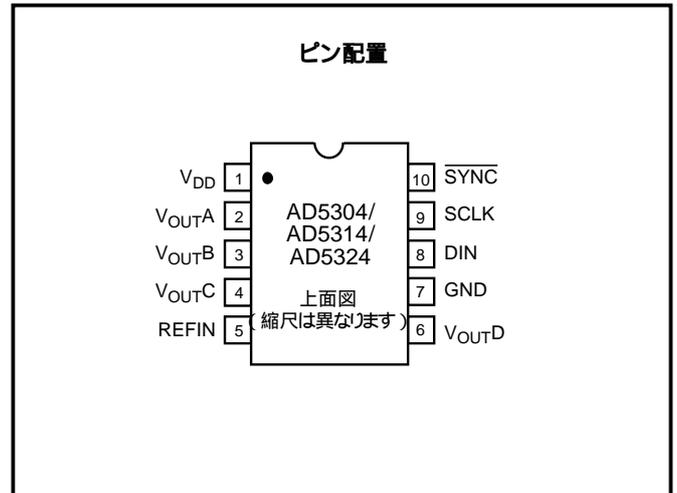
ハンダ付け

ピーク温度 220 + 5 / - 0

ピーク温度の継続時間 10 ~ 40秒

1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

2 最大100mAまでの過渡電流では、SCRラッチアップは発生しません。



ピン機能の説明

ピン番号	記号	機能
1	V_{DD}	電源入力。AD5304/AD5314/AD5324は2.5 ~ 5.5V電源で動作でき、電源はGNDにデカップリングする必要があります。
2	V_{OUTA}	DACAからのバッファされたアナログ電圧出力。出力アンプはレールtoレールの動作を行います。
3	V_{OUTB}	DAC Bからのバッファされたアナログ電圧出力。出力アンプはレールtoレールの動作を行います。
4	V_{OUTC}	DAC Cからのバッファされたアナログ電圧出力。出力アンプはレールtoレールの動作を行います。
5	REFIN	4個の全DACに共通なりファレンス入力ピン。入力範囲は0.25V ~ V_{DD} です。
6	V_{OUTD}	DAC Dからのバッファされたアナログ電圧出力。出力アンプはレールtoレールの動作を行います。
7	GND	デバイス上の全回路に対するグラウンド・リファレンス・ポイント。
8	DIN	シリアル・データ入力。このデバイスは、16ビットのシフト・レジスタを内蔵しています。データは、シリアル・クロック入力の立ち下がりエッジでレジスタに入力されます。DIN入力バッファは、各書き込みサイクルの後でパワーダウンされます。
9	SCLK	シリアル・データ入力。データは、シリアル・クロック入力の立ち下がりエッジでシフト・レジスタに入力されます。データは、最大30MHzのクロック速度で転送することができます。SCLK入力バッファは、各書き込みサイクルの後でパワーダウンされます。
10	\overline{SYNC}	アクティブローのコントロール入力。これは、入力データに対するフレーム同期信号です。 \overline{SYNC} がローになると、入力シフト・レジスタがイネーブルにされ、データは後続の16個のクロックの立ち下がりエッジで入力されます。SCLKの16番目の立ち下がりエッジの前に \overline{SYNC} をハイにすると、 \overline{SYNC} の立ち上がりエッジは割り込みとして機能するため、デバイスは書き込みシーケンスを無視します。

オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション	ブランド
AD5304BRM	- 40 ~ + 105	10ピン μ SOIC	RM-10	DBB
AD5314BRM	- 40 ~ + 105	10ピン μ SOIC	RM-10	DCB
AD5324BRM	- 40 ~ + 105	10ピン μ SOIC	RM-10	DDB

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



用語集

相対精度

基本周波数（FFT解析によって決定される）のスペクトル・パワーが3dB減衰するアナログ入力周波数です。DACの場合、相対精度すなわち積分非直線性（INL）は、DAC伝達関数の上下両端を結ぶ直線からの最大偏差（LSB数で表示）を表します。図4～6は、代表的なINLとコードとの関係を表しています。

微分非直線性

微分非直線性（DNL）は、隣接する2つのコードの間における測定された変化と理論的な1LSB変化との差をいいます。最大±1LSBの微分非直線性の仕様は、単調性を保証するものです。AD5304/AD5314/AD5324 DACは設計により単調性を保証しています。図4～9は、代表的なDNLとコードとの関係を表しています。

オフセット誤差

DACと出力アンプのオフセット誤差の値を表します。フルスケール範囲のパーセント値で表示します。

ゲイン誤差

DACのスパン誤差を表します。理論値からの実際のDAC伝達特性の傾きの差をフルスケール範囲のパーセント値で表したものです。

オフセット誤差ドリフト

オフセット誤差の温度変化を表します。（フルスケール範囲のppm）/ で表示します。

ゲイン誤差ドリフト

ゲイン誤差の温度変化を表します。（フルスケール範囲のppm）/ で表示します。

電源変動除去比（PSRR）

電源電圧変化のDAC出力に対する影響を表します。PSRRは、 V_{OUT} 変化の、DACフルスケール出力の V_{DD} 変化に対する比です。dB値で表示します。 V_{REF} を2Vに固定して、 V_{DD} を±10%変化させます。

DCクロストーク

フルスケール・コード変化（全ビット“0”から全ビット“1”への変化、およびその逆の変化）に対する応答としての、1つのDACのミッドスケールにおける出力レベルのDC変化と別のDACの出力変化。Vで表示します。

リファレンスのフィードスルー

DAC出力に変化がない時の、DAC出力における信号振幅のリファレンス入力に対する比。dB値で表示します。

主要コード変化時のグリッチ電力

DACレジスタ内のコードの状態が変化したときに、アナログ出力に注入されるインパルスの電力。通常、nV-secで表すグリッチの面積として規定され、主要なキャリ変化（011...11から100...00へまたは100...00から011...11へ）時に、デジタル・コードが1LSBだけ変化したときに測定されます。

デジタル・フィードスルー

DAC出力に書き込みが行われていない（ \overline{SYNC} がハイ）ときの、デバイスのデジタル入力ピンからDACのアナログ出力に注入されるインパルスを表します。nV-secで規定され、デジタル入力ピンでの最悪時の変化、例えば全ビット“0”から全ビット“1”への変化、またはその逆の変化のときに測定されます。

デジタル・クロストーク

1つのDACの入力レジスタにおけるフルスケール・コード変化（全ビット“0”から全ビット“1”への変化、およびその逆の変化）から、ミッドスケール・レベルにある別のDACの出力に混入したグリッチ・インパルス。nV-secで表示します。

DAC間クロストーク

デジタル・コードの変化とそれに続くDACの出力変化に起因して、別のDAC出力に混入するグリッチ・インパルス。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。 \overline{LDAC} ビットをローに設定して、DACの1つにフルスケール・コード変化（全ビット“0”から全ビット“1”への変化、およびその逆の変化）をロードして、別のDAC出力をモニターすることにより測定します。グリッチの電力はnV-secで表示します。

マルチプル帯域幅

DAC内のアンプの帯域幅は有限です。マルチプル帯域幅はこれを表します。入力されたリファレンスのサイン波（DACにフルスケール・コードをロード）は、出力に現われます。マルチプル帯域幅は、出力振幅が入力より3dB小さい周波数で表します。

合計高調波歪み（THD）

理想値のサイン波とDACを使ったために減衰したサイン波との差。DACに対する基準としてサイン波を使ったときにDAC出力に現われる高調波がTHDになります。dB値で表示します。

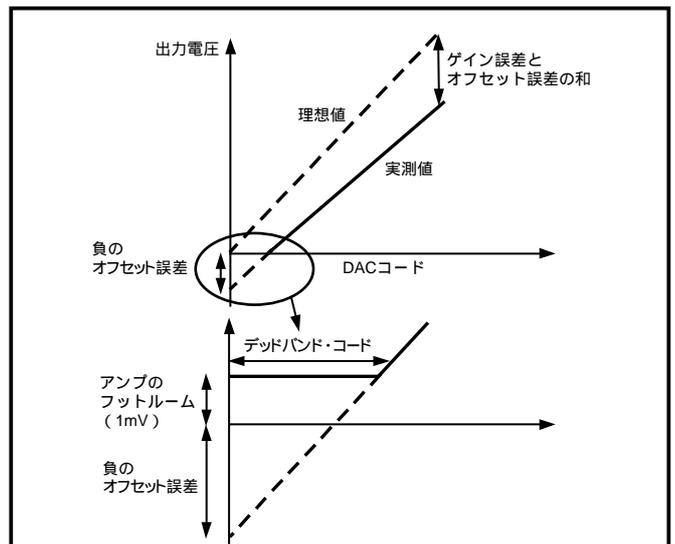


図2 負のオフセットを持つ伝達関数

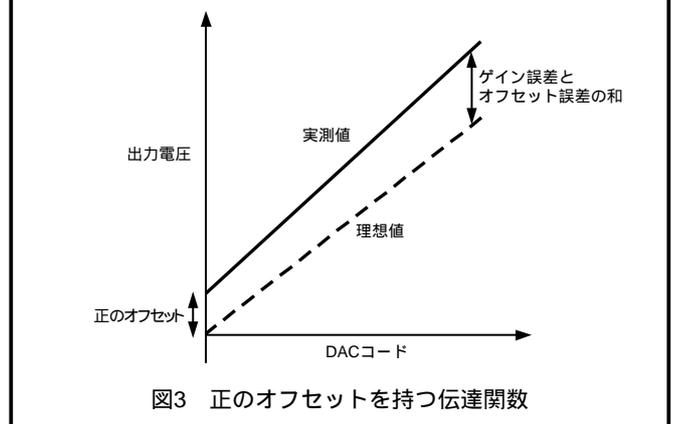


図3 正のオフセットを持つ伝達関数

AD5304/AD5314/AD5324

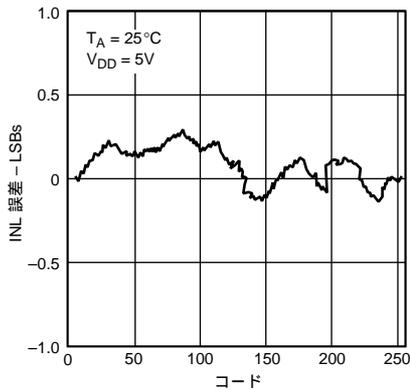


図4 AD5304の代表的なINLのプロット

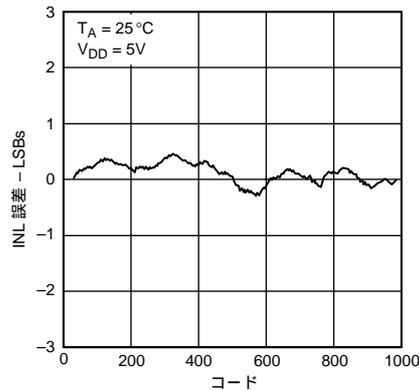


図5 AD5314の代表的なINLのプロット

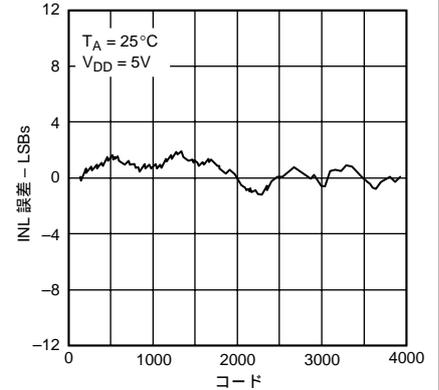


図6 AD5324の代表的なINLのプロット

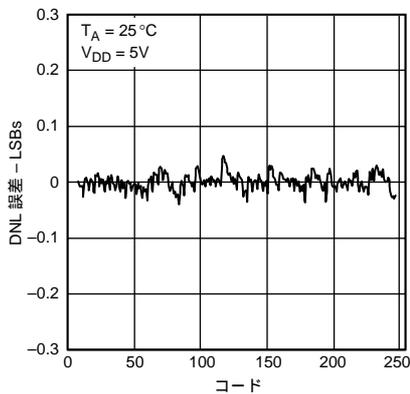


図7 AD5304の代表的なDNLのプロット

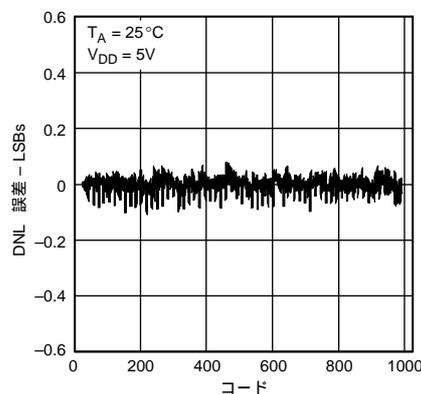


図8 AD5314の代表的なDNLのプロット

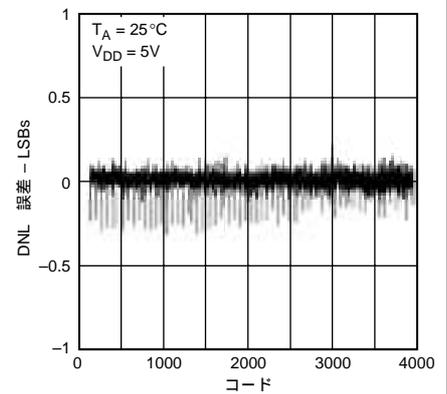


図9 AD5324の代表的なDNLのプロット

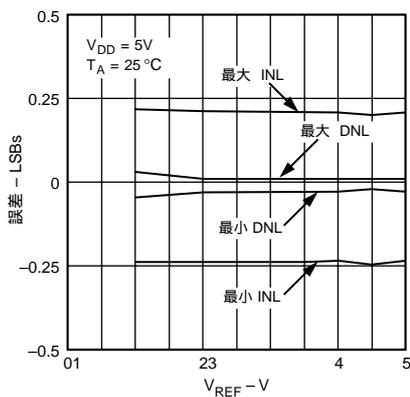


図10 AD5304のINL誤差およびDNL誤差 対 V_{REF}

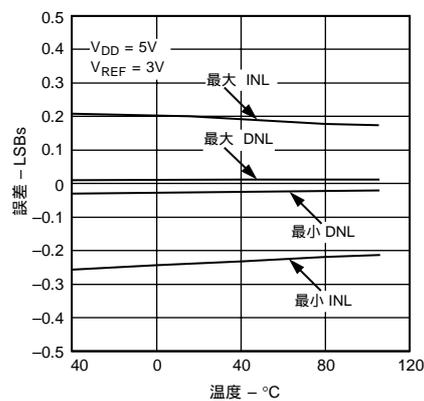


図11 AD5304のINL誤差およびDNL誤差 対 温度

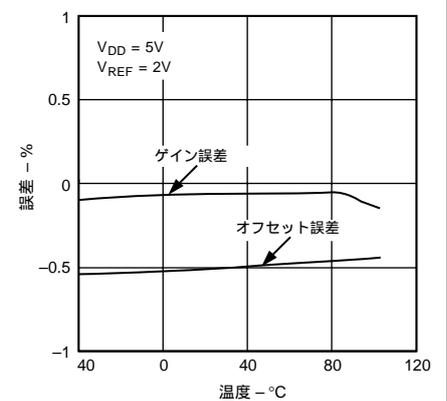


図12 AD5304のオフセット誤差およびゲイン誤差 対 温度

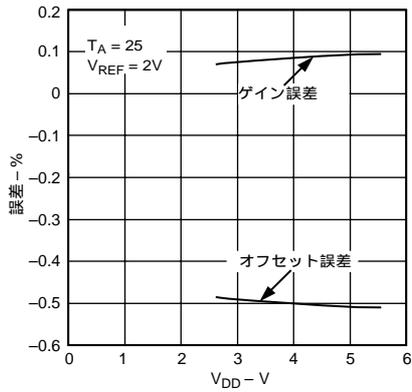


図13 オフセット誤差およびゲイン誤差
対 V_{DD}

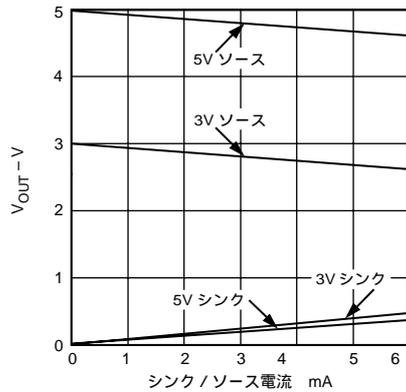


図14 V_{OUT} の電流ソース/シンク能力

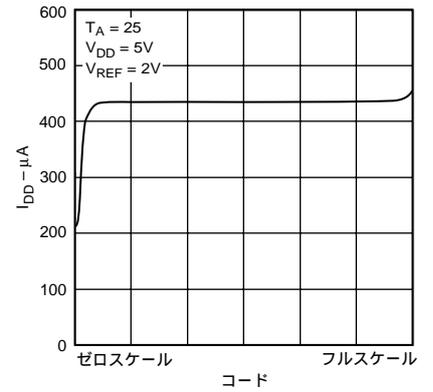


図15 電源電流 対 DACコード

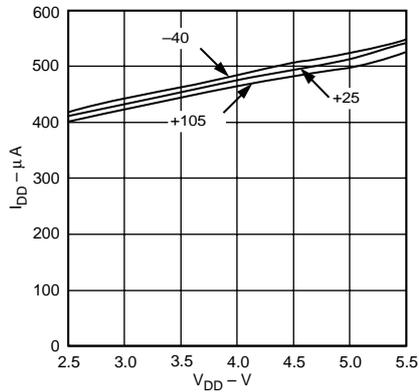


図16 電源電流 対 電源電圧

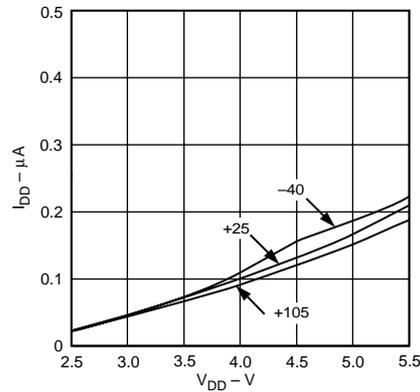


図17 パワーダウン電流 対 電源電圧

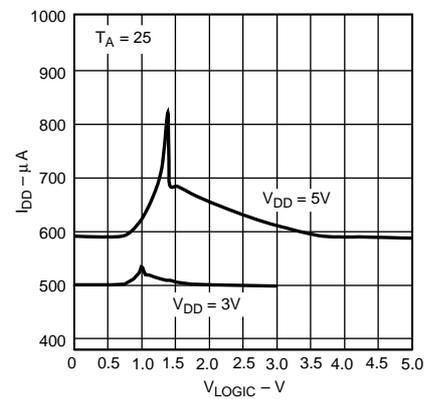


図18 電源電流とロジック入力電圧の関係

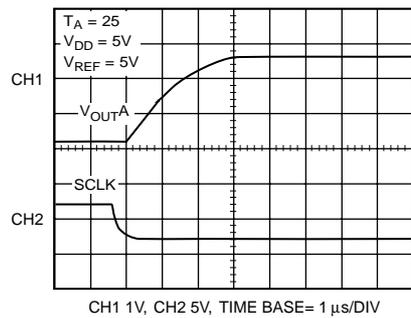


図19 1/2スケール設定(1/4スケールから
3/4スケールへのコード変化)

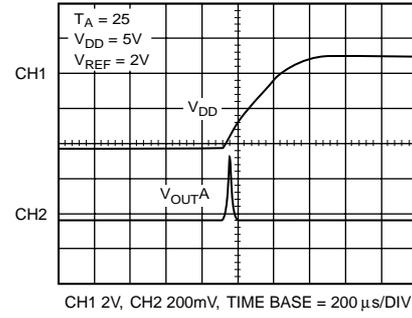


図20 パワーオン・リセット時の
0V出力

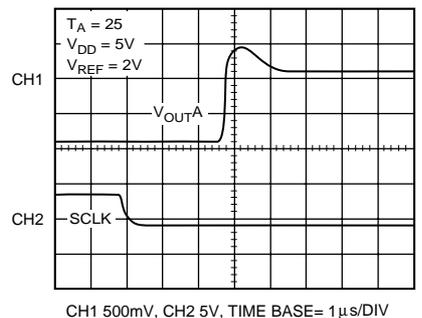


図21 パワーダウン終了時のミッド
スケール出力

AD5304/AD5314/AD5324

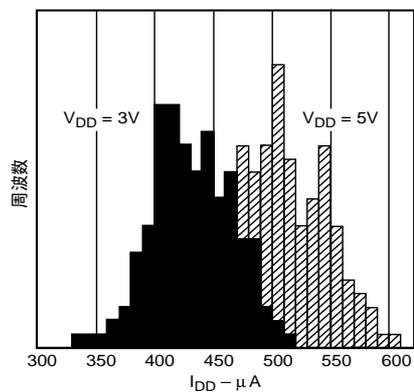


図22 $V_{DD} = 3V$ および $V_{DD} = 5V$ での I_{DD} のヒストグラム

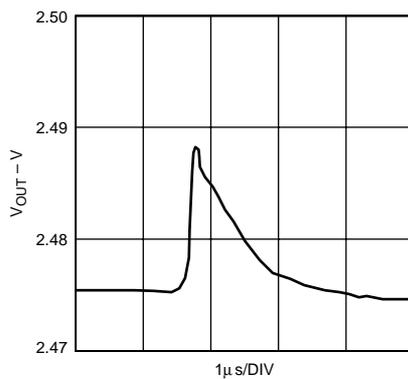


図23 AD5324の主要コード変化時のグリッチ電力

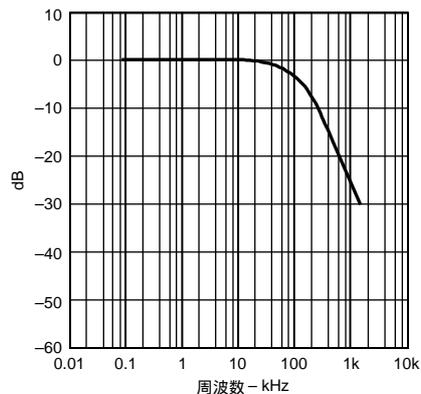


図24 マルチプル帯域幅 (小信号周波数応答)

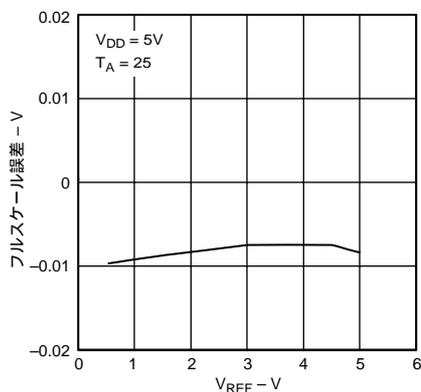


図25 フルスケール誤差 対 V_{REF}

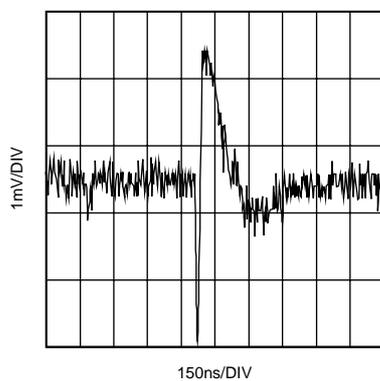


図26 DAC間クロストーク

機能説明

AD5304 (8ビット) AD5314 (10ビット) AD5324 (12ビット) は、CMOSプロセスで製造された抵抗ストリング型クワッドDACです。各デバイスは4個の出力バッファ・アンプを内蔵しており、3線式シリアル・インターフェースを使って書き込みを行います。単電源2.5~5.5Vで動作し、出力バッファ・アンプはスルーレート0.7V/ μ sのレールtoレール出力振幅を提供します。4個のDACは1つのリファレンス入力ピンを共用しています。AD5304/AD5314/AD5324はプログラマブルなパワーダウン・モードを持ち、このモードではすべてのDACが完全にオフになりハイ・インピーダンス出力になります。

D/Aコンバータ部

各DACチャンネルのアーキテクチャは、抵抗ストリングDACとそれに続く出力バッファ・アンプで構成されています。REFINピンの電圧は、DACのリファレンス電圧を提供します。図27に、DACアーキテクチャのブロック図を示します。DACへの入力コードは自然2進数を使っているため、理想値の出力電圧は次式で得られます。

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

ここで、

D = DACレジスタにロードされるバイナリ・コードの10進数表示。

AD5304 (8ビット) の場合0~255

AD5314 (10ビット) の場合0~1023

AD5324 (12ビット) の場合0~4095

N = DACの分解能

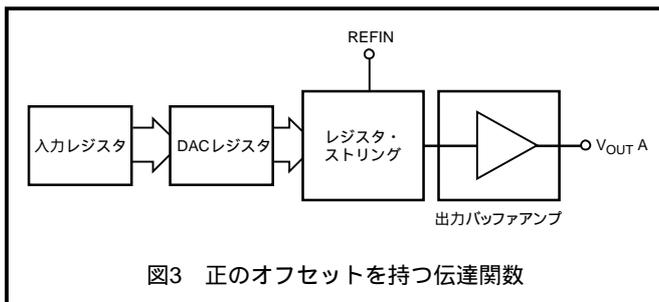


図3 正のオフセットを持つ伝達関数

レジスタ・ストリング

図28に、抵抗ストリング部分を示します。各値をRとしたシンプルなレジスタ・ストリングになっています。DACレジスタにロードされるデジタル・コードにより、出力アンプに供給する電圧を取り出すストリング上のノードが決定されます。スイッチの内の1つが閉じてストリングがアンプに接続されて、電圧が取り出されます。レジスタ・ストリングなので、単調性が保証されています。

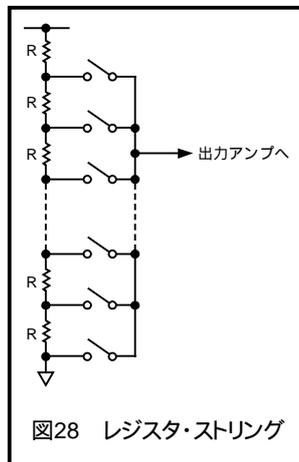


図28 レジスタ・ストリング

DACのリファレンス入力

4個のDACに対して、リファレンス入力ピンは1本です。リファレンス入力にはバッファがありません。リファレンス・アンプのヘッドルームとフットルームには制約が無いため、0.25V~ V_{DD} の電圧が得られます。

外部回路 (例えば、REF192) のリファレンスはバッファを使用することを推奨します。入力インピーダンスは、45k (typ) です。

出力アンプ

出力バッファ・アンプは出力でレールtoレール電圧を発生でき、リファレンス = V_{DD} の場合に、0V~ V_{DD} の出力範囲を発生します。GNDまたは V_{DD} に接続された2k Ω と、これに並列接続された500pFの負荷を駆動できます。図14に、出力アンプのソース能力とシンク能力を示します。

スルーレートは0.7V/ μ sで、 ± 0.5 LSBへのハーフスケール・セトリング・タイム (8ビット) は6 μ sです。

パワーオン・リセット

AD5304/AD5314/AD5324はパワーオン・リセット機能を内蔵しているため、規定の状態のパワーアップします。パワーオン状態は次のようになります。

- 通常動作が開始されます。
- 出力電圧が0Vに設定されます。

入力レジスタとDACレジスタにはゼロが設定され、デバイスに有効な書き込みシーケンスが実行されるまでこの状態が維持されます。この機能は、デバイスのパワーアップ時のDAC出力状態が既知である必要のあるアプリケーションで特に便利です。

シリアル・インターフェース

AD5304/AD5314/AD5324は、多彩な機能を持つ3線式シリアル・インターフェースを介して制御されます。このインターフェースは、最大30MHzのクロック・レートで動作することができ、SPI、QSPI、MICROWIRE、DSPの各インターフェース規格と互換性を持っています。

入力シフト・レジスタ

入力シフト・レジスタは16ビット幅です。データは、シリアル・クロック入力SCLKの制御のもとで16ビット・ワードとしてデバイスに入力されます。図1は、動作のタイミング図です。16ビット・ワードは、4ビットのコントロール・ビットと、それに続く8ビット (AD5304)、10ビット (AD5314)、12ビット (AD5324) のDACデータにより構成されます。データはMSB (ビット15) 先頭でロードされ、先頭の2ビットにより、データの対象 (DAC A、DAC B、DAC C、DAC D) が指定されます。ビット13とビット12は、DACの動作モードを制御します。ビット13はPDであり、デバイスの通常モードまたはパワーダウン・モードを指定します。ビット12はLDACであり、DACレジスタと出力の更新タイミングを制御します。

表1 AD53x4のアドレス・ビット

A 1	A 0	指定されるDAC
0	0	DAC A
0	1	DAC B
1	0	DAC C
1	1	DAC D

AD5304/AD5314/AD5324



図29 AD5304の入力シフト・レジスタ

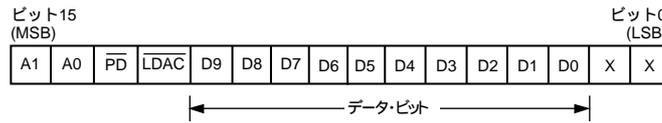


図30 AD5314の入力シフトレジスタ

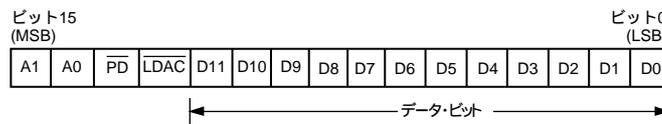


図31 AD5324の入力シフトレジスタ

アドレス・ビットとコントロール・ビット

PD: 0: 4個の全DACがパワーダウン・モードになり、5Vで200nAの消費電流になります。DAC出力は、ハイ・インピーダンス状態になります。

1: 通常動作。

LDAC: 0: 4個の全DACレジスタと、したがって全DAC出力が、書き込みシーケンス終了時に同時に更新されます。

1: アドレス指定された入力レジスタのみが更新されます。DACレジスタの内容は変更されません。

AD5324はDACデータの全12ビットを使用し、AD5314は10ビットを使用してLSBの2ビットは無視します。AD5304は8ビットを使用して4ビットは無視します。データ・フォーマットは自然2進で、全ビット“0”は0V出力に、全ビット“1”はフルスケール出力($V_{REF} - 1LSB$)に、それぞれ対応します。

SYNC入力はレベル・トリガ入力であり、フレーム同期信号とチップ・イネーブルとして機能します。データは、SYNCがローのときにデバイスに転送できます。シリアル・データ転送を開始するときは、SYNCをローにして、SYNCからSCLKアクティブ・エッジまでの最小セットアップ・タイム t_s を確保します。SYNCがローになった後、シリアル・データは16個のSCLKの立ち下がりエッジで、デバイスの入力シフト・レジスタにシフト入力されます。SCLKパルファとDIN入力パルファはパワーダウンされるため、SCLKの16番目の立ち下がりエッジ以後の全データと全クロック・パルスは無視されます。SYNCが再度ハイになりローに戻るまで、それ以後のシリアル・データ転送は行われません。

16番目のSCLKパルスの立ち下がりエッジの後に、SYNCをローにすることができます。ただし、SCLKの立ち下がりエッジからSYNCの立ち上がりエッジまでの最小時間 t_r を確保する必要があります。シリアル・データ転送の終了後、データは自動的に入力シフト・レジスタから選択されたDACの入力レジスタへ転送されます。SCLKの16番目の立ち下がりエッジの前にSYNCがハイにされた場合、データ転送はアボートされて、DAC入力レジスタは更新されません。データがDAC入力レジスタの内3個に既に転送されている場合には、残りのDAC入力レジスタに書きこむ際に、LDACがローに設定されることにより、全DACレジスタと全DAC出力が同時に更新されます。

低消費電力のシリアル・インターフェース

AD5304/AD5314/AD5324の消費電力をさらに削減するには、デバイスに書き込みを行うとき、すなわちSYNCの立ち下がりエッジで、インターフェースのみをパワーアップすることができます。16ビットのコントロール・ワードがデバイスに書き込まれると直ちに、SCLKパルファとDIN入力パルファがパワーダウンされます。これらのパルファは、SYNCの立ち下がりエッジの後に再度パワーアップします。

ダブルパルファ化された入力ロジック

AD5304/AD5314/AD5324のすべてのDACは、入力レジスタとDACレジスタの2つのレジスタ・バンクで構成されている、ダブル・パルファ化されたインターフェースを内蔵しています。入力レジスタは直接入力シフト・レジスタに接続されており、デジタル・コードは有効な書き込みシーケンスの完了時に対応する入力レジスタに転送されます。

DACレジスタには、抵抗ストリングが使用するデジタル・コードが格納されます。

DACレジスタへのアクセスは、LDACビットにより制御されます。LDACビットがハイに設定されると、DACレジスタがラッチされるため、DACレジスタの内容に影響を与えずに入力レジスタの状態を変えられます。ただし、LDACがローに設定されているときは、全DACレジスタが書き込みシーケンス完了後に更新されます。

この機能は、全DAC出力の同時更新が必要な場合には便利です。入力レジスタの内の3個に個別に書きこんだ後に、残りのDAC入力レジスタに書きこむ際にLDACビットをローに設定すると、全出力が同時に更新されます。

AD5304/AD5314/AD5324には、追加機能があります。この機能を使うと、LDACがローになった後に入力レジスタの更新が済んでいない場合、これが済むまでDACレジスタの更新を行わないようにできます。通常、LDACがローになると、DACレジスタには入力レジスタの値がロードされます。AD5304/AD5314/AD5324の場合、前回のDACレジスタの更新が行われた後に、入力レジスタの更新が済んでいなければ、DACレジスタの更新は行いません。従って、不要なデジタル・クロストークを除去できます。

パワーダウン・モード

AD5304/AD5314/AD5324は低消費電力であり、3V電源では1.5mW、5V電源では3mWしか、それぞれ消費しません。使用しないDACをパワーダウン・モードにした場合、消費電力をさらに削減できます。このパワーダウン・モードは、コントロール・ワードのビット13 PD を“0”に設定すると選択されます。PDビットを“1”に設定すると、全DACは5Vで600 μ A (typ)の消費電流で動作します(3Vでは500 μ A)。ただし、パワーダウン・モードでは、すべてのDACをパワーダウンさせた場合、電源電流が5Vで200nAに減少します(3Vでは80nA)。電源電流が減少するだけでなく、出力ステージも内部的にアンプ出力から切り離されてオープンになります。この機能には、デバイスのパワーダウン・モード中に出力がスリーステートになるため、DACアンプ出力に接続されているものに依存せずに一定の入力条件を提供できるというメリットがあります。図32に、出力ステージを示します。

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、レジスタ・ストリング、およびその他の関係するすべてのリニア回路はすべてシャットダウンになります。ただし、レジスタの値はパワーダウン・モードで影響を受けることはありません。パワーダウン・モードから抜け出す時間は、 $V_{DD} = 5V$ のときは2.5 μ s (typ)で、 $V_{DD} = 3V$ のときは5 μ s (typ)です。この時間は、16番目のSCLKパルスの立ち上がりエッジから、出力電圧がパワーダウン電圧から変化するまでの時間に該当します。図21に、グラフを示します。

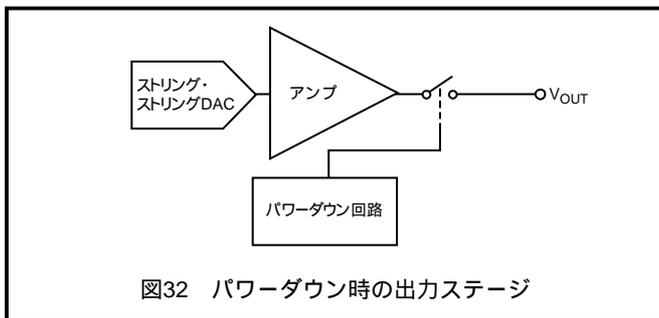


図32 パワーダウン時の出力ステージ

マイクロプロセッサ・インターフェース

AD5304/AD5314/AD5324とADSP-2101/ADSP-2103とのインターフェース 図33に、AD5304/AD5314/AD5324とADSP-2101/ADSP-2103のシリアル・インターフェースを示します。ADSP-2101/ADSP-2103は、SPORT交互フレーム送信モードで動作するように設定してください。ADSP-2101/ADSP-2103のSPORTは、SPORTコントロール・レジスタを使って設定し、内部クロック動作、アクティブロー・フレーミング、16ビット・ワード長に設定してください。送信は、SPORTをイネーブルした後に、Txレジスタにワードを書きこむことにより、起動されます。データは、DSPのシリアル・クロックの各立ち上がりエッジで出力され、DACのSCLKの立ち上がりエッジでAD5304/AD5314/AD5324に入力されます。

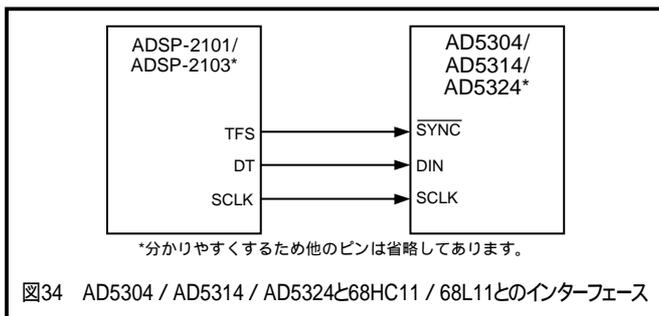


図34 AD5304 / AD5314 / AD5324と68HC11 / 68L11とのインターフェース

AD5304/AD5314/AD5324と68HC11/68L11とのインターフェース 図34に、AD5304/AD5314/AD5324と68HC11/68L11マイクロコントローラのシリアル・インターフェースを示します。68HC11/68L11のSCKがAD5304/AD5314/AD5324のSCLKを駆動し、MOSI出力がDACのシリアル・データ・ライン DIN を駆動します。SYNC信号は、ポート・ライン(PC7)からつくられます。このインターフェースの正常動作のためには、68HC11/68L11でCPOLビット="0"かつCPHAビット="1"に設定する必要があります。データをDACに転送するときは、SYNCラインをローにします(PC7)。68HC11/68L11が上記のように設定された場合には、MOSIに出力されるデータはSCKの立ち上がりエッジで有効になります。シリアル・データは68HC11/68L11から8ビット・バイトで転送され、送信サイクル内の8個の立ち下がりクロック・エッジが使用されます。データはMSB先頭で転送されます。データをAD5304/AD5314/AD5324にロードするためには、最初の8ビットを転送した後にPC7をローのままにし、DACに対する2番目のシリアル書き込み動作を実行して、この処置の終わりに、PC7をハイにします。

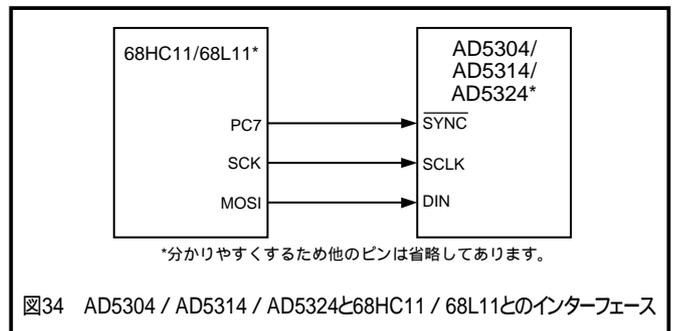


図34 AD5304 / AD5314 / AD5324と68HC11 / 68L11とのインターフェース

AD5304/AD5314/AD5324と80C51/80L51とのインターフェース 図35に、AD5304/AD5314/AD5324と80C51/80L51マイクロコントローラのシリアル・インターフェースを示します。このインターフェースでは、80C51/80L51のTxDがAD5304/AD5314/AD5324のSCLKを駆動し、RxDがこのデバイスのシリアル・データ・ラインを駆動します。SYNC信号は、この場合もポートのビット・プログラマブルなピンからつくります。このケースではポート・ラインP3.3を使用しています。データをAD5304/AD5314/AD5324に転送するときは、P3.3をローにします。80C51/80L51はデータを8ビット・バイトとして転送するため、送信サイクル内の8個の立ち下がりクロック・エッジを使います。データをDACにロードするときは、最初の8ビットが転送された後もP3.3をローのままにして、2番目の書き込みサイクルを実行すると、データの2番目のバイトの転送が開始されます。このサイクルの完了後にP3.3をハイにします。80C51/80L51は、LSB先頭フォーマットでシリアル・データを出力します。AD5304/AD5314/AD5324は、MSB先頭でデータを受け取る必要があります。80C51/80L51の送信ルーチンでは、このことを考慮してください。

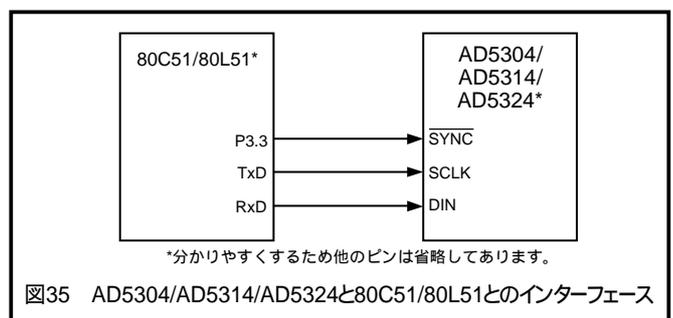
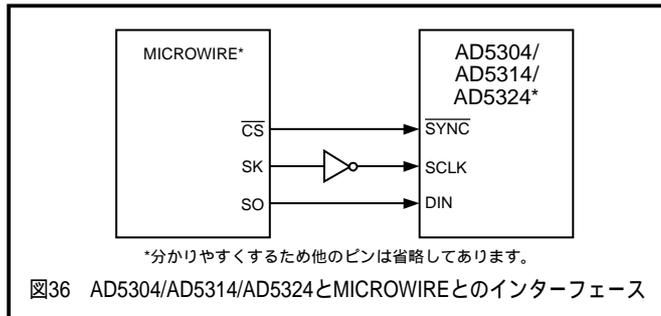


図35 AD5304/AD5314/AD5324と80C51/80L51とのインターフェース

AD5304/AD5314/AD5324

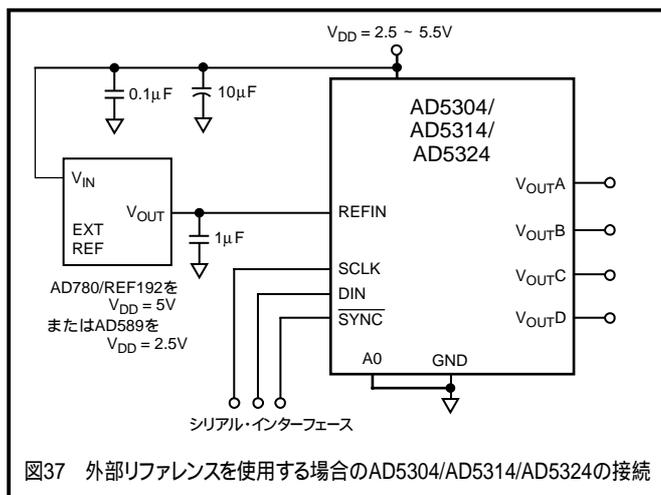
AD5304/AD5314/AD5324とMICROWIREとのインターフェース
 図36に、AD5304/AD5314/AD5324と任意のMICROWIRE互換デバイスとのインターフェースを示します。シリアル・データはシリアル・クロックSKの立ち下がりエッジで出力され、SKの立ち上がりエッジでAD5304/AD5314/AD5324に入力されます。このSKの立ち上がりエッジは、DACのSCLKの立ち下がりエッジに対応します。



アプリケーション

代表的なアプリケーション回路

AD5304/AD5314/AD5324は、0V ~ V_{DD}のリファレンス範囲にわたって0.25の整数倍の許容量を必要とする、広範囲なリファレンスで使用できます。一般的には、これらのデバイスは固定の高精度リファレンスと組み合わせて使用されます。5V動作に適したリファレンスは、AD780とREF192(2.5Vリファレンス)です。2.5V動作に対しては、1.23Vのバンドギャップ・リファレンスを使用する外部リファレンスAD589が適しています。図37に、外部リファレンスを使用する場合のAD5304/AD5314/AD5324の代表的な接続を示します。



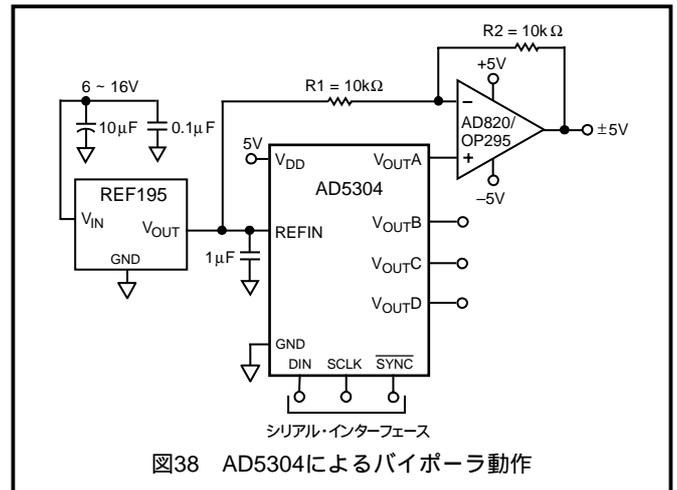
0V ~ V_{DD}の出力範囲が必要な場合に最も簡単なソリューションは、リファレンス入力をV_{DD}に接続することです。この電源は精度が低くノイズが多いので、例えばREF195のような5Vリファレンスを使ってAD5304/AD5314/AD5324に電源を供給することもできます。REF195は、AD5304/AD5314/AD5324に安定した電源電圧を与えます。REF195から供給が必要な電流は、電源電流600 μAとリファレンス入力に対する約112 μAです。これは、DAC出力に負荷がない場合です。DAC出力に負荷がある場合は、REF195は負荷にも電流を供給する必要があります。必要な合計電流は次のようになります(各出力に10k の負荷)

$$712 \mu A + 4(5V/10k) = 2.70mA$$

REF195の負荷レギュレーションは2ppm/mA(typ)であるため、2.7mAの電流出力に対して5.4ppm(27 μV)の誤差になります。これは、8ビットでは0.0014LSBの誤差に、12ビットでは0.022LSBの誤差に、それぞれ対応します。

AD5304/AD5314/AD5324を使用したバイポーラ動作

AD5304/AD5314/AD5324は単電源動作用に設計されていますが、図38に示す回路を使うと、バイポーラ出力範囲も可能です。この回路により±5Vの出力電圧範囲が得られます。出力アンプとしてAD820またはOP295を使用すると、アンプ出力でのレールtoレール動作が可能です。



任意の入力コードに対する出力電圧は、次のように計算できます。

$$V_{OUT} = [(REFIN \times D/2^N) \times (R1 + R2)/R1 - REFIN \times (R2/R1)]$$

ここで、
 Dは、DACレジスタにロードされるバイナリ・コードの10進数表示。
 Nは、DACの分解能

REFINはリファレンス入力。ただし、

$$REFIN = 5V, R1 = R2 = 10k \quad ;$$

$$V_{OUT} = (10 \times D/2^N) - 5V$$

プロセス制御アプリケーション向けの光アイソレーション・インターフェース

AD5304/AD5314/AD5324は3線式シリアル・インターフェースを内蔵しているため、プロセス制御や工業用アプリケーションでの正確な電圧の発生に最適です。ノイズ、安全性、距離のために、AD5304/AD5314/AD5324をコントローラから絶縁する必要がある場合があります。これは、3kVを超える絶縁を提供する光アイソレータを使えば容易に実現できます。実際に達成できるデータ・レートは、選択したフォトカプラにより決定されます。AD5304/AD5314/AD5324のシリアル・ローディング構成は、光絶縁アプリケーションに最適です。図39に、AD5304の光絶縁されたインターフェースを示します。DIN、SCLK、SYNCはフォトカプラから駆動されています。デバイスの電源も絶縁する必要があります。これはトランスを使って行います。変成器のDAC側では、5Vのレギュレータが5V電源をAD5304に供給しています。

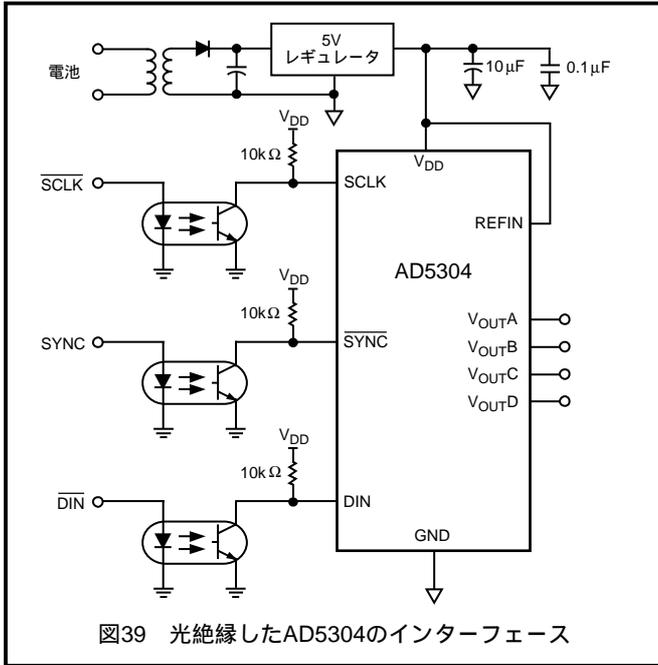


図39 光絶縁したAD5304のインターフェース

複数のAD5304/AD5314/AD5324のデコード

AD5304/AD5314/AD5324のSYNCピンは、複数のDACをデコードするアプリケーションで使用できます。このアプリケーションでは、システム内のすべてのDACが同じシリアル・クロックとシリアル・データを受信しますが、複数のデバイスの内の1つに対するSYNCだけがアクティブにされて、この16チャンネル・システム内の4チャンネルに対するアクセスが可能になります。74HC139は4:2デコーダとして使用されて、システム内のDACの1つをアドレス指定します。タイミング誤差を防止するため、デコードされるアドレス入力の変化中は、イネーブル入力を非アクティブ状態にしておきます。図40に、システム内で複数のAD5304をデコードする場合の、代表的な回路を示します。

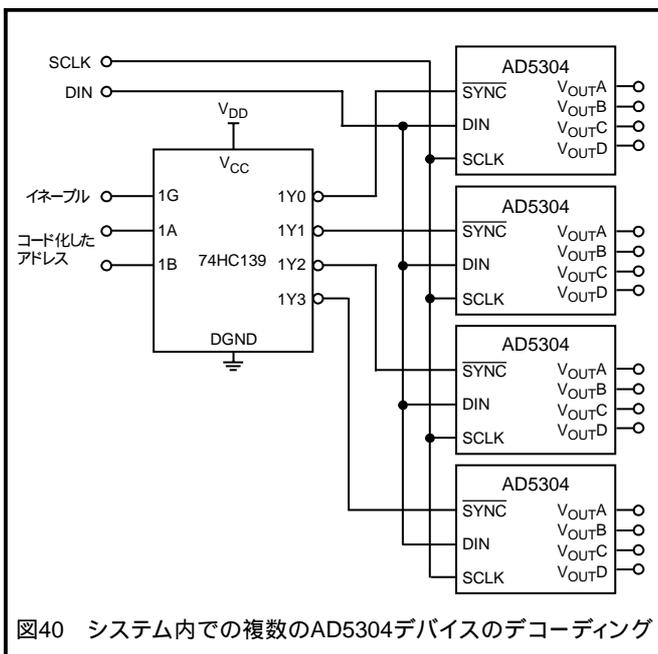


図40 システム内での複数のAD5304デバイスのデコーディング

AD5304/AD5314/AD5324のデジタル的にプログラマブルなウィンドウ検出器としての応用

図41に、AD5304/AD5314/AD5324内蔵の2個のDACを使用する、デジタル的にプログラマブルな検出器を示します。テスト対象の上下限値はDACのAとBにロードされ、これらの値がCMP04の上下限値を設定します。VIN入力の信号が設定されたウィンドウ外にある場合、LEDがウィンドウ外にあることを表示します。同様に、DAC CとDAC Dも2つ目のVIN信号に対するウィンドウ検出に使用することができます。

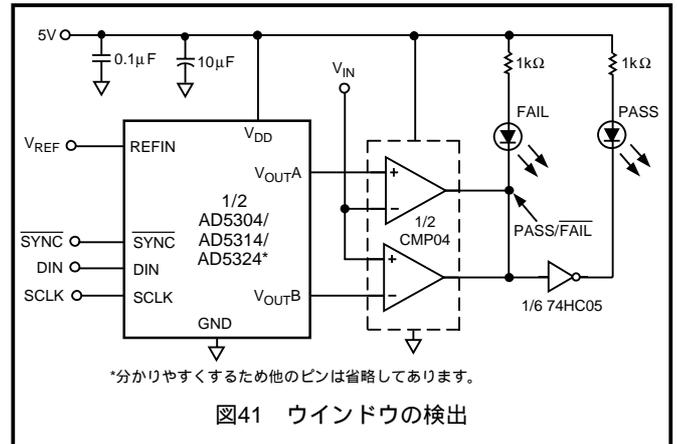


図41 ウィンドウの検出

電源のバイパスとグラウンド接続

精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うと、定格性能の保証に役立ちます。AD5304/AD5314/AD5324を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように設計してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でAD5304/AD5314/AD5324を使用する場合は、この接続は1ヵ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成してください。AD5304/AD5314/AD5324に対しては、10μFと0.1μFの電源バイパスをパッケージのできるだけ近くの電源（理想的にはデバイスの直ぐ隣）に並列接続する必要があります。10μFコンデンサはタンタル・ビーズ型を使います。0.1μFコンデンサは、高周波でグラウンドへのインピーダンスが低いセラミック型など、実効直列抵抗（ESR）と実効直列インダクタンス（ESL）が小さいものを使って、内部ロジックの切替による過渡電流を処理する必要があります。

AD5304/AD5314/AD5324の電源ラインには、できるだけ太いパターンを使ってインピーダンスの流入を抑え、電源ライン上でのグリッチの効果を削減する必要があります。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。デジタル信号とアナログ信号の交差は避けてください。ボードの反対側のパターンは、互いに直角となるように配置します。これにより、ボードを通過するフィードスルーの効果を削減できます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

AD5304/AD5314/AD5324

表II 全AD53xxシリアル・デバイスの一覧

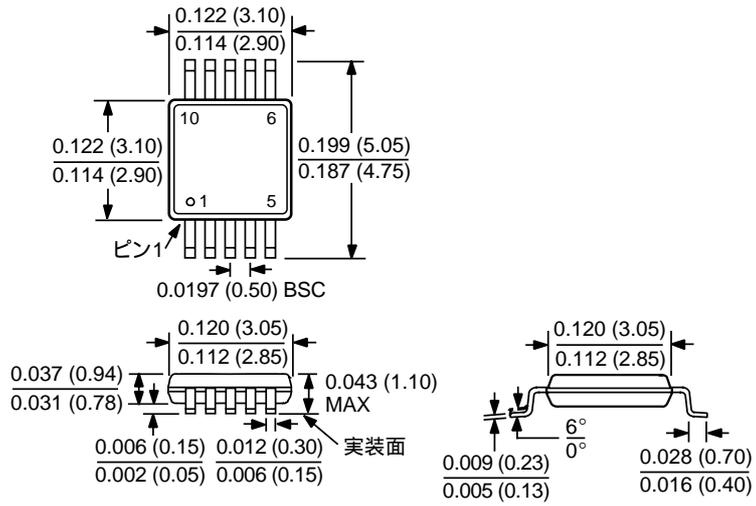
製品番号	分解能	DAC数	DNL	インターフェース	セトリング・タイム	パッケージ	ピン数
シングル							
AD5300	8	1	±0.25	SPI	4 μs	SOT-23、μSOIC	6,8
AD5310	10	1	±0.5	SPI	6 μs	SOT-23、μSOIC	6,8
AD5320	12	1	±1.0	SPI	8 μs	SOT-23、μSOIC	6,8
AD5301	8	1	±0.25	2線式	6 μs	SOT-23、μSOIC	6,8
AD5311	10	1	±0.5	2線式	7 μs	SOT-23、μSOIC	6,8
AD5321	12	1	±1.0	2線式	8 μs	SOT-23、μSOIC	6,8
デュアル							
AD5302	8	2	±0.25	SPI	6 μs	μSOIC	8
AD5312	10	2	±0.5	SPI	7 μs	μSOIC	8
AD5322	12	2	±1.0	SPI	8 μs	μSOIC	8
AD5303	8	2	±0.25	SPI	6 μs	TSSOP	16
AD5313	10	2	±0.5	SPI	7 μs	TSSOP	16
AD5323	12	2	±1.0	SPI	8 μs	TSSOP	16
クワッド							
AD5304	8	4	±0.25	SPI	6 μs	μSOIC	10
AD5314	10	4	±0.5	SPI	7 μs	μSOIC	10
AD5324	12	4	±1.0	SPI	8 μs	μSOIC	10
AD5305	8	4	±0.25	2線式	6 μs	μSOIC	10
AD5315	10	4	±0.5	2線式	7 μs	μSOIC	10
AD5325	12	4	±1.0	2線式	8 μs	μSOIC	10
AD5306	8	4	±0.25	2線式	6 μs	TSSOP	16
AD5316	10	4	±0.5	2線式	7 μs	TSSOP	16
AD5326	12	4	±1.0	2線式	8 μs	TSSOP	16
AD5307	8	4	±0.25	SPI	6 μs	TSSOP	16
AD5317	10	4	±0.5	SPI	7 μs	TSSOP	16
AD5327	12	4	±1.0	SPI	8 μs	TSSOP	16

詳細は当社Webサイトhttp://www.analog.com/support/standard_linear/selection_guides/AD53xx.htmlをご覧ください。

外形寸法

サイズはインチと (mm) で示します。

10ピン μ SOIC
(RM-10)



AD5304/AD5314/AD5324

TDS8/2000/2000

PRINTED IN JAPAN

