

AD5306/AD5316/AD5326*

特長

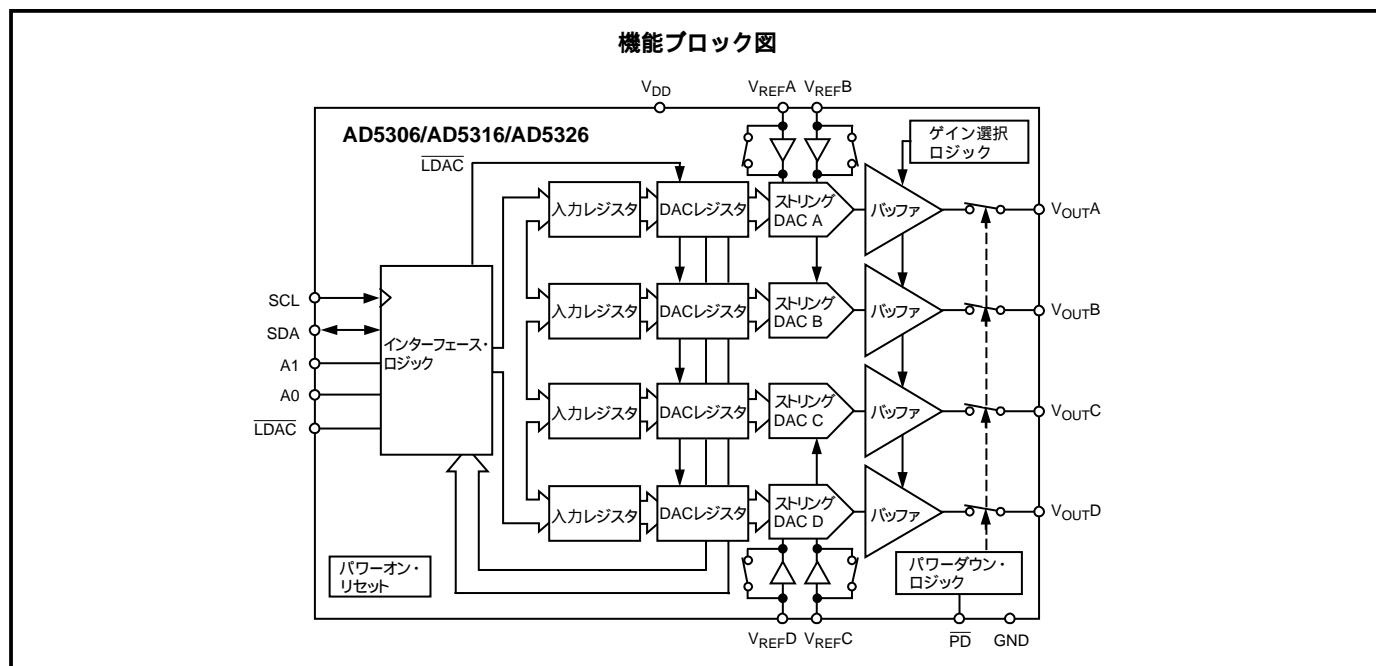
AD5306 : 4個のバッファ8ビットDAC、16ピンTSSOP
 AD5316 : 4個のバッファ10ビットDAC、16ピンTSSOP
 AD5326 : 4個のバッファ12ビットDAC、16ピンTSSOP
 低電力動作 : 400 μ A@3V、500 μ A@5V
 2線式 (I²C[®]コンパチブル) シリアル・インターフェース
 電源 : 2.5 ~ 5.5V
 全コードについて設計により単調性を保証
 90nA@3V、300nA@5Vのパワーダウン(PDピンまたはビット)
 ダブル・バッファ入力ロジック
 バッファ/非バッファ・リファレンス入力オプション
 出力範囲 : 0 ~ V_{REF}または0 ~ 2V_{REF}
 0Vへのパワーオン・リセット
 出力の同時更新 (LDACピン)
 ソフトウェア・クリア機構
 データ・リードバック機構
 レールtoレール出力バッファ・アンプ内蔵
 温度範囲 : -40 ~ +105

アプリケーション

携帯型バッテリー駆動機器
 デジタルによるゲイン/オフセット調整
 プログラマブルな電圧/電流源
 プログラマブル・アッテネータ
 工業プロセス制御

概要

AD5306/AD5316/AD5326は、16ピンTSSOPパッケージ、2.5 ~ 5.5V単電源動作、8/10/12ビットのバッファ電圧出力クワッドDACで、3Vで500 μ Aを消費します。内蔵の出力アンプは、0.7V/ μ sのスルーレートでレール to レールの出力シングリングを実現します。400kHzまでの周波数で動作する2線式シリアル・インターフェースを採用しており、このインターフェースは、V_{DD} < 3.6VでSMBusコンパチブルです。同じバスに複数のデバイスを割り当てられます。各DACは、バッファ/非バッファに設定可能な独立したリファレンス入力を備えています。すべてのDACの出力は、非同期のLDAC入力を用いて同時に更新できます。これらの部品は、DACの出力パワーアップを0Vとし、デバイスへの有効な書き込みが行われるまでその電圧を保持するパワーオン・リセット回路を備えています。また、すべてのDACを0Vにクリアするソフトウェア・クリア機能も備えています。3製品には、デバイスの消費電流を300nA@5V (90nA@3V) に低減するパワーダウン機能が組み込まれています。3製品はすべて同じピン出力を備えており、ユーザーは回路基板の設計を変更せずに、アプリケーションに最適な分解能を選択できます。



* 米国特許No.5,969,657により保護されており、他の特許も出願中です。
 I²C[®]は、Philips Corporationの登録商標です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD5306/AD5316/AD5326 仕様

(特に指示のない限り、 $V_{DD} = 2.5 \sim 5.5V$ 、 $V_{REF} = 2V$ 、 $R_L = GND$ に対し2k、 $C_L = GND$ に対し200pF、すべての仕様を $T_{MIN} \sim T_{MAX}$ で規定)

パラメータ ¹	Bバージョン ²			単位	テスト条件 / 備考
	Min	Typ	Max		
DC特性^{3,4}					
AD5306					
分解能		8		ビット	
相対精度		± 0.15	± 1	LSB	
微分非直線性		± 0.02	± 0.25	LSB	全コードについて設計により単調性を保証
AD5316					
分解能		10		ビット	
相対精度		± 0.5	± 4	LSB	
微分非直線性		± 0.05	± 0.5	LSB	全コードについて設計により単調性を保証
AD5326					
分解能		12		ビット	
相対精度		± 2	± 16	LSB	
微分非直線性		± 0.2	± 1	LSB	全コードについて設計により単調性を保証
オフセット誤差		± 5	± 60	mV	$V_{DD} = 4.5V$ 、ゲイン = 2、図2および3参照
ゲイン誤差		± 0.3	± 1.25	FSRに対する%値	$V_{DD} = 4.5V$ 、ゲイン = 2、図2および3参照
下側デッドバンド ⁵		10	60	mV	図2参照、下側デッドバンドは、オフセット誤差が負のときにのみ存在
上側デッドバンド ⁵		10	60	mV	図3参照、上側デッドバンドは、 $V_{REF} = V_{DD}$ およびオフセットとゲイン誤差の合計が正の場合にのみ存在
オフセット誤差ドリフト ⁶		- 12		FSR/ に対するppm値	
ゲイン誤差ドリフト ⁶		- 5		FSR/ に対するppm値	
DC電源除去比 ⁶		- 60		dB	$V_{DD} = \pm 10\%$
DCクロストーク ⁶		200		μV	$R_L = GND$ または V_{DD} に対し2k
DACリファレンス入力					
V_{REF} 入力範囲	1 0.25		V_{DD} V_{DD}	V V	バッファ・リファレンス・モード 非バッファ・リファレンス・モード
V_{REF} 入力インピーダンス	148 74	> 10		M k k	バッファ・リファレンス・モードおよびパワーダウン・モード 非バッファ・リファレンス・モード。0 ~ V_{REF} 出力範囲 非バッファ・リファレンス・モード。0 ~ $2V_{REF}$ 出力範囲
リファレンス・フィードスルー チャンネル間絶縁		- 90 - 75		dB dB	周波数 = 10kHz 周波数 = 10kHz
出力特性⁶					
最小出力電圧 ⁷		0.01		V	出力アンプの最小および最大ドライブ能力の測定値です。
最大出力電圧 ⁷		$V_{DD} - 0.01$		V	
DC出力インピーダンス		0.5			
短絡電流		25 16		mA mA	$V_{DD} = 5V$ $V_{DD} = 3V$
パワーアップ時間		2.5 5		μs μs	パワーダウン・モードからの復帰。 $V_{DD} = 5V$ パワーダウン・モードからの復帰。 $V_{DD} = 3V$
ロジック入力 (SCL、SDAを除く)⁸					
入力電流			± 1	μA	
V_{IL} 、入力ロー電圧			0.8 0.6 0.5	V V V	$V_{DD} = 5V \pm 10\%$ $V_{DD} = 3V \pm 10\%$ $V_{DD} = 2.5V$
V_{IH} 、入力ハイ電圧 ピン容量	1.7			V pF	$V_{DD} = 2.5 \sim 5.5V$ 、TTLおよび1.8V-CMOSコンパチブル
ロジック入力 (SCL、SDA)⁹					
V_{IH} 、入力ハイ電圧	0.7 V_{DD}		$V_{DD} + 0.3$	V	$V_{DD} < 3.6V$ でSMBusコンパチブル
V_{IL} 、入力ロー電圧	- 0.3		0.3 V_{DD}	V	$V_{DD} < 3.6V$ でSMBusコンパチブル
I_{IN} 、入力リーク電流			± 1	μA	
V_{HYST} 、入力ヒステリシス	0.05 V_{DD}			V	特性15参照。
C_{IN} 、入力容量		8		pF	
グリッチ除去			50	ns	入力のフィルタ処理で50ns未満のノイズ・スパイクを抑圧
ロジック出力 (SDA)⁹					
V_{OL} 、出力ロー電圧			0.4 0.6	V V	$I_{SINK} = 3mA$ $I_{SINK} = 6mA$
スリープ状態・リーク電流			± 1	μA	
スリープ状態出力容量		8		pF	

AD5306/AD5316/AD5326

パラメータ ¹	Bバージョン ²			単位	テスト条件 / 備考
	Min	Typ	Max		
電源要求事項					
V_{DD}	2.5		5.5	V	$V_{IH} = V_{DD}$ および $V_{IL} = GND$ 、インターフェースは非アクティブ すべてのDACは非バッファ・モード。バッファ・モードでは、 $x = 5 \mu A + V_{REF}/R_{DAC}$ とした場合のDACあたりの追加の電流の代表値は $x \mu A$ 。
I_{DD} (ノーマル・モード) ³		500	900	μA	
$V_{DD} = 4.5 \sim 5.5V$					
$V_{DD} = 2.5 \sim 3.6V$		400	750	μA	$V_{IH} = V_{DD}$ および $V_{IL} = GND$ 。インターフェースは非アクティブ SDAでのリード・バックが 0° の間は $I_{DD} = 3 \mu A$ (Max) SDAでのリード・バックが 0° の間は $I_{DD} = 1.5 \mu A$ (Max)
I_{DD} (パワーダウン・モード)					
$V_{DD} = 4.5 \sim 5.5V$		0.3	1	μA	
$V_{DD} = 2.5 \sim 3.6V$		0.09	1	μA	

注

- 用語解説を参照。
 - 温度範囲：Bバージョン：-40 ~ +105 °C、25 °Cにおける代表値です。
 - DC特性は出力をロードしていない状態でテストしたものです。
 - 直線性はコード範囲を狭めてテスト：AD5306 (コード8 ~ 255)、AD5316 (コード28 ~ 1023)、AD5326 (コード115 ~ 4095)
 - xコードに対するものです。x = デッドバンド電圧 / LSBサイズです。
 - 設計および特性仕様により保証されています。製品テストは実施されていません。
 - アンプの出力が最小電圧に達するためにはオフセット誤差は負である必要があり、アンプの出力が最大電圧に達するためには $V_{REF} = V_{DD}$ およびオフセットとゲインの誤差の合計が正である必要があります。
 - インターフェースは非アクティブ、全DACはアクティブです。DAC出力はロードされていません。
- 仕様は予告なく変更されることがあります。

AC特性¹

(特に指示のない限り、 $V_{DD} = 2.5 \sim 5.5V$ 、 $R_L = GND$ に対し2k Ω 、全仕様とも $T_{MIN} \sim T_{MAX}$ です)

パラメータ ²	Bバージョン ³			単位	テスト条件 / 備考
	Min	Typ	Max		
出力電圧セトリング時間					$V_{REF} = V_{DD} = 5V$
AD5306		6	8	μs	1/4スケールから3/4スケールへの変化(40HexからC0Hex)
AD5316		7	9	μs	1/4スケールから3/4スケールへの変化(100Hexから300Hex)
AD5326		8	10	μs	1/4スケールから3/4スケールへの変化(400HexからC00Hex)
スルーレート		0.7		V/ μs	
大コード変化グリッチ・エネルギー		12		nV sec	大キャリヤ周辺での1LSBの変化
デジタル・フィードスルー		0.5		nV sec	
デジタル・クロストーク		0.5		nV sec	
アナログ・クロストーク		1		nV sec	
DAC間クロストーク		3		nV sec	
乗算帯域幅		200		kHz	$V_{REF} = 2V \pm 0.1V_{p-p}$ 。非バッファ・モード
全高調波歪み		-70		dB	$V_{REF} = 2.5V \pm 0.1V_{p-p}$ 。周波数 = 10kHz

注

- 設計および特性仕様により保証されています。製品テストは実施されていません。
 - 用語解説を参照してください。
 - 温度範囲はBバージョン：-40 ~ +105 °C、25 °Cにおける代表値です。
- 仕様は予告なく変更されることがあります。

AD5306/AD5316/AD5326 仕様

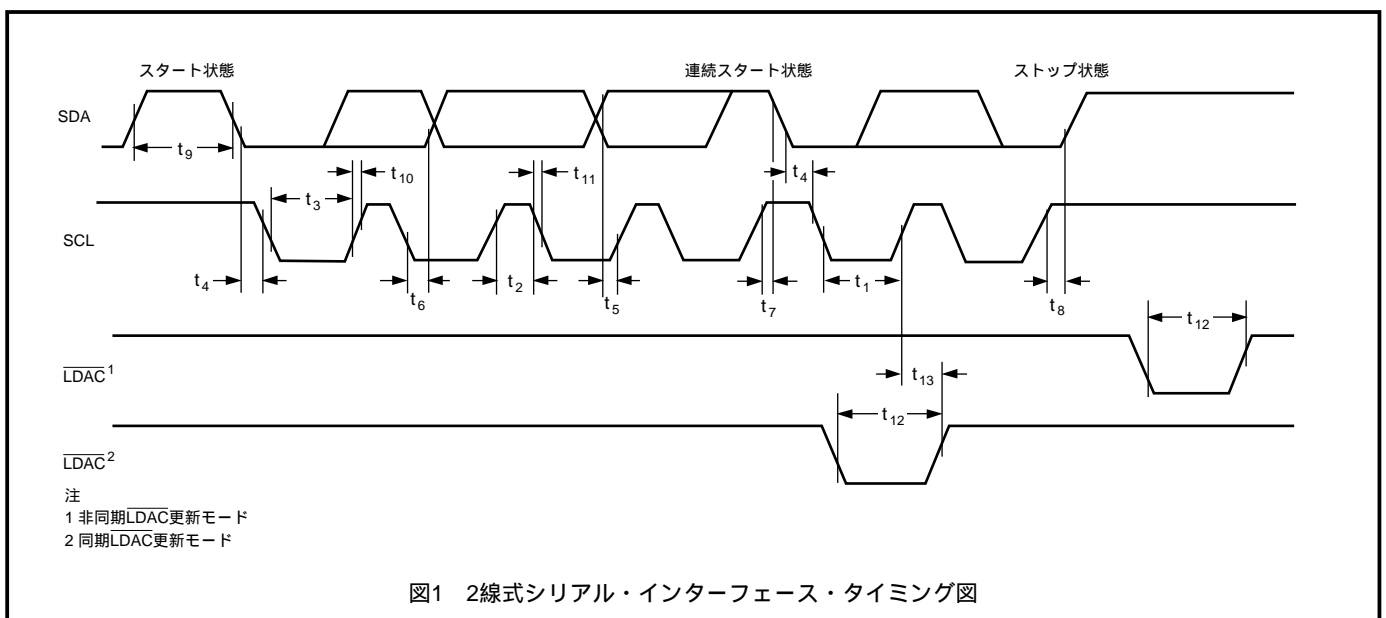
タイミング特性¹

(特に指示のない限り、 $V_{DD} = 2.5 \sim 5.5V$ 、 $T_{MIN} \sim T_{MAX}$ で全仕様を規定)

パラメータ ²	Bバージョン ³	単位	テスト条件 / 備考
	T_{MIN} 、 T_{MAX} における限界		
f_{SCL}	400	kHz max	SCLクロック周波数
t_1	2.5	μs min	SCLサイクル時間
t_2	0.6	μs min	t_{HIGH} 、SCLハイ時間
t_3	1.3	μs min	t_{LOW} 、SCLロー時間
t_4	0.6	μs min	$t_{HD, STA}$ 、スタート / 連続スタート状態ホールド時間
t_5	100	ns min	$t_{SU, DAT}$ 、データ・セットアップ時間
t_6^3	0.9	μs max	$t_{HD, DAT}$ 、データ・ホールド時間
	0	μs min	
t_7	0.6	μs min	$t_{SU, STA}$ 、連続スタートのセットアップ時間
t_8	0.6	μs min	$t_{SU, STO}$ 、ストップ状態セットアップ時間
t_9	1.3	μs min	t_{BUF} 、STOPおよびSTART状態間のバス・フリー時間
t_{10}	300	ns max	t_R 、受信時のSCLおよびSDAの立ち上がり時間
	0	ns min	t_R 、受信時のSCLおよびSDAの立ち上がり時間 (CMOSコンパチブル)
t_{11}	250	ns max	t_F 、送信時のSDAの立ち下がり時間
	0	ns min	t_F 、受信時のSDAの立ち下がり時間 (CMOSコンパチブル)
	300	ns max	t_F 、受信時のSCLおよびSDAの立ち下がり時間
	$20 + 0.1C_b^4$	ns min	t_F 、送信時のSCLおよびSDAの立ち下がり時間
t_{12}	20	ns min	\overline{LDAC} パルス幅
t_{13}	400	ns min	SCLの立ち上がりエッジから \overline{LDAC} の立ち上がりエッジまでの時間
C_b	400	pF max	各バス・ラインの容量性負荷

注

- 1 図1参照。
 - 2 設計および特性仕様により保証されています。製品テストは実施されていません。
 - 3 マスター・デバイスは、SCLの立ち下がりエッジの不定領域をブリッジするために、SDA信号に対し少なくとも300nsのホールド時間 (SCL信号の $V_{IH, min}$) を与える必要があります。
 - 4 C_b は1つのバス・ラインの全容量をpFで表したものです。 t_R および t_F は $0.3V_{DD}$ と $0.7V_{DD}$ の間で測定したものです。
- 仕様は予告なく変更される場合があります。



AD5306/AD5316/AD5326

絶対最大定格^{1,2}

(指定のない限り $T_A=25$)

$V_{DD} \sim GND$ - 0.3 ~ + 7V
SCL、SDA ~ GND - 0.3V ~ $V_{DD} + 0.3V$
A0、A1、 \overline{LDAC} 、 \overline{PD} ~ GND - 0.3V ~ $V_{DD} + 0.3V$
リファレンス入力電圧 ~ GND - 0.3V ~ $V_{DD} + 0.3V$
 $V_{OUT-A-D} \sim GND$ - 0.3V ~ $V_{DD} + 0.3V$

動作温度範囲

工業用 (Bバージョン) - 40 ~ + 105
保管温度範囲 - 65 ~ + 150
接合温度 (T_{Jmax}) 150

16ピンTSSOPパッケージ

ワット損 ($T_{Jmax} - T_A$) / J_A
 J_A 熱抵抗 150.4 /W

リフロー・ハンダ付け

ピーク温度 220 + 5 / - 0
ピーク温度における時間 10 ~ 40秒

注

- 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。
- 最大100mAまでの過渡電流では、SCRラッチアップは発生しません。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお願いいたします。

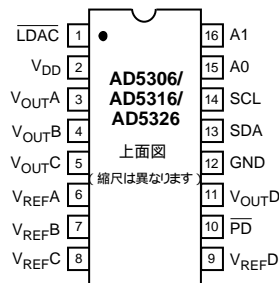


オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD5306BRU	- 40 ~ + 105	薄型シュリンク・スモール・アウトライン・パッケージ	RU-16
AD5316BRU	- 40 ~ + 105	薄型シュリンク・スモール・アウトライン・パッケージ	RU-16
AD5326BRU	- 40 ~ + 105	薄型シュリンク・スモール・アウトライン・パッケージ	RU-16

AD5306/AD5316/AD5326

ピン配置



ピン機能説明

ピン番号	記号	機能
1	LDAC	入力レジスタの内容を各DACレジスタに転送するためのアクティブ・ローの制御入力。このピンにロー・レベルのパルスを与えることにより、入力レジスタにデータが存在する場合、全DACレジスタを更新できます。これにより、すべてのDAC出力を更新できます。また、このピンを常にロー・レベルにしておくこともできます。
2	V _{DD}	電源入力。これらの部品は、2.5~5.5Vで動作しますが、電源は、10μFと0.1μFのコンデンサを並列接続し、これでGNDからデカップリングする必要があります。
3	V _{OUTA}	DAC Aからのバッファされたアナログ出力電圧。出力アンプは、レール to レールで動作します。
4	V _{OUTB}	DAC Bからのバッファされたアナログ出力電圧。出力アンプは、レール to レールで動作します。
5	V _{OUTC}	DAC Cからのバッファされたアナログ出力電圧。出力アンプは、レール to レールで動作します。
6	V _{REFA}	DAC Aのリファレンス入力ピン。DAC Aへの入力ワードのBUFビットの状態により、バッファまたは非バッファに設定できます。入力範囲は、非バッファ・モードで0.25V~V _{DD} 、バッファ・モードで1V~V _{DD} です。
7	V _{REFB}	DAC Bのリファレンス入力ピン。DAC Bへの入力ワードのBUFビットの状態により、バッファまたは非バッファに設定できます。入力範囲は、非バッファ・モードで0.25V~V _{DD} 、バッファ・モードで1V~V _{DD} です。
8	V _{REFC}	DAC Cのリファレンス入力ピン。DAC Cへの入力ワードのBUFビットの状態により、バッファまたは非バッファに設定できます。入力範囲は、非バッファ・モードで0.25V~V _{DD} 、バッファ・モードで1V~V _{DD} です。
9	V _{REFD}	DAC Dのリファレンス入力ピン。DAC Dへの入力ワードのBUFビットの状態により、バッファまたは非バッファに設定できます。入力範囲は、非バッファ・モードで0.25V~V _{DD} 、バッファ・モードで1V~V _{DD} です。
10	PD	ハードウェアのパワーダウン・オプションを実行するためのアクティブ・ローの制御入力です。このピンがローのときに、すべてのDACはパワーダウン・モードとなります。DACの出力は、ハイ・インピーダンス状態となります。部品の消費電流は、300nA@5V (90nA@3V) に低減されます。
11	V _{OUTD}	DAC Dからのバッファされたアナログ出力電圧です。出力アンプは、レール to レールで動作します。
12	GND	部品のすべての回路についてのグラウンド・リファレンス・ポイント。
13	SDA	シリアル・データ・ライン。SCLラインとの関係で16ビットの入力シフト・レジスタにデータをクロック入力します。双方向のオープン・ドレインのデータ・ラインであり、外部のプル・アップ抵抗により電源に接続する必要があります。
14	SCL	シリアル・クロック・ライン。SDAラインとの関係で16ビットの入力シフト・レジスタにデータをクロック入力します。I2Cコンパチブルのインターフェースでは、400kビットまでのクロック・レートで使用できます。
15	A0	アドレス入力。7ビット・スレーブ・アドレスのLSBを設定します。
16	A1	アドレス入力。7ビット・スレーブ・アドレスのLSBの1ビット上位を設定します。

用語解説

積分非直線性

DACでは、相対精度または積分非直線性(INL)は、DACの伝達関数の終点を通る直線からの最大の偏差の尺度であり、LSB単位で表されます。特性1、2、3に、INLとコードの関係のプロットの代表的な例を示します。

微分非直線性

微分非直線性(Differential Nonlinearity、DNL)は、任意の隣接する2つのコード間で測定された変化と理想的な1LSBの変化との差異を示す尺度です。微分非直線性の仕様が最大 ± 1 LSBであるときに単調性が確保されます。このDACについては、設計によって単調性が保証されています。特性4、5、6に、DNLとコードの関係のプロットの代表的な例を示します。

オフセット誤差

DACと出力アンプの間のオフセット誤差を示す尺度です。正の値と負の値の場合があります。図2および3を参照してください。mVの単位で表されます。

ゲイン誤差

DACのスパン誤差を示す尺度です。DAC伝達特性の理論値からの偏差を示すスロープであり、フルスケール範囲に対する%値で表されます。

オフセット誤差ドリフト

温度により変化するオフセット誤差の変化を表す尺度です。(フルスケール範囲に対するppm値) で表されます。

ゲイン誤差ドリフト

温度により変化するゲイン誤差の変化を表す尺度です。(フルスケール範囲に対するppm値) で表されます。

DC電源除去比(PSRR)

DACの出力が電源電圧の変動により受ける影響を示します。PSRRは、DACのフルスケール出力における V_{OUT} の変化の V_{DD} の変化に対する比で、dBで表されます。 V_{REF} を2Vに固定し V_{DD} を $\pm 10\%$ で変動させます。

DCクロストーク

あるDACのミッドスケールにおける出力レベルのDC出力が他のDACのフルスケール変化(全0から全1およびその逆)および出力変動に応じて変化する量を示します。 μV で表されます。

リファレンス・フィードスルー

DAC出力が更新されないとき(LDACがハイの場合)のDAC出力の信号の、振幅のリファレンス入力に対する比です。dBで表されます。

チャンネル間絶縁

あるDACの出力における信号の振幅の他のDACのリファレンス入力のサイン波に対する比です。dBで表されます。

大コード遷移グリッチ・エネルギー

大コード遷移グリッチ・エネルギーは、DACレジスタのコードの状態が変化したときにアナログ出力に注入されるインパルスのエネルギーです。通常はnV secsの単位におけるグリッチの領域で示され、大きなキャリアの遷移においてデジタル・コードが1LSBだけ変化するときに測定されます(011...11から100...00または100...00から011...11)。

デジタル・フィードスルー

デジタル・フィードスルーは、DACの出力が更新されていないときに、デバイスのデジタル入力ピンからDACのアナログ出力に注入されるインパルスを示す尺度です。nV secsで表され、デジタル入力ピンにおける最悪ケースの変化、すなわち、全0から全1またはその逆の場合について測定されます。

デジタル・クロストーク

ミッドスケールある1つのDACの出力に対して他のDACの入力レジスタのフルスケールのコード変化(すべて0からすべて1)に応じて伝送されるグリッチ・インパルスです。nV secsで表されます。

アナログ・クロストーク

あるDACの出力に対して他のDACの出力の変化により伝送されるグリッチ・インパルスです。これは、LDACをハイに保った状態で1つのDACにフルスケールのコード変化(全0から全1、またはその逆)をロードして測定されます。次に、LDACにローのパルスを与え、デジタル・コードが変更されていないDACの出力を監視します。グリッチのエネルギーは、nV secsで表されます。

DAC間クロストーク

あるDACの出力に伝送されるグリッチ・インパルスであり、他のDACのデジタル・コードの変化と、これに伴う出力の変化に対応します。デジタルおよびアナログのクロストークの双方を含みます。LDACビットをローにした状態で、あるDACにフルスケールのコード変化(全0から全1、およびその逆)をロードして他のDACの出力を監視して測定します。グリッチのエネルギーは、nV secsで表されます。

乗算帯域幅

DACの増幅器は有限の帯域幅を持っています。乗算帯域幅は、これを表す尺度です。リファレンスのサイン波は(DACにフルスケールのコードがロードされた状態で)出力に現われます。乗算帯域幅は、出力の振幅が入力より3dB低下する周波数です。

全高調波歪み

理想的なサイン波とDACを用いて減衰されたそのサイン波の差異です。サイン波はDACのリファレンスとして用いられ、THDはDACの出力に現われる高調波を表す尺度で、dBで表されます。

AD5306/AD5316/AD5326

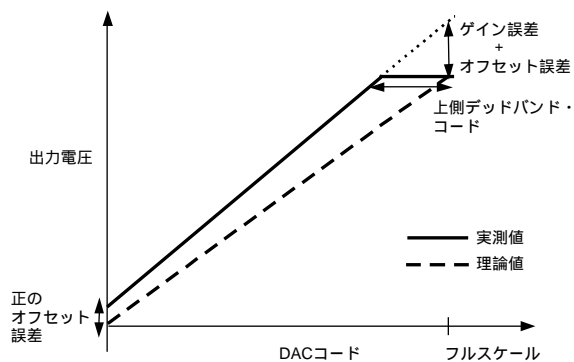
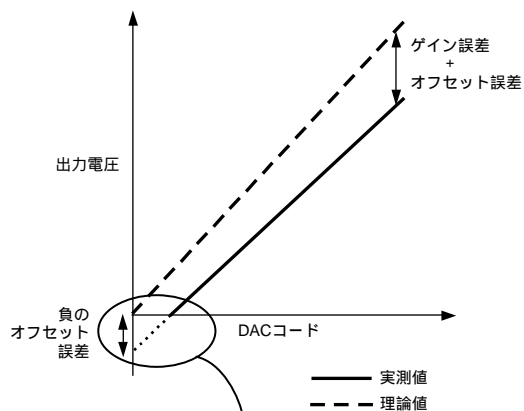


図3 正のオフセットにおける伝達関数 ($V_{REF} = V_{DD}$)

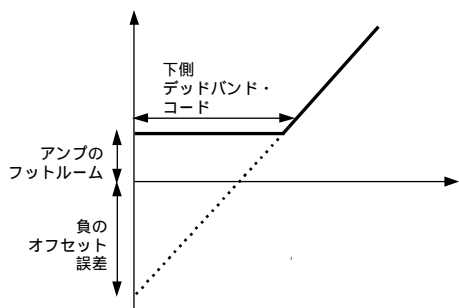
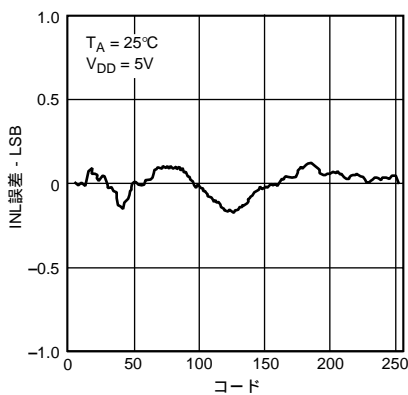
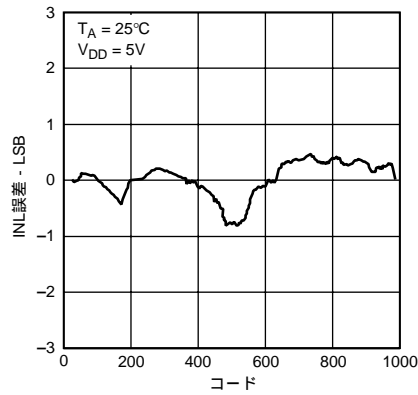


図2 負のオフセットにおける伝達関数

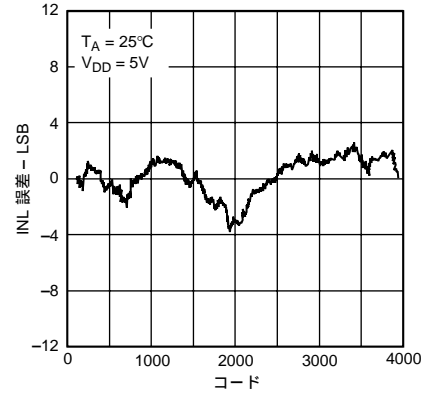
AD5306/AD5316/AD5326 代表的な性能特性



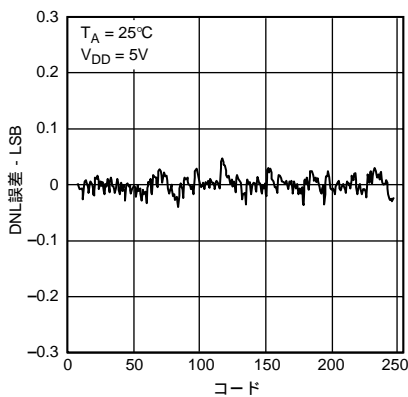
特性1 AD5306の代表的なINLプロット



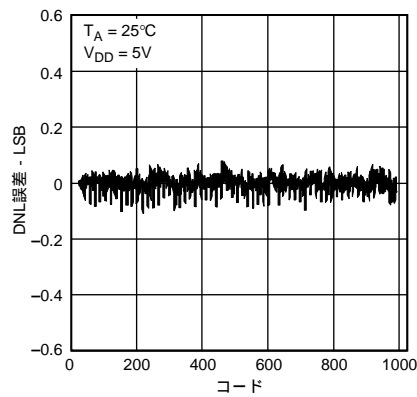
特性2 AD5316の代表的なINLプロット



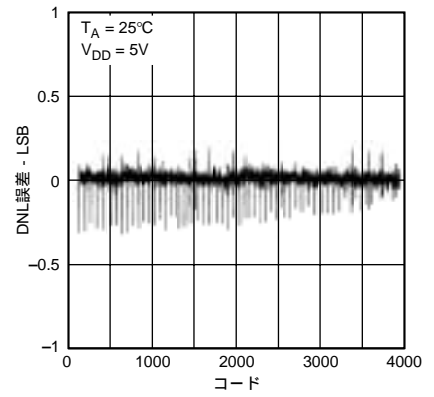
特性3 AD5326の代表的なINLプロット



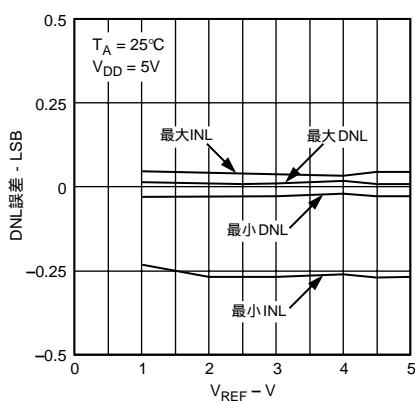
特性4 AD5306の代表的なDNLプロット



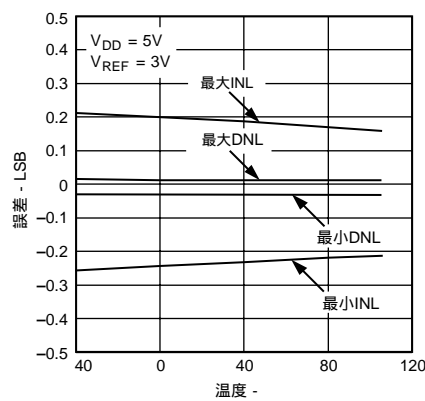
特性5 AD5316の代表的なDNLプロット



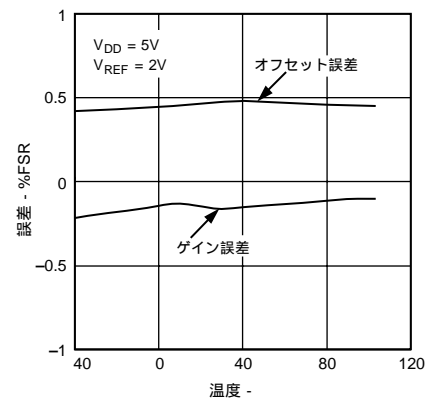
特性6 AD5326の代表的なDNLプロット



特性7 AD5306のINLおよびDNL誤差 対 V_{REF}

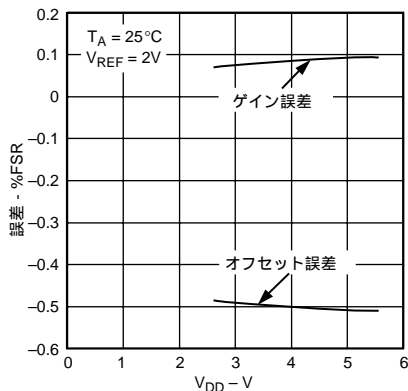


特性8 AD5316のINL誤差およびDNL誤差 対 温度

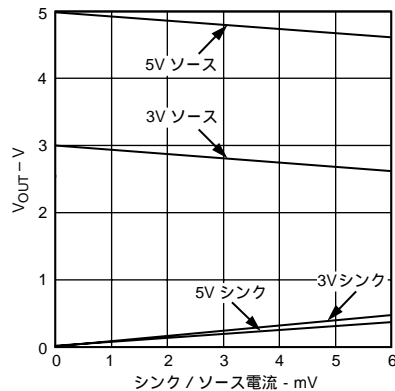


特性9 AD5306のオフセット誤差およびゲイン誤差 対 温度

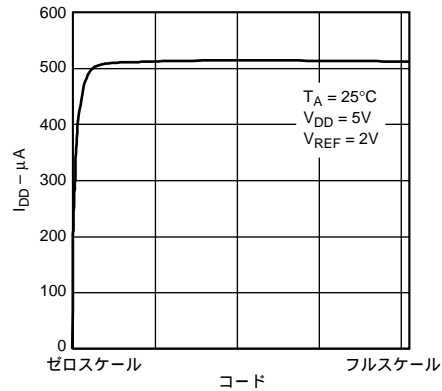
AD5306/AD5316/AD5326



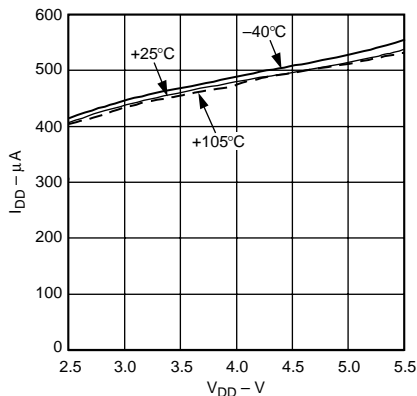
特性10 オフセット誤差およびゲイン誤差 対 V_{DD}



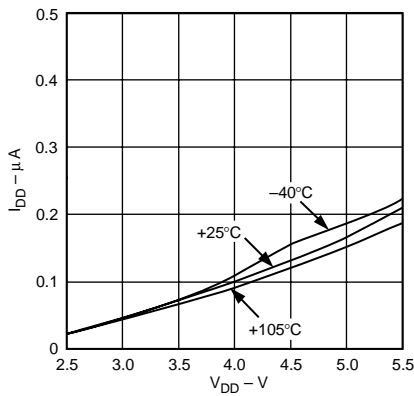
特性11 V_{OUT} ソースおよびシンク電流 対 電流容量



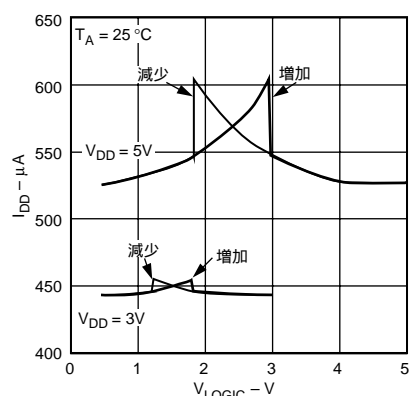
特性12 電源電流 対 DACコード



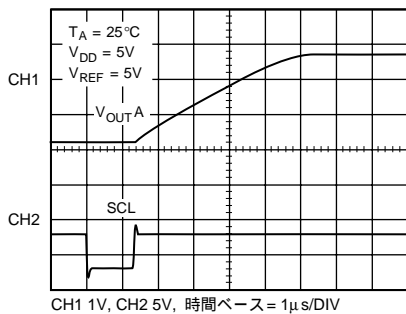
特性13 供給電流 対 電源電圧



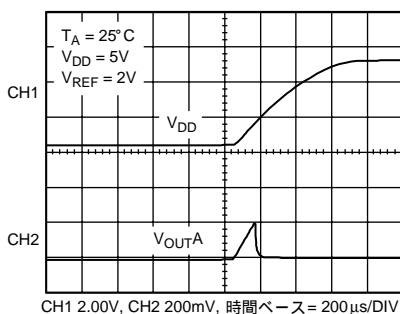
特性14 パワーダウン電流 対 電源電圧



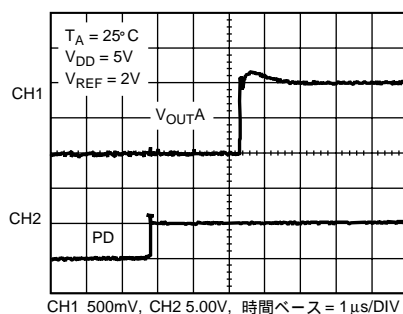
特性15 供給電流 対 SDAおよびSCLの電圧の上昇/低下におけるロジック入力電圧



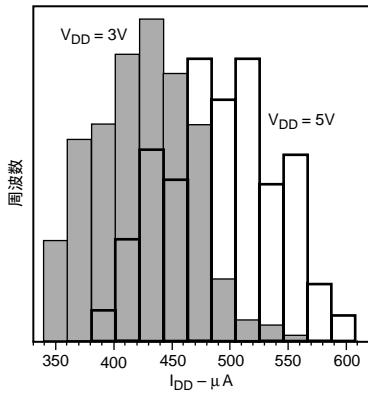
特性16 ハーフスケール・セトリング (1/4から3/4スケールへのコード変化)



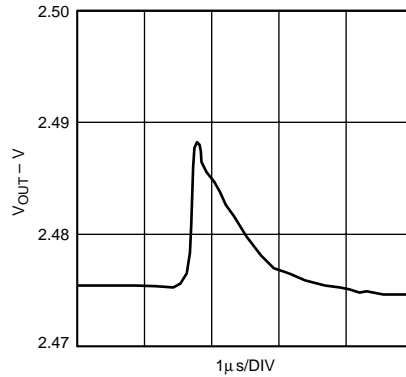
特性17 0Vへのパワーオン・リセット



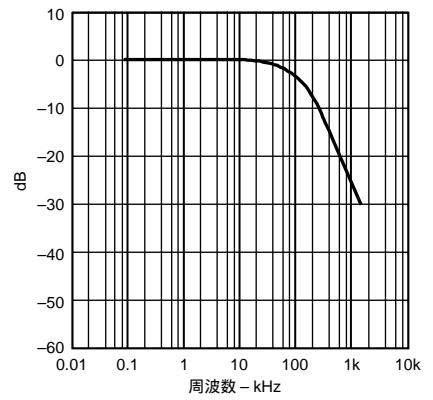
特性18 パワーダウンからミッドスケールへの復帰



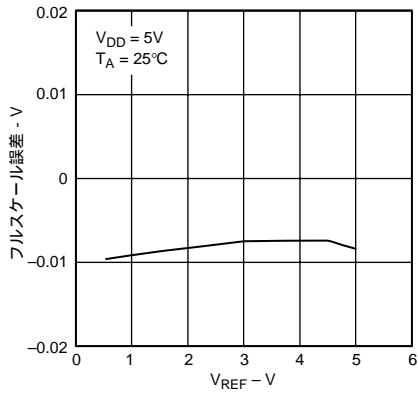
特性19 $V_{DD} = 3V$ および $V_{DD} = 5V$ における I_{DD} のヒストグラム



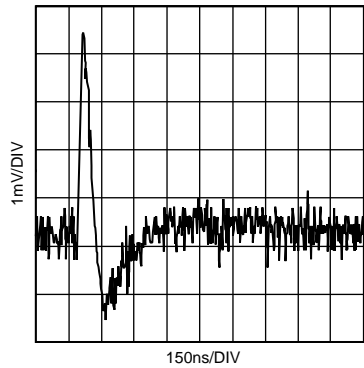
特性20 AD5326大コード遷移 グリッチ・エネルギー



特性21 乗算帯域幅 (小信号周波数応答)



特性22 フルスケール誤差 対 V_{REF}



特性23 DAC間クロストーク

AD5306/AD5316/AD5326

機能解説

AD5306/AD5316/AD5326は、CMOSプロセスに基づいて構成された、それぞれ8/10/12ビットの分解能を持つ、クワッド抵抗器(レジスタ)ストリングDACです。3製品とも、2線式インターフェース経由で書き込みできる4つの出力バッファ・アンプを持っています。2.5~5.5Vの単電源で動作し、出力バッファ・アンプは0.7V/ μ sのスルーレートでのレール to レールの出力スイングが可能です。各DACは独立したリファレンス入力を用意しており、リファレンス・ソースから実質的に電流を引き込まないようにバッファすることも、または0.25Vから V_{DD} のリファレンス入力範囲を得るために非バッファにもできます。全DACを完全にオフの状態としてハイ・インピーダンス出力とするパワーダウン・モードを備えています。

デジタル / アナログ変換部

1つのDACチャンネルのアーキテクチャは、1つの抵抗器ストリングDACとこれに続く1つの出力バッファ・アンプによって構成されます。 V_{REF} ピンの電圧は、対応するDACへのリファレンス電圧を供給します。図4に、DACアーキテクチャのブロック図を示します。DACに対する入力コーディングはストレート・バイナリ(直線2進数)なので、理論的な出力電圧は以下の式で得られます。

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

ここで、

Dは、DACレジスタにロードされるバイナリ・コードを10進数で表したものであり、

- AD5306(8ビット)では0~255
 - AD5316(10ビット)では0~1023
 - AD5326(12ビット)では0~4095
- となります。

Nは、DACの分解能です。

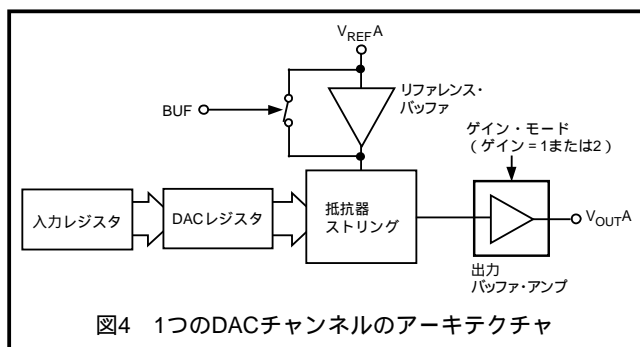


図4 1つのDACチャンネルのアーキテクチャ

抵抗器ストリング

図5に、抵抗器ストリング部を示します。これは、単純に連続した抵抗器(抵抗器ストリング)であり、それぞれの値がRとなっています。DACレジスタにロードされるデジタル・コードによって、ストリングのどのノードの電圧が出力アンプに入力されるために切り出されるかが決定されます。電圧は、ストリングをアンプに接続する複数のスイッチのうち1つを閉じることによって切り出されます。連続した抵抗器であるため、単調性が保証されています。

DACリファレンス入力

4つのDACには、それぞれ1つのリファレンス・ピンがあります。リファレンス入力にはバッファされますが、個別に非バッファに設定できます。バッファ入力の利点は、これをドライブする電圧ソースに対し

てハイ・インピーダンスとなることです。しかしながら、非バッファ・モードが使用される場合には、リファレンス・アンプのヘッドルームおよびフットルームに制約がないため、ユーザーは0.25Vから V_{DD} の範囲のリファレンス電圧を使用できます。

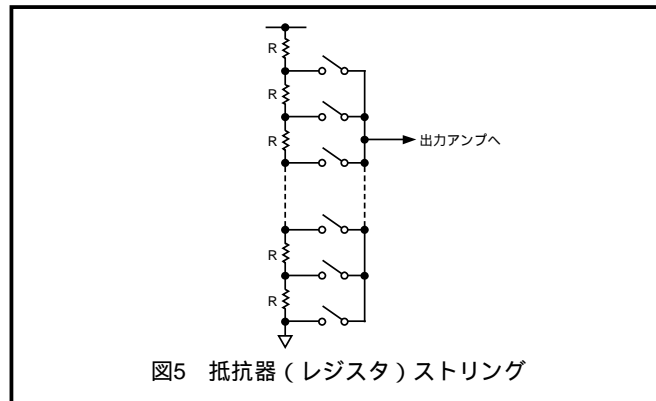


図5 抵抗器(レジスタ)ストリング

回路にバッファ・リファレンスがある場合(例えば、REF192)には、AD5306/AD5316/AD5326の内部バッファの使用は不要です。非バッファ・モードでは、入力インピーダンスは、リファレンス入力あたり、0~ V_{REF} モードで180k、0~ $2V_{REF}$ モードで90k(ともにtyp値)となり、値は依然として大きなままです。

バッファ / 非バッファのオプションは、制御バイトのBUFビットにより制御されます。BUFビットの設定は、ポイント・バイトでどのDACが選択されているかにかかわらず適用されます。

出力アンプ

出力バッファ・アンプは、両側のレールから1mV以内の出力を生成できます。この実際の範囲は、 V_{REF} 、ゲイン、オフセット誤差、ゲイン誤差の値に依存します。

ゲインとして1が選択された場合(GAIN = 0)には、出力範囲は0.001Vから V_{REF} となります。

ゲインとして2が選択された場合(GAIN = 1)には、出力範囲は0.001Vから $2V_{REF}$ となります。しかしながら、クランピングのため、最大出力は $V_{DD} - 0.001V$ に制限されます。

出力アンプは、GNDまたはGNDに対し2k および V_{DD} 、または V_{DD} に対し500pFを並列に接続した負荷をドライブできます。特性11に出力アンプのソース / シンク能力のプロットを示します。

スルーレートは0.7V/ μ sであり、 $\pm 0.5LSB$ (8ビットにおいて)までのハーフスケールのセトリング・タイムは6 μ sです。

パワーオン・リセット

AD5306/AD5316/AD5326は、パワーオン・リセット機能を備えており、定義された状態でパワーアップができます。パワーオン状態は以下のとおりです。

- ・通常動作
- ・リファレンス入力非バッファ
- ・0~ V_{REF} 出力範囲
- ・出力電圧を0Vに設定

両入力およびDACレジスタはゼロで満たされ、デバイスに対する有効なライト・シーケンスが実行されるまでその状態にとどまります。これは、デバイスがパワーアップする間のDAC出力を知ることが重要なアプリケーションで特に役立ちます。

シリアル・インターフェース

AD5306/AD5316/AD5326は、I²Cコンパチブルのシリアル・バスによって制御されます。AD5306/AD5316/AD5326は、スレーブ・デバイスとして、このバスに接続されます。(すなわち、AD5306/AD5316/AD5326はクロックを生成しない)。このインターフェースは、V_{DD} < 3.6VでSMBusコンパチブルです。

AD5306/AD5316/AD5326は、7ビットのスレーブ・アドレスを持っています。MSBの5ビットは00011であり、2つのLSBはA0およびA1の状態により決定されます。A0およびA1をハードウェア的な接続により変更できる機構により、ユーザーは1つのバス上にこれらのデバイスを4つまで割り当てられます。

2線式シリアル・バス・プロトコルは以下のよう動作します。

1. マスターが、SCLがハイである間にSDAラインのハイからローへの遷移が発生するときのSTART状態を確立することにより、データ転送を開始します。次のバイトは7ビットのスレーブ・アドレスおよびこれに続くR/Wビット(このビットによりスレーブへのデータのリードまたはライトが決定される)により構成されます。

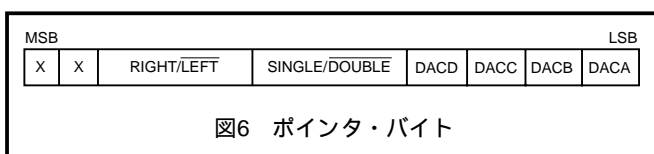
送信されたアドレスに対応するアドレスを持つスレーブは、9番目のクロック・パルス(認証ビット)の間、SDAをローにして応答します。この段階では、バス上の他デバイスはアイドル状態となり、選択されたデバイスは、そのシフト・レジスタに対するデータのライトまたはリードが行われるのを待ちます。

2. データは、9クロック・パルスのシーケンスでシリアル・バス経由で送信されます(8データ・ビットに続いて認証ビット)。SDAラインの遷移はSCLローの期間に発生する必要があり、SCLハイの期間で安定している必要があります。

3. 全データ・ビットがリードまたはライトされたときに、STOP状態が確立されます。ライト・モードでは、マスターは、10番目のクロック・パルスの間、SDAラインをハイにしてSTOP状態を確立します。リード・モードでは、マスターは9番目のクロック・パルスで認証無しを発行します(SDAラインはハイのまま)。次に、マスターは、10番目のクロック・パルスの前でSDAラインをローにして、さらに10番目のクロック・パルスの間にハイに戻し、STOP状態を確立します。

リード / ライト・シーケンス

AD5306/AD5316/AD5326では、全ライト・アクセス・シーケンスおよび大部分のリード・シーケンスは、デバイス・アドレス R/W=0 とこれに続くポインタ・バイトにより開始します。このポインタ・バイトは、データ・フォーマットを指定し、次のリード / ライト動作でどのDACがアクセスされるのかを決定します。図6を参照してください。ライト動作では、直ちにデータが続きます。リード動作では、R/W=1としてアドレスが再送されてデータがリード・バックされます。しかしながら、R/W=1としてアドレスを送ることによりリード動作を実行することも可能です。ここで、それまでにロードされているポインタの設定がリード・バック動作に用いられます。



ポインタ・バイト・ビット

以下に、ポインタ・バイトを構成するビットを説明します。

X: 任意のビット

RIGHT/LEFT

0: デバイスに対するデータのライト / リードは、左詰めで行われます。(2バイト・モード)

1: デバイスに対するデータのライト / リードは、右詰めで行われます。(2バイト・モード)

SINGLE/DOUBLE

0: データのライト / リード・バックは、2バイトのライト / リード・シーケンスとして行われます。

1: データのライト / リード・バックは、1バイト(上位8ビットのみ)のライト / リード・シーケンスとして行われます。

DACD: 1: 次のデータ・バイトは、DAC Dに対するものです。

DACC: 1: 次のデータ・バイトは、DAC Cに対するものです。

DACB: 1: 次のデータ・バイトは、DAC Bに対するものです。

DACA: 1: 次のデータ・バイトは、DAC Aに対するものです。

入力シフト・レジスタ

入力シフト・レジスタは、16ビット幅です。データは、シリアル・クロック入力SCLの制御のもと、シリアル・データ・ラインSDA経由で2つのデータ・バイトとしてデバイスにロードされます。図11は、この動作のタイミング図です。2つのデータ・バイトは、4つの制御ビットと、これに続くデバイスによって異なる8/10/12ビットのDACデータにより構成されます。最初にロードされるビットは、制御ビットであるGAIN、BUF、CLR、PDです。残りのビットは、左詰めまたは右詰めされたDACデータ・ビットであり、MSBから始まります。図7を参照してください。

GAIN: 0: 対応するDACの出力範囲は、0 ~ V_{REF}に設定されます。

1: 対応するDACの出力範囲は、0 ~ 2V_{REF}に設定されます。

BUF: 0: 対応するDACのリファレンス入力は、非バッファです。

1: 対応するDACのリファレンス入力は、バッファです。

CLR: 0: ライト・シーケンスの完了により、全DACレジスタおよび入力レジスタがゼロで満たされます。

1: 通常動作。

PD: 0: ライト・シーケンスの完了により、4つのDACのすべてがパワーダウン・モードに移行します。DACの出力は、ハイ・インピーダンス状態となります。

1: 通常動作。

デフォルトでのリード・バック状態

すべてのポインタ・バイトのビットは、パワー・アップ時に0となります。このため、ユーザーが、あらかじめポインタ・バイトに書き込みを行わずにリード・バックを開始すると、DACが指定されていないこととなります。この場合には、デフォルトにおけるリード・バック・ビットは、1に設定されるCLRビットおよびPDビットを除き、すべて0になります。

複数DACでのライト・シーケンス

各DACのポインタ・バイトには独立したビットが存在するため、関連するビットを1に設定することにより、同じデータと制御ビットを2、3、4個のDACに同時に書き込みできます。

複数DACでのリード・バック・シーケンス

ユーザーが複数のDACからデータのリード・バックを一度に行おうとする場合には、部品はGAIN、BUF、データ・ビット(すべて0)のパワーオン状態およびCLRとPDの現状の状態をリード・バックします。1バイトのリード・バックでは、部品は、すべて0をリード・バックします。

AD5306/AD5316/AD5326

左詰めされたデータ・バイト (ライト/リード・バック)

上位データ・バイト								下位データ・バイト															
MSB				8ビット AD5306				LSB				MSB				8ビット AD5306				LSB			
GAIN	BUF	$\overline{\text{CLR}}$	$\overline{\text{PD}}$	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X								
MSB				10ビット AD5316				LSB				MSB				10ビット AD5316				LSB			
GAIN	BUF	$\overline{\text{CLR}}$	$\overline{\text{PD}}$	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X								
MSB				12ビット AD5326				LSB				MSB				12ビット AD5326				LSB			
GAIN	BUF	$\overline{\text{CLR}}$	$\overline{\text{PD}}$	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0								

右詰めされたデータ・バイト (ライト/リード・バック)

上位データ・バイト								下位データ・バイト															
MSB				8ビット AD5306				LSB				MSB				8ビット AD5306				LSB			
GAIN	BUF	$\overline{\text{CLR}}$	$\overline{\text{PD}}$	X	X	X	X	D7	D6	D5	D4	D3	D2	D1	D0								
MSB				10ビット AD5316				LSB				MSB				10ビット AD5316				LSB			
GAIN	BUF	$\overline{\text{CLR}}$	$\overline{\text{PD}}$	X	X	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0								
MSB				12ビット AD5326				LSB				MSB				12ビット AD5326				LSB			
GAIN	BUF	$\overline{\text{CLR}}$	$\overline{\text{PD}}$	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0								

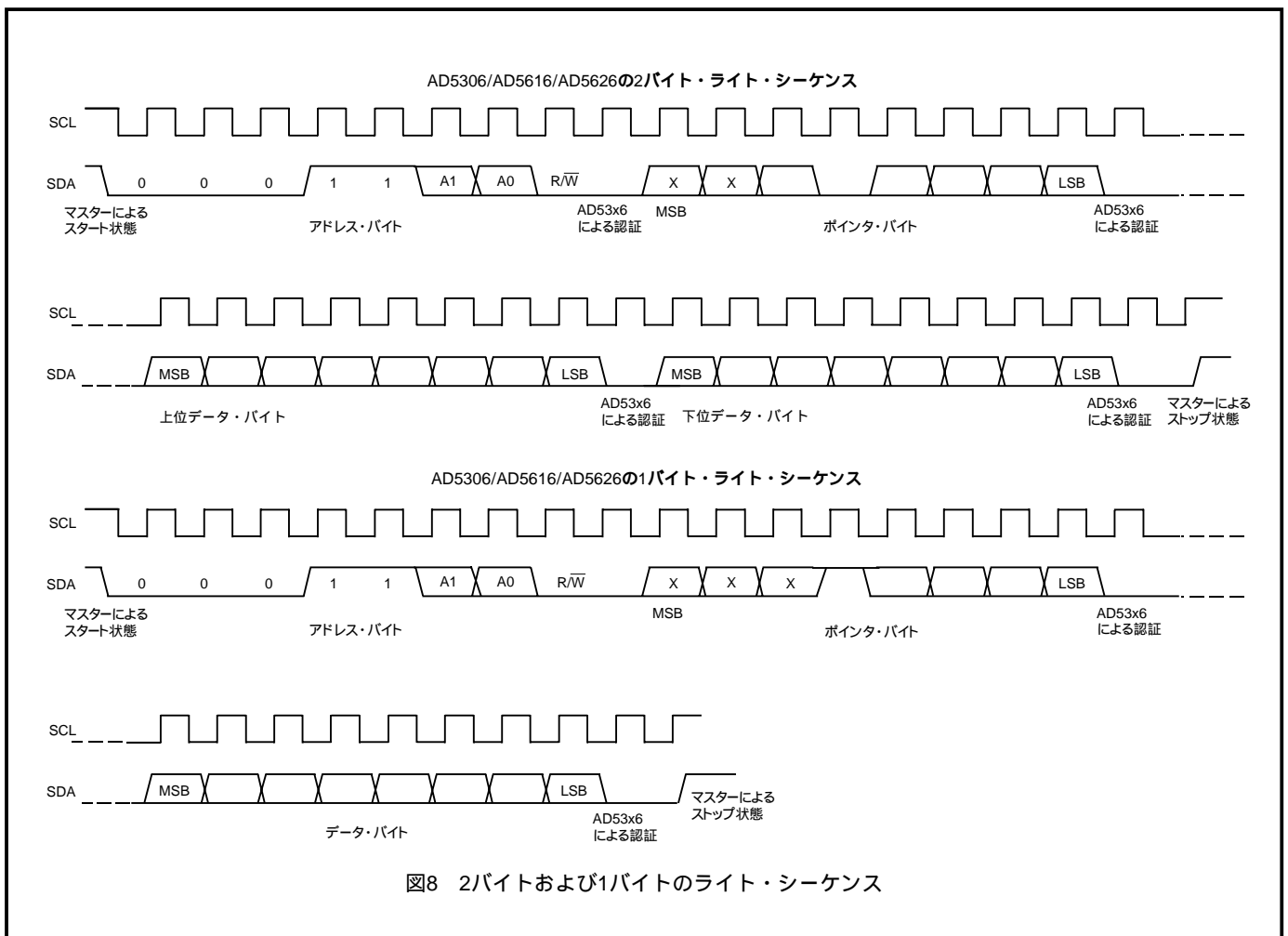
1バイトのみ (ライト/リード・バック)

MSB								8ビット AD5306				LSB				MSB								12ビット AD5326				LSB			
D7	D6	D5	D4	D3	D2	D1	D0	D11	D10	D9	D8	D7	D6	D5	D4																
MSB				10ビット AD5316				LSB																							
D9	D8	D7	D6	D5	D4	D3	D2																								

図7 2バイトおよび1バイトのデータ・フォーマット

ライト動作

AD5306/AD5316/AD5326のDACに書き込みを行うときには、ユーザーは、アドレス・バイト ($R/\bar{W}=0$) から開始しなければならず、次に、DACがSDAをローにしてデータ受信の準備ができたことを認証します。このアドレス・バイトには、ポインタ・バイトが続き、これも、DACによって認証されます。次に、図8に示すように、 $SINGLE/\overline{DOUBLE}$ の値に応じて、1または2バイトのデータがDACに書き込まれます。次にSTOP状態となります。



AD5306/AD5316/AD5326

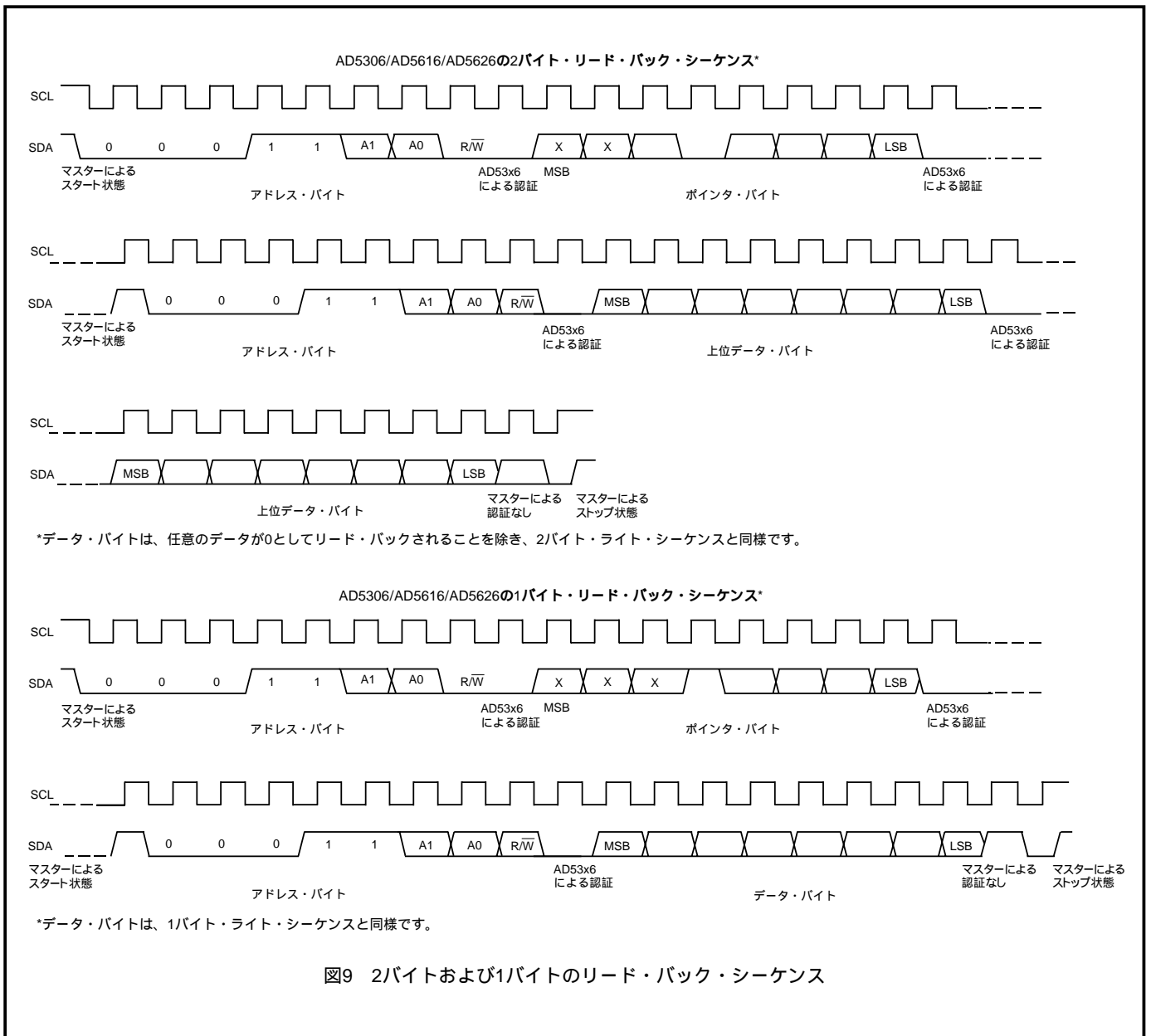
リード動作

AD5306/AD5316/AD5326のDACからデータをリード・バックするには、ユーザーは、アドレス・バイト (R/W) から開始し、次にDACがSDAをローにして、データ受信の準備ができたことを認証します。このアドレスの次には、通常ポインタ・バイトが続き、このバイトもまたDACにより認証されます。次にマスターによる連続スタート状態があり、アドレスがR/W = 1として再送されます。これはDACにより認証され、データ送信の準備ができたことを示します。次に、図9に示すように、SINGLE/DOUBLEの値に応じて、1バイトまたは2バイトのデータがDACからリードされます。

次にSTOP状態となります。

しかしながら、マスターがACKおよび連続するSCL (STOPの送出不し) を送出する場合には、DACは、SDAの1バイトまたは2バイトの同じデータを再送信します。これにより、選択されたDACレジスタからのデータの連続したリード・バックが可能となります。

ユーザーは上述の手順の代わりに、STARTとこれに続くR/Wを1にしたアドレスを送出することもできます。この場合には、それまでにロードされたポインタの設定が使用され、データのリード・バックが直ちに開始されます。



AD5306/AD5316/AD5326

ダブル・バッファ・インターフェース

AD5306/AD5316/AD5326のDACはすべて、入力レジスタとDACレジスタの2つのレジスタにより構成される、ダブル・バッファ・インターフェースを持っています。入力レジスタは、直接に入力シフトレジスタに接続され、デジタル・コードは、有効なライト・シーケンスの完了により、関連する入力レジスタに転送されます。DACレジスタは、抵抗器ストリングによって使用されるデジタル・コードを持っています。

DACレジスタへのアクセスはLDACピンによって制御されます。LDACがハイのときには、DACレジスタはラッチされ、DACレジスタの内容に影響を与えずに入力レジスタの状態を変更できます。しかしながら、LDACがローにされたときには、DACレジスタは透過状態となり、入力レジスタの内容がこれらに転送されます。

ユーザーが全DAC出力の更新を同時に行う必要がある場合には、ダブル・バッファ処理が役立ちます。ユーザーは、各入力レジスタへの書き込みを個別に行い、次にLDAC入力にロー・パルスを与えることにより、全出力を同時に更新できます。

これらの部品は特別な特徴を備えており、LDACが最後にローであった時点から入力レジスタが更新されていなければ、DACレジスタは更新されません。通常は、LDACがローのときは、DACレジスタには入力レジスタの内容が入っています。AD5306/AD5316/AD5326の場合は、DACレジスタが最後に更新された時点の後で入力レジスタが変更されている場合にのみDACレジスタが更新され、不要なデジタル・クロストークを除去しています。

ロードDAC入力LDAC

LDACは、データを入力レジスタからDACレジスタに転送します(よって出力が更新される)。LDAC機能を使用することにより、DACデータ、GAIN、BUFのダブル・バッファリングが可能となります。2つのLDACモードがあります。

同期モード

このモードでは、8番目のSCLパルスの立ち上がりエッジでデータが読み込まれた後で、DACレジスタが更新されます。LDACは、常にローに接続しておくことも、または図2に示すようにパルスを与えることもできます。

非同期モード

このモードでは、入力レジスタに書き込みが行われる時点と同時に、出力が更新されません。LDACがローになると、DACレジスタが入力レジスタの内容にしたがって更新されます。

パワーダウン・モード

AD5306/AD5316/AD5326は、3V電源で1.2mW、5Vで電源で2.5mW(共に代表値)と、極めて低消費電力です。DACの不使用時にPDピンをローにし、またはデータ・ワードのビット1 \overline{PD} を0にして、パワーダウン・モードに移行させることにより、消費電力をさらに低減できます。

PDピンがハイでPDビットが1に設定されている場合、全DACは通常動作になり、代表値として5Vで500 μ A(3Vで400 μ A)を消費します。しかしパワーダウン・モードでは、全DACがパワーダウン状態になり、電源電流は5Vで300nA(3Vで90nA)にまで低減されます。消費電流が減少するだけでなく、各出力段もそのアンプの出力から切り替えられて、開放状態になります。これにより、部品がパワー・ダウン・モードにあるときには出力がスリーステート状態となり、DACのアンプ出力に何が接続されていても入力条件が一定になるという利点を得られます。図10に出力段を示します。

パワーダウン状態となると、バイアス・ジェネレータ、出力アンプ、抵抗器ストリングおよび他のすべての関連するリニア回路がシャットダウンされます。しかしパワーダウン中でも、レジスタの内容

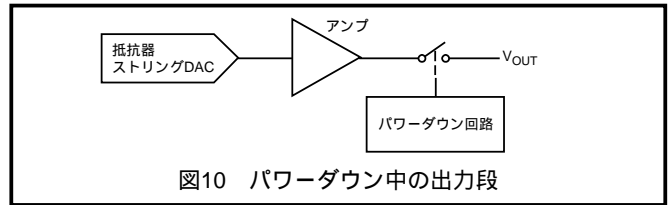


図10 パワーダウン中の出力段

は影響を受けません。実際に、パワーダウン中でも、入力レジスタおよびDACレジスタに新しいデータをロードすることができます。DAC出力は、PDピンがハイになるかPDビットが1にリセットされると、直ちに更新されます。パワーダウンから復帰するための時間は、代表値で $V_{DD} = 5V$ で2.5 μ s、 $V_{DD} = 3V$ で5 μ sとなります。これは、8番目のSCLパルスの立ち上がりエッジまたはPDの立ち上がりエッジから、出力電圧がパワーダウン電圧から変化するまでの時間です。特性18を参照してください。

アプリケーション

代表的なアプリケーション回路

AD5306/AD5316/AD5326は、広範囲のリファレンス電圧で使用でき、0 ~ V_{DD} のリファレンス範囲にわたり全体的な1象限での乗算能力を提供します。さらに一般的には、これらのデバイスは、高精度の固定リファレンス電圧で使用されます。5V動作に適したリファレンスとして、AD780およびREF192(2.5Vリファレンス)があります。2.5V動作に適したリファレンスとしては、1.23Vのバンドギャップ・リファレンスAD589があります。図11に、外部リファレンスを使用するときのAD5306/AD5316/AD5326の代表的な構成例を示します。A0およびA1は、ハイとローのどちらでも良いことに注目してください。

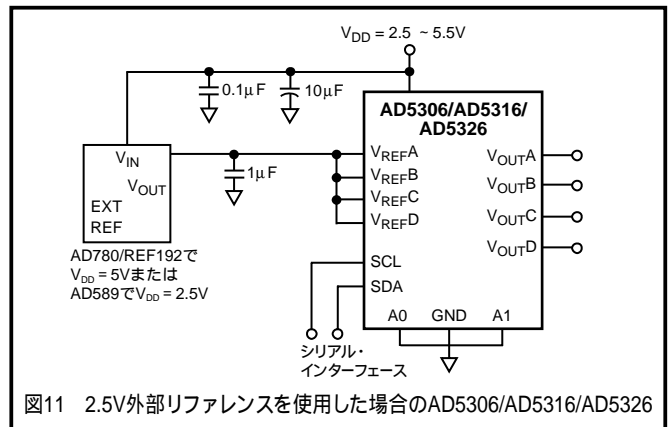


図11 2.5V外部リファレンスを使用した場合のAD5306/AD5316/AD5326

リファレンス電圧からの V_{DD} のドライブ

リファレンス入力为非バッファに設定されており0V ~ V_{DD} の出力範囲が必要とされる場合には、最も簡単な解決策としては、リファレンス入力を V_{DD} に接続することです。この電源はノイズが多くあまり精度が高くないことがあるため、AD5306/AD5316/AD5326の電源をリファレンスから供給すること、例えばREF195のような5Vリファレンスを使用することもできます。REF195は、安定した電源電圧をAD5306/AD5316/AD5326に出力します。REF195に要求される電流の代表値は、500 μ Aの供給電流と約112 μ Aのリファレンス入力への電流で(非バッファの場合)、これは、DAC出力に負荷がない場合です。DAC出力に負荷があるときには、REF195によって負荷への電流も供給する必要があります。必要な電流の合計値(各出力に10k Ω の負荷の場合)は、次の式で表されます。

$$612 \mu A + 4(5V/10k \Omega) = 2.6mA$$

AD5306/AD5316/AD5326

REF195による負荷安定性の代表値は2ppm/mAであり、これは、REF195から引き込まれる2.6mAの電流に対し5.2ppm (26 μV) の誤差となります。これは、8ビットでは0.0013LSBに、12ビットでは0.021LSBに相当します。

AD5306/AD5316/AD5326を用いたバイポーラ動作
AD5306/AD5316/AD5326は単電源動作用に設計されていますが、図12に示す回路を用いてバイポーラ出力範囲も可能です。この回路は、±5Vの出力電圧範囲を得られます。アンプの出力におけるレール to レールの動作は、出力アンプにAD820またはOP295を使用することにより達成できます。

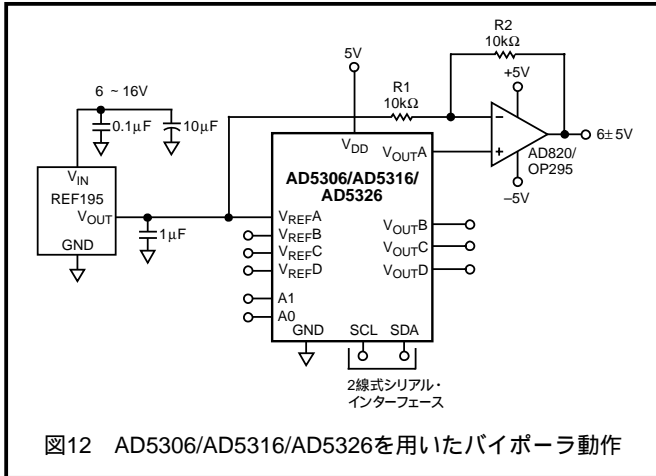


図12 AD5306/AD5316/AD5326を用いたバイポーラ動作

任意の入力コードに対する出力電圧は、以下の式により算出できます。

$$V_{OUT} = [(REFIN \times D/2^N) \times (R1 + R2) / R1 - REFIN \times (R2/R1)]$$

ここで、

Dは、DACにロードされるコードを10進数で表したものであり、Nは、DACの分解能です。

REFINは、リファレンス電圧入力です。

また、

$$REFIN = 5V, R1 = R2 = 10k \quad :$$

$$V_{OUT} = (10 \times D/2^N) - 5V$$

となります。

1つのバスへの複数デバイスの割り当て

図13に、1つのシリアル・バス上の4つのAD5306デバイスを示します。A0およびA1ピンの状態が異なるため、それぞれが異なるスレーブ・アドレスを持っています。これにより、16のDACへのライト/リードを独立して行えます。

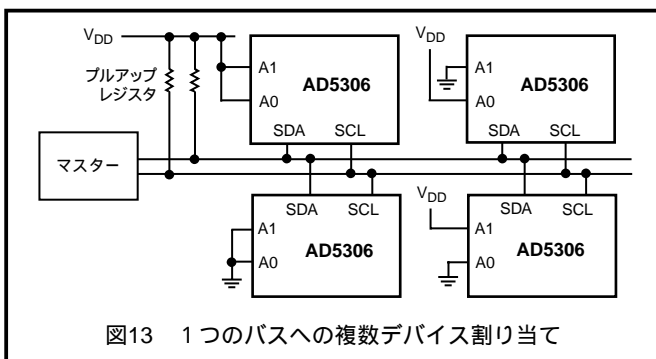


図13 1つのバスへの複数デバイス割り当て

AD5306/AD5316/AD5326によるデジタル・プログラム可能なウィンドウ検出器

図14に、AD5306/AD5316/AD5326の2つのDACを用いたデジタル・プログラム可能な最大/最小リミット検出器を示します。テストにおける最大/最小のリミットはDAC AおよびDAC Bにロードされ、順次、CMP04のリミットを設定します。VIN入力の信号がプログラムされたウィンドウの中に入らない場合は、LEDがフェイル状態を表示します。同様に、DAC CおよびDをVINの2番目の信号のウィンドウ検出に使用することができます。

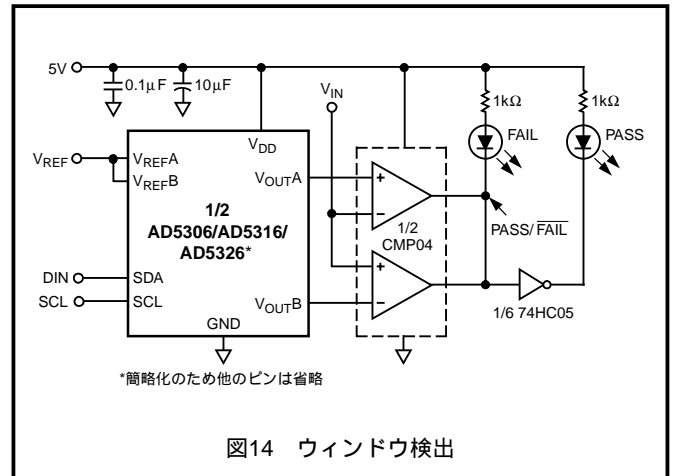


図14 ウィンドウ検出

AD5306/AD5316/AD5326を用いた粗調整および微調整

AD5306/AD5316/AD5326のDACのうちの2つをペアとして用いることにより、図15に示すような粗調整および微調整の機能を構成できます。DAC Aが粗調整を、DAC Bが微調整を行います。R1とR2の比を変化させることにより、粗調整と微調整の相対的な影響が変更されます。表示する抵抗値および外部リファレンスにより、出力アンプはDAC Aの出力に対しユニティ・ゲインとなるため、出力範囲は0V ~ 2.5V - 1LSBとなります。DAC Bでは、アンプは7.6 × 10⁻³のゲインを持っており、DAC Bの範囲は19mVとなります。同様に、DAC CとDAC Dをペアとして粗調整および微調整を構成できます。

この回路ではリファレンスは2.5Vですが、VDDまでのリファレンス電圧を使用できます。表示されているオペアンプにより、レール to レールのスイングが可能です。

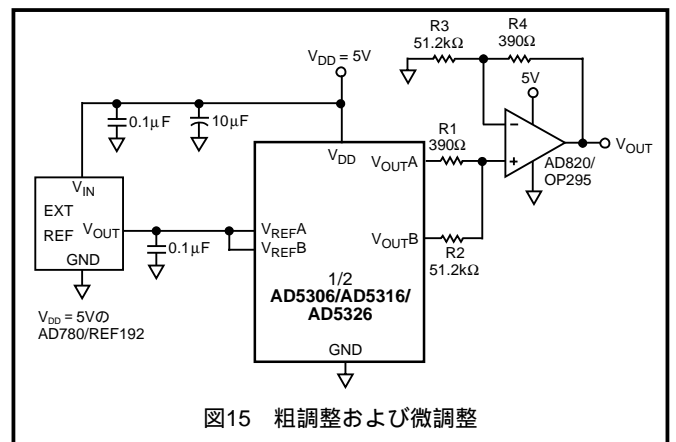


図15 粗調整および微調整

AD5306/AD5316/AD5326

電源のデカップリング

精度が重視されるすべての回路においては、定格性能を確保するために、電源およびグラウンド・リターンレイアウトへの注意深い配慮が必要です。AD5306/AD5316/AD5326を実装するプリント基板は、アナログ部とデジタル部を分離した設計とし、基板の一定の領域に閉じ込める必要があります。

AD5306/AD5316/AD5326を、複数のデバイスが1つのAGNDからDGNDへの接続を必要とするシステムに使用する場合には、その接続は1点だけで行ってください。スター・グラウンド・ポイントは、できる限りデバイスの近くに設置してください。AD5306/AD5316/AD5326では、10 μ Fと0.1 μ Fのコンデンサをできるだけパッケージの近く、理想的にはデバイスのすぐ隣で並列接続し、電源に対して十分なバイパスを行う必要があります。10 μ Fのコンデンサは、タンタル・ビーズ・タイプです。0.1 μ Fのコンデンサは、低い実効直列抵抗 (Effective Series Resistance、ESR) および実効直列インダクタンス (Effective Series Inductance、ESI) が要求され、高周波数においてグラウンドに対するインピーダンス経路が低い通常のセラミック・タイプなどを用いて、内

部ロジックのスイッチングによる過渡電流を処理する必要があります。

AD5306/AD5316/AD5326の電源ラインについては、低いインピーダンスの経路を形成して電源ラインのグリッチの影響を低減するために、できる限り広い配線パターンにする必要があります。クロックのような高速でスイッチングする信号は、デジタル・グラウンドによりシールドして、ボードの他部分への輻射を防止する必要があります。決してリファレンス入力の近くには配線しないでください。SDAおよびSCLのラインの間にグラウンド・ラインを設置することにより、これらの間でのクロストークが低減されます (多層基板ではグラウンド・プレーンが分離されているため不要ですが、ラインの分離は効果があります)。

アナログ信号とデジタル信号のクロスオーバーを避ける必要があります。ボードの反対側の配線は、互いに直交させてください。これにより、ボード越しのフィードスルーの影響が低減されます。マイクロストリップ手法が格段に優れた最善の策ですが、両面基板では不可能な場合もあります。この手法では、ボードの部品面をすべてグラウンド・プレーンとし、信号配線をハンダ面に置きます。

表1 AD53xxシリアル・デバイスの概要

部品番号	分解能	DAC数	DNL	インターフェース	セトリング時間	パッケージ	ピン数
シングル							
AD5300	8	1	± 0.25	SPI	4 μ s	SOT-23, μ SOIC	6, 8
AD5310	10	1	± 0.5	SPI	6 μ s	SOT-23, μ SOIC	6, 8
AD5320	12	1	± 1.0	SPI	8 μ s	SOT-23, μ SOIC	6, 8
AD5301	8	1	± 0.25	2線式	6 μ s	SOT-23, μ SOIC	6, 8
AD5311	10	1	± 0.5	2線式	7 μ s	SOT-23, μ SOIC	6, 8
AD5321	12	1	± 1.0	2線式	8 μ s	SOT-23, μ SOIC	6, 8
デュアル							
AD5302	8	2	± 0.25	SPI	6 μ s	μ SOIC	8
AD5312	10	2	± 0.5	SPI	7 μ s	μ SOIC	8
AD5322	12	2	± 1.0	SPI	8 μ s	μ SOIC	8
AD5303	8	2	± 0.25	SPI	6 μ s	TSSOP	16
AD5313	10	2	± 0.5	SPI	7 μ s	TSSOP	16
AD5323	12	2	± 1.0	SPI	8 μ s	TSSOP	16
クワッド							
AD5304	8	4	± 0.25	SPI	6 μ s	μ SOIC	10
AD5314	10	4	± 0.5	SPI	7 μ s	μ SOIC	10
AD5324	12	4	± 1.0	SPI	8 μ s	μ SOIC	10
AD5305	8	4	± 0.25	2線式	6 μ s	μ SOIC	10
AD5315	10	4	± 0.5	2線式	7 μ s	μ SOIC	10
AD5325	12	4	± 1.0	2線式	8 μ s	μ SOIC	10
AD5306	8	4	± 0.25	2線式	6 μ s	TSSOP	16
AD5316	10	4	± 0.5	2線式	7 μ s	TSSOP	16
AD5326	12	4	± 1.0	2線式	8 μ s	TSSOP	16
AD5307	8	4	± 0.25	SPI	6 μ s	TSSOP	16
AD5317	10	4	± 0.5	SPI	7 μ s	TSSOP	16
AD5327	12	4	± 1.0	SPI	8 μ s	TSSOP	16

ホームページ (http://www.analog.com/support/standard_linear/selection_guide/AD53xx.html) を参照。

AD5306/AD5316/AD5326

表II AD53xxパラレル・デバイスの概要

部品番号	分解能	DNL	V _{REF} ピン	セトリング時間	追加ピン機能				パッケージ	ピン数
シングル					BUF	GAIN	HBEN	CLR		
AD5330	8	±0.25	1	6 μs	✓	✓		✓	TSSOP	20
AD5331	10	±0.5	1	7 μs		✓		✓	TSSOP	20
AD5340	12	±1.0	1	8 μs	✓	✓		✓	TSSOP	24
AD5341	12	±1.0	1	8 μs	✓	✓	✓	✓	TSSOP	20
デュアル										
AD5332	8	±0.25	2	6 μs				✓	TSSOP	20
AD5333	10	±0.5	2	7 μs	✓	✓		✓	TSSOP	24
AD5342	12	±1.0	2	8 μs	✓	✓		✓	TSSOP	28
AD5343	12	±1.0	1	8 μs			✓	✓	TSSOP	20
クワッド										
AD5334	8	±0.25	2	6 μs		✓		✓	TSSOP	24
AD5335	10	±0.5	2	7 μs			✓	✓	TSSOP	24
AD5336	10	±0.5	4	7 μs		✓		✓	TSSOP	28
AD5344	12	±1.0	4	8 μs				✓	TSSOP	28

外形寸法

サイズはインチと (mm) で示します。

16ピン・スモール・アウトライン・パッケージ (TSSOP) (RU-16)

