

### 特長

デュアル 12/14 ビットの 2チャンネル ADC

真のバイポーラ・アナログ入力

設定可能な入力範囲:

±10 V、±5 V、0 V~10 V

±12 V (3 V の外部リファレンス使用)

スループット・レート: 1 MSPS

1 μs 以内での同時変換読み出し

高アナログ入力インピーダンス

低消費電流:

通常モード: 8.3 mA (typ)

シャットダウン・モード: 320 nA (typ)

AD7366

50 kHz の入力周波数で 72 dB SNR

12 ビットのノーマス・コード

AD7367

50 kHz の入力周波数で 76 dB SNR

14 ビットのノーマス・コード

正確な内蔵リファレンス: 2.5 V ± 0.2%

動作温度範囲: -40°C ~ +85°C

高速シリアル・インターフェースを内蔵

SPI<sup>®</sup>、QSPI<sup>™</sup>、MICROWIRE<sup>™</sup>、DSP と互換

iCMOS<sup>®</sup> プロセス技術

24 ピン TSSOP パッケージを採用

### 機能ブロック図

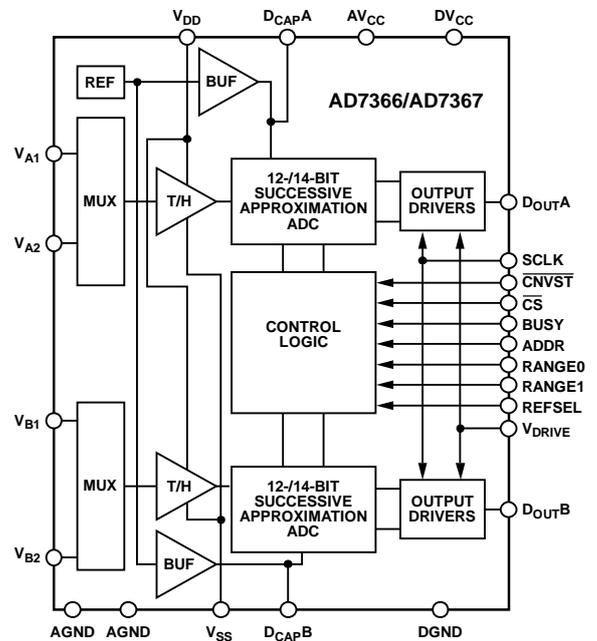


図 1.

### 概要

AD7366/AD7367<sup>1</sup>はデュアル 12/14 ビットの高速低消費電力逐次比較型 A/D コンバータ(ADC)で、最大 1 MSPS のスループット・レートを持っています。デバイスは 2 個の ADC を内蔵しており、各々の前には 2チャンネル・マルチプレクサと低ノイズ広帯域トラック・アンド・ホールド・アンプが配置されています。

AD7366/AD7367 はアナログ・デバイスサイズの工業用 CMOS プロセス(iCMOS<sup>2</sup>)で製造されており、このプロセスは低電圧 CMOS と高電圧 CMOS の利点を組み合わせた技術プラットフォームを構成しています。iCMOS プロセスの採用により、AD7366/AD7367 では高電圧バイポーラ信号を許容すると同時に、消費電力とパッケージ・サイズの削減も可能になっています。

AD7366/AD7367 はバイポーラ・アナログ入力信号を ±10 V 範囲、±5 V 範囲、0 V~10 V 範囲で入力することができます。

AD7366/AD7367 は 2.5 V リファレンス電圧を内蔵しており、外付けリファレンスを使うときにはこれをディスプレイすることができます。3 V のリファレンス電圧を DCAP A ピンと DCAP B ピンに接続すると、AD7366/AD7367 は真の ±12 V バイポーラ・アナログ信号を入力することができます。±12 V の入力範囲に対して、最小 ±12 V の V<sub>DD</sub> 電源と V<sub>SS</sub> 電源が必要です。

### 製品のハイライト

1. AD7366/AD7367 には、真の ±10 V、±5 V、±12 V バイポーラ・アナログ信号(外付けリファレンス使用)と 0 V~10 V ユニポーラ信号を入力することができます。
2. 2 個の完全な ADC 機能を内蔵しており、2チャンネルのサンプリングと変換を同時に実行することができます。
3. 1 MSPS のシリアル・インターフェース(SPI/QSPI/DSP/MICROWIRE に互換)を内蔵しています。

表 1. 関連製品

Device	Resolution	Throughput Rate	Number of Channels
AD7366	12-Bit	1 MSPS	Dual, 2-channel
AD7366-5	12-Bit	500 kSPS	Dual, 2-channel
AD7367	14-Bit	1 MSPS	Dual, 2-channel
AD7367-5	14-Bit	500 kSPS	Dual, 2-channel

<sup>1</sup> 米国特許 No. 6,731,232 により保護されています。

<sup>2</sup> iCMOS プロセス技術。高い電圧レベルで高性能 IC を必要とする工業用/計装装置 OEM のアナログ・システム設計者にとって、iCMOS は耐圧 30 V で ±15 V 電源で動作し、かつ消費電力とパッケージ・サイズを大幅に小さくし、AC 性能と DC 性能を強化したアナログ IC の開発を可能にする技術プラットフォームになります。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2007 Analog Devices, Inc. All rights reserved.

Rev. A

## 目次

特長.....	1	ドライバ・アンプの選択.....	19
機能ブロック図.....	1	リファレンス電圧.....	19
概要.....	1	動作モード.....	20
製品のハイライト.....	1	ノーマル動作モード.....	20
改訂履歴.....	2	シャットダウン・モード.....	21
仕様.....	3	パワーアップ時間.....	21
タイミング仕様.....	7	シリアル・インターフェース.....	22
絶対最大定格.....	8	マイクロプロセッサ・インターフェース.....	24
ESDの注意.....	8	AD7366/AD7367とADSP-218xとのインターフェース... 24	
ピン配置およびピン機能説明.....	9	AD7366/AD7367とADSP-BF53xとのインターフェース..... 24	
代表的な性能特性.....	11	AD7366/AD7367とTMS320VC5506とのインターフェース..... 25	
用語.....	14	AD7366/AD7367とDSP563xxとのインターフェース..... 25	
動作原理.....	16	アプリケーション情報.....	27
回路説明.....	16	レイアウトとグラウンド接続.....	27
コンバータの動作.....	16	外形寸法.....	28
アナログ入力.....	16	オーダー・ガイド.....	28
伝達関数.....	17		
代表的な接続図.....	18		

## 改訂履歴

### 9/07—Rev. 0 to Rev. A

Changes to Title.....	1
Changes to Specifications.....	3
Changes to Figure 5.....	11
Changes to Terminology Section.....	14
Changes to Figure 20.....	18
Changes to Figure 28.....	23
Updated Outline Dimensions.....	28
Changes to Ordering Guide.....	28

### 5/07—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $AV_{CC} = DV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DD} = 11.5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -16.5\text{ V} \sim -11.5\text{ V}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $f_S = 1.12\text{ MSPS}$ 、 $f_{SCLK} = 48\text{ MHz}$ 、 $V_{REF} = 2.5\text{ V}$  (内部/外部)、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 。

表 2.AD7366

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-Noise Ratio (SNR) <sup>1</sup>	70	72		dB	$f_{IN} = 50\text{ kHz}$ sine wave
Signal-to-Noise + Distortion Ratio (SINAD) <sup>1</sup>	70	71		dB	
Total Harmonic Distortion (THD) <sup>1</sup>		-85	-78	dB	
Spurious-Free Dynamic Range (SFDR)		-87	-78	dB	
Intermodulation Distortion (IMD) <sup>1</sup>					$f_a = 49\text{ kHz}$ , $f_b = 51\text{ kHz}$
Second-Order Terms		-88		dB	
Third-Order Terms		-88		dB	
Channel-to-Channel Isolation <sup>1</sup>		-90		dB	
<b>SAMPLE AND HOLD</b>					
Aperture Delay <sup>2</sup>			10	ns	
Aperture Jitter <sup>2</sup>		40		ps	
Aperture Delay Matching <sup>2</sup>		±100		ps	
Full Power Bandwidth		35		MHz	@ 3 dB, ±10 V range
		8		MHz	@ 0.1 dB, ±10 V range
<b>DC ACCURACY</b>					
Resolution	12			Bits	
Integral Nonlinearity (INL) <sup>1</sup>		±0.5	±1	LSB	
Differential Nonlinearity (DNL) <sup>1</sup>		±0.25	±0.5	LSB	Guaranteed no missed codes to 12 bits
Positive Full-Scale Error <sup>1</sup>		±1	±7	LSB	±5 V and ±10 V analog input range
		±1	±6	LSB	0 V to 10 V analog input range
Positive Full-Scale Error Match <sup>1</sup>		±1.5		LSB	Matching from ADC A to ADC B
		±0.1		LSB	Channel-to-channel matching for ADC A and ADC B
Zero Code Error <sup>1</sup>		±0.5	±3	LSB	±5 V and ±10 V analog input range
		±1	±6	LSB	0 V to 10 V analog input range
Zero Code Error Match <sup>1</sup>		±1.5		LSB	Matching from ADC A to ADC B
		±0.1		LSB	Channel-to-channel matching for ADC A and ADC B
Negative Full-Scale Error <sup>1</sup>		±1	±7	LSB	±5 V and ±10 V analog input range
		±1	±6	LSB	0 V to 10 V analog input range
Negative Full-Scale Error Match <sup>1</sup>		±1.5		LSB	Matching from ADC A to ADC B
		±0.1		LSB	Channel-to-channel matching for ADC A and ADC B
<b>ANALOG INPUT</b>					
Input Voltage Ranges			±10	V	Programmed via RANGE pins; see Table 8
			±5	V	
			0 to 10	V	
DC Leakage Current		±0.01	±1	μA	
Input Capacitance		9		pF	When in track, ±10 V range
		13		pF	When in track, ±5 V and 0 V to 10 V range
Input Impedance		260		kΩ	±10 V @ 1 MSPS
		2.5		MΩ	±10 V @ 100 kSPS
		125		kΩ	±5 V and 0 V to 10 V range @ 1 MSPS
		1.2		MΩ	±5 V and 0 V to 10 V range @ 100 kSPS
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Output Voltage <sup>3</sup>	2.495	2.5	2.505	V	±0.2% max @ 25°C
Long-Term Stability		150		ppm	1000 hours
Output Voltage Hysteresis <sup>1</sup>		50		ppm	
Reference Input Voltage Range	2.5		3.0	V	
DC Leakage Current		±0.01	±1	μA	External reference applied to Pin $D_{CAPA}$ /Pin $D_{CAPB}$
Input Capacitance		25		pF	±5 V and ±10 V analog input range
		17		pF	0 V to 10 V analog input range
$D_{CAPA}$ , $D_{CAPB}$ Output Impedance		7		Ω	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Output Voltage <sup>3</sup>	2.495	2.5	2.505	V	±0.2% max @ 25°C
Long-Term Stability		150		ppm	1000 hours
Output Voltage Hysteresis <sup>1</sup>		50		ppm	
Reference Input Voltage Range	2.5		3.0	V	
DC Leakage Current		±0.01	±1	μA	External reference applied to Pin D <sub>CAP</sub> A/Pin D <sub>CAP</sub> B
Input Capacitance		25		pF	±5 V and ±10 V analog input range
		17		pF	0 V to 10 V analog input range
D <sub>CAP</sub> A, D <sub>CAP</sub> B Output Impedance		7		Ω	
Reference Temperature Coefficient		6	25	ppm/°C	
V <sub>REF</sub> Noise		20		μV rms	Bandwidth = 3 kHz
<b>LOGIC INPUTS</b>					
Input High Voltage, V <sub>INH</sub>	0.7 × V <sub>DRIVE</sub>			V	
Input Low Voltage, V <sub>INL</sub>			0.8	V	
Input Current, I <sub>IN</sub>		±0.01	±1	μA	V <sub>IN</sub> = 0 V or V <sub>DRIVE</sub>
Input Capacitance, C <sub>IN</sub> <sup>2</sup>		6		pF	
<b>LOGIC OUTPUTS</b>					
Output High Voltage, V <sub>OH</sub>	V <sub>DRIVE</sub> - 0.2			V	
Output Low Voltage, V <sub>OL</sub>			0.4	V	
Floating State Leakage Current		±0.01	±1	μA	
Floating State Output Capacitance <sup>2</sup>		8		pF	
<b>CONVERSION RATE</b>					
Conversion Time			610	ns	
Track/Hold Acquisition Time <sup>2</sup>			140	ns	Full-scale step input
Throughput Rate			1.12	MSPS	4.75 V ≤ V <sub>DRIVE</sub> ≤ 5.25 V, f <sub>SCLK</sub> = 48 MHz
		1		MSPS	2.7 V ≤ V <sub>DRIVE</sub> < 4.75 V, f <sub>SCLK</sub> = 35 MHz
<b>POWER REQUIREMENTS</b>					
V <sub>CC</sub>	4.75		5.25	V	Digital inputs = 0 V or V <sub>DRIVE</sub> See Table 7
V <sub>DD</sub>	+11.5		+16.5	V	See Table 7
V <sub>SS</sub>	-16.5		-11.5	V	See Table 7
V <sub>DRIVE</sub>	2.7		5.25	V	
<b>Normal Mode (Static)</b>					
I <sub>DD</sub>		370	550	μA	V <sub>DD</sub> = +16.5 V
I <sub>SS</sub>		40	60	μA	V <sub>SS</sub> = -16.5 V
I <sub>CC</sub>		1.5	2.25	mA	V <sub>CC</sub> = 5.5 V
<b>Normal Mode (Operational)</b>					
I <sub>DD</sub>		1.8	2.0	mA	f <sub>S</sub> = 1.12 MSPS V <sub>DD</sub> = +16.5 V
I <sub>SS</sub>		1.5	1.6	mA	V <sub>SS</sub> = -16.5 V
I <sub>CC</sub>		5	5.65	mA	V <sub>CC</sub> = 5.25 V, internal reference enabled
<b>Shutdown Mode</b>					
I <sub>DD</sub>		0.01	1	μA	V <sub>DD</sub> = +16.5 V
I <sub>SS</sub>		0.01	1	μA	V <sub>SS</sub> = -16.5 V
I <sub>CC</sub>		0.3	3	μA	V <sub>CC</sub> = 5.25 V
<b>Power Dissipation</b>					
<b>Normal Mode (Operational)</b>					
			89.1	mW	V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V, V <sub>CC</sub> = 5.25 V, f <sub>S</sub> = 1.12 MSPS
		50		mW	±10 V input range, f <sub>S</sub> = 1.12 MSPS
		70		mW	±5 V and 0 V to 10 V input range, f <sub>S</sub> = 1.12 MSPS
<b>Shutdown Mode</b>					
		1.9	48.75	μW	V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V, V <sub>CC</sub> = 5.25 V

<sup>1</sup>用語のセクションを参照してください。

<sup>2</sup>初期リリース時はサンプル・テストにより適合性を保証。

<sup>3</sup>25°Cで規定された D<sub>CAP</sub>A ピンまたは D<sub>CAP</sub>B ピン。

特に指定がない限り、 $AV_{CC} = DV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DD} = 11.5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -16.5\text{ V} \sim -11.5\text{ V}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $f_s = 1\text{ MSPS}$ 、 $f_{SCLK} = 48\text{ MHz}$ 、 $V_{REF} = 2.5\text{ V}$  (内部/外部)、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 。

表 3.AD7367

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-Noise Ratio (SNR) <sup>1</sup>	74	76		dB	$f_{IN} = 50\text{ kHz}$ sine wave
Signal-to-Noise + Distortion Ratio (SINAD) <sup>1</sup>	73	75		dB	
Total Harmonic Distortion (THD) <sup>1</sup>		-84	-78	dB	
Spurious-Free Dynamic Range (SFDR)		-87	-79	dB	
Intermodulation Distortion (IMD) <sup>1</sup>					$f_a = 49\text{ kHz}$ , $f_b = 51\text{ kHz}$
Second-Order Terms		-91		dB	
Third-Order Terms		-89		dB	
Channel-to-Channel Isolation <sup>1</sup>		-90		dB	
<b>SAMPLE AND HOLD</b>					
Aperture Delay <sup>2</sup>			10	ns	
Aperture Jitter <sup>2</sup>		40		ps	
Aperture Delay Matching <sup>2</sup>		$\pm 100$		ps	
Full Power Bandwidth		35		MHz	@ 3 dB, $\pm 10\text{ V}$ range
		8		MHz	@ 0.1 dB, $\pm 10\text{ V}$ range
<b>DC ACCURACY</b>					
Resolution	14			Bits	
Integral Nonlinearity (INL) <sup>1</sup>		$\pm 2$	$\pm 3.5$	LSB	
Differential Nonlinearity (DNL) <sup>1</sup>		$\pm 0.5$	$\pm 0.90$	LSB	Guaranteed no missed codes to 14 bits
Positive Full-Scale Error <sup>1</sup>		$\pm 4$	$\pm 20$	LSB	$\pm 5\text{ V}$ and $\pm 10\text{ V}$ analog input range
		$\pm 5$	$\pm 20$	LSB	0 V to 10 V analog input range
Positive Full-Scale Error Match <sup>1</sup>		$\pm 3$		LSB	Matching from ADC A to ADC B
		$\pm 0.2$		LSB	Channel-to-channel matching for ADC A and ADC B
Zero Code Error <sup>1</sup>		$\pm 1$	$\pm 10$	LSB	$\pm 5\text{ V}$ and $\pm 10\text{ V}$ analog input range
		$\pm 5$	$\pm 20$	LSB	0 V to 10 V analog input range
Zero Code Error Match <sup>1</sup>		$\pm 3$		LSB	Matching from ADC A to ADC B
		$\pm 0.2$		LSB	Channel-to-channel matching for ADC A and ADC B
Negative Full-Scale Error <sup>1</sup>		$\pm 4$	$\pm 20$	LSB	$\pm 5\text{ V}$ and $\pm 10\text{ V}$ analog input range
		$\pm 5$	$\pm 20$	LSB	0 V to 10 V analog input range
Negative Full-Scale Error Match <sup>1</sup>		$\pm 3$		LSB	Matching from ADC A to ADC B
		$\pm 0.2$		LSB	Channel-to-channel matching for ADC A and ADC B
<b>ANALOG INPUT</b>					
Input Voltage Ranges			$\pm 10$	V	Programmed via RANGE pins; see Table 8
			$\pm 5$	V	
			0 to 10	V	
DC Leakage Current		$\pm 0.01$	$\pm 1$	$\mu\text{A}$	
Input Capacitance		9		pF	When in track, $\pm 10\text{ V}$ range
		13		pF	When in track, $\pm 5\text{ V}$ and 0 V to 10 V range
Input Impedance		260		k $\Omega$	$\pm 10\text{ V}$ @ 1 MSPS
		2.5		M $\Omega$	$\pm 10\text{ V}$ @ 100 kSPS
		125		k $\Omega$	$\pm 5\text{ V}$ and 0 V to 10 V range @ 1 MSPS
		1.2		M $\Omega$	$\pm 5\text{ V}$ and 0 V to 10 V range @ 100 kSPS
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Output Voltage <sup>3</sup>	2.495	2.5	2.505	V	$\pm 0.2\%$ max @ 25°C
Long-Term Stability		150		ppm	1000 hours
Output Voltage Hysteresis <sup>1</sup>		50		ppm	
Reference Input Voltage Range	2.5		3.0	V	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DC Leakage Current		±0.01	±1	μA	External reference applied to Pin D <sub>CAP</sub> A/Pin D <sub>CAP</sub> B
Input Capacitance		25		pF	±5 V and ±10 V analog input range
		17		pF	0 V to 10 V analog input range
D <sub>CAP</sub> A, D <sub>CAP</sub> B Output Impedance		7		Ω	
Reference Temperature Coefficient		6	25	ppm/°C	
V <sub>REF</sub> Noise		20		μV rms	Bandwidth = 3 kHz
<b>LOGIC INPUTS</b>					
Input High Voltage, V <sub>INH</sub>	0.7 × V <sub>DRIVE</sub>			V	
Input Low Voltage, V <sub>INL</sub>			0.8	V	
Input Current, I <sub>IN</sub>		±0.01	±1	μA	V <sub>IN</sub> = 0 V or V <sub>DRIVE</sub>
Input Capacitance, C <sub>IN</sub> <sup>2</sup>		6		pF	
<b>LOGIC OUTPUTS</b>					
Output High Voltage, V <sub>OH</sub>	V <sub>DRIVE</sub> - 0.2			V	
Output Low Voltage, V <sub>OL</sub>			0.4	V	
Floating State Leakage Current		±0.01	±1	μA	
Floating State Output Capacitance <sup>2</sup>		8		pF	
<b>CONVERSION RATE</b>					
Conversion Time			680	ns	
Track/Hold Acquisition Time <sup>2</sup>			140	ns	Full-scale step input
Throughput Rate			1	MSPS	4.75 V ≤ V <sub>DRIVE</sub> ≤ 5.25 V, f <sub>SCLK</sub> = 48 MHz
		900		kSPS	2.7 V ≤ V <sub>DRIVE</sub> < 4.75 V, f <sub>SCLK</sub> = 35 MHz
<b>POWER REQUIREMENTS</b>					
V <sub>CC</sub>	4.75		5.25	V	Digital inputs = 0 V or V <sub>DRIVE</sub> See Table 7
V <sub>DD</sub>	+11.5		+16.5	V	See Table 7
V <sub>SS</sub>	-16.5		-11.5	V	See Table 7
V <sub>DRIVE</sub>	2.7		5.25	V	
<b>Normal Mode (Static)</b>					
I <sub>DD</sub>		370	550	μA	V <sub>DD</sub> = +16.5 V
I <sub>SS</sub>		40	60	μA	V <sub>SS</sub> = -16.5 V
I <sub>CC</sub>		1.5	2.25	mA	V <sub>CC</sub> = 5.5 V
<b>Normal Mode (Operational)</b>					
I <sub>DD</sub>		1.8	2.0	mA	f <sub>S</sub> = 1 MSPS V <sub>DD</sub> = +16.5 V
I <sub>SS</sub>		1.5	1.6	mA	V <sub>SS</sub> = -16.5 V
I <sub>CC</sub>		5	5.65	mA	V <sub>CC</sub> = 5.25 V, internal reference enabled
<b>Shutdown Mode</b>					
I <sub>DD</sub>		0.01	1	μA	V <sub>DD</sub> = +16.5 V
I <sub>SS</sub>		0.01	1	μA	V <sub>SS</sub> = -16.5 V
I <sub>CC</sub>		0.3	3	μA	V <sub>CC</sub> = 5.25 V
<b>Power Dissipation</b>					
<b>Normal Mode (Operational)</b>					
		80.7	89.1	mW	V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V, V <sub>CC</sub> = 5.25 V
		50		mW	±10 V input range, f <sub>S</sub> = 1 MSPS
		70		mW	±5 V and 0 V to 10 V input range, f <sub>S</sub> = 1 MSPS
<b>Shutdown Mode</b>					
		1.9	48.75	μW	V <sub>DD</sub> = +16.5 V, V <sub>SS</sub> = -16.5 V, V <sub>CC</sub> = 5.25 V

<sup>1</sup> 用語のセクションを参照してください。

<sup>2</sup> 初期リリース時はサンプル・テストにより適合性を保証。

<sup>3</sup> 25°Cで規定された D<sub>CAP</sub>A ピンまたは D<sub>CAP</sub>B ピン。

## タイミング仕様

特に指定がない限り、 $AV_{CC} = DV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DD} = 11.5\text{ V} \sim 16.5\text{ V}$ 、 $V_{SS} = -16.5\text{ V} \sim -11.5\text{ V}$ 、 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ <sup>1</sup>。

表 4.

Parameter	Limit at $T_{MIN}, T_{MAX}$		Unit	Test Conditions/Comments
	$2.7\text{ V} \leq V_{DRIVE} < 4.75\text{ V}$	$4.75\text{ V} \leq V_{DRIVE} \leq 5.25\text{ V}$		
$t_{CONVERT}$	680	680	ns max	Conversion time, internal clock; CNVST falling edge to BUSY falling edge AD7367
	610	610	ns max	AD7366
$f_{SCLK}$	10	10	kHz min	Frequency of serial read clock
	35	48	MHz max	
$t_{QUIET}$	30	30	ns min	Minimum quiet time required between the end of serial read and the start of the next conversion
$t_1$	10	10	ns min	Minimum CNVST low pulse
$t_2$	40	40	ns min	CNVST falling edge to BUSY rising edge
$t_3$	0	0	ns min	BUSY falling edge to MSB, valid when $\overline{CS}$ is low for $t_4$ prior to BUSY going low
$t_4$	10	10	ns max	Delay from $\overline{CS}$ falling edge until Pin 1 ( $D_{OUTA}$ ) and Pin 23 ( $D_{OUTB}$ ) are three-state disabled
$t_5^2$	20	14	ns max	Data access time after SCLK falling edge
$t_6$	7	7	ns min	SCLK to data valid hold time
$t_7$	$0.3 \times t_{SCLK}$	$0.3 \times t_{SCLK}$	ns min	SCLK low pulse width
$t_8$	$0.3 \times t_{SCLK}$	$0.3 \times t_{SCLK}$	ns min	SCLK high pulse width
$t_9$	10	10	ns max	$\overline{CS}$ rising edge to $D_{OUTA}$ , $D_{OUTB}$ , high impedance
$t_{POWER-UP}$	70	70	$\mu\text{s}$ max	Power-up time from shutdown mode; time required between CNVST rising edge and CNVST falling edge

<sup>1</sup> 初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は  $t_r = t_f = 5\text{ ns}$  ( $V_{DRIVE}$  の 10% から 90%) で規定し、1.6V の電圧レベルからの時間とします。すべてのタイミング仕様は 25 pF の負荷容量を使用して規定。25 pF より大きい負荷容量では、デジタル・バッファまたはラッチを使う必要があります。用語のセクション、図 25、図 26 を参照してください。

<sup>2</sup> 出力が 0.4 V または 2.4 V を横切るために要する時間。

## 絶対最大定格

表 5.

Parameter	Rating
$V_{DD}$ to AGND, DGND	-0.3 V to +16.5 V
$V_{SS}$ to AGND, DGND	-16.5 V to +0.3 V
$V_{DRIVE}$ to DGND	-0.3 V to $DV_{CC}$
$V_{DD}$ to $AV_{CC}$	$(V_{CC} - 0.3 V)$ to +16.5 V
$AV_{CC}$ to AGND, DGND	-0.3 V to +7 V
$DV_{CC}$ to $AV_{CC}$	-0.3 V to +0.3 V
$DV_{CC}$ to DGND	-0.3 V to +7 V
$V_{DRIVE}$ to AGND	-0.3 V to $DV_{CC}$
AGND to DGND	-0.3 V to +0.3 V
Analog Input Voltage to AGND	$V_{SS} - 0.3 V$ to $V_{DD} + 0.3 V$
Digital Input Voltage to DGND	-0.3 V to $V_{DRIVE} + 0.3 V$
Digital Output Voltage to GND	-0.3 V to $V_{DRIVE} + 0.3 V$
$D_{CAPA}$ , $D_{CAPB}$ Input to AGND	-0.3 V to $AV_{CC} + 0.3 V$
Input Current to Any Pin Except Supplies <sup>1</sup>	±10 mA
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
TSSOP Package	
$\theta_{JA}$ Thermal Impedance	128°C/W
$\theta_{JC}$ Thermal Impedance	42°C/W
Pb-Free Temperature, Soldering Reflow	260°C
ESD	1.5 kV

<sup>1</sup>最大 100 mA までの過渡電流ではラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

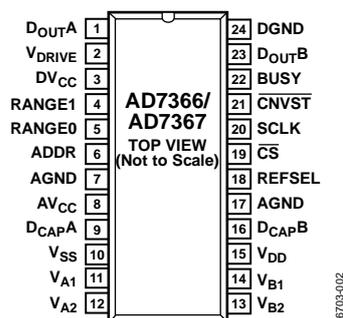


図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 23	D <sub>OUT</sub> A, D <sub>OUT</sub> B	シリアル・データ出力。データが各ピンにシリアル・データ・ストリームとして出力されます。ビットは SCLK 入力の立ち下がりエッジで出力され、データのアクセスには、AD7366 では 12 SCLK サイクルを、AD7367 では 14 SCLK サイクルを、それぞれ要します。両 ADC の同時変換結果が両ピンに同時に出力されます。データ・ストリームは、AD7366 では 12 ビットの変換データで、AD7367 では 14 ビットの変換データで、それぞれ構成され、MSB ファーストで出力されます。D <sub>OUT</sub> A ピンまたは D <sub>OUT</sub> B ピンについて、AD7366 ではさらに 12 SCLK サイクル間、または AD7367 ではさらに 14 SCLK サイクル間、それぞれ $\overline{CS}$ をロー・レベルに保持すると、他の ADC からのデータがその D <sub>OUT</sub> ピンに出力されます。この機能を使うと、両 ADC の同時変換のデータをシリアル・フォーマットで D <sub>OUT</sub> A または D <sub>OUT</sub> B に集めて、1 つのシリアル・ポートのみを使うようにすることができます。詳細については、シリアル・インターフェースのセクションを参照してください。
2	V <sub>DRIVE</sub>	ロジック電源入力。このピンに入力された電圧が、インターフェースで使用する電圧を決定します。このピンは DGND にデカップリングする必要があります。このピンの電圧範囲は 2.7 V ~ 5.25 V であり、AV <sub>CC</sub> と DV <sub>CC</sub> の電圧と異なることができますが、0.3 V 以上超えることはできません。AD7366 で 1.12 MSPS のスループット・レートまたは AD7367 で 1 MSPS のスループット・レートを実現するためには、V <sub>DRIVE</sub> ≥ 4.75 V である必要があります。
3	DV <sub>CC</sub>	デジタル電源電圧(4.75 V ~ 5.25 V)。DV <sub>CC</sub> と AV <sub>CC</sub> の電圧は理想的には同電位である必要があります。最適性能を得るためには DV <sub>CC</sub> ピンと AV <sub>CC</sub> ピンを接続して、両ピン間の電位差が過渡電圧であっても 0.3 V 以上超えないようにする必要があります。この電源は DGND にデカップリングする必要があります。DV <sub>CC</sub> ピンに 10 μF と 100 nF のデカップリング・コンデンサを接続してください。
4, 5	RANGE1, RANGE0	アナログ入力範囲の選択のロジック入力。これらのピンの極性により、アナログ入力チャンネルの入力範囲が指定されます。アナログ入力のセクションと表 8 を参照してください。
6	ADDR	マルチプレクサ選択のロジック入力。この入力を使って、同時に変換するチャンネル対(ADC A と ADC B のチャンネル 1、または ADC A と ADC B のチャンネル 2)を選択します。このピンのロジック状態を BUSY の立ち上がりエッジでラッチして、次の変換に対してマルチプレクサを設定します。
7, 17	AGND	アナログ・グラウンド。AD7366/AD7367 上の全回路に対するグラウンド・リファレンス・ポイント。全アナログ入力信号と外付けリファレンス信号はこの AGND 電圧を基準とします。両 AGND ピンはシステムの AGND プレーンに接続する必要があります。AGND 電圧と DGND 電圧は理想的には同電位である必要があります。過渡的であっても差が 0.3 V を超えないようにする必要があります。
8	AV <sub>CC</sub>	4.75 V ~ 5.25 V のアナログ電源電圧。これは ADC コアの電源電圧です。AV <sub>CC</sub> と DV <sub>CC</sub> の電圧は理想的には同電位である必要があります。最適性能を得るためには DV <sub>CC</sub> ピンと AV <sub>CC</sub> ピンを接

ピン番号	記号	説明
9, 16	$D_{CAPA}, D_{CAPB}$	<p>続いて、両ピン間の電位差が過渡電圧であっても 0.3 V 以上超えないようにする必要があります。この電源は AGND にデカップリングする必要があります。AV<sub>CC</sub> ピンに 10 <math>\mu</math>F と 100 nF のデカップリング・コンデンサを接続してください。</p> <p>デカップリング・コンデンサ・ピン。各 ADC のリファレンス・バッファをデカップリングするため、これらのピンにデカップリング・コンデンサを接続します。最適性能を得るためには、680 nF のデカップリング・コンデンサをこれらのピンに接続することが推奨されます。出力にバッファが付いている場合、内蔵リファレンス電圧をこれらのピンから出力して、システムの他の部分に供給することができます。</p>
10	V <sub>SS</sub>	<p>負電源電圧。このピンは、AD7366/AD7367 の高電圧アナログ入力構造に対する負電源電圧です。全アナログ入力範囲に対して -11.5 V の最大電圧より低い必要があります。詳細については、表 7 を参照。V<sub>SS</sub> ピンに 10 <math>\mu</math>F と 100 nF のデカップリング・コンデンサを接続してください。</p>
11, 12	V <sub>A1</sub> , V <sub>A2</sub>	<p>ADC A のアナログ入力。両アナログ入力はシングルエンドです。これらのチャンネルのアナログ入力範囲は、RANGE0 ピンと RANGE1 ピンで指定されます。</p>
13, 14	V <sub>B2</sub> , V <sub>B1</sub>	<p>ADC B のアナログ入力。両アナログ入力はシングルエンドです。これらのチャンネルのアナログ入力範囲は、RANGE0 ピンと RANGE1 ピンで指定されます。</p>
15	V <sub>DD</sub>	<p>正側電源電圧。このピンは、AD7366/AD7367 の高電圧アナログ入力構造に対する正電源電圧です。全アナログ入力範囲に対して 11.5 V の最小電圧より高い必要があります。詳細については、表 7 を参照してください。V<sub>DD</sub> ピンに 10 <math>\mu</math>F と 100 nF のデカップリング・コンデンサを接続してください。</p>
18	REFSEL	<p>内部/外部リファレンス電圧選択のロジック入力。このピンをロジック・ハイに接続すると、オンチップ 2.5 V リファレンスが ADC A と ADC B のリファレンス・ソースとして使われます。さらに、D<sub>CAP</sub>A ピンと D<sub>CAP</sub>B ピンにデカップリング・コンデンサを接続する必要があります。REFSEL ピンが GND に接続されると、外付けリファレンスを D<sub>CAP</sub>A ピン、D<sub>CAP</sub>B ピンまたは両ピンを使って AD7366/AD7367 に入力することができます。</p>
19	$\overline{CS}$	<p>チップ・セレクト、アクティブ・ロー入力。このピンにより、シリアル・データ転送のフレーミングが行われます。<math>\overline{CS}</math> をロジック・ローにすると、出力バスがイネーブルされて、D<sub>OUT</sub>A と D<sub>OUT</sub>B に変換結果が出力されます。</p>
20	SCLK	<p>シリアル・クロック、ロジック入力。シリアル・クロック入力は、AD7366/AD7367 からデータをアクセスする際に SCLK として使います。</p>
21	$\overline{CNVST}$	<p>変換開始のロジック入力。このピンはエッジ検出です。この入力の立ち下がりエッジで、トラック・アンド・ホールドがホールド・モードになり、変換が開始されます。<math>\overline{CNVST}</math> が変換の完了時にロー・レベルになると、デバイスはパワーダウン・モードになります。この場合、<math>\overline{CNVST}</math> の立ち上がりエッジで、デバイスが再度パワーアップします。</p>
22	BUSY	<p>ビジー出力。変換が開始されると、BUSY はハイ・レベルになり、変換が完了するまでハイ・レベルを維持します。</p>
24	DGND	<p>デジタル・グラウンド。AD7366/AD7367 上の全回路に対するアナログ・リファレンス・ポイント。DGND ピンはシステムの DGND プレーンへ接続する必要があります。DGND 電圧と AGND 電圧は理想的には同電位である必要があります。過渡的であっても差が 0.3 V を超えないようにする必要があります。</p>

## 代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

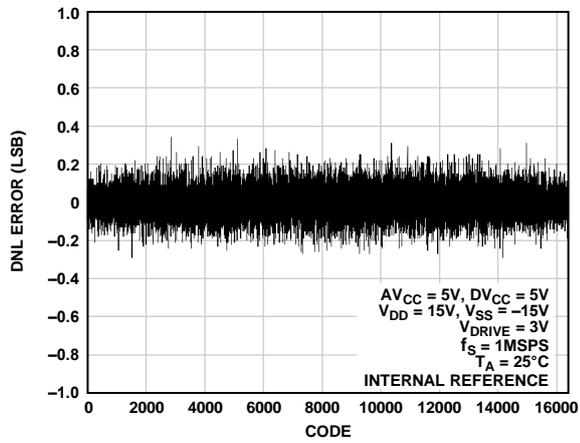


図 3. AD7367 の DNL (typ)

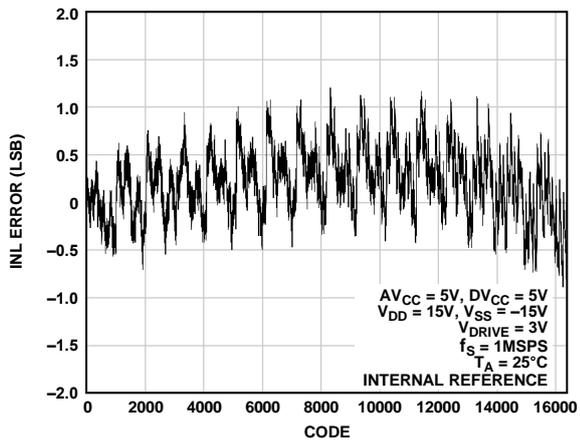


図 4. AD7367 の INL (typ)

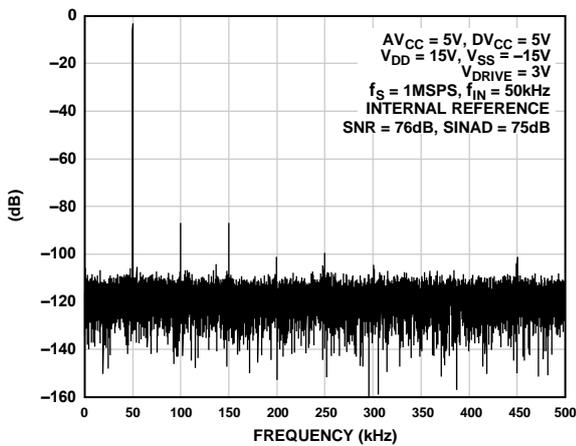


図 5. AD7367 の FFT

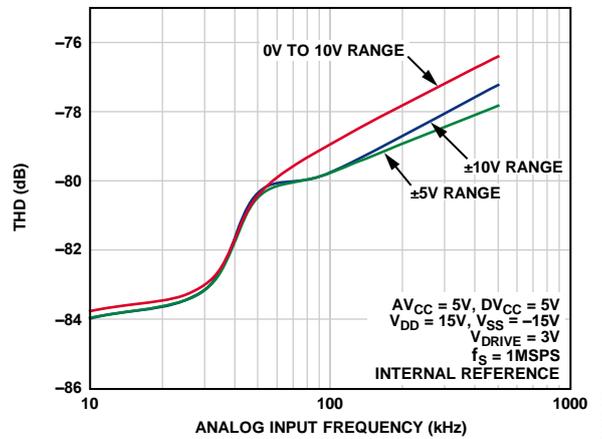


図 6. THD 対アナログ入力周波数

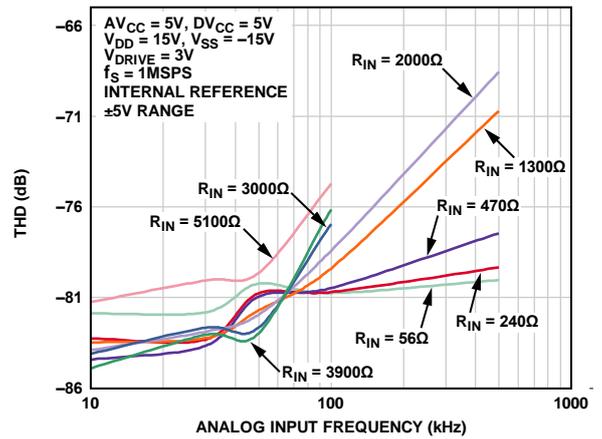


図 7. THD 対種々のソース・インピーダンスに対するアナログ入力周波数

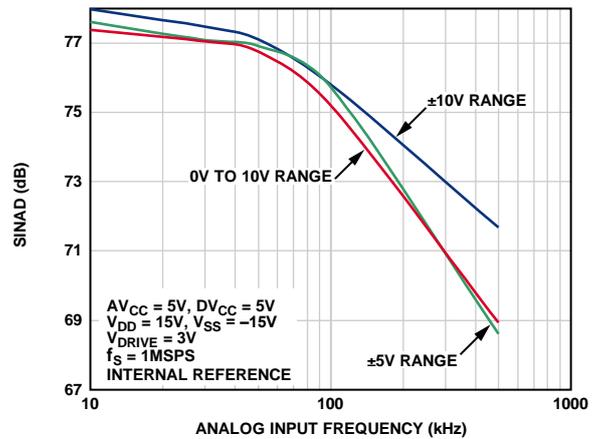


図 8. SINAD 対アナログ入力周波数

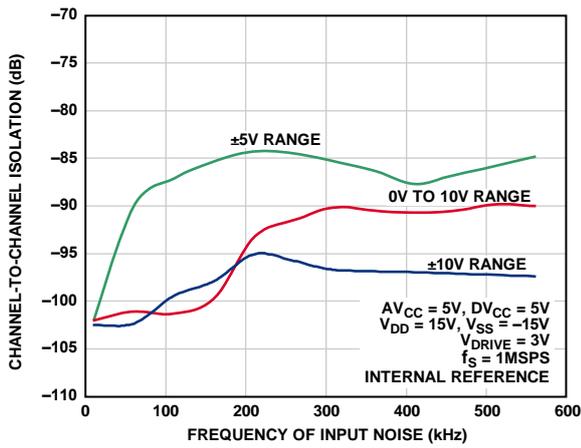


図 9. チャンネル間アイソレーション

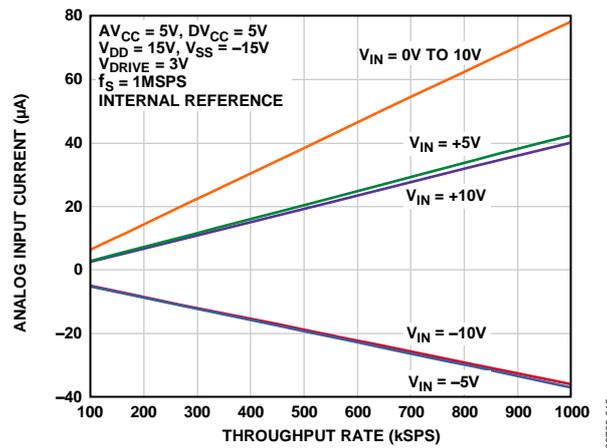


図 12. アナログ入力電流対スループット・レート

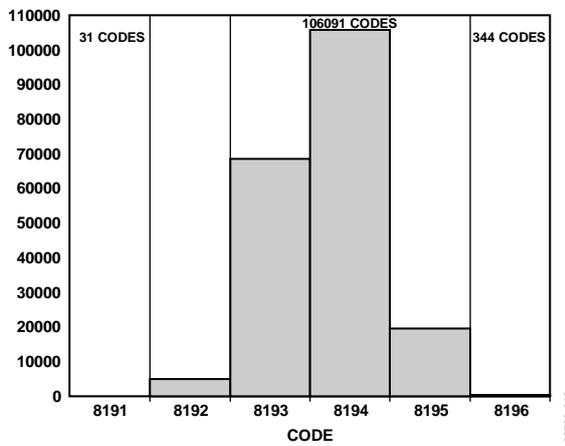


図 10. 200,000 個のサンプルに対するコードのヒストグラム

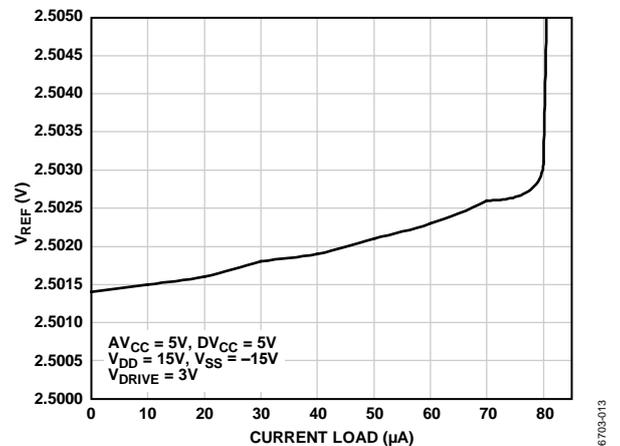


図 13. VREF 対リファレンス電圧出力電流駆動

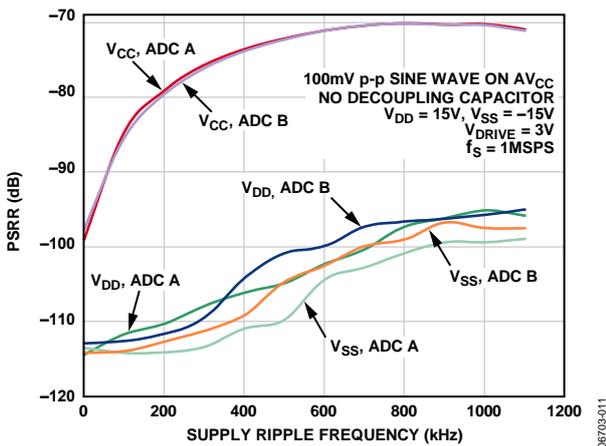


図 11. PSRR 対電源リップル周波数  
電源デカップリングなし

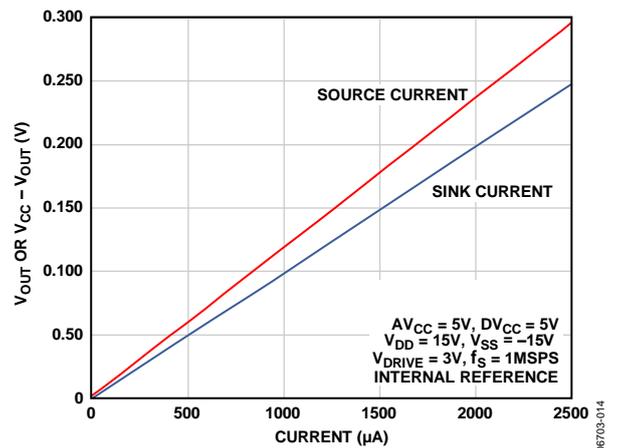


図 14. DOUT ソース電流対 (VCC - VOUT) および DOUT シンク電流対 VOUT

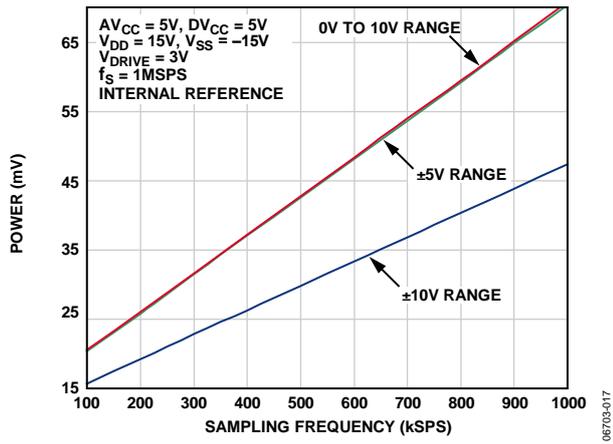


図 15.消費電力対サンプリング周波数  
ノーマル・モード

## 用語

### 微分非直線性(DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

### 積分非直線性(INL)

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード遷移より 1LSB 下のポイント)とフル・スケール(最後のコード遷移より 1LSB 上のポイント)をいいます。

### ゼロ・コード誤差

ミッドスケール変化(全 0 から全 1 への変化)の理想  $V_{IN}$  電圧(すなわちバイポーラ範囲では  $AGND - \frac{1}{2}LSB$ 、ユニポーラ範囲では  $2 \times V_{REF} - 1LSB$ )からの差を意味します。

### 正のフル・スケール誤差

オフセット誤差調整後の最後のコード遷移 ((011...110) から (011...111))と理論値 ( $+4 \times V_{REF} - 1LSB$  または  $+2 \times V_{REF} - 1LSB$ )との差を意味します。

### 負のフル・スケール誤差

ゼロ・コード誤差調整後の最初のコード遷移 ((10...000)から(10...001))と理論値( $-4 \times V_{REF} + 1LSB$ 、 $-2 \times V_{REF} + 1LSB$  または  $AGND + 1LSB$ )との差を意味します。

### ゼロ・コード誤差の不一致

すべてのチャンネル間でのゼロ・コード誤差の差を意味します。

### 正のフル・スケール誤差マッチ

すべてのチャンネル間での正のフル・スケール誤差の差を意味します。

### 負のフル・スケール誤差マッチ

すべてのチャンネル間での負のフル・スケール誤差の差を意味します。

### トラック・アンド・ホールド・アクイジション時間

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アクイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の  $\pm \frac{1}{2}LSB$  以内に出力が収まるために要する時間です。

### 信号対ノイズ(+歪み)比 (SINAD)

これは、A/D コンバータ出力での信号対ノイズ(+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリグ周波数( $f_s/2$ )までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対ノイズ(+歪み)} = (6.02N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、SINAD は 74 dB になります。

### 総合高調波歪み(THD)

THD は高調波の rms 値総和と基本波の比です。AD7366/AD7367 の場合、THD は次のように定義されま

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 $V_1$  は基本波の rms 振幅。 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$  は、2 次～6 次の高調波の rms 振幅。

### ピーク高調波またはスプリアス・ノイズ

高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の(DC を除いて  $f_s/2$  まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大高調波により決定されますが、高調波がノイズ・フロアに埋もれている ADC の場合、ノイズ・ピークになります。

### チャンネル間アイソレーション

チャンネル間アイソレーションは、任意の入力範囲内で動作している 2 つのチャンネル間でのクロストークのレベルの大きさを表します。フル・スケールの正弦波信号をすべての非選択入力チャンネルに入力し、50 kHz 信号を使って選択したチャンネルで信号の減衰を測定することにより決定します。このようにして得た値が AD7366/AD7367 の全 4 チャンネル間での typ 値になります(詳細については、図 9 を参照してください)。

### 相互変調歪み (IMD)

非線形性を持つアクティブ・デバイスに 2 つの周波数  $f_a$  および  $f_b$  を含む正弦波を入力すると、さまざまななおよび差の周波数  $m f_a \pm n f_b$  を持つ歪み成分が発生します。ここで、 $m$ 、 $n=0$ 、1、2、3、...です。相互変調歪みの項とは、 $m$  または  $n$  がゼロでない項をいいます。たとえば、2 次項には  $(f_a + f_b)$  と  $(f_a - f_b)$  が含まれ、3 次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  が含まれます。

AD7366/AD7367 は、入力帯域幅の上限に近い 2 つの入力周波数を使う CCIF 標準を使ってテストされています。この場合、2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

**電源変動除去比(PSRR)**

電源変動はフル・スケール変化に影響しますが、コンバータの直線性には影響を与えません。PSRRは、電源電圧の公称値からの変化で発生するフル・スケール変化ポイントの最大変化を表します(図 11 参照)。

**サーマル(または出力電圧)ヒステリシス**

サーマル(または出力電圧)ヒステリシスは、次のいずれかの温度サイクルを加えた後のリファレンス出力電圧の絶対最大変化として定義されます。

$$T_{HYS+} = +25^{\circ}\text{C} \rightarrow T_{MAX} \rightarrow +25^{\circ}\text{C}$$

または

$$T_{HYS-} = +25^{\circ}\text{C} \rightarrow T_{MIN} \rightarrow +25^{\circ}\text{C}$$

この値は次式を使って ppm で表されます。

$$V_{HYS} \text{ (ppm)} = \left| \frac{V_{REF}(25^{\circ}\text{C}) - V_{REF}(T_{HYS})}{V_{REF}(25^{\circ}\text{C})} \right| \times 10^6$$

ここで、

$V_{REF}(25^{\circ}\text{C})$ は、 $25^{\circ}\text{C}$ での  $V_{REF}$ 。

$V_{REF}(T_{HYS})$ は、 $T_{HYS+}$ または  $T_{HYS-}$ での  $V_{REF}$ の最大変化。

## 動作原理

### 回路説明

AD7366/AD7367 は、デュアルの高速、2チャンネル、12/14ビット、バイポーラ入力、同時サンプリング、シリアルADCです。AD7366/AD7367のアナログ入力には、 $\pm 10\text{ V}$ と $\pm 5\text{ V}$ の入力範囲のバイポーラ電圧を入力することができます。また、 $0\sim 10\text{ V}$ のユニポーラ範囲を入力することもできます。AD7366/AD7367には、高電圧アナログ入力構造に対する $V_{DD}$ と $V_{SS}$ の2つの電源が必要です。これらの電源は $\pm 11.5\text{ V}$ 以上である必要があります。各アナログ入力範囲に対するこれらの電源の最小条件については、表7を参照してください。AD7366/AD7367には、ADCコアの電源として $4.75\text{ V}\sim 5.25\text{ V}$ の低電圧 $AV_{CC}$ 電源が必要です。

表7.リファレンス電圧と各アナログ入力範囲に対する電源条件

Selected Analog Input Range (V)	Reference Voltage (V)	Full-Scale Input Range (V)	$AV_{CC}$ (V)	Minimum $V_{DD}/V_{SS}$ (V)
$\pm 10$	2.5	$\pm 10$	5	$\pm 11.5$
	3.0	$\pm 12$	5	$\pm 12$
$\pm 5$	2.5	$\pm 5$	5	$\pm 11.5$
	3.0	$\pm 6$	5	$\pm 11.5$
0 to 10	2.5	0 to 10	5	$\pm 11.5$
	3.0	0 to 12	5	$\pm 12$

AD7366/AD7367は、2個のトラック・アンド・ホールド・アンプ、2個の逐次比較型ADC、シリアル・インターフェースを内蔵し、2本の個別データ出力ピンを持っています。AD7366/AD7367は、24ピンのTSSOPパッケージを採用し、他のソリューションに比べて優れた省スペースを提供します。AD7366/AD7367には、変換を開始させるCNVST信号が必要です。CNVSTの立ち下がりエッジで、両トラック・アンド・ホールドがホールド・モードになり、各変換が開始されます。変換が開始されると、BUSY信号がハイ・レベルになります。各逐次比較型ADCのクロックは、内蔵発振器から供給されます。変換が完了すると、BUSY信号はロー・レベルになります。BUSYの立ち下がりエッジで、トラック・アンド・ホールドはトラック・モードに戻ります。変換が終了すると、シリアル・クロック入力を使ってデバイスからデータがアクセスされます。

AD7366/AD7367は $2.5\text{ V}$ のリファレンス電圧を内蔵していますが、外付けリファレンス電圧を使う場合には、これをディスエーブルすることができます。ADCの内部リファレンス電圧をシステム内の他の場所で使う場合には、 $D_{CAPA}$ 出力と $D_{CAPB}$ 出力を先ずバッファすることが必要です。パワーアップ時、デバイスが動作するためには、REFSELピンをハイ・レベルまたはロー・レベルにして、内部または外付けリファレンス・オプションを選択する必要があります。内部リファレンス電圧を使用する場合は、REFSELピンをハイ・レベルに接続する必要があります。あるいは、REFSELをGNDに接続すると、外付けリファレンス電圧を $D_{CAPA}$ ピンと $D_{CAPB}$ ピンを介して両ADCに入力することができます。

アナログ入力は各ADCに対する2つのシングルエンド入力として構成することができます。RANGEビットを表8のように設定して、入力電圧範囲を選択することができます。

### コンバータの動作

AD7366/AD7367は、容量DACを採用した2個の逐次比較型ADCを内蔵しています。図16と図17に、片方のADCについての簡略化した回路図(アクイジション・フェーズと変換フェーズ)を示します。ADCは、コントロール・ロジック、SAR、容量DACから構成されています。図16(アクイジション・フェーズ)では、SW2は閉じて、SW1は位置Aにあり、コンパレータは平衡状態にあり、サンプリング・コンデンサ・アレイは入力から信号を取得します。

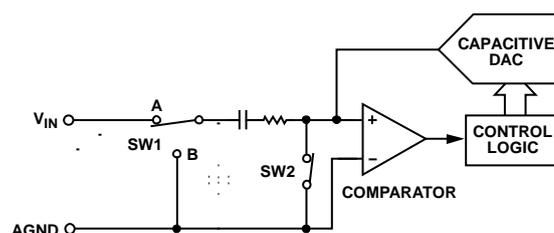


図16.ADC アクイジション・フェーズ

ADCが変換を開始すると(図17)、SW2が開いて、SW1が位置Bに移動して、コンパレータが不平衡状態になります。コントロール・ロジックと電荷再配分型DACを使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックはADCの出力コードを発生します。

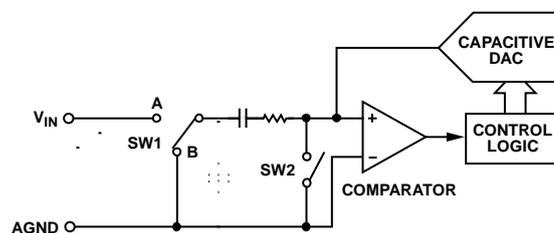


図17.ADC変換フェーズ

### アナログ入力

AD7366/AD7367の各ADCには、2つのシングルエンド・アナログ入力があります。図18に、AD7366/AD7367のアナログ入力構造の等価回路を示します。2個のダイオードはESD保護機能を提供します。アナログ入力信号は電源レールより $300\text{ mV}$ 以上高くないよう注意する必要があります。超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は $10\text{ mA}$ です。抵抗はスイッチのオン抵抗で構成される集中定数部品です。これらの抵抗値は約 $170\ \Omega$  (typ)です。コンデンサC1は主にピン容量に起因し、コンデンサC2はADCのサンプリング・コンデンサです。C1とC2の合計集中定数容量は、 $\pm 10\text{ V}$ 入力範囲では約 $9\text{ pF}$ に、他のすべての入力範囲では約 $13\text{ pF}$ に、それぞれ異なります。

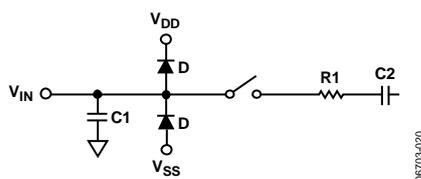


図 18.等価アナログ入力構造

AD7366/AD7367 は真のバイポーラ入力電圧を処理することができます。アナログ入力範囲は、 $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$  または  $0\text{ V}\sim 10\text{ V}$  に設定することができます。RANGE0 ピンと RANGE1 ピンのロジック・レベルにより、表 8 に示すように、入力範囲が選択されます。これらの範囲ビットは、変換前のアキュイジション時間中に変更することはできませんが、それ以外は何時でも変更することができます。

表 8.アナログ入力範囲の選択

RANGE1	RANGE0	Range Selected
0	0	$\pm 10\text{ V}$
0	1	$\pm 5\text{ V}$
1	0	$0\text{ V to } 10\text{ V}$
1	1	Do not program

AD7366/AD7367 には、高電圧アナログ入力構造に対する  $V_{DD}$  と  $V_{SS}$  の 2 つの電源が必要です。これらの電源は  $\pm 11.5\text{ V}$  以上である必要があります。これらの電源条件については、表 7 を参照してください。

AD7366/AD7367 では、ADC コア電源として  $4.75\text{ V}\sim 5.25\text{ V}$  の低電圧  $AV_{CC}$  電源、デジタル電源として  $4.75\text{ V}\sim 5.25\text{ V}$  の  $DV_{CC}$  電源、インターフェース電源として  $2.7\text{ V}\sim 5.25\text{ V}$  の  $V_{DRIVE}$  電源が必要です。

チャンネルの選択は、ADDR ピンを使って行います(表 9 参照)。ADDR ピンのロジック・レベルは、進行中の変換ではなく次の変換の BUSY 信号の立ち上がりエッジでラッチされます。AD7366/AD7367 に最初に電源が加えられるときのデフォルトのチャンネル選択は  $V_{A1}$  と  $V_{B1}$  です。

表 9.チャンネルの選択

ADDR	Channels Selected
0	$V_{A1}$ , $V_{B1}$
1	$V_{A2}$ , $V_{B2}$

## 伝達関数

AD7366/AD7367 の出力コーディングは 2 の補数です。コード変化は LSB の連続する整数倍値(1 LSB、2 LSB など)が発生します。LSB サイズは選択したアナログ入力範囲に依存します(表 10 参照)。理論伝達特性を図 19 に示します。

表 10.各アナログ入力範囲に対する LSB サイズ

Input Range	AD7366		AD7367	
	Full-Scale Range	LSB Size (mV)	Full-Scale Range	LSB Size (mV)
$\pm 10\text{ V}$	20 V/4096	4.88	20 V/16,384	1.22
$\pm 5\text{ V}$	10 V/4096	2.44	10 V/16,384	0.61
$0\text{ V to } 10\text{ V}$	10 V/4096	2.44	10 V/16,384	0.61

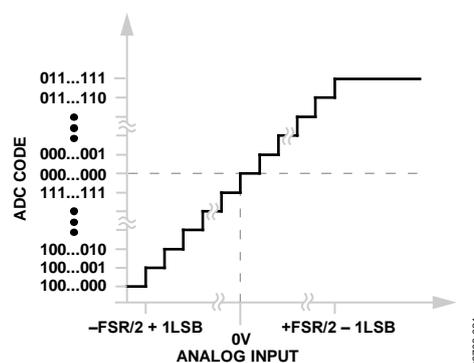


図 19.伝達特性

## トラック・アンド・ホールド

AD7366/AD7367 のトラック/ホールド・アンプにより、ADC はフル・スケール振幅の入力正弦波を正確に 12/14 ビット精度で変換することができます。トラック・アンド・ホールドの入力帯域幅は、ADC のナイquist・レートより広がっています。AD7366/AD7367 は最大 35 MHz の周波数を処理することができます。

トラック・アンド・ホールドは、 $\overline{CS}$  の立ち下がりエッジの後に BUSY 信号がロー・レベルになったときトラック・モードになります。トラック・アンド・ホールド・アンプが入力信号を取り込むときに要する時間は、サンプリング・コンデンサを充電する速度に依存します。ゼロ・ソース・インピーダンスでは、AD7366 での 12 ビット・レベルと AD7367 での 14 ビット・レベルへ信号を取り込むための時間は 140 ns あれば十分です。 $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 、 $0\text{ V}\sim 10\text{ V}$  の範囲に対するアキュイジション時間( $\pm 1/2$  LSB 以内に整定)は 140 ns (typ) です。ADC は、 $\overline{CNVST}$  の立ち下がりエッジでホールド・モードに戻ります。

必用とされるアキュイジション時間は次式で計算されます。

$$t_{ACQ} = 10 \times ((R_{SOURCE} + R) C)$$

ここで、 $C$  はサンプリング容量。

$R$  は、トラック・アンド・ホールド・アンプから入力を見た抵抗。

$R_{SOURCE}$  には、アナログ入力のその他のソース・インピーダンスも含む必要があります。

AD7366/AD7367には、他のバイポーラ ADC とは異なり、抵抗アナログ入力構造がありません。

AD7366/AD7367では、バイポーラ・アナログ信号が直接サンプリング・コンデンサへサンプルされます。このため、AD7366/AD7367のアナログ入力インピーダンスは高くなります。アナログ入力インピーダンスは次式で計算できます。

$$Z = 1/(f_s \times C_s)$$

ここで、

$f_s$  はサンプリング周波数。

$C_s$  はサンプリング・コンデンサ値。

$C_s$  は選択したアナログ入力範囲に依存します(アナログ入力のセクション参照)。1 MSPS の動作では、 $\pm 10$  V 範囲に対するアナログ入力インピーダンスは 260 k $\Omega$  (typ)です。サンプリング周波数が低くなると、アナログ入力インピーダンスはさらに大きくなります。アナログ入力インピーダンスが大きくなると、アナログ入力の駆動に必要な電流は減少します(詳細については、図 7 を参照してください)。

## 代表的な接続図

図 20 に、AD7366/AD7367 の一般的な接続図を示します。この接続では、AGND ピンはシステムのアナログ・グラウンド・プレーンに接続され、DGND ピンはシステムのデジタル・グラウンド・プレーンに接続されています。AD7366/AD7367 の各アナログ入力には、バイポーラの各シングルエンド・アナログ信号を入力することができます。また、AD7366/AD7367 は内蔵または外付けのリファレンス電圧で動作することができます。図 20 では、AD7366/AD7367 は内部 2.5 V リファレンス電圧で動作するように構成されています。内部リファレンス電圧で動作するときは、680 nF のデカップリング・コンデンサが必要です。

AV<sub>CC</sub> ピンと DV<sub>CC</sub> ピンは 5 V 電源電圧に接続されています。高電圧アナログ入力構造に対して V<sub>DD</sub> と V<sub>SS</sub> の 2 つの電源が必要です。これらのピンの電圧は  $\pm 11.5$  V 以上である必要があります(詳細については、表 7 を参照してください)。V<sub>DRIVE</sub> ピンは、マイクロプロセッサの電源電圧に接続されています。V<sub>DRIVE</sub> 入力へ加えられる電圧が、シリアル・インターフェースの電圧を制御します。V<sub>DRIVE</sub> は 3 V または 5 V に設定することができます。

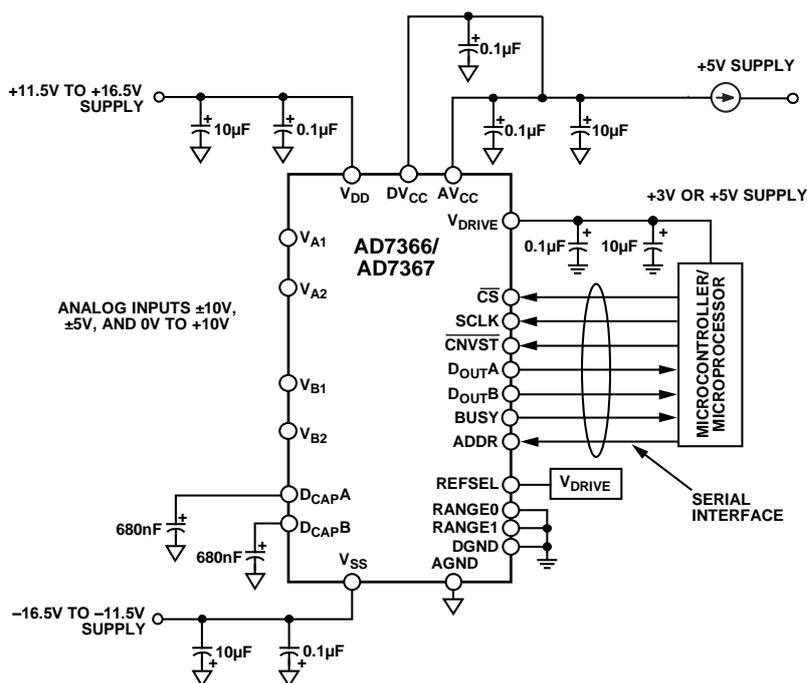


図 20. 内部リファレンス電圧を使用する代表的な接続図

06703-022

## ドライバ・アンプの選択

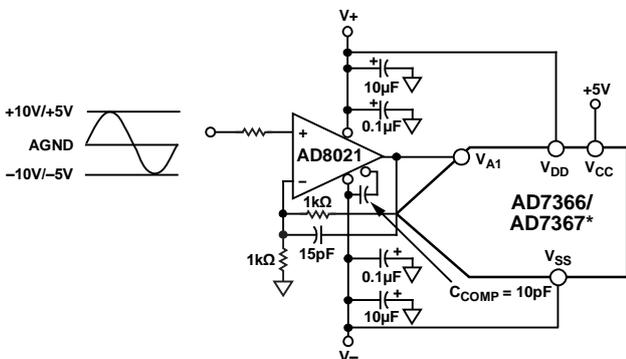
AD7366/AD7367には、シングルエンド・モードで動作するアナログ入力合計4個あります。両ADCのアナログ入力には、3種類のアナログ入力範囲を設定することができます。信号ソースが高インピーダンスを持つアプリケーションでは、アナログ入力をバッファした後にADCアナログ入力へ接続することが推奨されます。図21に、シングルエンド・モードでのAD7366/AD7367の構成を示します。

THDとSNRが重要であるアプリケーションでは、AD7366/AD7367のアナログ入力を低インピーダンス・ソースから駆動する必要があります。ソース・インピーダンスが大きいと、ADCのAC性能に大きな影響を与えるため、入力バッファ・アンプの使用が必要になります。

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、アプリケーションの許容可能なTHDの大きさに依存します。ソース・インピーダンスが増加するとTHDが大きくなるため、性能が低下します。図7に、種々のソース・インピーダンスに対するTHD対アナログ入力周波数を示します。AD7366/AD7367は、入力範囲と選択したアナログ入力設定に応じて、ソース・インピーダンスを図7のように処理することができます。

AD7366/AD7367のアナログ入力を選択可能である性質から、入力の駆動に使用するオペアンプの選択は、特定のアプリケーションによって決まり、選択したアナログ入力電圧範囲に依存します。

ドライバ・アンプは、フル・スケール・ステップに対してAD7366/AD7367の規定されたアキュイジション時間内に14ビット・レベル(0.0061%)にセトリングできる必要があります。AD8021のようなオペアンプは、シングルエンド・モードで動作するときこの条件を満たします。AD8021には外部補償NPOタイプのコンデンサが必要です。AD8022は、デュアル・バージョンが必要とされる高周波アプリケーションでも使用することができます。低周波アプリケーションに対しては、オペアンプAD797、AD845、AD8610が推奨されます。



\*ADDITIONAL PINS OMITTED FOR CLARITY.

図21. AD8021をアナログ入力の駆動に使用した代表的な接続図

## V<sub>DRIVE</sub>

AD7366/AD7367には、シリアル・インターフェースが動作する電圧を制御するV<sub>DRIVE</sub>機能もあります。V<sub>DRIVE</sub>を使うと、ADCは3Vと5Vのプロセッサに容易にインターフェースすることができます。たとえば、AD7366/AD7367がV<sub>CC</sub>=5Vで動作する場合、V<sub>DRIVE</sub>ピンは3V電源に接続することができるため、低い電圧のデジタル・プロセッサで大きなダイナミック・レンジが可能になります。したがって、D7366/AD7367を±10Vの入力範囲で使っても、3Vのデジタル製品にインターフェースすることができます。

AD7366では1.12 MSPSの最大スループット・レートを、またはAD7367では1 MSPSを、それぞれ実現する場合、V<sub>DRIVE</sub>は4.75V以上である必要があります(表2と表3参照)。2.7V < V<sub>DRIVE</sub> < 4.75Vでの最大スループット・レートは、AD7366では1 MSPSに、AD7367では900 kSPSに、それぞれなります。

## リファレンス電圧

AD7366/AD7367は、2.5Vの内蔵リファレンス電圧または外付けリファレンス電圧で動作することができます。REFSELピンのロジック状態で、内蔵リファレンス電圧を使用するか否かを指定します。内蔵リファレンス電圧は、REFSELピンがハイ・レベルのとき両ADCに対して選択されます。REFSELピンがGNDに接続されると、外付けリファレンスをD<sub>CAP</sub>AピンとD<sub>CAP</sub>Bピンを使って入力することができます。パワーアップ時、デバイスが動作するためには、REFSELピンをハイ・レベルまたはロー・レベルにする必要があります。AD7366/AD7367に適するリファレンス・ソースとしては、AD780、AD1582、ADR431、REF193、ADR391などがあります。

内蔵リファレンス電圧回路は、2.5Vのバンド・ギャップ・リファレンス電圧とリファレンス電圧・バッファから構成されています。AD7366/AD7367を内蔵リファレンス電圧モードで動作させるときは、2.5Vの内蔵リファレンス電圧がD<sub>CAP</sub>AピンとD<sub>CAP</sub>Bピンから出力されるので、これを680 nFのコンデンサでAGNDへデカップリングする必要があります。内蔵リファレンス電圧をシステム内の他の場所で使う前にバッファすることが推奨されます。内蔵リファレンス電圧は、±10Vのアナログ入力範囲で最大150 μAを、±5V範囲と0V~10V範囲で70 μAを、それぞれ供給することができます。

ADC変換に内蔵リファレンス電圧の動作が必要な場合は、パワーアップ時にREFSELピンをハイ・レベルにする必要があります。リファレンス・バッファは、パワーアップのために70 μsを要し、パワーアップ時に680 nFのデカップリング・コンデンサが充電されます。

AD7366/AD7367は、2.5V~3Vのリファレンス電圧に対して仕様が規定されています。3Vのリファレンス電圧を選択すると、アナログ入力範囲は、±12V、±6V、0V~12Vになります。これらの範囲に対しては、V<sub>DD</sub> ≥ +12Vで、かつV<sub>SS</sub> ≤ -12Vである必要があります。

## 動作モード

AD7366/AD7367の動作モードは、変換終了時の $\overline{\text{CNVST}}$ 信号のロジック状態により選択されます。ノーマル・モードとシャットダウン・モードの2つの動作モードがあります。これらの動作モードは、柔軟なパワー・マネジメント・オプションを提供するようにデザインされています。これらオプションは、さまざまなアプリケーション条件に対して消費電力/スループット・レートの比を最適化するために選択することができます。

### ノーマル動作モード

ノーマル・モードは、高速スループット・レートを必要とするアプリケーションを対象としています。ノーマル・モードでは、AD7366/AD7367が常時フル・パワーオン状態にあるためパワーアップ時間を気にする必要はありません。図22に、ノーマル・モードでのAD7366の一般的な動作を示します。図23には、AD7367のノーマル・モードを示します。

変換は $\overline{\text{CNVST}}$ のセクションで説明するように立ち下がりエッジで開始されます。デバイスを常時パワーアップさせておくために、BUSY信号がロー・レベルになるまで、 $\overline{\text{CNVST}}$ をハイ・レベルに維持しておく必要があります。BUSY信号がロー・レベルのときに $\overline{\text{CNVST}}$ がロー・レベルになると、アナログ回路がパワーダウンしてデバイスは変換を停止します。変換の継続中、BUSY信号はハイ・レベルを維持する必要があります。

データ・バスをスリー・ステートから抜け出させるときは、 $\overline{\text{CS}}$ ピンをロー・レベルにする必要があります。このため、AD7366から変換結果を読み出すときは12 SCLK サイクルを要し、AD7367から変換結果を読み出すときは14 SCLK サイクルを要します。 $\text{D}_{\text{OUT}}$ ラインは、 $\overline{\text{CS}}$ がハイ・レベルになったときのみスリー・ステートに戻ります。 $\overline{\text{CS}}$ が、AD7366ではさらに12 SCLK サイクル間、またはAD7367ではさらに14 SCLK サイクル、それぞれロー・レベルを維持すると、他の内蔵ADCからの変換結果が同じ $\text{D}_{\text{OUT}}$ ラインを使って出力されます。この動作を図27と図28に示します(シリアル・インターフェースのセクション参照)。

SCLKで24サイクル(AD7366)または28サイクル(AD7367)が経過すると、24番目または28番目の立ち下がりエッジではなく、 $\overline{\text{CS}}$ がハイ・レベルになったときに、 $\text{D}_{\text{OUT}}$ ラインがスリー・ステートに戻ります。この前に、 $\overline{\text{CS}}$ をハイ・レベルにすると、 $\text{D}_{\text{OUT}}$ ラインはその時点でスリー・ステートに戻ります。したがって、読み出しが完了したときは $\overline{\text{CS}}$ をハイ・レベルにする必要があります。これは、2つの変換結果の読み出しが完了しても、バスは自動的にスリー・ステートに戻らないためです。

データ転送が完了して、 $\text{D}_{\text{OUTA}}$ と $\text{D}_{\text{OUTB}}$ がスリー・ステートに戻った後、静止時間 $t_{\text{QUIET}}$ が経過した後に $\overline{\text{CNVST}}$ を再度ロー・レベルにして、次の変換を開始することができます。

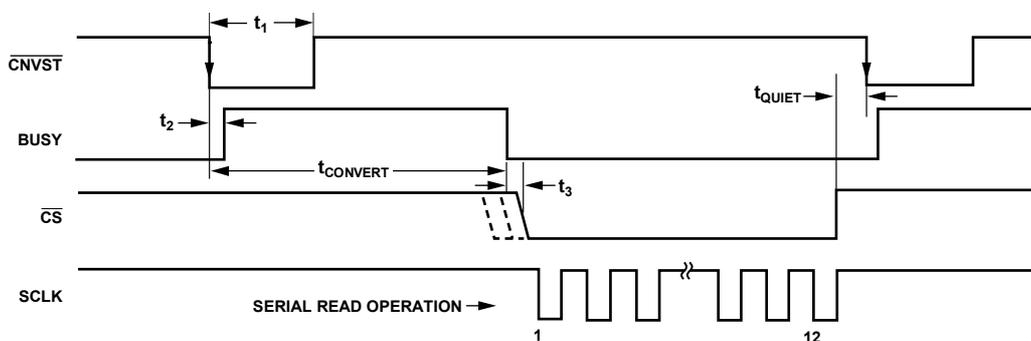


図 22. AD7366 のノーマル・モード動作

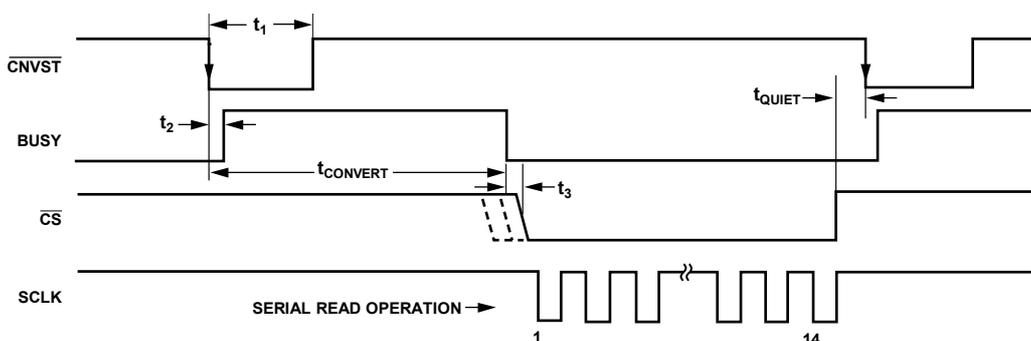


図 23. AD7367 のノーマル・モード動作

## シャットダウン・モード

シャットダウン・モードは、低スループット・レートが必要とされるアプリケーションでの使用を目的としています。このモードは、比較的高スループット・レートで実行される一連の変換の後に長い無動作時間(すなわちパワーダウン)が続くアプリケーションに適しています。AD7366/AD7367がフル・パワーダウンになると、全アナログ回路がパワーダウンされます。

CNVSTの立ち下がリエッジで変換が開始されます。変換が開始されると、BUSY信号がハイ・レベルになります。変換が完了すると、BUSY出力はロー・レベルに戻ります。BUSYがロー・レベルになったときCNVST信号がロー・レベルであると、デバイスは変換フェーズの終了後にシャットダウン・モードになります。デバイスがシャットダウン・モードのときでも、各ADCの直前の変換からのデジタル出力コードをD<sub>OUT</sub>ピンから読み出すことができます。D<sub>OUT</sub>のデータを読み出すときは、シリアル・インターフェースのセクションに示すようにCSをロー・レベルにする必要があります。CSがハイ・レベルに戻ると、D<sub>OUT</sub>ピンはスリー・ステートに戻ります。

フル・パワーダウンを終了してAD7366/AD7367をパワーアップさせるときは、CNVSTの立ち上がりエッジが必要です。所定のパワーアップ時間が経過した後、CNVSTをロー・レベルに戻して、図24に示すように次の変換を開始させることができます(AD7366/AD7367のパワーアップ時間についてはパワーアップ時間のセクションを参照してください)。

## パワーアップ時間

AD7366/AD7367にはパワーダウン・モードが1つあります。これは、シャットダウン・モードのセクションで説明してあります。この節では、シャットダウン・モードから抜け出す際に必要なパワーアップ時間について説明します。ここで述べるパワーアップ時間は、D<sub>CAP</sub>AピンとD<sub>CAP</sub>Bピンに推奨コンデンサを接続した場合に適用されることに注意してください。シャットダウンからパワーアップするときは、CNVSTをハイ・レベルにして、最小70μs間ハイ・レベルを維持する必要があります(図24参照)。

電源を最初にAD7366/AD7367に加えるときは、CNVSTのロー・レベルまたはハイ・レベルによらずADCはパワーアップすることができます。有効な変換を開始するときはその前に、CNVSTをハイ・レベルにして、推奨パワーアップ時間の70μs間ハイ・レベルを維持する必要があります。その後、CNVSTをロー・レベルにして変換を開始することができます。

AD7366/AD7367では、D<sub>OUT</sub>ピンから有効なデータを読み出せるようになる前にダミー変換は不要です。電源を最初に加えるときに、デバイスをシャットダウン・モードにする場合は、AD7366/AD7367をパワーアップさせて、変換を開始させる必要がありますが、BUSY信号がロー・レベルになって、デバイスがシャットダウン・モードを開始できるようにするため、CNVSTをロー・レベルに維持する必要があります。

電源をAD7366/AD7367に加えるときは、外付けリファレンス電圧がパワーアップし、リファレンス・バッファの種々のデカップリング・コンデンサが最終値まで充電されるように、十分な時間を確保する必要があります。

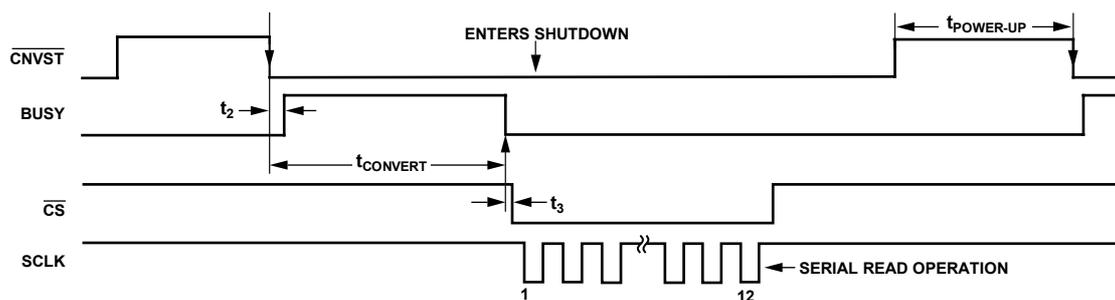


図24.AD7366の自動シャットダウン・モード

06703-026

## シリアル・インターフェース

図 25 と図 26 に、AD7366 と AD7367 のシリアル・インターフェースの詳しいタイミング図を示します。

AD7366/AD7367 は、 $\overline{\text{CNVST}}$  の立ち下がりエッジで、選択されたチャンネルを同時に変換します。これらの変換は内蔵発振器を使って行われます。 $\overline{\text{CNVST}}$  の立ち下がりエッジで、BUSY 信号がハイ・レベルになり、変換が開始されたことを表示します。変換が完了すると、BUSY 信号はロー・レベルに戻ります。データは  $D_{\text{OUT}}$  ピンから読み出せるようになります。

AD7366/AD7367 からデータを転送するためには、 $\overline{\text{CS}}$  信号と SCLK 信号が必要です。AD7366/AD7367 には、各 ADC に対応して 2 本の出力ピンがあります。データは、 $D_{\text{OUTA}}$  と  $D_{\text{OUTB}}$  を使って AD7366/AD7367 から読み出すことができます。あるいは、ユーザが指定する 1 本の出力ピンを使うこともできます。SCLK 入力信号は、シリアル・インターフェースのクロックになります。データを AD7366/AD7367 からアクセスするときは、 $\overline{\text{CS}}$  をロー・レベルにします。 $\overline{\text{CS}}$  の立ち下がりエッジで、バスがスリー・ステートから抜け出して、変換結果の MSB が出力されます。データ・ストリームは、AD7366 では 12 ビットのデータから、AD7367 では 14 ビットのデータから、それぞれ構成され、MSB ファーストで出力されます。変換結果の最初のビットは、 $\overline{\text{CS}}$  の立ち下がりエッジの後の、最初の SCLK 立ち下がりエッジで有効になります。AD7366/AD7367 のデータの後続それぞれ 11/13 ビットは、SCLK 信号の立ち下がりエッジで出力されます。各変換結果をアクセスするためには、AD7366 には最小 12 クロック・パルスを、AD7367 には最小 14 クロック・パルスを、それぞれ入力する必要があります。図 25 に、AD7366 の変換結果をアクセスする際に、この 12 SCLK 読み出しの使用法を示します。図 26 には、AD7367 での 14 SCLK 読み出しの使用法を示します。

$\overline{\text{CS}}$  の立ち上がりエッジで、変換が終了して  $D_{\text{OUTA}}$  と  $D_{\text{OUTB}}$  はスリー・ステートに戻ります。 $\overline{\text{CS}}$  をハイ・レベルにしないで、さらに 12 SCLK サイクル間(AD7366) または 14 SCLK サイクル間(AD7367)ロー・レベルを維持すると、選択された  $D_{\text{OUT}}$  ピンに他の  $D_{\text{OUT}}$  ピンからのデータが出力されます。図 27 と図 28 を参照してください。ここでは  $D_{\text{OUTA}}$  を表示してあります。この場合、使用している  $D_{\text{OUT}}$  ラインは、 $\overline{\text{CS}}$  の立ち上がりエッジでスリー・ステートに戻ります。

SCLK の立ち下がりエッジと  $\overline{\text{CS}}$  の立ち下がりエッジが一致する場合、SCLK の立ち下がりエッジは AD7366/AD7367 から認識されないため、SCLK の次の立ち下がりエッジは、 $\overline{\text{CS}}$  の立ち下がりエッジの後の最初のエッジになります。

BUSY 信号がロー・レベルになる前に、 $\overline{\text{CS}}$  ピンをロー・レベルにすることができ、変換の終了を表示します。 $\overline{\text{CS}}$  をロー・レベルにすると、データ・バスがスリー・ステートから抜け出します。この機能を使うと、BUSY 信号がロー・レベルになる前に  $\overline{\text{CS}}$  を最小  $t_4$  間ロー・レベルにすることにより、BUSY の立ち下がりエッジで MSB が確実に有効になるようにすることができます。図 22 と図 23 に示す点線の  $\overline{\text{CS}}$  でこの機能を示します。

あるいは、 $\overline{\text{CS}}$  ピンをロー・レベルに接続して固定することもできます。この場合、 $D_{\text{OUT}}$  ピンはスリー・ステートになることはなく、データ・バスは常時アクティブになります。これらの条件下では、AD7366/AD7367 の変換結果の MSB は、BUSY 信号の立ち下がりエッジで出力されます。次の上位ビットは、BUSY 信号がロー・レベルになった後の最初の SCLK 立ち下がりエッジで出力されます。この動作モードを使うと、コンバータで変換結果が使用可能になると直ちに MSB を読み出すことができます。

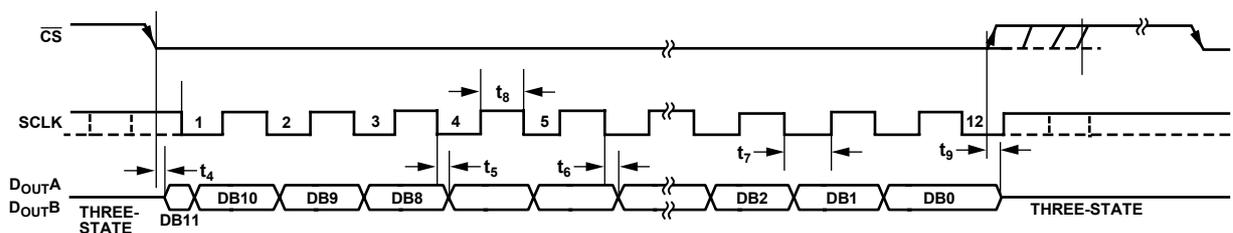


図 25. AD7366 のシリアル・インターフェースのタイミング図

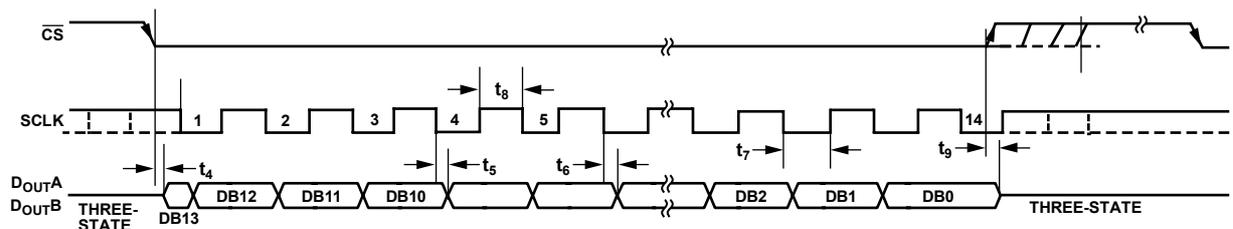


図 26. AD7367 のシリアル・インターフェースのタイミング図

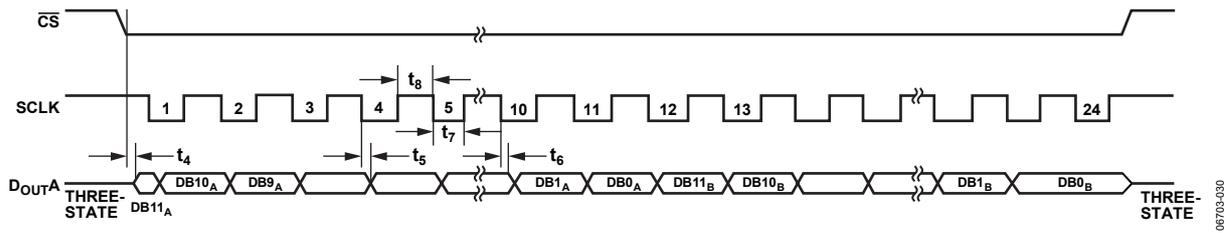


図 27. AD7366 の 1 本の D<sub>OUT</sub> ラインによる両 ADC からのデータ読み出し、24 SCLK サイクル使用

06703-030

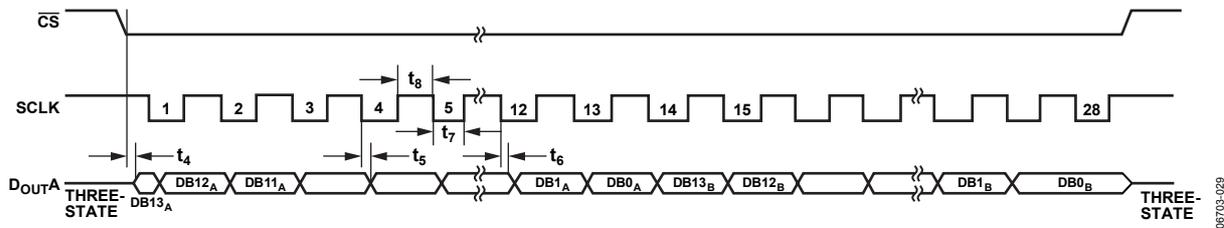


図 28. AD7367 の 1 本の D<sub>OUT</sub> ラインによる両 ADC からのデータ読み出し、28 SCLK サイクル使用

06703-029

## マイクロプロセッサ・インターフェース

AD7366/AD7367 に内蔵されているシリアル・インターフェースを使うと、さまざまなマイクロプロセッサにデバイスを直接接続することができます。この節では、AD7366/AD7367 を一般的な幾つかのマイクロコントローラや DSP のシリアル・インターフェース・プロトコルとインターフェースさせる方法について説明します。

### AD7366/AD7367 と ADSP-218x とのインターフェース

ADSP-218x ファミリの DSP は外付けロジックなしで直接 AD7366/AD7367 にインターフェースすることができます。AD7366/AD7367 の  $V_{DRIVE}$  ピンでは、ADSP-218x の電源ピンと同じ電源電圧を使います。この方法により、必要に応じて、ADC はシリアル・インターフェースすなわち ADSP-218x より高い電圧で動作することが可能になります。この例では、AD7366/AD7367 の  $D_{OUTA}$  と  $D_{OUTB}$  が ADSP-218x の両シリアル・ポートに接続されています。SPORT0 コントロール・レジスタと SPORT1 コントロール・レジスタは、表 11 と表 12 に示すように設定する必要があります。

表 11. SPORT0 コントロール・レジスタのセットアップ

Setting	Description
TFSW = RFSW = 1	Alternate framing
INVRFS = INVTFS = 1	Active low frame signal
DTYPE = 00	Right-justify data
SLEN = 1111	16-bit data-word (or can be set to 1101 for 14-bit data-word)
ISCLK = 1	Internal serial clock
TFSR = RFSR = 1	Frame every word
IRFS = 0	
ITFS = 1	

表 12. SPORT1 コントロール・レジスタのセットアップ

Setting	Description
TFSW = RFSW = 1	Alternate framing
INVRFS = INVTFS = 1	Active low frame signal
DTYPE = 00	Right-justify data
SLEN = 1111	16-bit data-word (or can be set to 1101 for 14-bit data-word)
ISCLK = 0	External serial clock
TFSR = RFSR = 1	Frame every word
IRFS = 0	
ITFS = 1	

接続図を図 29 に示します。ADSP-218x では SPORT0 の TFS0 と RFS0 および SPORT1 の RFS1 が一緒に接続されます。TFS0 は出力として、RFS0 と RFS1 は入力として、それぞれ設定されます。DSP は交番フレーミング・モードで動作し、SPORT コントロール・レジスタは表 11 と表 12 のように設定されます。TFS に出力されるフレーム同期信号は  $\overline{CS}$  に接続されます。

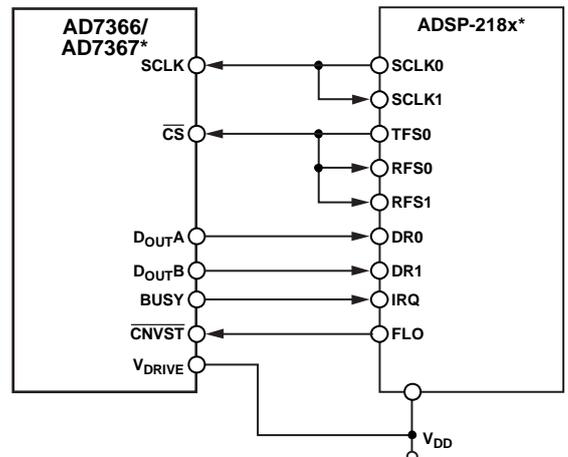


図 29. AD7366/AD7367 と ADSP-218x とのインターフェース

AD7366/AD7367 BUSY ラインは、変換が完了したとき ADSP-218x への割り込みを発生します。その後、読み出し動作により、AD7366/AD7367 から変換結果を読み出すことができます。BUSY 信号からの IRQ で割り込みを受け付けると、値が TFS/DT (ADC コントロール・ワード)と一緒に転送されます。TFS を使って RFS すなわちデータの読み出しを制御します。

### AD7366/AD7367 と ADSP-BF53x とのインターフェース

ADSP-BF53x ファミリの DSP は外付けロジックなしで直接 AD7366/AD7367 にインターフェースすることができます。Blackfin® DSP のシリアル・ポートには 2 つ目の受信レジスタがありますが、 $D_{OUTA}$  ピンと  $D_{OUTB}$  ピンから同時に読み出すときは、1 つのシリアル・ポートだけを読み出すだけで済みます。図 30 では、AD7366/AD7367 の  $D_{OUTA}$  と  $D_{OUTB}$  が ADSP-BF53x のシリアル・ポート 0 に接続されています。SPORT0 受信コンフィギュレーション 1 レジスタと SPORT0 受信コンフィギュレーション 2 レジスタは、表 13 と表 14 のように設定する必要があります。

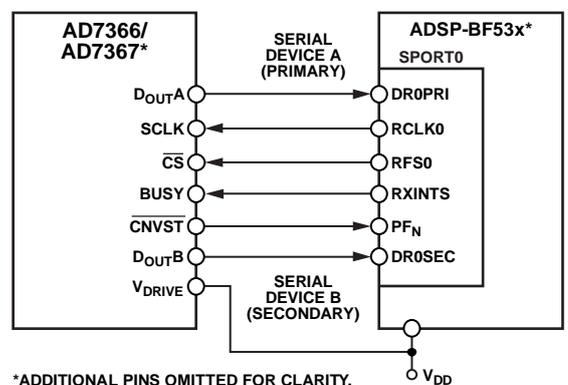


図 30. AD7366/AD7367 と ADSP-BF53x とのインターフェース

表 13.SPORT0 受信コンフィギュレーション 1 レジスタ (SPORT0\_RCR1)

Setting	Description
RCKFE = 1	Sample data with falling edge of RSCLK
LRFS = 1	Active low frame signal
RFSR = 1	Frame every word
IRFS = 1	Internal RFS used
RLSBIT = 0	Receive MSB first
RDTYPE = 00	Zero fill
IRCLK = 1	Internal receive clock
RSPEN = 1	Receive enabled
SLEN = 1111	16-bit data-word (or can be set to 1101 for 14-bit data-word)
TFSR = RFSR = 1	

表 14.SPORT0 受信コンフィギュレーション 2 レジスタ (SPORT0\_RCR2)

Setting	Description
RXSE = 1	Secondary side enabled
SLEN = 1111	16-bit data-word (or can be set to 1101 for 14-bit data-word)

## AD7366/AD7367 と TMS320VC5506 とのインターフェース

TMS320VC5506 のシリアル・インターフェースでは、連続シリアル・クロックとフレーム同期信号を使って、データ転送動作を AD7366/AD7367 のようなペリフェラル・デバイスに同期化しています。CS 入力を使うと、外付けロジックなしで、TMS320VC5506 と AD7366/AD7367 との間を容易にインターフェースすることができます。TMS320VC5506 のシリアル・ポートは、内部 CLKX0 (シリアル・ポート 0 の Tx シリアル・クロック) と FSX0 (シリアル・ポート 0 からの Tx フレーム同期) を使うバースト・モードで動作するように設定します。シリアル・ポート・コントロール・レジスタ (SPC) は、表 15 のように設定する必要があります。

表 15.シリアル・ポート・コントロール・レジスタのセットアップ

SPC	FO	FSM	MCM	TXM
SPC0	0	1	1	1
SPC1	0	1	0	0

接続図を図 31 に示します。AD7366/AD7367 の V<sub>DRIVE</sub> ピンでは、TMS320VC5506 の電源ピンと同じ電源電圧を使います。この方法により、必要に応じて、ADC はシリアル・インターフェースすなわち TMS320VC5506 より高い電圧で動作することが可能になります。

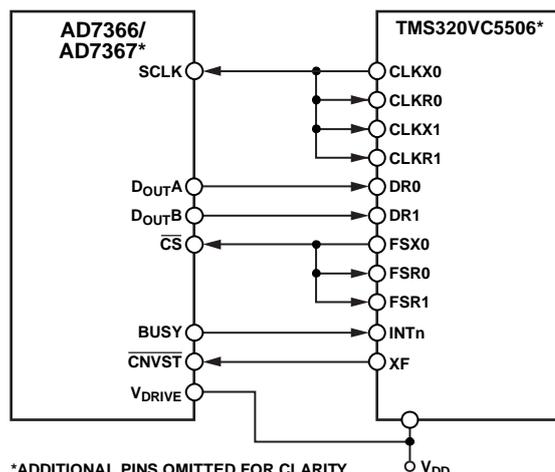


図 31.AD7366/AD7367 と TMS320VC5506 とのインターフェース

前のインターフェースと同様に、変換は TMS320VC5506 または外部ソースから開始することができ、変換シーケンスが完了すると、プロセッサへの割込みが発生します。

## AD7366/AD7367 と DSP563xx とのインターフェース

図 32 の接続図に、AD7366/AD7367 とモトローラ社の DSP563xx ファミリー DSP の ESSI (強化型同期シリアル・インターフェース) との接続方法を示します。2つの ESSI が内蔵されており、各々は同期モードで動作し (CRB レジスタの SYN ビット=1)、Tx と Rx のワード長フレーム同期を内部で発生します (CRB レジスタの FSL1 ビット=0 かつ FSL0 ビット=0)。

CRB レジスタで MOD=0 を設定して、ESSI のノーマル動作を選択します。CRA レジスタ内で WL1 ビット=1 かつ WL0 ビット=0 の設定を行い、ワード長=16 に設定します。CRB レジスタ内の FSP ビット=1 に設定して、フレーム同期を反転させます。

図 32 に示す例では、シリアル・クロックが ESSI0 から取得されるため、SCK0 ピンを出力に設定し(SCKD = 1)、SCK1 ピンを入力(SCKD = 0)に設定する必要があります。フレーム同期信号は ESSI0 の SC02 から取得し(SCD2 = 1)、一方 ESSI1 では、SCD2 = 0 に設定して SC12 を入力に設定する必要があります。AD7366/AD7367 の  $V_{DRIVE}$  ピンでは、DSP563xx の電源ピンと同じ電源電圧を使います。この方法により、必要に応じて、ADC はシリアル・インターフェースすなわち DSP563xx より高い電圧で動作することが可能になります。

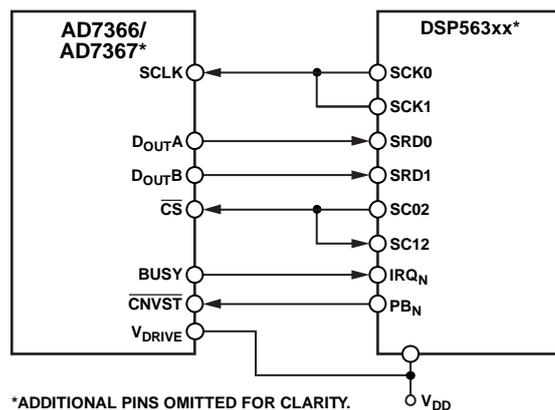


図 32. AD7366/AD7367 と DSP563xx とのインターフェース

## アプリケーション情報

### レイアウトとグラウンド接続

AD7366/AD7367 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすると、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。

最適なシールド効果を実現するために、一般にエッチング部分を最小にすることが最適です。

AD7366/AD7367 のすべての AGND ピンは AGND プレーンに接続する必要があります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 ヶ所で接続する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD7366/AD7367 を使用する場合にも、この接続は 1 ヶ所行う必要があります。AD7366/AD7367 のグラウンド・ピンのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

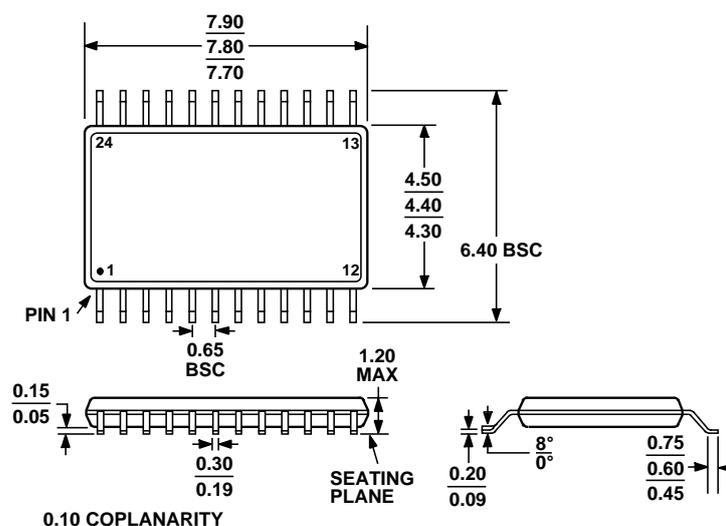
電源プレーンとグラウンド・プレーンへの接続はしっかり行う必要があります。これは、各電源と各グラウンド・ピンに 1 個または複数のビアを使って行うことができます。

ノイズがチップに混入するので、AD7366/AD7367 デバイスの真下をデジタル・ラインが通らないようにしてください。ただし、ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7366/AD7367 の下を通過することは可能です。AD7366/AD7367 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。

クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。パターンは、互いに直角度となるように配置して、ボード内のフィードスルー効果を減少させます。マイクロストリップ技術の使用は最適な方法ですが、両面ボードでは常に使用できるとは限りません。マイクロストリップ技術では、ボードの部品面はグラウンド・プレーン専用にして、信号は反対面に配線します。

デカップリングを正しく行うことも重要です。すべてのアナログ電源と AGND の間に  $10\mu\text{F}$  のタンタル・コンデンサと  $0.1\mu\text{F}$  のコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。 $0.1\mu\text{F}$  のコンデンサは、一般的なセラミック型コンデンサや表面実装型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使う必要があります。これらの低 ESR で低 ESI のコンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AD

図 33.24 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]  
(RU-24)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7366BRUZ <sup>1</sup>	-40°C to +85°C	24-Lead Thin Shrink Small Outline Package [TSSOP]	RU-24
AD7366BRUZ-RL7 <sup>1</sup>	-40°C to +85°C	24-Lead Thin Shrink Small Outline Package [TSSOP]	RU-24
AD7366BRUZ-500RL7 <sup>1</sup>	-40°C to +85°C	24-Lead Thin Shrink Small Outline Package [TSSOP]	RU-24
AD7367BRUZ <sup>1</sup>	-40°C to +85°C	24-Lead Thin Shrink Small Outline Package [TSSOP]	RU-24
AD7367BRUZ-500RL7 <sup>1</sup>	-40°C to +85°C	24-Lead Thin Shrink Small Outline Package [TSSOP]	RU-24
AD7367BRUZ-RL7 <sup>1</sup>	-40°C to +85°C	24-Lead Thin Shrink Small Outline Package [TSSOP]	RU-24
EVAL-AD7366CBZ <sup>1</sup>		Evaluation Board	
EVAL-AD7367CBZ <sup>1</sup>		Evaluation Board	
EVAL-CONTROL BRD2		Control Board	

<sup>1</sup> Z = RoHS 準拠製品。