

特長

高速スループット・レート：100kSPS

V_{DD} 仕様：2.5~5.5V

低消費電力

3mW (typ) @100kSPS、2.5V

3.9mW (typ) @100kSPS、3V

16.7mW (typ) @100kSPS、5V

広入力帯域幅

10kHzの入力周波数で86dB SNR

シリアル・クロック速度による柔軟なパワー・マネジメント

パイプライン遅延なし

高速シリアル・インターフェース

SPI®/QSPI™/マイクロワイヤ/DSP互換

スタンバイ・モード：0.5μA (max)

6ピンSOT-23および8ピンMSOPパッケージ

機能ブロック図

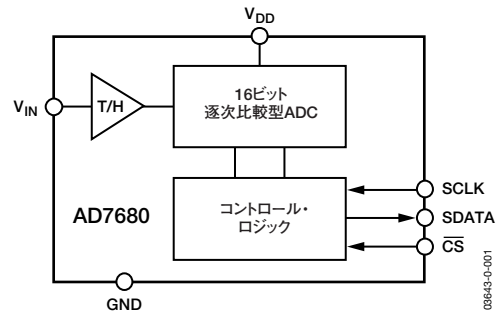


図1

アプリケーション

バッテリー駆動のシステム：

携帯情報端末 (PDA)

医療機器

移動体通信

計測機器と制御システム

リモート・データ・アキュイジション・システム

高速モデム

光センサー

表1. MSOP/SOT-23パッケージの16ビットPulSAR ADC

タイプ/kSPS	100kSPS	250kSPS	500kSPS
真の差動	AD7684	AD7687	AD7688
疑似差動	AD7683	AD7685	AD7686
ユニポーラ	AD7680		

概要

AD7680は、低消費電力の高速16ビット逐次比較型 (SAR) A/Dコンバータ (ADC) です。2.5~5.5Vの単電源で動作し、最高100kSPSのスループット・レートが可能です。7MHzを超える入力周波数を処理できるローノイズで広帯域幅のトラック&ホールド・アンプを内蔵しています。

\overline{CS} とシリアル・クロックを使用して変換プロセスとデータ・アキュイジションを制御するため、マイクロプロセッサやDSPとのインターフェースが可能です。入力信号は \overline{CS} の立下がりエッジでサンプリングし、変換もこの時点で開始します。デバイスにともなうパイプライン遅延はありません。

高度な設計技法を使用したAD7680は、高いスループット・レートできわめて低い消費電力を実現します。リファレンスを V_{DD} から内部的に得るため、ADCへのダイナミック入力レンジが最大になります。AD7680のアナログ入力レンジは0V~ V_{DD} です。変換レートは、SCLK周波数によって決定されます。

製品のハイライト

- SOT-23パッケージを採用した初の16ビットADC
- 低消費電力で高いスループットを実現。
- シリアル・クロック速度による柔軟なパワー・マネジメント。変換レートはシリアル・クロックによって決定されるため、シリアル・クロックの速度を上げれば変換時間を短縮できます。このため、変換していないときにパワーダウン・モードにすれば、平均消費電力を低減できます。また、低スループット・レートで電力効率を最大にするシャットダウン・モードもあります。シャットダウン時の消費電力は0.5μA (max) です。
- リファレンスは電源から取ります。
- パイプライン遅延なし。

AD7680は標準の逐次比較型ADCで、 \overline{CS} 入力とワンショット変換制御によってサンプリングのタイミングを正しく制御します。

AD7680

目次

仕様	3	デジタル入力	13
タイミング仕様	6	動作モード	14
絶対最大定格	7	通常動作モード	14
ESDに関する注意	7	パワーダウン・モード	15
ピン配置と機能の説明	8	消費電力対スループット・レート	16
用語の説明	9	シリアル・インターフェース	17
代表的な性能特性	10	AD7680とADSP-218xの接続	18
回路情報	12	アプリケーション情報	19
コンバータの動作	12	グラウンディングとレイアウト	19
アナログ入力	12	AD7680の性能評価	19
ADCの伝達関数	13	外形寸法	20
代表的な接続図	13	オーダー・ガイド	20

改訂履歴

リビジョン0：初版

仕様¹表2. 特に指定のない限り、 $V_{DD}=4.5\sim 5.5V$ 、 $f_{SCLK}=2.5MHz$ 、 $f_{SAMPLE}=100kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$

パラメータ	A、Bバージョン ¹	単位	テスト条件/備考
動的性能			$f_{IN}=10kHz$ の正弦波
信号/ノイズ+歪み (SINAD) ²	83	dB (min)	
	85	dB (typ)	
S/N比 (SNR) ²	84	dB (min)	
	86	dB (typ)	
全高調波歪み (THD) ²	-97	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ²	-95	dB (typ)	
相互変調歪み (IMD) ²			
2次項	-94	dB (typ)	
3次項	-100	dB (typ)	
アパーチャ遅延	20	ns (max)	
アパーチャ・ジッタ	30	ps (typ)	
フルパワー帯域幅	8	MHz (typ)	@ -3dB
	2.2	MHz (typ)	@ -0.1 dB
DC精度			
ノー・ミスコード	15	ビット (typ)	
積分非直線性 ²	±4	LSB (typ)	
オフセット誤差 ²	±1.68	mV (max)	
ゲイン誤差 ²	±0.038	%FS (max)	
アナログ入力			
入力電圧範囲	0~ V_{DD}	V	
DCリーク電流	±0.3	μA (max)	
入力容量	30	pF (typ)	
ロジック入力			
ハイレベル入力電圧 (V_{INH})	2.8	V (min)	
ローレベル入力電圧 (V_{INL})	0.4	V (max)	
入力電流 (I_{IN})	±0.3	μA (max)	標準で10nA、 $V_{IN}=0V$ または V_{DD}
入力容量 (C_{IN}) ^{2,3}	10	pF (max)	
ロジック出力			
ハイレベル出力電圧 (V_{OH})	$V_{DD}-0.2$	V (min)	$I_{SOURCE}=200\mu A$
ローレベル出力電圧 (V_{OL})	0.4	V (max)	$I_{SINK}=200\mu A$
フローティング状態リーク電流	±0.3	μA (max)	
フローティング状態出力容量 ^{2,3}	10	pF (max)	
出力コーディング	ストレート・バイナリ		
変換レート			
変換時間	8	μs (max)	SCLK=2.5MHzで20 SCLKサイクル
	9.6	μs (max)	SCLK=2.5MHzで24 SCLKサイクル
トラック&ホールド・アクイジション時間	1.5	μs (max)	
スループット・レート	400	ns (max)	正弦波入力≤10kHz
	100	kSPS	「シリアル・インターフェース」を参照
電源条件			
V_{DD}	4.5/5.5	V (min)/V (max)	
I_{DD}			デジタルI/P=0Vまたは V_{DD}
通常動作モード (静止時)	5.2	mA (max)	SCLKオンまたはオフ。 $V_{DD}=5.5V$
通常動作モード (動作時)	4.8	mA (max)	$f_{SAMPLE}=100kSPS$ 。 $V_{DD}=5.5V$;3.3mA (typ)
フル・パワーダウン・モード	0.5	μA (max)	SCLKオンまたはオフ。 $V_{DD}=5.5V$
消費電力 ⁴			$V_{DD}=5.5V$
通常動作モード (動作時)	26.4	mW (max)	$f_{SAMPLE}=100kSPS$
フル・パワーダウン	2.75	μW (max)	

¹ 温度範囲 (Bバージョン) : -40~+85°C² 「用語の説明」を参照。³ 量産開始時にサンプル・テストにより適合性を保証。⁴ 「消費電力対スループット・レート」を参照。

AD7680

仕様¹

表3. 特に指定のない限り、 $V_{DD}=2.5\sim 4.096V$ 、 $f_{SCLK}=2.5MHz$ 、 $f_{SAMPLE}=100kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$

パラメータ	Aバージョン ¹	Bバージョン ¹	単位	テスト条件/備考
動的性能				$f_{IN}=10kHz$ の正弦波
信号/ノイズ+歪み (SINAD) ²	83	83	dB (min)	$V_{DD}=4.096V$
	82	82	dB (min)	$V_{DD}=2.5\sim 3.6V$
	86	86	dB (typ)	
S/N比 (SNR) ²	84	84	dB (min)	$V_{DD}=4.096V$
	83	83	dB (min)	$V_{DD}=2.5\sim 3.6V$
	86	86	dB (typ)	
全高調波歪み (THD) ²	-98	-98	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ²	-95	-99	dB (typ)	
相互変調歪み (IMD) ²				
2次項	-94	-94	dB (typ)	
3次項	-100	-100	dB (typ)	
アパーチャ遅延	20	10	ns (max)	
アパーチャ・ジッタ	30	30	ps (typ)	
フルパワー帯域幅	7	7	MHz (typ)	@ -3dB ; $V_{DD}=4.096V$
	5	5	MHz (typ)	@ -3dB ; $V_{DD}=2.5\sim 3.6V$
	2	2	MHz (typ)	@ -0.1dB ; $V_{DD}=4.096V$
	1.6	1.6	MHz (typ)	@ -0.1dB ; $V_{DD}=2.5\sim 3.6V$
DC精度				
ノー・ミスコード	14	15	ビット (min)	
積分非直線性 ²	± 3.5	± 3.5	LSB (max)	$V_{DD}=4.096V$
	± 3	± 3	LSB (max)	$V_{DD}=2.5\sim 3.6V$
オフセット誤差 ²	± 1.25	± 1.25	mV (max)	$V_{DD}=4.096V$
	± 1.098	± 1.098	mV (max)	$V_{DD}=2.5\sim 3.6V$
ゲイン誤差 ²	± 0.038	± 0.038	%FS (max)	
アナログ入力				
入力電圧範囲	$0\sim V_{DD}$	$0\sim V_{DD}$	V	
DCリーク電流	± 0.3	± 0.3	μA (max)	
入力容量	30	30	pF (typ)	
ロジック入力				
ハイレベル電圧 (V_{INH})	2.4	2.4	V (min)	
ローレベル電圧 (V_{INL})	0.4	0.4	V (max)	
入力電流 (I_{IN})	± 0.3	± 0.3	μA (max)	標準で10nA、 $V_{IN}=0V$ または V_{DD}
入力容量 (C_{IN}) ^{2,3}	10	10	pF (max)	
ロジック出力				
ハイレベル電圧 (V_{OH})	$V_{DD}-0.2$	$V_{DD}-0.2$	V (min)	$I_{SOURCE}=200\mu A$
ローレベル電圧 (V_{OL})	0.4	0.4	V (max)	$I_{SINK}=200\mu A$
フローティング状態リーク電流	± 0.3	± 0.3	μA (max)	
フローティング状態出力容量 ^{2,3}	10	10	pF (max)	
出力コーディング	ストレート・バイナリ			
変換レート				
変換時間	8	8	μs (max)	SCLK=2.5MHzで20 SCLKサイクル
	9.6	9.6	μs (max)	SCLK=2.5MHzで24 SCLKサイクル
トラック&ホールド・アクイジション時間	1.5	1.5	μs (max)	フルスケール・ステップ入力
時間	400	400	ns (max)	正弦波入力 $\leq 10kHz$
スループット・レート	100	100	kSPS	「シリアル・インターフェース」を参照

パラメータ	Aバージョン ¹	Bバージョン ¹	単位	テスト条件/備考
電源条件				
V_{DD}	2.5/4.096	2.5/4.096	V (min)/(max)	デジタルI/P=0Vまたは V_{DD}
I_{DD}				SCLKオンまたはオフ、 $V_{DD}=4.096V$
通常動作モード (静止時)	2.8	2.8	mA (max)	SCLKオンまたはオフ、 $V_{DD}=3.6V$
	2	2	mA (max)	$f_{SAMPLE}=100kSPS$; $V_{DD}=4.096V$; 1.75mA (typ)
通常動作モード (動作時)	2.6	2.6	mA (max)	$f_{SAMPLE}=100kSPS$; $V_{DD}=3.6V$; 1.29mA (typ)
	1.9	1.9	mA (max)	SCLKオンまたはオフ
フル・パワーダウン・モード	0.3	0.3	μA (max)	
消費電力 ⁴				
通常動作モード (動作時)	10.65	10.65	mW (max)	$f_{SAMPLE}=100kSPS$; $V_{DD}=4.096V$
	6.84	6.84	mW (max)	$f_{SAMPLE}=100kSPS$; $V_{DD}=3.6V$
	3	3	mW (typ)	$V_{DD}=2.5V$
フル・パワーダウン	1.23	1.23	μW (max)	$V_{DD}=4.096V$
	1.08	1.08	μW (max)	$V_{DD}=3.6V$

¹ 温度範囲 (A、Bバージョン) : -40~+85°C

² 「用語の説明」を参照。

³ 量産開始時にサンプル・テストにより適合性を保証。

⁴ 「消費電力対スループット・レート」を参照。

AD7680

タイミング仕様¹

表4. 特に指定のない限り、 $V_{DD}=2.5\sim 5.5V$ 、 $T_A=T_{MIN}\sim T_{MAX}$

パラメータ	T_{MIN} 、 T_{MAX} での限界値		単位	説明
	3V	5V		
f_{SCLK}^2	250	250	kHz (min)	バスの開放から次の変換開始までに必要な最小静止時間 最小の \overline{CS} パルス幅 \overline{CS} からSCLKまでのセットアップ・タイム \overline{CS} からSDATAのスリーステートがディスエーブルになるまでの遅延 SCLK立下がりエッジ後のデータ・アクセス時間 SCLKロー・パルス幅 SCLKハイ・パルス幅 SCLKからデータ有効までのホールド・タイム SCLK立下がりエッジからSDATAハイ・インピーダンス フル・パワーダウンからのパワーアップ時間
	2.5	2.5	MHz (max)	
$t_{CONVERT}$	$20 \times t_{SCLK}$	$20 \times t_{SCLK}$	min	
t_{QUIET}	100	100	ns (min)	
t_1	10	10	ns (min)	
t_2	10	10	ns (min)	
t_3^3	48	35	ns (max)	
t_4^3	120	80	ns (max)	
t_5	$0.4 t_{SCLK}$	$0.4 t_{SCLK}$	ns (min)	
t_6	$0.4 t_{SCLK}$	$0.4 t_{SCLK}$	ns (min)	
t_7	10	10	ns (min)	
t_8^4	45	35	ns (max)	
$t_{POWER-UP}^5$	1	1	μs (typ)	

¹ 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号は、 $t_r=t_f=5ns$ (V_{DD} の10~90%) で仕様規定され、1.6Vの電圧レベルからタイミングをとります。

² SCLK入力のマーク/スペース比は40/60~60/40です。

³ 図2の負荷回路で測定。出力が0.8Vまたは2.0Vを超えるのに必要な時間。

⁴ t_8 は、図2の回路に負荷を与えたとき、データ出力が0.5V変化するのに要する時間の測定値から導出します。この値は50pFコンデンサの充/放電の影響を受けない値として推測されているため、タイミング仕様で使用する時間 (t_8) はデバイスの真の開放時間であり、バスの負荷容量とは無関係です。

⁵ 「消費電力対スループット・レート」を参照。

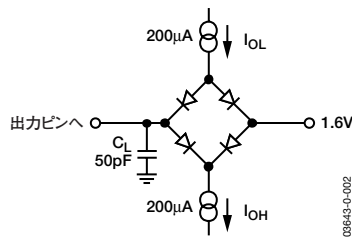


図2. デジタル出力タイミング仕様の負荷回路

絶対最大定格

表5. 特に指定のない限り、 $T_A=25^{\circ}\text{C}$

パラメータ	定格値
GNDに対する V_{DD}	$-0.3\sim+7\text{V}$
GNDに対するアナログ入力電圧	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3\sim+7\text{V}$
GNDに対するデジタル出力電圧	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
電源以外のピンへの入力電流 ¹	$\pm 10\text{mA}$
動作温度範囲	
商用 (Bバージョン)	$-40\sim+85^{\circ}\text{C}$
保存温度範囲	$-65\sim+150^{\circ}\text{C}$
ジャンクション温度	150°C
SOT-23パッケージ、消費電力	450mW
θ_{JA} 熱抵抗	$229.6^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	$91.99^{\circ}\text{C}/\text{W}$
MSOPパッケージ、消費電力	450mW
θ_{JA} 熱抵抗	$205.9^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	$43.74^{\circ}\text{C}/\text{W}$
ピン温度、ハンダ処理	
ベーキング時間 (60秒)	215°C
赤外線 (15秒)	220°C
ESD	2kV

¹ 100mAまでの過渡電流では、SCRのラッチアップは生じません。

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD7680

ピン配置と機能の説明

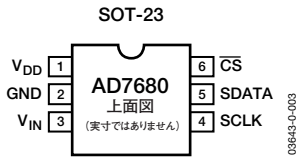


図3. SOT-23のピン配置

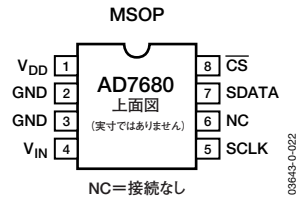


図4. MSOPのピン配置

表6. ピン機能の説明

ピン番号SOT-23	ピン番号MSOP	記号	機能
1	1	V_{DD}	電源入力。AD7680の V_{DD} は2.5～5.5Vです。
2	2、3	GND	アナログ・グラウンド。AD7680のすべての回路のグラウンド・リファレンス・ポイント。アナログ入力信号はすべてこのGND電圧を基準にします。
3	4	V_{IN}	アナログ入力。シングルエンドのアナログ入力チャンネル。入力レンジは0V～ V_{DD} です。
4	5	SCLK	シリアル・クロック。ロジック入力。SCLKは、デバイスのデータを読み出すためのシリアル・クロックになります。このクロック入力にはAD7680の変換プロセスのクロック源にもなります。
5	7	SDATA	データ出力。ロジック出力。AD7680の変換結果は、シリアル・データ・ストリームとしてこのピンに出力されます。ビットは、SCLK入力の立下がりエッジでクロック出力されます。AD7680からのデータ・ストリームは、4つの先行ゼロと、それに続く16ビットの変換データで(MSBファースト)構成されます。 \overline{CS} が合計24 SCLKサイクルの間ローレベルに保持される場合、この後に4つの末尾0が続きます。「シリアル・インターフェース」を参照。
6	8	\overline{CS}	チップ・セレクト。アクティブ・ローのロジック入力。AD7680での変換開始と、シリアル・データ転送の制御という2つの機能があります。
なし	6	NC	接続なし。このピンは開放しておきます。

用語の説明

積分非直線性 (INL)

ADC伝達関数の両端を結ぶ直線からの最大偏差です。伝達関数の両端とは、最初のコード遷移より1/2LSB下のゼロ・スケールと、最後のコード遷移より1/2LSB上のフル・スケールになります。

微分非直線性 (DNL)

ADCの2つの隣接コード間における1LSB変化の測定値と理想値の差です。

オフセット誤差

最初のコード遷移 (00...000から00...001) と理想的な遷移 (つまりAGND+1LSB) との偏差です。

ゲイン誤差

オフセット誤差を調整した後の、最後のコード遷移 (111...110から111...111) と理想的な遷移 (つまり $V_{REF}-1LSB$) との偏差です。

トラック&ホールド・アクイジション時間

トラック&ホールド・アンプは、変換の最後にトラック・モードに戻ります。トラック&ホールド・アクイジション時間とは、トラック&ホールド・アンプの出力が、変換後に±1LSB以内でその最終値になるために必要な時間です。詳細については、「シリアル・インターフェース」の項を参照してください。

信号/ノイズ+歪み (SINAD) 比

ADCの出力での信号/ノイズ+歪み比の測定値です。信号は基本波のrms振幅です。ノイズは、DCを除く、サンプリング周波数の半分 ($f_s/2$) までのすべての非基本波信号の合計です。SINAD比はデジタル化プロセスの量子化レベル数に依存し、レベル数が大きいほど量子化ノイズが小さくなります。正弦波を入力した場合の理想のNビット・コンバータに対するSINAD比の理論値は、次式で得られます。

$$\text{SINAD比} = (6.02 N + 1.76) \text{ dB}$$

この式から、16ビット・コンバータの場合は98dBになります。

全高調波歪み (THD)

高調波のrms値総和と基本波の比です。AD7680の場合、次のように定義されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波のrms振幅、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次～6次高調波のrms振幅です。

ピーク高調波 (スプリアス・ノイズ)

ピーク高調波 (スプリアス・ノイズ) は、ADC出力スペクトル内で2番目に大きい成分のrms値 (DCを除き、 $f_s/2$ まで) と基本波のrms値との比になります。通常、この仕様値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋もれているADCの場合は、ノイズ・ピークになります。

相互変調歪み (IMD)

非直線性のアクティブ・デバイスに2つの周波数 f_a と f_b の正弦波を入力すると、 $m f_a \pm n f_b$ ($m, n=0, 1, 2, 3$) という和と差の周波数で歪み成分を発生させます。相互変調歪み項とは、 m と n が非ゼロの項をいいます。たとえば、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ 、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ があります。

AD7680は、CCIF規格に従ってテストされています。この規格では、入力帯域幅の上限付近にある2つの入力周波数を使用します。この場合、2次項は通常、元の正弦波の周波数から離れ、3次項は通常、入力周波数に近い周波数になります。このため、2次項と3次項は別々に規定されています。相互変調歪みはTHDの仕様に従って計算しますが、これは個々の歪み成分のrms総和と基本波の和のrms振幅との比であり、dB単位で表します。

AD7680

代表的な性能特性

図5に、100kSPSのサンプル・レートと10kHzの入力周波数におけるAD7680の代表的なFFTプロットを示します。図6には、2.5MHzのSCLKによって100kSPSでサンプリングする場合の、さまざまな電源電圧に対するSINAD比性能と入力周波数の関係を示します。

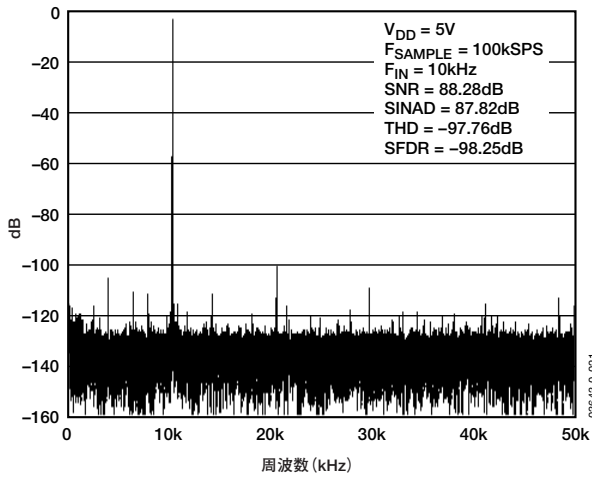


図5. 100kSPSでの動的性能

図7には、さまざまな電源電圧に対する全高調波歪みとアナログ入力周波数の関係を示します。図8には、さまざまなソース・インピーダンスに対する全高調波歪みとアナログ入力周波数の関係を示します（「アナログ入力」を参照）。図9と図10には、AD7680の代表的なINLプロットとDNLプロットを示します。

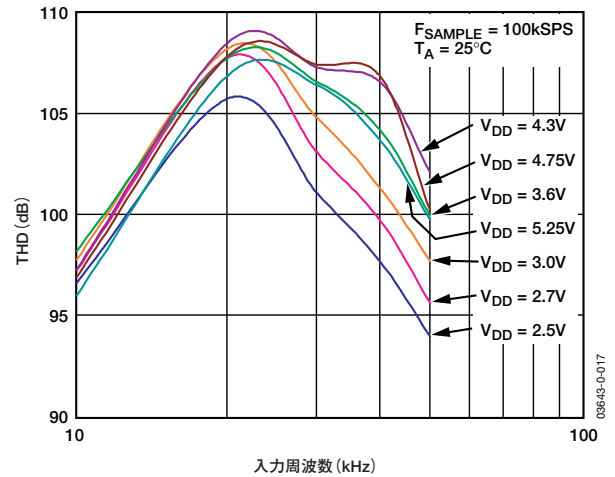


図7. さまざまな電源電圧に対するアナログ入力周波数とTHDの関係 (100kSPS)

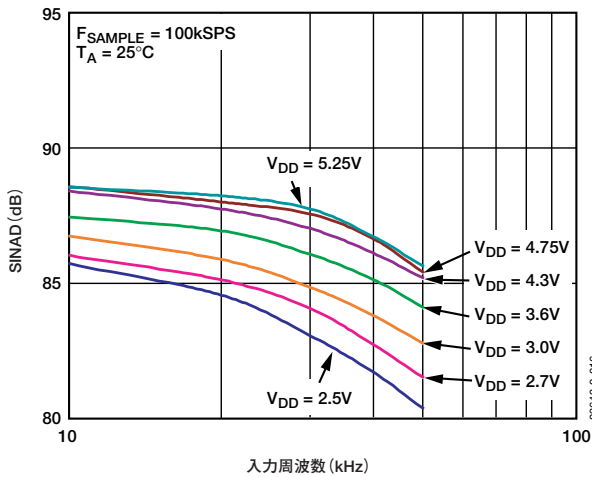


図6. さまざまな電源電圧に対するアナログ入力周波数とSINADの関係 (100kSPS)

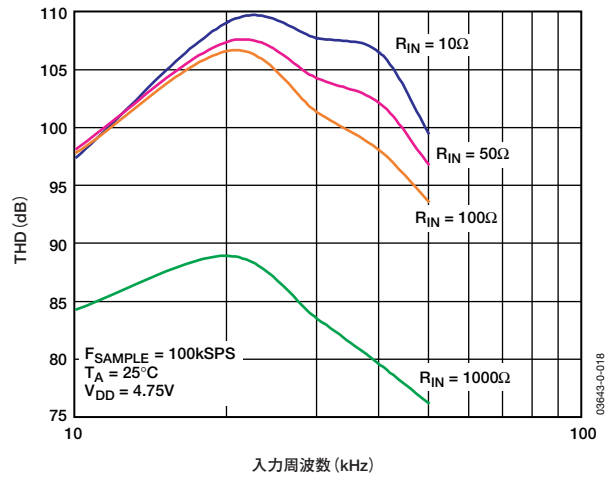


図8. さまざまなソース・インピーダンスに対するアナログ入力周波数とTHDの関係

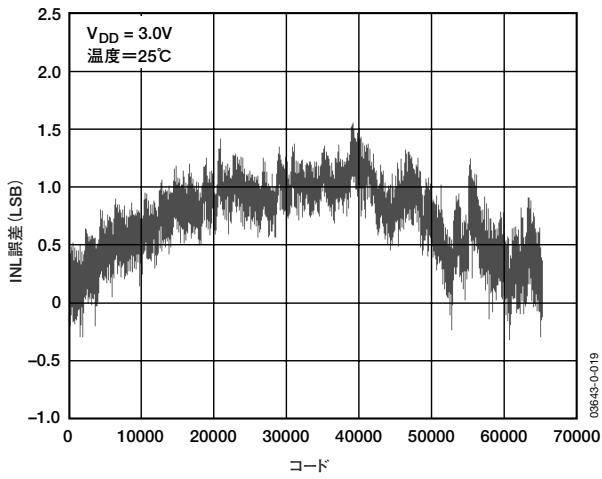


図9. 代表的なINL

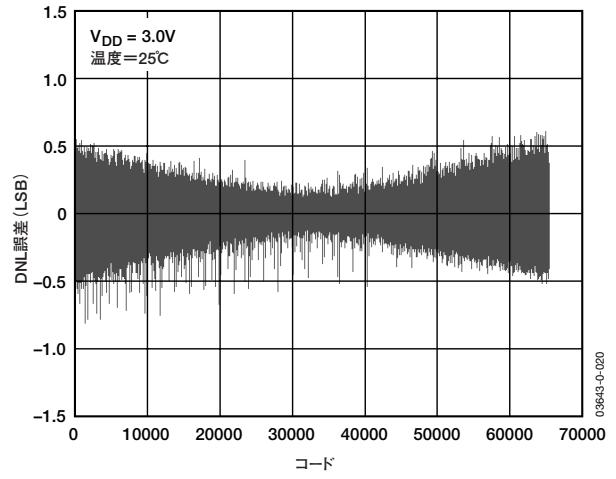


図10. 代表的なDNL

AD7680

回路情報

AD7680は、低消費電力の高速16ビット単電源ADCです。2.5～5.5Vの電源で動作し、2.5MHzのクロックがあれば、100kSPSのスループット・レートが可能です。

AD7680は、トラック&ホールドADCとシリアル・インターフェースを小型の6ピンSOT-23パッケージまたは8ピンMSOPパッケージに内蔵しており、他のソリューションに比べてかなり大きくスペースを節約できます。デバイスからのデータ読出しに使用するシリアル・クロック入力は、逐次比較型(SAR)ADCのクロック源にもなります。AD7680のアナログ入力レンジは0V～ V_{DD} です。このADCは外部リファレンスが不要で、内蔵リファレンスもありません。AD7680のリファレンスは電源から取るため、最大のダイナミック入力レンジが得られます。

AD7680には、変換と変換の間の消費電力を節約するパワーダウン・オプションもあります。パワーダウン機能は、「動作モード」の項で説明するように、標準のシリアル・インターフェースを介して実行します。

コンバータの動作

AD7680は容量性DACをベースにした16ビットのSAR ADCで、0V～ V_{DD} の電圧範囲のアナログ入力信号を変換できます。図11と図12に、ADCの簡略回路図を示します。ADCは、コントロール・ロジック、SAR、容量性DACで構成されています。図11は、アキュイジション・フェーズでのADCです。SW2は閉じ、SW1はポジションAにあります。コンパレータは平衡状態にあり、サンプリング・コンデンサが選択された V_{IN} チャンネルで信号を取得します。

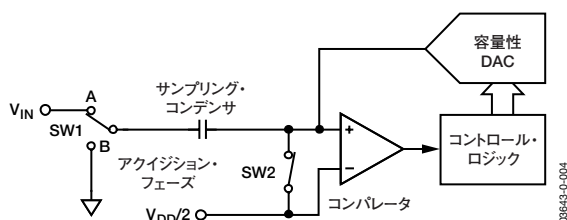


図11. ADCのアキュイジション・フェーズ

ADCが変換を開始すると、SW2が開き、SW1がポジションBに移動するため、コンパレータが不平衡状態になります(図12)。コントロール・ロジックと容量性DACを使用し、サンプリング・コンデンサに対し一定量の電荷を加算および減算して、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックはADC出力コードを生成します(「ADC伝達関数」の項を参照)。

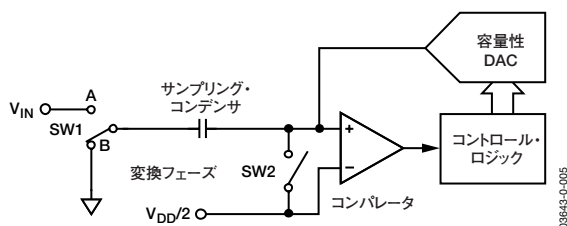


図12. ADCの変換フェーズ

アナログ入力

図13に、AD7680のアナログ入力構造の等価回路を示します。2つのダイオード(D1とD2)が、アナログ入力をESDから保護します。アナログ入力信号は電源レールより300mV以上超えないよう注意する必要があります。この値を超えると、ダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。デバイスに修復不能な損傷を与えずに、ダイオードが許容できる最大電流は10mAです。図13のコンデンサC1は約5pF (typ)で、主にピン容量に起因します。抵抗R1は、トラック&ホールド・スイッチのON抵抗を含みます。この抵抗は約25Ω (typ)です。コンデンサC2はADCサンプリング・コンデンサで、25pF (typ)の容量があります。ACアプリケーションの場合、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することを推奨します。高調波歪みとS/N比が重要なアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動する必要があります。大きなソース・インピーダンスは、ADCのAC性能に大きな影響を与えます。このため、入力バッファ・アンプの使用が必要になることもあります。オペアンプの選択は、アプリケーションによって異なります。アンプを使用せずにアナログ入力を駆動するときは、ソース・インピーダンスを低い値に制限する必要があります。最大ソース・インピーダンスは、許容可能な全高調波歪み(THD)の大きさに依存します。ソース・インピーダンスが増加するにつれてTHDも増加し、性能が低下します(図8を参照)。

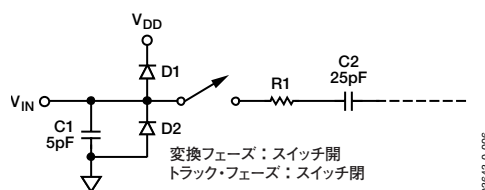


図13. アナログ入力の等価回路

ADCの伝達関数

AD7680の出力コーディングはストレート・バイナリです。設計されたコード遷移は、連続する整数のLSB値（1LSB、2LSBなど）で発生します。LSBサイズは $V_{DD}/65536$ です。図14に、AD7680の理想的な伝達特性を示します。

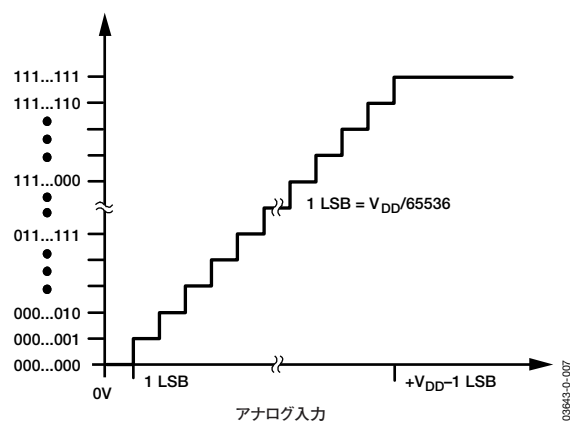


図14. AD7680の伝達特性

代表的な接続図

図15に、AD7680の代表的な接続図を示します。 V_{REF} は V_{DD} から内部で取得するため、十分にデカップリングしてください。これによって、 $0V \sim V_{DD}$ のアナログ入力レンジが得られます。変換結果は24ビット・ワードで出力されます。あるいは、最小20個のSCLKを使用して全16ビットの変換結果を読み出すこともできます。この20/24ビットのデータ・ストリームは、4つの先行ゼロ、それに続く16ビットの変換データ、さらに24 SCLK転送の場合は4つの末尾0から構成されます。消費電力が重要なアプリケーションの場合は、変換と変換の間または複数の変換の間でパワーダウン・モードを使用し、電力性能を高めるようにしてください（「動作モード」の項を参照）。

必要とする電源電流がきわめて低いため、AD7680の電源に高精度リファレンスを使用できます。たとえば、REF19xリファレンス（5V用のREF195または3V用のREF193）やAD780によって、ADCに必要な電圧を供給できます（図15を参照）。この構成は、使用可能な電源にノイズが多い場合や、システムの電源電圧がAD7680に必要な動作電圧とは異なる場合（たとえば、15V）に、特に役に立ちます。REF19xやAD780は、AD7680に一定の電圧を出力します。推奨するデカップリング・コンデンサとしては、100nFの低ESRセラミック（Farnell 335-1816）や10 μ Fの低ESRタンタル（Farnell 197-130）があります。

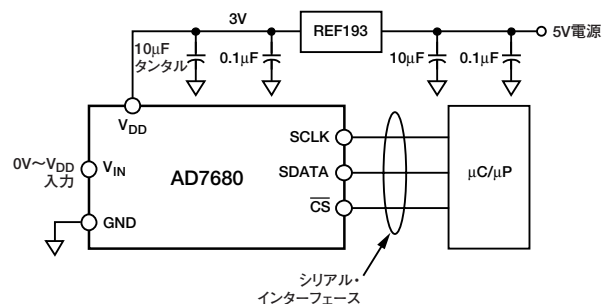


図15. 代表的な接続図

デジタル入力

AD7680へのデジタル入力は、アナログ入力を制限する最大定格によって制限されることはありません。印加されるデジタル入力は7Vに達することもあり、アナログ入力のように $V_{DD} + 0.3V$ の限界は適用されません。たとえば、AD7680が $V_{DD} = 3V$ で動作する場合には、デジタル入力に5Vのロジック・レベルを使用できます。ただし、 $V_{DD} = 3V$ の場合、SDATAでのデータ出力が3Vのロジック・レベルであることに注意してください。

SCLKと \overline{CS} が $V_{DD} + 0.3V$ の限界値に制限されないことから得られるもう1つの利点は、電源シーケンスの問題が回避されることです。デジタル入力の1つが V_{DD} より前に印加されても、ラッチアップが起きる心配はありません。アナログ入力の場合は、0.3Vを超える信号が V_{DD} より前に印加されると、ラッチアップが起きる可能性があります。

AD7680

動作モード

AD7680の動作モードは、変換中に \overline{CS} 信号の（ロジック）状態を制御して選択します。動作モードには、通常動作とパワーダウンの2つがあります。AD7680がパワーダウン・モードに入るかどうかは、変換開始後に \overline{CS} がハイレベルになるポイントで決まります。同様に、AD7680がすでにパワーダウン・モードになっている場合は、 \overline{CS} によって、通常動作に戻るかパワーダウンにとどまるかを制御できます。これらの動作モードは、柔軟なパワーマネジメント・オプションを提供します。これらのオプションによって、さまざまなアプリケーションの要求に応じて消費電力/スループット・レート比を最適化できます。

通常動作モード

このモードは、最高のスループット・レート性能を提供します。AD7680は常時フルパワー状態にあるため、パワーアップ時間を気にする必要がありません。図16に、このモードでのAD7680の一般的な動作図を示します。

「シリアル・インターフェース」の項で説明するように、変換は \overline{CS} の立下がりエッジで開始します。デバイスを常時パワーアップさせておくために、 \overline{CS} の立下がりエッジの後、少なくとも10個のSCLKの立下がりエッジが経過するまで \overline{CS} をローレベルのままにしておく必要があります。10番目のSCLKの立下がりエッジから20番目のSCLKの立下がりエッジまでに \overline{CS} をハイレベルにすると、デバイスはパワーアップ状態を維持しますが、変換は終了し、SDATAがスリーステートに戻ります。変換を完了して完全な変換結果にアクセスするには、シリアル・クロックで少なくとも20サイクルが必要です。さらに、合計24のSCLKサイクルで4つの末尾0を読み出します。 \overline{CS} は、次の変換までアイドル・ハイにするか、次の変換の前に \overline{CS} がハイに戻るまでアイドル・ローにできます（ \overline{CS} は実質的にアイドル・ロー）。

データ転送が完了（SDATAがスリーステートに戻る）したら、静止時間 t_{QUIET} が経過した後、 \overline{CS} を再度ローレベルにして次の変換を開始できます。

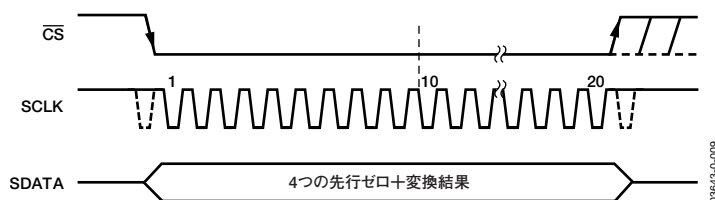


図16. 通常動作モードの動作

パワーダウン・モード

このモードは、低スループット・レートが必要なアプリケーションでの使用を目的としています。各変換の間にADCをパワーダウンしたり、あるいは一連の変換を高スループット・レートで実行してから、こうした変換と変換の間にADCを比較的長い間パワーダウンします。AD7680がパワーダウンに入ると、全アナログ回路がパワーダウンします。

パワーダウン・モードに入るには、SCLKの2番目の立下がりエッジからSCLKの10番目の立下がりエッジまでに \overline{CS} をハイレベルにして、変換プロセスを中断させる必要があります(図17)。SCLKのこのタイミングの間に \overline{CS} をハイレベルにすると、デバイスがパワーダウン状態に入り、 \overline{CS} の立下がりエッジで開始した変換を終了し、SDATAがスリーステートに戻ります。SCLKの2番目の立下がりエッジの前に \overline{CS} をハイレベルにすると、デバイスは通常動作モードにとどまり、パワーダウンしません。この機能によって、 \overline{CS} ラインのグリッチによる偶発的なパワーダウンを防止します。

この動作モードを終了してAD7680を再度パワーアップするには、ダミー変換を実行します。 \overline{CS} の立下がりエッジでデバイスはパワーアップを開始し、 \overline{CS} がローレベルに維持されている間、SCLKの10番目の立下がりエッジまでパワーアップを続けます。少なくとも16 SCLK (または約6 μ s)の経過後に完全にパワーアップし、次の変換から有効なデータが得られます(図18)。SCLKの10番目の立下がりエッジの前に \overline{CS} がハイレベルになると、SCLK周波数とは無関係にAD7680は再びパワーダウン・モードに戻ります。これにより、 \overline{CS} ラインのグリッチや \overline{CS} がローレベルのときに誤って8サイクルのSCLKが生じて偶発的なパワーアップが行われるのを防止します。デバイスは \overline{CS} の立下がりエッジでパワーアップを開始できますが、SCLKの10番目の立下がりエッジの前に \overline{CS} の立上がりエッジが発生すると、そのとき再度パワーダウンに戻ります。

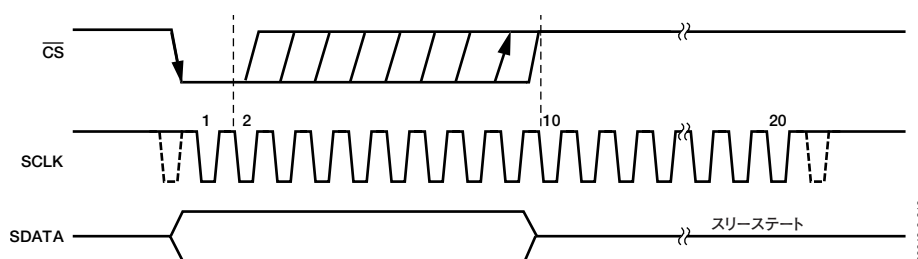


図17. パワーダウン・モードの開始

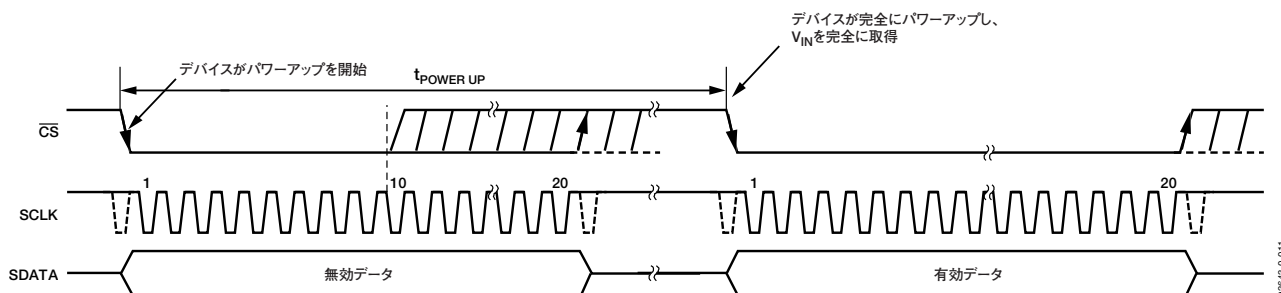


図18. パワーダウン・モードの終了

AD7680

消費電力対スループット・レート

変換を行わないときにAD7680のパワーダウン・モードを使用すると、ADCのスループット・レートが低くなり、平均消費電力が低減します。図19に、スループット・レートを低くすると、デバイスがシャットダウン状態に長くとどまり、時間の経過とともに平均消費電力が低下する様子を示します。

たとえば、AD7680が連続サンプリング・モードで動作し、スループット・レート=10kSPS、SCLK=2.5MHz ($V_{DD}=3.6V$)で、変換と変換の間にデバイスがパワーダウン・モードに入る場合、消費電力は次のように計算できます。通常動作中の最大消費電力は6.84mW ($V_{DD}=3.6V$)です。パワーダウンからパワーアップする時間=1 μ s、残りの変換時間=8 μ sの場合 (20 SCLK転送を使用)、AD7680は各変換サイクルで9 μ sの間6.84mWを消費することになります。スループット・レート=10kSPSの場合、サイクル時間は100 μ sです。変換サイクルの残りの時間 (91 μ s)、デバイスはパワーダウン・モードにとどまります。AD7680は、変換サイクルの残りの91 μ sの間、1.08 μ Wを消費することになります。したがって、スループット・レート=10kSPSで、各サイクル中に消費する平均電力は次のとおりです。

$$(9/100) \times (6.84\text{mW}) + (91/100) \times (1.08\mu\text{W}) = 0.62\text{mW}$$

図19に、3.6V電源、2.5MHz SCLK、20 SCLKシリアル転送でパワーダウン・モードを使用する場合の消費電力とスループット・レートの関係を示します。

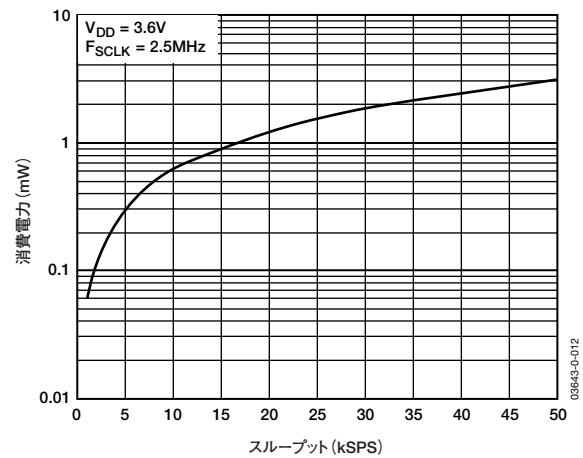


図19. パワーダウン・モードでのスループット・レートと消費電力の関係

シリアル・インターフェース

図20に、AD7680へのシリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックが変換クロックを提供し、変換中にAD7680からのデータの転送も制御します。

\overline{CS} 信号がデータ転送と変換プロセスを開始します。 \overline{CS} の立下がりエッジで、トラック&ホールドがホールド・モードになり、バスがスリーステートから抜け出し、アナログ入力がサンプリングされます。変換もこの時点で開始し、完了するまでに少なくともSCLKで20サイクルが必要です。17個のSCLK立下がりエッジが経過すると、次のSCLK立上がりエッジでトラック&ホールドがトラック・モードに戻ります。図20に、100kSPSのスループット・レートが可能な24 SCLK転送を示します。24番目のSCLK立下がりエッジで、SDATAラインがスリーステートに戻ります。24のSCLKが経過する前に \overline{CS} の立上がりエッジが発生した場合は、変換が終了し、SDATAラインはスリーステートに戻ります。その他の場合は、図20に示すように、24番目のSCLK立下がりエッジでSDATAがスリーステートに戻ります。

変換プロセスを実行してAD7680からデータを読み出すには、シリアル・クロックで最小20サイクルが必要です。 \overline{CS} がローレベルになると、マイクロコントローラやDSPによって最初の先行ゼロが読み出せます。次に、後続のSCLK立下がりエッジで2番目の先行ゼロから残りのデータがクロック出力されます。このように、シリアル・クロックの最初の立下がりクロック・エッジによって最初の先行ゼロが読み出され、2番目の先行ゼロを出力します。図20に示す24 SCLK転送を使用する場合、データ転送は、4つの先行ゼロと、それに続く16ビットのデータ、および4つの末尾ゼロで構成されます。データ転送の最終ビット（4番目の末尾ゼロ）は、24番目の立下がりエッジで有効になり、直前（23番目）の立下がりエッジでクロック出力されます。図21に示す20 SCLK転送を使用する場合は、データ出力ストリームは4つの先行ゼロとそれに続く16ビットのデータのみで構成され、最終ビットは20番目のSCLK立下がりエッジで有効になります。20 SCLK転送ではサイクル時間が短くなり、高速のスループット・レートが得られます。

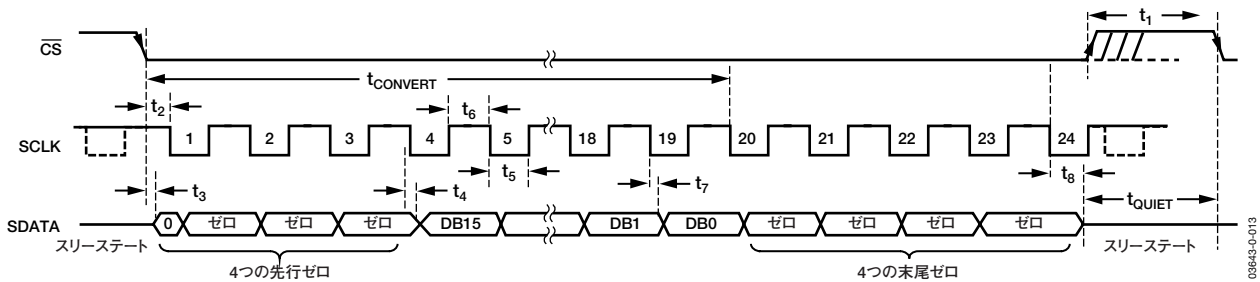


図20. シリアル・インターフェースのタイミング図 (24 SCLK転送)

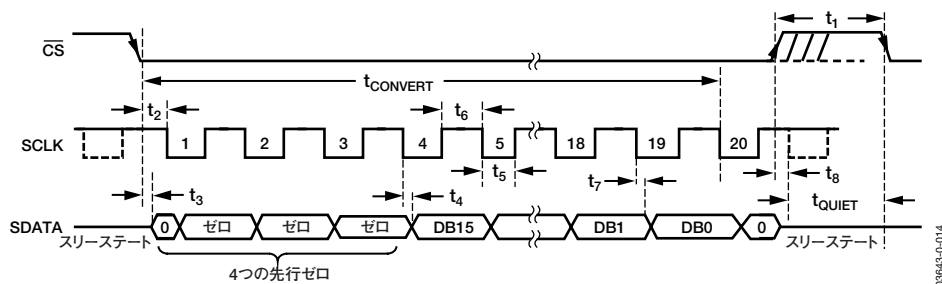


図21. シリアル・インターフェースのタイミング図 (20 SCLK転送)

AD7680

SCLKの立下がりエッジではなく、各立上がりエッジで有効データを取得することも可能です。これは、SCLKのサイクル時間が長い場合、SCLKの立上がりエッジでデータを準備できるからです。ただし、最初の先行ゼロは \overline{CS} 立下がりエッジで駆動されるため、最初のSCLK立下がりエッジでなければ取得できません。これを無視することもできます。その場合、 \overline{CS} 立下がりエッジ後のSCLKの最初の立上がりエッジで2番目の先行ゼロが与えられ、23番目のSCLK立上がりエッジで最終の末尾ゼロが得られます。大部分のマイクロコントローラやDSPではこの方法を使えませんが、FPGAやASICでは使用できることがあります。

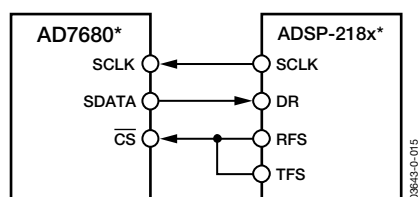
AD7680とADSP-218xの接続

ADSP-218xファミリーのDSPは、グルー・ロジックなしで直接AD7680に接続できます。SPORT制御レジスタは次のように設定します。

```
TFSW=RFSW=1、オルタネート・フレーミング  
INVRFS=INVTFS=1、アクティブ・ロー・フレーム信号  
DTYPE=00、データ右揃え  
SLEN=0111、8ビット・データワード  
ISCLK=1、内部シリアル・クロック  
TFSR=RFSR=0、フレームの最初のワード  
IRFS=0  
ITFS=1
```

パワーダウン・モードにするときは、SLENを0111に設定して8ビットのSCLKバーストを発生させます。図22に接続図を示します。ADSP-218xではSPORTのTFSとRFSを接続し、TFSを出力、RFSを入力に設定します。DSPはオルタネート・フレーミング・モードで動作し、SPORT制御レジスタが上記のような設定になります。24 SCLK転送を取得するために、送/受信自動バッファリングを使用します。各バッファには3つの8ビットワードがあります。TFSに発生するフレーム同期化信号を \overline{CS} に接続し、どの信号処理アプリケーションの場合でもそうですが、等間隔サンプリングを行わなければなりません。この例では、タイマ割込みによってADCのサンプリング・レートを制御します。

タイマ・レジスタには、必要なサンプル間隔で割込みを行う値がロードされます。割込みを受け付けると、送信自動バッファ内の値の送信を開始し、TFSを生成します。TFSを使用し、RFSとデータの読出しを制御します。データは、処理や後でシフトするために、受信自動バッファに格納されます。シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSと一緒に送信する命令が与えられると（つまりTX0=AX0）、SCLKの状態がチェックされます。SCLKがハイレベル、ローレベル、ハイレベルに変化するのを待ってから、DSPが送信を開始します。送信命令がSCLKの立上がりエッジまたはその近くで発生するようにタイマとSCLKの値を設定すると、データを送信するか、または次のクロック・エッジまで待機します。



*わかりやすくするために他のピンは省略しています。

図22. ADSP-218xへのインターフェース

アプリケーション情報

グラウンディングとレイアウト

AD7680を実装するPCボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計する必要があります。これによって、分離が簡単にできるグラウンド・プレーンを使用できるようになります。一般に、エッチング部分を最小化すると、最適なシールド効果が得られるため、この方法はグラウンド・プレーンに最適です。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点で接続する必要があります。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でデバイスを使用する場合も、接続は1か所で行い、AD7680のできるだけ近くにスター結線してください。

チップにノイズがカップリングするのを防ぐため、デバイスの真下にデジタル・ラインを通さないようにしてください。ノイズのカップリングを防止するため、アナログ・グラウンド・プレーンはAD7680の下に来るように配置します。AD7680の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を低減します。クロックなどの高速のスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分にノイズが拡散しないようにします。また、クロック信号をアナログ入力付近に通さないでください。デジタル信号とアナログ信号の交差は避けてください。ボードの両面のパターンは、互いに直角になるように配線します。これにより、ボードを貫通するフィードスルーの影響を低減できます。マイクロストリップ技術は特に優れていますが、必ずしも両面ボードに使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にし、信号はハンダ面に配線します。

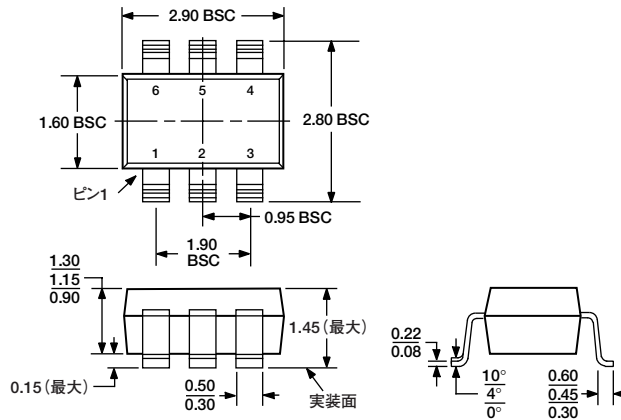
デカップリングを正しく行うことも重要です。「代表的な接続図」の項で説明したように、すべてのアナログ電源とAGNDの間に10 μ Fのタンタル・コンデンサと0.1 μ Fのコンデンサを並列接続してデカップリングします。デカップリングの効果を最大にするには、デカップリング・コンデンサとV_{DD}ピン/GNDピンとをできるだけ近づけ、各ピンはできるだけ短いトラックで接続してください。

AD7680の性能評価

AD7680の推奨レイアウトは、AD7680の評価用ボードに示してあります。評価用ボードのパッケージには、組立ておよびテスト済みの評価用ボード、付属文書、評価用ボード・コントローラを使ってPCからボードを制御するためのソフトウェアが含まれています。評価用ボード・コントローラは、AD7680評価用ボードや末尾番号CBのさまざまな他のアナログ・デバイセズの評価用ボードと組み合わせて使用し、AD7680のAC特性とDC特性のデモンストレーションおよび評価を行うことができます。

このソフトウェアによって、AD7680のACテスト（高速フーリエ変換）とDCテスト（コードのヒストグラム）ができます。ソフトウェアと文書は、評価用ボードに付属のCDに収録されています。

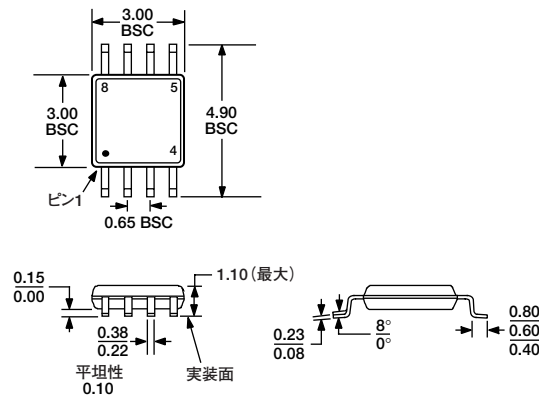
外形寸法



JEDEC規格MO-178ABIに準拠

図23. 6ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23] (RJ-6)

寸法単位：mm



JEDEC規格MO-187AAIに準拠

図24. 8ピン・マイクロ・スモール・アウトライン・パッケージ [MSOP] (RM-8)

寸法単位：mm

オーダー・ガイド

製品モデル	温度範囲	直線性誤差 (LSB) ¹	パッケージ	パッケージ・オプション	マーキング
AD7680ARJ-REEL	-40~+85℃	14ビット (min)	スモール・アウトライン・トランジスタ・パッケージ (SOT-23)	RJ-6	CQA
AD7680ARJ-REEL7	-40~+85℃	14ビット (min)	スモール・アウトライン・トランジスタ・パッケージ (SOT-23)	RJ-6	CQA
AD7680ARM	-40~+85℃	14ビット (min)	マイクロ・スモール・アウトライン・パッケージ (MSOP)	RM-8	CQA
AD7680ARM-REEL	-40~+85℃	14ビット (min)	マイクロ・スモール・アウトライン・パッケージ (MSOP)	RM-8	CQA
AD7680ARM-REEL7	-40~+85℃	14ビット (min)	マイクロ・スモール・アウトライン・パッケージ (MSOP)	RM-8	CQA
AD7680BRJ-R2	-40~+85℃	15ビット (min)	スモール・アウトライン・トランジスタ・パッケージ (SOT-23)	RJ-6	CQB
AD7680BRJ-REEL	-40~+85℃	15ビット (min)	スモール・アウトライン・トランジスタ・パッケージ (SOT-23)	RJ-6	CQB
AD7680BRJ-REEL7	-40~+85℃	15ビット (min)	スモール・アウトライン・トランジスタ・パッケージ (SOT-23)	RJ-6	CQB
AD7680BRM	-40~+85℃	15ビット (min)	マイクロ・スモール・アウトライン・パッケージ (MSOP)	RM-8	CQB
AD7680BRM-REEL	-40~+85℃	15ビット (min)	マイクロ・スモール・アウトライン・パッケージ (MSOP)	RM-8	CQB
AD7680BRM-REEL7	-40~+85℃	15ビット (min)	マイクロ・スモール・アウトライン・パッケージ (MSOP)	RM-8	CQB

¹ ここでの直線性誤差はノー・ミスコードを意味します。