

特長

- 256 ポジションの可変抵抗デバイス
- 1 個、2 個、または 4 個のポテンシオメータを置き換え可能
- 1 kΩ、10 kΩ、50 kΩ、100 kΩ
- 電源シャットダウン—5 μA 以下
- 3 線式 SPI 互換のシリアル・データ入力
- 更新データ・ロード・レート: 10 MHz
- 2.7 V~5.5 V の単電源動作

アプリケーション

- 機械式ポテンシオメータの置き換え
- プログラマブルなフィルタ、遅延、時定数
- ボリュームのコントロールとプランニング
- ライン・インピーダンスの整合
- 電源調整

概要

AD8400/AD8402/AD8403 は、1 チャンネル、2 チャンネル、4 チャンネルの 256 ポジション・デジタル制御可能な可変抵抗 (VR) デバイスであり¹、機械式ポテンシオメータまたは可変抵抗と電気的に同じ調整機能を実行します。AD8400 は 1 個の可変抵抗を内蔵し、小型な SOIC-8 パッケージを採用しています。AD8402 は 2 個の独立な可変抵抗を内蔵し、省スペースの SOIC-14 表面実装パッケージを採用しています。AD8403 は 4 個の独立な可変抵抗を内蔵し、24 ピンの PDIP、SOIC、または TSSOP パッケージを採用しています。各デバイスにはワイパー接点付きの固定抵抗が内蔵されています。このワイパー接点は、制御しているシリアル入力レジスタにロードされたデジタル・コードにより決定されるポイントで固定抵抗値を分割して取り出します。ワイパーと固定抵抗の端点との間の抵抗は、VR ラッチに転送されたデジタル・コードに比例して変化します。A ピンとワイパーの間、または B ピンとワイパーの間は、プログラマブルな値の抵抗になります。A ピンと B ピンの間の固定抵抗は、1 kΩ、10 kΩ、50 kΩ または 100 kΩ であり、チャンネル間マッチング偏差は±1%で、公称温度係数は 500 ppm/°C です。独自のスイッチング回路の採用により、従来型スイッチ抵抗デザインで固有に発生する大きなグリッチを小さく抑えて、メーク・ビフォー・ブレーク動作またはブレーク・ビフォー・メーク動作を防止します。

(3 ページへ続く)

¹用語デジタル・ポテンシオメータ、VR、RDAC は、同じ意味で使います。

機能ブロック図

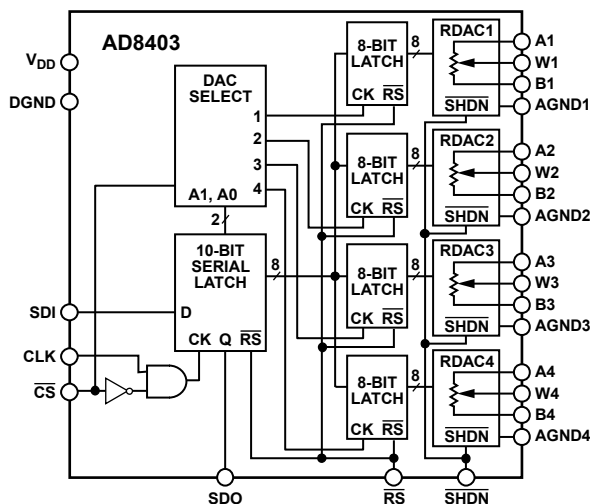


図1.

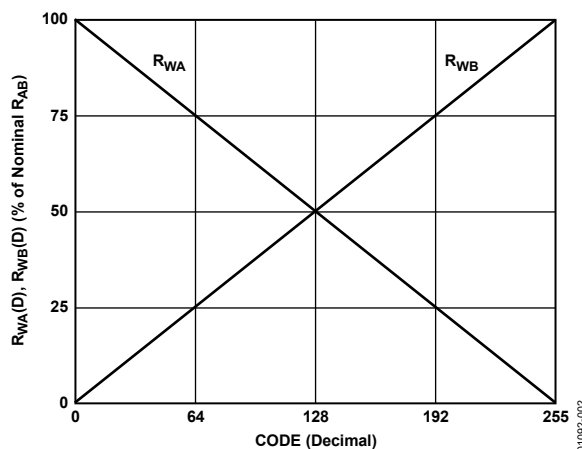


図2. コード対 R_{WA} および R_{WB}

目次

特長.....	1	ESDの注意.....	11
アプリケーション.....	1	ピン配置およびピン機能説明.....	12
概要.....	1	代表的な性能特性.....	14
機能ブロック図.....	1	テスト回路.....	19
改訂履歴.....	2	動作原理.....	20
仕様.....	4	可変抵抗のプログラミング.....	20
電気的特性—10 k Ω バージョン.....	4	ポテンショメータ分圧器のプログラミング.....	21
電気的特性—50 k Ω 、100 k Ω バージョン.....	6	デジタル・インターフェース.....	21
電気的特性—1 k Ω バージョン.....	8	アプリケーション.....	24
電気的特性—全バージョン.....	10	アクティブ・フィルタ.....	24
タイミング図.....	10	外形寸法.....	26
絶対最大定格.....	11	オーダー・ガイド.....	28
シリアル・データフォーマット.....	11		

改訂履歴

10/05—Rev. C to Rev. D

Updated Format.....	Universal
Changes to Features.....	1
Changes to Table 1.....	4
Changes to Table 2.....	6
Changes to Table 3.....	8
Changes to Table 5.....	11
Added Figure 36.....	18
Replaced Figure 37.....	19
Changes to Theory of Operation Section.....	20
Changes to Applications Section.....	24
Updated Outline Dimensions.....	26
Changes to Ordering Guide.....	28

11/01—Rev. B to Rev. C

Addition of new Figure.....	1
Edits to Specifications.....	2
Edits to Absolute Maximum Ratings.....	6
Edits to TPCs 1, 8, 12, 16, 20, 24, 35.....	9
Edits to the Programming the Variable Resistor Section.....	13

概要

(1 ページからの続き)

各 VR には専用の VR ラッチが内蔵されており、プログラミング抵抗値を保持します。これらの VR ラッチは、SPI 互換の内部シリアル/パラレル変換シフトレジスタから更新されます。このシフトレジスタは、標準の 3 線式シリアル入力デジタル・インターフェースを経由してロードされます。データ・ワードは 10 ビットで、シリアル入力レジスタに入力されます。

データ・ワードがデコードされて、先頭の 2 ビットはロード対象 VR ラッチのアドレスを指定し、最後の 8 ビットがデータとなります。シリアル・レジスタの反対側にあるシリアル・データ出力ピンを使うと、複数の VR を使用するアプリケーションで、外付けデコーディング・ロジックなしで、容易にディジーチェーン接続を構成することができます。

リセット・ピン(\overline{RS})は、VR ラッチに 80_Hをロードして、強制的にワイパーをミッド・スケール・ポジションに設定します。 \overline{SHDN} ピンは、A ピンをオープン状態にし、ワイパーと B ピンを短絡して、消費電力がマイクロ・ワットのシャットダウン状態を実現します。 \overline{SHDN} をロジック・ハイに戻すと、前のラッチ設定値を使って、ワイパーをシャットダウンの前の同じ抵抗設定値に戻します。シャットダウン状態でもデジタル・インターフェースは動作しているため、デバイスがシャットダウンから抜け出したときに、新しいワイパー位置を決定するためのコード変更を行うことができます。

AD8400 は、SOIC-8 表面実装パッケージを採用しています。AD8402 は、14 ピン表面実装(SOIC-14)パッケージまたは PDIP パッケージを採用し、AD8403 はナロー・ボディ 24 ピン PDIP パッケージまたは 24 ピン表面実装パッケージを採用しています。また、AD8402/AD8403 は、PCMCIA アプリケーション向けに、1.1 mm の薄型 TSSOP-14/TSSOP-24 パッケージでも提供しています。これらすべてのデバイスの仕様は、工業用拡張温度範囲-40°C~+125°C で規定しています。

仕様

電気的特性—10 kΩバージョン

特に指定がない限り、 $V_{DD} = 3\text{ V} \pm 10\%$ または $5\text{ V} \pm 10\%$ 、 $V_A = V_{DD}$ 、 $V_B = 0\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。

表1.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS RHEOSTAT MODE (Specifications Apply to All VRs)						
Resistor Differential NL ²	R-DNL	R_{WB} , $V_A = \text{no connect}$	-1	$\pm 1/4$	+1	LSB
Resistor Nonlinearity ²	R-INL	R_{WB} , $V_A = \text{no connect}$	-2	$\pm 1/2$	+2	LSB
Nominal Resistance ³	R_{AB}	$T_A = 25^\circ\text{C}$, model: AD840XYY10	8	10	12	kΩ
Resistance Tempco	$\Delta R_{AB}/\Delta T$	$V_{AB} = V_{DD}$, wiper = no connect		500		ppm/°C
Wiper Resistance	R_W	$V_{DD} = 5\text{ V}$, $I_W = V_{DD}/R_{AB}$		50	100	Ω
	R_W	$V_{DD} = 3\text{ V}$, $I_W = V_{DD}/R_{AB}$		200		Ω
Nominal Resistance Match	$\Delta R/R_{AB}$	CH 1 to CH 2, CH 3, or CH 4, $V_{AB} = V_{DD}$, $T_A = 25^\circ\text{C}$		0.2	1	%
DC CHARACTERISTICS POTENTIOMETER DIVIDER (Specifications Apply to All VRs)						
Resolution	N		8			Bits
Integral Nonlinearity ⁴	INL		-2	$\pm 1/2$	+2	LSB
Differential Nonlinearity ⁴	DNL	$V_{DD} = 5\text{ V}$	-1	$\pm 1/4$	+1	LSB
	DNL	$V_{DD} = 3\text{ V}$, $T_A = 25^\circ\text{C}$	-1	$\pm 1/4$	+1	LSB
	DNL	$V_{DD} = 3\text{ V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$	-1.5	$\pm 1/2$	+1.5	LSB
Voltage Divider Tempco	$\Delta V_W/\Delta T$	Code = 80 _H		15		ppm/°C
Full-Scale Error	V_{WFSE}	Code = FF _H	-4	-2.8	0	LSB
Zero-Scale Error	V_{WZSE}	Code = 00 _H	0	1.3	2	LSB
RESISTOR TERMINALS						
Voltage Range ⁵	$V_{A,B,W}$		0		V_{DD}	V
Capacitance ⁶ Ax, Capacitance Bx	$C_{A,B}$	$f = 1\text{ MHz}$, measured to GND, code = 80 _H		75		pF
Capacitance ⁶ Wx	C_W	$f = 1\text{ MHz}$, measured to GND, code = 80 _H		120		pF
Shutdown Current ⁷	$I_{A,SD}$	$V_A = V_{DD}$, $V_B = 0\text{ V}$, $\overline{\text{SHDN}} = 0$		0.01	5	μA
Shutdown Wiper Resistance	$R_{W,SD}$	$V_A = V_{DD}$, $V_B = 0\text{ V}$, $\overline{\text{SHDN}} = 0$, $V_{DD} = 5\text{ V}$		100	200	Ω
DIGITAL INPUTS AND OUTPUTS						
Input Logic High	V_{IH}	$V_{DD} = 5\text{ V}$	2.4			V
Input Logic Low	V_{IL}	$V_{DD} = 5\text{ V}$			0.8	V
Input Logic High	V_{IH}	$V_{DD} = 3\text{ V}$	2.1			V
Input Logic Low	V_{IL}	$V_{DD} = 3\text{ V}$			0.6	V
Output Logic High	V_{OH}	$R_L = 2.2\text{ k}\Omega$ to V_{DD}	$V_{DD} - 0.1$			V
Output Logic Low	V_{OL}	$I_{OL} = 1.6\text{ mA}$, $V_{DD} = 5\text{ V}$			0.4	V
Input Current	I_{IL}	$V_{IN} = 0\text{ V}$ or 5 V , $V_{DD} = 5\text{ V}$			± 1	μA
Input Capacitance ⁶	C_{IL}			5		pF
POWER SUPPLIES						
Power Supply Range	V_{DD} range		2.7		5.5	V
Supply Current (CMOS)	I_{DD}	$V_{IH} = V_{DD}$ or $V_{IL} = 0\text{ V}$		0.01	5	μA
Supply Current (TTL) ⁸	I_{DD}	$V_{IH} = 2.4\text{ V}$ or 0.8 V , $V_{DD} = 5.5\text{ V}$		0.9	4	mA
Power Dissipation (CMOS) ⁹	P_{DISS}	$V_{IH} = V_{DD}$ or $V_{IL} = 0\text{ V}$, $V_{DD} = 5.5\text{ V}$			27.5	μW
Power Supply Sensitivity	PSS	$V_{DD} = 5\text{ V} \pm 10\%$		0.0002	0.001	%/%
	PSS	$V_{DD} = 3\text{ V} \pm 10\%$		0.006	0.03	%/%

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{6, 10}						
Bandwidth -3 dB	BW_10 K	R = 10 k Ω		600		kHz
Total Harmonic Distortion	THD _W	V _A = 1 V rms + 2 V dc, V _B = 2 V dc, f = 1 kHz		0.003		%
V _W Settling Time	t _S	V _A = V _{DD} , V _B = 0 V, $\pm 1\%$ error band		2		μ s
Resistor Noise Voltage	e _{NWB}	R _{WB} = 5 k Ω , f = 1 kHz, $\overline{RS} = 0$		9		nV/ $\sqrt{\text{Hz}}$
Crosstalk ¹¹	C _T	V _A = V _{DD} , V _B = 0 V		-65		dB

¹ Typ 値は、25°C および V_{DD} = 5 V での平均測定値。

² 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。部品の単調性は保証されています。図 38 のテスト回路を参照してください。

V_{DD} = 3 V で I_W = 50 μ A、V_{DD} = 5 V で I_W = 400 μ A (10 k Ω バージョン)。

³ V_{AB} = V_{DD}、wiper (V_W) = 接続なし。

⁴ INL と DNL は、RDAC を電圧出力 D/A コンバータと同じポテンショメータ分圧器として構成して、V_W で測定。V_A = V_{DD} かつ V_B = 0 V。最大 ± 1 LSB の DNL 仕様規定値は単調動作状態を保証。図 37 のテスト回路を参照してください。

⁵ 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。

⁶ 設計上保証しますが、出荷テストは行いません。抵抗—ピン間容量テストは、測定ピンの 2.5 V バイアスで測定しています。残りの抵抗ピンはオープンにしています。

⁷ Ax ピンで測定。すべての Ax ピンはシャットダウン・モードでオープン。

⁸ 入力のロジック入力レベルを 2.4 V に設定したとき、ワーストケースの電源電流が消費されます。これは CMOS ロジックの標準特性。ロジック電圧対 I_{DD} のプロットについては図 28 を参照してください。

⁹ P_{DISS} は (I_{DD} × V_{DD}) から計算。CMOS ロジック・レベル入力は、最小消費電力になります。

¹⁰ すべてのダイナミック特性では V_{DD} = 5 V を使用。

¹¹ 隣接 V_W ピンでフル・スケール電圧変化を行わせて、V_W ピンを測定。

電气的特性—50 kΩ、100 kΩバージョン

特に指定がない限り、 $V_{DD} = 3\text{ V} \pm 10\%$ または $5\text{ V} \pm 10\%$ 、 $V_A = V_{DD}$ 、 $V_B = 0\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。

表2.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS RHEOSTAT MODE (Specifications Apply to All VRs)						
Resistor Differential NL ²	R-DNL	R_{WB} , $V_A = \text{No Connect}$	-1	$\pm 1/4$	+1	LSB
Resistor Nonlinearity ²	R-INL	R_{WB} , $V_A = \text{No Connect}$	-2	$\pm 1/2$	+2	LSB
Nominal Resistance ³	R_{AB}	$T_A = 25^\circ\text{C}$, Model: AD840XYY50	35	50	65	kΩ
	R_{AB}	$T_A = 25^\circ\text{C}$, Model: AD840XYY100	70	100	130	kΩ
Resistance Tempco	$\Delta R_{AB}/\Delta T$	$V_{AB} = V_{DD}$, Wiper = No Connect		500		ppm/°C
Wiper Resistance	R_W	$V_{DD} = 5\text{ V}$, $I_W = V_{DD}/R_{AB}$		50	100	Ω
	R_W	$V_{DD} = 3\text{ V}$, $I_W = V_{DD}/R_{AB}$		200		Ω
Nominal Resistance Match	$\Delta R/R_{AB}$	CH 1 to CH 2, CH 3, or CH 4, $V_{AB} = V_{DD}$, $T_A = 25^\circ\text{C}$		0.2	1	%
DC CHARACTERISTICS POTENTIOMETER DIVIDER (Specifications Apply to All VRs)						
Resolution	N		8			Bits
Integral Nonlinearity ⁴	INL		-4	± 1	+4	LSB
Differential Nonlinearity ⁴	DNL	$V_{DD} = 5\text{ V}$	-1	$\pm 1/4$	+1	LSB
	DNL	$V_{DD} = 3\text{ V}$, $T_A = 25^\circ\text{C}$	-1	$\pm 1/4$	+1	LSB
	DNL	$V_{DD} = 3\text{ V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$	-1.5	$\pm 1/2$	+1.5	LSB
Voltage Divider Tempco	$\Delta V_W/\Delta T$	Code = 80 _H		15		ppm/°C
Full-Scale Error	V_{WFSE}	Code = FF _H	-1	-0.25	0	LSB
Zero-Scale Error	V_{WZSE}	Code = 00 _H	0	+0.1	+1	LSB
RESISTOR TERMINALS						
Voltage Range ⁵	V_A , V_B , V_W		0		V_{DD}	V
Capacitance ⁶ Ax, Bx	C_A , C_B	$f = 1\text{ MHz}$, measured to GND, code = 80 _H		15		pF
Capacitance ⁶ Wx	C_W	$f = 1\text{ MHz}$, measured to GND, code = 80 _H		80		pF
Shutdown Current ⁷	I_{A_SD}	$V_A = V_{DD}$, $V_B = 0\text{ V}$, $\overline{\text{SHDN}} = 0$		0.01	5	μA
Shutdown Wiper Resistance	R_{W_SD}	$V_A = V_{DD}$, $V_B = 0\text{ V}$, $\overline{\text{SHDN}} = 0$, $V_{DD} = 5\text{ V}$		100	200	Ω
DIGITAL INPUTS AND OUTPUTS						
Input Logic High	V_{IH}	$V_{DD} = 5\text{ V}$	2.4			V
Input Logic Low	V_{IL}	$V_{DD} = 5\text{ V}$			0.8	V
Input Logic High	V_{IH}	$V_{DD} = 3\text{ V}$	2.1			V
Input Logic Low	V_{IL}	$V_{DD} = 3\text{ V}$			0.6	V
Output Logic High	V_{OH}	$R_L = 2.2\text{ k}\Omega$ to V_{DD}	$V_{DD} - 0.1$			V
Output Logic Low	V_{OL}	$I_{OL} = 1.6\text{ mA}$, $V_{DD} = 5\text{ V}$			0.4	V
Input Current	I_{IL}	$V_{IN} = 0\text{ V}$ or 5 V , $V_{DD} = 5\text{ V}$			± 1	μA
Input Capacitance ⁶	C_{IL}			5		pF
POWER SUPPLIES						
Power Supply Range	V_{DD} range		2.7		5.5	V
Supply Current (CMOS)	I_{DD}	$V_{IH} = V_{DD}$ or $V_{IL} = 0\text{ V}$		0.01	5	μA
Supply Current (TTL) ⁸	I_{DD}	$V_{IH} = 2.4\text{ V}$ or 0.8 V , $V_{DD} = 5.5\text{ V}$		0.9	4	mA
Power Dissipation (CMOS) ⁹	P_{DISS}	$V_{IH} = V_{DD}$ or $V_{IL} = 0\text{ V}$, $V_{DD} = 5.5\text{ V}$			27.5	μW
Power Supply Sensitivity	PSS	$V_{DD} = 5\text{ V} \pm 10\%$		0.0002	0.001	%/%
	PSS	$V_{DD} = 3\text{ V} \pm 10\%$		0.006	0.03	%/%

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{6, 10}						
Bandwidth -3 dB	BW_50 K	R = 50 kΩ		125		kHz
	BW_100 K	R = 100 kΩ		71		kHz
Total Harmonic Distortion	THD _W	V _A = 1 V rms + 2 V dc, V _B = 2 V dc, f = 1 kHz		0.003		%
V _W Settling Time	t _{s_50 K}	V _A = V _{DD} , V _B = 0 V, ±1% error band		9		μs
	t _{s_100 K}	V _A = V _{DD} , V _B = 0 V, ±1% error band		18		μs
Resistor Noise Voltage	e _{NWB_50 K}	R _{WB} = 25 kΩ, f = 1 kHz, $\overline{RS} = 0$		20		nV/√Hz
	e _{NWB_100 K}	R _{WB} = 50 kΩ, f = 1 kHz, $\overline{RS} = 0$		29		nV/√Hz
Crosstalk ¹¹	C _T	V _A = V _{DD} , V _B = 0 V		-65		dB

¹ Typ 値は、25°C および V_{DD} = 5 V での平均測定値。

² 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。部品の単調性は保証されています。図 38 のテスト回路を参照してください。

V_{DD} = 3 V または 5 V で I_W = V_{DD}/R (50 kΩ と 100 kΩ バージョン)。

³ V_{AB} = V_{DD}, wiper (V_W) = 接続なし。

⁴ INL と DNL は、RDAC を電圧出力 D/A コンバータと同じポテンシオメータ分圧器として構成して、V_W で測定。V_A = V_{DD} かつ V_B = 0 V。最大±1 LSB の DNL 仕様規定値は単調動作状態を保証。図 37 のテスト回路を参照してください。

⁵ 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。

⁶ 設計上保証しますが、出荷テストは行いません。抵抗-ピン間容量テストは、測定ピンの 2.5 V バイアスで測定しています。残りの抵抗ピンはオープンにしています。

⁷ Ax ピンで測定。すべての Ax ピンはシャットダウン・モードでオープン。

⁸ 入力全ロジック入力レベルを 2.4 V に設定したとき、ワーストケースの電源電流が消費されます。これは CMOS ロジックの標準特性。ロジック電圧対 I_{DD} のプロットについては図 28 を参照してください。

⁹ P_{DISS} は (I_{DD} × V_{DD}) から計算。CMOS ロジック・レベル入力は、最小消費電力になります。

¹⁰ すべてのダイナミック特性では V_{DD} = 5 V を使用。

¹¹ 隣接 V_W ピンでフル・スケール電圧変化を行わせて、V_W ピンを測定。

電气的特性—1 kΩバージョン

特に指定がない限り、 $V_{DD} = 3\text{ V} \pm 10\%$ または $5\text{ V} \pm 10\%$ 、 $V_A = V_{DD}$ 、 $V_B = 0\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。

表3.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS RHEOSTAT MODE (Specifications Apply to All VRs)						
Resistor Differential NL ²	R-DNL	R_{WB} , $V_A = \text{no connect}$	-5	-1	+3	LSB
Resistor Nonlinearity ²	R-INL	R_{WB} , $V_A = \text{no connect}$	-4	± 1.5	+4	LSB
Nominal Resistance ³	R_{AB}	$T_A = 25^\circ\text{C}$, model: AD840XYY1	0.8	1.2	1.6	kΩ
Resistance Tempco	$\Delta R_{AB}/\Delta T$	$V_{AB} = V_{DD}$, wiper = no connect		700		ppm/ $^\circ\text{C}$
Wiper Resistance	R_W	$V_{DD} = 5\text{ V}$, $I_W = V_{DD}/R_{AB}$		53	100	Ω
	R_W	$V_{DD} = 3\text{ V}$, $I_W = V_{DD}/R_{AB}$		200		Ω
Nominal Resistance Match	$\Delta R/R_{AB}$	CH 1 to CH 2, $V_{AB} = V_{DD}$, $T_A = 25^\circ\text{C}$		0.75	2	%
DC CHARACTERISTICS POTENTIOMETER DIVIDER (Specifications Apply to All VRs)						
Resolution	N		8			Bits
Integral Nonlinearity ⁴	INL		-6	± 2	+6	LSB
Differential Nonlinearity ⁴	DNL	$V_{DD} = 5\text{ V}$	-4	-1.5	+2	LSB
	DNL	$V_{DD} = 3\text{ V}$, $T_A = 25^\circ\text{C}$	-5	-2	+5	LSB
Voltage Divider Temperature Coefficient	$\Delta V_W/\Delta T$	Code = 80H		25		ppm/ $^\circ\text{C}$
Full-Scale Error	V_{WFSE}	Code = FF _H	-20	-12	0	LSB
Zero-Scale Error	V_{WZSE}	Code = 00 _H	0	6	10	LSB
RESISTOR TERMINALS						
Voltage Range ⁵	V_A , V_B , V_W		0		V_{DD}	V
Capacitance ⁶ Ax, Bx	C_A , C_B	$f = 1\text{ MHz}$, measured to GND, code = 80 _H		75		pF
Capacitance ⁶ Wx	C_W	$f = 1\text{ MHz}$, measured to GND, code = 80 _H		120		pF
Shutdown Supply Current ⁷	I_{A_SD}	$V_A = V_{DD}$, $V_B = 0\text{ V}$, $\overline{\text{SHDN}} = 0$		0.01	5	μA
Shutdown Wiper Resistance	R_{W_SD}	$V_A = V_{DD}$, $V_B = 0\text{ V}$, $\overline{\text{SHDN}} = 0$, $V_{DD} = 5\text{ V}$		50	100	Ω
DIGITAL INPUTS AND OUTPUTS						
Input Logic High	V_{IH}	$V_{DD} = 5\text{ V}$	2.4			V
Input Logic Low	V_{IL}	$V_{DD} = 5\text{ V}$			0.8	V
Input Logic High	V_{IH}	$V_{DD} = 3\text{ V}$	2.1			V
Input Logic Low	V_{IL}	$V_{DD} = 3\text{ V}$			0.6	V
Output Logic High	V_{OH}	$R_L = 2.2\text{ k}\Omega$ to V_{DD}	$V_{DD} - 0.1$			V
Output Logic Low	V_{OL}	$I_{OL} = 1.6\text{ mA}$, $V_{DD} = 5\text{ V}$			0.4	V
Input Current	I_{IL}	$V_{IN} = 0\text{ V}$ or 5 V , $V_{DD} = 5\text{ V}$			± 1	μA
Input Capacitance ⁶	C_{IL}			5		pF
POWER SUPPLIES						
Power Supply Range	V_{DD} range		2.7		5.5	V
Supply Current (CMOS)	I_{DD}	$V_{IH} = V_{DD}$ or $V_{IL} = 0\text{ V}$		0.01	5	μA
Supply Current (TTL) ⁸	I_{DD}	$V_{IH} = 2.4\text{ V}$ or 0.8 V , $V_{DD} = 5.5\text{ V}$		0.9	4	mA
Power Dissipation (CMOS) ⁹	P_{DISS}	$V_{IH} = V_{DD}$ or $V_{IL} = 0\text{ V}$, $V_{DD} = 5.5\text{ V}$			27.5	μW
Power Supply Sensitivity	PSS	$\Delta V_{DD} = 5\text{ V} \pm 10\%$		0.0035	0.008	%/%
	PSS	$\Delta V_{DD} = 3\text{ V} \pm 10\%$		0.05	0.13	%/%

AD8400/AD8402/AD8403

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DYNAMIC CHARACTERISTICS ^{6, 10}						
Bandwidth -3 dB	BW_1 K	R = 1 k Ω		5,000		kHz
Total Harmonic Distortion	THD _w	V _A = 1 V rms + 2 V dc, V _B = 2 V dc, f = 1 kHz		0.015		%
V _w Settling Time	t _s	V _A = V _{DD} , V _B = 0 V, $\pm 1\%$ error band		0.5		μ s
Resistor Noise Voltage	e _{NWB}	R _{wB} = 500 Ω , f = 1 kHz, $\overline{RS} = 0$		3		nV/ $\sqrt{\text{Hz}}$
Crosstalk ¹¹	C _T	V _A = V _{DD} , V _B = 0 V		-65		dB

¹ Typ 値は、25°C および V_{DD} = 5 V での平均測定値。

² 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。図 38 のテスト回路を参照してください。V_{DD} = 3 V で I_w = 500 μ A、V_{DD} = 5 V で I_w = 2.5 mA (1 k Ω バージョン)。

³ V_{AB} = V_{DD}、wiper (V_w) = 接続なし。

⁴ INL と DNL は、RDAC を電圧出力 D/A コンバータと同じポテンショメータ分圧器として構成して、V_w で測定。V_A = V_{DD} かつ V_B = 0 V。最大 ± 1 LSB の DNL 仕様規定値は単調動作状態を保証。図 37 のテスト回路を参照してください。

⁵ 抵抗ピン A、抵抗ピン B、抵抗ピン W の極性は相対的に制約されません。

⁶ 設計上保証しますが、出荷テストは行いません。抵抗—ピン間容量テストは、測定ピンの 2.5 V バイアスで測定しています。残りの抵抗ピンはオープンにしています。

⁷ Ax ピンで測定。すべての Ax ピンはシャットダウン・モードでオープン。

⁸ 入力のロジック入力レベルを 2.4 V に設定したとき、ワーストケースの電源電流が消費されます。これは CMOS ロジックの標準特性。ロジック電圧対 I_{DD} のプロットについては図 28 を参照してください。

⁹ P_{DISS} は (I_{DD} × V_{DD}) から計算。CMOS ロジック・レベル入力は、最小消費電力になります。

¹⁰ すべてのダイナミック特性では V_{DD} = 5 V を使用。

¹¹ 隣接 V_w ピンでフル・スケール電圧変化を行わせて、V_w ピンを測定。

電气的特性—全バージョン

特に指定がない限り、 $V_{DD} = 3V \pm 10\%$ または $5V \pm 10\%$ 、 $V_A = V_{DD}$ 、 $V_B = 0V$ 、 $-40^\circ C \leq T_A \leq +125^\circ C$ 。

表4.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
SWITCHING CHARACTERISTICS ^{2,3}						
Input Clock Pulse Width	t_{CH}, t_{CL}	Clock level high or low	10			ns
Data Setup Time	t_{DS}		5			ns
Data Hold Time	t_{DH}		5			ns
CLK to SDO Propagation Delay ⁴	t_{PD}	$R_L = 1\text{ k}\Omega$ to 5 V , $C_L \leq 20\text{ pF}$	1		25	ns
\overline{CS} Setup Time	t_{CSS}		10			ns
\overline{CS} High Pulse Width	t_{CSW}		10			ns
Reset Pulse Width	t_{RS}		50			ns
CLK Fall to \overline{CS} Rise Hold Time	t_{CSH}		0			ns
\overline{CS} Rise to Clock Rise Setup	t_{CS1}		10			ns

¹ Typ 値は、 $25^\circ C$ および $V_{DD} = 5V$ での平均測定値。

² 設計上保証しますが、出荷テストは行いません。抵抗—ピン間容量テストは、測定ピンの $2.5V$ バイアスで測定しています。

残りの抵抗ピンはオープンにしています。

³ 測定場所については図3を参照してください。すべての入力制御電圧は $t_R = t_F = 1\text{ ns}$ (V_{DD} の10%から90%)で規定し、 $1.6V$ の電圧レベルからの時間とします。スイッチング特性は、 $V_{DD} = 3V$ または $5V$ を使って測定。クロック誤動作を回避するために、最小入力ロジック・スループートを $V/\mu s$ に維持する必要があります。

⁴ 伝搬遅延は、 V_{DD} 、 R_L 、 C_L の値に依存します(アプリケーションのセクション参照)。

タイミング図

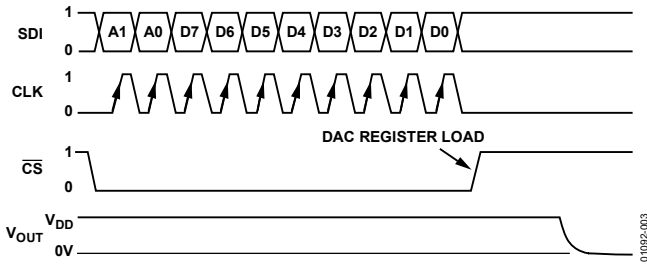


図3. タイミング図

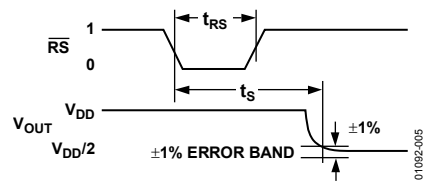


図5. リセットのタイミング図

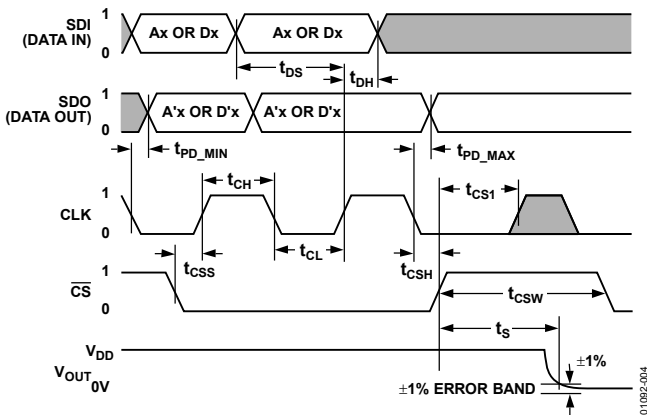


図4. 詳細タイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表5.

Parameter	Rating
V_{DD} to GND	-0.3 V, +8 V
V_A , V_B , V_W to GND	0 V, V_{DD}
Maximum Current	
I_{WB} , I_{WA} Pulsed	± 20 mA
I_{WB} Continuous ($R_{WB} \leq 1$ k Ω , A Open) ¹	± 5 mA
I_{WA} Continuous ($R_{WA} \leq 1$ k Ω , B Open) ¹	± 5 mA
I_{AB} Continuous ($R_{AB} = 1$ k $\Omega/10$ k $\Omega/50$ k $\Omega/100$ k Ω) ¹	± 5 mA/ ± 500 μ A/ ± 100 μ A/ ± 50 μ A
Digital Input and Output Voltage to GND	0 V, 7 V
Operating Temperature Range	-40°C to +125°C
Maximum Junction Temperature (T_J Maximum)	150°C
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
Thermal Resistance (θ_{JA})	
SOIC (R-8)	158°C/W
PDIP (N-14)	83°C/W
PDIP (N-24)	63°C/W
SOIC (R-14)	120°C/W
SOIC (R-24)	70°C/W
TSSOP-14 (RU-14)	180°C/W
TSSOP-24 (RU-24)	143°C/W

¹最大ピン電流は、与えられた抵抗で A ピン、B ピン、W ピンの内の任意の 2 ピン間に加えられる最大電圧、スイッチの最大処理電流、パッケージの最大消費電力により制約されます。 $V_{DD} = 5$ V。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

シリアル・データのフォーマット

表6.

ADDR		DATA							
B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
MSB	LSB	MSB						LSB	
2 ⁹	2 ⁸	2 ⁷						2 ⁰	

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



図6.AD8400のピン配置

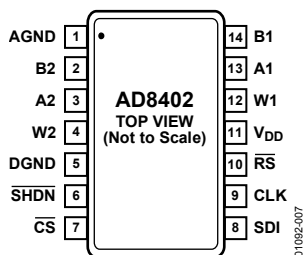


図7.AD8402のピン配置

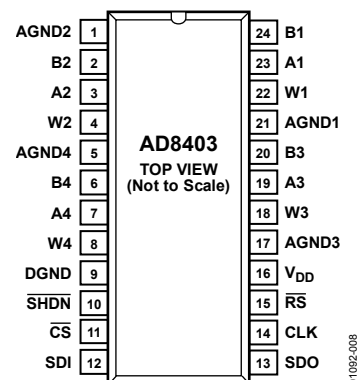


図8.AD8403のピン配置

表7.AD8400のピン機能説明

ピン番号	記号	説明
1	B1	ピン B の RDAC。
2	GND	グラウンド。
3	$\overline{\text{CS}}$	チップ・セレクト入力、アクティブ・ロー。 $\overline{\text{CS}}$ がハイ・レベルに戻ると、アドレス・ビットに基づいてシリアル入力レジスタ内のデータがデコードされて、ターゲットの DAC レジスタにロードされます。
4	SDI	シリアル・データ入力。
5	CLK	シリアル・クロック入力、立ち上がりエッジ・トリガー。
6	V _{DD}	正の電源。3 V と 5 V での動作仕様。
7	W1	ワイパーの RDAC、Addr = 00 ₂ 。
8	A1	ピン A の RDAC。

表8.AD8402のピン機能説明

ピン番号	記号	説明
1	AGND	アナログ・グラウンド ¹ 。
2	B2	ピン B の RDAC 2。
3	A2	ピン A の RDAC 2。
4	W2	ワイパーの RDAC 2、Addr = 01 ₂ 。
5	DGND	デジタル・グラウンド ¹ 。
6	$\overline{\text{SHDN}}$	ピン A オープン。シャットダウンは可変抵抗 1 と可変抵抗 2 を制御します。
7	$\overline{\text{CS}}$	チップ・セレクト入力、アクティブ・ロー。 $\overline{\text{CS}}$ がハイ・レベルに戻ると、アドレス・ビットに基づいてシリアル入力レジスタ内のデータがデコードされて、ターゲットの DAC レジスタにロードされます。
8	SDI	シリアル・データ入力。
9	CLK	シリアル・クロック入力、立ち上がりエッジ・トリガー。
10	$\overline{\text{RS}}$	アクティブ・ローにすると、ミッドスケールにリセットされます。RDAC レジスタに 80 _H が設定されます。
11	V _{DD}	正の電源。3 V と 5 V での動作仕様。
12	W1	ワイパーの RDAC 1、Addr = 00 ₂ 。
13	A1	ピン A の RDAC 1。
14	B1	ピン B の RDAC 1。

¹すべての AGND ピンは DGND に接続する必要があります。

表9. AD8403 のピン機能説明

ピン番号	記号	説明
1	AGND2	アナログ・グラウンド 2 ¹ 。
2	B2	ピン B の RDAC 2。
3	A2	ピン A の RDAC 2。
4	W2	ワイパーの RDAC 2、Addr = 01 ₂ 。
5	AGND4	アナログ・グラウンド 4 ¹ 。
6	B4	ピン B の RDAC 4。
7	A4	ピン A の RDAC 4。
8	W4	ワイパーの RDAC 4、Addr = 11 ₂ 。
9	DGND	デジタル・グラウンド ¹ 。
10	$\overline{\text{SHDN}}$	アクティブ・ローの入力。ピン A オープン。シャットダウンは可変抵抗 1~可変抵抗 4 を制御します。
11	$\overline{\text{CS}}$	チップ・セレクト入力、アクティブ・ロー。 $\overline{\text{CS}}$ がハイ・レベルに戻ると、アドレス・ビットに基づいてシリアル入力レジスタ内のデータがデコードされて、ターゲットの DAC レジスタにロードされます。
12	SDI	シリアル・データ入力。
13	SDO	シリアル・データ出力。オープン・ドレイン・トランジスタにはプルアップ抵抗が必要です。
14	CLK	シリアル・クロック入力、立ち上がりエッジ・トリガー。
15	$\overline{\text{RS}}$	アクティブ・ローにすると、ミッドスケールにリセットされます。RDAC レジスタに 80 _H が設定されます。
16	V _{DD}	正の電源。3 V と 5 V での動作仕様。
17	AGND3	アナログ・グラウンド 3 ¹ 。
18	W3	ワイパーの RDAC 3、Addr = 10 ₂ 。
19	A3	ピン A の RDAC 3。
20	B3	ピン B の RDAC 3。
21	AGND1	アナログ・グラウンド 1 ¹ 。
22	W1	ワイパーの RDAC 1、Addr = 00 ₂ 。
23	A1	ピン A の RDAC 1。
24	B1	ピン B の RDAC 1。

¹ すべての AGND ピンは DGND に接続する必要があります。

代表的な性能特性

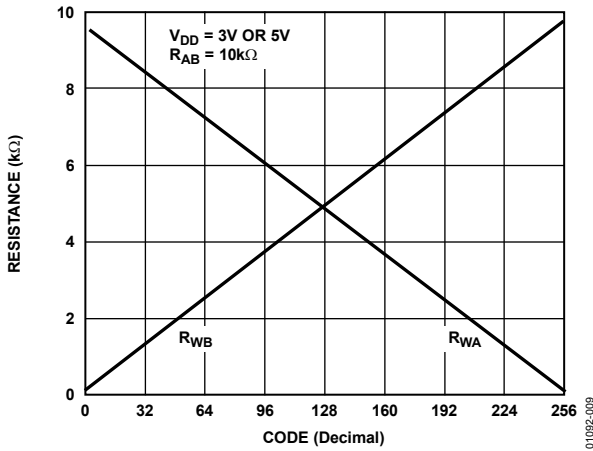


図9.コード対ワイパー-端点ピン間抵抗

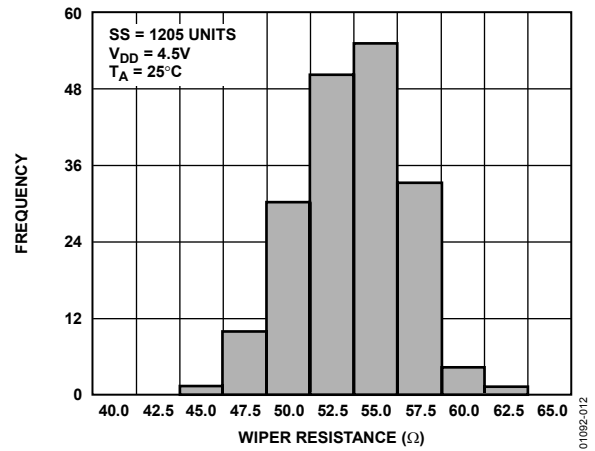


図12.10 kΩ ワイパー接触抵抗のヒストグラム

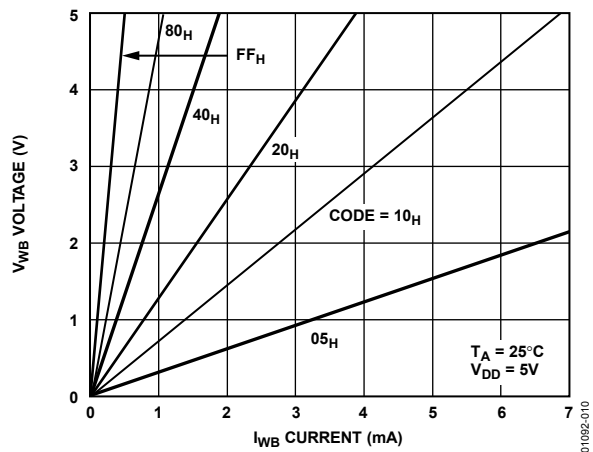


図10.導通電流対抵抗直線性

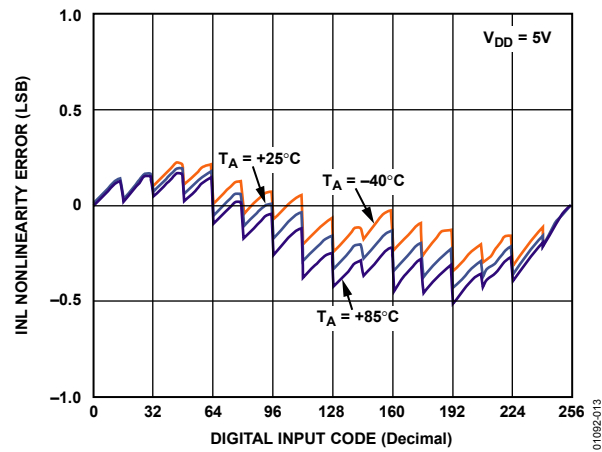


図13.コード対ポテンショメータ分圧器の非直線性誤差

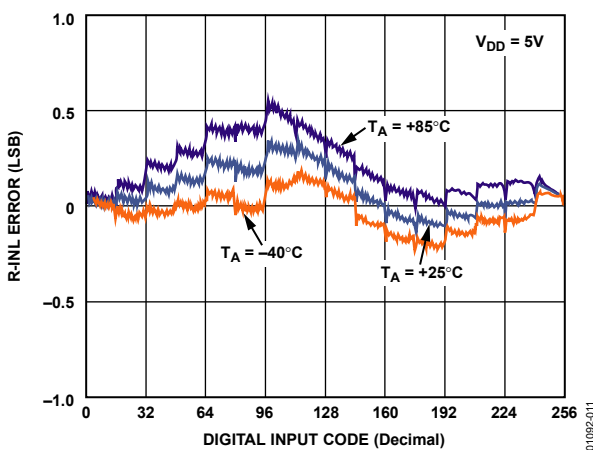


図11.コード対抵抗ステップ・ポジション非直線性誤差

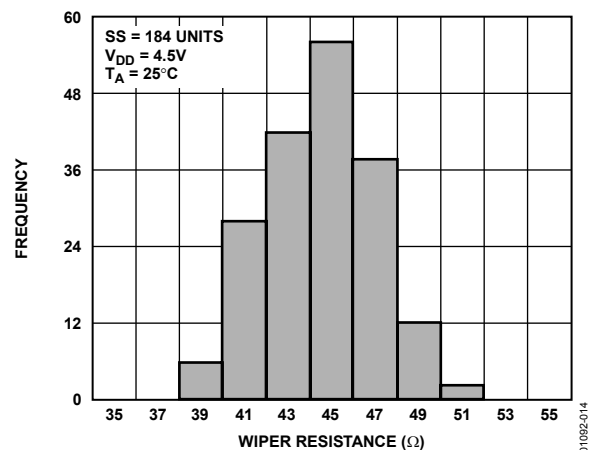


図14.50 kΩ ワイパー接触抵抗のヒストグラム

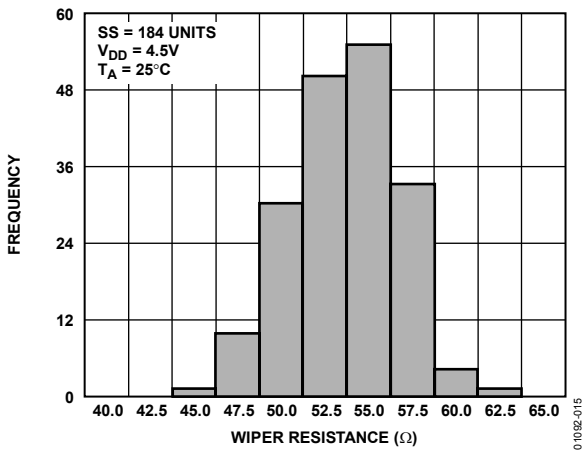


図15.100 kΩ ワイパー接触抵抗のヒストグラム

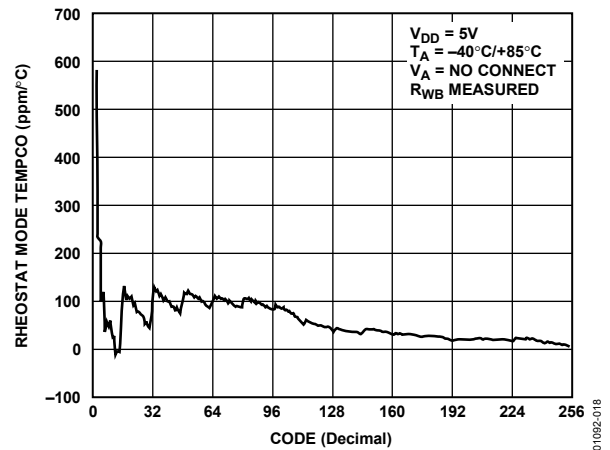


図18. $\Delta R_{WB}/\Delta T$ 可変抵抗器モードの温度係数

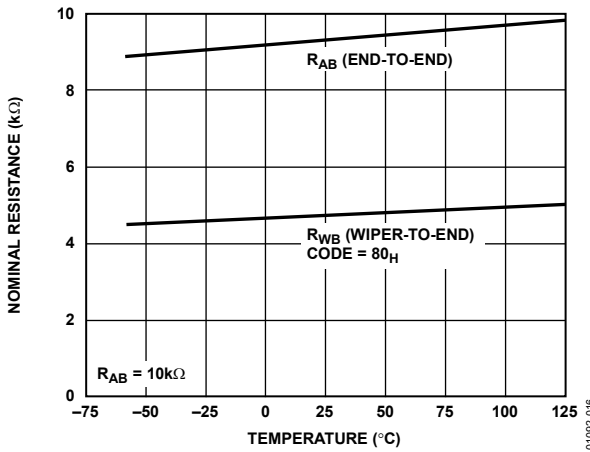


図16. 公称抵抗の温度特性

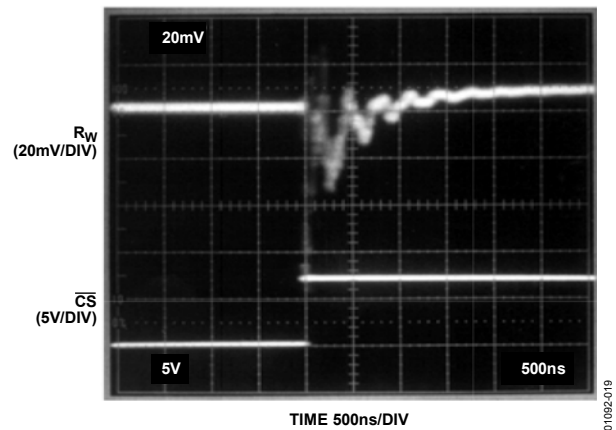


図19. ハーフ・スケールでのポジション 1 ステップ変化(コード $7F_H \rightarrow 80_H$)

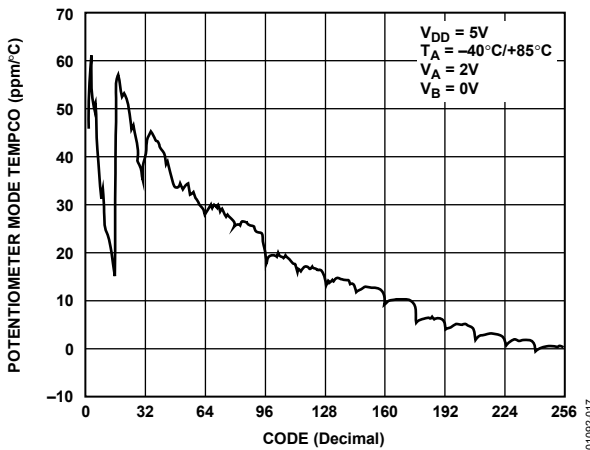


図17. $\Delta V_{WB}/\Delta T$ ポテンシオメータ・モードの温度係数

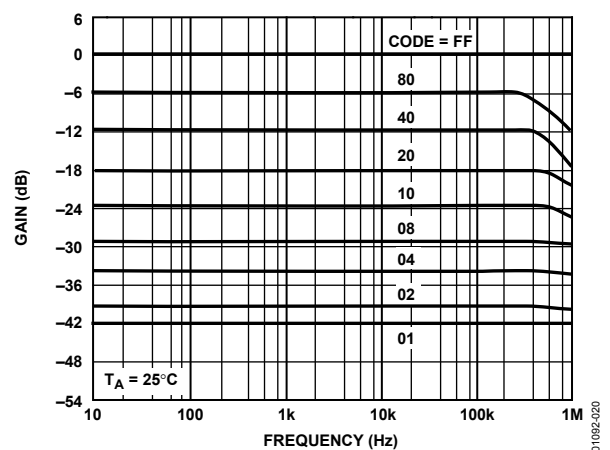


図20. 周波数対コード対 10 kΩ ゲイン(図 43 参照)

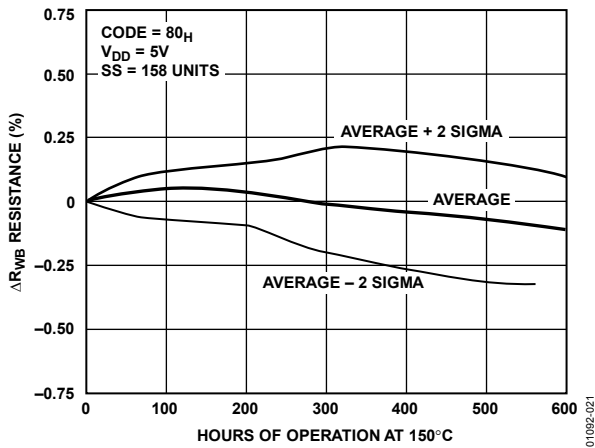


図21. パーンインにより加速した長時間ドリフト

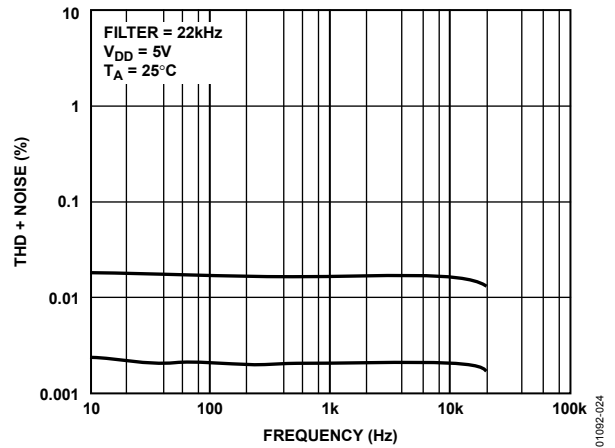


図24. 総合高調波歪み + ノイズの周波数特性(図 41と 図 42参照)

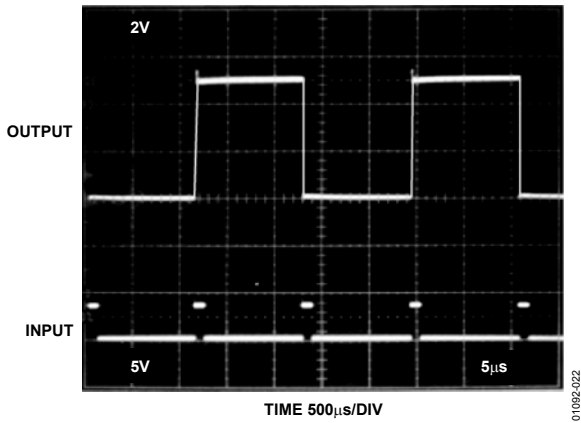


図22. 大信号セットリング・タイム

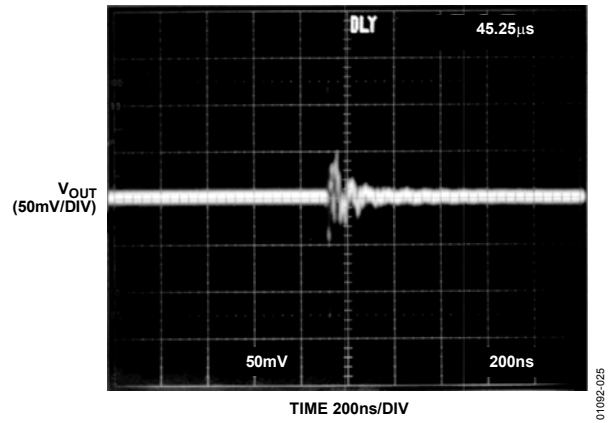


図25. 時間対デジタル・フィードスルー

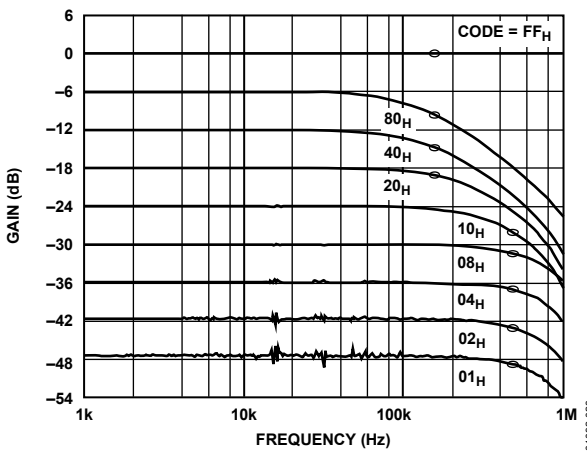


図23. 周波数対コード対 50 kΩ ゲイン

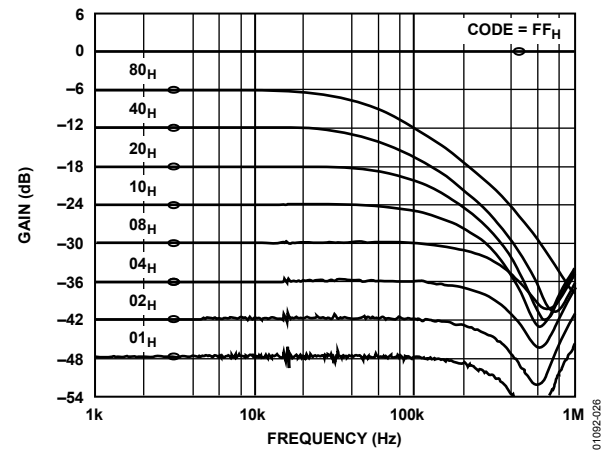


図26. 周波数対コード対 100 kΩ ゲイン

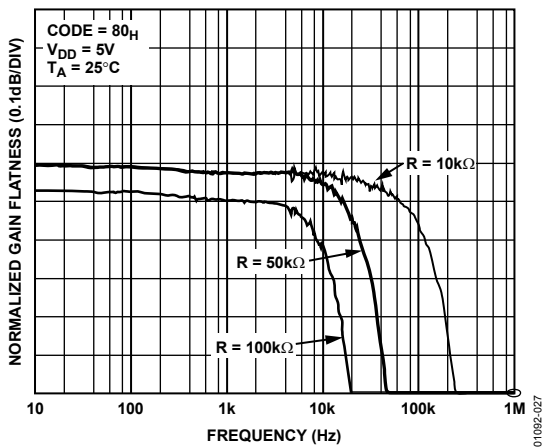


図27.正規化したゲイン平坦性の周波数特性(図43参照)

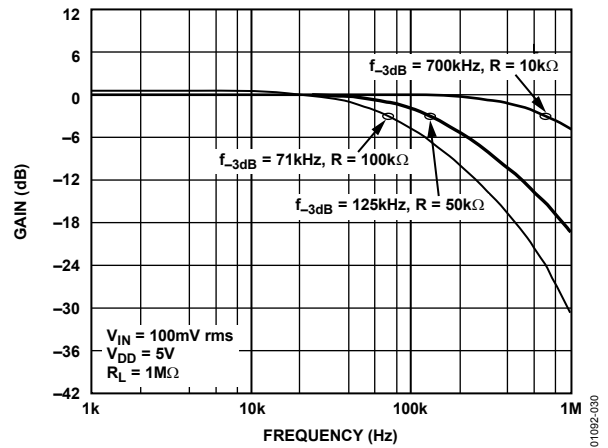


図30.-3 dB 帯域幅

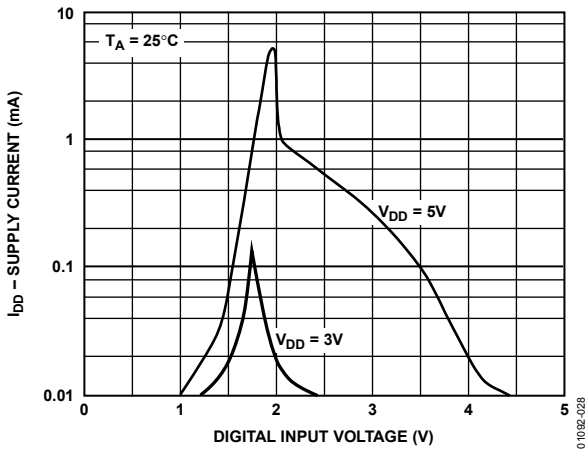


図28.デジタル入力電圧対電源電流

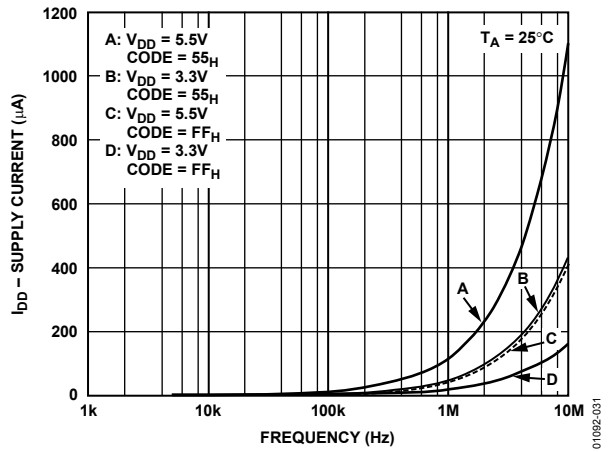


図31.クロック周波数対電源電流

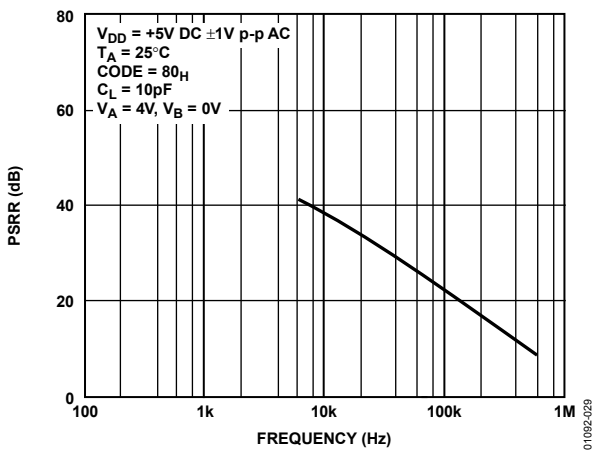


図29.電源除去比の周波数特性(図40参照)

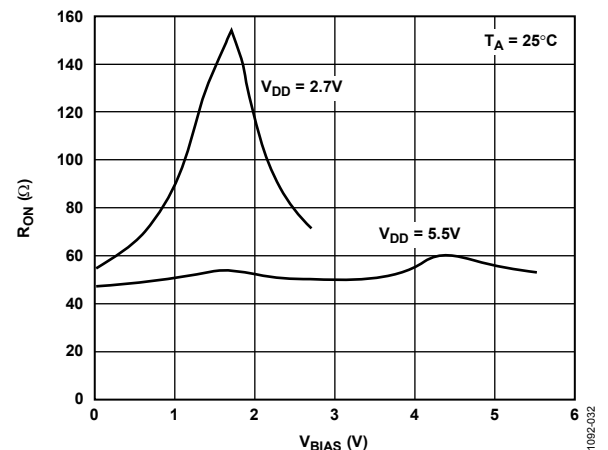


図32.V_{DD}対AD8403内部ワイパーオン抵抗(図39参照)

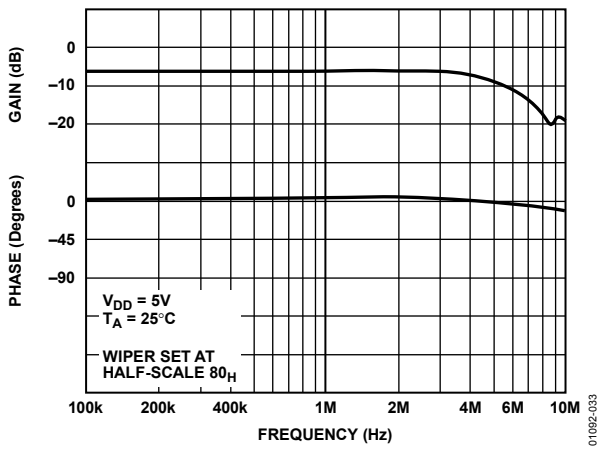


図33.1 kΩ ゲインと位相の周波数特性

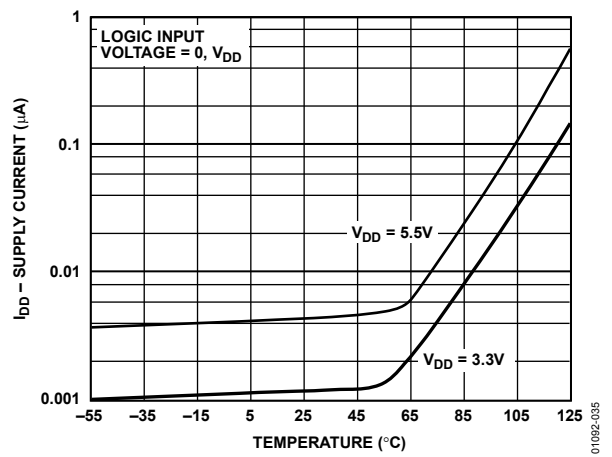


図35.電源電流の温度特性

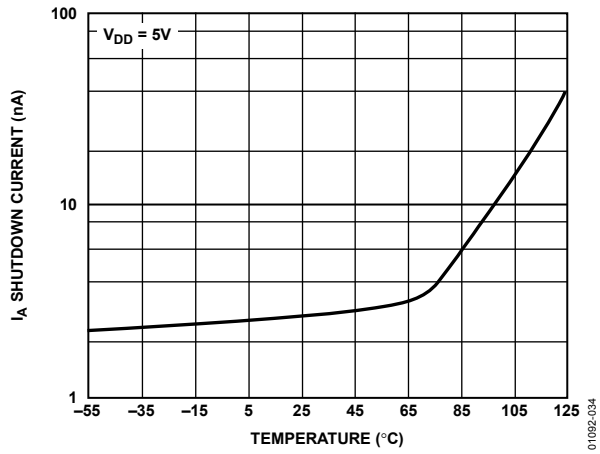


図34.シャットダウン電流の温度特性

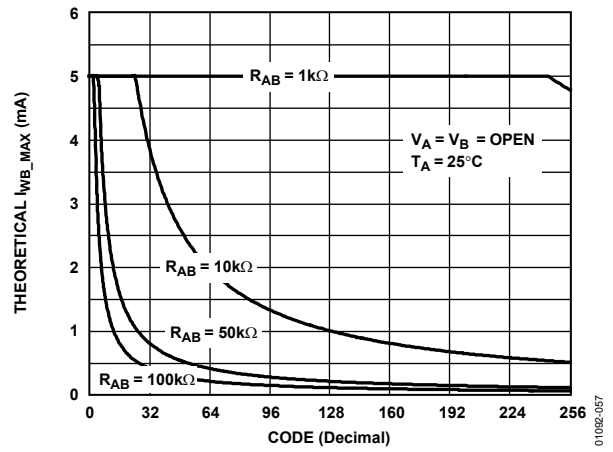
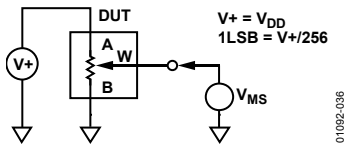


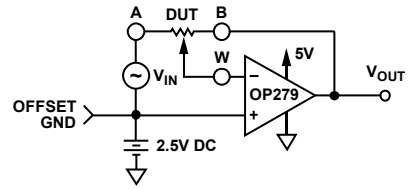
図36.コード対 I_{WB_MAX}

テスト回路



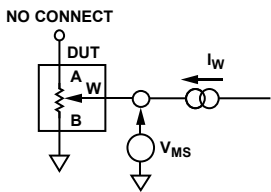
01092-036

図37.ポテンショメータ分圧器の非直線性誤差(INL、DNL)



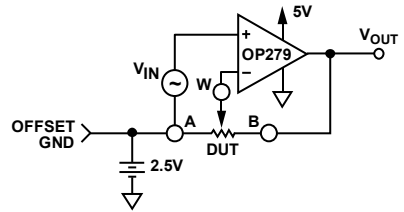
01092-040

図41.プログラマブルな反転ゲイン



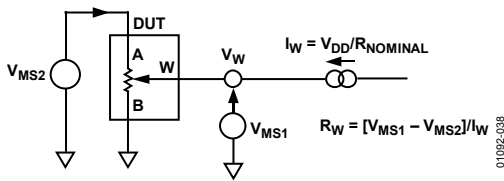
01092-037

図38.抵抗ポジションの非直線性誤差 (可変抵抗器動作; R-INL、R-DNL)



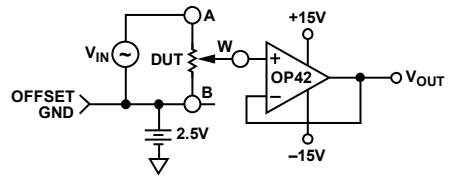
01092-041

図42.プログラマブルな非反転ゲイン



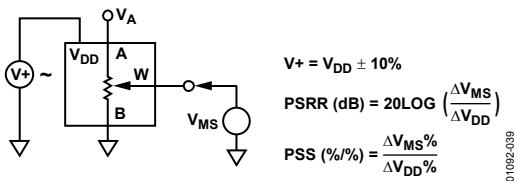
01092-038

図39.ワイパー抵抗



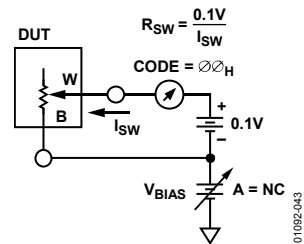
01092-042

図43.ゲインの周波数特性



01092-039

図40.電源除去比(PSS、PSRR)



01092-043

図44.オン抵抗増分

動作原理

AD8400/AD8402/AD8403 は、1 チャンネル、2 チャンネル、4 チャンネルの 256 ポジション・デジタル制御型可変抵抗(VR)デバイスです。VR設定値の変更は、10 ビットのシリアル・データ・ワードをSDI (シリアル・データ入力)ピンに入力することにより行われます。このデータ・ワードは、2 ビットのアドレス・ビット(MSBファースト)とそれに続く 8 ビットのデータ・ビット(MSBファースト)から構成されています。表 6に、シリアル・レジスタのデータ・ワード・フォーマットを示します。AD8400/AD8402/AD8403のADDRデコーダは、次のアドレス割り当てを持っています。このアドレスがシリアル・レジスタ・データのビットB7~ビットB0に受信するVRラッチの位置を指定します。

$$VR\# = A1 \times 2 + A0 + 1 \quad (1)$$

1 チャンネルのAD8400 ではA1 = A0 = 0 に、2 チャンネルのAD8402ではA1 = 0に、それぞれ設定する必要があります。VR設定の変更は、ランダム・シーケンスで1回に1つずつ行うことができます。10 MHzのシリアル・クロックでは、AD8403の場合、4個のすべてのVRを4 μ s (10 \times 4 \times 100 ns)でロードすることができます。詳しいタイミング条件を、図3、図4、図5に示します。

AD8400/AD8402/AD8403にはパワーオン時にミッドスケールにプリセットする機能がないため、パワーアップ時にワイパー位置が不定になりますが、AD8402/AD8403では、RSピンをアサートしてミッド・スケールにリセットすることができます。両デバイスには電源シャットダウンSHDNピンがあります。このピンは、VRを消費電力ゼロの状態にします。この状態では、ピンAxをオープンにし、ワイパーWxとピンBxを短絡させるため、消費電力はVRのリーク電流のみになります。シャットダウン・モードでは、VRラッチ設定値が維持されているため、動作モードに戻ったときに、VR設定値が前の抵抗値に戻されます。シャットダウンではデジタル・インターフェースは動作しますが、SDOは非アクティブ状態になります。レジスタのコード変更は、シャットダウン中に行うことができるため、デバイスがシャットダウンから抜け出したときにワイパーを新しい位置にすることができます。

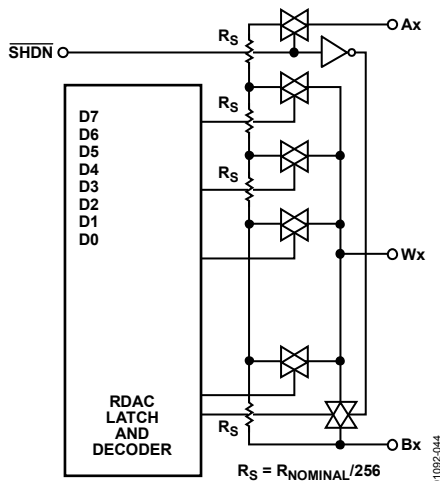


図45.AD8402/AD8403の等価VR(RDAC)回路

可変抵抗のプログラミング

可変抵抗器動作

ピンAとピンBの間のVR (RDAC)の公称抵抗は、1 k Ω 、10 k Ω 、50 k Ω 、100 k Ω のものを提供しています。製品番号の最後の桁が、公称抵抗値(10 k Ω = 10; 100 k Ω = 100)を表しています。VRの公称抵抗(R_{AB})は 256 個の接点を持ち、ワイパー・ピンによりアクセスされます。抵抗値はワイパー—Bピン間(R_{WB})またはワイパー—Aピン間(R_{WA})で測定することができます。RDACラッチ内の 8 ビット・データ・ワードがデコードされて、256通りの設定の内の1つを選択します。ワイパーの最初の接続は、Bピンでのデータ 00_Hから始まります。このBピン接続は、ワイパー接触抵抗 50 Ω を持っています。2 番目の接続は最初のタップ・ポイントであり(10 k Ω デバイスの場合)、ここではデータ 01_Hに対して、89 Ω = [R_{AB}(公称抵抗) + R_w = 39 Ω + 50 Ω]になります。3 番目の接続は次のタップ・ポイントで、データ 02_Hに対して 78 Ω + 50 Ω = 128 Ω となります。LSBデータ値の各増加により、ワイパーは抵抗ラダーを上を移動し、最後のタップ・ポイント 10,011 Ω に到達するまで移動します。データ 00_Hでも、ワイパーはBピンに直接接続されないことに注意してください。図45に、簡単化したRDACの等価回路を示します。

AD8400は1個のRDACを、AD8402は2個の独立なRDACを、AD8403は4個の独立なRDACを、それぞれ内蔵しています。WxとBxの間のデジタル的に設定される出力抵抗を決定する一般的な変換式は、次のようになります。

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + R_w \quad (2)$$

ここで、Dは8ビットのRDAC#ラッチにロードされる10進数等価データで、R_{AB}は公称ピン間抵抗です。

例えば、AピンがオープンまたはワイパーWに接続されると、次のRDACラッチ・コードにより次のR_{WB}が得られます(10 k Ω バージョンの場合)。

表10.

D (Dec)	R _{WB} (Ω)	Output State
255	10,011	Full scale
128	5,050	Midscale ($\overline{RS} = 0$ condition)
1	89	1 LSB
0	50	Zero-scale (wiper contact resistance)

ゼロ・スケール状態では、有限なワイパー抵抗50 Ω があることに注意してください。性能低下または内部スイッチの破壊を防止するため、この状態でのWとBとの間の電流レベルが5 mAを超えないように注意してください。

機械式ポテンシオメータと同様に、RDAC は対称です。ワイパー W とピン A との間の抵抗も、デジタルに制御された相補的な抵抗 R_{WA} を発生します。これらのピンを使用する場合、B ピンはフローティングにするか、またはワイパーに接続してください。 R_{WA} は最大から開始して、RDAC ラッチにロードされるデータが大きくなるほど、減少します。この R_{WA} の一般的な変換式は、

$$R_{WA}(D) = \frac{256 - D}{256} \times R_{AB} + R_W \quad (3)$$

ここで、D は 8 ビットの RDAC#ラッチにロードされるデータで、 R_{AB} は公称ピン間抵抗です。

例えば、B ピンがオープンまたはワイパー W に接続されると、次の RDAC ラッチ・コードにより次の R_{WA} が得られます(10 kΩ パージョンの場合)。

表11.

D (Dec)	R_{WA} (Ω)	Output State
255	89	Full-Scale
128	5,050	Midscale ($\overline{RS} = 0$ Condition)
1	10,011	1 LSB
0	10,050	Zero-Scale

R_{AB} のチャンネル間における代表的な分布は±1%以内で一致します。ただし、デバイス間のマッチングは、プロセス・ロットに依存し、±20%変動します。温度係数、すなわち温度による R_{AB} の変化は、500 ppm/°C で発生します。

ワイパー・ピン—端点ピン間抵抗の温度係数は、10%~100%の調整範囲で最適性能を持ちます。この場合、内部のワイパー・コンタクト・スイッチは、温度に関する大きな誤差要因にはなりません。図 18のグラフに、コード対 R_{WB} 温度係数の性能を示します。32 より小さいコードでポテンシオメータを使うと、プロットしてある大きな温度係数が発生します。

ポテンシオメータ分圧器のプログラミング

電圧出力動作

デジタル・ポテンシオメータは、ピンに入力した電圧に比例した出力電圧を容易に発生することができます。

たとえば、A ピンを 5 V に、B ピンをグラウンドにそれぞれ接続すると、0 V から開始して 5 V より 1LSB 下までの範囲の値を持つワイパーピン出力電圧を発生します。電圧の各 LSB は、ピン A とピン B に加えた電圧をポテンシオメータ分圧器の 256 ポジション分解能で除算した値に等しくなります。ピン A とピン B に与えられた任意の入力電圧に対して、グラウンドを基準とした出力電圧を決める一般式は、次のように表されます。

$$V_W = \frac{D}{256} \times V_{AB} + V_B \quad (4)$$

分圧器モードでのデジタル・ポテンシオメータの動作は、温度に対して正確な動作になります。ここで、出力電圧は絶対値ではなく、内部抵抗間の比に依存するため、温度ドリフトは 15 ppm/°C に改善されます。

小さい値のワイパー・ポジション設定では、ポテンシオメータ分圧器の温度係数が大きくなります。これは、CMOSスイッチのワイパー抵抗の組み合わせがBピンからワイパーWまでの合計抵抗の大きな部分を占めるようになるためです。コード設定値対ポテンシオメータ温度係数性能のプロットについては、図 17を参照してください。

デジタル・インターフェース

AD8400/AD8402/AD8403 は、標準のSPI互換 3 線式シリアル入力制御インターフェースを内蔵しています。この 3 本の入力は、クロック(CLK)、チップ・セレクト(\overline{CS})、シリアル・データ入力(SDI)です。立ち上がりエッジを検出するCLK入力では、不正なデータをシリアル入力レジスタに入力してしまわないようにクリーンなクロック変化が必要です。最適性能を得るためには、1 V/μsより高速なロジック変化を使用してください。標準ロジック・ファミリーはこの条件を満たします。製品評価で機械式スイッチを使用する場合、フリップフロップまたは他の適切な方法を使ってこれらから発生する波形歪みを除去する必要があります。図 46、図 47、図 48のブロック図に、詳しい内部デジタル回路を示します。 \overline{CS} がアクティブ・ローのとき、クロックの各立ち上がりエッジでデータが 10 ビットのシリアル・レジスタにロードされます(表 12 参照)。

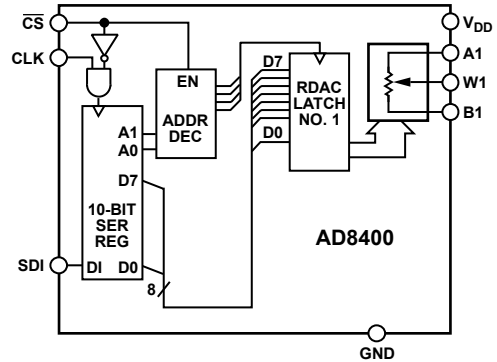


図46.AD8400 のブロック図

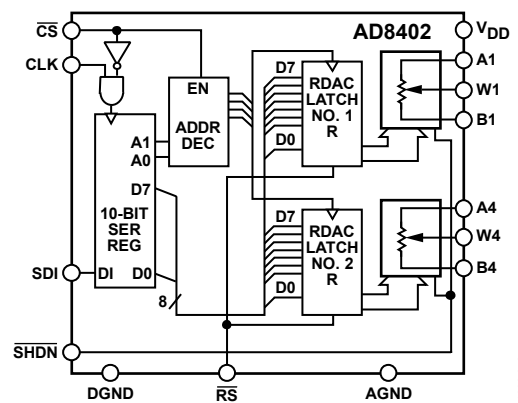


図47.AD8402 のブロック図

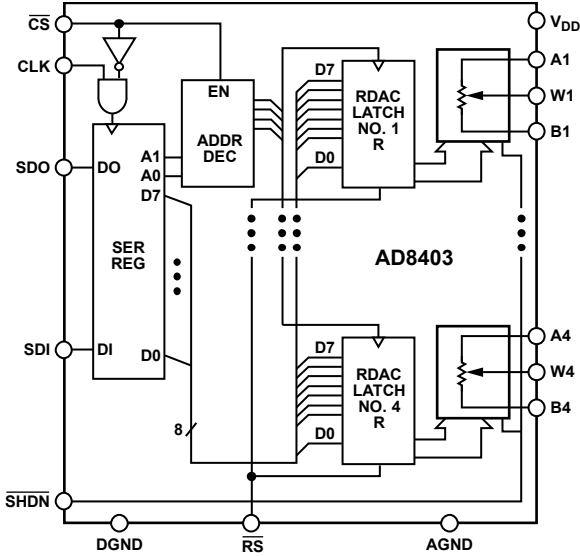


図48.AD8403 のブロック図

表12.入力ロジック制御の真理値表¹

CLK	CS	RS	SHDN	Register Activity
L	L	H	H	No SR effect; enables SDO pin
P	L	H	H	Shift one bit in from the SDI pin. The 10th previously entered bit is shifted out of the SDO pin.
X	P	H	H	Load SR data into RDAC latch based on A1, A0 decode (Table 13).
X	H	H	H	No operation
X	X	L	H	Sets all RDAC latches to midscale, wiper centered, and SDO latch cleared
X	H	P	H	Latches all RDAC latches to 80 _H
X	H	H	L	Open-circuits all Resistor A terminals, connects W to B, turns off SDO output transistor.

¹P=立ち上がりエッジ、X=don't care、SR=シフトレジスタ

シリアル・データ出力(SDO)ピン(このピンは AD8403 の場合だけで AD8400 と AD8402 にはありません)には、オープン・ドレインの n チャンネル FET があります。このために、次のパッケージの SDI ピンにデータを転送するためにはプルアップ抵抗が必要です。プルアップ抵抗の終端電圧は、AD8403 SDO 出力デバイスの V_{DD} 電源(ただし 8 V の最大 V_{DD} より低い)より高くなる場合があります。例えば、AD8403 は V_{DD} = 3.3 V で動作できますが、次のデバイスに対するインターフェースのプルアップを 5 V に設定することができます。このため、1 本のプロセッサ・シリアル・データ・ラインからの複数の RDAC をディジーチェーン接続できるようになります。次のデバイスの SDI ピンに対して直列にプルアップ抵抗を接続する場合は、クロック周期を大きくする必要があります。データを正常に転送するためには、デバイス間での SDO から SDI へのディジーチェーン接続ノードにある容量負荷を考慮する必要があります。ディジーチェーン接続を使用する場合、各パッケージのすべてのビットがそれぞれのシリアル・レジスタに入力され、アドレス・ビットとデータ・ビットが正しいデコーディング・ロケーションになるまで、CS をロー・レベルに維持する必要があります。

2 個の AD8403 RDAC をディジーチェーンする場合、表 6 に示すフォーマットによる 20 ビットのアドレスとデータが必要です。シャットダウン(SHDN = ロー・レベル)時、SDO 出力ピンをオフ状態(ハイ・レベル)にして、プルアップ抵抗での消費電力を小さくする必要があります。SDO 出力の等価回路については、図 50 を参照してください。

仕様表のデータ・セットアップ・タイムとデータ・ホールド・タイムがデータ有効時間の条件を規定します。CS がハイ・レベルに戻るとき、シリアル・レジスタに入力されるデータ・ワードの最後の 10 ビットが保持されます。CS がハイ・レベルになると同時に、CS によりアドレス・デコーダをゲーティングし、2 個(AD8402)または 4 個(AD8403)の内の 1 個の立ち上がりエッジ・トリガ RDAC ラッチをイネーブルします。図 49 と表 13 を参照してください。

表13.アドレスのデコード表

A1	A0	Latch Decoded
0	0	RDAC#1
0	1	RDAC#2
1	0	RDAC#3 AD8403 Only
1	1	RDAC#4 AD8403 Only

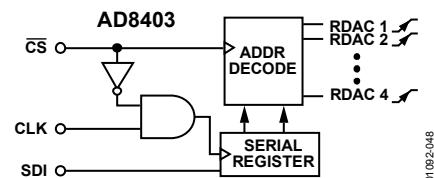


図49.入力コントロールの等価ロジック

対象 RDAC ラッチにはシリアル・データ・ワードの最後の 8 ビットがロードされて、RDAC の更新が 1 回完了します。AD8403 の場合、4 個の VR 設定値を変更するためには、4 組の 10 ビット・データ・ワードを入力する必要があります。

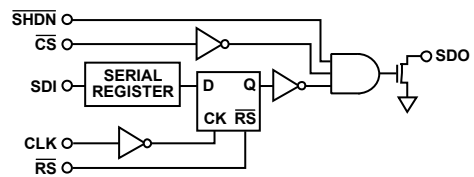


図50.AD8403 の詳細 SDO 出力回路

すべてのデジタル・ピンは、図 51 に示す直列入力抵抗と並列ツェナー ESD 構造により保護されています。この構造は、デジタル・ピン CS、SDI、SDO、RS、SHDN、CLK でも使用されています。デジタル入力 ESD 保護により、ミックス電源アプリケーションが可能で、すなわち、5 V の CMOS ロジックを使って、3 V 電源で動作する AD8400、AD8402、または AD8403 を駆動することができます。アナログ・ピン A、ピン B、ピン W は、20 Ω の直列抵抗と並列ツェナー・ダイオードで保護されています(図 52 参照)。

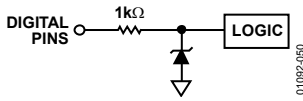


図51.等価 ESD 保護回路

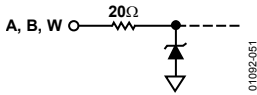
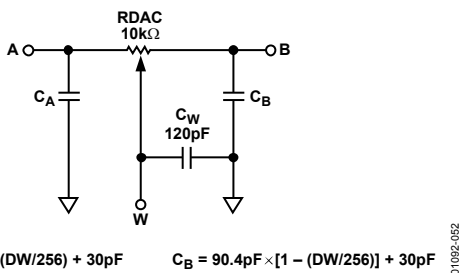


図52.等価 ESD 保護回路(アナログ・ピン)



$$C_A = 90.4\text{pF} \times (\text{DW}/256) + 30\text{pF} \quad C_B = 90.4\text{pF} \times [1 - (\text{DW}/256)] + 30\text{pF}$$

図53.RDAC = 10 kΩ の RDAC 回路シミュレーション・モデル

RDACのAC特性は、内部寄生容量と外部容量負荷により支配されます。AD8403AN10 (10 kΩ抵抗)の-3 dB帯域幅は、ポテンショメータ分圧器として、ハーフ・スケールで 600 kHzと測定されます。図 30に、10 kΩ、50 kΩ、100 kΩの3つの抵抗バージョンの大信号ボード線図特性を示します。1 kΩバージョンの周波数特性グラフのゲイン平坦性から、フィルタ・アプリケーション性能を予測することができます(図 33参照)。寄生シミュレーション・モデルが開発されており、これを 図 53に示します。リストIに、10 kΩ RDACのマクロ・モデル・ネットリストを示します。

リスト I. RDAC のマクロ・モデル・ネットリスト

```
.PARAM DW=255, RDAC=10E3
*
.SUBCKT DPOT (A,W,)
*
CA A 0 {DW/256*90.4E-12+30E-12}
RAW A W {(1-DW/256)*RDAC+50}
CW W 0 120E-12
RBW W B {DW/256*RDAC+50}
CB B 0 {(1-DW/256)*90.4E-12+30E-12}
*
.ENDS DPOT
```

図 41に示す総合高調波歪み+ノイズ(THD + N)は、オフセット・グラウンドを使う反転オペアンプ回路とレールtoレールOP279 アンプ内で 0.003%と測定されます。熱ノイズは主にジョンソン・ノイズであり、10 kΩバージョンの場合 $f = 1 \text{ kHz}$ で $9 \text{ nV}/\sqrt{\text{Hz}}$ (typ)です。100 kΩデバイスの場合、熱ノイズは $29 \text{ nV}/\sqrt{\text{Hz}}$ になります。チャンネル間クロストークは、 $f = 100 \text{ kHz}$ で-65 dBと測定されます。このアイソレーションを実現するためには、個々のRDACを分離するためにパッケージに設けてある追加グラウンド・ピンを回路グラウンドに接続する必要があります。AGNDピンとDGNDピンは、同じ電位にする必要があります。パッケージ内の未使用ポテンショメータはグラウンドに接続する必要があります。電源除去比は 10 kHzで-35 dB (typ)です。高精度アプリケーションでは電源リップルを小さくするように注意する必要があります。

アプリケーション

デジタル・ポテンショメータ(RDAC)を使うと、機械式ポテンショメータの多くのアプリケーションを固体ソリューションで置き換えることができます。この固体ソリューションは、小型であり、厳しい環境で遭遇する振動、衝撃、接触切れの問題がなくなります。デジタル・ポテンショメータの主な利点は、そのプログラマブル性です。任意の設定値を後で使用するためにシステム・メモリに保存しておくことができます。

RDACの2つの主な構成としては、図 37と 図 38に示すポテンショメータ分圧器(基本3端子アプリケーション)接続や可変抵抗器(2端子構成)接続などがあります。

AD8400/AD8402/AD8403 の正常な動作のためには、範囲について幾つかの条件を満たす必要があります。1つ目は、単電源でAD8400/AD8402/AD8403 を動作させるためには、すべてのアナログ信号がGNDから使用する V_{DD} までの範囲内にある必要があります。標準的なポテンショメータ分圧器アプリケーションの場合、ワイパー出力を直接使用することができます。小さい抵抗負荷の場合、OP291 やOP279 のような適切なレールtoレール・オペアンプでワイパーをバッファする必要があります。2つ目は、AC信号で、かつバイポーラDC調整アプリケーションの場合、一般に仮想グラウンドが必要です。どの仮想グラウンド発生方法でも、十分なバイパス容量などを含むすべての負荷に対して必要なシンク電流とソース電流を供給する必要があります。図 41に、プログラマブルな反転ゲイン・アンプ回路内で接続されたAD8402の1チャンネルを示します。仮想グラウンドは2.5 Vに設定されています。このため、この回路は仮想グラウンドに対して ± 2.5 V範囲の振幅を出力できます。最大の出力振幅を得るためにはレールtoレールのアンプ能力が必要です。ワイパーがミッド・スケール・リセット・ポジション(80_H)からAピン(コードFF_H)へ向かって調節される場合、回路の電圧ゲインは連続的に大きくなるインクリメント値で増加します。これに対して、ワイパーがBピン(コード00_H)へ向かって調節される場合は、信号が減衰させられます。図 54のプロットに、100:1 範囲の電圧ゲイン(V/V)に対するワイパー設定値を示します。0 dB (1 V/V)付近の疑似ログ・ゲイン ± 10 dBに注意してください。この回路は主に0.14 V/V \sim 4 V/Vの範囲のゲイン調節に便利です。この範囲を超えると、ステップ・サイズが非常に大きくなるため、分圧回路の抵抗がゲイン式内で大きな項になることがあります。

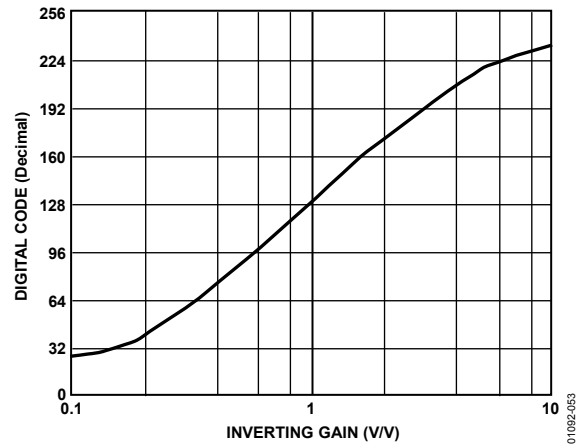


図54. プログラマブルな反転ゲイン・プロット

アクティブ・フィルタ

状態変数アクティブ・フィルタは、ローパス、ハイパス、またはバンドパス・フィルタの作成に使用される標準的な回路の1つです。

デジタル・ポテンショメータを使うと、フィルタ出力の周波数、ゲイン、Qを設定することができます。図 55に、2.5 Vの仮想グラウンドを使ったフィルタ回路を示します。この回路は、 ± 2.5 V_Pの入力振幅と出力振幅を可能にします。

RDAC2 とRDAC3 により、それぞれLP、HP、BPカットオフ周波数および中心周波数が設定されます。これらの可変抵抗には同じデータ(連動型ポテンショメータの場合と同じ)を設定して、最適回路Qを維持する必要があります。図 56に、2 kHz \sim 20 kHzの中心周波数範囲を発生させるRDAC2 設定値とRDAC3 設定値の関数として、バンドパス出力でのフィルタ応答の測定値を示します。バンドパス出力でのフィルタ・ゲイン応答は 図 57に示します。中心周波数 2 kHzで、ゲインはRDAC1 により決定される -20 dB \sim +20 dBの範囲で調節されます。回路QはRDAC4 により調節されます。状態変数アクティブ・フィルタの詳細については、アナログ・デバイセズのアプリケーション・ノートAN-318 を参照してください。

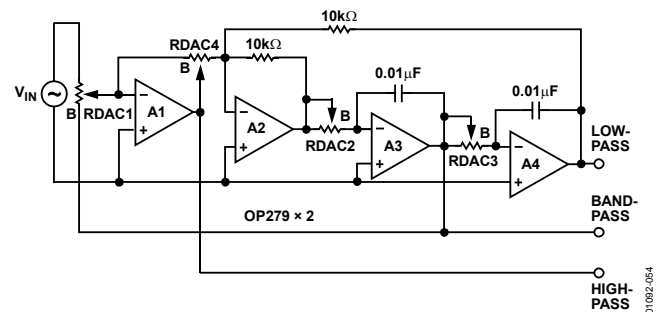


図55. プログラマブルな状態変数アクティブ・フィルタ

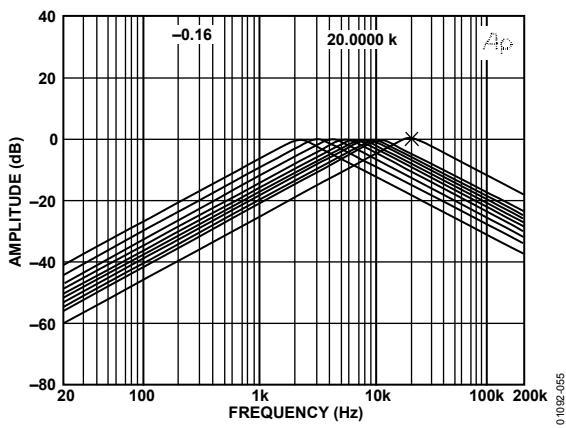


図56. 中心周波数を設定したバンドパス応答

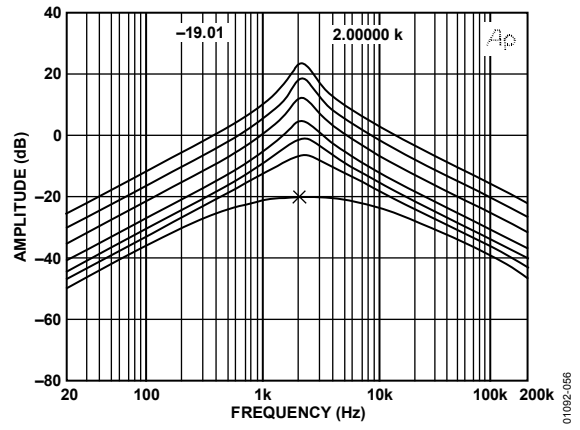
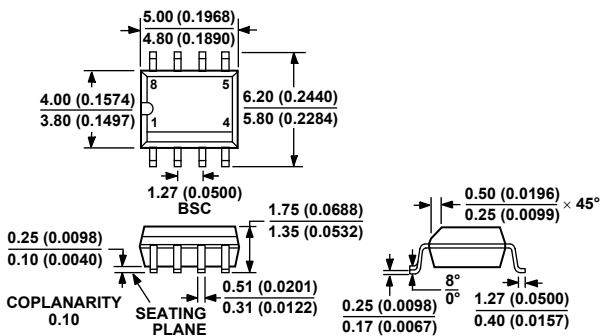


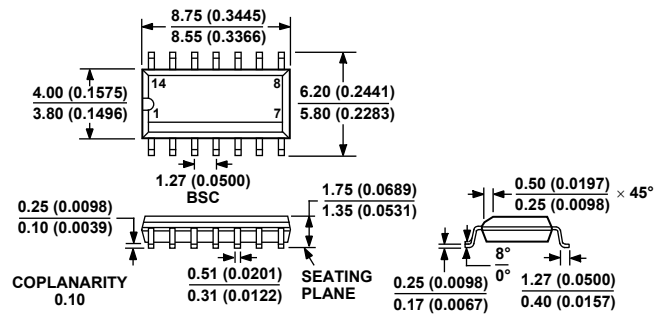
図57. 振幅を設定したバンドパス応答

外形寸法



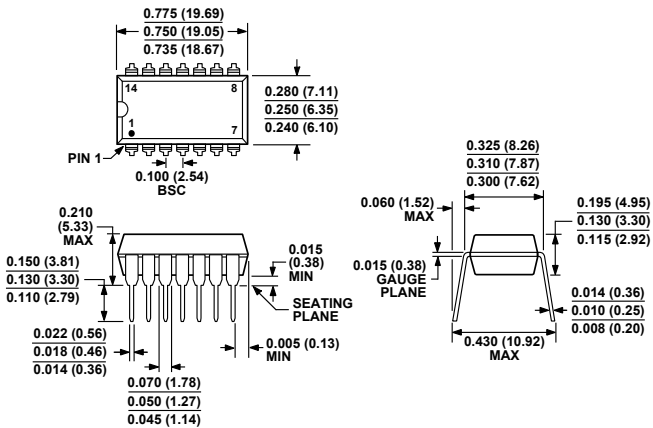
COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN

図58.8 ピン標準スモール・アウトライン・パッケージ[SOIC]
ナロー・ボディ(R-8)
寸法: mm (インチ)



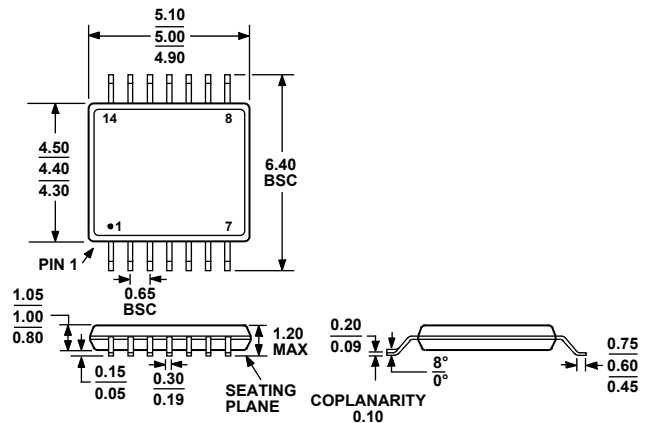
COMPLIANT TO JEDEC STANDARDS MS-012-AB
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN

図60.14 ピン標準スモール・アウトライン・パッケージ[SOIC]
ナロー・ボディ(R-14)
寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MS-001-AA
CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN. CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

図59.14 ピン・プラスチック・デュアルインライン・パッケージ
[PDIP]
ナロー・ボディ(N-14)
寸法: インチ(mm)



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

図61.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ
ジ[TSSOP]
(RU-14)
寸法: mm

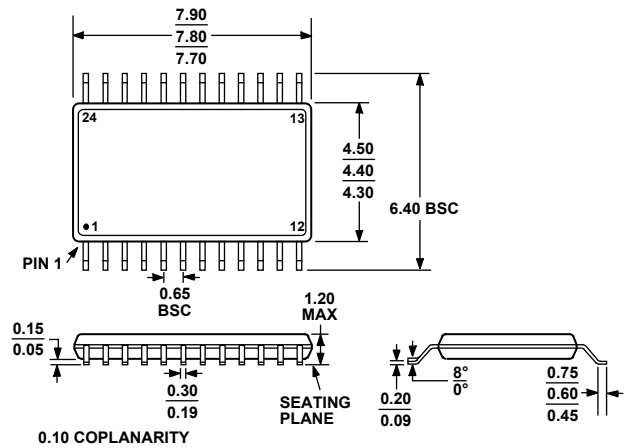
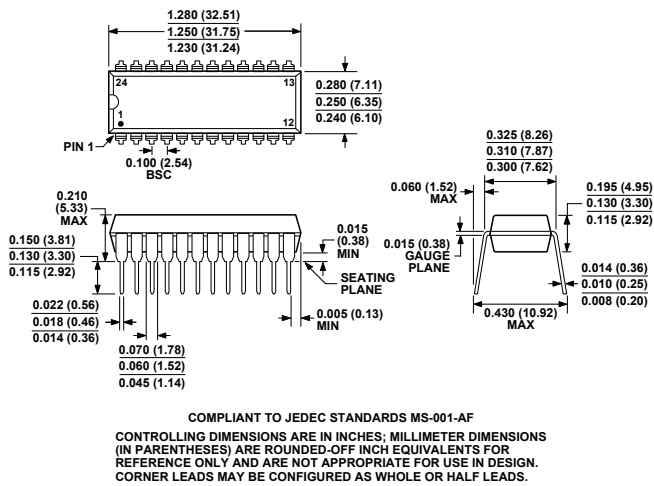


図62.24 ピン・プラスチック・デュアルインライン・パッケージ [PDIP]
 ナロー・ボディ (N-24-1)
 寸法: インチ (mm)

図64.24 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
 (RU-24)
 寸法: mm

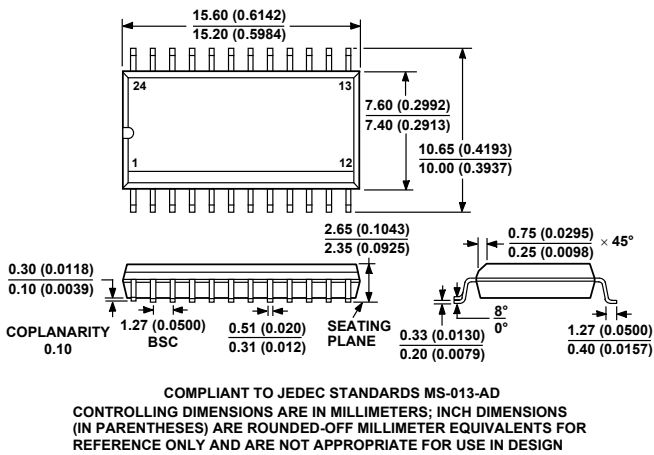


図63.24 ピン標準スモール・アウトライン・パッケージ [SOIC]
 ワイド・ボディ (R-24)
 寸法: mm (インチ)

オーダー・ガイド

Model ¹	Number of Channels	End-to-End R _{AB} (kΩ)	Temperature Range (°C)	Package Description	Package Option	Ordering Quantity	Branding Information
AD8400AR10	1	10	-40 to +125	8-Lead SOIC	R-8	98	AD8400A10
AD8400AR10-REEL	1	10	-40 to +125	8-Lead SOIC	R-8	2,500	AD8400A10
AD8400ARZ10 ²	1	10	-40 to +125	8-Lead SOIC	R-8	98	AD8400A10
AD8400ARZ10-REEL ²	1	10	-40 to +125	8-Lead SOIC	R-8	2,500	AD8400A10
AD8400AR50	1	50	-40 to +125	8-Lead SOIC	R-8	98	AD8400A50
AD8400AR50-REEL	1	50	-40 to +125	8-Lead SOIC	R-8	2,500	AD8400A50
AD8400ARZ50 ²	1	50	-40 to +125	8-Lead SOIC	R-8	98	AD8400A50
AD8400ARZ50-REEL ²	1	50	-40 to +125	8-Lead SOIC	R-8	2,500	AD8400A50
AD8400AR100	1	100	-40 to +125	8-Lead SOIC	R-8	98	AD8400AC
AD8400AR100-REEL	1	100	-40 to +125	8-Lead SOIC	R-8	2,500	AD8400AC
AD8400ARZ100 ²	1	100	-40 to +125	8-Lead SOIC	R-8	98	AD8400AC
AD8400ARZ100-REEL ²	1	100	-40 to +125	8-Lead SOIC	R-8	2,500	AD8400AC
AD8400AR1	1	1	-40 to +125	8-Lead SOIC	R-8	98	AD8400A1
AD8400AR1-REEL	1	1	-40 to +125	8-Lead SOIC	R-8	2,500	AD8400A1
AD8400ARZ1 ²	1	1	-40 to +125	8-Lead SOIC	R-8	98	AD8400A1
AD8400ARZ1-REEL ²	1	1	-40 to +125	8-Lead SOIC	R-8	2,500	AD8400A1
AD8402AN10	2	10	-40 to +125	14-Lead PDIP	N-14	25	AD8402A10
AD8402AR10	2	10	-40 to +125	14-Lead SOIC	R-14	56	AD8402A10
AD8402AR10-REEL	2	10	-40 to +125	14-Lead SOIC	R-14	2,500	AD8402A10
AD8402ARU10	2	10	-40 to +125	14-Lead TSSOP	RU-14	96	8402A10
AD8402ARU10-REEL	2	10	-40 to +125	14-Lead TSSOP	RU-14	2,500	8402A10
AD8402ARUZ10 ²	2	10	-40 to +125	14-Lead TSSOP	RU-14	96	8402A10
AD8402ARUZ10-REEL ²	2	10	-40 to +125	14-Lead TSSOP	RU-14	2,500	8402A10
AD8402ARZ10 ²	2	10	-40 to +125	14-Lead SOIC	R-14	96	AD8402A10
AD8402ARZ10-REEL ²	2	10	-40 to +125	14-Lead SOIC	R-14	2,500	AD8402A10
AD8402AR50	2	50	-40 to +125	14-Lead SOIC	R-14	56	AD8402A50
AD8402AR50-REEL	2	50	-40 to +125	14-Lead SOIC	R-14	2,500	AD8402A50
AD8402ARU50	2	50	-40 to +125	14-Lead TSSOP	RU-14	96	8402A50
AD8402ARU50-REEL	2	50	-40 to +125	14-Lead TSSOP	RU-14	2,500	8402A50
AD8402ARUZ50 ²	2	50	-40 to +125	14-Lead TSSOP	RU-14	96	8402A50
AD8402ARUZ50-REEL ²	2	50	-40 to +125	14-Lead TSSOP	RU-14	2,500	8402A50
AD8402ARZ50 ²	2	50	-40 to +125	14-Lead SOIC	R-14	96	AD8402A50
AD8402ARZ50-REEL ²	2	50	-40 to +125	14-Lead SOIC	R-14	2,500	AD8402A50
AD8402AR100	2	100	-40 to +125	14-Lead SOIC	R-14	56	AD8402AC
AD8402AR100-REEL	2	100	-40 to +125	14-Lead SOIC	R-14	2,500	AD8402AC
AD8402ARU100	2	100	-40 to +125	14-Lead TSSOP	RU-14	96	8402A-C
AD8402ARU100-REEL	2	100	-40 to +125	14-Lead TSSOP	RU-14	2,500	8402A-C
AD8402ARUZ100 ²	2	100	-40 to +125	14-Lead TSSOP	RU-14	96	8402A-C
AD8402ARUZ100-REEL ²	2	100	-40 to +125	14-Lead TSSOP	RU-14	2,500	8402A-C
AD8402ARZ100 ²	2	100	-40 to +125	14-Lead SOIC	R-14	96	AD8402AC
AD8402ARZ100-REEL ²	2	100	-40 to +125	14-Lead SOIC	R-14	2,500	AD8402AC
AD8402AR1	2	1	-40 to +125	14-Lead SOIC	R-14	56	AD8402A1
AD8402AR1-REEL	2	1	-40 to +125	14-Lead SOIC	R-14	2,500	AD8402A1
AD8402ARU1	2	1	-40 to +125	14-Lead TSSOP	RU-14	96	8402A1
AD8402ARU1-REEL	2	1	-40 to +125	14-Lead TSSOP	RU-14	2,500	8402A1
AD8402ARUZ1 ²	2	1	-40 to +125	14-Lead TSSOP	RU-14		AD8402A1
AD8402ARUZ1-REEL ²	2	1	-40 to +125	14-Lead TSSOP	RU-14	2,500	AD8402A1
AD8402ARZ1 ²	2	1	-40 to +125	14-Lead SOIC	R14		AD8402A1
AD8402ARZ1-REEL ²	2	1	-40 to +125	14-Lead SOIC	R-14	2,500	AD8402A1

AD8400/AD8402/AD8403

Model ¹	Number of Channels	End-to-End R _{AB} (kΩ)	Temperature Range (°C)	Package Description	Package Option	Ordering Quantity	Branding Information
AD8403AN10	4	10	-40 to +125	24-Lead PDIP	N-24-1	15	AD8403A10
AD8403AR10	4	10	-40 to +125	24-Lead SOIC	R-24	31	AD8403A10
AD8403AR10-REEL	4	10	-40 to +125	24-Lead SOIC	R-24	1,000	AD8403A10
AD8403ARU10	4	10	-40 to +125	24-Lead TSSOP	RU-24	63	8403A10
AD8403ARU10-REEL	4	10	-40 to +125	24-Lead TSSOP	RU-24	2,500	8403A10
AD8403ARUZ10 ²	4	10	-40 to +125	24-Lead TSSOP	RU-24	63	8403A10
AD8403ARUZ10-REEL ²	4	10	-40 to +125	24-Lead TSSOP	RU-24	2,500	8403A10
AD8403ARZ10 ²	4	10	-40 to +125	24-Lead SOIC	R-24	63	AD8403A10
AD8403ARZ10-REEL ²	4	10	-40 to +125	24-Lead SOIC	R-24	2,500	AD8403A10
AD8403AN50	4	50	-40 to +125	24-Lead PDIP	N-24-1	15	AD8403A50
AD8403AR50	4	50	-40 to +125	24-Lead SOIC	R-24	31	AD8403A50
AD8403AR50-REEL	4	50	-40 to +125	24-Lead SOIC	R-24	1,000	AD8403A50
AD8403ARU50	4	50	-40 to +125	24-Lead TSSOP	RU-24	63	8403A50
AD8403ARUZ50 ²	4	50	-40 to +125	24-Lead TSSOP	RU-24	2,500	8403A50
AD8403ARZ50 ²	4	50	-40 to +125	24-Lead SOIC	R-24	63	AD8403A50
AD8403ARZ50-REEL ²	4	50	-40 to +125	24-Lead SOIC	R-24	2,500	AD8403A50
AD8403AR100	4	100	-40 to +125	24-Lead SOIC	R-24	31	AD8403A100
AD8403AR100-REEL	4	100	-40 to +125	24-Lead SOIC	R-24	1,000	AD8403A100
AD8403ARU100	4	100	-40 to +125	24-Lead TSSOP	RU-24	63	8403A100
AD8403ARU100-REEL	4	100	-40 to +125	24-Lead TSSOP	RU-24	2,500	8403A100
AD8403ARUZ100 ²	4	100	-40 to +125	24-Lead TSSOP	RU-24	63	8403A100
AD8403ARUZ100-REEL ²	4	100	-40 to +125	24-Lead TSSOP	RU-24	2,500	8403A100
AD8403ARZ100 ²	4	100	-40 to +125	24-Lead SOIC	R-24	63	AD8403A100
AD8403ARZ100-REEL ²	4	100	-40 to +125	24-Lead SOIC	R-24	2,500	AD8403A100
AD8403AR1	4	1	-40 to +125	24-Lead SOIC	R-24	31	AD8403A1
AD8403AR1-REEL	4	1	-40 to +125	24-Lead SOIC	R-24	1,000	AD8403A1
AD8403ARU1	4	1	-40 to +125	24-Lead TSSOP	RU-24	63	8403A1
AD8403ARU1-REEL	4	1	-40 to +125	24-Lead TSSOP	RU-24	2,500	8403A1
AD8403ARUZ1 ²	4	1	-40 to +125	24-Lead TSSOP	RU-24	63	8403A1
AD8403ARUZ1-REEL ²	4	1	-40 to +125	24-Lead TSSOP	RU-24	2,500	8403A1
AD8403ARZ1 ²	4	1	-40 to +125	24-Lead SOIC	R-24	63	AD8403A1
AD8403ARZ1-REEL ²	4	1	-40 to +125	24-Lead SOIC	R-24	2,500	AD8403A1
AD8403EVAL				Evaluation Board			

¹ 非鉛フリー製品のデート・コードは YWW または YYWW で表示され、鉛フリー製品のデート・コードは #YWW で表示されます。ここで、Y/YY は製造年、WW は週数です。例えば、2005 年の第 30 週に製造された非鉛フリー製品のデート・コードは 530 または 0530 に、鉛フリー製品のデート・コードは #530 に、それぞれなります。

² Z = 鉛フリー製品