



超低消費電力、低歪のフル差動 ADC ドライバ

データシート

ADA4940-1/ADA4940-2

特長

- 小信号帯域幅: 260 MHz
- 超低消費電力: 1.25mA
- 極めて低い高調波歪み
 - 50 kHz で -122 dB THD
 - 1 MHz で -96 dB THD
- 低入力電圧ノイズ: 3.9 nV/√Hz
- オフセット電圧: 最大 0.35 mV
- 平衡出力
- 0.1%へのセトリング・タイム: 34 ns
- レール to レール出力: $-V_S + 0.1 V \sim +V_S - 0.1 V$
- 調整可能な出力同相モード電圧
- 柔軟な電源: 3 V ~ 7 V (LFCSP)
- 消費電力を削減するディスエーブル・ピン
- ADA4940-1 は LFCSP または SOIC パッケージを採用

アプリケーション

- 低消費電力 PulSAR[®]/SAR ADC ドライバ
- シングルエンド/差動変換
- 差動バッファ
- ライン・ドライバ
- 医用画像処理
- 工業用プロセス制御
- ポータブル機器

概要

ADA4940-1/ADA4940-2 は、消費電力の非常に小さい低ノイズ低歪みのフル差動アンプです。これらのデバイスは、僅か 1.25 mA の静止電流、DC ~ 1 MHz で最大 16 ビットの分解能を持つ、低消費電力、高分解能、高性能の SAR およびシグマ・デルタ ($\Sigma\Delta$) A/D コンバータ (ADC) を駆動する最適な選択肢です。ADA4940-1/ ADA4940-2 の出力同相モード電圧は調整可能であるため、複数 ADC の入力同相モード電圧にマッチングさせることができます。内部同相モード帰還ループは優れた出力バランスを維持し、偶数次の高調波歪み積も抑圧します。

ADA4940-1/ADA4940-2 を使うと、4 本の抵抗からなるシンプルなお外付け帰還回路によりアンプのクロード・ループ・ゲインを決定できるため、差動ゲイン構成を容易に実現できます。ADA4940-1/ADA4940-2 はアナログ・デバイス SiGe 相補バイポーラ・プロセスにより製造されているため、非常に低レベルの歪み、かつ 3.9 nV/√Hz の小さな入力電圧ノイズを実現しています。ADA4940-1/ADA4940-2 は低い DC オフセットと優れたダイナミック性能を持つため、様々なデータ・アキュイジション・アプリケーションや信号処理アプリケーションに適しています。

機能ブロック図

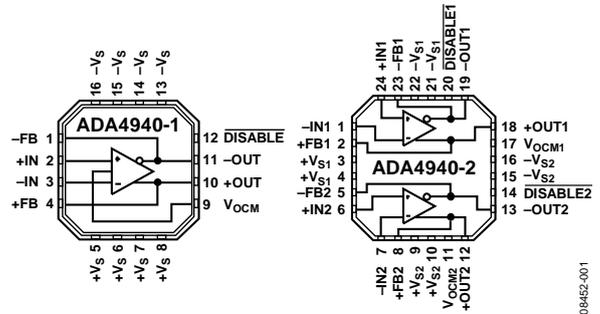


図 1.

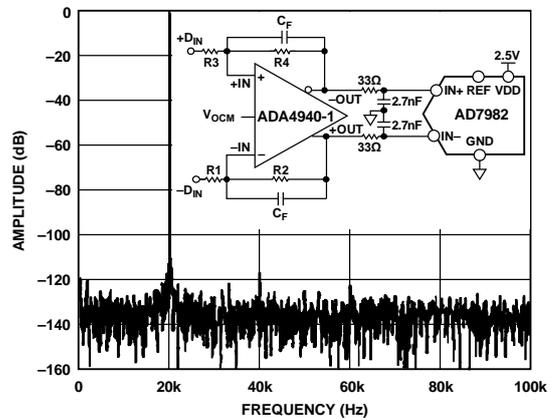


図 2. AD7982 ADC を駆動する ADA4940-1

ADA4940-1 は鉛フリーの 3 mm × 3 mm 16 ピン LFCSP、または 8 ピン SOIC を採用しています。ADA4940-2 は鉛フリーの 4 mm × 4 mm 24 ピン LFCSP を採用しています。ピン配置は、PCB レイアウトと低歪み向けに最適化されています。ADA4940-1/ADA4940-2 の動作仕様は、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の温度範囲で規定されています。

表 1. ADA4940-1/ADA4940-2 と類似の製品

Product	I _{supply} (mA)	Bandwidth (MHz)	Slew Rate (V/μs)	Noise (nV/√Hz)
AD8137	3	110	450	8.25
ADA4932-x	9	560	2800	3.6
ADA4941-1	2.2	31	22	5.1

表 2. ADA4940-1/ADA4940-2 と相補の製品

Product	Power (mW)	Throughput (MSPS)	Resolution (Bits)	SNR (dB)
AD7982	7.0	1	18	98
AD7984	10.5	1.333	18	96.5
AD7621	65	3	16	88
AD7623	45	1.333	16	88

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2011–2012 Analog Devices, Inc. All rights reserved.

Rev. B

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	アプリケーション情報	22
アプリケーション	1	アプリケーション回路の解析	22
概要	1	クローズド・ループ・ゲインの設定	22
機能ブロック図	1	出力ノイズ電圧の計算	22
改訂履歴	2	帰還回路でのミスマッチの影響	23
仕様	3	アプリケーション回路入力インピーダンスの計算	23
VS = 5 V	3	入力同相モード電圧範囲	24
VS = 3 V	5	入力と出力の容量 AC 結合	25
絶対最大定格	7	出力同相モード電圧の設定	25
熱抵抗	7	DISABLE ピン	25
最大消費電力	7	容量負荷の駆動	25
ESD の注意	7	高精度 ADC の駆動	26
ピン配置およびピン機能説明	8	レアウト、グラウンド接続、バイパス	27
代表的な性能特性	10	ADA4940-1 LFCSP の例	27
テスト回路	19	外形寸法	28
用語	20	オーダー・ガイド	29
用語の定義	20		
動作原理	21		

改訂履歴

3/12—Rev. A to Rev. B	
Reorganized Layout	Universal
Added ADA4940-1 8-Lead SOIC Package	Universal
Changes to Features Section, Table 1, and Figure 1; Replaced Figure 2	1
Changed $V_S = \pm 2$ V (or +5 V) Section to $V_S = +5$ V Section	3
Changes to $V_S = +5$ V Section and Table 3	3
Changes to Table 4 and Table 5	4
Changes to $V_S = 3$ V Section and Table 6	5
Changes to Table 7 and Table 8	6
Added Figure 5 and Table 12, Renumbered Sequentially	9
Changes to Figure 7, Figure 8, and Figure 9	10
Added Figure 15 and Figure 18; Changes to Figure 13, Figure 14, and Figure 16	11
Changes to Figure 19 and Figure 20	12
Changes to Figure 25, Figure 26, and Figure 27; Added Figure 28, Figure 29, and Figure 30	13
Changes to Figure 31, Figure 32, Figure 33, Figure 34, Figure 35, and Figure 36	14
Changes to Figure 37, Figure 38, Figure 39, and Figure 41	15
Changes to Figure 49, Figure 50, and Figure 51	17
Added Figure 55 and Figure 57	18
Changes to Differential V_{OS} , Differential CMRR, and V_{OCM} CMRR Section	20
Changes to Calculating the Input Impedance of an Application Circuit Section	23
Changes to Figure 71	25
Changes to Driving a High Precision ADC Section and Figure 73	26
Changed ADA4940-1 Example Section to ADA4940-1 LFCSP Example Section	27
Changes to Ordering Guide	29
12/11—Rev. 0 to Rev. A	
Changes to Features Section, General Description Section, Table 1	1
Replaced Figure 1 and Figure 2	1
Changes to $V_S = \pm 2.5$ V (or +5 V) Section and Table 3	3
Changes to Table 6	5
Replaced Figure 7, Figure 8, Figure 9, and Figure 10	9
Replaced Figure 14, Figure 15, and Figure 17	10
Replaced Figure 24 and Figure 27	12
Changes to Figure 37	14
Replaced Figure 43 and Figure 46	15
Replaced Figure 53	18
Changes to Estimating the Output Noise Voltage Section, Table 14, Table 15, and Calculating the Input Impedance of an Application Circuit Section	21
Changes to Input Common-Mode Voltage Range Section	22
Changes to Driving a High Precision ADC Section and Figure 65	24
10/11—Revision 0: Initial Version	

仕様

VS = 5 V

特に指定がない限り、 V_{OCM} = 電源中心、 $R_F = R_G = 1\text{ k}\Omega$ 、 $R_{L, dm} = 1\text{ k}\Omega$ 、 $T_A = 25^\circ\text{C}$ 、LFCSP パッケージ。 $T_{MIN} \sim T_{MAX} = -40^\circ\text{C} \sim +125^\circ\text{C}$ (用語の定義については図 61 参照)。

+D_{IN} または -D_{IN} から V_{OUT, dm} までの性能

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	$V_{OUT, dm} = 0.1\text{ V p-p}$, $G = 1$		260		MHz
	$V_{OUT, dm} = 0.1\text{ V p-p}$, $G = 2$		220		MHz
	$V_{OUT, dm} = 0.1\text{ V p-p}$, $G = 5$		75		MHz
-3 dB Large Signal Bandwidth	$V_{OUT, dm} = 2\text{ V p-p}$, $G = 1$		25		MHz
	$V_{OUT, dm} = 2\text{ V p-p}$, $G = 2$		22		MHz
	$V_{OUT, dm} = 2\text{ V p-p}$, $G = 5$		19		MHz
Bandwidth for 0.1 dB Flatness	$V_{OUT, dm} = 2\text{ V p-p}$, $G = 1$ and $G = 2$		14.5		MHz
Slew Rate	$V_{OUT, dm} = 2\text{ V step}$		95		V/ μs
Settling Time to 0.1%	$V_{OUT, dm} = 2\text{ V step}$		34		ns
Overdrive Recovery Time	$G = 2$, $V_{IN, dm} = 6\text{ V p-p}$, triangle wave		86		ns
NOISE/HARMONIC PERFORMANCE					
HD2/HD3	$V_{OUT, dm} = 2\text{ V p-p}$, $f_c = 10\text{ kHz}$		-125/-118		dBc
	$V_{OUT, dm} = 2\text{ V p-p}$, $f_c = 50\text{ kHz}$		-123/-126		dBc
	$V_{OUT, dm} = 2\text{ V p-p}$, $f_c = 50\text{ kHz}$, $G = 2$		-124/-117		dBc
	$V_{OUT, dm} = 2\text{ V p-p}$, $f_c = 1\text{ MHz}$		-102/-96		dBc
	$V_{OUT, dm} = 2\text{ V p-p}$, $f_c = 1\text{ MHz}$, $G = 2$		-100/-92		dBc
	$V_{OUT, dm} = 2\text{ V p-p}$, $f_1 = 1.9\text{ MHz}$, $f_2 = 2.1\text{ MHz}$		-99		dBc
IMD3	$V_{OUT, dm} = 2\text{ V p-p}$, $f_1 = 1.9\text{ MHz}$, $f_2 = 2.1\text{ MHz}$		-99		dBc
Input Voltage Noise	$f = 100\text{ kHz}$		3.9		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\text{ kHz}$		0.81		pA/ $\sqrt{\text{Hz}}$
Crosstalk	$V_{OUT, dm} = 2\text{ V p-p}$, $f_c = 1\text{ MHz}$		-110		dB
INPUT CHARACTERISTICS					
Input Offset Voltage	$V_{IP} = V_{IN} = V_{OCM} = 0\text{ V}$	-0.35	± 0.06	+0.35	mV
Input Offset Voltage Drift	T_{MIN} to T_{MAX}		1.2		$\mu\text{V}/^\circ\text{C}$
Input Bias Current		-1.6	-1.1		μA
Input Bias Current Drift	T_{MIN} to T_{MAX}		-4.5		nA/ $^\circ\text{C}$
Input Offset Current		-500	± 50	+500	nA
Input Common-Mode Voltage Range			$-V_S - 0.2$ to $+V_S - 1.2$		V
Input Resistance	Differential		33		k Ω
	Common mode		50		M Ω
Input Capacitance			1		pF
Common-Mode Rejection Ratio (CMRR)	$\Delta V_{OS, dm}/\Delta V_{IN, cm}$, $\Delta V_{IN, cm} = \pm 1\text{ V dc}$	86	119		dB
Open-Loop Gain		91	99		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Each single-ended output	$-V_S + 0.1$ to $+V_S - 0.1$	$-V_S + 0.07$ to $+V_S - 0.07$		V
Linear Output Current	$f = 1\text{ MHz}$, $R_{L, dm} = 22\text{ }\Omega$, SFDR = -60 dBc		46		mA peak
Output Balance Error	$f = 1\text{ MHz}$, $\Delta V_{OUT, cm}/\Delta V_{OUT, dm}$		-65	-60	dB

V_{OCM}—V_{OUT, cm}間の性能

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V_{OCM} DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	V _{OUT, cm} = 0.1 V p-p		36		MHz
-3 dB Large Signal Bandwidth	V _{OUT, cm} = 1 V p-p		29		MHz
Slew Rate	V _{OUT, cm} = 1 V p-p		52		V/μs
Input Voltage Noise	f = 100 kHz		83		nV/√Hz
Gain	ΔV _{OUT, cm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V	0.99	1	1.01	V/V
V_{OCM} CHARACTERISTICS					
Input Common-Mode Voltage Range			-V _S + 0.8 to +V _S - 0.7		V
Input Resistance			250		kΩ
Offset Voltage	V _{OS, cm} = V _{OUT, cm} - V _{OCM} ; V _{IP} = V _{IN} = V _{OCM} = 0 V	-6	±1	+6	mV
Input Offset Voltage Drift	T _{MIN} to T _{MAX}		20		μV/°C
Input Bias Current		-7	+4	+7	μA
CMRR	ΔV _{OS, dm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V	86	100		dB

全体性能

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY					
Operating Range	LFCSP	3		7	V
	SOIC	3		6	V
Quiescent Current per Amplifier	Enabled	1.05	1.25	1.38	mA
Quiescent Current Drift	T _{MIN} to T _{MAX}		4.25		μA/°C
	Disabled		13.5	28.5	μA
+PSRR	ΔV _{OS, dm} /ΔV _S , ΔV _S = 1 V p-p	80	90		dB
-PSRR	ΔV _{OS, dm} /ΔV _S , ΔV _S = 1 V p-p	80	96		dB
DISABLE (DISABLE PIN)					
DISABLE Input Voltage	Disabled		≤(-V _S + 1)		V
	Enabled		≥(-V _S + 1.8)		V
Turn-Off Time			10		μs
Turn-On Time			0.6		μs
DISABLE Pin Bias Current per Amplifier					
Enabled	DISABLE = +2.5 V		2	5	μA
Disabled	DISABLE = -2.5 V	-10	-5		μA
OPERATING TEMPERATURE RANGE					
		-40		+125	°C

VS = 3 V

特に指定がない限り、 V_{OCM} = 電源中心、 $R_F = R_G = 1\text{ k}\Omega$ 、 $R_{L, dm} = 1\text{ k}\Omega$ 、 $T_A = 25^\circ\text{C}$ 、LFCSP パッケージ。 $T_{MIN} \sim T_{MAX} = -40^\circ\text{C} \sim +125^\circ\text{C}$ (用語の定義については図 61 参照)。

+D_{IN} または -D_{IN} から V_{OUT, dm} までの性能

表 6.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	$V_{OUT, dm} = 0.1\text{ V p-p}$		240		MHz
	$V_{OUT, dm} = 0.1\text{ V p-p}, G = 2$		200		MHz
	$V_{OUT, dm} = 0.1\text{ V p-p}, G = 5$		70		MHz
-3 dB Large Signal Bandwidth	$V_{OUT, dm} = 2\text{ V p-p}$		24		MHz
	$V_{OUT, dm} = 2\text{ V p-p}, G = 2$		20		MHz
	$V_{OUT, dm} = 2\text{ V p-p}, G = 5$		17		MHz
Bandwidth for 0.1 dB Flatness	$V_{OUT, dm} = 0.1\text{ V p-p}$		14		MHz
Slew Rate	$V_{OUT, dm} = 2\text{ V step}$		90		V/ μs
Settling Time to 0.1%	$V_{OUT, dm} = 2\text{ V step}$		37		ns
Overdrive Recovery Time	$G = 2, V_{IN, dm} = 3.6\text{ V p-p, triangle wave}$		85		ns
NOISE/HARMONIC PERFORMANCE					
HD2/HD3	$V_{OUT, dm} = 2\text{ V p-p}, f_C = 50\text{ kHz (HD2/HD3)}$		-115/-121		dBc
	$V_{OUT, dm} = 2\text{ V p-p}, f_C = 1\text{ MHz (HD2/HD3)}$		-104/-96		dBc
IMD3	$V_{OUT, dm} = 2\text{ V p-p}, f_1 = 1.9\text{ MHz}, f_2 = 2.1\text{ MHz}$		-98		dBc
Input Voltage Noise	$f = 100\text{ kHz}$		3.9		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\text{ kHz}$		0.84		pA/ $\sqrt{\text{Hz}}$
Crosstalk	$V_{OUT, dm} = 2\text{ V p-p}, f_C = 1\text{ MHz}$		-110		dB
INPUT CHARACTERISTICS					
Input Offset Voltage	$V_{IP} = V_{IN} = V_{OCM} = 1.5\text{ V}$	-0.4	± 0.06	+0.4	mV
Input Offset Voltage Drift	T_{MIN} to T_{MAX}		1.2		$\mu\text{V}/^\circ\text{C}$
Input Bias Current		-1.6	-1.1		μA
Input Bias Current Drift	T_{MIN} to T_{MAX}		-4.5		nA/ $^\circ\text{C}$
Input Offset Current		-500	± 50	+500	nA
Input Common-Mode Voltage Range			$-V_S - 0.2$ to $+V_S - 1.2$		V
Input Resistance	Differential		33		k Ω
	Common mode		50		M Ω
Input Capacitance			1		pF
Common-Mode Rejection Ratio (CMRR)	$\Delta V_{OS, dm}/\Delta V_{IN, cm}, \Delta V_{IN, cm} = \pm 0.25\text{ V dc}$	86	114		dB
Open-Loop Gain		91	99		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Each single-ended output	$-V_S + 0.08$ to $+V_S - 0.08$	$-V_S + 0.04$ to $+V_S - 0.04$		V
Linear Output Current	$f = 1\text{ MHz}, R_{L, dm} = 26\ \Omega, \text{SFDR} = -60\text{ dBc}$		38		mA peak
Output Balance Error	$f = 1\text{ MHz}, \Delta V_{OUT, cm}/\Delta V_{OUT, dm}$		-65	-60	dB

V_{OCM}—V_{OUT, cm}間の性能

表 7.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V_{OCM} DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	V _{OUT, cm} = 0.1 V p-p		36		MHz
-3 dB Large Signal Bandwidth	V _{OUT, cm} = 1 V p-p		26		MHz
Slew Rate	V _{OUT, cm} = 1 V p-p		48		V/μs
Input Voltage Noise	f = 100 kHz		92		nV/√Hz
Gain	ΔV _{OUT, cm} /ΔV _{OCM} , ΔV _{OCM} = ±0.25 V	0.99	1	1.01	V/V
V_{OCM} CHARACTERISTICS					
Input Common-Mode Voltage Range			-V _S + 0.8 to +V _S - 0.7		V
Input Resistance			250		kΩ
Offset Voltage	V _{OS, cm} = V _{OUT, cm} - V _{OCM} ; V _{IP} = V _{IN} = V _{OCM} = 1.5 V	-7	±1	+7	mV
Input Offset Voltage Drift	T _{MIN} to T _{MAX}		20		μV/°C
Input Bias Current		-5	+1	+5	μA
CMRR	ΔV _{OS, dm} /ΔV _{OCM} , ΔV _{OCM} = ±0.25 V	80	100		dB

全体性能

表 8.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY					
Operating Range	LFCSP	3		7	V
	SOIC	3		6	V
Quiescent Current per Amplifier	Enabled	1	1.18	1.33	mA
	T _{MIN} to T _{MAX}		4.25		μA/°C
	Disabled		7	22	μA
+PSRR	ΔV _{OS, dm} /ΔV _S , ΔV _S = 0.25 V p-p	80	90		dB
-PSRR	ΔV _{OS, dm} /ΔV _S , ΔV _S = 0.25 V p-p	80	96		dB
DISABLE (DISABLE PIN)					
DISABLE Input Voltage	Disabled		≤(-V _S + 1)		V
	Enabled		≥(-V _S + 1.8)		V
Turn-Off Time			16		μs
Turn-On Time			0.6		μs
DISABLE Pin Bias Current per Amplifier					
Enabled	DISABLE = +3 V		0.3	1	μA
Disabled	DISABLE = 0 V	-6	-3		μA
OPERATING TEMPERATURE RANGE					
		-40		+125	°C

絶対最大定格

表 9.

Parameter	Rating
Supply Voltage	8 V
V _{OCM}	±V _S
Differential Input Voltage	1.2 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C
ESD	
Field Induced Charged Device Model (FICDM)	1250 V
Human Body Model (HBM)	2000 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわちデバイスを自然空冷の回路ボードにハンダ付けした状態で θ_{JA} を規定。

表 10.

Package Type	θ_{JA}	Unit
8-Lead SOIC (Single)/4-Layer Board	158	°C/W
16-Lead LFCSP (Single)/4-Layer Board	91.3	°C/W
24-Lead LFCSP (Dual)/4-Layer Board	65.1	°C/W

最大消費電力

ADA4940-1/ ADA4940-2 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150 °C のガラス転移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4940-1/ADA4940-2 のパラメータ性能が永久的にシフトしてしまうことがあります。150 °C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止消費電力は、電源ピン($\pm V_S$)間の電圧に静止電流(I_S)を乗算して計算されます。負荷電流は、負荷に流れる差動モード電流と同相モード電流、および外部帰還回路と内部同相モード帰還ループを流れる電流から構成されます。同相モード帰還ループ内で使用される内部抵抗タップによる出力での差動負荷は無視できません。AC 信号を扱うときは、RMS 電圧と RMS 電流を考慮する必要があります。

空気流があると、 θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

図 3 に、8 ピン SOIC (θ_{JA} = 158°C/W、シングル)、16 ピン LFCSP (θ_{JA} = 91.3°C/W、シングル)、24 ピン LFCSP (θ_{JA} = 65.1°C/W、デュアル)の各パッケージを JEDEC 標準 4 層ボードに実装した場合のパッケージ内の安全な最大消費電力と周囲温度の関係を示します。 θ_{JA} 値は近似値です。

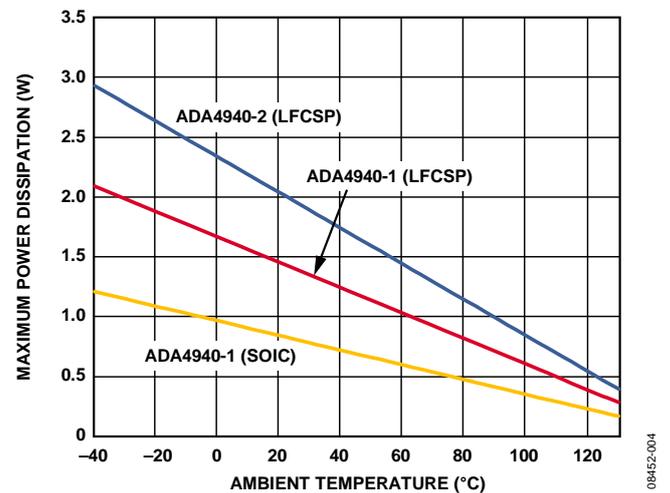


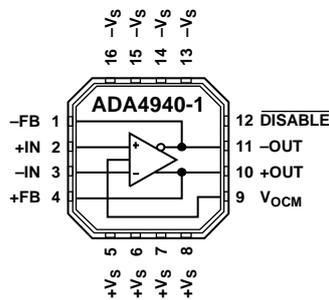
図 3. 周囲温度対安全な最大消費電力

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



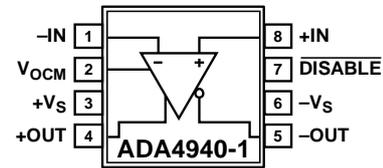
NOTES
1. CONNECT THE EXPOSED PAD TO $-V_S$ OR GROUND.

08462-101

図 4. ADA4940-1 のピン配置(16 ピン LFCSP)

表 11. ADA4940-1 のピン機能説明(16 ピン LFCSP)

ピン番号	記号	説明
1	-FB	帰還部品接続の負側出力
2	+IN	加算ノードへの正側入力
3	-IN	加算ノードへの負側入力
4	+FB	帰還部品接続の正側出力
5~8	+Vs	正電源電圧
9	V _{OCM}	同相モード電圧出力
10	+OUT	負荷を接続する正出力
11	-OUT	負荷を接続する負出力
12	DISABLE	ディスエーブル・ピン
13~16	-Vs	負電源電圧
	エクスポーズド・パッド (EPAD)	エクスポーズド・パッドは $-V_S$ またはグラウンドへ接続してください。

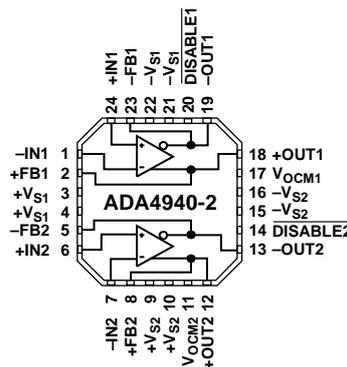


08462-003

図 5. ADA4940-1 のピン配置(SOIC)

表 12. ADA4940-1 のピン機能説明(8 ピン SOIC)

ピン番号	記号	説明
1	-IN	加算ノードへの負側入力
2	V _{OCM}	同相モード電圧出力
3	+Vs	正電源電圧
4	+OUT	負荷を接続する正出力
5	-OUT	負荷を接続する負出力
6	-Vs	負電源電圧。
7	DISABLE	ディスエーブル・ピン
8	+IN	加算ノードへの正側入力



NOTES
1. CONNECT THE EXPOSED PAD TO $-V_S$ OR GROUND.

08F452-102

図 6.ADA4940-2 のピン配置(24 ピン LFCSP)

表 13.ADA4940-2 のピン機能説明(24 ピン LFCSP)

ピン番号	記号	説明
1	-IN1	加算ノード 1 への負側入力
2	+FB1	正の出力帰還ピン 1
3、4	+V _{S1}	正電源電圧 1
5	-FB2	負の出力帰還ピン 2
6	+IN2	加算ノード 2 への正側入力
7	-IN2	加算ノード 2 への負側入力
8	+FB2	正の出力帰還ピン 2
9、10	+V _{S2}	正電源電圧 2
11	V _{OCM2}	出力同相モード電圧 2
12	+OUT2	正の出力 2
13	-OUT2	負の出力 2
14	DISABLE2	ディスエーブル・ピン 2
15、16	-V _{S2}	負の電源電圧 2
17	V _{OCM1}	出力同相モード電圧 1
18	+OUT1	正の出力 1
19	-OUT1	負の出力 1
20	DISABLE1	ディスエーブル・ピン 1
21、22	-V _{S1}	負の電源電圧 1
23	-FB1	負の出力帰還ピン 1
24	+IN1	加算ノード 1 への正側入力
	エクスポーズド・パッド (EPAD)	エクスポーズド・パッドは $-V_S$ またはグラウンドへ接続してください。

代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 2.5\text{ V}$ 、 $G = 1$ 、 $R_F = R_G = 1\text{ k}\Omega$ 、 $R_T = 52.3\ \Omega$ (使用時)、 $R_L = 1\text{ k}\Omega$ 。テスト回路については、図 59 と図 60 を参照。

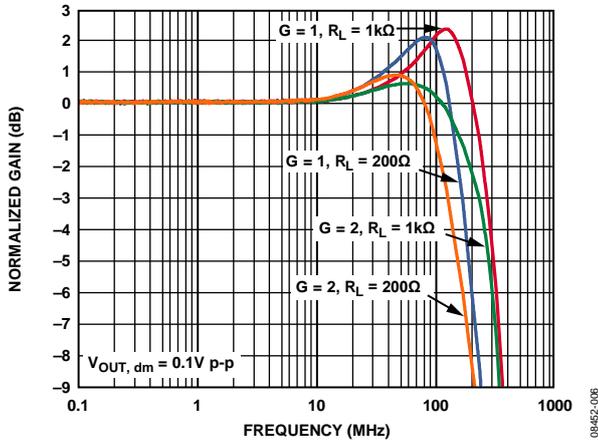


図 7.様々なゲインと負荷での小信号周波数応答(LFCSP)

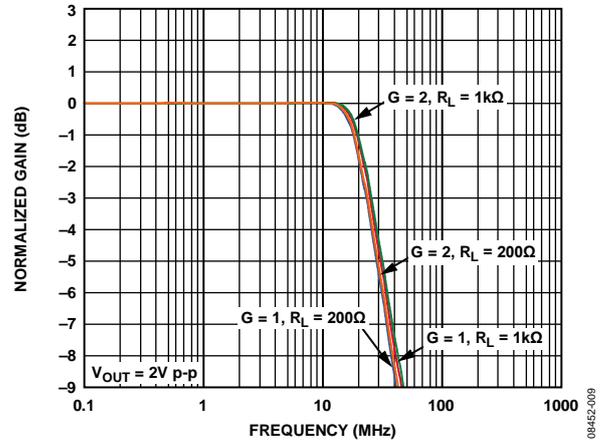


図 10.様々なゲインと負荷での大信号周波数応答

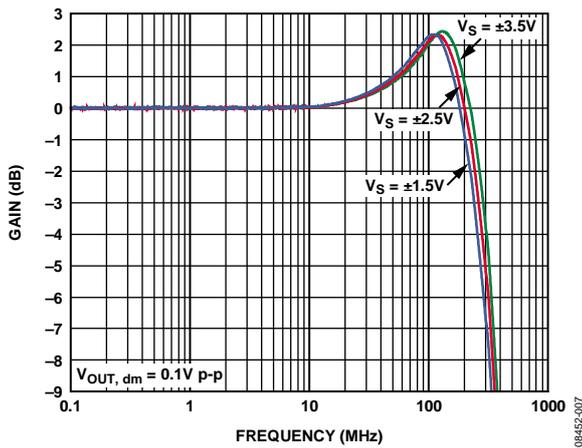


図 8.様々な電源での小信号周波数応答(LFCSP)

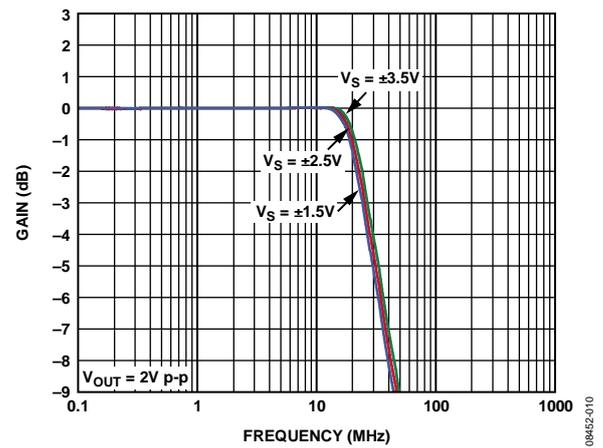


図 11.様々な電源での大信号周波数応答

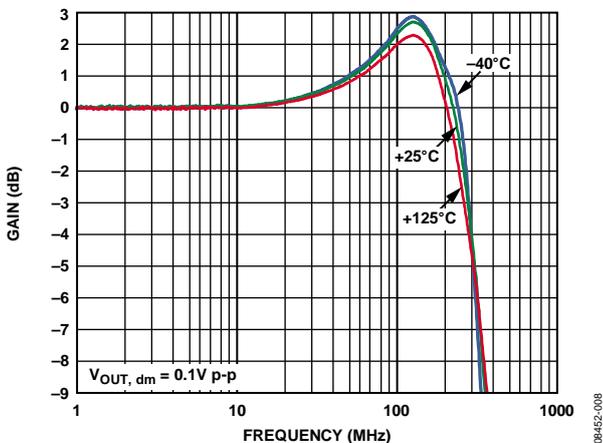


図 9.様々な温度での小信号周波数応答(LFCSP)

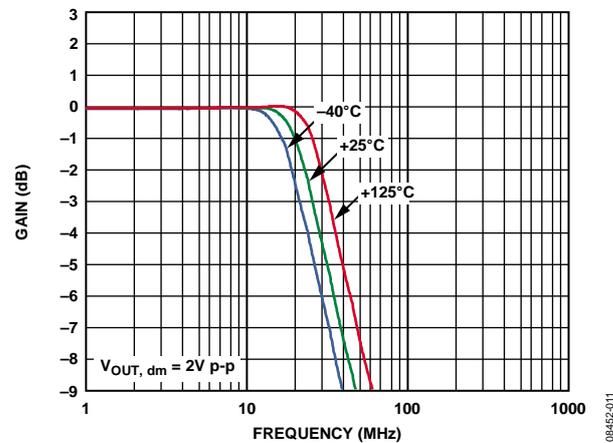


図 12.様々な温度での大信号周波数応答

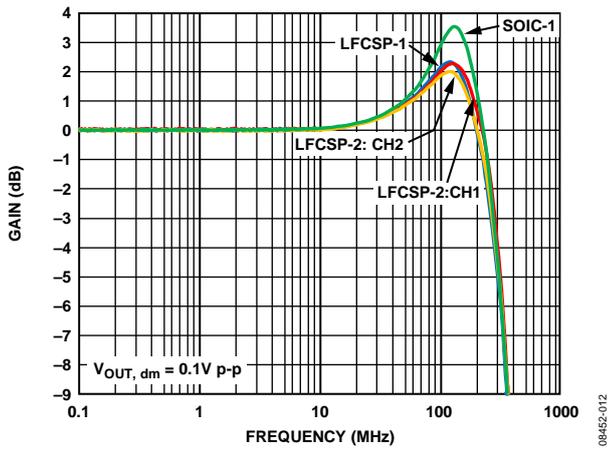


図 13.様々なパッケージでの小信号周波数応答

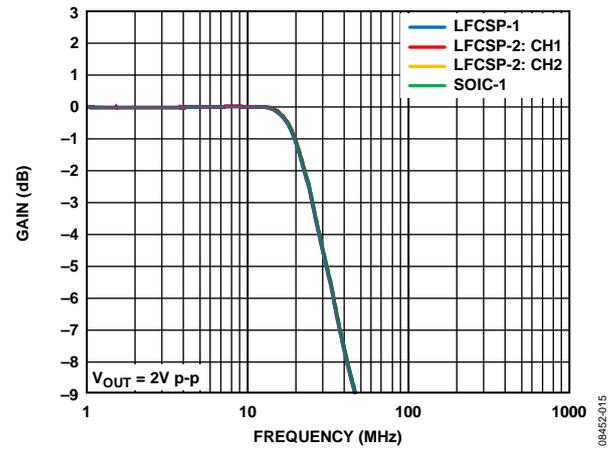


図 16.様々なパッケージでの大信号周波数応答

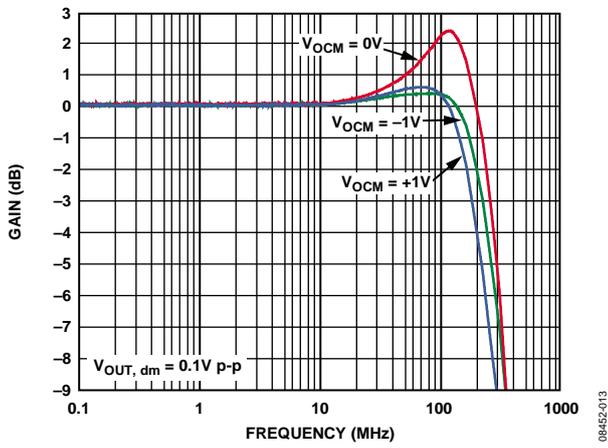


図 14.様々な V_{OCM} レベルでの小信号周波数応答 (LFCSP)

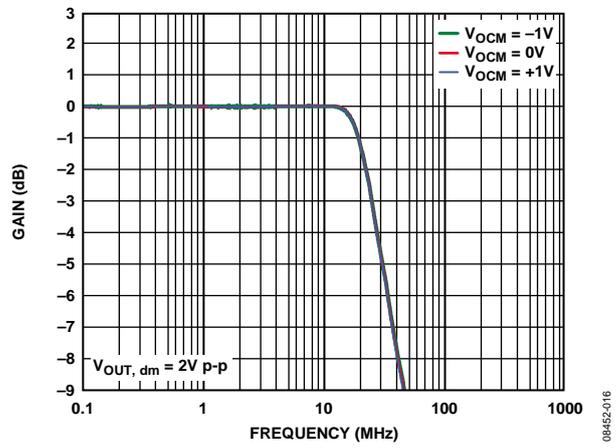


図 17.様々な V_{OCM} レベルでの大信号周波数応答

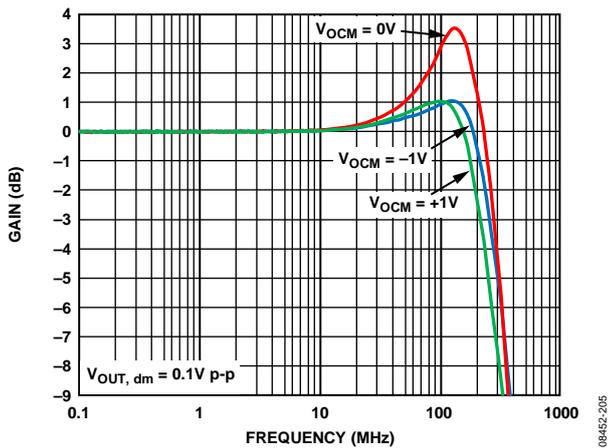


図 15.様々な V_{OCM} での小信号周波数応答 (SOIC)

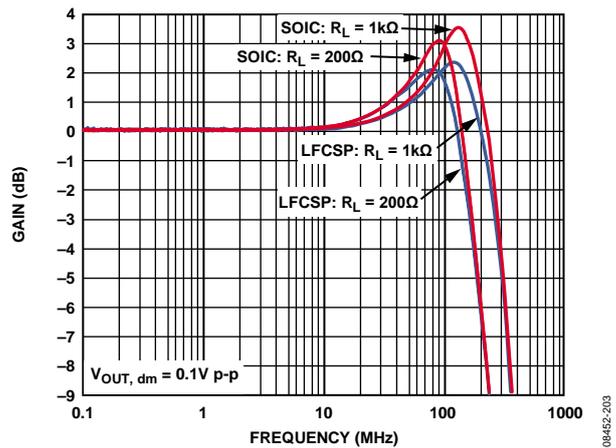


図 18.様々なパッケージと負荷での小信号周波数応答

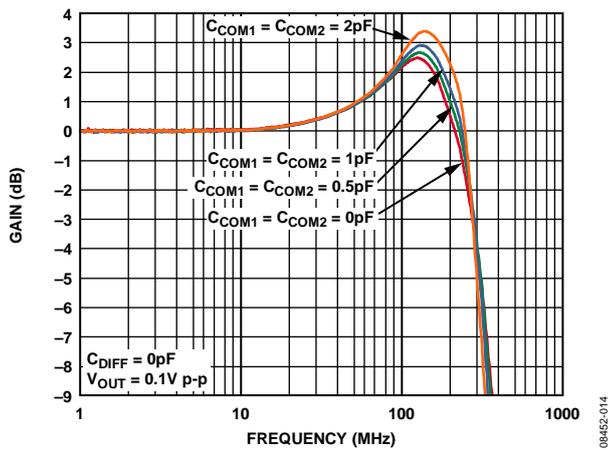


図 19.様々な容量負荷での小信号周波数応答(LFCSF)

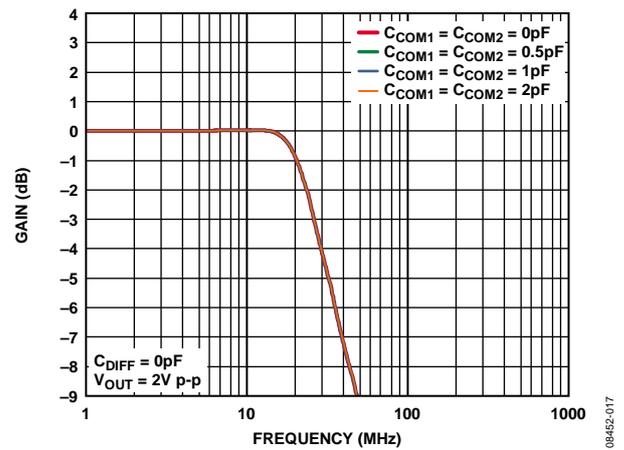


図 22.様々な容量負荷での大信号周波数応答

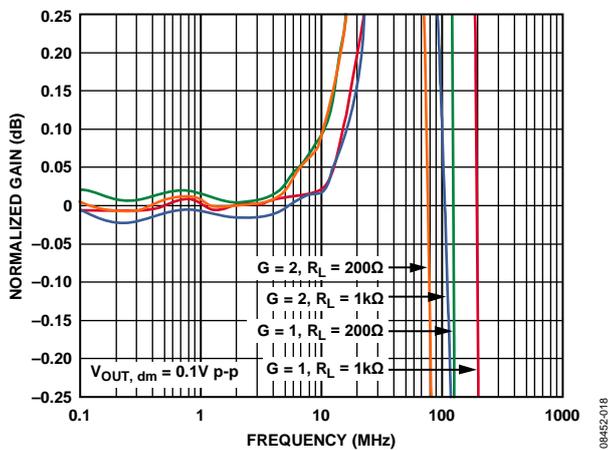


図 20.様々なゲインと負荷での 0.1 dB 平坦性小信号周波数応答 (LFCSF)

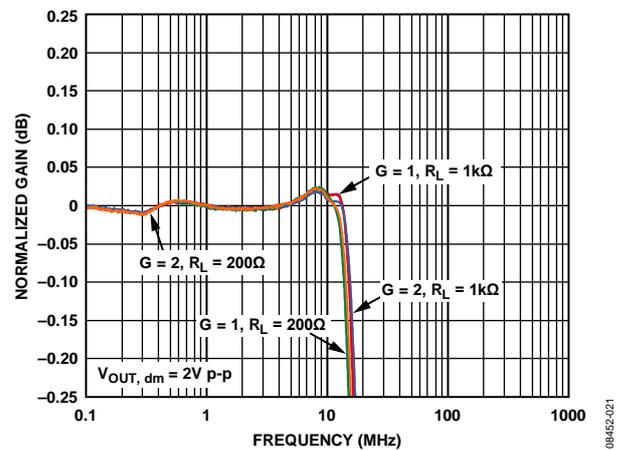


図 23.様々なゲインと負荷での 0.1 dB 平坦性大信号周波数応答

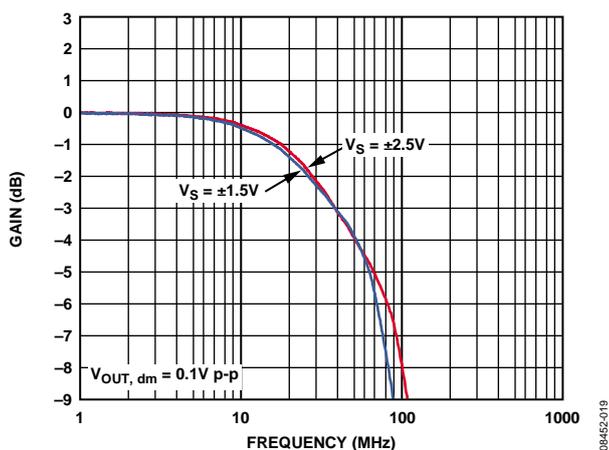


図 21.様々な電源での V_OCM 小信号周波数応答

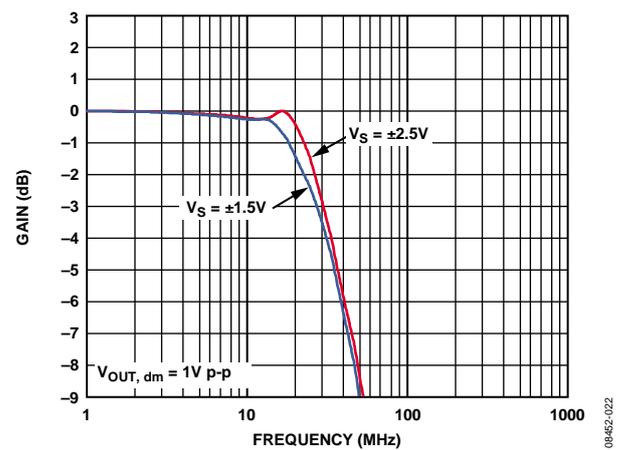


図 24.様々な電源での V_OCM 大信号周波数応答

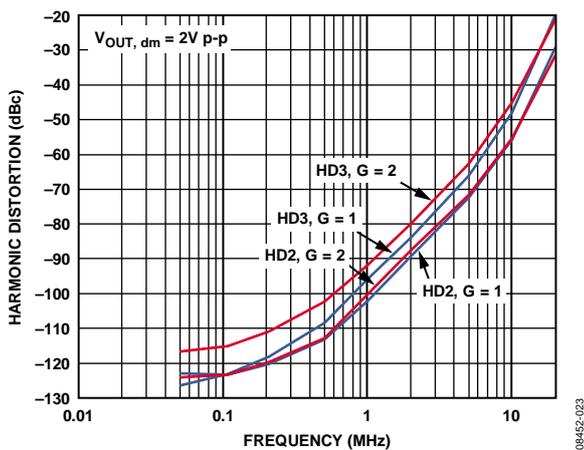


図 25. 様々なゲインでの高調波歪みの周波数特性 (LFCSP)

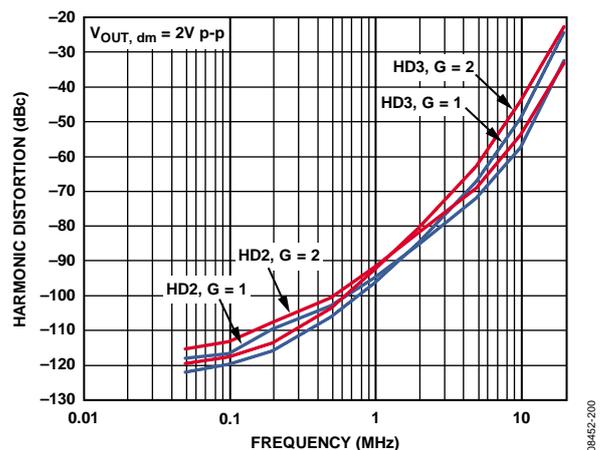


図 28. 様々なゲインでの高調波歪みの周波数特性 (SOIC)

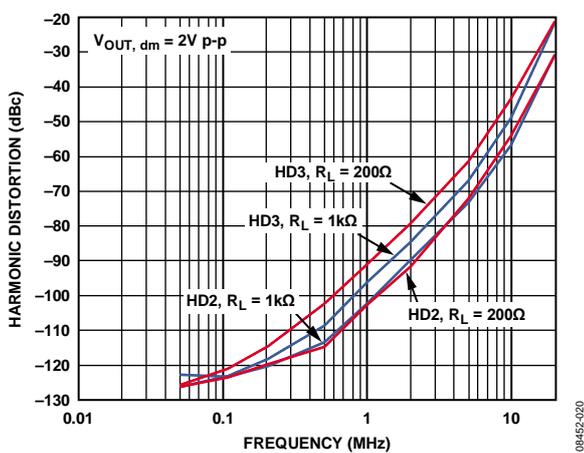


図 26. 様々な負荷での高調波歪みの周波数特性 (LFCSP)

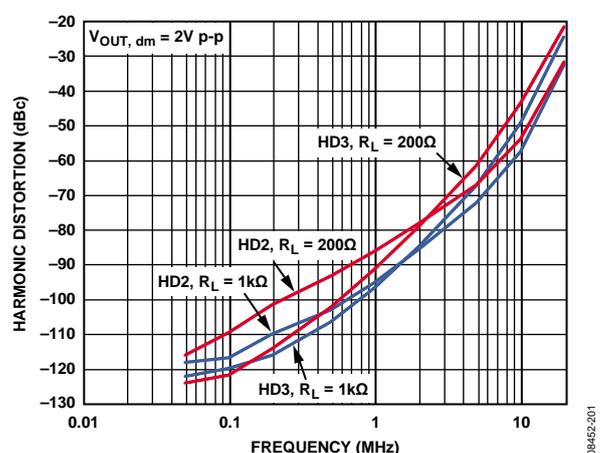


図 29. 様々な負荷での高調波歪みの周波数特性 (SOIC)

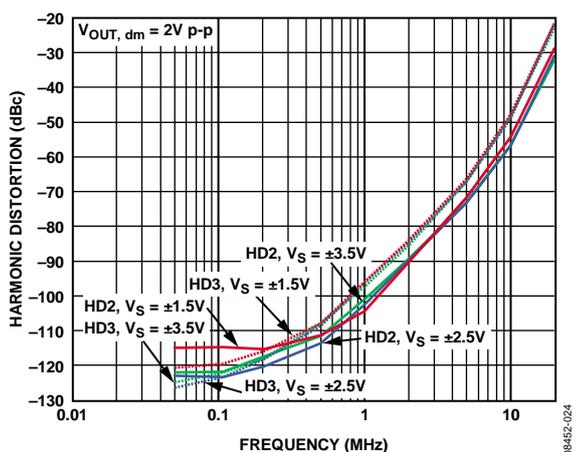


図 27. 様々な電源での高調波歪みの周波数特性 (LFCSP)

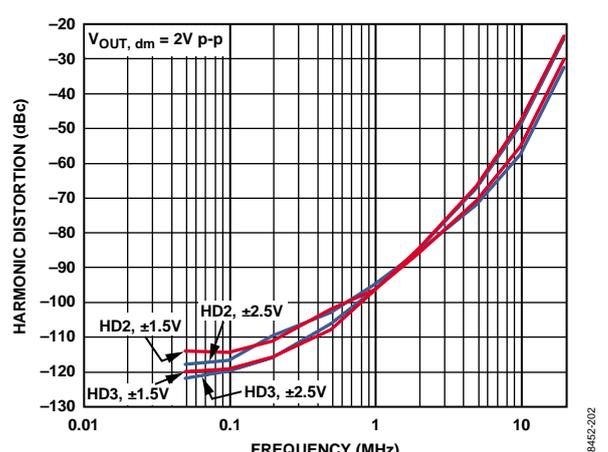


図 30. 様々な電源での高調波歪みの周波数特性 (SOIC)

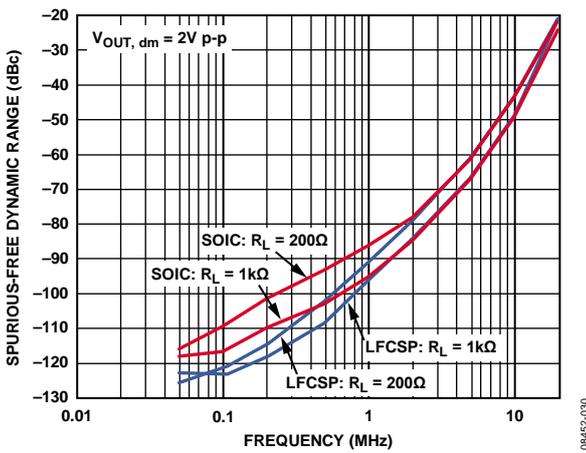


図 31. スプリアス・フリー・ダイナミックレンジの周波数特性、 $R_L = 200\Omega$ 、 $R_L = 1k\Omega$

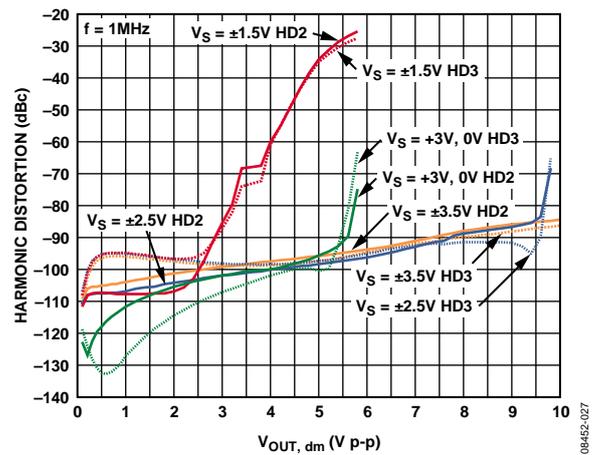


図 34. 様々な電源での $V_{OUT, dm}$ 対高調波歪み $f = 1\text{ MHz}$ (LFCSP)

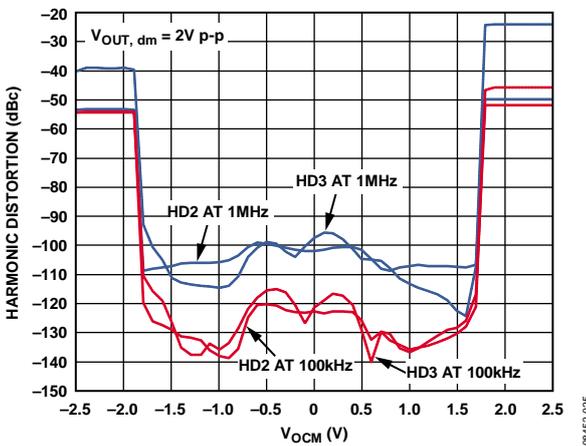


図 32. V_{OCM} 対高調波歪み 100 kHz、1 MHz、 $\pm 2.5\text{ V}$ 電源 (LFCSP)

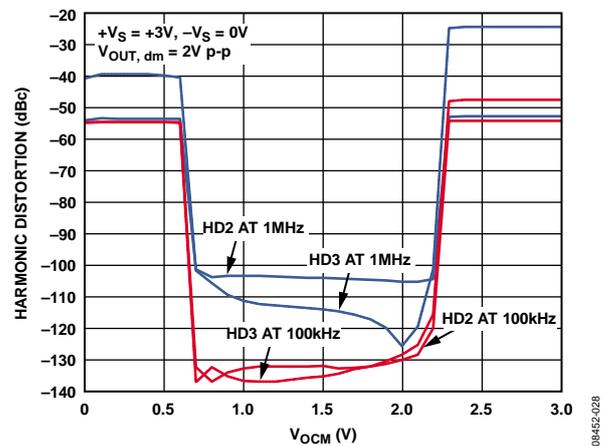


図 35. V_{OCM} 対高調波歪み 100 kHz、1 MHz、3 V 電源 (LFCSP)

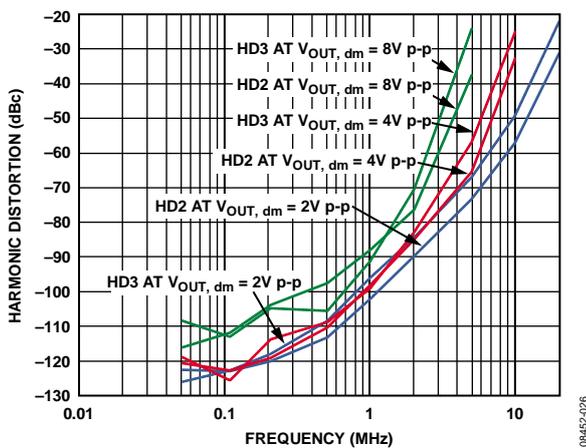


図 33. 様々な $V_{OUT, dm}$ での高調波歪みの周波数特性 (LFCSP)

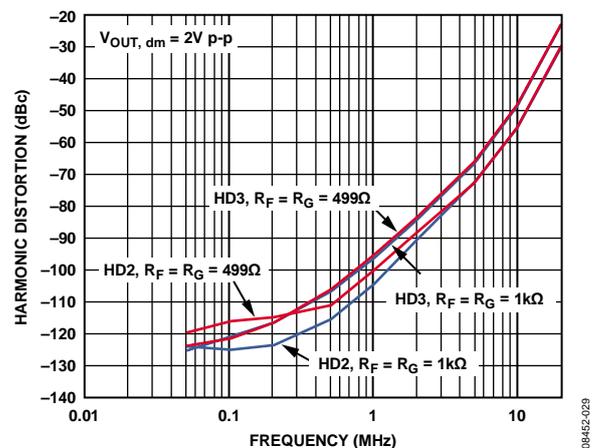


図 36. 様々な R_F と R_G での高調波歪みの周波数特性 (LFCSP)

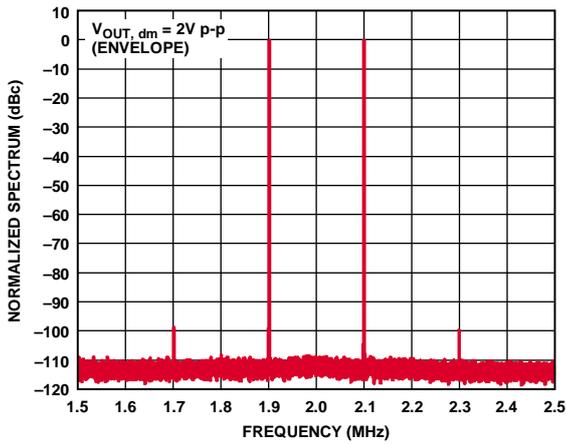


図 37. 2 MHz 相互変調歪み(LFCSP)

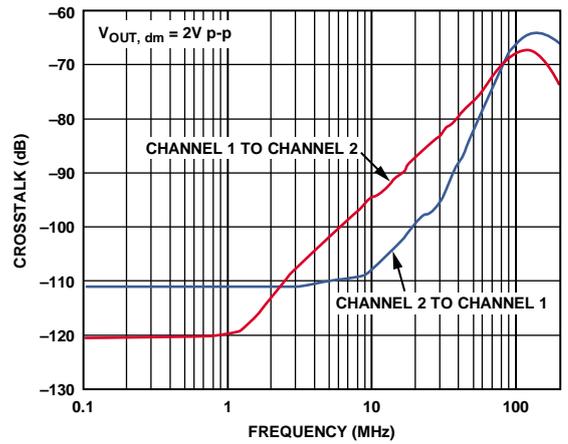


図 40. クロストークの周波数特性、ADA4940-2

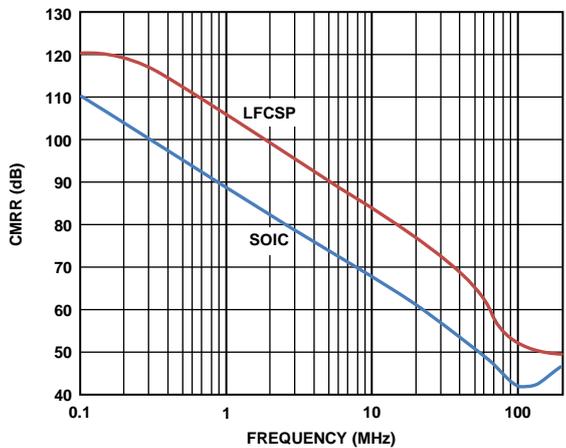


図 38. CMRR の周波数特性

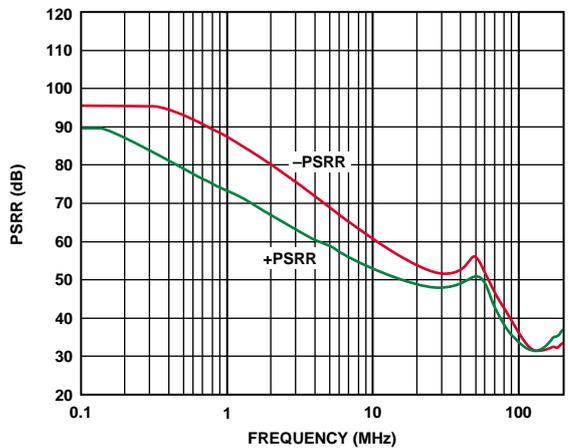


図 41. PSRR の周波数特性

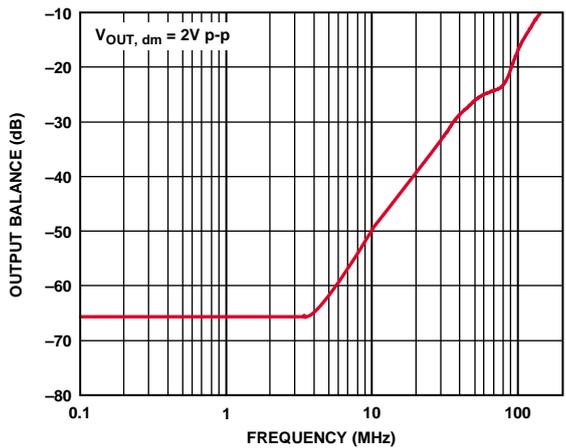


図 39. 出力バランスの周波数特性

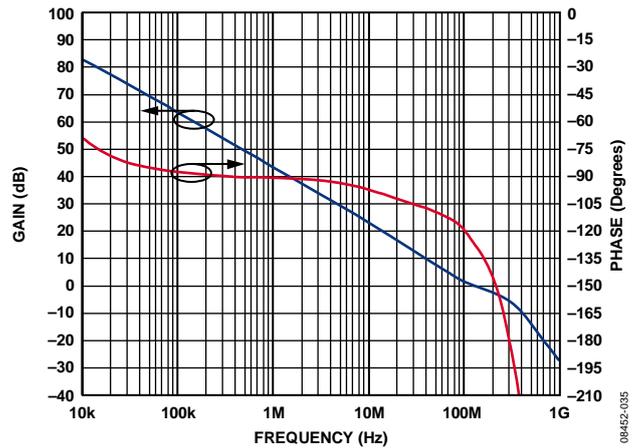


図 42. オープン・ループ・ゲインおよび位相の周波数特性

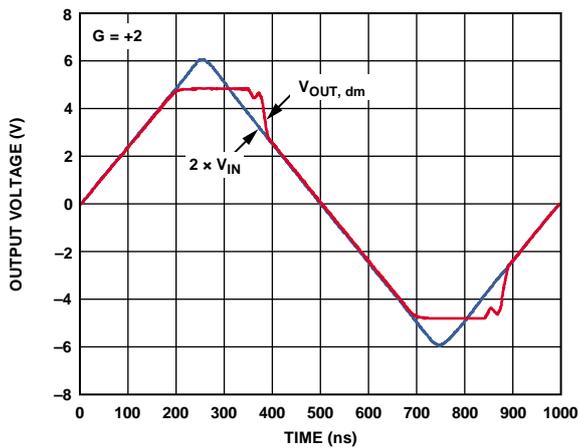


図 43.出力オーバードライブ回復、G = 2

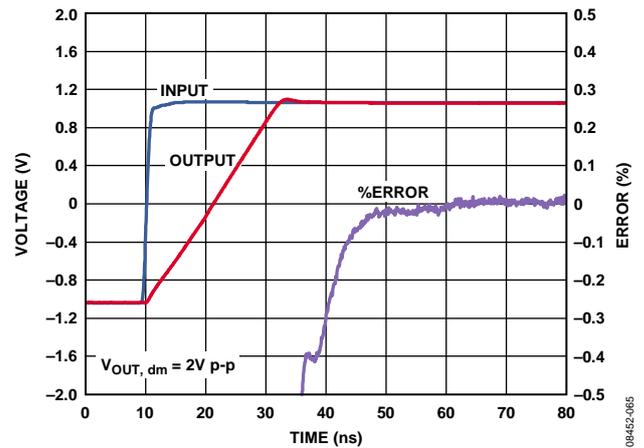


図 46.0.1%セトリング・タイム

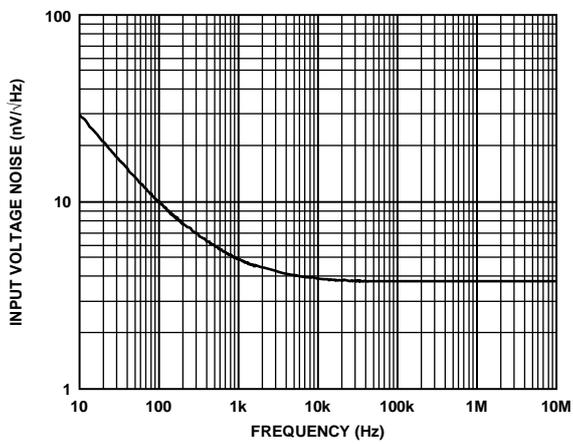


図 44.電圧ノイズ・スペクトル密度、入力換算

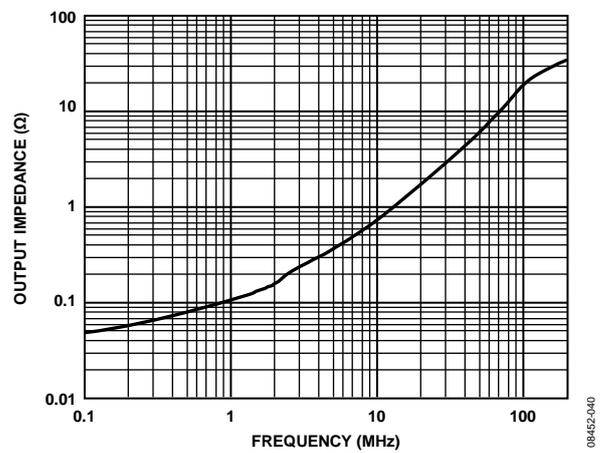


図 47.クローズド・ループ出力インピーダンスの周波数特性
G = 1

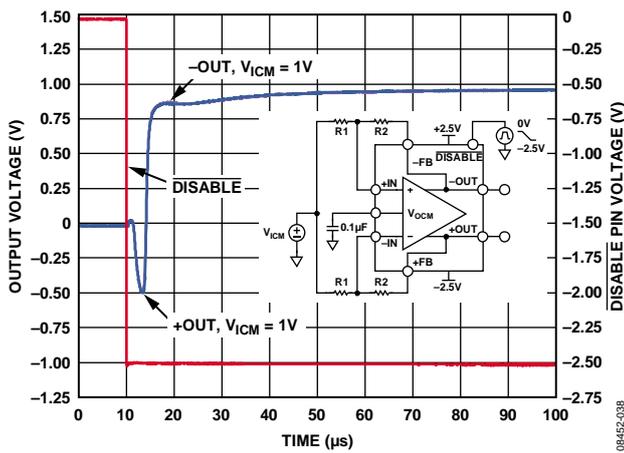


図 45.DISABLE ピンのターンオフ時間

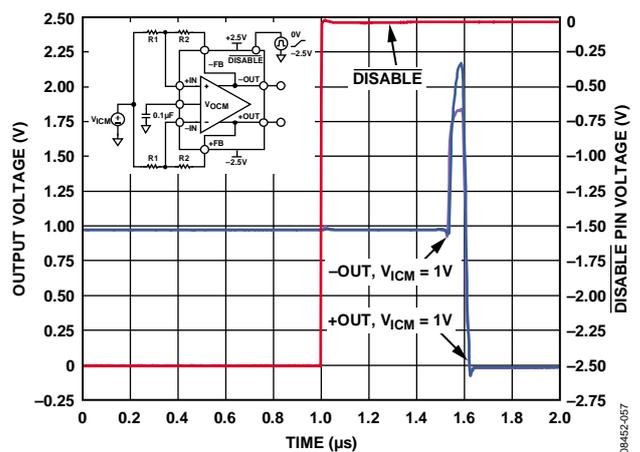


図 48.DISABLE ピンのターンオン時間

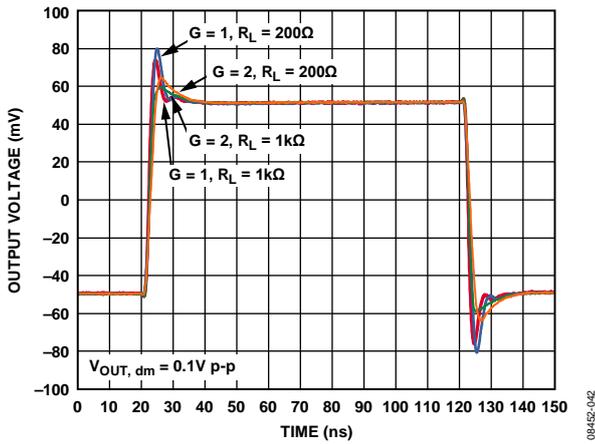


図 49.様々なゲインと負荷での小信号過渡応答(LFCSF)

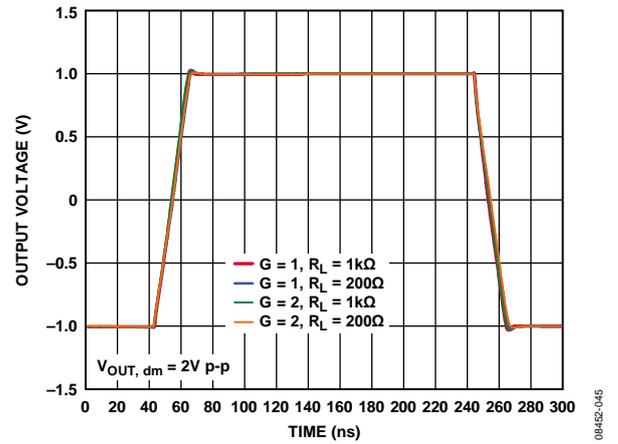


図 52.様々なゲインと負荷での大信号過渡応答

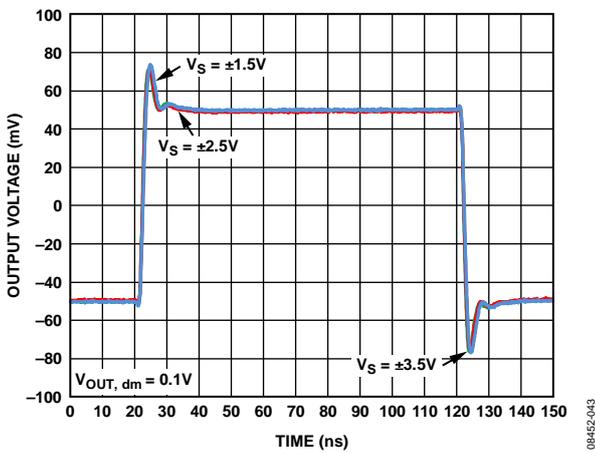


図 50.様々な電源での小信号過渡応答(LFCSF)

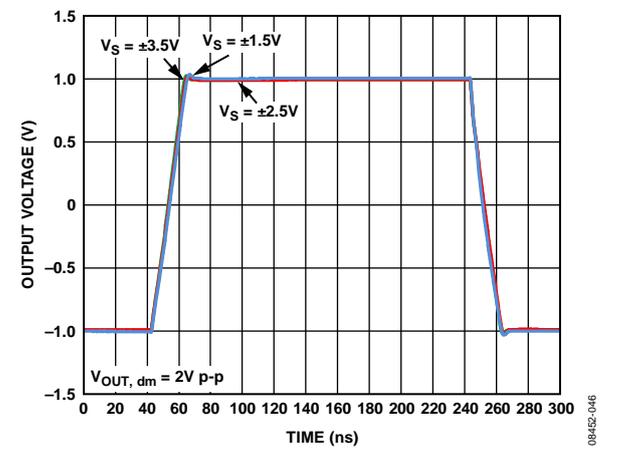


図 53.様々な電源での大信号過渡応答

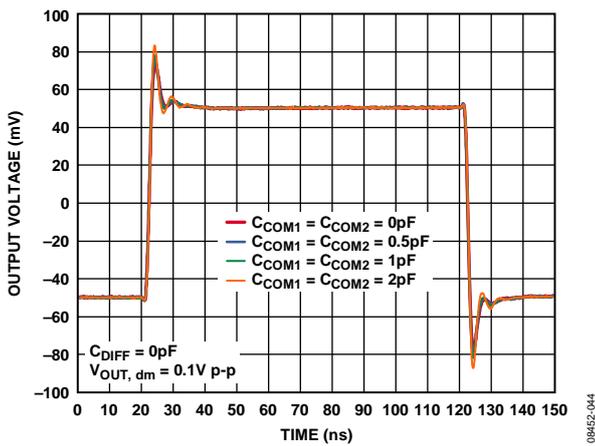


図 51.様々な容量負荷での小信号過渡応答(LFCSF)

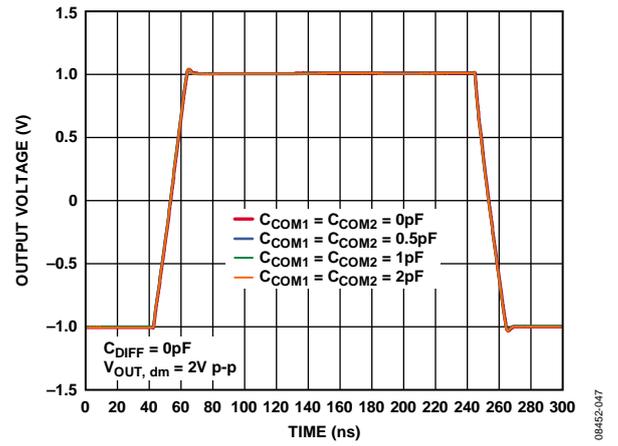
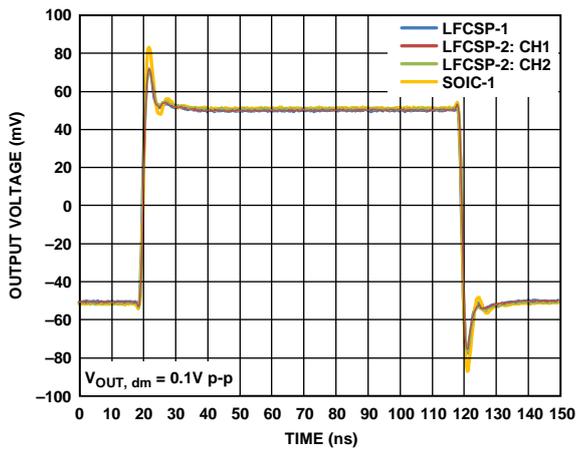
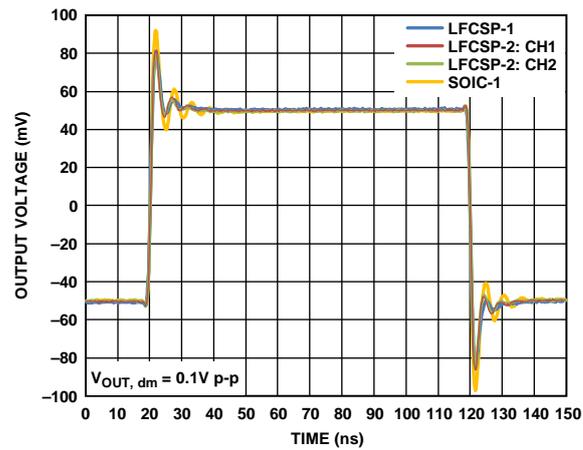


図 54.様々な容量負荷での大信号過渡応答



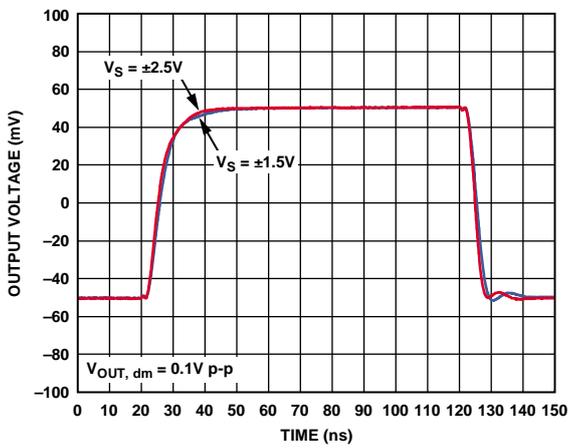
08452-204

図 55. 様々なパッケージでの小信号過渡応答、 $C_L = 0$ pF



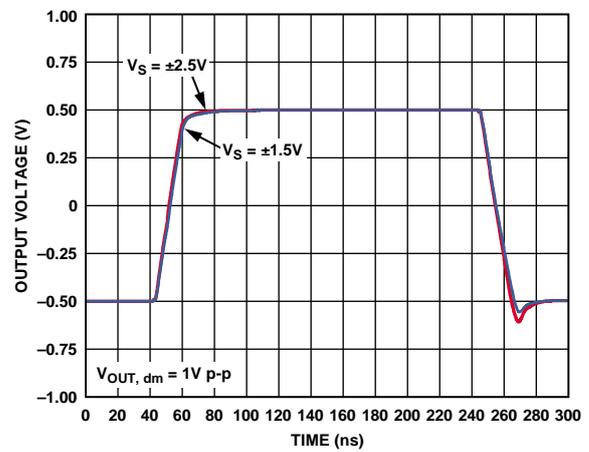
08452-206

図 57. 様々なパッケージでの小信号過渡応答、 $C_L = 2$ pF



08452-048

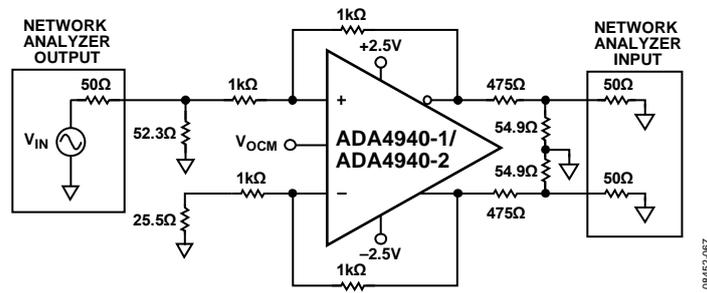
図 56. V_{OCM} 小信号過渡応答



08452-053

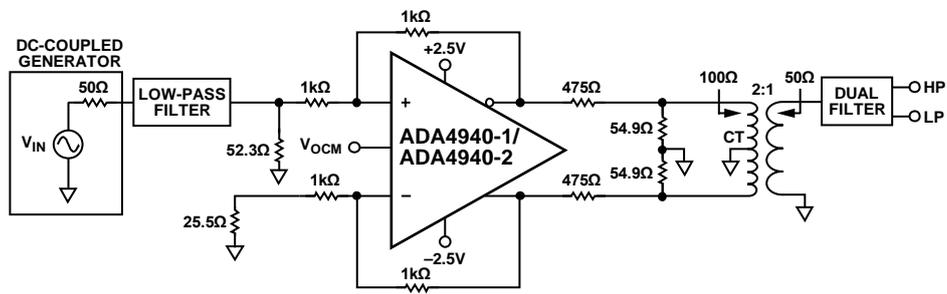
図 58. V_{OCM} 大信号過渡応答

テスト回路



084452-067

図 59.等価基本テスト回路



084452-066

図 60.歪み測定のためのテスト回路

用語

用語の定義

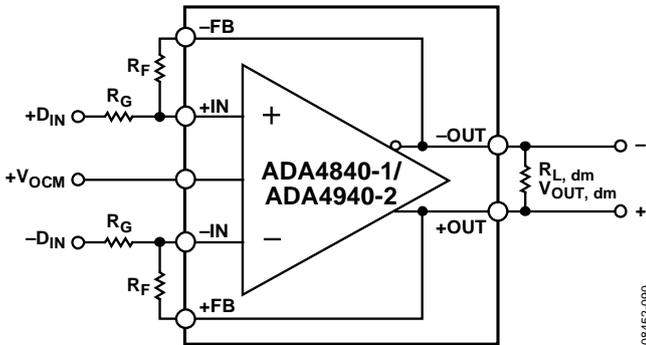


図 61.回路の定義

差動電圧

2 つのノード電圧間の差。例えば、出力差動電圧(または等価な出力差動モード電圧)は、次のように定義されます。

$$V_{OUT, dm} = (V_{+OUT} - V_{-OUT})$$

ここで、 V_{+OUT} と V_{-OUT} は +OUT ピンと -OUT ピンの電圧(共通リファレンスを基準)。

同様に、差動入力電圧は次式で定義されます。

$$V_{IN, dm} = (+D_{IN} - (-D_{IN}))$$

同相モード電圧(CMV)

CMV は、2 つのノード電圧間の平均を表します。出力同相モード電圧は次式で定義されます。

$$V_{OUT, cm} = (V_{+OUT} + V_{-OUT})/2$$

同様に、入力同相モード電圧は次のように定義されます。

$$V_{IN, cm} = (+D_{IN} + (-D_{IN}))/2$$

同相モード・オフセット電圧

同相モード・オフセット電圧は、 V_{OCM} 端子に加えられる電圧と出力電圧の同相モードとの差として定義されます。

$$V_{OS, cm} = V_{OUT, cm} - V_{OCM}$$

差動 V_{OS} 、差動 CMRR、 V_{OCM} CMRR

差動モード電圧と同相モード電圧には、それぞれ固有の誤差源があります。差動オフセット($V_{OS, dm}$)は、アンプの +IN 端子と -IN 端子との間の電圧誤差です。差動 CMRR は、入力端子 +D_{IN} と -D_{IN} での同相モード電圧の変化に対する $V_{OS, dm}$ の変化を意味します。

$$CMRR_{DIFF} = \frac{\Delta V_{IN, cm}}{\Delta V_{OS, dm}}$$

V_{OCM} CMRR は、出力端子での同相モード電圧変化に対する $V_{OS, dm}$ の変化を意味します。

$$CMRR_{V_{OCM}} = \frac{\Delta V_{OCM}}{\Delta V_{OS, dm}}$$

バランス

差動信号振幅の一致度と差動信号位相が正確に 180 度ずれている度合を表します。この定義を使うと、出力バランスは、出力同相モード電圧の振幅を出力差動モード電圧の振幅で除算して求められます。

$$Output\ Balance\ Error = \left| \frac{V_{OUT, cm}}{V_{OUT, dm}} \right|$$

動作原理

ADA4940-1/ADA4940-2 は、アナログ・デバイセズの高度な誘電体絶縁SiGeバイポーラ・プロセスで生産された低消費電力高速差動アンプです。両デバイスは、差動またはシングルエンドの入力信号にตอบสนองしてバランスした 2 本の差動信号を出力します。電圧帰還オペアンプと同じ外部帰還回路により差動ゲインを設定します。出力同相モード電圧は入力同相モード電圧に依存しないため、 V_{OCM} 端子の外部電圧で設定されます。PNP入力ステージにより、負電源から正電源の下側 1.2 Vまでの入力同相モード電圧が可能です。レールtoレールの出力ステージは広い、出力電圧範囲を提供します。DISABLEピンを使うと、アンプの電源電流を 13.5 μ Aに削減することができます。

図 62 に、ADA4940-1/ADA4940-2 のアーキテクチャを示します。差動帰還ループは、 G_O 出力バッファと R_F/R_G 帰還回路を経由して動作する差動相互コンダクタンス G_{DIFF} から構成されています。同相モード帰還ループは 2 つの差動出力間に接続された分圧器で設定され、出力電圧中心と同相モード相互コンダクタンス G_{CM} を発生します。

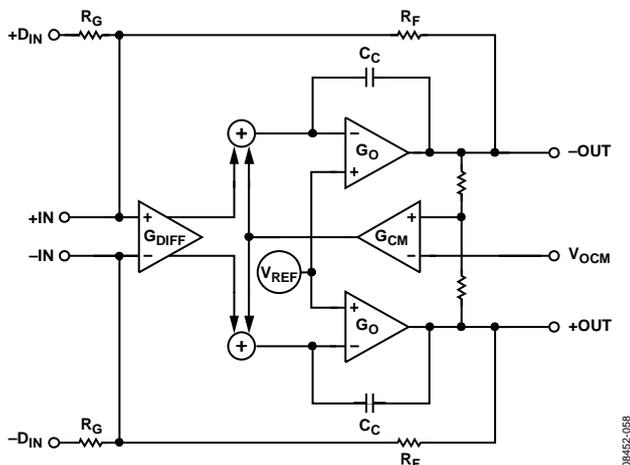


図 62. ADA4940-1/ADA4940-2 のアーキテクチャ

差動帰還ループは、+IN と -IN の電圧を一致させます。このことより、次の関係が得られます。

$$\frac{+D_{IN}}{R_G} = -\frac{V_{-OUT}}{R_F}$$

$$\frac{-D_{IN}}{R_G} = -\frac{V_{+OUT}}{R_F}$$

この式から前式を減算すると、差動ゲインを設定する R_F と R_G の次の関係が得られます。

$$(V_{+OUT} - V_{-OUT}) = (+D_{IN} - (-D_{IN})) \times \frac{R_F}{R_G}$$

同相モード帰還ループは、出力分圧器の中心でサンプルされた出力同相モード電圧が V_{OCM} 電圧に一致するように駆動します。これより、次の関係が得られます。

$$V_{+OUT} = V_{OCM} + \frac{V_{OUT,dm}}{2}$$

$$V_{-OUT} = V_{OCM} - \frac{V_{OUT,dm}}{2}$$

差動アンプの加算点入力電圧 +IN と -IN は、出力電圧と入力電圧により設定されることに注意してください。

$$V_{+IN} = +D_{IN} \left(\frac{R_F}{R_F + R_G} \right) + V_{-OUT} \left(\frac{R_G}{R_F + R_G} \right)$$

$$V_{-IN} = -D_{IN} \left(\frac{R_F}{R_F + R_G} \right) + V_{+OUT} \left(\frac{R_G}{R_F + R_G} \right)$$

アプリケーション情報

アプリケーション回路の解析

ADA4940-1/ADA4940-2 ではオープン・ループ・ゲインと負帰還を採用して、差動モード誤差電圧と同相モード誤差電圧を最小に維持する方法で差動モード出力電圧と同相モード出力電圧を発生しています。差動誤差電圧は、2つの差動入力(+IN と -IN)間の電圧として定義されます(図 61 参照)。多くの場合、この電圧はゼロと見なすことができます。同様に、実際の出力同相モード電圧と V_{OCM} に加えられる電圧との差もゼロと見なすことができます。これら 2つを仮定すると、アプリケーション回路を解析することができます。

クローズド・ループ・ゲインの設定

図 61 に示す回路の差動モード・ゲインは次のように求めることができます。

$$\left| \frac{V_{OUT, dm}}{V_{IN, dm}} \right| = \frac{R_F}{R_G}$$

ここでは、入力抵抗(R_G)と帰還抵抗(R_F)は等しいと仮定しています。

出力ノイズ電圧の計算

ADA4940-1/ADA4940-2 の差動出力ノイズは、図 63 に示すノイズ・モデルを使って計算することができます。入力換算ノイズ電圧密度 v_{nIN} は差動入力としてモデル化され、ノイズ電流 i_{nIN-} と i_{nIN+} は各入力とグラウンドの間で流れます。ノイズ電流は等しいと仮定すると、ゲインと帰還抵抗の並列接続の両端に電圧が発生します。 V_{OCM} ピンでのノイズ電圧密度は v_{nCM} です。4本の各抵抗の成分は $(4kTR_x)^{1/2}$ になります。表 14 に、入力ノイズ源、増幅率、出力換算ノイズ密度の項をまとめます。ノイズ計算の詳細については、アナログ・デバイセズが提供する、差動アンプ計算ソフト・ツール(DiffAmpCalc™)で、ADIDiffAmpCalculator.zip をクリックして表示されるプロンプトに従ってください。

表 14. 出力ノイズ電圧密度の計算

Input Noise Contribution	Input Noise Term	Input Noise Voltage Density	Output Multiplication Factor	Output-Referred Noise Voltage Density Term
Differential Input	v_{nIN}	v_{nIN}	G_N	$v_{nO1} = G_N (v_{nIN})$
Inverting Input	i_{nIN-}	$i_{nIN-} \times (R_{G2} \parallel R_{F2})$	G_N	$v_{nO2} = G_N [i_{nIN-} \times (R_{G2} \parallel R_{F2})]$
Noninverting Input	i_{nIN+}	$i_{nIN+} \times (R_{G1} \parallel R_{F1})$	G_N	$v_{nO3} = G_N [i_{nIN+} \times (R_{G1} \parallel R_{F1})]$
V_{OCM} Input	v_{nCM}	v_{nCM}	$G_N (\beta_1 - \beta_2)$	$v_{nO4} = G_N (\beta_1 - \beta_2) (v_{nCM})$
Gain Resistor R_{G1}	v_{nRG1}	$(4kTR_{G1})^{1/2}$	$G_N (1 - \beta_2)$	$v_{nO5} = G_N (1 - \beta_2) (4kTR_{G1})^{1/2}$
Gain Resistor R_{G2}	v_{nRG2}	$(4kTR_{G2})^{1/2}$	$G_N (1 - \beta_1)$	$v_{nO6} = G_N (1 - \beta_1) (4kTR_{G2})^{1/2}$
Feedback Resistor R_{F1}	v_{nRF1}	$(4kTR_{F1})^{1/2}$	1	$v_{nO7} = (4kTR_{F1})^{1/2}$
Feedback Resistor R_{F2}	v_{nRF2}	$(4kTR_{F2})^{1/2}$	1	$v_{nO8} = (4kTR_{F2})^{1/2}$

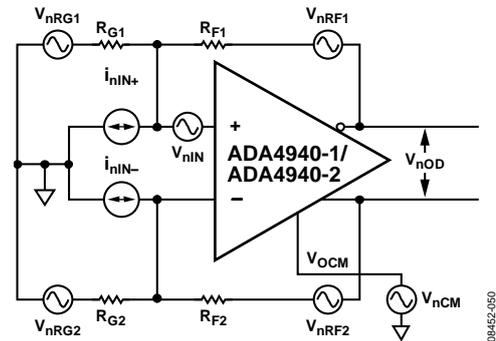


図 63. ADA4940-1/ADA4940-2 のノイズ・モデル

出力ノイズ電圧密度は、従来型オペアンプと同様に、+IN と -IN での入力換算項に該当する出力係数を乗算して求められます。

ここで、

$$G_N = \frac{2}{(\beta_1 + \beta_2)}$$

は回路のノイズ・ゲイン。

$$\beta_1 = \frac{R_{G1}}{R_{F1} + R_{G1}} \text{ と } \beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}}$$

は帰還係数です。

$R_{F1}/R_{G1} = R_{F2}/R_{G2}$ の場合、 $\beta_1 = \beta_2 = \beta$ となり、ノイズ・ゲインは、

$$G_N = \frac{1}{\beta} = 1 + \frac{R_F}{R_G}$$

V_{OCM} からの出力ノイズは、この場合ゼロになることに注意してください。合計差動出力ノイズ密度 v_{nOD} は、各出力ノイズ項の 2 乗和平均になります。

$$v_{nOD} = \sqrt{\sum_{i=1}^8 v_{nOi}^2}$$

表 15 と表 16 に、平衡および不平衡入力構成に対する一般的なゲイン設定、推奨抵抗値、入力インピーダンス、出力ノイズ密度を示します。

表 15. グラウンド基準の差動入力、DC 結合、 $R_L = 1\text{ k}\Omega$ (図 64 参照)

Nominal Gain (dB)	$R_F (\Omega)$	$R_G (\Omega)$	$R_{IN, dm} (\Omega)$	Differential Output Noise Density (nV/ $\sqrt{\text{Hz}}$)	RTI (nV/ $\sqrt{\text{Hz}}$)
0	1000	1000	2000	11.3	11.3
6	1000	500	1000	15.4	7.7
10	1000	318	636	20.0	6.8
14	1000	196	392	27.7	5.5

表 16. グラウンド基準のシングルエンド入力、DC 結合、 $R_S = 50\ \Omega$ 、 $R_L = 1\text{ k}\Omega$ (図 65 参照)

Nominal Gain (dB)	$R_F (\Omega)$	$R_G (\Omega)$	$R_T (\Omega)$	$R_{IN, se} (\Omega)$	$R_{G1} (\Omega)^1$	Differential Output Noise Density (nV/ $\sqrt{\text{Hz}}$)	RTI (nV/ $\sqrt{\text{Hz}}$)
0	1000	1000	52.3	1333	1025	11.2	11.2
6	1000	500	53.6	750	526	15.0	7.5
10	1000	318	54.9	512	344	19.0	6.3
14	1000	196	59.0	337	223	25.3	5

¹ $R_{G1} = R_G + (R_S || R_T)$

帰還回路でのミスマッチの影響

外付け帰還回路(R_F/R_G)がマッチングしていない場合でも、内部同相モード帰還ループにより出力のバランスが維持されます。各出力での信号は、同振幅かつ 180° の位相差に維持されます。入力—出力間の差動モード・ゲインは、帰還のミスマッチに比例して変わりますが、出力のバランスは影響を受けません。

V_{OCM} のノイズ成分が発生すると同様に、ミスマッチした帰還回路では、従来型オペアンプから構成される 4 本抵抗のディファレンス・アンプと同様に、入力同相モード信号を除去する回路の性能も低下します。

さらに、入力と出力の同相モード電圧の DC レベルが異なる場合、マッチング誤差から小さい差動モード出力オフセット電圧が発生します。 $G = 1$ のとき、グラウンド基準の入力信号と出力同相モード・レベルを 2.5 V に設定すると、 25 mV もの出力オフセット(同相モード・レベルで 1% の差)が発生します(1% 許容誤差の抵抗を使用した場合)。1% 許容誤差の抵抗により約 40 dB のワーストケース入力 CMRR が発生し、 2.5 V のレベル・シフトにより 25 mV のワーストケース差動モード出力オフセットが発生し、出力平衡誤差には大きな性能低下がありません。

アプリケーション回路入力インピーダンスの計算

回路の実効入力インピーダンスは、シングルエンドまたは差動のいずれの信号源でアンプを駆動するかに依存します。平衡差動入力信号の場合(図 64)、入力間(+ D_{IN} と - D_{IN})の入力インピーダンス($R_{IN, dm}$)は $R_{IN, dm} = 2 \times R_G$ になります。

不平衡(シングルエンド入力信号)の場合(図 65)、入力インピーダンスは次式で表されます。

$$R_{IN, se} = \left(\frac{R_G}{1 - \frac{R_F}{2 \times (R_G + R_F)}} \right)$$

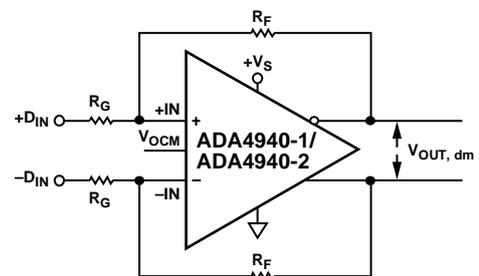


図 64. ADA4940-1/ADA4940-2 での平衡(差動)入力

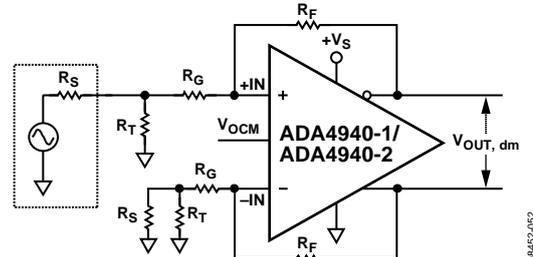


図 65. ADA4940-1/ADA4940-2 での不平衡(シングルエンド)入力

回路の入力インピーダンスは、インバータとして接続された従来型オペアンプの場合より実効的に高くなります。これは、差動出力電圧の成分が同相モード信号として入力に現れて、特に入力抵抗 R_{G1} 両端の電圧を持ち上げるためです。

シングルエンド入力の終端

このセクションでは、ゲイン=1、 $R_F = 1\text{ k}\Omega$ 、 $R_G = 1\text{ k}\Omega$ の場合に ADA4940-1/ADA4940-2 のシングルエンド入力の終端方法について説明します。終端出力電圧 1 V p-p で $50\text{ }\Omega$ ソース抵抗を持つ入力ソースを使う例により、3 ステップの手順を説明します。ソースの終端出力電圧が 1 V p-p であるため、ソースの解放出力電圧は 2 V p-p になることに注意してください。図 66 のソースはこの解放電圧を示しています。

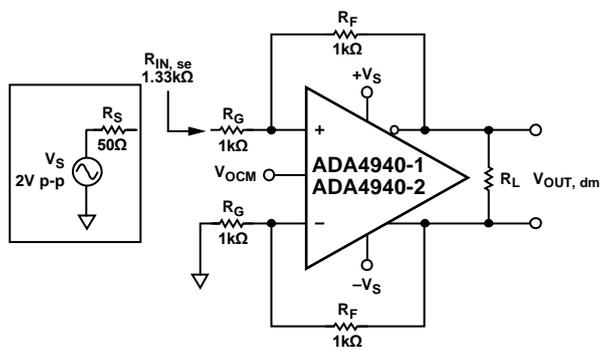


図 66. シングルエンド入力インピーダンス R_{IN} の計算

1. 入力インピーダンスは次式から計算されます。

$$R_{IN, se} = \left(\frac{R_G}{1 - \frac{R_F}{2 \times (R_G + R_F)}} \right) = \left(\frac{1000}{1 - \frac{1000}{2 \times (1000 + 1000)}} \right) = 1.33\text{ k}\Omega$$

2. $50\text{ }\Omega$ のソース抵抗に一致させるため、終端抵抗 R_T は、 $R_T || 1.33\text{ k}\Omega = 50\text{ }\Omega$ から計算します。 R_T の最寄りの標準 1% 値は $52.3\text{ }\Omega$ です。

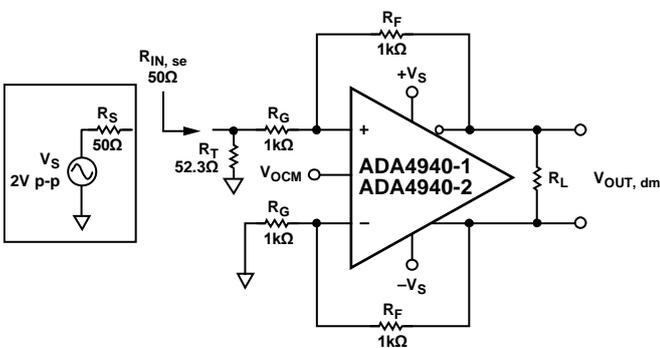


図 67. 終端抵抗 R_T の接続

3. 図 67 に、上側の帰還ループの実効 R_G は終端抵抗を接続したため下側のループの R_G を超えないことを示します。ゲイン抵抗の不一致を補償するため、下側のループで補正抵抗 (R_{TS}) を R_G に直列に接続します。 R_{TS} はソース抵抗 R_S のテブナン等価電源に、終端抵抗 R_T は $R_S || R_T$ に、それぞれ等しくなります。

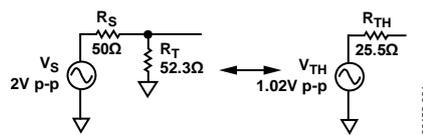


図 68. テブナン等価電源の計算

$R_{TS} = R_{TH} = R_S || R_T = 25.5\text{ }\Omega$ となります。 V_{TH} は 1 V p-p より大きく、 $R_T = 50\text{ }\Omega$ から得られます。下側の帰還ループについて、終端電源と R_{TS} を持つテブナン等価電源 (R_{TH} に最寄りの 1% 値を使用) で修正した回路を図 69 に示します。

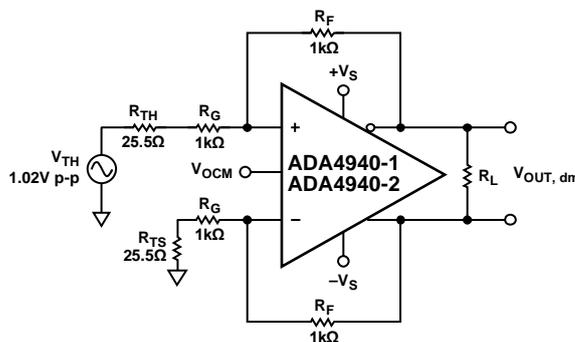


図 69. テブナン等価電源およびゲイン抵抗の一致

図 69 に、一致した帰還ループを持つ分かり易くした回路を示します。

終端入力で生ずる 2 つの効果を指摘しておくことは有用です。1 つ目は、両ループで R_G 値が大きくなるため、全体のクロード・ループ・ゲインが小さくなることです。2 つ目は、 V_{TH} が $R_T = 50\text{ }\Omega$ の場合の 1 V p-p より少し大きくなることです。これらの 2 つの効果は出力電圧に反対の影響を与えるため、帰還ループの抵抗値が大きくなると ($\sim 1\text{ k}\Omega$)、影響が互いに相殺されます。ただし、 R_F と R_G が小さい (高ゲイン) 場合には、効果の小さくなったクロード・ループ・ゲインが V_{TH} の増加により完全に相殺されません。これは、図 69 から知るができます。

終端入力信号が 1 V p-p でクロード・ループ・ゲイン = 1 であるため、この例での所望の差動出力は 1 V p-p ですが、実際の差動出力電圧は $(1.02\text{ V p-p})(1000/1025.5) = 0.996\text{ V p-p}$ になります。これは抵抗の許容誤差以内であるため、帰還抵抗 R_F の変更は不要です。

入力同相モード電圧範囲

ADA4940-1/ADA4940-2 の入力同相モード範囲は、 V_{BE} の約 1 個分下にシフトします。これは、入力範囲が中心にある ADA4939-x のような他の ADC ドライバと対照的です。下にシフトした入力同相モード範囲は、特に DC 結合、シングルエンド/差動変換、単電源アプリケーションに適しています。

$\pm 2.5\text{ V}$ または $+5\text{ V}$ 電源動作の場合、アンプ加算ノードでの入力同相モード範囲は $-2.7\text{ V} \sim +1.3\text{ V}$ または $-0.2\text{ V} \sim 3.8\text{ V}$ として規定され、 $+3\text{ V}$ 電源では $-0.2\text{ V} \sim +1.8\text{ V}$ として規定されます。

入力と出力の容量 AC 結合

ADA4940-1/ADA4940-2 は DC 結合アプリケーションに最適ですが、AC 結合回路にも使うことができます。入力での AC 結合コンデンサは、電源と R_G の間に接続することができます。この AC 結合は DC 同相モード帰還電流を阻止するため、ADA4940-1/ADA4940-2 の DC 入力同相モード電圧が DC 出力同相モード電圧と等しくなります。これらの AC 結合コンデンサは、帰還係数を一致させるために両ループ内で接続する必要があります。出力 AC 結合コンデンサは、各出力と対応する負荷の間に直列に接続することができます。

出力同相モード電圧の設定

ADA4940-1/ADA4940-2 の V_{OCM} ピンは、内部で電源の中心値 $((+V_S) + (-V_S))/2$ にほぼ等しくバイアスされています。内部バイアスを使用すると、出力同相モード電圧が約 100 mV 以内の期待値で発生します。

出力同相モード・レベルの正確な制御が必要な場合には、外付け電源または抵抗分圧器(10kΩ 以上の抵抗)を使用することが推奨されます。仕様セクションに示す出力同相モード・オフセットは、 V_{OCM} 入力が低インピーダンス電圧源から駆動される場合です。

V_{OCM} 入力を ADC の同相モード・レベル(CML)出力に接続することもできますが、出力が十分な駆動能力を持つように注意する必要があります。 V_{OCM} ピンの入力インピーダンスは約 250 kΩ です。

DISABLE ピン

ADA4940-1/ADA4940-2 には、デバイスを使用しないときの静止電流を小さくする DISABLE ピンがあります。DISABLE ピンにロー・レベルを入力すると DISABLE がアサートされます。ハイ・レベルとロー・レベルとの間のスレッシュホールドは、負電源レールより公称 1.4 V 上です。スレッシュホールド値については、表 5 と表 8 を参照してください。

DISABLE ピンには、アンプの通常動作を可能にするプルアップ回路が内蔵されています。ADA4940-1/ ADA4940-2 の DISABLE ピンはフローティングのままにしておくことができるため(すなわち外部接続が不要)、通常動作のための外付けプルアップ抵抗は不要です(図 70 参照)。ADA4940-1/ADA4940-2 をディスエーブルすると、出力は高インピーダンスになります。出力は帰還抵抗を経由して入力に接続され、さらにゲイン抵抗を使ってソースに接続されていることに注意してください。さらに、差動電圧を 1.2 V に制限する、互いに逆向きダイオードが入力ピンに接続されています。

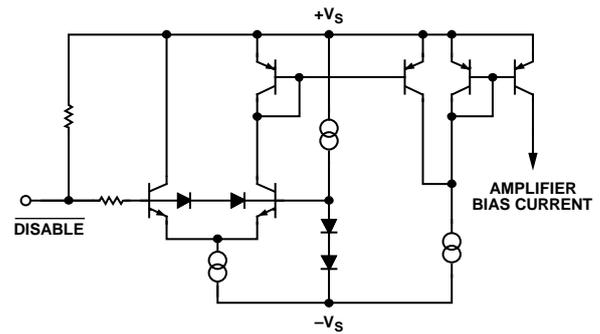


図 70. DISABLE ピンの回路

容量負荷の駆動

純容量負荷は、ADA4940-1/ADA4940-2 のピンとボンディング・ワイヤのインダクタンスに反応して、過渡応答に高周波リングを発生させて位相マージンを小さくします。この影響を小さくする 1 つの方法は、各出力に直列に抵抗を接続して負荷容量をバッファすることです。この抵抗と負荷容量は 1 次ローパス・フィルタを形成するため、抵抗値はできるだけ小さくする必要があります。場合によっては、ADC 入力に小さい直列抵抗を接続することが必要です。

図 71 に、最小 45° の位相マージンを確保するための直列抵抗対容量負荷を示します。

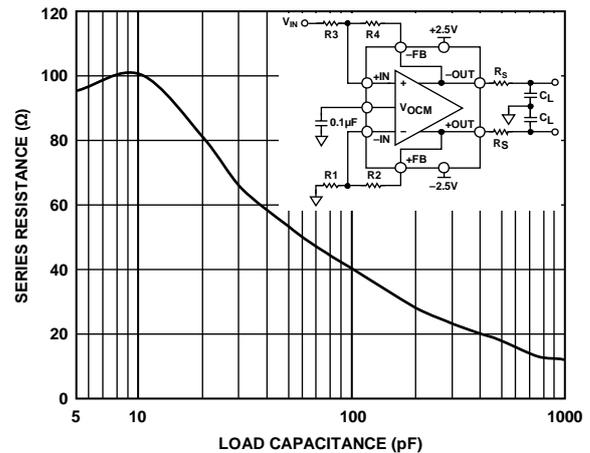


図 71. 直列抵抗対容量負荷(LFSCP)

高精度 ADC の駆動

ADA4940-1/ADA4940-2 は、広帯域 DC 結合アプリケーションに最適です。図 73 の回路に、AD7982 を駆動する ADA4940-1 のフロントエンド接続を示します。この AD7982 は 3 V ~ 5 V の単電源で動作する 1 MSPS の 18 ビット逐次比較型 A/D コンバータ (ADC) です。この回路には、低消費電力高速 18 ビット・サンプリングの ADC と多機能シリアル・インターフェース・ポートが含まれています。リファレンス電圧 (REF) は外部から与えられ、電源電圧から独立して設定することができます。図 73 に示すように、ADA4940-1 は入力と出力で DC 結合されているため、ADC を駆動するトランスが不要です。このアンプは必要に応じてシングルエンド/差動変換を行い、入力信号をレベル・シフトさせて ADC の入力同相モードに一致させます。ADA4940-1 は 7 V 両電源 (+6 V と -1 V) に構成され、ゲインは帰還抵抗のゲイン抵抗に対する比により設定されます。さらに、この回路を使うと、シングルエンド入力/差動出力または差動入力/差動出力の変換を行うことができます。必要に応じて、ソース入力に並列な終端抵抗を使うことができます。シングルエンド入力または差動入力によらず、アンプの入力インピーダンスは、シングルエンド入力の終端のセクションに示すように計算することができます。R1 = R2 = R3 = R4 = 1 kΩ の場合、シングルエンド入力インピーダンスは約 1.33 kΩ になります (この値と 52.3 Ω 終端抵抗との並列によりソースに対して 50 Ω 終端を提供します)。さらに反転入力の 25.5 Ω (合計 1025.5 Ω) により、50 Ω のソース抵抗と非反転入力を駆動する終端抵抗の並列インピーダンスとバランスをとります。ただし、差動ソース入力を使う場合、差動入力インピーダンスは 2 kΩ になります。この場合、2 個の 52.3 Ω 終端抵抗を使って入力を終端します。

この例では、信号ジェネレータはグラウンド基準の 10 V p-p の対称バイポーラ出力を持っています。V_{OCM} 入力はノイズ削減のためバイパスされ、外部で 1% 抵抗により 2.5 V に設定されて出力ダイナミックレンジを大きくしています。出力同相モード電圧

は 2.5 V、各 ADA4940-1 出力振幅は 0 V ~ 5 V、逆相、ゲイン=1、ADC 入力は 10 V p-p 差動信号です。ADA4940-1 出力と ADC との間の差動 RC セクションは、コーナー周波数 1.79 MHz の 1 極ローパス・フィルタを構成し、さらにサンプル・アンド・ホールド (SHA) コンデンサが放電する際に ADC 入力から出力される電流スパイクに対するバッファとしても機能します。

図 73 の合計システム消費電力は 35 mW 以下です。この消費電力の大部分は、電源から 2.5 V に設定された出力へ流れ、さらに帰還抵抗とゲイン抵抗を経由して入力へ戻る電流です。消費電力を 25 mW に減らすときは、帰還抵抗値とゲイン抵抗値を 1 kΩ から 2 kΩ へ増やし、R5 と R6 の抵抗値を 3 kΩ に設定します。ADR435 を使って +6 V 電源を +5 V にレギュレーションし、ADC に電源を供給し、V_{OCM} ピンのリファレンス電圧を設定します。

図 72 に 1 MSPS でサンプルした 20 kHz 差動入力トーンの FFT を示します。2 次と 3 次の高調波は -118 dBc と -122 dBc に低下しています。

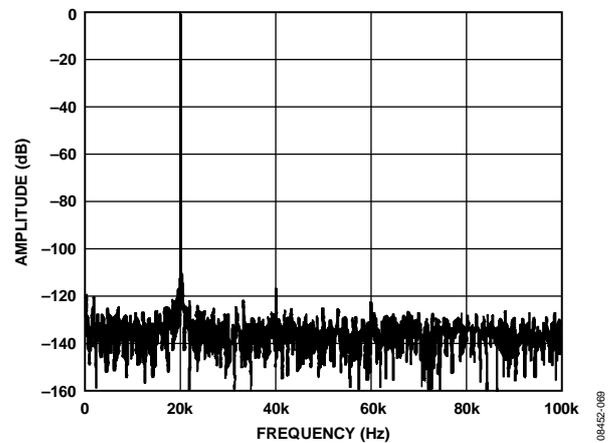


図 72. 20 kHz 入力トーンの歪み測定値 (CN-0237)

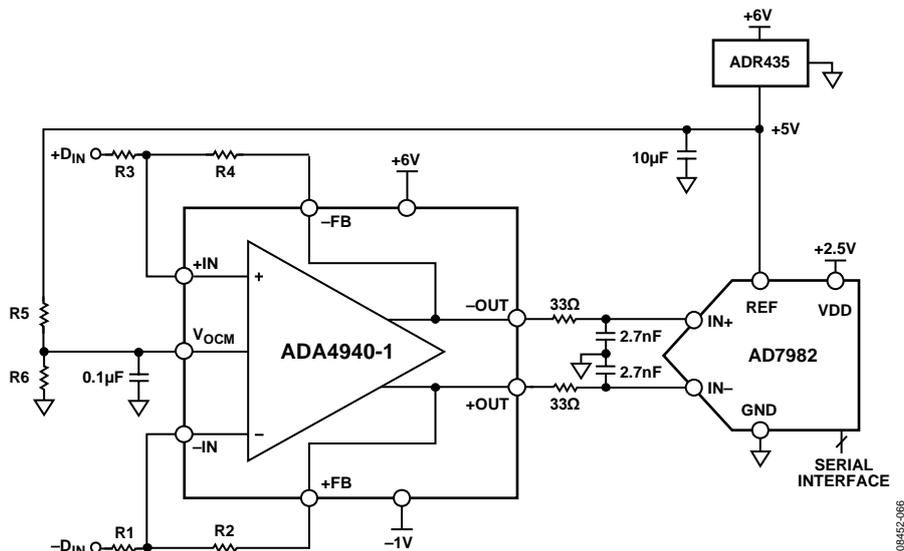


図 73. ADA4940-1 (LFCSP) による AD7982 ADC の駆動

レイアウト、グラウンド接続、バイパス

他の高速デバイスの場合と同様に、ADA4940-1/ADA4940-2 も動作する PCB 環境に敏感です。優れた性能を実現するためには、高速 PCB デザインに細心の注意を払う必要があります。

ADA4940-1 LFCSP の例

最初の条件は、ADA4940-1 を取り囲むできるだけ多くのボード領域をカバーする優れたグラウンド・プレーンですが、帰還抵抗(R_F)、ゲイン抵抗(R_G)、入力加算ノード(ピン 2 とピン 3)の近くの領域には、グラウンド・プレーンと電源プレーンを設けないようにする必要があります(図 74 参照)。グラウンド・プレーンと電源プレーンを設けないと、これらのノードの寄生容量が小さくなるため、高周波でのアンプ応答でのピーキングを防止することができます。

熱抵抗 θ_{JA} は、エクスポーズド・パッドを EIA/JESD 51-7 に規定する高熱伝導率の 4 層回路ボードにハンダ付けしたデバイスに対して規定されます。

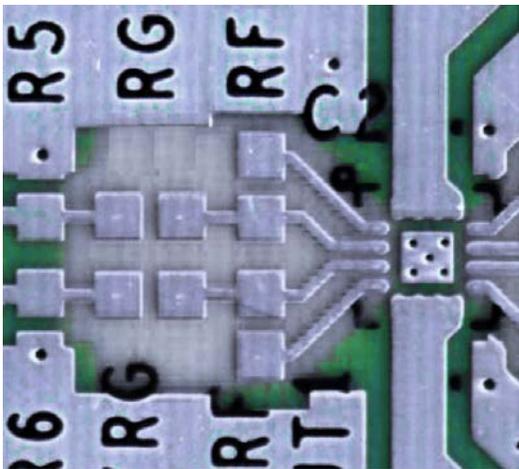


図 74. R_F と R_G の周囲を除くグラウンド・プレーンと電源プレーン

電源ピンは、できるだけデバイスの近くで近くのグラウンド・プレーンへバイパスする必要があります。高周波セラミック・チップ・コンデンサを使用してください。2 個の並列バイパス・コンデンサ(1000 pF と 0.1 μ F)を各電源に対して使用してください。1000 μ F のコンデンサをデバイスの近くに接続する必要があります。さらに離れたところに、低周波バイパスの 10 μ F タンタル・コンデンサを各電源とグラウンドとの間に接続します。

寄生の影響を防止するため、信号パターンは短く、かつダイレクトにする必要があります。相補信号が存在する場合は、対称なレイアウトを採用してバランス性能を強化する必要があります。差動信号を長い距離配線する場合は、PCB パターンを互いに近づけて、差動線をループ面積が最小になるように撚る必要があります。こうすることにより、放射エネルギーを減らして、回路を干渉に対して強くします。

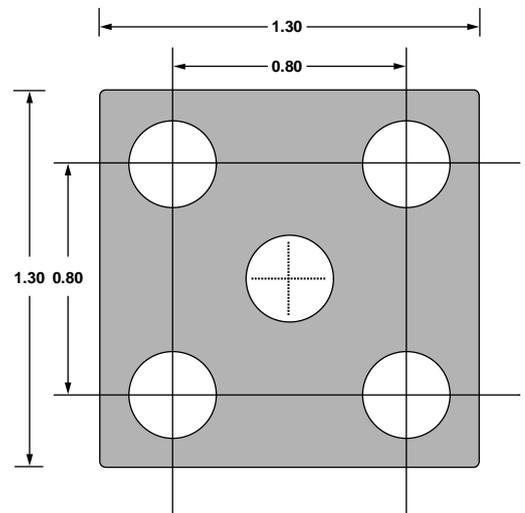


図 75. PCB サーマル・アタッチ・パッドの推奨寸法(mm)

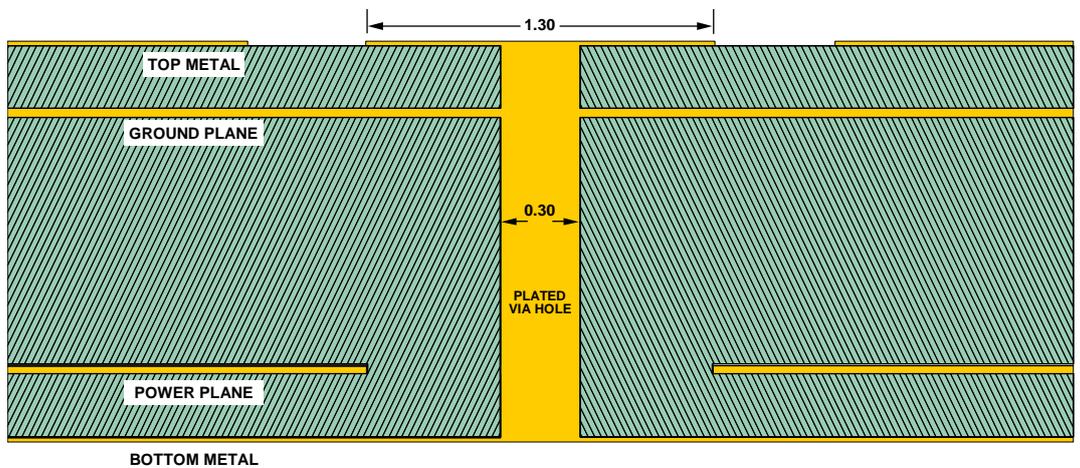
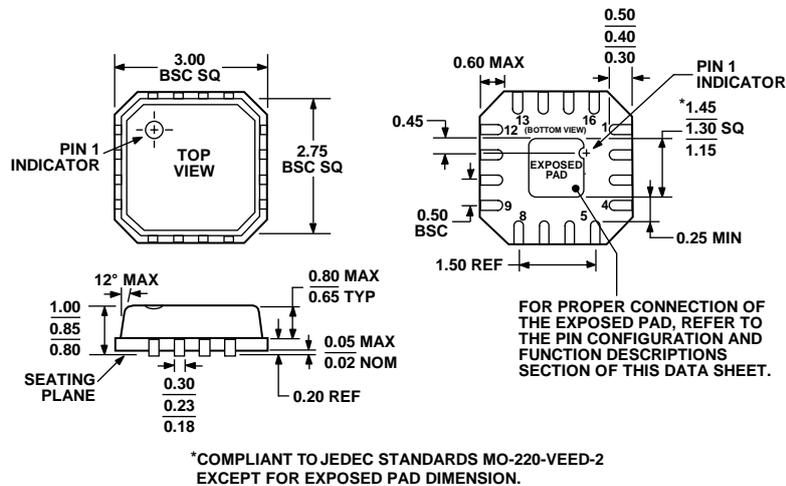


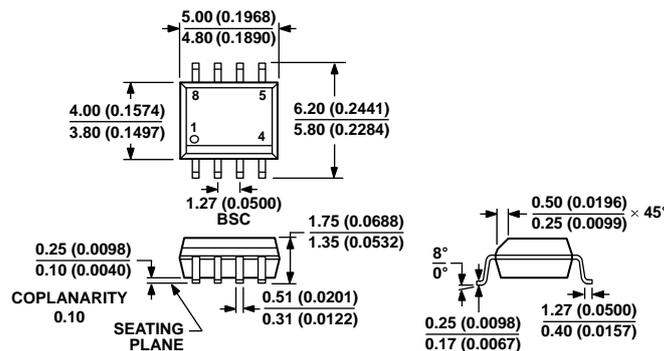
図 76. 埋め込みグラウンド・プレーンへ接続したサーマル・ビア接続を示す 4 層 PCB の断面 (寸法: mm)

外形寸法



072208-A

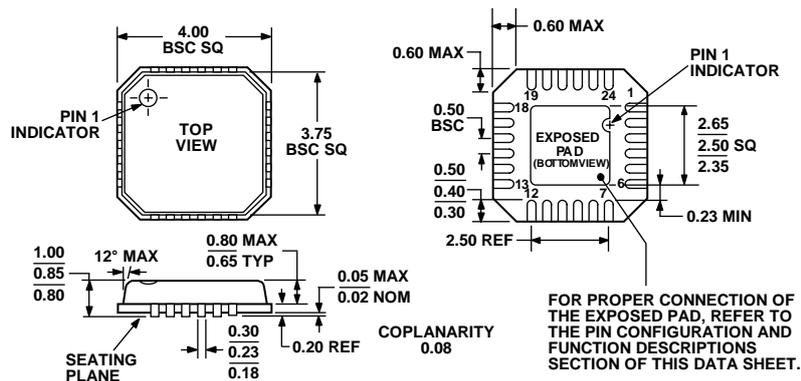
図 77.16 ピン・リードフレーム・チップ・スケール・パッケージ[LCSP_VQ]
 3 mm × 3 mm ボディ、極薄クワッド
 (CP-16-2)
 寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 78.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 (R-8)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-8

062308-A

図 79.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 4 mm × 4 mm ボディ、極薄クワッド
 (CP-24-3)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4940-1ACPZ-R2	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-2	250	H29
ADA4940-1ACPZ-RL	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-2	5,000	H29
ADA4940-1ACPZ-R7	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-2	1,500	H29
ADA4940-1ACP-EBZ		Evaluation Board			
ADA4940-1ARZ	-40°C to +125°C	8-Lead SOIC_N	R-8	98	
ADA4940-1ARZ-RL	-40°C to +125°C	8-Lead SOIC_N	R-8	2,500	
ADA4940-1ARZ-R7	-40°C to +125°C	8-Lead SOIC_N	R-8	1,000	
ADA4940-1AR-EBZ		Evaluation Board			
ADA4940-2ACPZ-R2	-40°C to +125°C	24-Lead LFCSP_VQ	CP-24-3	250	
ADA4940-2ACPZ-RL	-40°C to +125°C	24-Lead LFCSP_VQ	CP-24-3	5,000	
ADA4940-2ACPZ-R7	-40°C to +125°C	24-Lead LFCSP_VQ	CP-24-3	1,500	
ADA4940-2ACP-EBZ		Evaluation Board			

¹ Z = RoHS 準拠製品