

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

## 概要

MAX1240/MAX1241は、8ピンパッケージに収められた低電力、12ビットアナログデジタルコンバータ(ADC)です。MAX1240は単一+2.7V~+3.6V電源で動作し、MAX1241は単一+2.7V~+5.25V電源で動作します。どちらのICも7.5 $\mu$ sの逐次比較ADC、高速トラック/ホールド(1.5 $\mu$ s)、クロック及び高速3線シリアルインタフェースを備えています。

電力消費は、73kspsの最大サンプリング速度で僅か37mW ( $V_{DD} = 3V$ )となっています。2 $\mu$ Aシャットダウンモードにより、低スループットレート時の電力節減を実現しています。

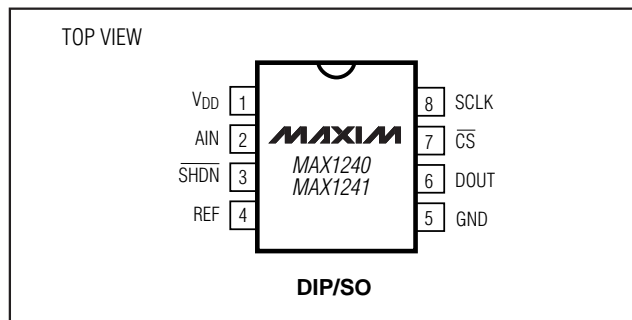
MAX1240は2.5Vリファレンスを内蔵し、MAX1241は外部リファレンスを必要とします。MAX1241は、0V~ $V_{REF}$ の信号を受け付け、リファレンス入力範囲は正電源電圧が含まれます。外部クロックが、3線インタフェースからデータをアクセスします。このインタフェースは、標準マイクロコントローラ/Oポートに直接接続しており、SPI™、QSPI™及びMICROWIRE™とコンパチブルです。

本製品は、優れたAC特性及び超低電力特性に加えて、使いやすくパッケージが小型のため、リモートセンサ及びデータ収集アプリケーション、あるいはその他の省電力、小型化が必要な回路に最適です。MAX1240/MAX1241は、8ピンDIP及びSOPパッケージで提供されています。

## アプリケーション

- バッテリー駆動機器
- ポータブルデータロギング
- 絶縁データ収集
- プロセス制御監視
- 計測器

## ピン配置



## 特長

- ◆ 電源：+2.7V~+3.6V単一(MAX1240)  
+2.7V~+5.25V単一(MAX1241)
- ◆ 分解能：12ビット
- ◆ 2.5Vリファレンス内蔵(MAX1240)
- ◆ 小型パッケージ：8ピンDIP及びSOP
- ◆ 低電力：3.7 $\mu$ W(73ksps、MAX1240)  
3mW(73ksps、MAX1241)  
66 $\mu$ W(1ksps、MAX1241)  
5 $\mu$ W(パワーダウンモード)
- ◆ 内部トラック/ホールド
- ◆ 3線シリアルインタフェース：  
SPI/QSPI/MICROWIRE
- ◆ 内部クロック

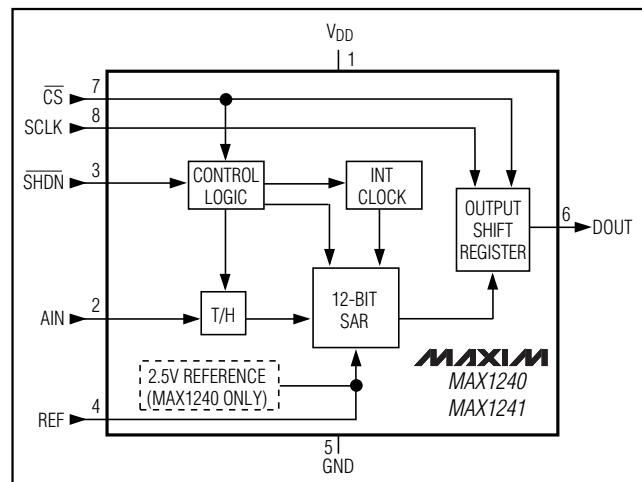
## 型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1240ACPA	0°C to +70°C	8 Plastic DIP	$\pm 1/2$
MAX1240BCPA	0°C to +70°C	8 Plastic DIP	$\pm 1$
MAX1240CCPA	0°C to +70°C	8 Plastic DIP	$\pm 1$
MAX1240ACSA	0°C to +70°C	8 SO	$\pm 1/2$
MAX1240BCSA	0°C to +70°C	8 SO	$\pm 1$
MAX1240CCSA	0°C to +70°C	8 SO	$\pm 1$
MAX1240BC/D	0°C to +70°C	Dice*	$\pm 1$

Ordering Information continued at end of data sheet.

\*Dice are specified at  $T_A = +25^\circ\text{C}$ , DC parameters only.

## ファンクションダイアグラム



SPI及びQSPIはMotorola, Inc.の商標です。MICROWIREはNational Semiconductor Corp.の商標です。

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

MAX1240/MAX1241

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND	-0.3V to +6V
A <sub>IN</sub> to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
REF to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Inputs to GND	-0.3V to +6V
DOUT to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
DOUT Current	±25mA
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
Plastic DIP (derate 9.09mW/°C above +70°C)	727mW
SO (derate 5.88mW/°C above +70°C)	471mW
CERDIP (derate 8.00mW/°C above +70°C)	640mW

### Operating Temperature Ranges

MAX1240_C_A/MAX1241_C_A	0°C to +70°C
MAX1240_E_A/MAX1241_E_A	-40°C to +85°C
MAX1240_MJA/MAX1241_MJA	-55°C to +125°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +2.7V to +3.6V (MAX1240); V<sub>DD</sub> = +2.7V to +5.25V (MAX1241); 73ksps, f<sub>SCLK</sub> = 2.1MHz (50% duty cycle); MAX1240—4.7μF capacitor at REF pin, MAX1241—external reference; V<sub>REF</sub> = 2.500V applied to REF pin; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 1)						
Resolution			12			Bits
Relative Accuracy (Note 2)	INL	MAX124_A			±0.5	LSB
		MAX124_B/C			±1.0	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error		MAX124_A		±0.5	±3.0	LSB
		MAX124_B/C		±0.5	±4.0	
Gain Error (Note 3)				±0.5	±4.0	LSB
Gain Temperature Coefficient				±0.25		ppm/°C
<b>DYNAMIC SPECIFICATIONS</b> (10kHz sine-wave input, 0V to 2.500Vp-p, 73ksps, f <sub>SCLK</sub> = 2.1MHz)						
Signal-to-Noise Plus Distortion Ratio	SINAD	MAX124_A/B		70		dB
		MAX124_C		71.5		
Total Harmonic Distortion	THD	Up to the 5th harmonic	MAX124_A/B		-80	dB
			MAX124_C		-88	
Spurious-Free Dynamic Range	SFDR	MAX124_A/B		80		dB
		MAX124_C		88		
Small-Signal Bandwidth		-3dB rolloff		2.25		MHz
Full-Power Bandwidth				1.0		MHz
<b>CONVERSION RATE</b>						
Conversion Time	t <sub>CONV</sub>		5.5		7.5	μs
Track/Hold Acquisition Time	t <sub>ACQ</sub>				1.5	μs
Throughput Rate		f <sub>SCLK</sub> = 2.1MHz			73	ksps
Aperture Delay	t <sub>APR</sub>	Figure 8		30		ns
Aperture Jitter				<50		ps
<b>ANALOG INPUT</b>						
Input Voltage Range			0		V <sub>REF</sub>	V
Input Capacitance				16		pF

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

MAX1240/MAX1241

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+3.6V$  (MAX1240);  $V_{DD} = +2.7V$  to  $+5.25V$  (MAX1241); 73ksps,  $f_{SCLK} = 2.1MHz$  (50% duty cycle); MAX1240— $4.7\mu F$  capacitor at REF pin, MAX1241—external reference;  $V_{REF} = 2.500V$  applied to REF pin;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>INTERNAL REFERENCE (MAX1240 only)</b>						
REF Output Voltage		$T_A = +25^\circ C$	2.480	2.500	2.520	V
REF Short-Circuit Current					30	mA
REF Temperature Coefficient		MAX1240AC/BC		$\pm 30$	$\pm 50$	ppm/ $^\circ C$
		MAX1240AE/BE		$\pm 30$	$\pm 60$	
		MAX1240AM/BM		$\pm 30$	$\pm 80$	
		MAX1240C		$\pm 30$		
Load Regulation (Note 4)		0mA to 0.2mA output load		0.35		
Capacitive Bypass at REF			4.7			$\mu F$
<b>EXTERNAL REFERENCE (<math>V_{REF} = 2.500V</math>)</b>						
Input Voltage Range			1.00		$V_{DD} + 50mV$	V
Input Current				100	150	$\mu A$
Input Resistance			18	25		$k\Omega$
REF Input Current in Shutdown		$\overline{SHDN} = 0V$		$\pm 0.01$	10	$\mu A$
Capacitive Bypass at REF			0.1			$\mu F$
<b>DIGITAL INPUTS: SCLK, <math>\overline{CS}</math>, <math>\overline{SHDN}</math></b>						
SCLK, $\overline{CS}$ Input High Voltage	$V_{IH}$	$V_{DD} \leq 3.6V$	2.0			V
		$V_{DD} > 3.6V$ (MAX1241)	3.0			
SCLK, $\overline{CS}$ Input Low Voltage	$V_{IL}$				0.8	V
SCLK, $\overline{CS}$ Input Hysteresis	$V_{HYST}$			0.2		V
SCLK, $\overline{CS}$ Input Leakage	$I_{IN}$	$V_{IN} = 0V$ or $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$
SCLK, $\overline{CS}$ Input Capacitance	$C_{IN}$	(Note 5)			15	pF
$\overline{SHDN}$ Input High Voltage	$V_{SH}$		$V_{DD} - 0.4$			V
$\overline{SHDN}$ Input Low Voltage	$V_{SL}$				0.4	V
$\overline{SHDN}$ Input Current		$\overline{SHDN} = 0V$ or $V_{DD}$			$\pm 4.0$	$\mu A$
$\overline{SHDN}$ Input Mid Voltage	$V_{SM}$		1.1		$V_{DD} - 1.1$	V
$\overline{SHDN}$ Voltage, Floating	$V_{FLT}$	$\overline{SHDN} = \text{float}$		$V_{DD}/2$		V
$\overline{SHDN}$ Max Allowed Leakage, Mid Input		$\overline{SHDN} = \text{float}$			$\pm 100$	nA
<b>DIGITAL OUTPUT: DOUT</b>						
Output Voltage Low	$V_{OL}$	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 16mA$			0.8	
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V
Three-State Leakage Current	$I_L$	$\overline{CS} = V_{DD}$		$\pm 0.01$	$\pm 10$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$ (Note 5)			15	pF

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

MAX1240/MAX1241

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +2.7V to +3.6V (MAX1240); V<sub>DD</sub> = +2.7V to +5.25V (MAX1241); 73ksps, f<sub>SCLK</sub> = 2.1MHz (50% duty cycle); MAX1240—4.7μF capacitor at REF pin, MAX1241—external reference; V<sub>REF</sub> = 2.500V applied to REF pin; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>; unless otherwise noted.)

PARAMETERS	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>							
Supply Voltage	V <sub>DD</sub>	MAX1240		2.7		3.6	V
		MAX1241		2.7		5.25	
Supply Current	I <sub>DD</sub>	Operating mode	MAX1240A/B	V <sub>DD</sub> = 3.6V	1.4	2.0	mA
			MAX1240C		1.4	3.5	
			MAX1241A/B	V <sub>DD</sub> = 3.6V	0.9	1.5	
				V <sub>DD</sub> = 5.25V	1.6	2.5	
		MAX1241C	V <sub>DD</sub> = 3.6V	0.9	2.8		
			V <sub>DD</sub> = 5.25V	1.6	3.8		
Power-down, digital inputs at 0V or V <sub>DD</sub>		V <sub>DD</sub> = 3.6V	1.9	10		μA	
		V <sub>DD</sub> = 5.25V	3.5	15			
Supply Rejection	PSR	(Note 5)		±0.3			mV

## TIMING CHARACTERISTICS (Figure 8)

(V<sub>DD</sub> = +2.7V to +3.6V (MAX1240); V<sub>DD</sub> = +2.7V to +5.25V (MAX1241); T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETERS	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Acquisition Time	t <sub>ACQ</sub>	$\overline{CS} = V_{DD}$ (Note 6)		1.5			μs
SCLK Fall to Output Data Valid	t <sub>DO</sub>	Figure 1, C <sub>LOAD</sub> = 50pF	MAX124_ _C/E	20		200	ns
			MAX124_ _M	20		240	
$\overline{CS}$ Fall to Output Enable	t <sub>DV</sub>	Figure 1, C <sub>LOAD</sub> = 50pF				240	ns
$\overline{CS}$ Rise to Output Disable	t <sub>TR</sub>	Figure 2, C <sub>LOAD</sub> = 50pF				240	ns
SCLK Clock Frequency	f <sub>SCLK</sub>			0		2.1	MHz
SCLK Pulse Width High	t <sub>CH</sub>			200			ns
SCLK Pulse Width Low	t <sub>CL</sub>			200			ns
SCLK Low to $\overline{CS}$ Fall Setup Time	t <sub>CS0</sub>			50			ns
DO <sub>UT</sub> Rise to SCLK Rise (Note 5)	t <sub>STR</sub>			0			ns
$\overline{CS}$ Pulse Width	t <sub>CS</sub>			240			ns

**Note 1:** Tested at V<sub>DD</sub> = +2.7V.

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range and offset have been calibrated.

**Note 3:** MAX1240—internal reference, offset nulled; MAX1241—external reference (V<sub>REF</sub> = +2.500V), offset nulled.

**Note 4:** External load should not change during conversion for specified accuracy.

**Note 5:** Guaranteed by design. Not subject to production testing.

**Note 6:** Measured as [V<sub>FS</sub>(2.7V) - V<sub>FS</sub>(V<sub>DD</sub>(MAX))].

**Note 7:** To guarantee acquisition time, t<sub>ACQ</sub> is the maximum time the device takes to acquire the signal, and is also the minimum time needed for the signal to be acquired.

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

MAX1240/MAX1241

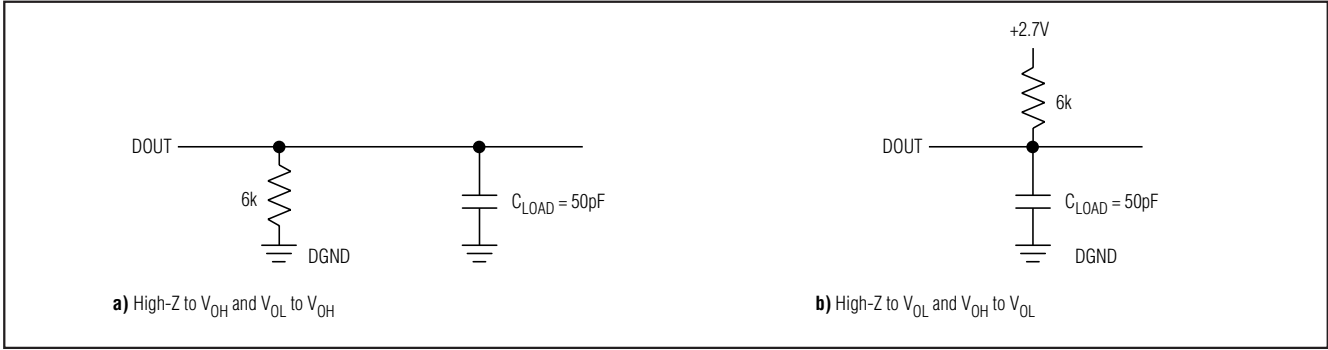


図1. DOUTイネーブル時間用の負荷回路

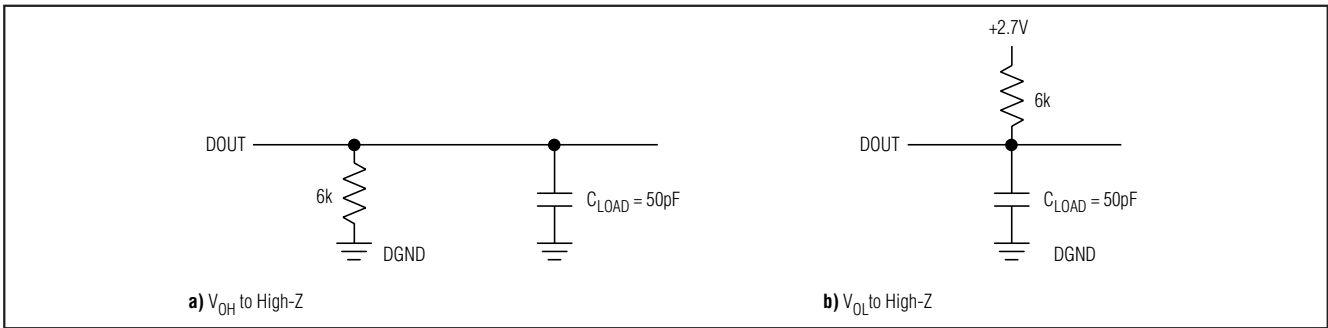
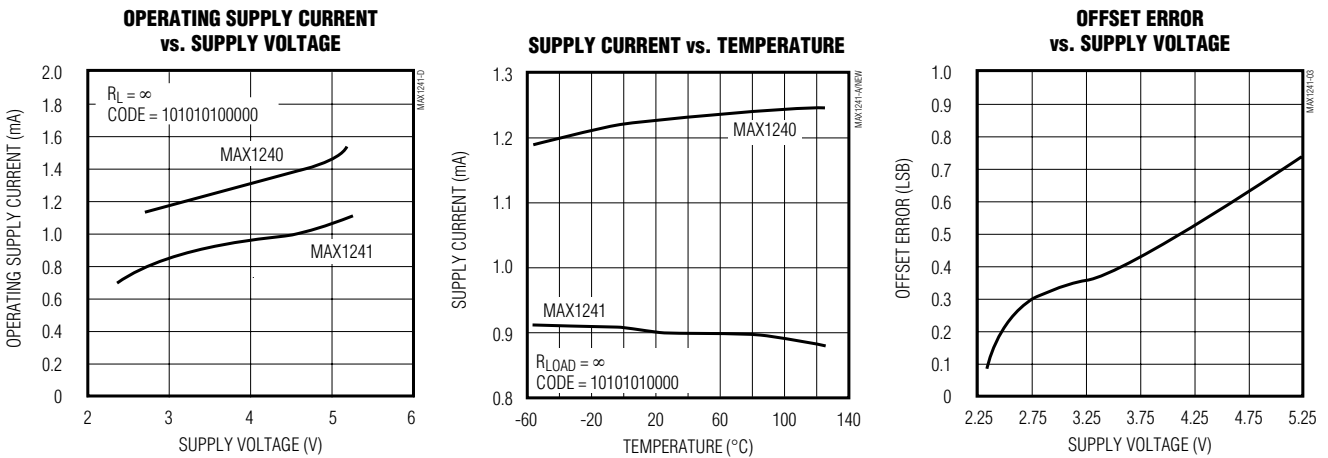


図2. DOUTディセーブル時間用の負荷回路

## 標準動作特性

( $V_{DD} = 3.0V$ ,  $V_{REF} = 2.5V$ ,  $f_{SCLK} = 2.1MHz$ ,  $C_L = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

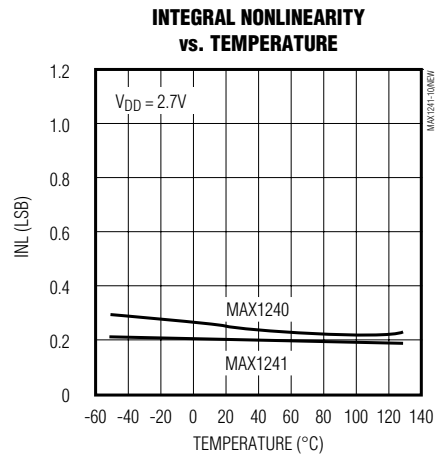
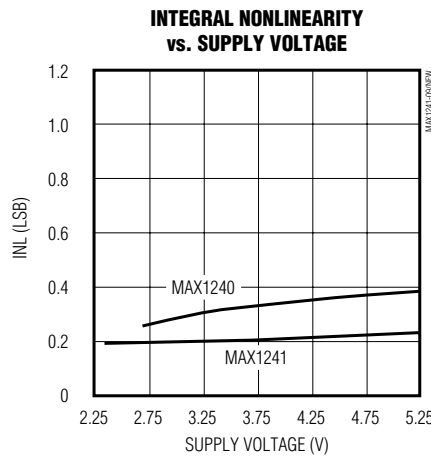
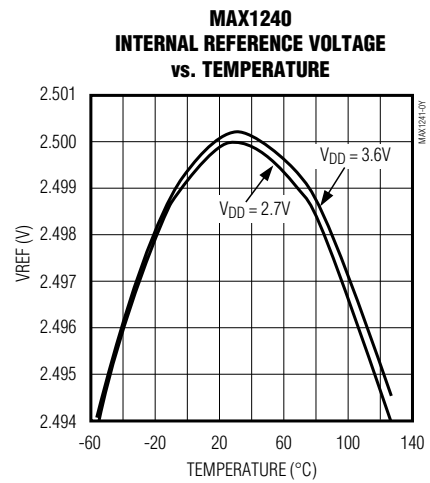
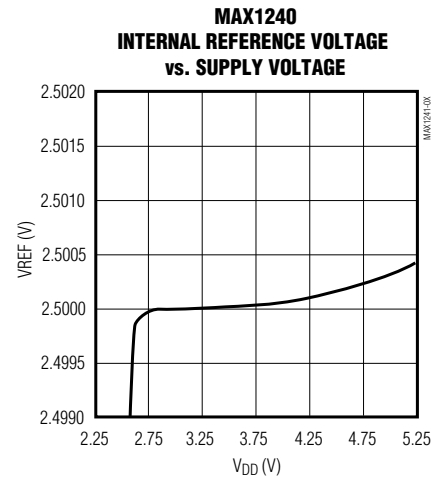
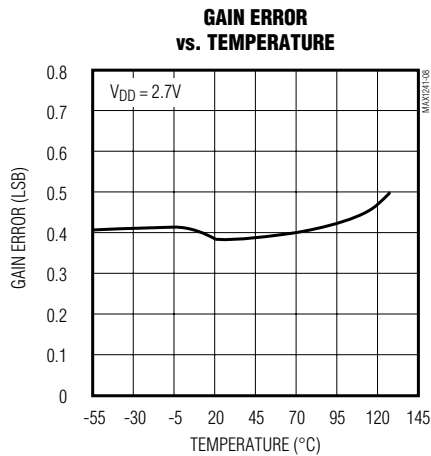
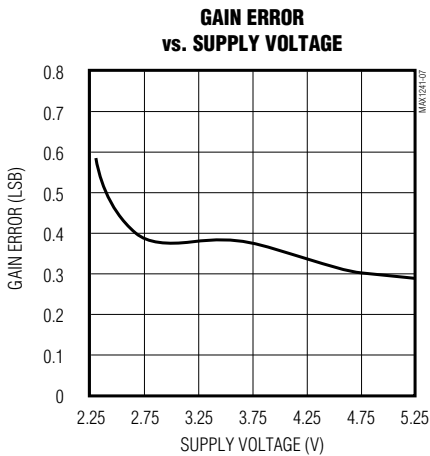
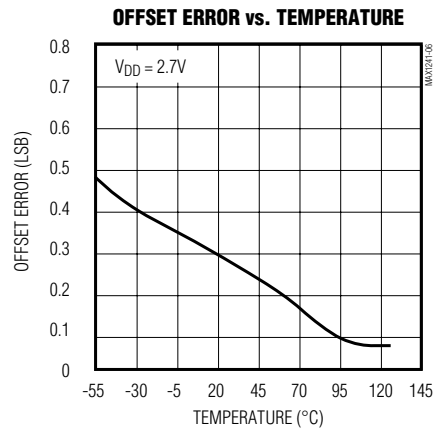
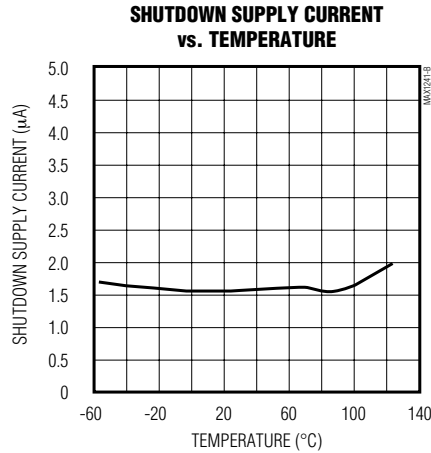
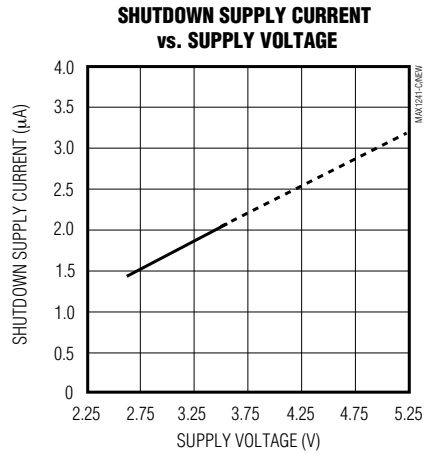


# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

MAX1240/MAX1241

## 標準動作特性(続き)

( $V_{DD} = 3.0V$ ,  $V_{REF} = 2.5V$ ,  $f_{SCLK} = 2.1MHz$ ,  $C_L = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

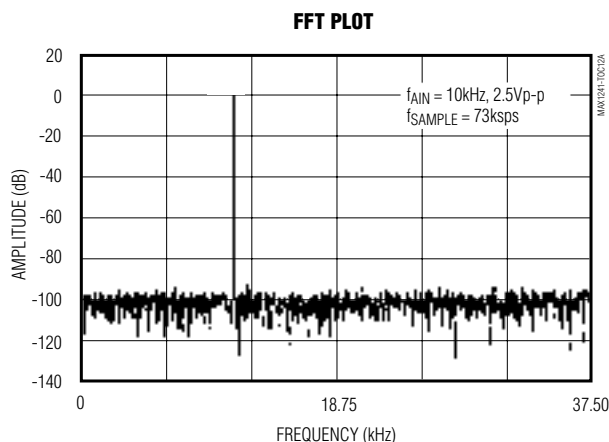
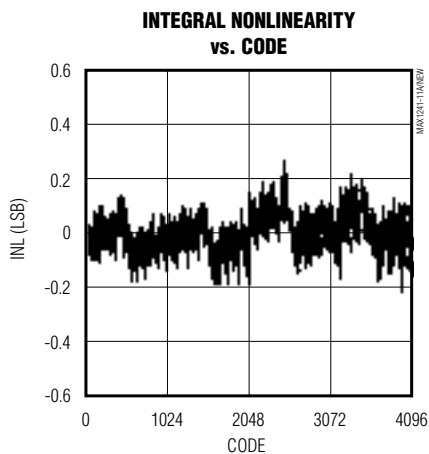


# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

MAX1240/MAX1241

## 標準動作特性(続き)

( $V_{DD} = 3.0V$ ,  $REF = 2.5V$ ,  $f_{SCLK} = 2.1MHz$ ,  $C_L = 20pF$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.)



## 端子説明

端子	名称	機能
1	$V_{DD}$	正電源電圧：2.7V～3.6V(MAX1240)；2.7V～5.25V(MAX1241)
2	AIN	サンプリングアナログ入力。範囲は0V～ $V_{REF}$ 。
3	$\overline{SHDN}$	3レベルシャットダウン入力。 $\overline{SHDN}$ をローにすると、MAX1240/MAX1241は、消費電流15 $\mu$ A(max)までシャットダウンされます。 $\overline{SHDN}$ がハイ又はフローティングの場合、MAX1240とMAX1241は完全な動作状態になります。MAX1240の場合、 $\overline{SHDN}$ をハイにすると、内部リファレンスはイネーブルになります。また、 $\overline{SHDN}$ をフローティングにすると、内部リファレンスはディセーブルされ、外部電圧リファレンスを使用できます。
4	REF	A/D変換用のリファレンス電圧。MAX1240の場合、内部2.5V電圧リファレンス出力となり、4.7 $\mu$ F容量のコンデンサでバイパスします。MAX1241又は内部リファレンスがディセーブルのMAX1240の場合には、外部リファレンス電圧入力となります。外部リファレンスを使用する際には、少なくとも0.1 $\mu$ Fのコンデンサでバイパスします。
5	GND	アナログ及びデジタルグランド
6	DOUT	シリアルデータ出力。データの状態は、SCLKの立下がりエッジで変化します。 $\overline{CS}$ がハイの時、ハイインピーダンスになります。
7	$\overline{CS}$	アクティブローのチップセレクトの立下がりエッジで変換が開始されます。 $\overline{CS}$ がハイの時、DOUTはハイインピーダンスになります。
8	SCLK	シリアルクロック入力。SCLKにより、最大2.1MHzのレートでデータをクロックアウトします。

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

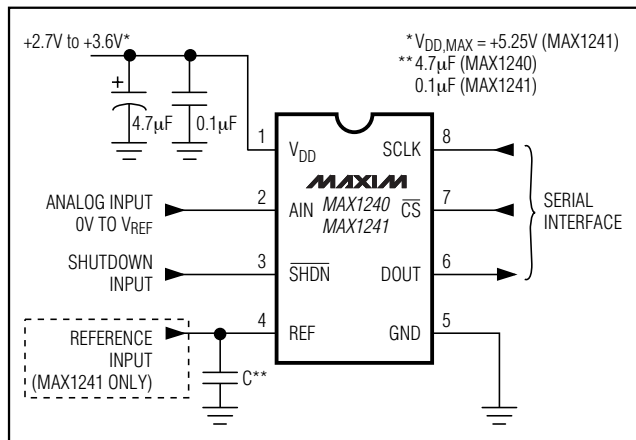


図3. 動作ダイアグラム

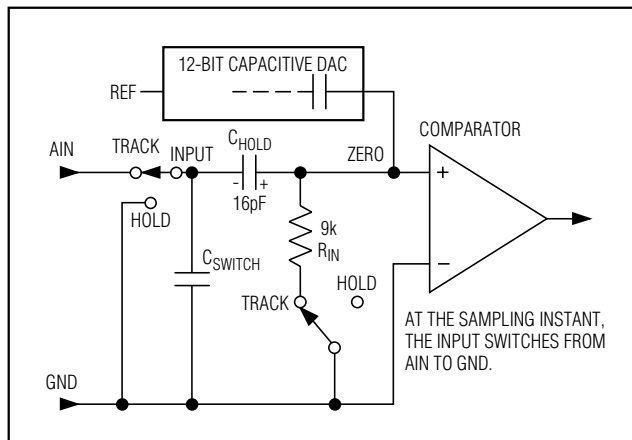


図4. 等価入力回路

## 詳細

### コンバータの動作

MAX1240/MAX1241は、入力トラック/ホールド(T/H)及び逐次比較レジスタ(SAR)を使用してアナログ入力信号をデジタル12ビット出力に変換します。T/Hには外部ホールドコンデンサは必要ありません。図3に、MAX1240/MAX1241の最もシンプルな構成を示します。MAX1240/MAX1241は、0V ~  $V_{REF}$ の範囲の入力信号をT/Hアキュイジション時間も含めて9µsで変換します。MAX1240の内部リファレンスは2.5Vに設定されています。MAX1241は外部リファレンスを必要とします。どちらも1.0V ~  $V_{DD}$ の外部リファレンス電圧が必要です。シリアルインタフェースは僅か3本(SCLK、 $\overline{CS}$ 及びDOUT)のデジタルラインを必要とするだけで、マイクロプロセッサ(µP)へのインタフェースを容易に実現できます。

MAX1240/MAX1241には、通常及びシャットダウンの2つの動作モードがあります。 $\overline{SHDN}$ をローに下げると素子がシャットダウンし、消費電流が10µA以下に低減します( $V_{DD}$  3.6V)。 $\overline{SHDN}$ をハイにするか、あるいはオープンのままだと、素子は通常動作モードになります。 $\overline{CS}$ をローにすると変換が開始されます。変換結果は、ユニポーラシリアルフォーマットでDOUTに出力されます。シリアルデータストリームは、変換完了(EOC)を示すハイビットの後にMSBを先頭ビットとするデータビットが続きます。

### アナログ入力

図4に、アナログデジタルコンバータ(ADC)のコンパレータのサンプリング構造を示します。フルスケール入力電圧は、REFの電圧で設定されます。

### トラック/ホールド

トラックモードでは、アナログ信号は取り込まれて内部ホールドコンデンサに蓄積されます。ホールドモード

ではT/Hスイッチが開き、ADCのSAR部分の入力を一定に維持します。

アキュイジション中は、アナログ入力(AIN)がコンデンサ  $C_{HOLD}$  を充電します。 $\overline{CS}$ をローにするとアキュイジション期間が終了します。この瞬間に、T/Hスイッチが  $C_{HOLD}$  の入力側をGNDに切り換えます。 $C_{HOLD}$ に保持されている電荷が入力のサンプルを表し、コンパレータの入力のノードZEROを不平衡にします。

ホールドモードでは、容量性デジタルアナログコンバータ(DAC)が、変換サイクルの残余時間内に、容量性DACがノードZEROを12ビット分解能の限界内で、0Vに調節します。この動作は、電荷を  $C_{HOLD}$  からバイナリ重み付の容量性DACに移すのと等価であり、この結果、アナログ入力信号のデジタル表現が生成されます。変換の最後では  $C_{HOLD}$  の入力側がAINに再び切り換えられ、  $C_{HOLD}$  は再び入力信号まで充電されます。

T/Hが入力信号を取り込むのに要する時間は、入力容量が充電される速さの関数です。入力信号のソースインピーダンスが高いと、アキュイジション時間が長くなるため、変換と変換の間隔を長くする必要があります。アキュイジション時間( $t_{ACQ}$ )は素子が信号を取り込むのに要する最大時間であり、信号の取込みに必要な最小時間です。アキュイジション時間は、次式で計算されます。

$$t_{ACQ} = 9 (R_S + R_{IN}) \times 16\text{pF}$$

ここで、 $R_{IN} = 9\text{k}$ 、 $R_S$  = 入力信号のソースインピーダンス、そして  $t_{ACQ}$  は必ず1.5µs以上とします。ソースインピーダンスが1k以下であれば、ADCのAC性能に大きな影響はありません。

アナログ入力に0.01µFのコンデンサを接続すると、これより高いソースインピーダンスも可能になります。入力コンデンサと入力ソースインピーダンスによってRCフィルタが形成されるため、ADCの信号帯域幅が制限されることに注意してください。



# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

## 入力帯域幅

ADCの入コトラッキング回路の小信号帯域幅は2.25MHzであるため、アンダーサンプリング技法を使用することにより帯域幅がADCのサンプリングレートを超える周期信号を測定し、高速トランジェント現象を数値化できます。不要な高周波信号のエイリアシングが、目的の周波数帯域に入るのを防ぐため、アンチエイリアシングフィルタリングをお勧めします。

## アナログ入力保護

内部保護ダイオードによりアナログ入力が $V_{DD}$ とGNDにクランプされているため、チャンネル入力ピンは(GND - 0.3V) ~ ( $V_{DD}$  + 0.3V)の範囲で、損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うためには、入力が $V_{DD}$ を50mV以上超えず、またGNDを50mV以上下回らないようにしてください。

アナログ入力が電源を50mV以上超えた場合は、入力電流を2mAまでに制限してください。

## 内部電圧リファレンス(MAX1240)

MAX1240には2.5Vに調整された電圧リファレンスが内蔵されています。この内部リファレンス出力はREF出力ピンに接続され、内部容量性DACの駆動にも使用されます。この電圧出力を他の部品用のリファレンス電圧源として使用することが可能で、最大で400 $\mu$ Aまでソースできます。REFピンは4.7 $\mu$ Fのコンデンサでバイパスしてください。これよりも容量の高いコンデンサを使用すると、MAX1240がシャットダウンモードからウェイクアップする時間が長くなってしまいます(「SHDN使用による消費電流の低減」の項を参照ください)。 $\overline{\text{SHDN}}$ 入力ピンをハイにすると、内部リファレンスが使用可能になります。この $\overline{\text{SHDN}}$ 入力ピンをフローティング状態すると、内部リファレンスの動作が禁止され、「外部リファレンス」の項で説明す

るように、外部リファレンスを使用することが可能になります。

## 外部リファレンス

MAX1240/MAX1241は、REFピンで外部リファレンスが必要とします。仕様の精度を得るために、+1.0V ~  $V_{DD}$ の電圧範囲を超えないようにしてください。最小入力インピーダンスは、DC電流に対して18k です。MAX1240を外部リファレンスと使用する場合は、 $\overline{\text{SHDN}}$ をフロートし、内部リファレンスをディセーブルにしてください。変換時のリファレンスは、最大250 $\mu$ AのDC負荷電流を供給できなければならず、出力インピーダンスは10以下でなければなりません。バイパスコンデンサの推奨最小値は、0.1 $\mu$ Fです。リファレンスの出力インピーダンスがこれ以上の場合やノイズが多い場合は、4.7 $\mu$ FのコンデンサでREFピンの近くにバイパスしてください。

## シリアルインタフェース

### パワーアップ後の初期化及び変換開始

電源を最初に投入するとき、そして $\overline{\text{SHDN}}$ 入力がない場合には、完全に放電状態の4.7 $\mu$ F容量の電圧リファレンスバイパス用コンデンサを規定精度が保証されるまで十分に充電させるために、最高で20msまでの時間が必要です。電源が安定化した後の内部リセット時間は10 $\mu$ sです。この期間は変換を実行しないでください。

変換は、 $\overline{\text{CS}}$ をローにすることによって開始します。 $\overline{\text{CS}}$ の立下がりエッジでT/Hはホールドモードに入り、変換が開始されます。内部で決められた変換期間が過ぎると、DOUTがハイになることにより変換の完了が表示されます。その後、データは、外部クロックによってシリアルにシフトアウトされます。

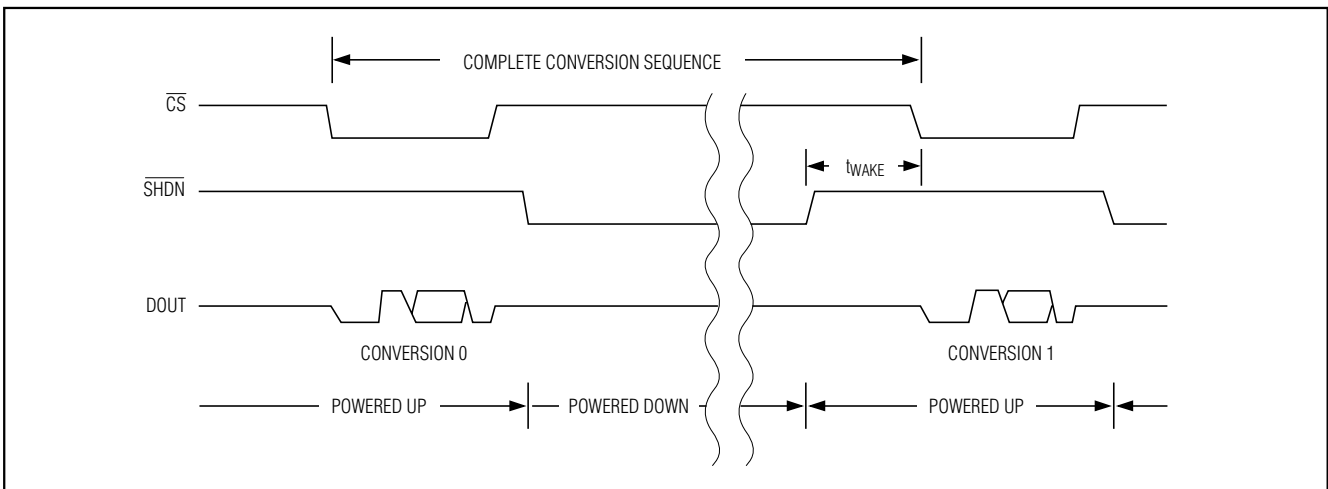


図5. シャットダウンシーケンス

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

## SHDN使用による消費電流の低減

MAX1240/MAX1241を変換と変換の間でシャットダウンすることによって、消費電力を大幅に低減できます。これは図6の平均消費電流対変換レートのグラフに示されています。MAX1241では外部リファレンス電圧を使用するので(リファレンス電圧が連続的に出力されると仮定)、シャットダウン動作モードから短時間(4 $\mu$ s)でウェイクアップします。したがって、平均的な消費電流がより低い値に抑えられます。ウェイクアップ時間( $t_{WAKE}$ )は、SHDNが解除されてから変換を開始できるようにするまでの時間です(図5)。シャットダウン中、外部4.7 $\mu$ Fリファレンスバイパスコンデンサはゆっくりとチャージを失うため、MAX1240のウェイクアップ時間はシャットダウン時間に依存します(図7)。

## 外部クロック

実際の変換には外部クロックは必要ありません。このため、変換結果は $\mu$ Pに合わせて2.1MHzまでの任意のクロックレートで読み取ることができます。各クロック位相が少なくとも200nsであれば、クロックのデューティサイクルには制限がありません。変換中には、クロックを動作させないでください。

## タイミングと制御

変換開始及びデータ読み取り動作は、 $\overline{CS}$ 及びSCLKデジタル入力によって制御されます。図8及び図9のタイミングダイアグラムにシリアルインタフェースの動作がまとめられています。

$\overline{CS}$ の立下がりエッジにより変換シーケンスが開始されます。T/H段により入力電圧が保持され、ADCが変換を開始し、DOUTがハイインピーダンスからロジックローに変わります。変換中は、SCLKをローに維持しておくことが必要です。変換の進行中は、内部レジスタによりデータが保存されます。

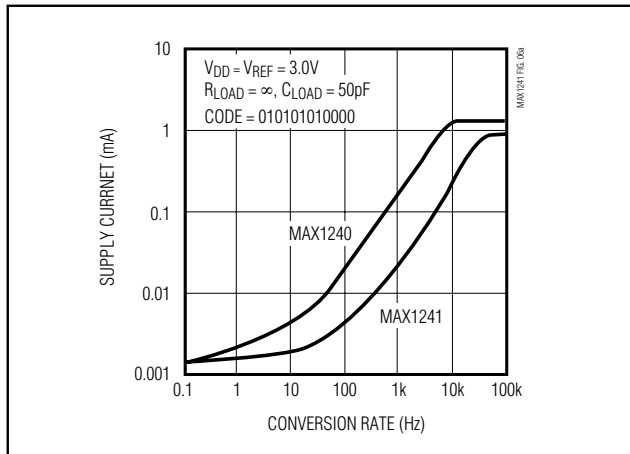


図6. 平均消費電流対変換レート

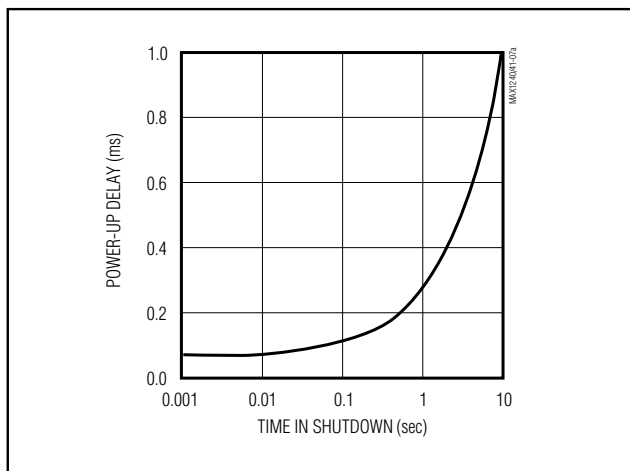


図7. リファレンスパワーアップ遅延対シャットダウン時間(typ)

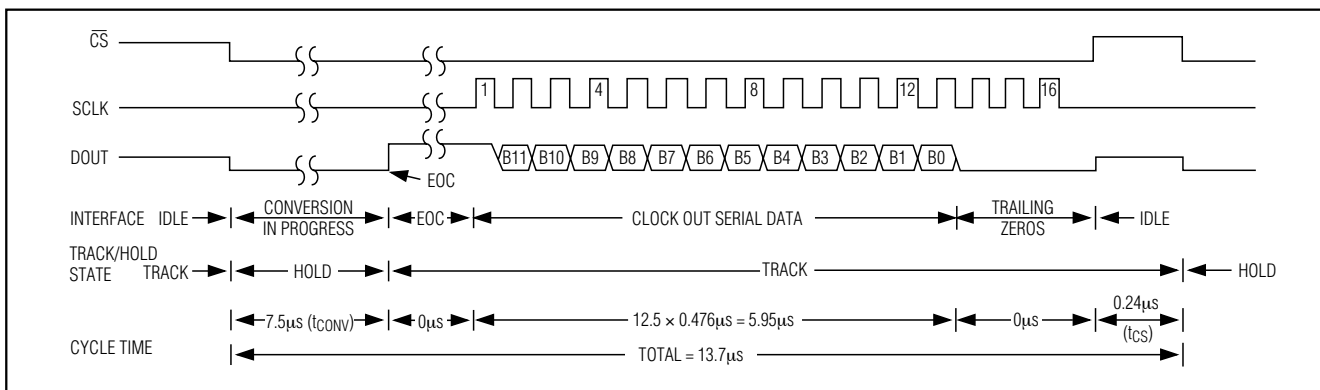


図8. インタフェース時間シーケンス

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

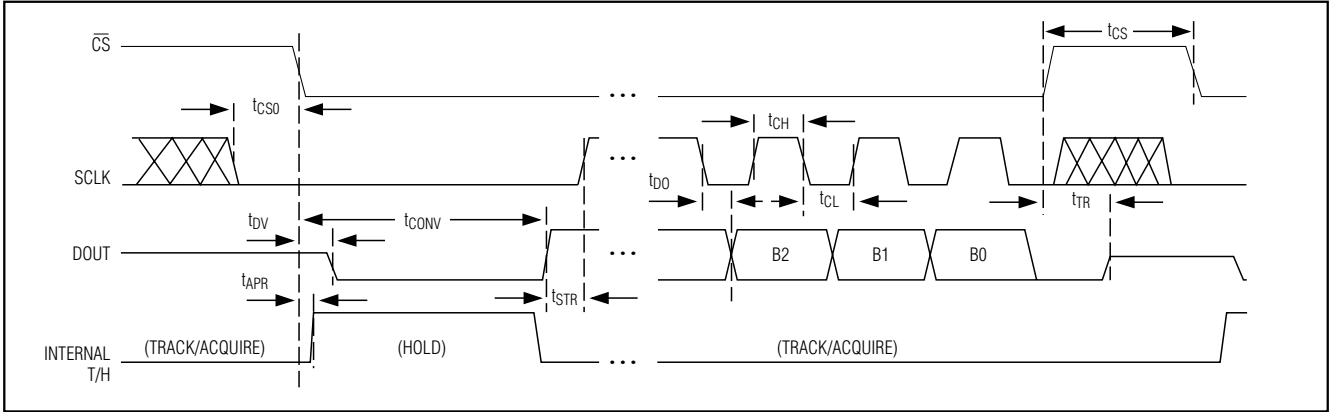


図9. シリアルインタフェースタイミングの詳細図

変換の完了(EOC)は、DOUTがハイになることによって判定できます。DOUTの立上がりエッジをフレーミング信号として使用できます。変換完了後、任意の時間にSCLKによって、データをこのレジスタからシフトアウトします。DOUTは、SCLKの立下がりエッジで遷移します。その次のクロックの立下がりエッジでその変換のMSBがDOUTに出力され、残りのビットがそれに続きます。データビットが12個、先頭のハイビットが1個存在するため、これらのビットをシフトアウトするには、少なくとも13個のクロック立下がりエッジが必要です。変換結果がクロックアウトされた後及びCSの立上がりエッジの前における余分のクロックパルスは、DOUTにゼロの列を生成するだけで、コンバータの動作には影響しません。

サイクル時間を最小にするためには、DOUTの立上がりエッジをEOC信号として使用します。データをフルスピードの12.5クロックサイクルでクロックアウトします。変換のLSB読み込みの後に、CSをハイにします。仕様で指定された最小時間(tcs)の後、CSを再びローにして次の変換を開始できます。

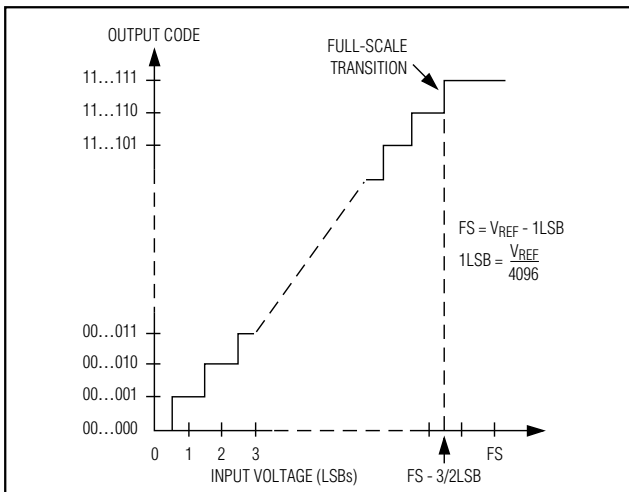


図10. ユニポーラ伝達関数(フルスケール(FS) =  $V_{REF} - 1LSB$ 、ゼロスケール(ZS) = GND)

## 出力コーディング及び伝達関数

MAX1240/MAX1241のデータ出力は、バイナリです。図10は、公称伝達関数を示しています。コード遷移は、隣接する整数LSB値同士の間で起こります。 $V_{REF} = +2.500V$ である場合、 $1LSB = 610\mu V$  (即ち $2.500V / 4096$ )です。

## アプリケーション情報

### 標準インタフェースへの接続

MAX1240/MAX1241は、SPI、QSPI及びMICROWIRE標準シリアルインタフェースと完全にコンパチブルです(図11)。

シリアルインタフェースが使用できる場合は、CPUのシリアルインタフェースをマスターモードに設定し、CPUがシリアルクロックを発生できるようにしてください。選択できるクロック周波数は、2.1MHzまでとなっています。

- 1) CPUの汎用I/Oラインを使用して、CSをローにします。SCLKは、ローに維持します。
- 2) SCLKを動作させる前に、仕様で指定された最大変換時間待ちます。あるいは、DOUTの立上がりエッジで変換の完了を判定することもできます。
- 3) SCLKを少なくとも13クロックサイクル動作させます。最初の立下がりエッジでDOUT変換のMSBが生成されます。DOUTの出力データは、SCLKの立下がりエッジで遷移し、MSBを先頭にしたフォーマットで出てきます。SCLKからDOUTへの有効タイミング特性を守ってください。SCLKの立上がりエッジでデータを $\mu P$ にクロックインできます。
- 4) 13番目の立下がりクロックエッジ以後にCSをハイにします。CSがローに留まると、LSBの後にゼロの列がクロックアウトされます。

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

5)  $\overline{CS}$  = ハイの状態、仕様で指定された最小時間 $t_{CS}$  待った後で $\overline{CS}$ をローにし、新しい変換を開始します。変換が完了する前に $\overline{CS}$ をハイにして変換を中断した場合は、新しい変換を開始する前に最小アキュイジション時間 $t_{ACQ}$ 待ちます。

$\overline{CS}$ は全てのデータビットがクロックアウトするまでローでなければなりません。図8に示すように、データは2バイトずつ、又は連続的に出力できます。これらのバイトは、1の先頭ビットと後に続く0の列が付加された変換結果となります。

## SPI及びMICROWIRE

SPI又はMICROWIREを使用する場合は、 $CPOL = 0$ 及び $CPHA = 0$ に設定してください。変換は、 $\overline{CS}$ の立下がりエッジで開始されます。DOUTがローになって変換が進行中であることを知らせます。DOUTがハイになるか、あるいは仕様で指定された最大変換時間 $7.5\mu s$ が経過するまで待ってください。ADCから完全な12ビットを取り出すには、2つの連続した1バイト読み取り動作が必要です。DOUTの出力データは、SCLKの立下がりエッジで遷移し、SCLKの立上がりエッジで $\mu P$ にクロックインされます。

最初のバイトには、先頭ビットの1及び7ビットの変換結果が含まれます。2番目のバイトには、残りの5ビット及び後に続く3つのゼロが含まれます。接続については図11、タイミングについては図12を参照してください。

## QSPI

$CPOL = CPHA = 0$ に設定してください。SPIは、ADCから12ビットのデータを取り込むために2つの1バイト読み取り動作を必要としますが、QSPIではデータをクロックインするために必要なクロックサイクル数を最小限に抑えられます。MAX1240/MAX1241は、12ビットのデータ(後に続くゼロはなし)をクロックアウトするために $\mu P$ からのクロックを13サイクル分必要とします(図13)。QSPIとのコンパチビリティが保証される最大クロック周波数は、2.097MHzです。

## レイアウト、グランド及びバイパス

最高の性能を得るには、プリント回路基板を使用してください。ワイヤラップボードはお勧めできません。ボードレイアウトは、デジタル信号ラインとアナログ信号ラインが分離されるようにします。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないでください。又、デジタルラインがADCパッケージの下に来ないようにしてください。

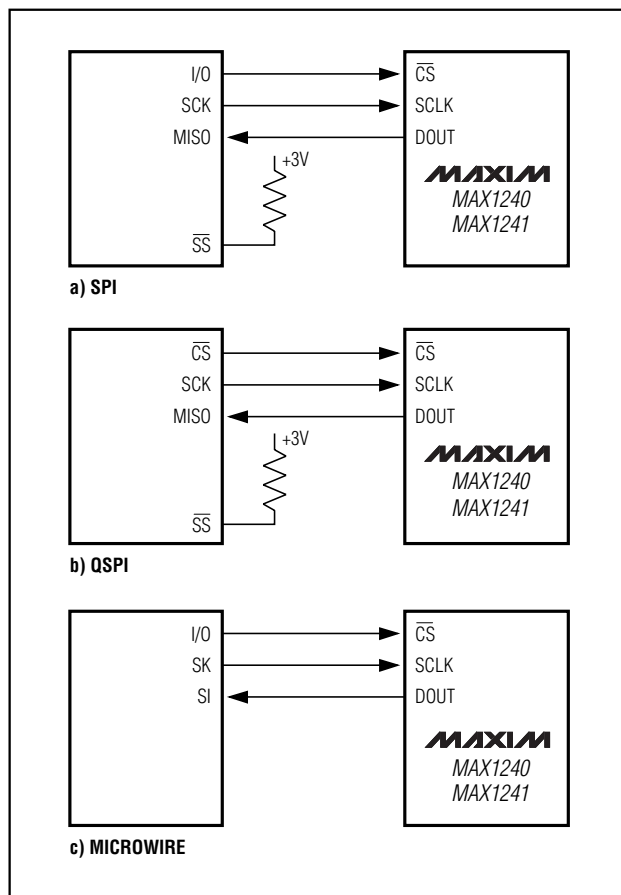


図11. MAX1241への一般的なシリアルインタフェース接続

図14に、推奨されるシステムグランド接続法を示します。一点アナロググランド(スターグランドポイント)をGNDのところを設定し、ロジックグランドとは分離します。ノイズをさらに減らすために、その他全てのアナロググランド及びDGNDをスターグランドに接続してください。このグランドに他のデジタルシステムグランドを接続しないでください。ノイズを排除するためにスターグランドから電源へのグランドリターンはできるだけ短くし、また、低インピーダンスにしてください。

$V_{DD}$ 電源内の高周波ノイズがADC内の高速コンパレータに影響を与える可能性があります。この電源は、 $0.1\mu F$ 及び $4.7\mu F$ コンデンサでスターグランドにバイパスしてください。最高の電源ノイズ除去比を得るには、コンデンサのリード線をできるだけ短くしてください。電源のノイズが特に大きい場合は、電源ノイズを減衰させるために10  $\Omega$ 抵抗をローパスフィルタとして接続してください(図14)。

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

MAX1240/MAX1241

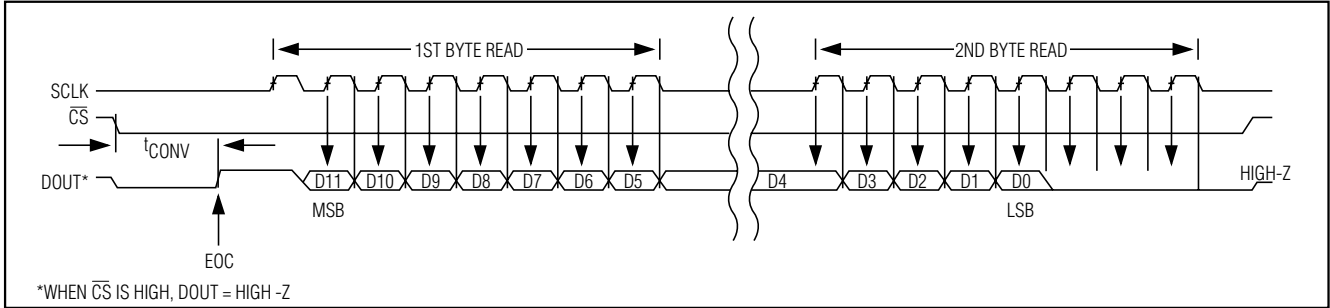


図12. SPI/MICROWIREシリアルインタフェースタイミング(CPOL = CPHA = 0)

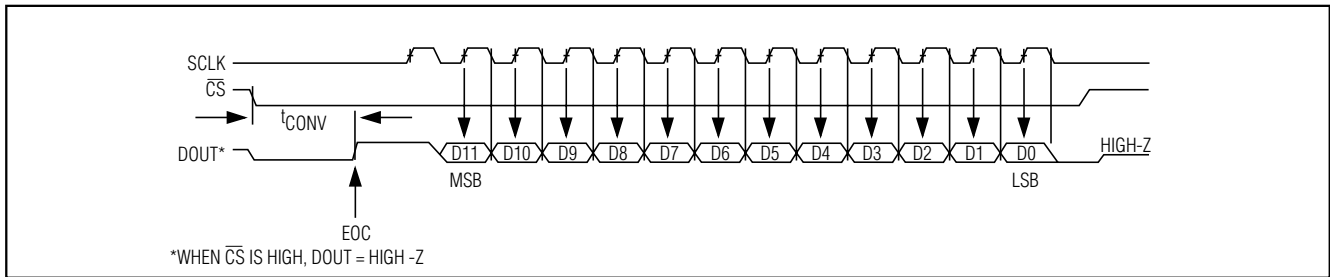


図13. QSPIシリアルインタフェースタイミング(CPOL = CPHA = 0)

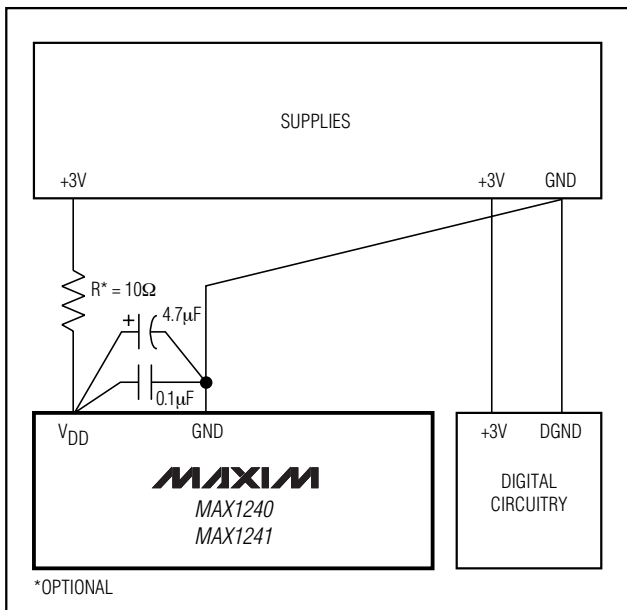


図14. 電源接地条件

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

MAX1240/MAX1241

型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1240AEPA	-40°C to +85°C	8 Plastic DIP	±1/2
MAX1240BEPA	-40°C to +85°C	8 Plastic DIP	±1
MAX1240CEPA	-40°C to +85°C	8 Plastic DIP	±1
MAX1240AESA	-40°C to +85°C	8 SO	±1/2
MAX1240BESA	-40°C to +85°C	8 SO	±1
MAX1240CESA	-40°C to +85°C	8 SO	±1
MAX1240AMJA	-55°C to +125°C	8 CERDIP**	±1/2
MAX1240BMJA	-55°C to +125°C	8 CERDIP**	±1
MAX1240CMJA	-55°C to +125°C	8 CERDIP**	±1
<b>MAX1241</b> ACPA	0°C to +70°C	8 Plastic DIP	±1/2
MAX1241BCPA	0°C to +70°C	8 Plastic DIP	±1
MAX1241CCPA	0°C to +70°C	8 Plastic DIP	±1
MAX1241ACSA	0°C to +70°C	8 SO	±1/2
MAX1241BCSA	0°C to +70°C	8 SO	±1
MAX1241CCSA	0°C to +70°C	8 SO	±1
MAX1241BC/D	0°C to +70°C	Dice*	±1
MAX1241AEPA	-40°C to +85°C	8 Plastic DIP	±1/2
MAX1241BEPA	-40°C to +85°C	8 Plastic DIP	±1
MAX1241CEPA	-40°C to +85°C	8 Plastic DIP	±1
MAX1241AESA	-40°C to +85°C	8 SO	±1/2
MAX1241BESA	-40°C to +85°C	8 SO	±1
MAX1241CESA	-40°C to +85°C	8 SO	±1
MAX1241AMJA	-55°C to +125°C	8 CERDIP**	±1/2
MAX1241BMJA	-55°C to +125°C	8 CERDIP**	±1
MAX1241CMJA	-55°C to +125°C	8 CERDIP**	±1

\*Dice are specified at  $T_A = +25^\circ\text{C}$ , DC parameters only.

\*\* Contact factory for availability and processing to MIL-STD-883.

チップ情報

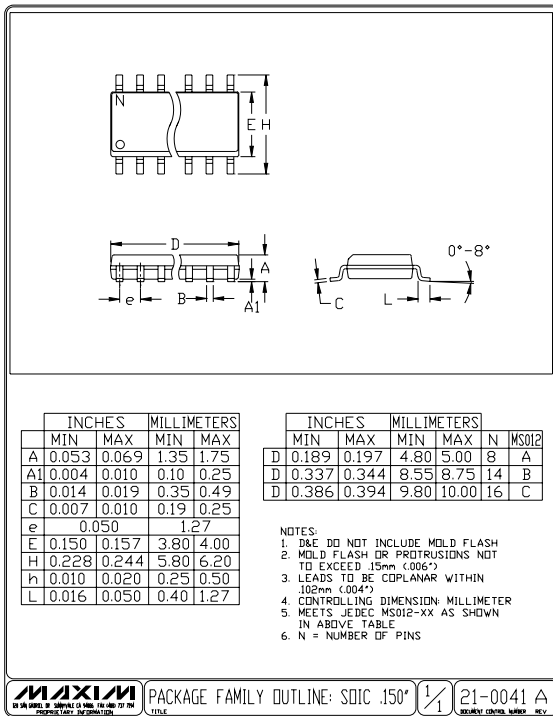
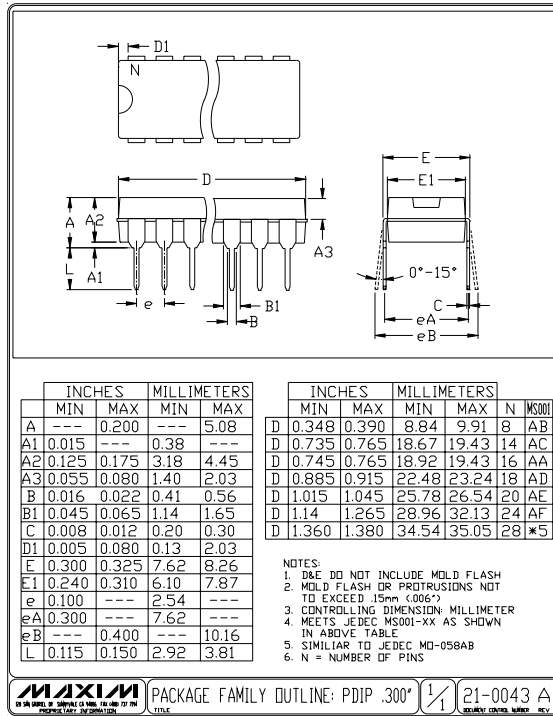
TRANSISTOR COUNT: 2558

SUBSTRATE CONNECTED TO GND

# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

## パッケージ

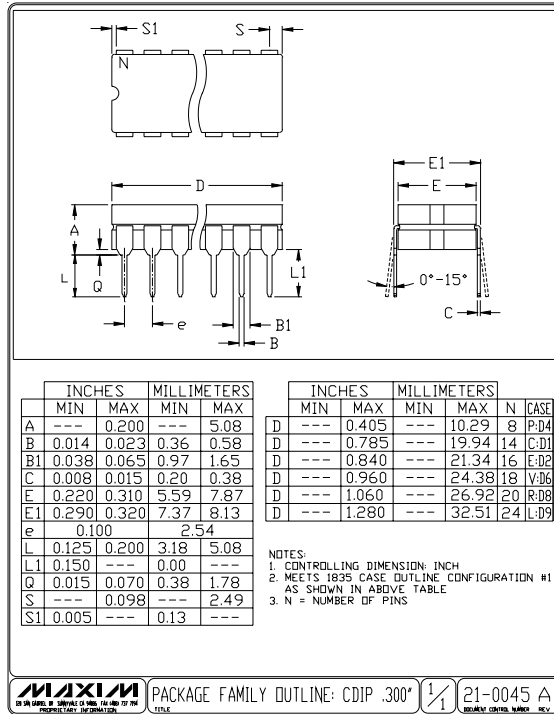
MAX1240/MAX1241



# +2.7V、低電力、 12ビットシリアルADC、8ピンSOP

MAX1240/MAX1241

パッケージ(続き)



販売代理店

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600