

5V、低消費電力、電圧出力、 シリアル10ビットDAC

概要

MAX504/MAX515は、+5V単一電源動作の低消費電力、電圧出力、10ビットD/Aコンバータ(DAC)です。MAX504は±5V電源でも動作します。MAX515の消費電流は僅か140μA、MAX504は(内部リファレンスを使用した場合)僅か260μAとなっています。MAX515は8ピンDIP及びSOPパッケージ、MAX504は14ピンDIP及びSOPパッケージで提供されています。これらのデバイスは共に、オフセット電圧、利得及び直線性に対してトリミングされているため、調整は不要です。

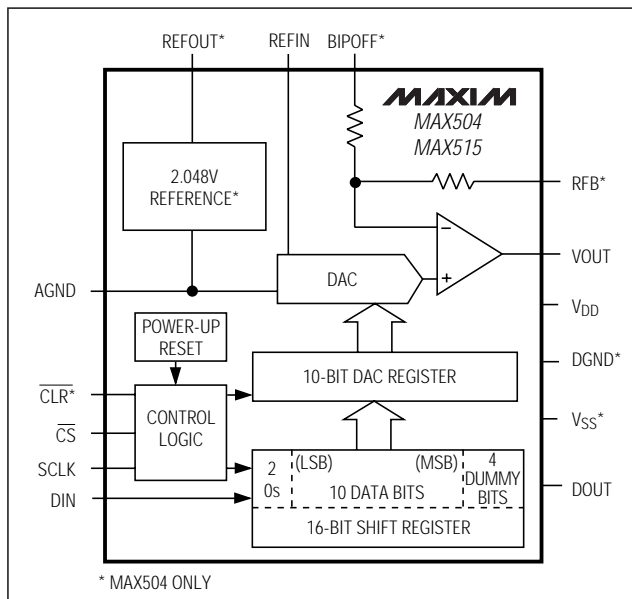
MAX515のバッファは2の利得で固定されています。MAX504の内部オペアンプは、ユニポラ又はバイポラ出力電圧だけでなく、1又は2の利得用として構成できます。又、MAX504は外部抵抗やオペアンプ無しで4象限乗算器として使用することもできます。

パラレルデータ入力については、MAX503データシートを参照してください。ハードウェア及びソフトウェアコンパチブルの12ビットアップグレード品については、MAX531/MAX538/MAX539データシートを参照してください。

アプリケーション

- バッテリー駆動テスト機器
- デジタルオフセット及び利得調整
- バッテリー駆動/リモート工業制御
- 機械及びモーション制御デバイス
- セルラ電話

ファンクションダイアグラム



特長

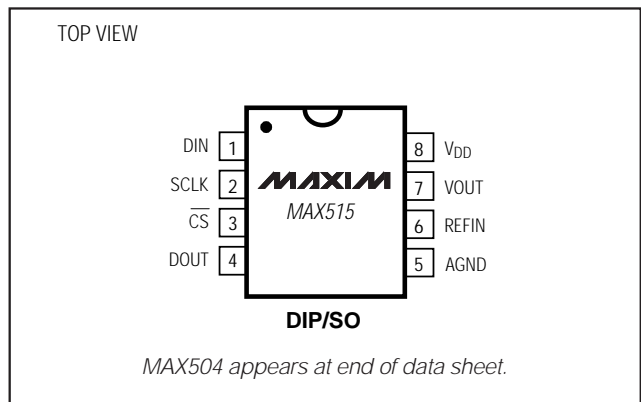
- ◆ 電源：+5V単一電源動作
- ◆ バッファ付き電圧出力
- ◆ 2.048V内部リファレンス(MAX504)
- ◆ 消費電流：140μA(MAX515)
- ◆ INL = ±1/2LSB (max)
- ◆ 全温度範囲で保証されたモノトニック特性
- ◆ 柔軟な出力範囲：
 - 0V ~ V_{DD}(MAX504/MAX515)
 - V_{SS} ~ V_{DD}(MAX504)
- ◆ 8ピンSOP/DIP(MAX515)
- ◆ パワーオンリセット
- ◆ デイジーチェーン構成用のシリアルデータ出力

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX504CPD	0°C to +70°C	14 Plastic DIP
MAX504CSD	0°C to +70°C	14 SO
MAX504EPD	-40°C to +85°C	14 Plastic DIP
MAX504ESD	-40°C to +85°C	14 SO
MAX515CPA	0°C to +70°C	8 Plastic DIP
MAX515CSA	0°C to +70°C	8 SO
MAX515EPA	-40°C to +85°C	8 Plastic DIP
MAX515ESA	-40°C to +85°C	8 SO

Refer to the MAX531/MAX538/MAX539 data sheet for military temperature or die equivalents.

ピン配置



5V、低消費電力、電圧出力、 シリアル10ビットDAC

MAX504/MAX515

ABSOLUTE MAXIMUM RATINGS

V _{DD} to DGND and V _{DD} to AGND	-0.3V, +6V
V _{SS} to DGND and V _{SS} to AGND	-6V, +0.3V
V _{DD} to V _{SS}	-0.3V, +12V
AGND to DGND	-0.3V, +0.3V
Digital Input Voltage to DGND	-0.3V, (V _{DD} + 0.3V)
REFIN	(V _{SS} - 0.3V), (V _{DD} + 0.3V)
REFOUT to AGND	-0.3V, (V _{DD} + 0.3V)
RFB	(V _{SS} - 0.3V), (V _{DD} + 0.3V)
BIPOFF	(V _{SS} - 0.3V), (V _{DD} + 0.3V)
V _{OUT} (Note 1)	V _{SS} , V _{DD}
Continuous Current, Any Pin	-20mA, +20mA

Continuous Power Dissipation (T _A = +70°C)	
8-Pin Plastic DIP (derate 9.09mW/°C above +70°C)	727mW
8-Pin SO (derate 5.88mW/°C above +70°C)	471mW
14-Pin Plastic DIP (derate 10.00mW/°C above +70°C)	800mW
14-Pin SO (derate 8.33mW/°C above +70°C)	667mW
Operating Temperature Ranges	
MAX5_ _C_	0°C to +70°C
MAX5_ _E_	-40°C to +85°C
Storage Temperature Range	-65°C to +165°C
Lead Temperature (soldering, 10sec)	+300°C

Note 1: The output may be shorted to V_{DD}, V_{SS}, or AGND if the package power dissipation limit is not exceeded.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—Single +5V Supply

(V_{DD} = 5V, V_{SS} = 0V, AGND = DGND = 0V, REFIN = 2.048V (external), RFB = BIPOFF = V_{OUT} (MAX504), C_{REFOUT} = 33μF (MAX504), R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		10			Bits
Relative Accuracy (Note 2)	INL				±0.5	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Unipolar Offset Error	V _{OS}		0		3	LSB
Unipolar Offset Tempco	TCV _{OS}			3		ppm/°C
Unipolar Offset-Error Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		0.1		LSB/V
Gain Error (Note 2)	GE				±1	LSB
Gain-Error Tempco				1		ppm/°C
Gain-Error Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		0.1		LSB/V
VOLTAGE OUTPUT (V_{OUT})						
Output Voltage Range		MAX504 (G = 1)	0		V _{DD} - 2	V
		MAX504 (G = 2), MAX515	0		V _{DD} - 0.4	
Output Load Regulation		V _{OUT} = 2V, R _L = 2kΩ			0.5	LSB
Short-Circuit Current	I _{SC}			12		mA
REFERENCE INPUT (REFIN)						
Voltage Range			0		V _{DD} - 2	V
Input Resistance		Code dependent, minimum at code 0101...	40			kΩ
Input Capacitance		Code dependent (Note 3)	10		50	pF
AC Feedthrough		REFIN = 1kHz, 2Vp-p			-80	dB

5V、低消費電力、電圧出力、 シリアル10ビットDAC

MAX504/MAX515

ELECTRICAL CHARACTERISTICS—Single +5V Supply (continued)

($V_{DD} = 5V$, $V_{SS} = 0V$, $AGND = DGND = 0V$, $REFIN = 2.048V$ (external), $RFB = BIPOFF = V_{OUT}$ (MAX504), $C_{REFOUT} = 33\mu F$ (MAX504), $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE OUTPUT (REFOUT—MAX504 Only)						
Reference Output Voltage		$T_A = +25^\circ C$	2.024	2.048	2.072	V
		MAX504C	2.015		2.081	
		MAX504E	2.011		2.085	
Temperature Coefficient	TC_{REFOUT}			30		ppm/ $^\circ C$
Resistance	R_{REFOUT}	(Note 4)		0.5	2	Ω
Power-Supply Rejection Ratio	PSRR	$4.5V \leq V_{DD} \leq 5.5V$		200		$\mu V/V$
Noise Voltage	e_n	0.1Hz to 10kHz		400		$\mu Vp-p$
Required External Capacitor	C_{REFOUT}		3.3			μF
DIGITAL INPUTS (DIN, SCLK, \overline{CS}, \overline{CLR})						
Input High	V_{IH}		2.4			V
Input Low	V_{IL}				0.8	V
Input Current	I_{IN}	$V_{IN} = 0V$ or V_{DD}			± 1	μA
Input Capacitance	C_{IN}			8		pF
DIGITAL OUTPUT (DOUT)						
Output High	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 1$			V
Output Low	V_{OL}	$I_{SINK} = 2mA$			0.4	V
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR	$T_A = +25^\circ C$	0.15	0.25		V/ μs
Voltage-Output Settling Time		$T_o \pm 1/2LSB$, $V_{OUT} = 2V$		25		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $DIN = 100kHz$		5		nV-s
Signal-to-Noise Plus Distortion	SINAD	$REFIN = 1kHz$, $2Vp-p$ ($G = 1$ or 2), code = 1111...		68		dB
POWER SUPPLY						
Positive Supply Voltage	V_{DD}		4.5		5.5	V
Power-Supply Current	I_{DD}	All inputs = $0V$ or V_{DD} , output = no load	MAX504	260	400	μA
			MAX515	140	300	
SWITCHING CHARACTERISTICS (Note 5)						
\overline{CS} Setup Time	t_{CSS}		20			ns
SCLK Fall to \overline{CS} Fall Hold Time	t_{CSH0}		15			ns
SCLK Fall to \overline{CS} Rise Hold Time	t_{CSH1}		0			ns
SCLK High Width	t_{CH}		35			ns
SCLK Low Width	t_{CL}		35			ns
DIN Setup Time	t_{DS}		45			ns
DIN Hold Time	t_{DH}		0			ns
DOUT Valid Propagation Delay	t_{DO}	$C_L = 50pF$			80	ns
\overline{CS} High Pulse Width	t_{CSW}		20			ns
\overline{CLR} Pulse Width	t_{CLR}		25			ns
\overline{CS} Rise to SCLK Rise Setup Time	t_{CS1}		50			ns

5V、低消費電力、電圧出力、 シリアル10ビットDAC

MAX504/MAX515

ELECTRICAL CHARACTERISTICS—Dual $\pm 5V$ Supplies (MAX504 Only)

($V_{DD} = 5V$, $V_{SS} = -5V$, $AGND = DGND = 0V$, $REFIN = 2.048V$ (external), $RFB = BIPOFF = VOUT$, $C_{REFOUT} = 33\mu F$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution	N		10			Bits
Relative Accuracy	INL				± 0.5	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic			± 1	LSB
Bipolar Offset Error	V_{OS}	$BIPOFF = REFIN$			± 3	LSB
Bipolar Offset Tempco	TCV_{OS}	$BIPOFF = REFIN$		3		ppm/ $^{\circ}C$
Offset-Error Power-Supply Rejection Ratio	PSRR	$4.5V \leq V_{DD} \leq 5.5V$, $-5.5V \leq V_{SS} \leq -4.5V$		0.1		LSB/V
Gain Error (Unipolar or Bipolar)	GE				± 1	LSB
Gain-Error Tempco				1		ppm/ $^{\circ}C$
Gain-Error Power-Supply Rejection Ratio	PSRR	$4.5V \leq V_{DD} \leq 5.5V$, $-5.5V \leq V_{SS} \leq -4.5V$		0.1		LSB/V
REFERENCE INPUT (REFIN)						
Voltage Range			$V_{SS} + 2$		$V_{DD} - 2$	V
Input Resistance		Code dependent, minimum at code 0101...	40			k Ω
Input Capacitance		Code dependent (Note 3)	10		50	pF
AC Feedthrough		$REFIN = 1kHz$, $2.0V_{p-p}$		-80		dB
REFERENCE OUTPUT (REFOUT—MAX504 Only)						
Reference Output Voltage		$T_A = +25^{\circ}C$	2.024	2.048	2.072	V
		MAX504C	2.015		2.081	
		MAX504E	2.011		2.085	
Temperature Coefficient	TC_{REFOUT}			30		ppm/ $^{\circ}C$
Resistance	R_{REFOUT}	(Note 4)		0.5	2	Ω
Power-Supply Rejection Ratio	PSRR	$4.5V \leq V_{DD} \leq 5.5V$		200		$\mu V/V$
Noise Voltage	e_n	0.1Hz to 10kHz		400		μV_{p-p}
Required External Capacitor	C_{REFOUT}		3.3			μF
DIGITAL INPUTS (DIN, SCLK, \overline{CS})						
Input High	V_{IH}		2.4			V
Input Low	V_{IL}				0.8	V
Input Current	I_{IN}	$V_{IN} = 0V$ or V_{DD}			± 1	μA
Input Capacitance	C_{IN}			8		pF
DIGITAL OUTPUT (DOUT)						
Output High	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 1$			V
Output Low	V_{OL}	$I_{SINK} = 2mA$			0.4	V

5V、低消費電力、電圧出力、 シリアル10ビットDAC

MAX504/MAX515

ELECTRICAL CHARACTERISTICS—Dual ±5V Supplies (MAX504 Only) (continued)

($V_{DD} = 5V$, $V_{SS} = -5V$, $AGND = DGND = 0V$, $REFIN = 2.048V$ (external), $RFB = BIPOFF = VOUT$, $C_{REFOUT} = 33\mu F$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VOLTAGE OUTPUT (VOUT)						
Output Voltage Range		(G = 1)	$V_{SS} + 2$	$V_{DD} - 2$		V
		(G = 2)	$V_{SS} + 0.4$	$V_{DD} - 0.4$		
Output Load Regulation		$VOUT = 2V$, $R_L = 2k\Omega$			0.5	LSB
Short-Circuit Current	I_{SC}			12		mA
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR		0.15	0.25		V/ μs
Voltage-Output Settling Time		To $\pm 1/2LSB$, $VOUT = 2V$		16		μs
Digital Feedthrough		Step all 0s to all 1s		5		nV-s
Signal-to-Noise Plus Distortion	SINAD	$REFIN = 1kHz$, 2Vp-p (G = 1)		68		dB
		$REFIN = 1kHz$, 2Vp-p (G = 2)		68		
POWER SUPPLY						
Positive Supply Voltage	V_{DD}		4.5		5.5	V
Negative Supply Voltage	V_{SS}		-5.5		0	V
Positive Supply Current	I_{DD}	All inputs = 0V or V_{DD} , no load		260	400	μA
Negative Supply Current	I_{SS}	All inputs = 0V or V_{DD} , no load		-120	-200	μA
SWITCHING CHARACTERISTICS						
\overline{CS} Setup Time	t_{CSS}		20			ns
SCLK Fall to \overline{CS} Fall Hold Time	t_{CSH0}		15			ns
SCLK Fall to \overline{CS} Rise Hold Time	t_{CSH1}		0			ns
SCLK High Width	t_{CH}		35			ns
SCLK Low Width	t_{CL}		35			ns
DIN Setup Time	t_{DS}		45			ns
DIN Hold Time	t_{DH}		0			ns
DOUT Valid Propagation Delay	t_{DO}	$C_L = 50pF$			80	ns
\overline{CS} High Pulse Width	t_{CSW}		20			ns
\overline{CLR} Pulse Width	t_{CLR}		25			ns
\overline{CS} Rise to SCLK Rise Setup Time	t_{CS1}		50			ns

Note 2: In single-supply operation, INL and GE calculated from Code 3 to Code 1023.

Note 3: Guaranteed by design.

Note 4: Tested at $I_{OUT} = 100\mu A$. The reference can typically source up to 5mA (see *Typical Operating Characteristics*).

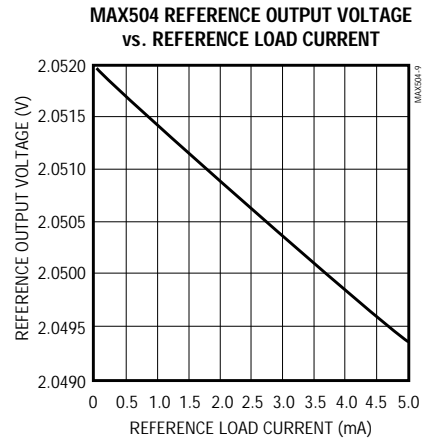
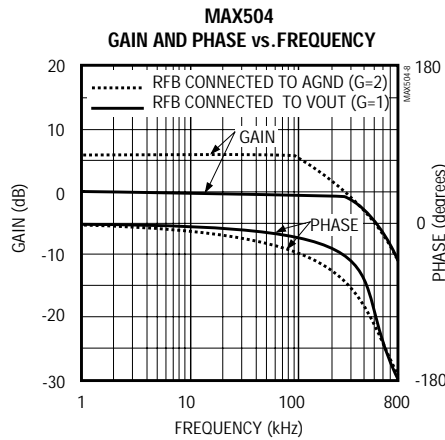
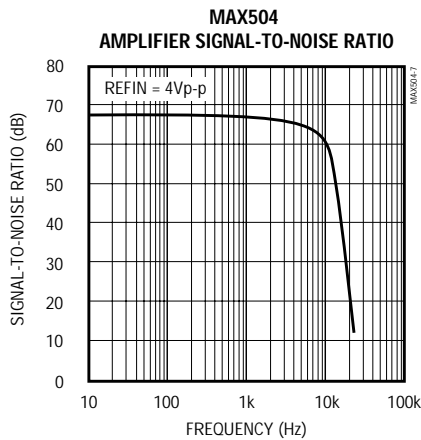
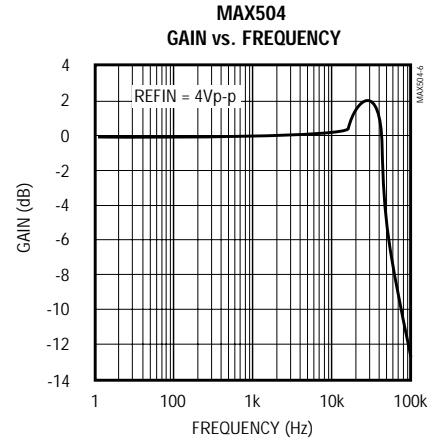
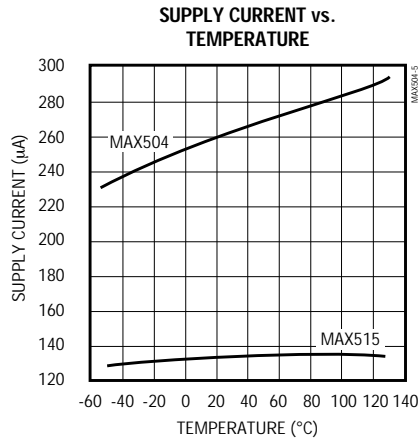
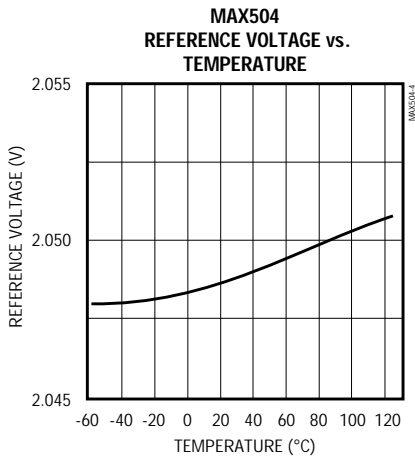
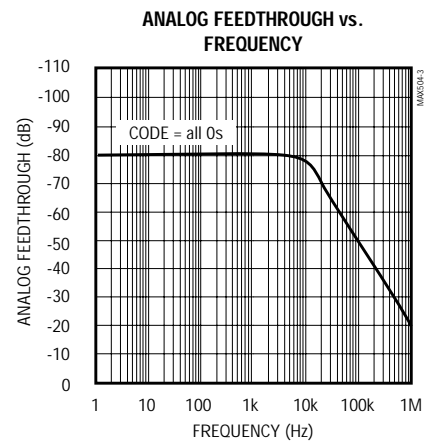
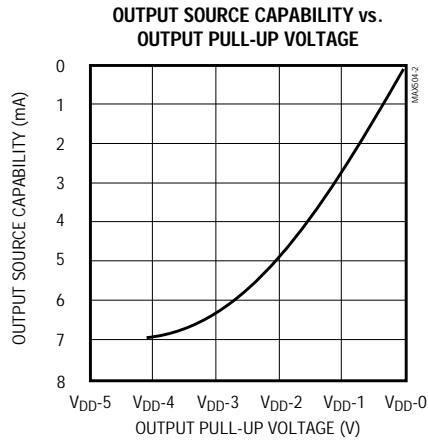
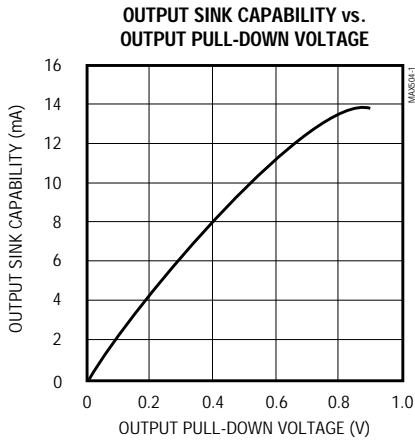
Note 5: The timing characteristics limits for the MAX515 are guaranteed by design.

5V、低消費電力、電圧出力、シリアル10ビットDAC

MAX504/MAX515

標準動作特性

($V_{DD} = +5V$, $V_{REFIN} = 2.048V$, $T_A = +25^\circ C$, unless otherwise noted.)



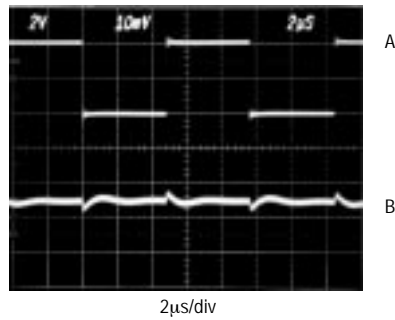
5V、低消費電力、電圧出力、シリアル10ビットDAC

MAX504/MAX515

標準動作特性(続き)

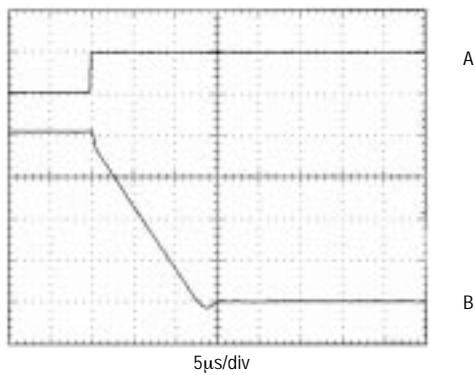
(VDD = +5V, VREFIN = 2.048V, TA = +25°C, unless otherwise noted.)

DIGITAL FEEDTHROUGH



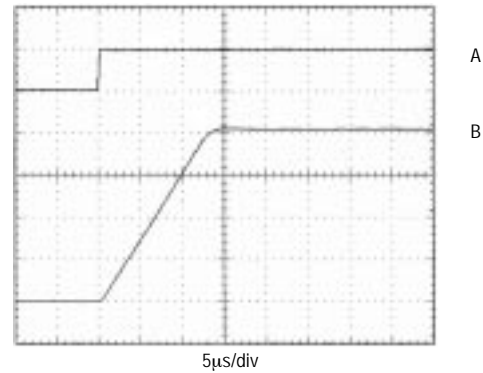
$\overline{\text{CS}}$ = HIGH
A: DIN = 4Vp-p, 100kHz
B: VOUT, 10mV/div

NEGATIVE SETTLING TIME (MAX504)



A: $\overline{\text{CS}}$ RISING EDGE, 5V/div
B: VOUT, NO LOAD, 1V/div
DUAL SUPPLY $\pm 5\text{V}$
BIPOLAR CONFIGURATION
VREFIN = 2V

POSITIVE SETTLING TIME (MAX504)



A: $\overline{\text{CS}}$ RISING EDGE, 5V/div
B: VOUT, NO LOAD, 1V/div
DUAL SUPPLY $\pm 5\text{V}$
BIPOLAR CONFIGURATION
VREFIN = 2V

5V、低消費電力、電圧出力、 シリアル10ビットDAC

MAX504/MAX515

端子説明

端子		名称	機能
MAX504	MAX515		
1	—	BIPOFF	バイポーラオフセット/ 利得抵抗
2	1	DIN	シリアルデータ入力
3	—	$\overline{\text{CLR}}$	クリア。非同期でDACレジスタを全て0に設定します。
4	2	SCLK	シリアルクロック入力
5	3	$\overline{\text{CS}}$	チップセレクト、アクティブロー
6	4	DOUT	デイジーチェーン構成用のシリアルデータ出力
7	—	DGND	デジタルグランド
8	5	AGND	アナロググランド
9	6	REFIN	リファレンス入力
10	—	REFOUT	リファレンス出力2.048V。使用しない場合は、 V_{DD} に接続してください。
11	—	V_{SS}	負電源
12	7	VOOUT	DAC出力
13	8	V_{DD}	正電源
14	—	RFB	フィードバック抵抗

詳細

DACについて

MAX504/MAX515は、10ビットのデジタルデータをアナログ電圧レベルに変換するために、単一電源CMOSオペアンプ付の反転R-2Rラダーネットワークを使用しています(「ファンクションダイアグラム」参照)。電流出力DACのREFINピンは、オペアンプのサミングジャンクション又は仮想グランドになるため、ここではこのラダーネットワークを「反転」と呼んでいます。この使用方法では、出力電圧がリファレンス電圧の逆になります。MAX504/MAX515では、デバイスの構成によって出力をリファレンス入力と同じ極性に行っています。

DACレジスタは、パワーアップ時に内部リセット回路により全て0にリセットされます。また、クリア($\overline{\text{CLR}}$)ピンをローに設定した場合も、DACレジスタが全て0になります。この $\overline{\text{CLR}}$ は、チップセレクト($\overline{\text{CS}}$)ピンに依存することなく、非同期で動作します。

バッファアンプ

出力バッファは、ユニティゲイン安定、レイルトゥレイル出力のBiCMOSオペアンプです。入力オフセット電圧及びCMRRは、10ビット以上の性能が得られるようにトリミングされています。セトリグ時間は最終値の0.01%までに対し25 μs です。出力は、短絡保護され、100pF以上の負荷キャパシタンスで2k Ω 負荷を駆動できます。

内部リファレンス(MAX504のみ)

内蔵リファレンスは、REFOUTで2.048Vを発生するようにレーザートリミングされています。出力段ではソース及びシンク電流を提供し、コード依存の負荷変化に対してREFOUTをすばやく正しい電圧にセトリグできるようにしています。通常、ソース電流は5mA、シンク電流は100 μA です。

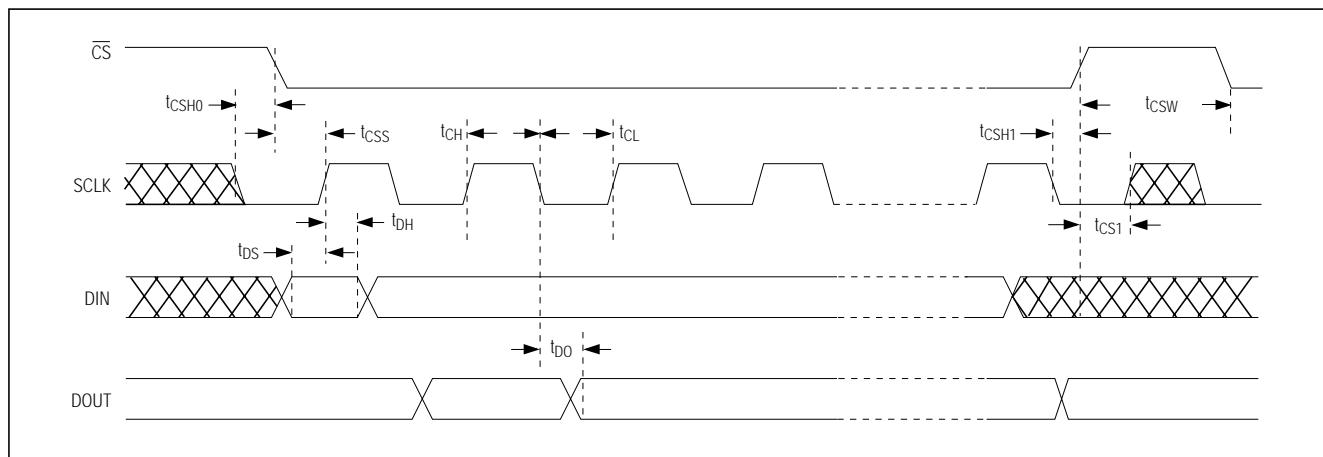


図1. タイミング図

5V、低消費電力、電圧出力、シリアル10ビットDAC

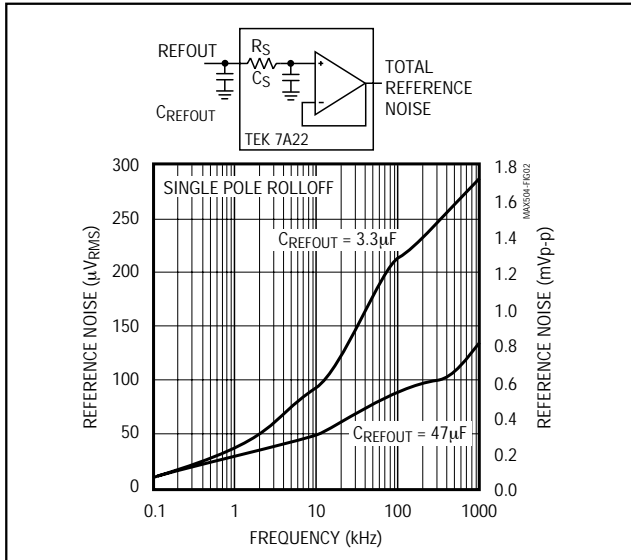


図2. リファレンスノイズ対周波数

REFOUTはREFINで内部リファレンスをR-2R DACラダーに接続します。このR-2Rラダーの最大負荷電流は50µAです。REFOUTの接続を変更する場合は、利得エラーを避けるために、負荷電流が100µA以下になるようにしてください。

超低ノイズ性能を必要とするアプリケーションでは、REFOUTからAGNDに33µFコンデンサを接続してください。ノイズが問題にならない場合は、この値以下(3.3µF(min))のコンデンサを使用することもできます。ノイズをさらに低減するには、REFOUTとREFIN間にバッファ付きRCフィルタを挿入します(図2)。但しこの場合も、リファレンスの安定性にはリファレンスパイバスコンデンサC_{REFOUT}が必要です。リファレンスを必要としないアプリケーションでは、REFOUTをV_{DD}に接続するか(電力を節約し、C_{REFOUT}を省略するため)又はMAX515(内部リファレンス無し)を使用してください。

外部リファレンス

MAX504をデュアル電源で動作する場合は、(V_{SS} + 2V) ~ (V_{DD} - 2V)の範囲の外部リファレンスを使用できます。単一電源動作の場合は、MAX515及びMAX504共に、リファレンスは正で、V_{DD} - 2V以下であることが必要です。DACのフルスケール出力は、リファレンス電圧によって決まります。DAC入力抵抗はコードに依存し、コード0101...で最小(40k Ω)、コード0000...で無限になります。又、REFINの入力キャパシタンスもコードに依存し、いくつかのコードで最大値50pFに達します。

内部リファレンスのアップグレードが必要な場合は、初期精度15mV、TCV_{OUT} = 7ppm/ $^{\circ}$ C(max)の2.5V型MAX873Aが適切です。

ロジックインタフェース

MAX504/MAX515のロジック入力は、TTL又はCMOSロジックレベルとコンパチブルになるように設計されています。消費電力をより低くするには、デジタル入力をレイルトゥレイルCMOSロジックで駆動します。TTLロジックレベルでは、電力仕様が約2倍に増大します。

シリアルクロック及びアップデートレート

図1は、MAX504/MAX515のタイミング図です。最大シリアルクロックレートは1/(t_{CH} + t_{CL})で、約14MHzです。デジタルアップデートレートは、チップセレクト期間(16 x (t_{CH} + t_{CL}) + t_{CSW})で制限されます。従って、アップデートレートは1.14µs又は877kHzになります。但し、10ビットへのDACセトリング時間は25µsになっているため、フルスケールステップ遷移におけるアップデートレートは、40kHzに制限されることもあります。

アプリケーション情報

標準動作回路については、図3a及び図3bを参照してください。

シリアルインタフェース

MAX504/MAX515は、図4及び図5に示すように、SPI™、QSPI™(CPOL = CPHA = 0)及びMicrowire™標準とコンパチブルな3線シリアルインタフェースを使用しています。DACは、2つの8ビットワードを書き込むことによってプログラムします(図1及び「ファンクションダイアグラム」参照)。16ビットのシリアルデータは、4ビットのフィラー(ダミー)、10ビットのデータ、2ビットのサブLSB 0の順でDACにクロッキングされます。ダミー4ビットは、DACをデイジーチェーン構成にした時にのみ必要で、デイジーチェーン構成にしない場合は必要ありません。2ビットのサブLSB0は、12ビットMAX531/MAX538/MAX539のハードウェア及びソフトウェア互換性用で、常に必要です。CSにおける変化はSCLKがローの時に発生します。CSがローになると、SCLKの立上りエッジでデータがクロッキングされます。シリアル入力データは、16ビットシリアルシフトレジスタに保持されます。10ビットのデータは、CSの立上りエッジでDACレジスタに転送され、DACを更新します。CSがハイの時は、データをMAX504/MAX514内にクロッキングすることはできません。

MAX504/MAX515は、16ビット単位でデータを入力します。SPI及びMicrowireは8ビット単位で出力データをインタフェースするため、データをDACに入力するためには2回の書込みサイクルが必要です。QSPIインタフェースでは、8ビット~16ビットの可変長データ入力が可能のため、1回の書込みサイクルでDACにロードできます。

5V、低消費電力、電圧出力、 シリアル10ビットDAC

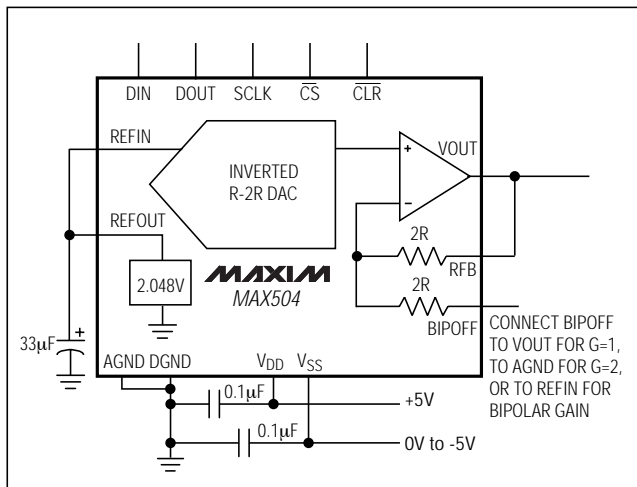


図3a. MAX504の標準動作回路

デバイスのデジチェーン構成

シリアル出力DOUTを使用すると、2つ以上のDACをカスケード接続できます。DINのデータは、16クロックサイクル+1クロック幅の遅れでDOUTに現れます。より低い電力では、DOUTが外部プルアップ抵抗を必要としないCMOS出力になります。CSがハイの場合でもDOUTはハイインピーダンス状態になりません。DOUTが変化するのは、CSがローの時のSCLKの立下りエッジです。CSがハイの時は、DOUTは最終データビットの状態に維持されます。

MAX504/MAX515 DACのDOUTを別のMAX504/MAX515 DACのDINに接続すると、複数のMAX504/MAX515をデジチェーン式に構成できます。この場合、正しいタイミングが得られるように、 $t_{CL}(SCLK \text{ ロー})$ が $t_{DO} + t_{DS}$ 以上になるようにしてください。

ユニポーラ構成

MAX504は、BIPOFF及びRFBをVOUTに接続することによって1の利得用(0V ~ V_{REFIN} ユニポーラ出力)として構成されています(図6)。この構成のコンバータは、単一電源又はデュアル電源のいずれでも動作します。DACラッチの内容対アナログVOUT(出力)の関係は、表1を参照してください。この範囲では、 $1LSB = V_{REFIN}(2^{-10})$ で、 V_{REF} はREFINの電圧を示します。

2の利得用(0V ~ $2V_{REFIN}$ ユニポーラ出力)に設定するには、BIPOFFをAGNDに、RFBをVOUTに接続します(図7)。表2に、DACラッチの内容対VOUTの関係を示します。このモードのMAX504は、単一電源又はデュアル電源のいずれでも動作します。この範囲では、

$$1LSB = (2)(V_{REFIN})(2^{-10}) = (V_{REFIN})(2^{-9})$$

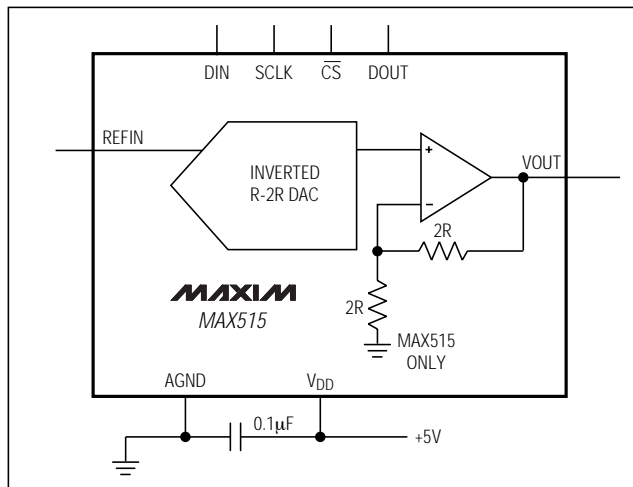


図3b. MAX515の標準動作回路

MAX515は、利得2のユニポーラ動作として内部構成されています。

バイポーラ構成

バイポーラ範囲は、BIPOFFをREFINに、RFBをVOUTに接続し、(5V)デュアル電源で動作させることによって設定します(図8)。表3に、DACラッチの内容(入力)対VOUT(出力)の関係を示します。この範囲では、 $1LSB = V_{REFIN}(2^{-9})$ です。

4象限乗算

MAX504は図9に示すように、BIPOFFをREFINに、RFBをVOUTに接続し、 $V_{SS} + 2V \sim V_{DD} - 2V$ の範囲内で、(1)オフセットバイナリデジタルコード、(2)バイポーラ電源及び(3)REFINバイポーラアナログ入力を使用することによって4象限乗算器として利用できます。

一般に、10ビットDACの出力は(D)(V_{REFIN})(G)です。ここで、Gは利得(1又は2)を示し、Dは 2^{10} 又は1,024で割算したデジタル入力のバイナリ表現を示します。この式はユニポーラ動作で、バイポーラのオフセットバイナリ演算では、MSBが極性ビットになります。この場合ステップ数は変わらないため、分解能のロスは発生しません。但し、出力電圧は、例えば0V ~ 4.096V ($G = 2$)から-2.048V ~ +2.048Vの範囲にシフトします。

DACを4象限乗算器として使用する時は、スケールのスキューに注意してください。負のフルスケールは $-V_{REFIN}$ 、正のフルスケールは $+V_{REFIN} - 1LSB$ です。

5V、低消費電力、電圧出力、シリアル10ビットDAC

MAX504/MAX515

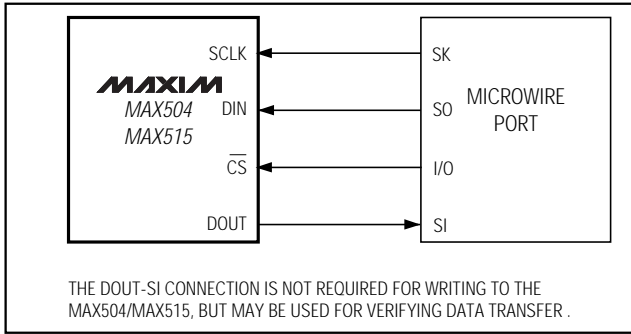


図4. Microwire接続

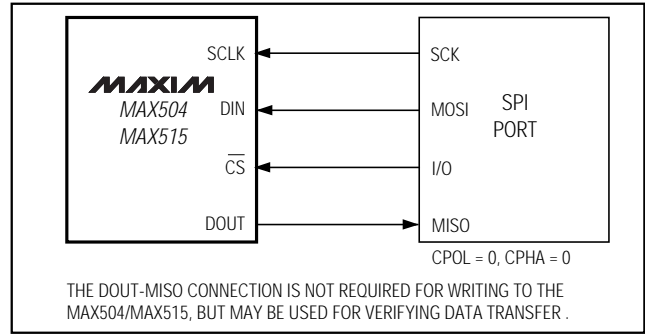


図5. SPI/QSPI接続

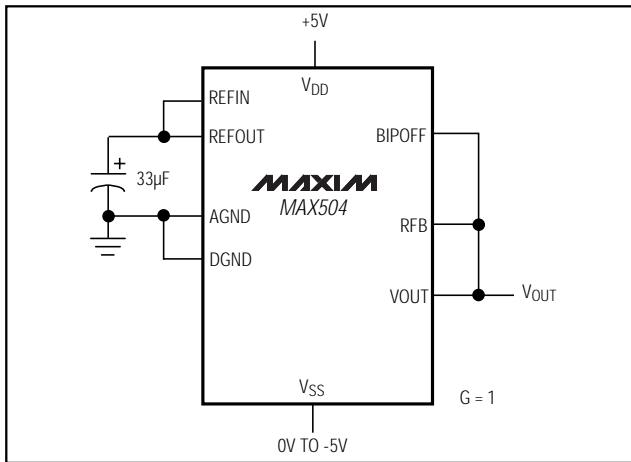


図6. ユニポーラ構成(0V ~ +2.048V出力)

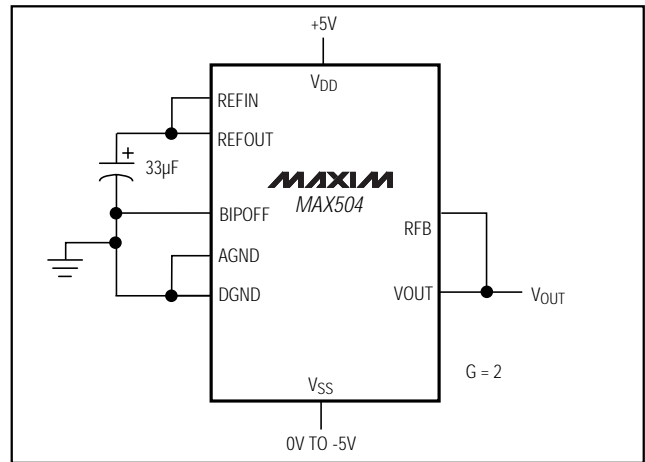


図7. ユニポーラ構成(0V ~ +4.096V出力)

表1. ユニポーラバイナリコード表 (0V ~ V_{REFIN}出力)、利得 = 1

INPUT*	OUTPUT
1111 1111 11(00)	$(V_{REFIN}) \frac{1023}{1024}$
1000 0000 01(00)	$(V_{REFIN}) \frac{513}{1024}$
1000 0000 00(00)	$(V_{REFIN}) \frac{512}{1024} = +V_{REFIN}/2$
0111 1111 11(00)	$(V_{REFIN}) \frac{511}{1024}$
0000 0000 01(00)	$(V_{REFIN}) \frac{1}{1024}$
0000 0000 00(00)	0V

* DAC入力ラッチは12ビット幅であるため、10ビットデータワードに2つのサブLSB 0を付けてください。

表2. ユニポーラバイナリコード表 (0V ~ 2V_{REFIN}出力)、利得 = 2

INPUT*	OUTPUT
1111 1111 11(00)	$+2 (V_{REFIN}) \frac{1023}{1024}$
1000 0000 01(00)	$+2 (V_{REFIN}) \frac{513}{1024}$
1000 0000 00(00)	$+2 (V_{REFIN}) \frac{512}{1024} = +V_{REFIN}$
0111 1111 11(00)	$+2 (V_{REFIN}) \frac{511}{1024}$
0000 0000 01(00)	$+2 (V_{REFIN}) \frac{1}{1024}$
0000 0000 00(00)	0V

* DAC入力ラッチは12ビット幅であるため、10ビットデータワードに2つのサブLSB 0を付けてください。

5V、低消費電力、電圧出力、シリアル10ビットDAC

MAX504/MAX515

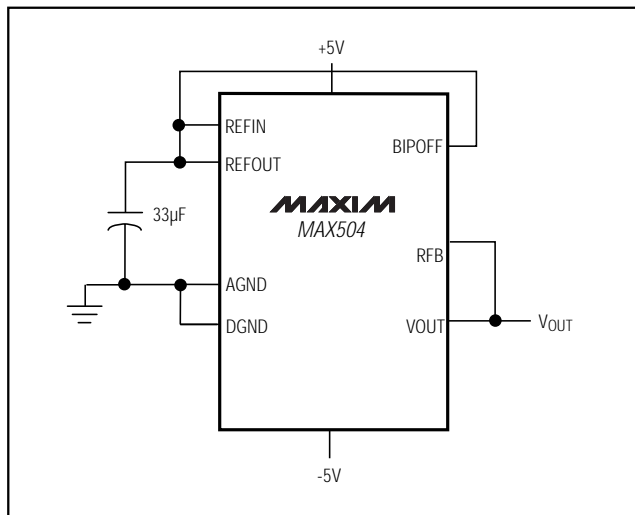


図8. バイポーラ構成(-2.048V ~ +2.048V出力)

単一電源時の直線性

MAX504/MAX515の出力バッファオフセットは、他のアンプと同様にプラス又はマイナスのいずれにもなり得ます。オフセットがプラスの時は対応が容易です(図10)。マイナスの時は負電源が存在しないため直線性が得られません。この場合、DAC電圧がオフセットよりも十分高くなり、出力がプラスになるまでは、アンプ出力がグラウンドに維持されます。

通常直線性は、ゼロエラー及び利得エラーに対応した後で測定します。単一電源動作では、マイナスの実際のオフセット値が分からないため、テスト時に対応することができません。また、出力バッファアンプは、単一電源動作時に非直線性のゼロに近い出力を示します。MAX504/MAX515でこの非直線性に対応するには、コード3 ~ 1023で直線性及び利得エラーを測定します。出力バッファのオフセット及び非直線性はモニタリング特性に影響しないため、これらのDACはコードゼロでモニタリング起動を保證しています。デュアル電源動作では、直線性と利得エラーをコード0 ~ 1023で測定します。

電源バイパス及びグラウンド管理

最適なシステム性能は、アナログ及びデジタル用に個別のグラウンドプレーンを使用したプリント基板において得られます。ワイヤラップボードは推奨できません。これら2つのグラウンドプレーンは、低インピーダンス電源ソース部で互いに接続してください。

DGND及びAGNDは、互いにチップにおいて接続するのが適切です。MAX504を単一電源アプリケーション

表3. バイポーラ(オフセットバイナリ)コード表(-V_{REFIN} ~ +V_{REFIN}出力)

INPUT*			OUTPUT
1111	1111	11(00)	$(+V_{REFIN}) \frac{511}{512}$
1000	0000	01(00)	$(+V_{REFIN}) \frac{1}{512}$
1000	0000	00(00)	0V
0111	1111	11(00)	$(-V_{REFIN}) \frac{1}{512}$
0000	0000	01(00)	$(-V_{REFIN}) \frac{511}{512}$
0000	0000	00(00)	$(-V_{REFIN}) \frac{512}{512} = -V_{REFIN}$

* DAC入力ラッチは12ビット幅であるため、10ビットデータワードに2つのサブLSB 0を付けてください。

で使用する場合は、V_{SS}をAGNDにチップのところで接続します。DACのDGNDピンとAGNDピンを互いに接続し、その点をシステムのアナロググラウンドプレーンに接続することにより、最適なグラウンド接続が得られます。DACのDGNDをシステムのデジタルグラウンドに接続すると、デジタルノイズがDACのアナログ部から侵入する恐れがあります。

V_{DD}(及びデュアル電源モードの場合V_{SS})は、V_{DD}とAGND間(及びV_{SS}とAGND間)に0.1µFセラミックコンデンサを接続してバイパスしてください。この場合、デバイスの近くなるようにリードは短くしてください。フェライトビーズを使用すれば、アナログ電源とデジタル電源の絶縁効果がさらに増大します。

図11a及び図11bに、上で述べたグラウンド法及びバイパス法を示します。

電力の節約

システムによりDACが使用されていない間は、負荷電流を最小にするためのコードを設定し、消費電力を最小にしてください。例えば、バイポーラモードでグラウンドへの抵抗負荷が存在する場合は、DACコードをスケールの中間点に設定します(表3参照)。出力負荷が存在しない場合は、DACを全て0に設定することによって(MAX504の場合はCLRを使用して)、リファレンスの内部負荷を最小にします。この状態にすると、REFINがハイインピーダンスになり、オペアンプが最小自己消費電流で動作します。

これらの低電流により、ゼロ入力コード時の出力セトリング時間が、通常60µs (100µs max)に増加します。

5V、低消費電力、電圧出力、 シリアル10ビットDAC

MAX504/MAX515

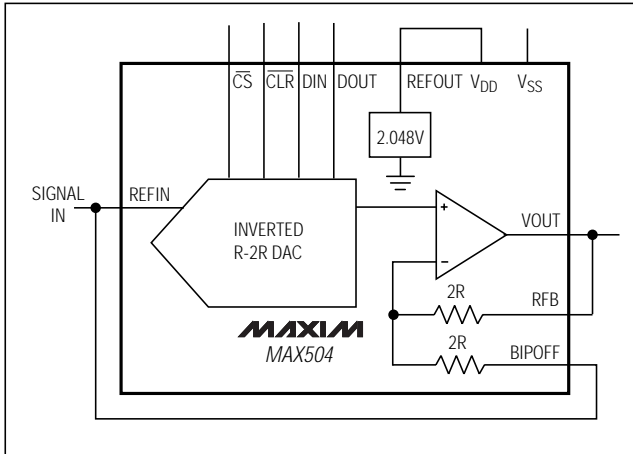


図9. 4象限乗算器として接続したMAX504。未使用のREFOUTはV_{DD}に接続されています。

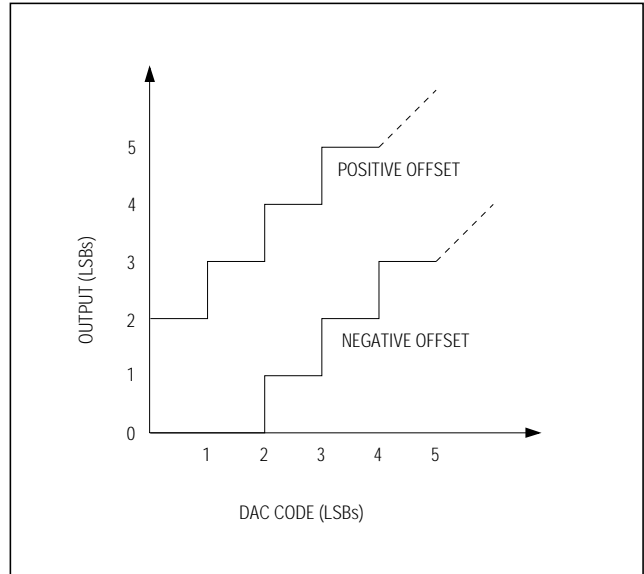


図10. 単一電源オフセット

ACの留意点

デジタルフィードスルー

\overline{CS} をハイに維持しても、デジタル入力又は出力ピンの高速シリアルデータがDACパッケージを介して結合し、内部浮遊容量でDAC出力にノイズとして現れることがあります(「標準動作特性」参照)。このデジタルフィードスルーは、 \overline{CS} をハイに維持し、DINからDOUTに0101....を送信することによってテストします。

アナログフィードスルー

「標準動作特性」のアナログフィードスルー対周波数グラフに示すように、内部浮遊容量が原因で、周波数のより高いアナログ入力信号が出力と結合することがあります。これは \overline{CS} をハイに維持してDACコードを全て0に設定し、REFINをスイープすることによってテストします。

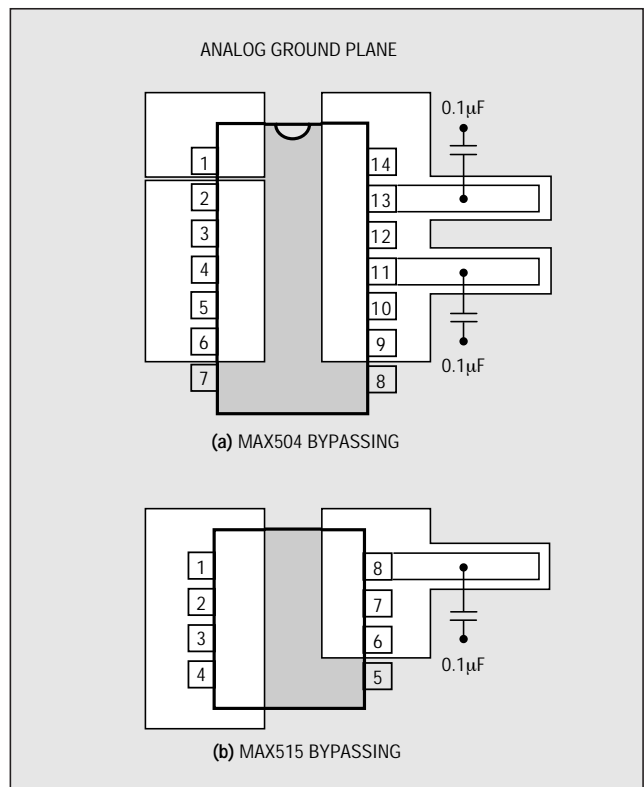


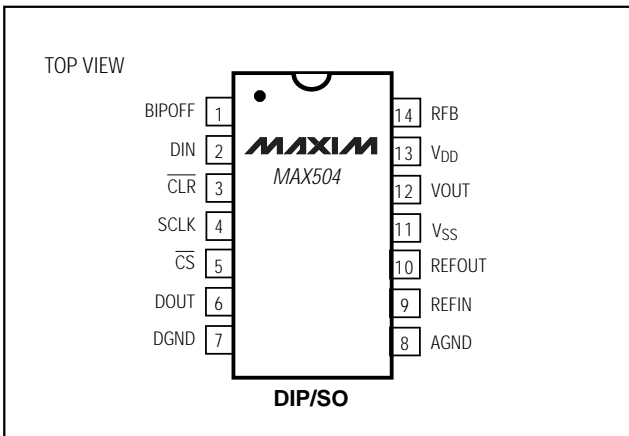
図11. 電源のバイパス法

5V、低消費電力、電圧出力、 シリアル10ビットDAC

MAX504/MAX515

ピン配置(続き) _____

チップ情報 _____



TRANSISTOR COUNT: 922

5V、低消費電力、電圧出力、 シリアル10ビットDAC

パッケージ

MAX504/MAX515

	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
e	0.050		1.27	
E	0.150	0.157	3.80	4.00
H	0.228	0.244	5.80	6.20
h	0.010	0.020	0.25	0.50
L	0.016	0.050	0.40	1.27

	INCHES		MILLIMETERS		N	MS012
	MIN	MAX	MIN	MAX		
D	0.189	0.197	4.80	5.00	8	A
D	0.337	0.344	8.55	8.75	14	B
D	0.386	0.394	9.80	10.00	16	C

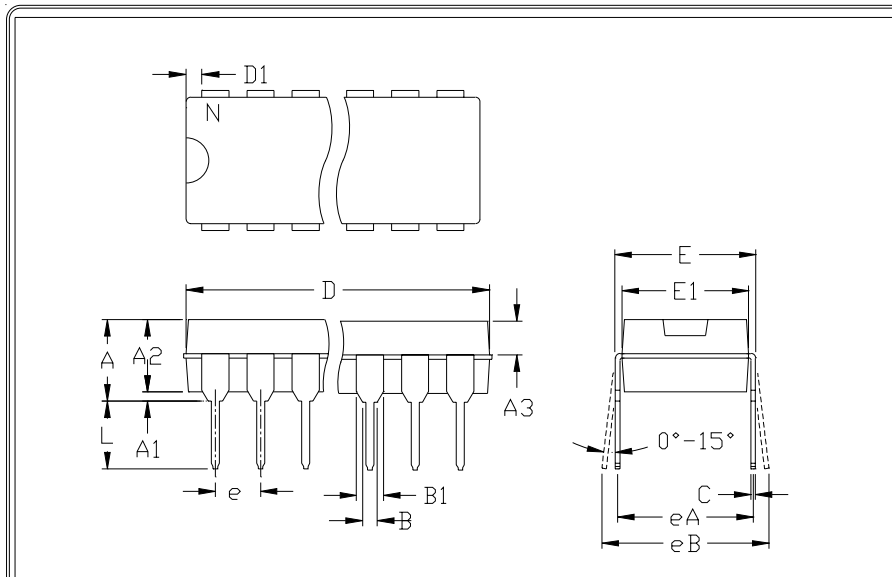
NOTES:
 1. D&E DO NOT INCLUDE MOLD FLASH
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
 3. LEADS TO BE COPLANAR WITHIN .102mm (.004")
 4. CONTROLLING DIMENSION: MILLIMETER
 5. MEETS JEDEC MS012-XX AS SHOWN IN ABOVE TABLE
 6. N = NUMBER OF PINS

MAXIM PACKAGE FAMILY OUTLINE: SOIC .150" 1/1 21-0041 A
125 SAN CARLOS, OR SUNNYVALE, CA 94086 FAX (408) 737 7794 PROPRIETARY INFORMATION TITLE DOCUMENT CONTROL NUMBER REV

5V、低消費電力、電圧出力、 シリアル10ビットDAC

MAX504/MAX515

パッケージ(続き)



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.200	---	5.08
A1	0.015	---	0.38	---
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	---	2.54	---
eA	0.300	---	7.62	---
eB	---	0.400	---	10.16
L	0.115	0.150	2.92	3.81

	INCHES		MILLIMETERS		N	MS001
	MIN	MAX	MIN	MAX		
D	0.348	0.390	8.84	9.91	8	AB
D	0.735	0.765	18.67	19.43	14	AC
D	0.745	0.765	18.92	19.43	16	AA
D	0.885	0.915	22.48	23.24	18	AD
D	1.015	1.045	25.78	26.54	20	AE
D	1.14	1.265	28.96	32.13	24	AF
D	1.360	1.380	34.54	35.05	28	*5

NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
3. CONTROLLING DIMENSION: MILLIMETER
4. MEETS JEDEC MS001-XX AS SHOWN IN ABOVE TABLE
5. SIMILAR TO JEDEC MO-058AB
6. N = NUMBER OF PINS



PACKAGE FAMILY OUTLINE: PDIP .300"



21-0043 A
DOCUMENT CONTROL NUMBER REV

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600