

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

概要

MAX525は4つのローパワー電圧出力12ビットデジタルアナログコンバータ(DAC)と4つの高精度出力アンプを省スペースの20ピンパッケージに内蔵しています。4つの電圧出力に加えて、各アンプの負入力もユーザが使えます。これにより特定の利得設定、リモートセンシング及び大出力駆動能力の実現が簡単になるため、MAX525は工業用プロセス制御アプリケーションに最適です。その他の特長としてはソフトウェアシャットダウン、ハードウェアシャットダウンロックアウト、全てのレジスタ及びDACをゼロにクリアするアクティブローリセット、ユーザプログラマブルロジック出力及びシリアルデータ出力等が挙げられます。

各DACは入力レジスタにDACレジスタが続く構成のダブルバッファ付入力を備えています。16ビットのシリアルワードでデータが各入力/DACレジスタにロードされます。シリアルインタフェースはSPI™/QSPI™及びMicrowire™とコンパチブルです。入力及びDACレジスタは単一のソフトウェアコマンドでそれぞれ独立に、あるいは同時に更新することができます。DACレジスタは3線シリアルインタフェースで同時に更新することができます。全てのロジック入力はTTL/CMOSロジックコンパチブルです。

アプリケーション

- 工業用プロセス制御
- 自動試験機器
- デジタルオフセット及び利得調節
- モーションコントロール
- 遠隔工業用制御
- マイクロプロセッサ制御のシステム

特長

- ◆ 設定可能な出力アンプ付の4つの12ビットDAC
- ◆ 電源：+5V単一
- ◆ 低消費電流：0.85mA(通常動作)
10µA(シャットダウンモード)
- ◆ パッケージ：20ピンSSOP
- ◆ パワーオンリセットで全てのレジスタ及びDACをゼロにクリア
- ◆ シャットダウン前の最後の状態を記憶
- ◆ SPI/QSPI及びMicrowireコンパチブル
- ◆ 3線シリアルインタフェースを通じてDACを同時又は独立に制御
- ◆ ユーザプログラマブルデジタル出力

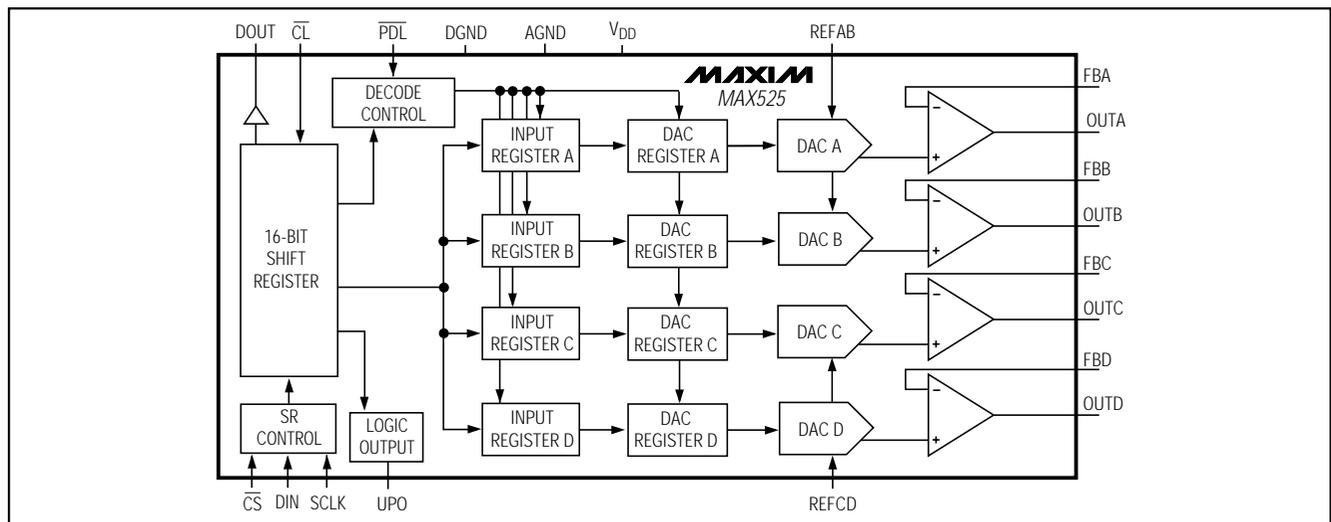
型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX525ACPP	0°C to +70°C	20 Plastic DIP	±1/2
MAX525BCPP	0°C to +70°C	20 Plastic DIP	±1
MAX525ACAP	0°C to +70°C	20 SSOP	±1/2
MAX525BCAP	0°C to +70°C	20 SSOP	±1

型番は最後のページに続きます。

ピン配置はデータシートの最後に記載されています。

ファンクションダイアグラム



SPI及びQSPIはMotorola Inc.の商標です。MicrowireはNational Semiconductor Corp.の商標です。

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND	-0.3V to +6V
V _{DD} to DGND	-0.3V to +6V
AGND to DGND	±0.3V
REFAB, REFCD to AGND	-0.3V to (V _{DD} + 0.3V)
OUT ₋ , FB ₋ to AGND	-0.3V to (V _{DD} + 0.3V)
Digital Inputs to DGND	-0.3V to +6V
DOUT, UPO to DGND	-0.3V to (V _{DD} + 0.3V)
Continuous Current into Any Pin	±20mA
Continuous Power Dissipation (T _A = +70°C)	
Plastic DIP (derate 8.00mW/°C above +70°C)	640mW
SSOP (derate 8.00mW/°C above +70°C)	640mW
CERDIP (derate 11.11mW/°C above +70°C)	889mW

Operating Temperature Ranges

MAX525_C_P	0°C to +70°C
MAX525_E_P	-40°C to +85°C
MAX525_MJP	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±10%, AGND = DGND = 0V, REFAB = REFCD = 2.5V, R_L = 5kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C. Output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE—ANALOG SECTION						
Resolution	N		12			Bits
Integral Nonlinearity (Note 1)	INL	MAX525A		±0.25	±0.5	LSB
		MAX525B			±1.0	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1.0	LSB
Offset Error	V _{OS}				±6.0	mV
Offset-Error Tempco				6		ppm/°C
Gain Error (Note 1)	GE			-0.8	±2.0	LSB
Gain-Error Tempco				1		ppm/°C
Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		100	600	μV/V
MATCHING PERFORMANCE (T_A = +25°C)						
Gain Error	GE			-0.8	±2.0	LSB
Offset Error				±1.0	±6.0	mV
Integral Nonlinearity	INL			±0.35	±1.0	LSB
REFERENCE INPUT						
Reference Input Range	V _{REF}		0	V _{DD} - 1.4		V
Reference Input Resistance	R _{REF}	Code-dependent, minimum at code 555 hex	8			kΩ
Reference Current in Shutdown				0.01	±1	μA

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 10\%$, $AGND = DGND = 0V$, $REFAB = REFCD = 2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$. Output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MULTIPLYING-MODE PERFORMANCE						
Reference -3dB Bandwidth		$V_{REF} = 0.67V_{p-p}$		650		kHz
Reference Feedthrough		Input code = all 0s, $V_{REF} = 3.6V_{p-p}$ at 1kHz		-84		dB
Signal-to-Noise Plus Distortion Ratio	SINAD	$V_{REF} = 1V_{p-p}$ at 25kHz		72		dB
DIGITAL INPUTS						
Input High Voltage	V_{IH}		2.4			V
Input Low Voltage	V_{IL}				0.8	V
Input Leakage Current	I_{IN}	$V_{IN} = 0V$ or V_{DD}		0.01	± 1.0	μA
Input Capacitance	C_{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$		0.13	0.4	V
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.6		V/ μs
Output Settling Time		$T_O \pm 1/2LSB$, $V_{STEP} = 2.5V$		12		μs
Output Voltage Swing		Rail to rail (Note 2)		0 to V_{DD}		V
Current into FB ₋				0	0.1	μA
OUT ₋ Leakage Current in Shutdown		$R_L = \infty$		0.01	± 1	μA
Start-Up Time Exiting Shutdown Mode				15		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $DIN = 100kHz$		5		nV-s
Digital Crosstalk				5		nV-s
POWER SUPPLIES						
Supply Voltage	V_{DD}		4.5		5.5	V
Supply Current	I_{DD}	(Note 3)		0.85	0.98	mA
Supply Current in Shutdown		(Note 3)		10	20	μA
Reference Current in Shutdown				0.01	± 1	μA

Note 1: Guaranteed from code 11 to code 4095 in unity-gain configuration.

Note 2: Accuracy is better than 1.0LSB for $V_{OUT} = 6mV$ to $V_{DD} - 60mV$, guaranteed by PSR test on end points.

Note 3: $R_L = \infty$, digital inputs at DGND or V_{DD} .

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

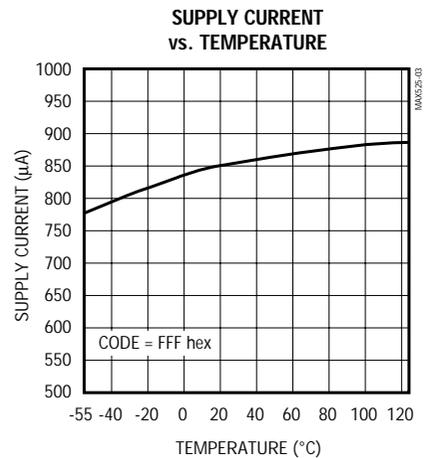
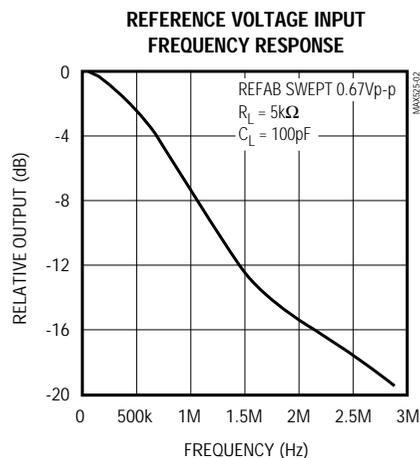
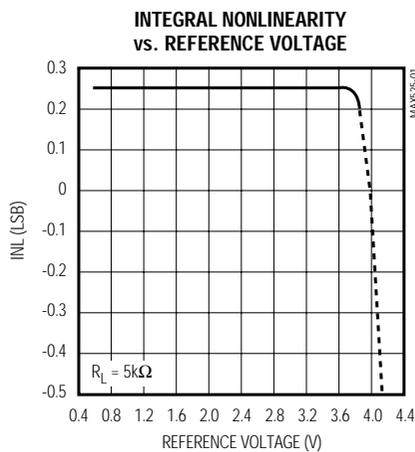
ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 10\%$, $AGND = DGND = 0V$, $REFAB = REFCD = 2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$. Output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figure 6)						
SCLK Clock Period	t_{CP}		100			ns
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		40			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		0			ns
DIN Setup Time	t_{DS}		40			ns
DIN Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay	t_{D01}	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay	t_{D02}	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		40			ns
\overline{CS} Rise to SCLK Rise Hold Time	t_{CS1}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

標準動作特性

($V_{DD} = +5V$, $T_A = +25^\circ C$, unless otherwise noted.)

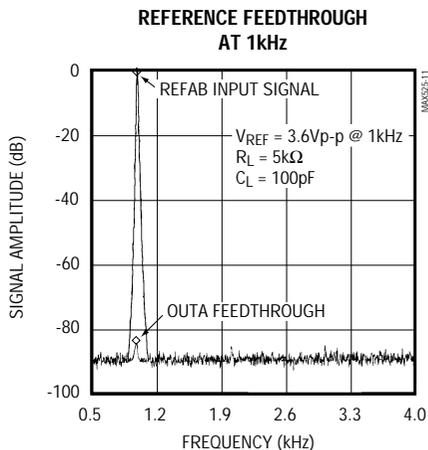
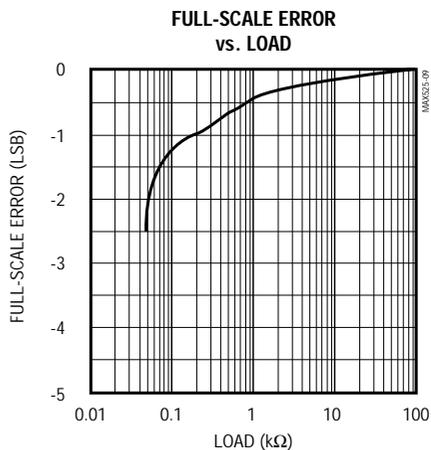
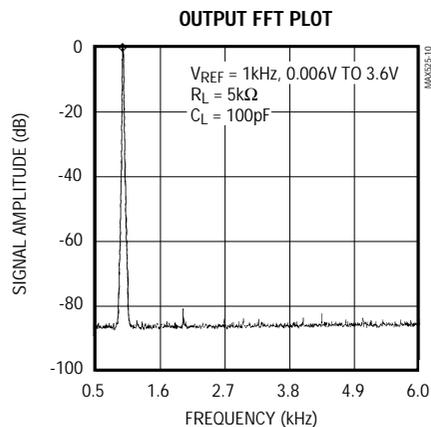
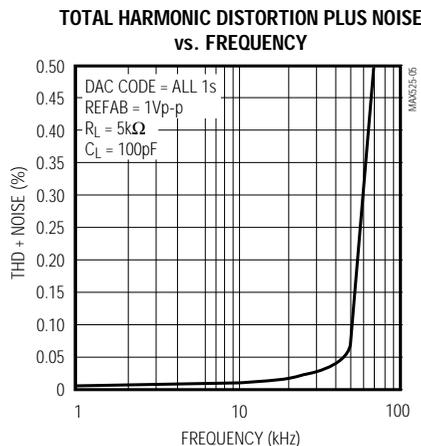
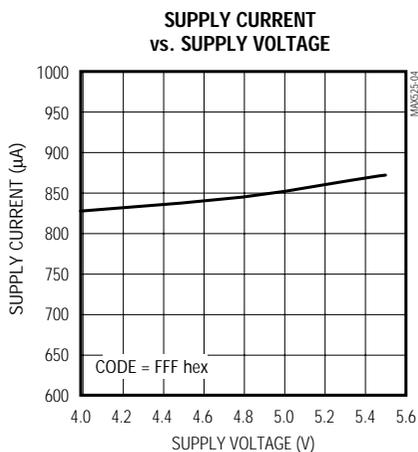


ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

標準動作特性(続き)

(V_{DD} = +5V, T_A = +25°C, unless otherwise noted.)



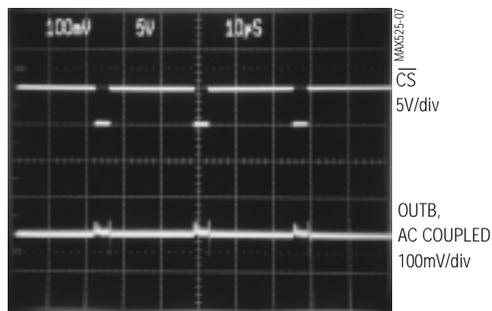
ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

標準動作特性(続き)

($V_{DD} = +5V$, $T_A = +25^{\circ}C$, unless otherwise noted.)

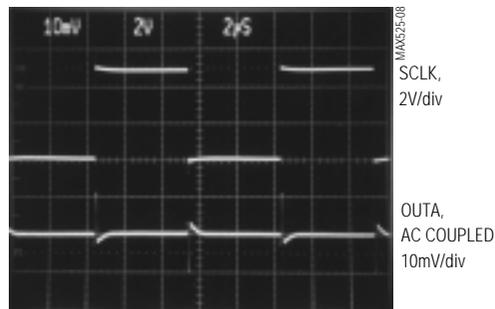
MAJOR-CARRY TRANSITION



10µs/div

$V_{REF} = 2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$

DIGITAL FEEDTHROUGH (SCLK = 100kHz)



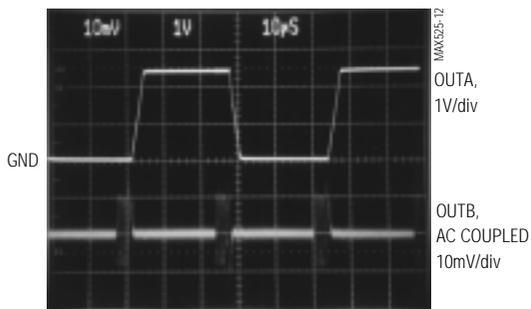
2µs/div

$V_{REF} = 2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$

$\overline{CS} = \overline{PDL} = \overline{CL} = 5V$, $DIN = 0V$

DAC A CODE SET TO 800 hex

ANALOG CROSSTALK



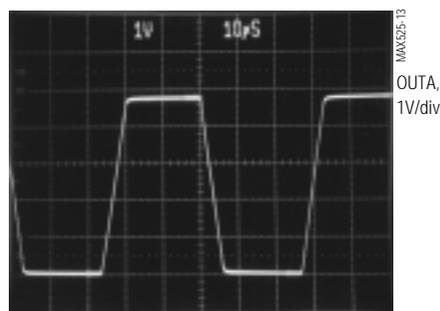
10µs/div

$V_{REF} = 2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$

DAC A CODE SWITCHING FROM 00B hex TO FFF hex

DAC B CODE SET TO 800 hex

DYNAMIC RESPONSE



10µs/div

$V_{REF} = 2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$

SWITCHING FROM CODE 000 hex TO FB4 hex

OUTPUT AMPLIFIER GAIN = +2

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

端子説明

端子	名称	機能
1	AGND	アナロググランド
2	FBA	DAC A出力アンプフィードバック
3	OUTA	DAC A出力電圧
4	OUTB	DAC B出力電圧
5	FBB	DAC B出力アンプフィードバック
6	REFAB	DAC A及びDAC Bのリファレンス電圧入力
7	\overline{CL}	全てのDAC及びレジスタをクリア。全ての出力(OUT _A 、UPO、DOUT)を0にリセット(アクティブロー)。
8	\overline{CS}	チップセレクト入力。アクティブロー。
9	DIN	シリアルデータ入力
10	SCLK	シリアルクロック入力
11	DGND	デジタルグランド
12	DOUT	シリアルデータ出力
13	UPO	ユーザプログラマブルロジック出力
14	\overline{PDL}	パワーダウンロックアウト。アクティブロー。ローの場合ソフトウェアシャットダウンがロックアウトされます。
15	REFCD	DAC CとDAC Dのリファレンス電圧入力
16	FBC	DAC C出力アンプフィードバック
17	OUTC	DAC C出力電圧
18	OUTD	DAC D出力電圧
19	FBD	DAC D出力アンプフィードバック
20	V _{DD}	正電源

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

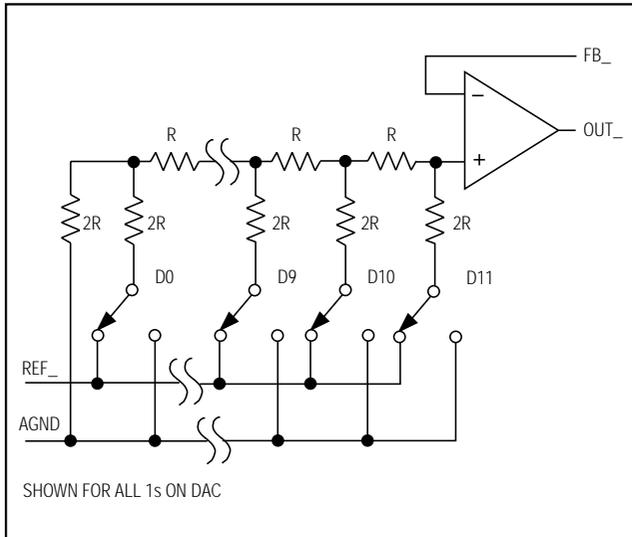


図1. DACの簡略回路図

詳細

MAX525はシンプルな3線シリアルインタフェースで簡単にアドレス指定できる12ビット電圧出力デジタルアナログコンバータ(DAC)を4つ内蔵しています。16ビットデータイン/データアウトシフトレジスタを備え、各DACは入力レジスタとDACレジスタからなるダブルバッファ付入力を備えています(ファンクションダイアグラムを参照)。ユーザは4つの電圧出力に加えて、各アンプの負入力を使うことができます。

DACは12ビットデジタル入力を印加されたリファレンス電圧入力に比例する等価アナログ出力電圧に変換する反転R-2Rラダーネットワークです。DAC AとBはREFABリファレンス入力を共有し、DAC CとDはREFCDリファレンス入力を共有しています。2つのリファレンス入力があるため、各DACペアが異なるフルスケール出力電圧で動作することができます。図1に4つのDACの内の1つの概略回路図を示します。

リファレンス入力

2つのリファレンス入力は正DC及びAC信号を受け付けます。各リファレンスでの電圧が対応する2つのDACのフルスケール出力電圧を設定します。リファレンス入力電圧範囲は0V ~ (V_{DD} - 1.4V)です。出力電圧(V_{OUT_})は次式に示すデジタル的に設定可能な電圧ソースとなります。

$$V_{OUT_} = (V_{REF} \times NB / 4096) \times \text{利得}$$

ここでNBはDACの入力コードの数値(0 ~ 4095)です。V_{REF}はリファレンス電圧で利得は外部で設定された電圧利得です。

各リファレンス入力でのインピーダンスはコードに依存し、そのリファレンスに接続されている両方のDAC

の入力コードが16進の555のときに最小値の10k となり、入力コードが16進の000のときに最大値(リーク電流に起因し、数G 以上)となります。リファレンスピンの入力インピーダンスがコードに依存するため、リファレンスソースの負荷レギュレーションが重要になります。

REFAB及びREFCDリファレンス入力は最小入力インピーダンス10k を保証しています。2つのリファレンス入力が同じソースで駆動されている場合、実効最小インピーダンスは5k です。負荷レギュレーションが6ppm/mAの電圧リファレンス(例えばMAX873)がMAX525の両方のリファレンス入力を同時に2.5Vで駆動する場合の偏差は0.025LSB(ワーストケースで0.061LSB)です。REFABピンとREFCDピンを別々に駆動するとリファレンス精度が向上します。

シャットダウンモードではMAX525のREFAB及びREFCD入力はハイインピーダンス状態になり、入力リーク電流は0.01µA(typ)となります。

リファレンス入力容量もやはりコードに依存し、入力コードが全て0のときに20pF、入力コードが全て1のときに100pF(typ)になります。

出力アンプ

MAX525 DACの全ての出力は内部の高精度アンプ(標準スルーレート0.6V/µs)でバッファされています。各出力アンプの反転入力へのアクセスが可能であるため、ユーザによる出力利得設定/信号調節の自由度が高くなっています(「アプリケーション情報」の項を参照)。

MAX525の出力でフルスケール遷移があった場合の±1/2LSBへの標準セトリング時間は、負荷が5k と100pFの並列のときに12µsです(負荷が2k 以下だと性能が劣化します)。

MAX525の出力アンプの出力動的応答及びセトリング性能は「標準動作特性」に示されています。

パワーダウンモード

MAX525はソフトウェアでプログラムできるシャットダウンモードを備えており、このときの消費電流は10µA (typ)まで低減します。シャットダウンモードをイネーブルするためには、パワーダウンロックアウト(PDL)ピンがハイでなければなりません。入力制御ワードに1100XXXXXXXXXXXXを書き込むとMAX525はパワーダウンモードになります(表1)。

パワーダウンモードではMAX525の出力アンプ及びリファレンス入力はハイインピーダンス状態になります。シリアルインタフェースはアクティブのままです。入力レジスタ内のデータはパワーダウン中も保持されるため、MAX525はシャットダウンに入る前の出力状態

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

を呼び起こすことができます。パワーダウン状態から起動するには、以前の設定を呼び起こすか、あるいは新しいデータでDACを更新してください。本製品をパワーアップするとき及びシャットダウン状態から回復させるときは出力安定時間として15μsだけ待ってください。

シリアルインタフェースの構成

MAX525の3線シリアルインタフェースはMicrowire™(図2)及びSPI™/QSPI™(図3)の両方とコンパチブルです。シリアル入力ワードはアドレスビット2つと制御ビット2つの後に12個のデータビット(MSBが先頭)が続く構成になっています。この4ビットのアドレス/制御コードが表1に示すMAX525の応答を決定します。DOUTとシリアルインタフェースポートの間の接続は必ずしも必要ではありませんが、データエコーに用いることができます。MAX525のシフトレジスタに保存されているデータはDOUTからシフトアウトしてマイクロプロセッサ(μP)に戻し、データの確認をすることができます。

MAX525のデジタル入力はダブルバッファ付です。シリアルインタフェースからきたコマンドに従って、DACレジスタに影響を与えずに入力レジスタにロードするか、DACレジスタに直接ロードするか、あるいは入力レジスタによって4つのDACレジスタを同時に更新することができます(表1)。

シリアルインタフェースの内容

MAX525は16ビットのシリアルデータを必要とします。表1はシリアルインタフェースプログラミングコマンドのリストです。コマンドによっては、12個のデータビットは「ドントケア(任意)」となっています。データはMSBを先頭にして送られ、2つの8ビットパケットとして、あるいは1つの16ビットワードとして送ることができます(16ビットが転送されるまでCSがローに保持される必要があります)。シリアルデータは2つのDACアドレスビット(A1、A0)及び2つの制御ビット(C1、C0)に12個のデータビットD11...D0が続く構成になっています(図4)。4ビットのアドレス/制御コードによって下記が決まります。

- 更新すべきレジスタ
- どのクロックエッジでデータがシリアルデータ出力(DOUT)からクロックアウトされるか
- ユーザプログラマブルロジック出力(UPO)の状態
- デバイスがシャットダウンモードに入るかどうか(PDLがハイであると仮定)
- シャットダウンモードから復帰したときにデバイスがどのように設定されるか

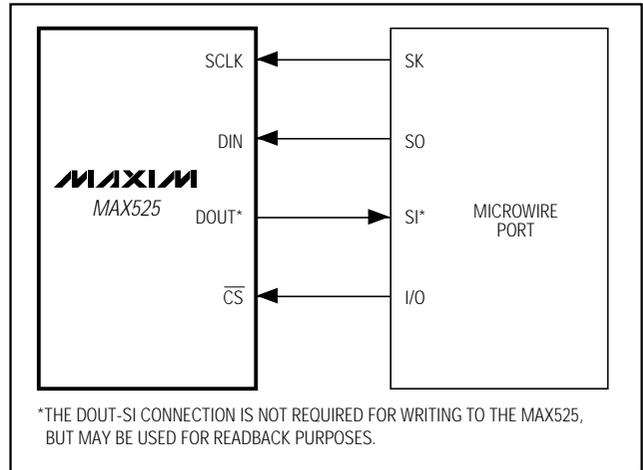


図2. Microwire用の接続

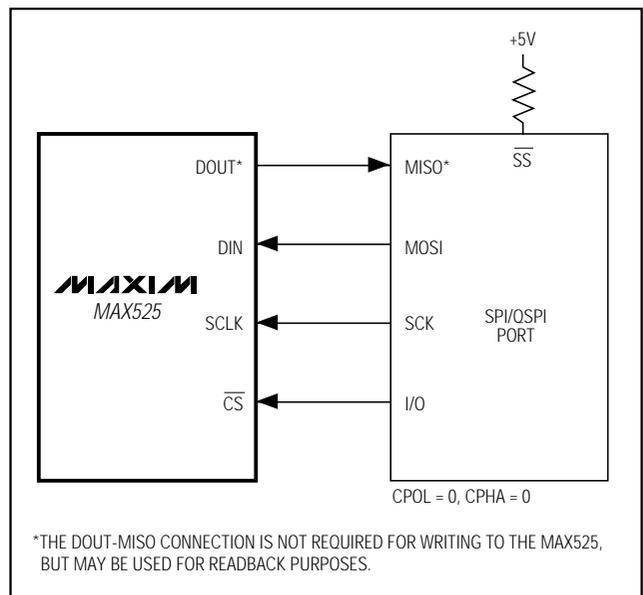


図3. SPI/QSPI用の接続

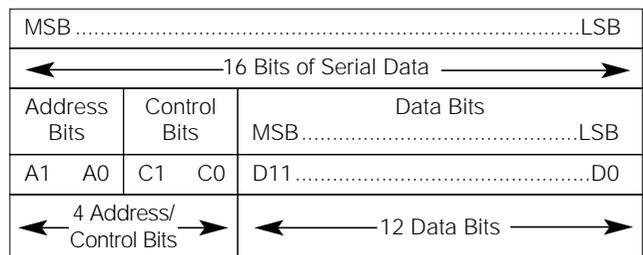


図4. シリアルデータフォーマット

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

表1. シリアルインタフェースのプログラミングコマンド

16ビットシリアルワード					機能
A1	A0	C1	C0	D11.....D0 MSB LSB	
0	0	0	1	12ビットDACデータ	入力レジスタAにロード、DACレジスタは無変化。
0	1	0	1	12ビットDACデータ	入力レジスタBにロード、DACレジスタは無変化。
1	0	0	1	12ビットDACデータ	入力レジスタCにロード、DACレジスタは無変化。
1	1	0	1	12ビットDACデータ	入力レジスタDにロード、DACレジスタは無変化。
0	0	1	1	12ビットDACデータ	入力レジスタAにロード、全てのDACレジスタがアップデート。
0	1	1	1	12ビットDACデータ	入力レジスタBにロード、全てのDACレジスタがアップデート。
1	0	1	1	12ビットDACデータ	入力レジスタCにロード、全てのDACレジスタがアップデート。
1	1	1	1	12ビットDACデータ	入力レジスタDにロード、全てのDACレジスタがアップデート。
0	1	0	0	XXXXXXXXXXXX	全てのDACレジスタが対応する入力レジスタでアップデート(スタートアップ)。
1	0	0	0	12ビットDACデータ	全てのDACレジスタをシフトレジスタからロード(スタートアップ)。
1	1	0	0	XXXXXXXXXXXX	シャットダウン(PDL=1の時)
0	0	1	0	XXXXXXXXXXXX	UPOがローに変化(デフォルト)
0	1	1	0	XXXXXXXXXXXX	UPOがハイに変化
0	0	0	0	XXXXXXXXXXXX	DACレジスタはノーオペレーション(NOP)
1	1	1	0	XXXXXXXXXXXX	モード1、DOUTはSCLKの立上がりエッジでクロックアウト。全てのDACレジスタがアップデート。
1	0	1	0	XXXXXXXXXXXX	モード0、DOUTはSCLKの立下がりエッジでクロックアウト。全てのDACレジスタがアップデート(デフォルト)。

“X” = 任意

図5にシリアルインタフェースのタイミングの必要条件を示します。DACのシリアルインタフェースをイネーブルするためには、チップセレクトピン(\overline{CS})がローである必要があります。 \overline{CS} がハイだとインタフェース制御回路はディセーブルされます。最初のビットを正しくクロックインするためには、 \overline{CS} はシリアルクロック(SCLK)の立上がりエッジよりも少なくとも t_{CSS} だけ以前にローになっている必要があります。 \overline{CS} がローだと、データはSCLKの立上がりエッジでシリアルデータ入力ピン(DIN)を通じて内部シフトレジスタにクロックインされます。最大保証クロック周波数は10MHzです。データは \overline{CS} の立上がりエッジで該当するMAX525入力/DACレジスタにラッチインされます。

全てのDACをシフトレジスタからロードというプログラミングコマンドを使うと、入力シフトレジスタの同じデジタルコードで同時に全ての入力及びDACレジスタにロードすることができます。ノーオペレーション(NOP)コマンドはレジスタの内容に影響を与えないため、MAX525をデジチェーン接続する場合に便利です(「デバイスのデジチェーン接続」の項を参照)。どのクロックエッジでシリアルデータをDOUTからシフトアウトするかを変更するコマンドは、全ての入力レジスタのデータを対応するDACレジスタにロードする動作も行います。

シリアルデータ出力(DOUT)

シリアルデータ出力(DOUT)は内部シフトレジスタの出力です。MAX525はデータをDOUTからクロックアウトするタイミングをSCLKの立上がりエッジ(モード1)にするか立下がりエッジ(モード0)にするかをプログラムできます。モード0ではDOUTの出力データはDINの入力データから16.5クロックサイクルだけ遅れるため、Microwire™及びSPI™/QSPI™及びその他のシリアルインタフェースとのコンパチビリティが保持されます。モード1では出力データは入力データから16クロックサイクルだけ遅れます。パワーアップ時にはDOUTはデフォルトでモード0のタイミングになります。

ユーザープログラマブルロジック出力(UPO)

ユーザープログラマブルロジック出力(UPO)を使うとMAX525のシリアルインタフェースを通じて外部デバイスを制御することができます(表1)。

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

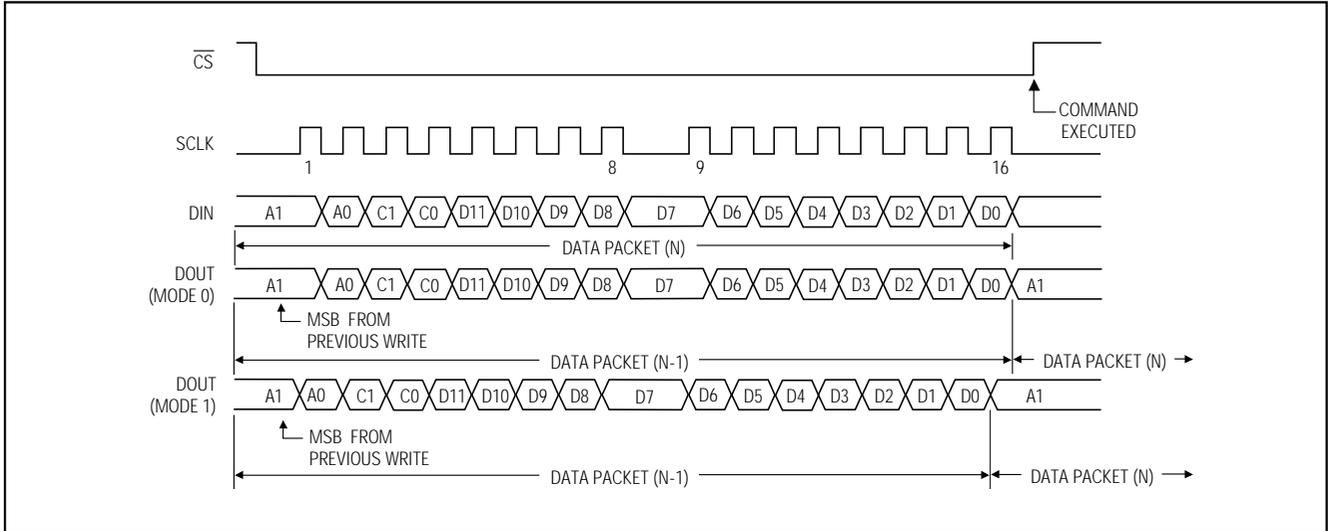


図5. シリアルインタフェースタイミング図

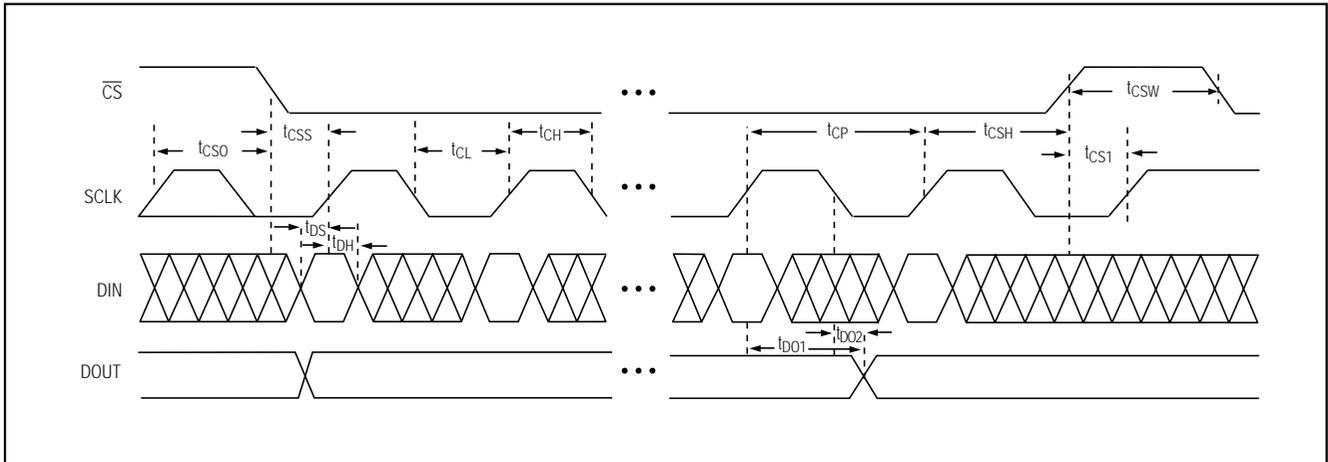


図6. シリアルインタフェースタイミング詳細図

パワーダウンロックアウト(PDL)

パワーダウンロックアウトピンPDLがローの時ソフトウェアシャットダウンはディセーブルされます。シャットダウン時にPDLがハイからローに遷移するとデバイスはウェイクアップしてシャットダウン前の出力状態になります。PDLはデバイスを非同期でウェイクアップするために使用することもできます。

デジチェーン接続

任意の数のMAX525をデジチェーン接続することができます。それにはチェーンの中の1つのデバイスのDOUTピンを次のデバイスのDINピンに接続します(図7)。

MAX525のDOUTピンは内部にアクティブなプルアップを備えているため、DOUTのシンク/ソース能力が容量性負荷の放電/充電に必要な時間を決定します。「電気的特性」のシリアルデータ出力 V_{OH} 及び V_{OL} の仕様を参照してください。

図8にいくつかのMAX525を接続するための別方法を示します。この構成ではデータバスは全てのデバイスに共通になっていて、デジチェーンを通じてデータをシフトするわけではありません。この構成では各ICについて専用のチップセレクト入力(CS)が必要なので必要なI/Oラインの数が増えます。

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

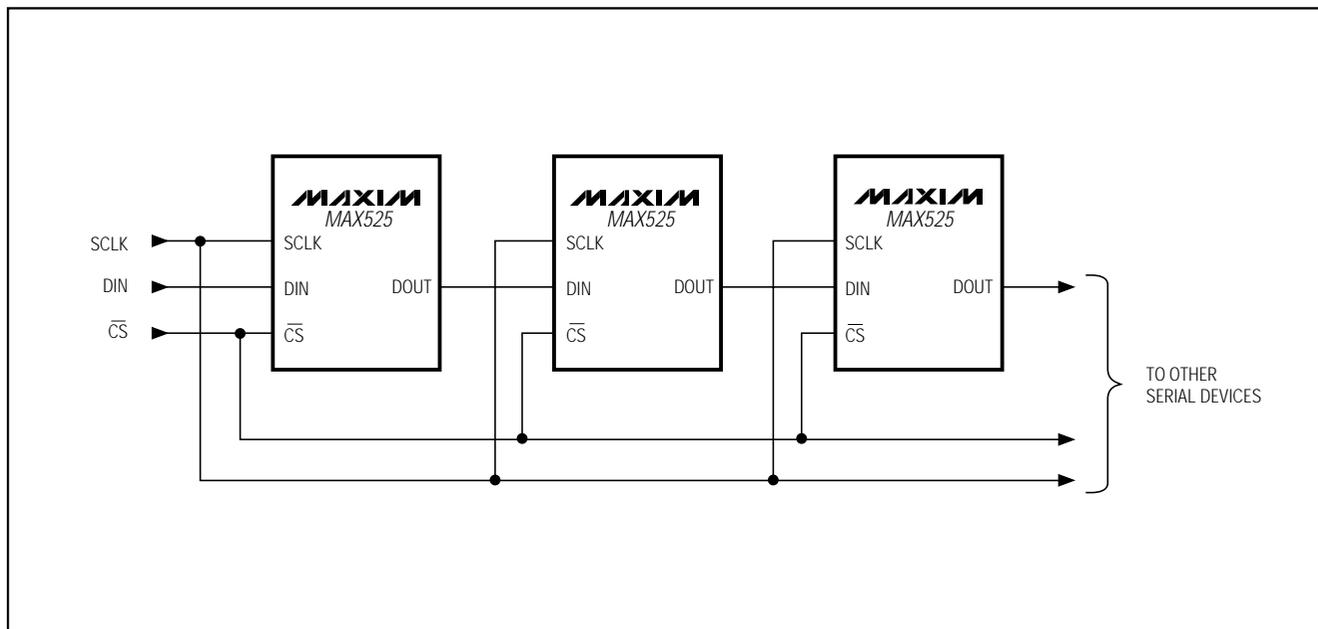


図7. MAX525のデジーチェーン接続

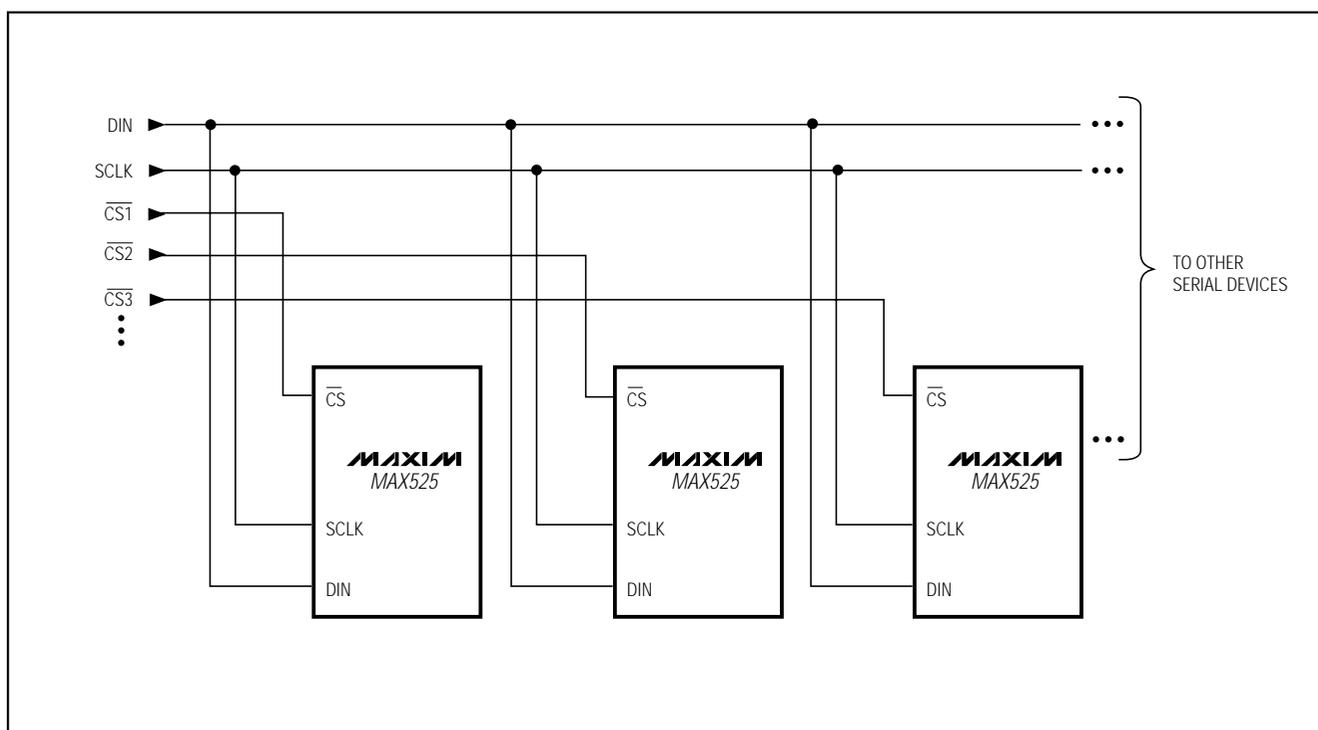


図8. 複数のMAX525がコモンDINラインを共有

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

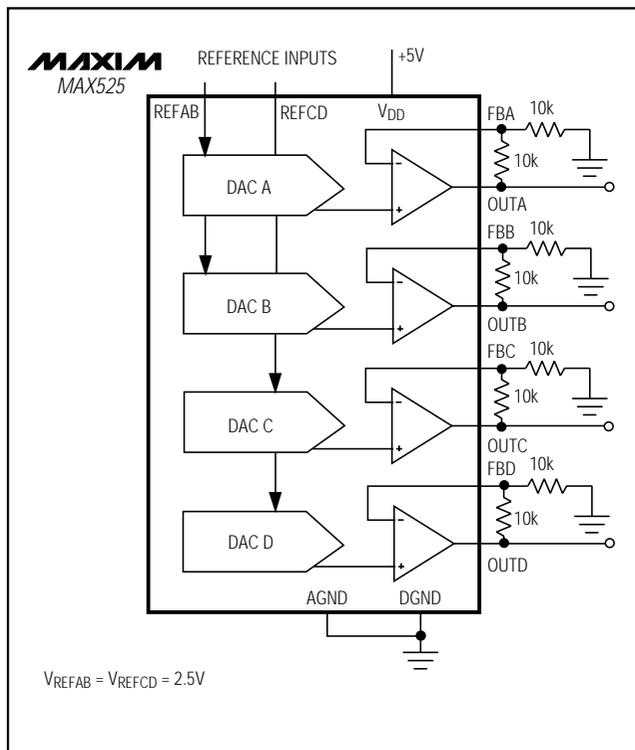


図10. ユニポーラのレイルトゥレイル出力の回路

ACリファレンスの使用

リファレンスがAC信号成分を持つアプリケーションでは、MAX525はリファレンス入力範囲仕様内で乗算能力を持っています。図12にリファレンス入力にサイン波信号を印加する技法を示します(AC信号はREFAB/REFCDに印加される前にオフセットされます)。リファレンス電圧がDGNDよりマイナスになることは許されません。

MAX525の全高調波歪み及びノイズ(THD + N)は信号スイングが1Vp-pで入力周波数が最大25kHzのときに-72dB以下(typ)です。「標準動作特性」のグラフに示すように、標準的な-3dB周波数は650kHzです。

デジタルプログラマブル電流ソース

図13の回路を使うと、オペアンプのフィードバックループ内のNPNトランジスタ(2N3904等)がデジタルでプログラムできる一方向性電流ソースになります。この回路は工業用制御アプリケーションでよく用いられる4mA~20mAの電流ループの駆動に使用することができます。出力電流は次式で計算されます。

$$I_{OUT} = (V_{REF} / R) \times (NB / 4096)$$

ここでNBはDACのバイナリ入力コードの数値、Rは図13に示されている検出抵抗です。

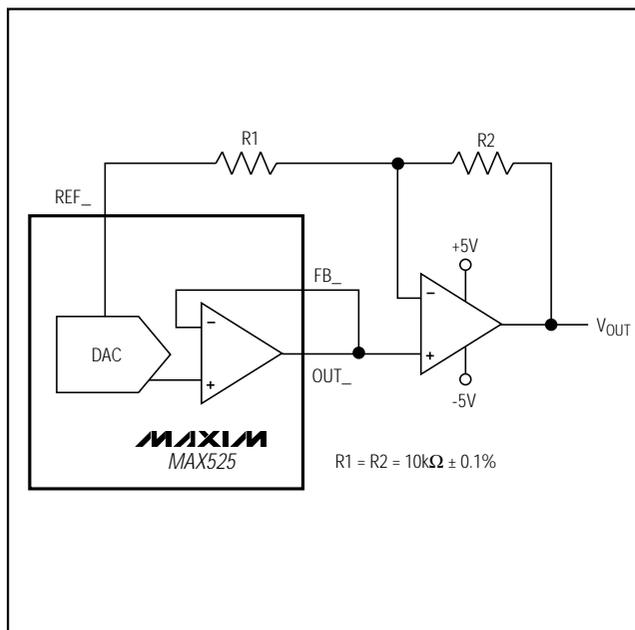


図11. バイポーラ出力の回路

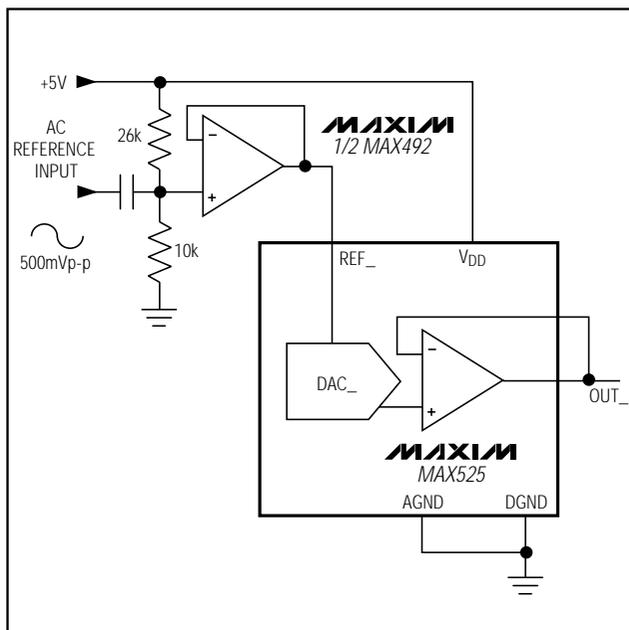


図12. ACリファレンス入力回路

ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

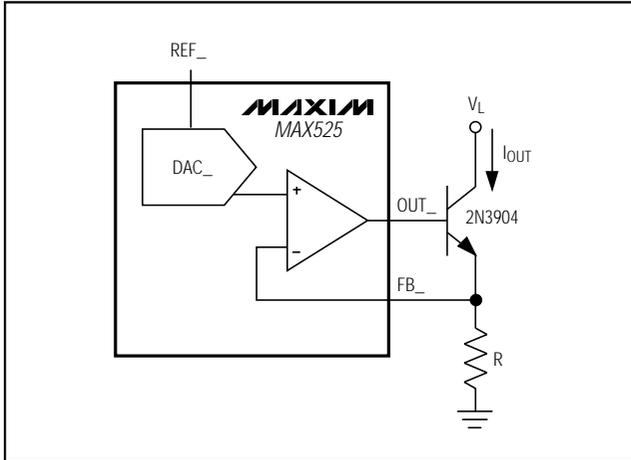


図13. デジタルプログラマブル電流ソース

電源に関する考慮

パワーアップ時に、全ての入力とDACレジスタはクリア(ゼロコードに設定)され、DOUTはモード0になります(シリアルデータはクロックの立下がりエッジでDOUTからシフトアウト)。

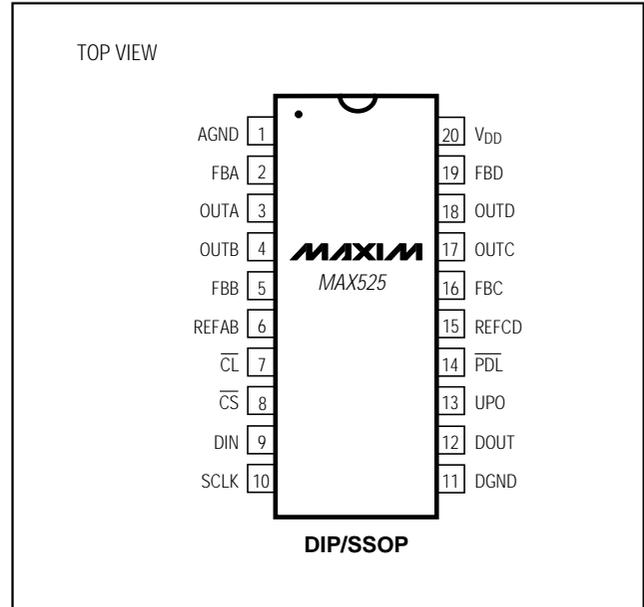
MAX525に定格通りの性能を発揮させるためには、REFAB/REFCDを($V_{DD} - 1.4V$)よりも低くしてください。 V_{DD} は4.7 μ Fコンデンサと0.1 μ Fコンデンサを並列に使ってAGNDにバイパスしてください。リード線は短くし、バイパスコンデンサは電源ピンのできるだけ近くに取り付けてください。

接地及びレイアウト

AGNDとDGNDの間でのデジタル又はACトランジェント信号のためにアナログ出力にノイズが発生することがあります。AGNDとDGNDをDACのところまでまとめて接続し、それをさらにできるだけ良質のグラウンドに接続してください。

プリント基板のグラウンドレイアウトを良くすればDAC出力、リファレンス入力及びデジタル入力間のクロストークを最小限に抑えることができます。アナログラインをデジタルラインから遠ざけてクロストークを低減してください。ワイヤラッピングボードはお勧めできません。

ピン配置



ローパワー、クワッド12ビット電圧出力DAC シリアルインタフェース付

MAX525

型番(続き) _____

チップ情報 _____

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSBs)
MAX525BC/D	0°C to +70°C	Dice*	±1
MAX525AEPP	-40°C to +85°C	20 Plastic DIP	±1/2
MAX525BEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX525AEAP	-40°C to +85°C	20 SSOP	±1/2
MAX525BEAP	-40°C to +85°C	20 SSOP	±1
MAX525AMJP	-55°C to +125°C	20 CERDIP**	±1/2
MAX525BMJP	-55°C to +125°C	20 CERDIP**	±1

* Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.
**Contact factory for availability and processing to MIL-STD-883.

TRANSISTOR COUNT: 4337

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256 BSC		0.65 BSC	
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0°	8°	0°	8°

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	14	0.239	0.249	6.07	6.33
D	16	0.239	0.249	6.07	6.33
D	20	0.278	0.289	7.07	7.33
D	24	0.317	0.328	8.07	8.33
D	28	0.397	0.407	10.07	10.33

**SSOP
SHRINK
SMALL-OUTLINE
PACKAGE**

21-0056A

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

16 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600