

ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)

V _{CC}	-0.3V to +6V
VBATT	-0.3V to +6V
All Other Inputs	-0.3V to (V _{OUT} + 0.3V)
Input Current	
V _{CC} Peak	1.0A
V _{CC} Continuous	250mA
VBATT Peak	250mA
VBATT Continuous	25mA
GND, BATT ON	100mA
All Other Outputs	25mA

Continuous Power Dissipation (T_A = +70°C)

Plastic DIP (derate 10.53mW/°C above +70°C)	842mW
Narrow SO (derate 8.70mW/°C above +70°C)	696mW
Wide SO (derate 9.52mW/°C above +70°C)	762mW
CERDIP (derate 10.00mW/°C above +70°C)	800mW
Operating Temperature Ranges	
MAX69_AC_/MAX800_C_	0°C to +70°C
MAX69_AE_/MAX800_E_	-40°C to +85°C
MAX69_AMJE	-55°C to +125°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(MAX691A, MAX800L: V_{CC} = +4.75V to +5.5V, MAX693A, MAX800M: V_{CC} = +4.5V to +5.5V, VBATT = 2.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Operating Voltage Range, V _{CC} , VBATT (Note 1)			0		5.5	V
V _{OUT} Output	V _{CC} = 4.5V	I _{OUT} = 25mA		V _{CC} - 0.02	V _{CC} - 0.05	V
		I _{OUT} = 250mA	MAX69_AC	V _{CC} - 0.2	V _{CC} - 0.3	
			MAX69_AE, MAX800_C/E	V _{CC} - 0.2	V _{CC} - 0.35	
			MAX69_A/M		V _{CC} - 0.40	
I _{OUT} = 210mA	MAX69_AC/AE, MAX800_C/E	V _{CC} - 0.17	V _{CC} - 0.3V			
V _{CC} -to-V _{OUT} On-Resistance	V _{CC} = 4.5V	MAX69_AC, MAX800_C		0.8	1.2	Ω
		MAX69_AE, MAX800_E		0.8	1.4	
		MAX69_A/M		0.8	1.6	
V _{OUT} in Battery-Backup Mode	VBATT = 4.5V, I _{OUT} = 20mA		VBATT - 0.3			V
	VBATT = 2.8V, I _{OUT} = 10mA		VBATT - 0.25			
	VBATT = 2.0V, I _{OUT} = 5mA		VBATT - 0.15			
VBATT-to-V _{OUT} On-Resistance	VBATT = 4.5V					Ω
	VBATT = 2.8V		15			
	VBATT = 2.0V		25			
Supply Current in Normal Operating Mode (Excludes I _{OUT})	V _{CC} > VBATT - 1V		30			μA
			100			
Supply Current in Battery-Backup Mode (Excludes I _{OUT}) (Note 2)	V _{CC} < VBATT - 1.2V VBATT = 2.8V	T _A = +25°C	0.04			μA
		T _A = T _{MIN} + T _{MIN}	1			
VBATT Standby Current (Note 3)	VBATT + 0.2V ≤ V _{CC}	T _A = +25°C	-0.1			μA
		T _A = T _{MIN} + T _{MIN}	-1.0			
Battery Switchover Threshold	Power-up	VBATT + 0.3			V	
	Power-down	VBATT - 0.3				

ELECTRICAL CHARACTERISTICS (continued)

(MAX691A, MAX800L: $V_{CC} = +4.75V$ to $+5.5V$, MAX693A, MAX800M: $V_{CC} = +4.5V$ to $+5.5V$, $V_{BATT} = 2.8V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Battery Switchover Hysteresis			60		mV
BATT ON Output Low Voltage	$I_{SINK} = 3.2mA$		0.1	0.4	V
	$I_{SINK} = 25mA$		0.7	1.5	
BATT ON Output Short-Circuit Current	Sink current		60		mA
	Source current	1	15	100	μA
RESET AND WATCHDOG TIMER					
Reset Threshold Voltage	MAX691A, MAX800L	4.50	4.65	4.75	V
	MAX693A, MAX800M	4.25	4.40	4.50	
	MAX800L, $T_A = +25^{\circ}C$, V_{CC} falling	4.55		4.70	
	MAX800M, $T_A = +25^{\circ}C$, V_{CC} falling	4.30		4.45	
Reset Threshold Hysteresis			15		mV
V_{CC} to RESET Delay	Power-down		80		μs
LOW LINE-to-RESET Delay			800		ns
Reset Active Timeout Period, Internal Oscillator	Power-up	140	200	280	ms
Reset Active Timeout Period, External Clock (Note 4)	Power-up		2048		Clock Cycles
Watchdog Timeout Period, Internal Oscillator	Long period	1.0	1.6	2.25	sec
	Short period	70	100	140	ms
Watchdog Timeout Period, External Clock (Note 4)	Long period		4096		Clock Cycles
	Short period		1024		
Minimum Watchdog Input Pulse Width	$V_{IL} = 0.8V$, $V_{IH} = 0.75 \times V_{CC}$	100			ns
RESET Output Voltage	$I_{SINK} = 50\mu A$, $V_{CC} = 1V$, $V_{BATT} = 0V$, V_{CC} falling		0.004	0.3	V
	$I_{SINK} = 3.2mA$, $V_{CC} = 4.25V$		0.1	0.4	
	$I_{SOURCE} = 1.6mA$, $V_{CC} = 5V$	3.5			
RESET Output Short-Circuit Current	Output source current		7	20	mA
RESET Output Voltage Low (Note 5)	$I_{SINK} = 3.2mA$	0.1	0.4		V
LOW LINE Output Voltage	$I_{SINK} = 3.2mA$, $V_{CC} = 4.25V$			0.4	V
	$I_{SOURCE} = 1\mu A$, $V_{CC} = 5V$	3.5			
LOW LINE Output Short-Circuit Current	Output source current	1	15	100	μA
WDO Output Voltage	$I_{SINK} = 3.2mA$			0.4	V
	$I_{SOURCE} = 500\mu A$, $V_{CC} = 5V$	3.5			
WDO Output Short-Circuit Current	Output source current		3	10	mA
WDI Threshold Voltage (Note 6)	V_{IH}	$0.75 \times V_{CC}$			V
	V_{IL}			0.8	
WDI Input Current	WDI = 0V	-50	-10		μA
	WDI = V_{OUT}		20	50	

ELECTRICAL CHARACTERISTICS (continued)

(MAX691A, MAX800L: $V_{CC} = +4.75V$ to $+5.5V$, MAX693A, MAX800M: $V_{CC} = +4.5V$ to $+5.5V$, $V_{BATT} = 2.8V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
POWER-FAIL COMPARATOR					
PFI Input Threshold	MAX69_AC/AE/AM, $V_{CC} = 5V$	1.2	1.25	1.3	V
	MAX800_C/E, $V_{CC} = 5V$	1.225	1.25	1.275	
PFI Leakage Current			±0.01	±25	nA
\overline{PFO} Output Voltage	$I_{SINK} = 3.2mA$			0.4	V
	$I_{SOURCE} = 1\mu A$, $V_{CC} = 5V$	3.5			
\overline{PFO} Output Short-Circuit Current	Output source current	1	15	100	μA
PFI-to-PFO Delay	$V_{IN} = -20mV$, $V_{OD} = 15mV$		25		μs
	$V_{IN} = 20mV$, $V_{OD} = 15mV$		60		
CHIP-ENABLE GATING					
\overline{CE} IN Leakage Current	Disable mode		±0.005	±1	μA
\overline{CE} IN-to- \overline{CE} OUT Resistance (Note 7)	Enable mode		75	150	Ω
\overline{CE} OUT Short-Circuit Current (Reset Active)	Disable mode, \overline{CE} OUT = 0V	0.1	0.75	2.0	mA
\overline{CE} IN-to- \overline{CE} OUT Propagation Delay (Note 8)	50Ω source impedance driver, $C_{LOAD} = 50pF$		6	10	ns
\overline{CE} OUT Output Voltage High (Reset Active)	$V_{CC} = 5V$, $I_{OUT} = -100\mu A$	3.5			V
	$V_{CC} = 0V$, $V_{BATT} = 2.8V$, $I_{OUT} = 1\mu A$	2.7			
RESET-to- \overline{CE} OUT Delay	Power-down		12		μs
INTERNAL OSCILLATOR					
OSC IN Leakage Current	OSC SEL = 0V		0.10	±5	μA
OSC IN Input Pull-Up Current	OSC SEL = V_{OUT} or floating, OSC IN = 0V		10	100	μA
OSC SEL Input Pull-Up Current	OSC SEL = 0V		10	100	μA
OSC IN Frequency Range	OSC SEL = 0V		50		kHz
OSC IN External Oscillator Threshold Voltage	V_{IH}	$V_{OUT} - 0.3$	$V_{OUT} - 0.6$		V
	V_{IL}		3.65	2.00	
OSC IN Frequency with External Capacitor	OSC SEL = 0V, $C_{OSC} = 47pF$		100		kHz

Note 1: Either V_{CC} or V_{BATT} can go to 0V, if the other is greater than 2.0V.

Note 2: The supply current drawn by the MAX691A/MAX800L/MAX800M from the battery excluding I_{OUT} typically goes to 10μA when $(V_{BATT} - 1V) < V_{CC} < V_{BATT}$. In most applications, this is a brief period as V_{CC} falls through this region.

Note 3: "+" = battery-discharging current, "--" = battery-charging current.

Note 4: Although presented as typical values, the number of clock cycles for the reset and watchdog timeout periods are fixed and do not vary with process or temperature.

Note 5: RESET is an open-drain output and sinks current only.

Note 6: WDI is internally connected to a voltage divider between V_{OUT} and GND. If unconnected, WDI is driven to 1.6V (typ), disabling the watchdog function.

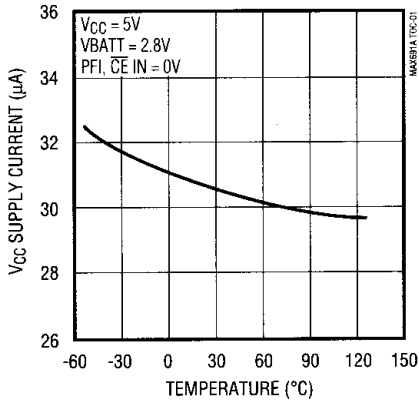
Note 7: The chip-enable resistance is tested with $V_{CC} = +4.75V$ for the MAX691A/MAX800L and $V_{CC} = +4.5V$ for the MAX693A/MAX800M. \overline{CE} IN = \overline{CE} OUT = $V_{CC} / 2$.

Note 8: The chip-enable propagation delay is measured from the 50% point at \overline{CE} IN to the 50% point at \overline{CE} OUT.

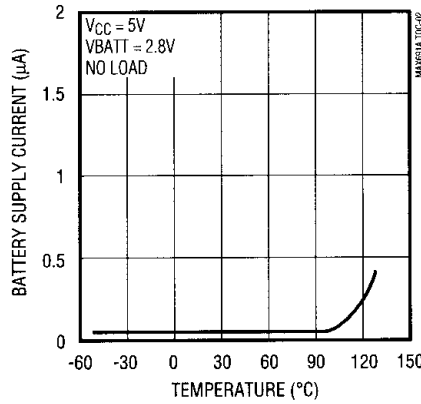
標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

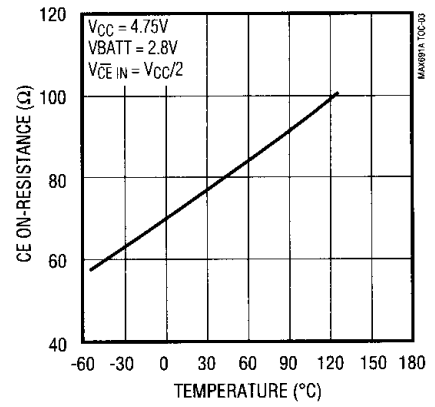
V_{CC} SUPPLY CURRENT vs. TEMPERATURE (NORMAL OPERATING MODE)



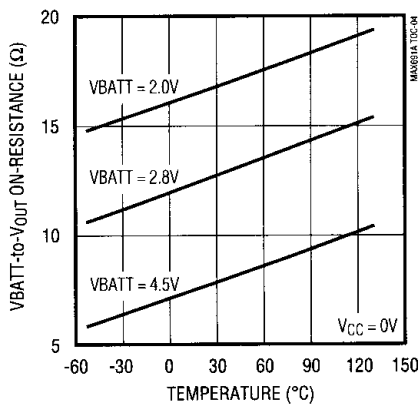
BATTERY SUPPLY CURRENT vs. TEMPERATURE (BATTERY-BACKUP MODE)



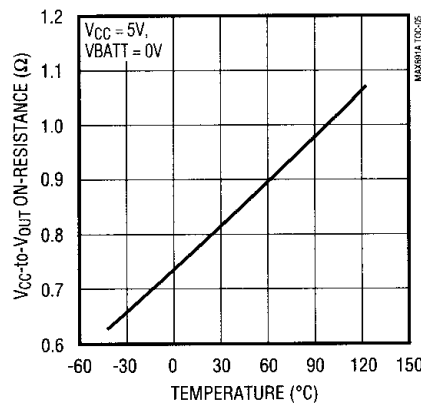
CHIP-ENABLE ON-RESISTANCE vs. TEMPERATURE



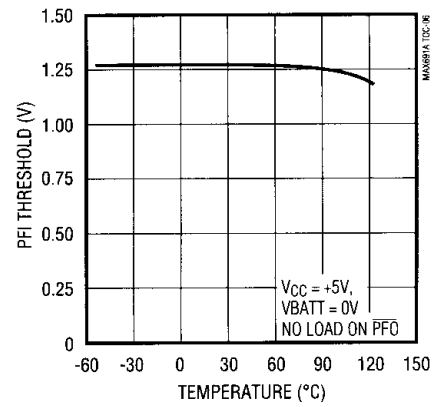
VBATT to V_{OUT} ON-RESISTANCE vs. TEMPERATURE



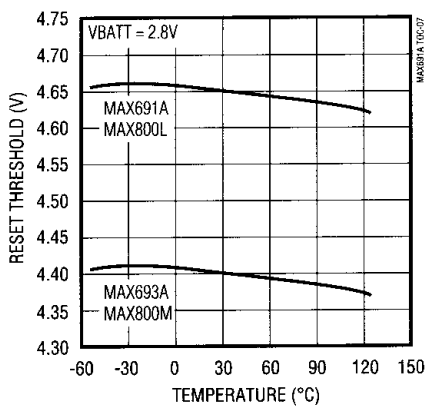
V_{CC} to V_{OUT} ON-RESISTANCE vs. TEMPERATURE



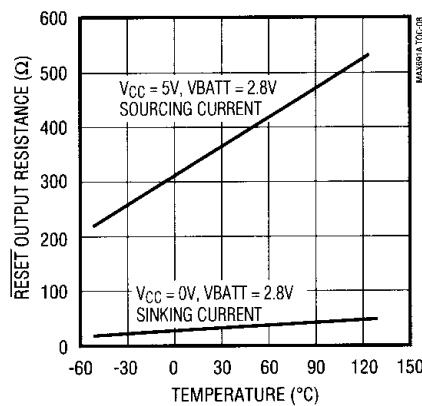
PFI THRESHOLD vs. TEMPERATURE



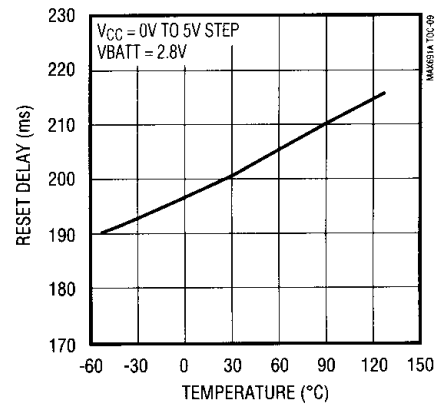
RESET THRESHOLD vs. TEMPERATURE



RESET OUTPUT RESISTANCE vs. TEMPERATURE



RESET DELAY vs. TEMPERATURE

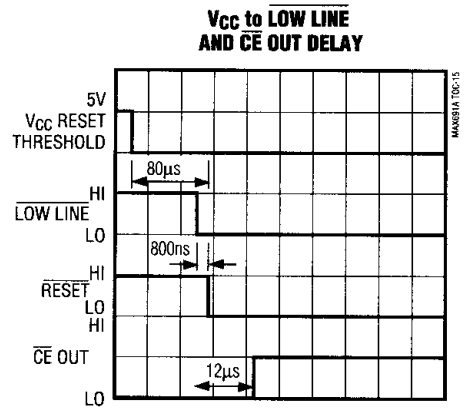
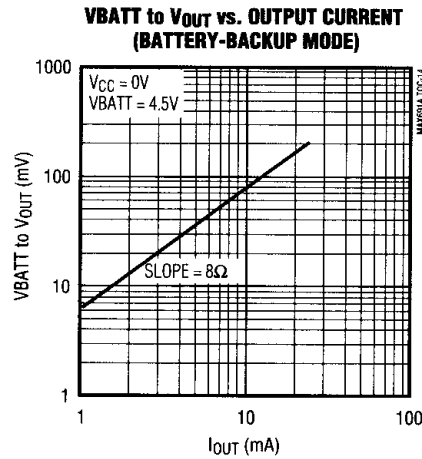
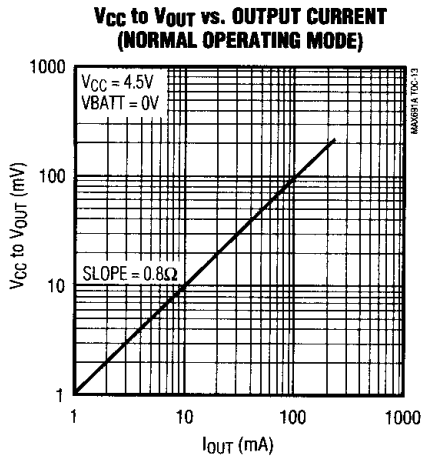
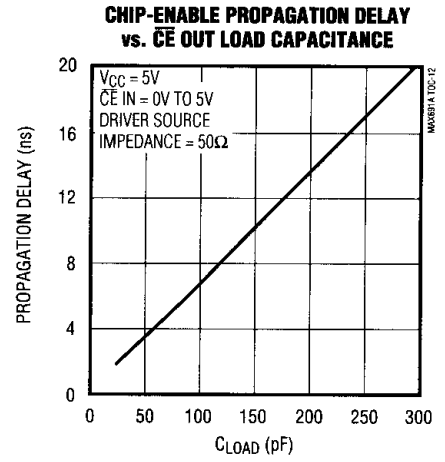
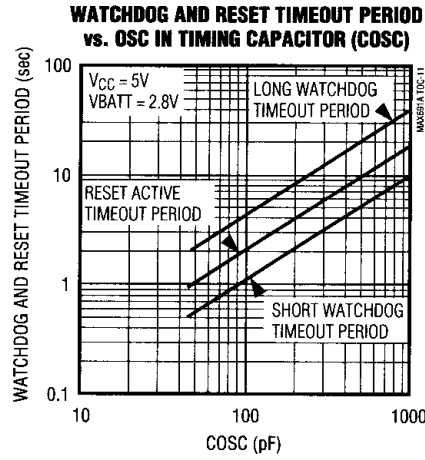
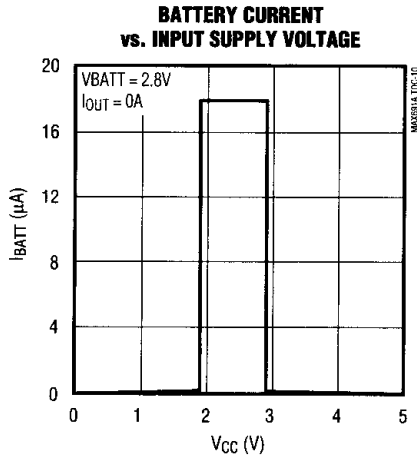


MAX691A/MAX693A/MAX800L/MAX800M

標準動作特性(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

MAX691A/MAX693A/MAX800L/MAX800M



端子説明

端子	名称	機能
1	VBATT	バックアップバッテリー入力。外付けバッテリー、またはコンデンサ及び充電回路に接続。バックアップバッテリーが使用されていない場合、グラウンドに接続して下さい。
2	V _{OUT}	出力電源電圧。V _{CC} がVBATT以上で、かつリセットスレッシュホールドより高い場合、V _{OUT} をV _{CC} に接続。V _{CC} がVBATT以下に低下し、またリセットスレッシュホールドより低い値になった場合、V _{OUT} はVBATTに接続。0.1μFコンデンサをV _{OUT} とグラウンド間に接続し、またバックアップバッテリーが使用されていない場合、V _{OUT} はV _{CC} に接続して下さい。
3	V _{CC}	入力電源電圧、+5V入力
4	GND	グラウンド。全信号に対しての0V基準。
5	BATT ON	バッテリーオン出力。V _{OUT} がVBATTに切替わる場合ハイに、V _{CC} に切替わる場合ローになります。250mA以上のV _{OUT} 電流を必要とする場合、電流制限抵抗を用いてPNPのベースをBATT ONに接続。
6	LOW LINE	V _{CC} がリセットスレッシュホールド以下になった場合、LOW LINE出力はローになり、V _{CC} がリセットスレッシュホールド以上になった場合、すぐにハイに戻ります。
7	OSC IN	外部オシレータ入力。OSC SELが未接続、またはハイの場合、10μAプルアップがV _{OUT} からOSC INに接続されたとき、内部オシレータがリセットやウォッチドッグタイムアウト時間を設定し、OSC INは高速または低速のウォッチドッグタイムアウト時間を選択します。OSC SELがローの場合リセットやウォッチドッグタイムアウト時間は、OSC INからグラウンドへのコンデンサ、又はOSC INの外部クロックによって設定されます(図3)。
8	OSC SEL	オシレータ選択。OSC SELが未接続、またはハイの場合、内部オシレータがリセットディレーやウォッチドッグタイムアウト時間を設定。OSC SELがローの場合、外部オシレータ入力OSC INは、イネーブルになります(表1)。OSC SELは10μAで内部プルアップされています。
9	PFI	パワーフェイル入力。この端子は、パワーフェイルコンパレータへの非反転入力です。PFIが1.25V以下の場合、PFOはローになります。使用しない場合は、グラウンドかV _{OUT} に接続して下さい。
10	PFO	パワーフェイル出力。この端子は、パワーフェイルコンパレータの出力です。PFIが1.25V以下の時、PFOはローになります。このコンパレータは独立しており、他の内部回路には影響を与えません。
11	WDI	ウォッチドッグ入力。WDIはスリーレベル入力です。WDIがウォッチドッグタイムアウト期間以上ハイあるいはローの場合、WDOはローになりリセットがリセットタイムアウト期間実行され、WDIの次のトランジションまでロー状態を維持します。WDIを未接続にすることで、ウォッチドッグタイムアウト機能をディセーブルできます。WDIはV _{OUT} とグラウンド間の内部電圧分圧器に接続されており、それにより、WDIは未接続の場合には、電源の中間電圧に設定されます。
12	CE OUT	チップイネーブル出力。CE INがローでV _{CC} がリセットスレッシュホールド以上の場合のみCE OUTはローになります。リセットが実行された場合、CE INがローならば、CE OUTはCE INがハイになるまで、あるいは最大で15μsの間ローのままです。
13	CE IN	チップイネーブル入力。チップイネーブルゲート回路への入力。未使用の場合は、グラウンドまたはV _{OUT} に接続します。
14	WDO	ウォッチドッグ出力。ウォッチドッグタイムアウト期間よりも長い間WDIがハイまたはローを維持した場合、WDOはローになり、リセットはリセットタイムアウト期間実行されます。WDIの次のトランジションでハイに戻ります。WDIが未接続の場合WDOはハイのままです。
15	RESE \bar{T}	V _{CC} がリセットスレッシュホールド以下に低下した場合、RESE \bar{T} 出力はローになります。V _{CC} がパワーアップ時、リセットスレッシュホールドを越えた後も、RESE \bar{T} は200ms(typ)の間ローのままです。
16	RESET	RESETはアクティブハイ出力。オープンドレインで、RESE \bar{T} の反転。

詳細

RESE \bar{T} 及び RESET 出力

MAX691A/MAX693A/MAX800L/MAX800Mは、RESE \bar{T} 及び RESET 出力により、パワーアップ時μPを(リセット入力をハイまたはローにすることにより)既定の状態スタートさせることができ、またパワーダウンあるいは低電圧状態でのコード実行エラーを防止することができます。

RESE \bar{T} 出力はアクティブローで、アクティブ状態の時0.1V飽和電圧で3.2mA(typ)シンクします。インアクティブ状態の時、RESE \bar{T} 出力のソース電流はV_{OUT}-0.5V(typ)で1.6mAです。RESET出力は、オープンドレイン、

アクティブハイで、0.1V飽和電圧で、3.2mA(typ)シンクします。バックアップバッテリーを使用しない場合、RESE \bar{T} 出力はV_{CC}=1Vまで有効で、またRESE \bar{T} 出力に10kΩプルダウン抵抗を接続すると、RESE \bar{T} 出力はV_{CC}=グラウンド(図1)まで有効です。V_{CC}が1V以下に下がると、RESE \bar{T} 出力スイッチへのゲートドライブはそれにつれて減少し、R_{DS(ON)}と飽和電圧が増加します。10kΩプルダウン抵抗により、スイッチとの並列抵抗値は約10kΩになり、またシンク電流が40μAの時、出力飽和電圧は0.4V以下になります。10kΩの外付プルダウン抵抗使用時、V_{CC}=4.75VでのRESE \bar{T} 出力のハイ状態は4.5V(typ)です。2V以上のバッテリーをVBATTに接続することで、RESET及びRESE \bar{T} 出力はV_{CC}=0V~5.5Vで有効です。

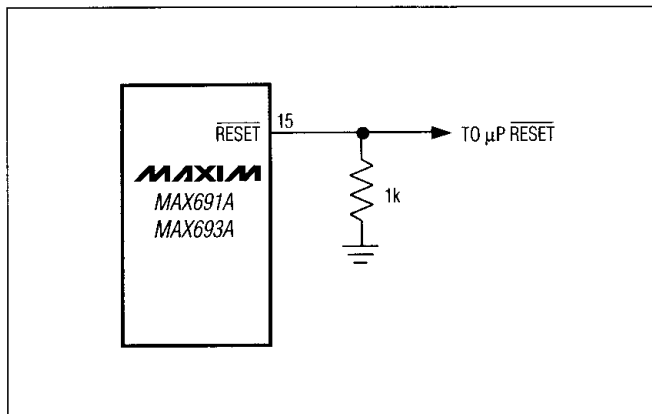


図1. 外付けプルダウン抵抗を加えれば、RESETは $V_{CC} = GND$ まで有効です。

RESET及び \overline{RESET} は、 V_{CC} がリセットスレッシュホールド (MAX691A/MAX800Lは4.65V、MAX693A/MAX800Mは4.4V)以下の状態になった場合実行され、パワーアップ時 V_{CC} がリセットスレッシュホールド以上になった後も200ms (typ)の間、実行され続けます (図5)。このICのバッテリー切換え用コンパレータは、リセットの実行に関して何の影響も与えません。しかし、バッテリーバックアップモードに入るには V_{CC} がリセットスレッシュホールド以下でなければならないので、リセット出力はバッテリーバックアップモードで実行されます。

ウォッチドッグ機能

ウォッチドッグはウォッチドッグ入力(WDI)によりμPのアクティビティを監視し、μPがインアクティブになった場合、 \overline{RESET} とRESETが実行されます。ウォッチドッグ機能を使用するには、WDIをバスラインかμPのI/Oラインに接続して下さい。WDIがウォッチドッグタイムアウト期間(公称1.6s)以上ハイまたはロー状態の場合、 \overline{WDO} 、RESET、 \overline{RESET} が実行されます(「RESET及び \overline{RESET} 出力」のセクションと、このページの「ウォッチドッグ出力」の項を参照)。

ウォッチドッグ入力

ウォッチドッグ期間中、WDIにおける状態変化(ハイからロー、ローからハイ、または最小の100nsパルス)により、ウォッチドッグタイマがリセットされます。ウォッチドッグタイムアウトのデフォルト値は1.6secです。

ウォッチドッグ機能をディセーブルにするには、WDIをオープン状態にしておきます。内部抵抗ネットワーク(WDIでの等価インピーダンス100kΩ)によりWDIは約1.6Vにバイアスされ、内部コンパレータはこの電圧を検出しウォッチドッグタイマをディセーブルします。また

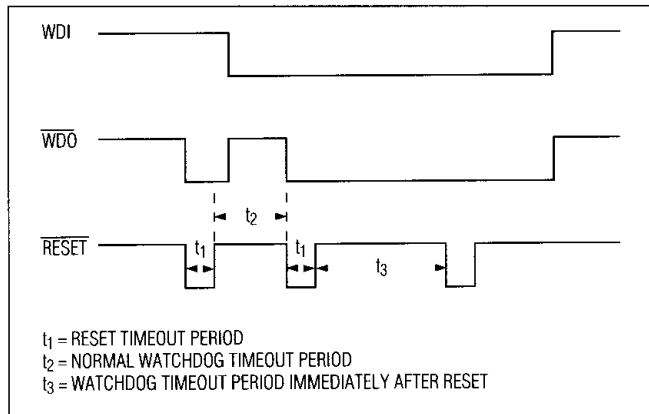


図2. ウォッチドッグタイムアウト期間とリセットアクティブ時間

V_{CC} がリセットスレッシュホールド以下に低下した場合、ウォッチドッグ機能はディセーブルされ、またWDIは内部抵抗ネットワークから切り離され、ハイインピーダンスになります。

ウォッチドッグ出力

ウォッチドッグタイムアウト期間中、WDIでトランジションまたはパルス発生があった場合、ウォッチドッグ出力(\overline{WDO})はハイのままを維持します。 V_{CC} がリセットスレッシュホールド以下、またはバッテリーバックアップモードがイネーブル、あるいはWDIがオープンの場合、ウォッチドッグ機能はディセーブルされ \overline{WDO} はロジックハイになります。ウォッチドッグモードにおいてウォッチドッグタイムアウト期間中、WDIでトランジションが起こらない場合、RESET及び \overline{RESET} が、リセットタイムアウト期間中(200ms typ)実行され、 \overline{WDO} はローになり、WDIの次のトランジションが起るまでローのままです(図2)。WDIが長い間ハイかローの場合、RESETと \overline{RESET} は1.6s毎に200msのパルスを発生します。 \overline{WDO} は2×TTL出力特性を備えています。

他のウォッチドッグ及びタイムアウトの選択

OSC SEL及びOSC IN入力によりウォッチドッグとリセットのタイムアウト期間をコントロールすることができます。OSC SELとOSC INをオープン、または V_{OUT} に接続すると、公称1.6sのウォッチドッグタイムアウト期間と200msのリセットタイムアウト期間が設定されます。OSC INをGNDに接続、OSC SELをオープンか V_{OUT} に接続することにより、100msの通常でのウォッチドッグタイムアウトディレイとリセット直後での1.6sのディレイが設定されます。リセットタイムアウトディレイは200msのままです(図2)。OSC SELをグラウンドに接続

表 1. リセットパルス幅とウォッチドッグタイムアウトの選択

OSC SEL	OSC IN	Watchdog Timeout Period		Reset Timeout Period
		Normal	Immediately After Reset	
Low	External Clock Input	1024 clks	4096 clks	2048 clks
Low	External Capacitor	(600/47pF x C)ms	(2.4/47pF x C)sec	(1200/47pF x C)ms
Floating	Low	100ms	1.6sec	200ms
Floating	Floating	1.6sec	1.6sec	200ms

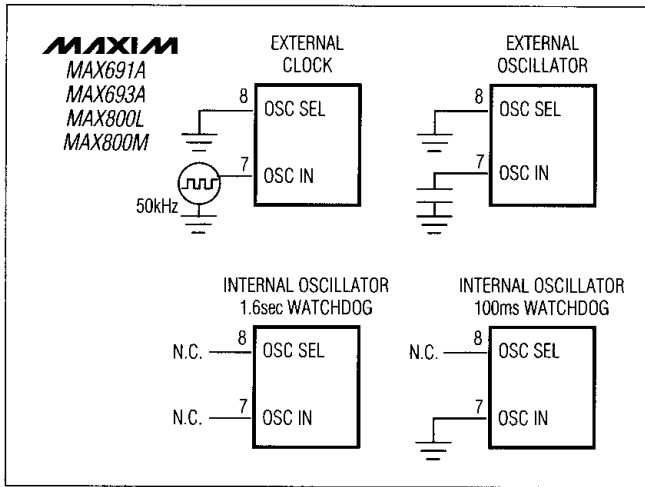


図 3. オシレータ回路

し、OSC INとグランド間にコンデンサを接続することにより、あるいはOSC INを外部駆動することにより、他のタイムアウト期間を選択することができます(表 1、図 3)。OSC INはオシレータ周波数を生成するためのタイミングコンデンサを放電及び充電する、±100nA(typ)電流ソースに内部接続されています。これはリセット及びウォッチドッグタイムアウト期間を設定します(アプリケーションの項の「タイミングコンデンサのOSC INへの接続」を参照)。

チップイネーブル信号のゲート

MAX691A/MAX693A/MAX800L/MAX800Mは、チップイネーブル(CE)信号の内部ゲートを備えており、パワーフェイル時、誤ったデータがCMOS RAMに書込まれるのを防ぎます。通常動作時のCEゲートはイネーブルされ全CEトランジションを通しますが、リセットがかけられた場合はこの経路はディセーブルされ、誤ったデータがCMOS RAMのデータを破壊するのを防ぐことができます。これら全製品において、 \overline{CE} INから \overline{CE} OUTへは直列トランスミッションゲートが使用されています(図 4)。

\overline{CE} INから \overline{CE} OUTへの最大CE伝播遅延が10nsのため、この製品は殆どのμPシステムで使用できます。

チップイネーブル入力

チップイネーブル入力(\overline{CE} IN)はRESET及び \overline{RESET} が実行されている間ハイインピーダンス(ディセーブルモード)です。

V_{CC} がリセットスレッシュホールド以下に低下するようなパワーダウンの過程、またはウォッチドッグフォルトの場合、 \overline{CE} INでの電圧がハイになるか、あるいはリセットが実行されてから15μs後か、そのどちらか先に起った方で \overline{CE} INはハイインピーダンス状態になります(図 5)。

パワーアップの過程において、リセットタイムアウト期間の後にリセットが解除されるまで、 \overline{CE} INはそのアクティビティに関係なくハイインピーダンスを維持します。

ハイインピーダンスモードでのこの入力に流れる漏れ電流は、全温度範囲において±1μA(max)です。ローインピーダンスモードでの \overline{CE} INのインピーダンスは、 \overline{CE} OUTの負荷と直列に接続された75Ωの抵抗として見えます。

CEのトランスミッションゲートの伝播遅延は、 \overline{CE} INをドライブする信号源のインピーダンスとチップイネーブル出力(\overline{CE} OUT)での容量負荷によって変化します(標準動作特性の項の「チップイネーブル伝播遅延vs. \overline{CE} OUT負荷容量」を参照)。CE伝播遅延は \overline{CE} INの50%ポイントから \overline{CE} OUTの50%ポイントまで、50Ωドライバと50pF負荷容量を用いて量産テストされています。伝播遅延を最小にするためには、 \overline{CE} OUTの容量負荷を最小化し、また低出力インピーダンスドライバを使用して下さい。

チップイネーブル出力

イネーブルモードでの \overline{CE} OUTのインピーダンスは、 \overline{CE} INのドライブ抵抗と直列に接続されている75Ωと同じです。ディセーブルモードでは、75Ωトランスミッションゲートはオフされ、 \overline{CE} OUTは V_{OUT} にプルアップされ、トランスミッションゲートがイネーブルになった場合、このプルアップはターンオフされます。

LOW LINE出力

LOW LINEは、リセットスレッシュホールドコンパレータのバッファード出力です。LOW LINEは0.1Vで3.2mA

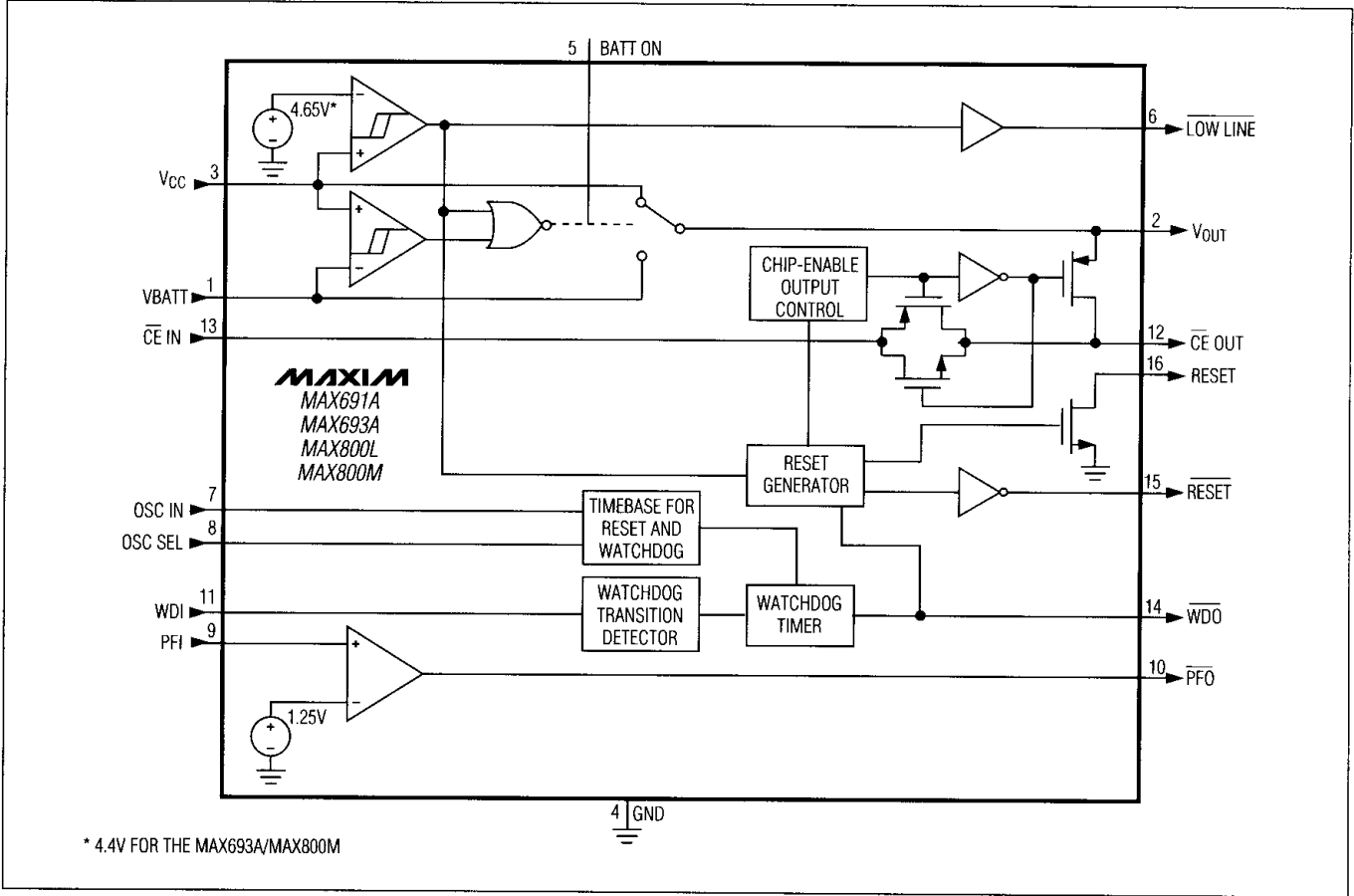


図4. MAX691A/MAX693A/MAX800L/MAX800Mのブロックダイアグラム

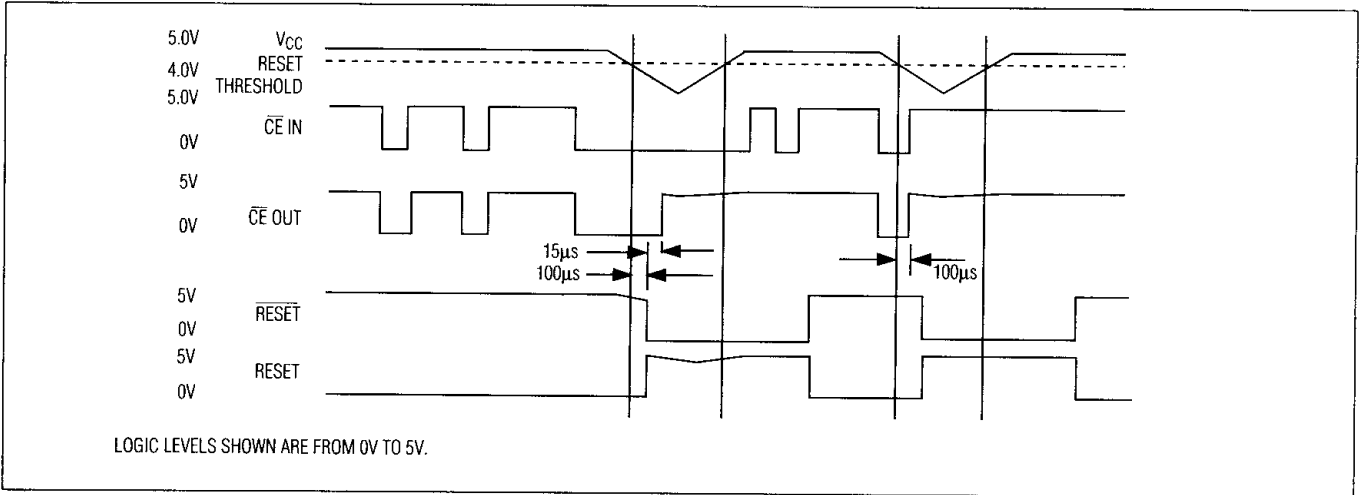


図5. リセット及びチップイネーブルタイミング

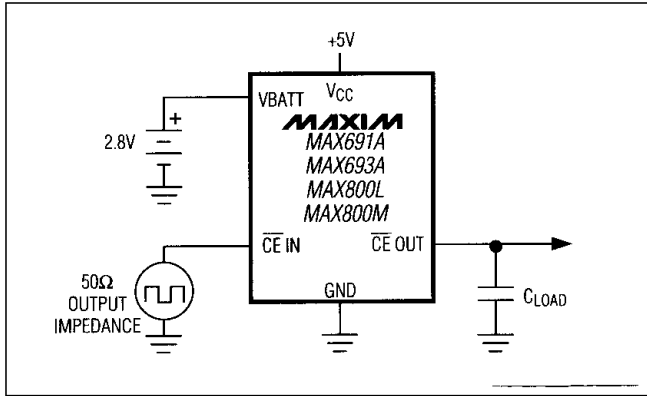


図6. CEの伝播遅延試験回路

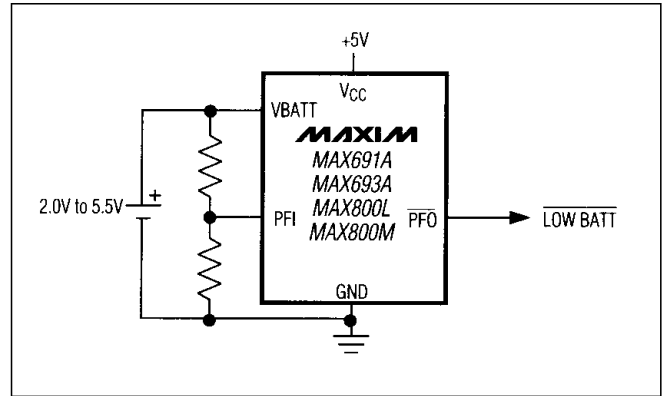


図7. ローバッテリーインジケータ

表2. バッテリバックアップモード時の入出力状態

端子	名称	状態
1	VBATT	消費電流は1μA(max)。
2	V _{out}	内部PMOSスイッチを通して、V _{out} はVBATTに接続されています。
3	V _{cc}	切り替えのため、バッテリー切換コンパレータはV _{cc} を監視。
4	GND	GND - 全信号に対しての0Vリファレンス。
5	BATT ON	ロジックハイ。この開回路出力はV _{out} と同等。
6	LOWLINE	ロジックロー*
7	OSC IN	OSC INは無視。
8	OSC SEL	OSC SELは無視。
9	PFI	V _{cc} ≥ VBATT - 1.2Vのバッテリーバックアップモードで、このパワーフェイルコンパレータはアクティブ。
10	PFO	V _{cc} ≥ VBATT - 1.2Vのバッテリーバックアップモードで、このパワーフェイルコンパレータはアクティブ。この電圧以下では、PFOはローになります。
11	WDI	ウォッチドッグは無視。
12	CE OUT	ロジックハイ。この開回路出力電圧はV _{out} と同等。
13	CE IN	ハイインピーダンス。
14	WDO	ロジックハイ。この開回路出力電圧はV _{out} と同等。
15	RESET	ロジックロー*
16	RESET	ハイインピーダンス*

* バッテリバックアップモードに入るには、V_{cc}はリセットスレッシュホールド以下であることが必要。

(typ)シンクし、通常動作時(V_{cc}がLOW LINEスレッシュホールドより上)ではV_{out}にプルアップされます。

パワーフェイルコンパレータ

このパワーフェイルコンパレータは、他の機能には影響を与えない独立したコンパレータで、普通は、ローバッテリー検出(図7)及び初期のパワーフェイル警報に使用されます(標準動作回路参照)。

パワーフェイル入力

パワーフェイル入力(PFI)はパワーフェイルコンパレータの入力端子で、全温度範囲での入力漏れ電流は±25nA(max)が保証されています。コンパレータのディレイは、V_{IL}からV_{OL}の場合(パワーフェイル時)25μs(typ)、V_{IH}からV_{OH}(電源投入時)では60μs(typ)です。もし使用しない場合は、入力端子をグランドに接続して下さい。

パワーフェイル出力

パワーフェイル出力(PFO)は、PFIが1.25V以下になった場合ローになり、0.1Vの飽和電圧で3.2mA(typ)シンクします。またPFIが1.25V以上の場合、PFOはV_{out}にプルアップされます。

バッテリーバックアップモード

MAX691A/MAX693A/MAX800L/MAX800Mは、次の2つの状態を満たした場合、バッテリーバックアップモードに切り替わります。1) V_{cc}がリセットスレッシュホールド以下になった場合。2) V_{cc}がVBATT以下になった場合。

表2にバッテリーバックアップモード時の入出力状態が示されています。

バッテリーオン出力

バッテリーオン(BATT ON)出力により、内部V_{cc}/バッテリーの切換コンパレータの状態を示すことができ、これにより

内部V_{CC}とVBATTの切換えスイッチをコントロールしています。V_{CC}がVBATTより大きい場合(小さなヒステリシスの影響は除く)、BATT ONは0.1Vの飽和電圧で3.2mA(typ)シンクし、バッテリーバックアップモードにおいては、この端子はV_{OUT}から約10μAをソースします。バッテリー切換の状態を示すために、または高電流のアプリケーションに対する外付パストランジスタにベースドライブを供給するために、BATT ONを使用して下さい(標準動作回路参照)。

入力電源電圧

入力電源電圧(V_{CC})は+5Vに安定化して下さい。V_{CC}はパラレルダイオードと大きなPMOSスイッチを介してV_{OUT}に接続されていますが、このスイッチは250mA以下の全電流負荷を流し、一方のパラレルダイオードは250mAを越す電流を流します。各スイッチ、ダイオードのインピーダンスは1Ω以下です。連続最大電流は250mAですが、パワーオントランジエントで最大1Aに達します。

バッテリーバックアップ入力

バックアップバッテリー入力(VBATT)はV_{CC}入力と類似していますが、PMOSスイッチとパラレルダイオードがかなり小さくなっています。従って、ダイオードとスイッチのオン抵抗値は約10Ωです。このため連続電流は25mA、ピーク電流は(パワーアップ時のみ)250mAに制限して下さい。この入力の逆漏れ電流は全温度範囲、また全電源範囲において1μA以下です(図8)。

出力電源電圧

出力電源電圧(V_{OUT})は、内部的にこのICのサブストレートに接続されており、外付システムと内部回路に電流を供給します。例えば全開回路出力は、ハイ状態ではV_{CC}電圧ではなくV_{OUT}電圧になります。250mAの最大ソース電流において、V_{OUT}はV_{CC}より200mV(typ)低くなります。この端子は0.1μFコンデンサでデカップリングして下さい。

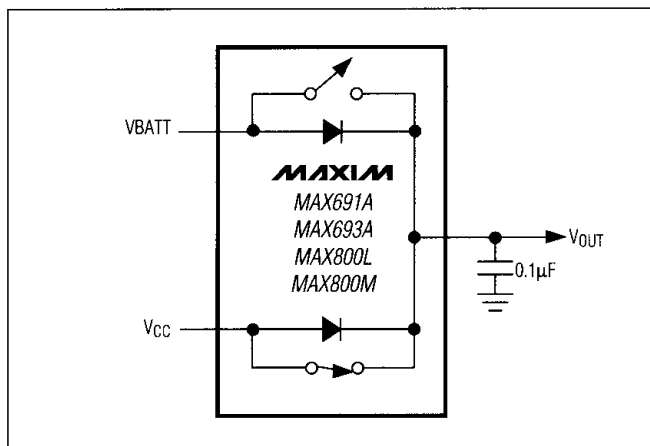


図8. V_{CC}とVBATTからV_{OUT}へのスイッチング

アプリケーション情報

MAX691A/MAX693A/MAX800L/MAX800Mは、短絡保護がなされていないため、デカップリングコンデンサの充電等、パワーアップトランジエント以外でV_{OUT}をグランドに短絡した場合、ICが破壊されます。

開回路の全出力はV_{CC}～GNDではなく、V_{OUT}～GNDの範囲でスイングします。

長い線を入力端子に接続する場合、この線がリングング、及びICの保護ダイオードをバイアスする状態を起こさないよう注意して下さい。

動作モードには次の3種類があります。

- 1) 全回路がパワーアップされたノーマル動作モード。V_{CC}からの電源電流は35μA(typ)で、バッテリーから流れる漏れ電流は僅かです。
- 2) V_{CC}がVBATT以下で差が0.7V(typ)以内の時のバッテリーバックアップモード。全回路がパワーアップされ、バッテリーからの電源電流は60μA(typ)以下です。
- 3) V_{CC}がVBATT以下で差が0.7V以上の時のバッテリーバックアップモード。VBATTの電源電流は1μA(max)です。

MAX691A/MAX693A/MAX800L/MAX800MでのSuperCap™又はMaxCap™の使用

VBATTの動作電圧範囲はV_{CC}と同じです。バッテリー切換えのスレッシュホールド電圧はVBATTを中心に±30mV(typ)で、バックアップソースとしてスーパーキャップ及び単純な充電回路が使用できます(図9)。

V_{CC}がリセットスレッシュホールド以上で、VBATTがV_{CC}より0.5V以上高い場合、VBATTの電圧がV_{CC}の上0.5V以下になるまで、VBATTからV_{OUT}及びV_{CC}へ電流が流れます。

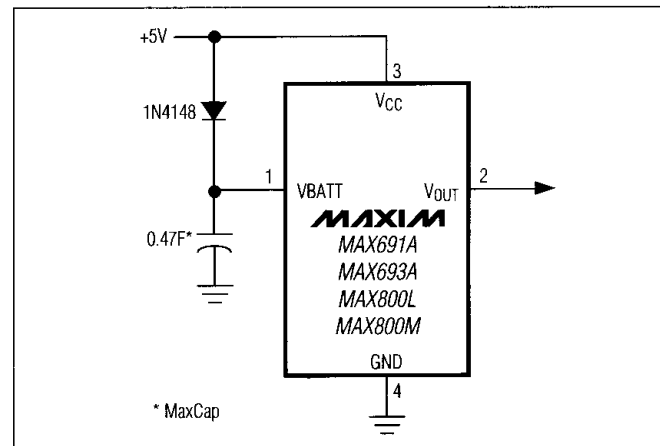


図9. VBATTに接続されたスーパーキャップ

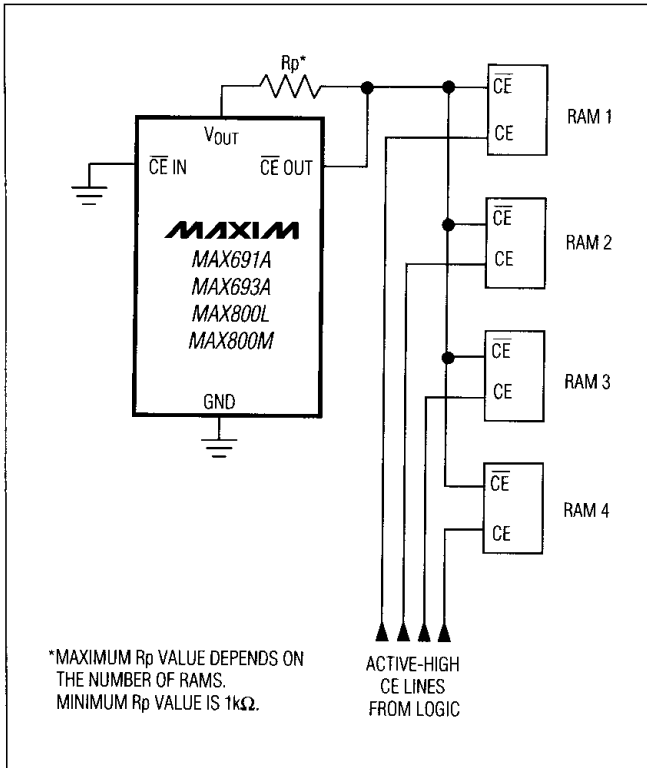


図 10. CEゲートの代替

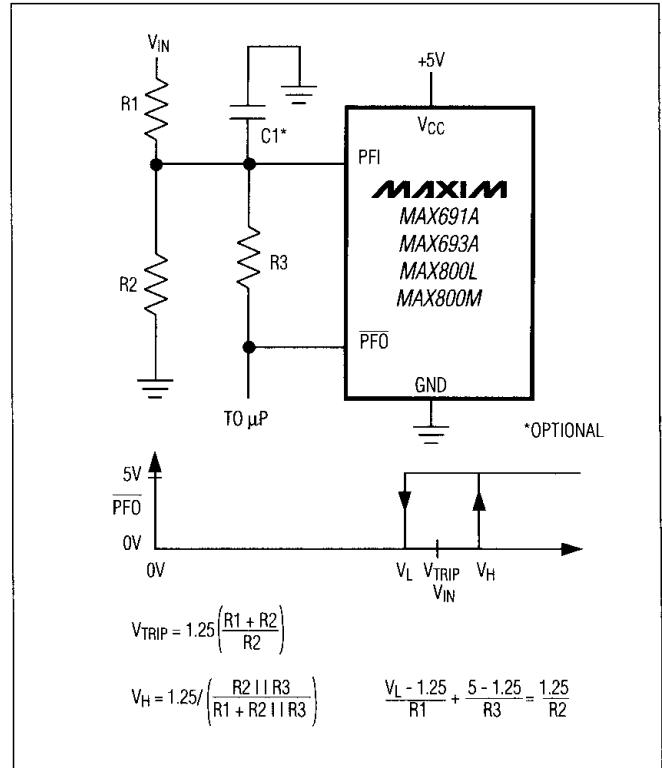


図 11. パワーフェイルコンパレータへのヒステリシス追加

例えば、スーパーキャップがVBATT、及びダイオードを介してV_{cc}へ接続された状態で、V_{cc}が5.4Vから4.9Vへ素速く変化した場合、VBATTが5.1V(typ)になるまで、このコンデンサはV_{out}とV_{cc}を通して放電されます。そして最後には、スーパーキャップの充電ダイオードと内部パワーダイオードの漏れ電流によって、スーパーキャップはV_{cc}まで放電されます。またV_{cc}とVBATTがリセットスレッシュホールドの上0.1Vからスタートし、V_{cc}の電源が消失した場合、VBATTに接続されたスーパーキャップはVBATTがリセットスレッシュホールドに到達するまでV_{cc}を通して放電されます。その後バッテリーバックアップモードに切り換えられ、V_{cc}に流れる電流はゼロになります。

VBATT 及び V_{cc} への別々の電源使用

V_{cc}とVBATTの電源に別々のものを使用し、V_{cc}がリセットスレッシュホールド以上の場合、VBATTはV_{cc}の上0.3V以下でなければなりません。前のセクションで述べた通り、VBATTがこの制限値を越えた場合、及びV_{cc}の電源が消失した場合、VBATT - V_{out}ダイオード及びV_{out} - V_{cc}スイッチを通して回路が開かれるまで、VBATTからV_{cc}に連続電流が流れます(図8)。

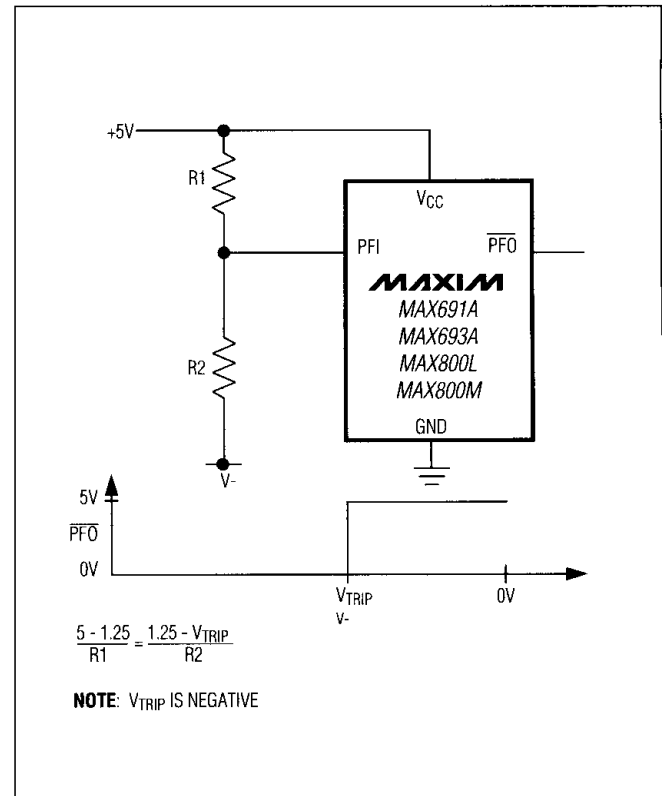


図 12. 負電圧監視

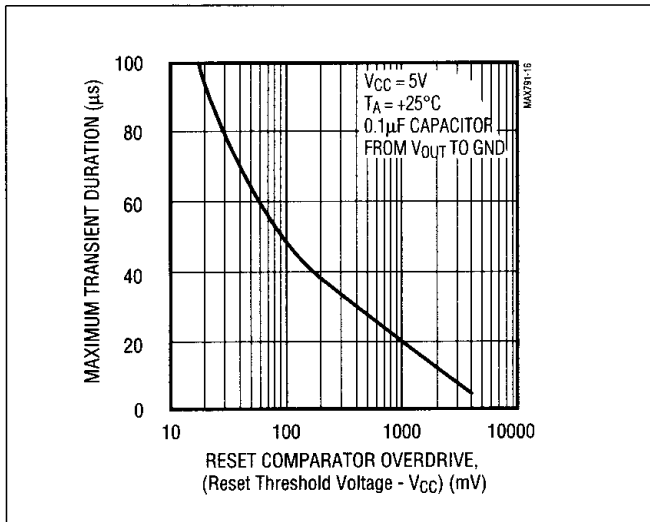


図13. 最大トランジェント期間(リセットパルス発生無し)vs.リセットコンパレータオーバドライブ

別のチップイネーブルゲーティング

CE及び \overline{CE} 入力付きのメモリICを使用する場合には、CEループをバイパスすることができます。このために、 \overline{CE} INをグランドに接続し、 \overline{CE} OUTを V_{OUT} にプルアップし、 \overline{CE} OUTを各メモリICの \overline{CE} 入力に接続して下さい(図10)。各ICのCE入力はゲーティングされる必要はなく、チップセレクトロジックへ直接接続されます。

パワーフェイルコンパレータへのヒステリシスの追加

ヒステリシスによりパワーフェイルコンパレータでのノイズマージンが増え、 V_{IN} がパワーフェイルコンパレータのトリップポイントの周辺の値の場合、 \overline{PFO} が繰り返しトリガされるのを防ぎます。

図11に、パワーフェイルコンパレータにヒステリシスを付加する方法が示されています。 V_{IN} が所望のトリップポイント(V_{TRIP})に降下した時に、PFIが1.25VになるようにR1対R2の比を選択して下さい。抵抗R3によりヒステリシスが加えられ、抵抗値はR1あるいはR2の値より1桁大きくなります。R1及びR2を流れる電流は、少なくとも1μA以上にし、25nA(max)のPFI入力電流によってトリップポイントが移動しないようにします。R3は \overline{PFO} 端子が過負荷にならないために、10kΩ以上でなければなりません。コンデンサC1によりノイズ除去がさらに加えられます。

負電圧の監視

図12の回路を使用し、パワーフェイルコンパレータにより負電源を監視することができます。負電圧が有効な場合は、 \overline{PFO} はロー、また負電圧が低下した場合は、 \overline{PFO} はハイになります。この回路の精度は、PFIスレッシュホールド許容値、 V_{CC} 電圧、抵抗R1、R2により影響を受けます。

バックアップバッテリーの交換

バックアップバッテリーは V_{CC} がリセットスレッシュホールド以上の時切り離すことができ、リセットパルスが発生しないため予備警告は必要ありません。

V_{CC} の負への遷移

パワーアップ、パワーダウン、異常電圧時にμPに対しリセットパルスが送られている間、この監視回路は、短期間の負への V_{CC} 遷移(グリッチ)からは比較的影響を受けません。 V_{CC} に僅かなグリッチが発生した場合、μPをリセットすることは望ましくありません。

図13は最大トランジェント期間vs.リセットコンパレータオーバドライブ(これによりリセットパルスは発生しません)を示しています。このグラフは、5Vからリセットスレッシュホールド以下に示された値だけ(リセットコンパレータのオーバドライブ)負へ遷移する V_{CC} パルスを使用したものです。このグラフはリセットパルスが発生することなく負に遷移する V_{CC} の最大パルス幅を示しています。遷移の振幅が増加するにつれ(例えば、リセットスレッシュホールドよりかなり下まで)、最大パルス幅は減少します。通常、リセットスレッシュホールドより100mV以下までの V_{CC} の遷移で40μs間の継続によっては、リセットパルスは発生しません。

100nFのバイパスコンデンサを V_{CC} に近づけて実装することで、さらに遷移による影響を防ぐことができます。

タイミングコンデンサのOSC INへの接続

OSC SELがグランドに接続されている時、OSC INは内部10μA(typ)プルアップから切り離され、±100nA電流ソースに内部接続されます。コンデンサがOSC INからグランドに接続されている時(リセット及びウォッチドッグタイムアウト期間を選択)、電流ソースはタイミングコンデンサに充電及び放電し、リセット及びウォッチドッグタイムアウト期間を制御するオシレータを生成します。タイミングエラーやオシレータスタートアップの問題を防ぐためには、このピンの内部電流リークソースを最小に抑え、コンデンサをOSC INのできるだけ近くに配置してください。PCボードリークとOSCコンデンサリークの和は、±100nAより小さくなくてはなりません。

V_{CC}の最大降下時間

V_{CC}の降下時間はバッテリー切換えコンパレータの伝播遅延で制限されており、0.03V/μsを超えないようにしてください。殆どのレギュレータのフィルタ容量の標準値は、電流1A当たり100μF程度です。電源がオフあるいはメインバッテリーが切り離された場合の初期V_{CC}降下率はその逆数、即ち1A/100μF=0.01V/μsとなります。V_{CC}フォールレートはV_{CC}がフォールするに従い最大フォールタイム条件を満たすよりも減少します。

ウォッチドッグ機能のためのソフトウェア上の考慮

ウォッチドッグタイマを使用して、ソフトウェアの実行をより精密に監視できる方法があります。これは、ウォッチドッグ入力に「ハイ・ロー・ハイ」や「ロー・ハイ・ロー」のパルスを送るのではなく、プログラム中の異なる点でウォッチドッグ入力をセット、リセットする方法です。この方法を用いることで、ループ中でウォッチドッグタイマがリセットし続け、ウォッチドッグタイマがタイムアウトなくなるスタックループを避けることができます。図14に例示するフロー図では、ウォッチドッグ入力を駆動するI/Oはプログラムの最初でハイに設定され、各サブルーチン又はループの最初でローに設定されます。そしてプログラムが始めに戻ると再びハイに設定されます。プログラムがどこかのサブルーチンでハングした場合、I/Oがローに設定され続けるため、ウォッチドッグタイマがタイムアウトしてリセット又は割込みを生成することができます。

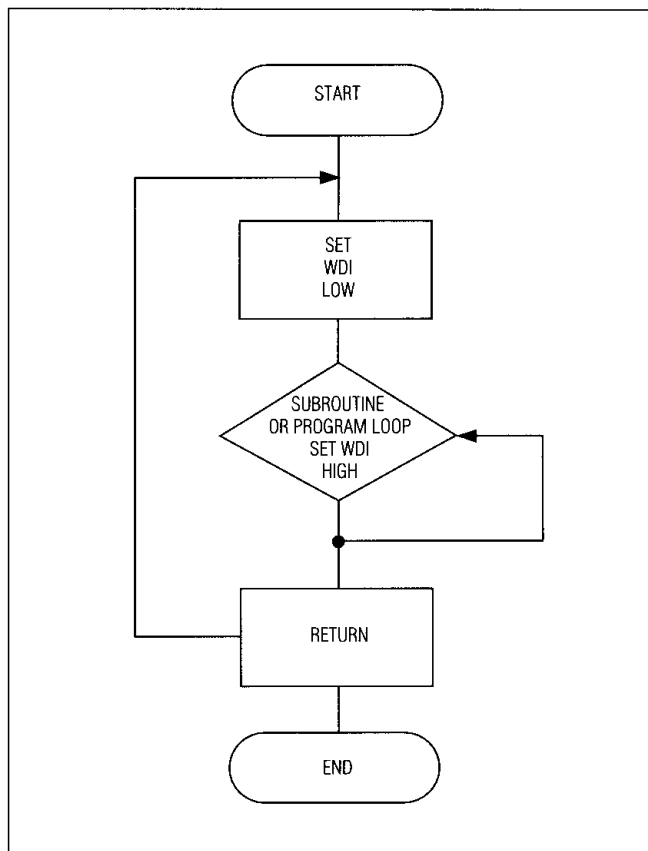


図14. ウォッチドッグフローダイアグラム

μP監視回路

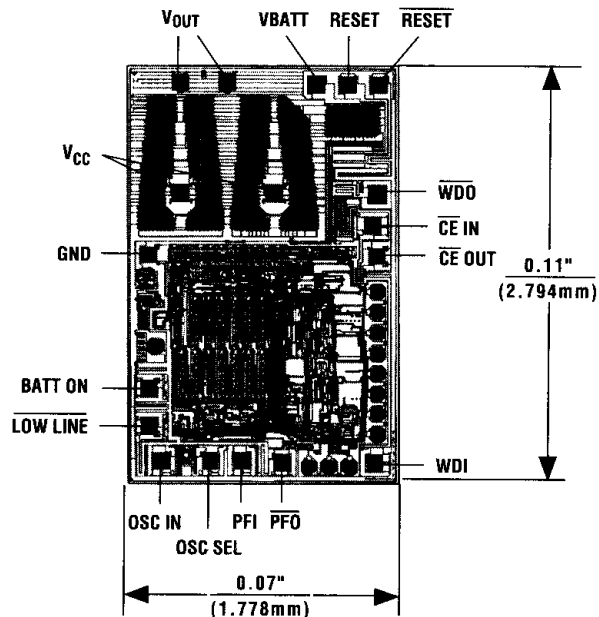
MAX691A/MAX693A/MAX800L/MAX800M

型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE
MAX693ACPE	0°C to +70°C	16 Plastic DIP
MAX693ACSE	0°C to +70°C	16 Narrow SO
MAX693ACWE	0°C to +70°C	16 Wide SO
MAX693AC/D	0°C to +70°C	Dice*
MAX693AEPE	-40°C to +85°C	16 Plastic SO
MAX693AESE	-40°C to +85°C	16 Narrow SO
MAX693AEWE	-40°C to +85°C	16 Wide SO
MAX693AEJE	-40°C to +85°C	16 CERDIP
MAX693AMJE	-55°C to +125°C	16 CERDIP
MAX800LCPE	0°C to +70°C	16 Plastic DIP
MAX800LCSE	0°C to +70°C	16 Narrow SO
MAX800LEPE	-40°C to +85°C	16 Plastic DIP
MAX800LESE	-40°C to +85°C	16 Narrow SO
MAX800MCPE	0°C to +70°C	16 Plastic DIP
MAX800MCSE	0°C to +70°C	16 Narrow SO
MAX800MEPE	-40°C to +85°C	16 Plastic DIP
MAX800MESE	-40°C to +85°C	16 Narrow SO

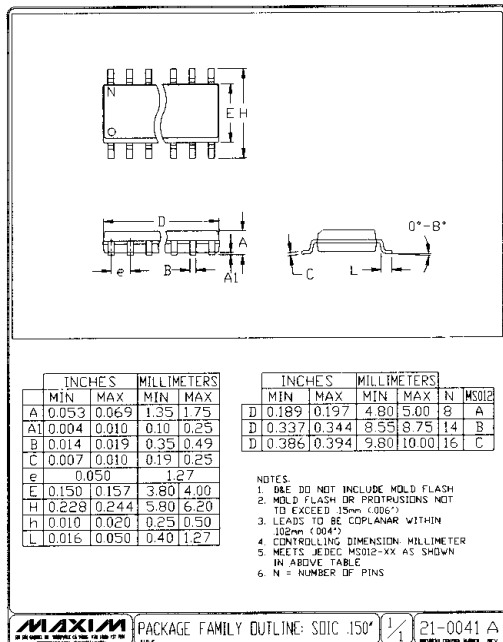
* Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

チップ構造図



TRANSISTOR COUNT: 729
SUBSTRATE CONNECTED TO V_{OUT}

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾンビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408)737-7600