



AK4550

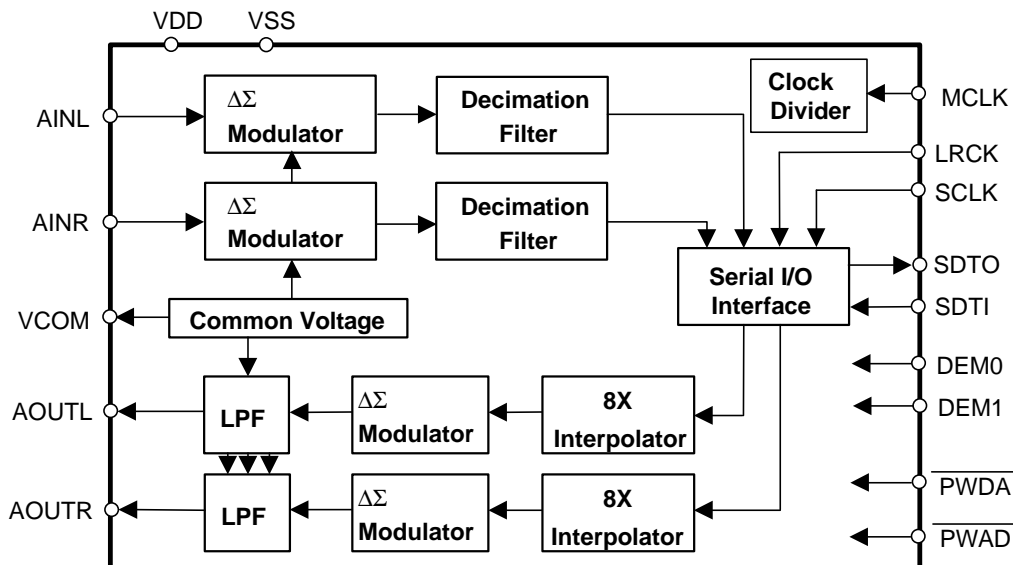
Low Power & Small Package 16bit $\Delta\Sigma$ CODEC

概 要

AK4550はポータブル・デジタルオーディオ機器用に開発された低電圧16bit A/D,D/Aコンバータです。スイッチト・キャパシタフィルタ(SCF)技術の採用によりクロックジッタによる、S/Nの劣化はほとんどありません。アナログ入出力はシングルエンドになっており、外付け部品をほとんど必要としません。また、従来のAK4518に比べてさらに低消費電力かつ小型パッケージ化を図っていますので、ポータブル用途には最適です。

特 長

- DC-offset キャンセル用HPF内蔵($f_c=3.4\text{Hz}$)
- シングルエンドADC
 - S/(N+D): 82dB@VDD=2.5V
 - Dynamic Range, S/N: 89dB@VDD=2.5V
- シングルエンドDAC
 - ディエンファシス内蔵(32kHz, 44.1kHz, 48kHz対応)
 - S/(N+D): 85dB@VDD=2.5V
 - Dynamic Range, S/N: 92dB@VDD=2.5V
- オーディオI/Fフォーマット: MSB First, 2's Compliment (AK4518互換)
 - ADC: 16bit前詰め
 - DAC: 16bit後詰め
- 入出力レベル: $0.6 \times VDD$ ($=1.5\text{Vpp@VDD}=2.5\text{V}$)
- 強ジッタ耐力
- サンプリングレート: 8kHz ~ 50kHz
- マスタクロック: 256fs or 384fs or 512fs
- 電源電圧: 2.3 ~ 3.6V
- 低消費電流: 10mA
- Ta = -40 ~ 85
- 超小型パッケージ: 16pin TSSOP



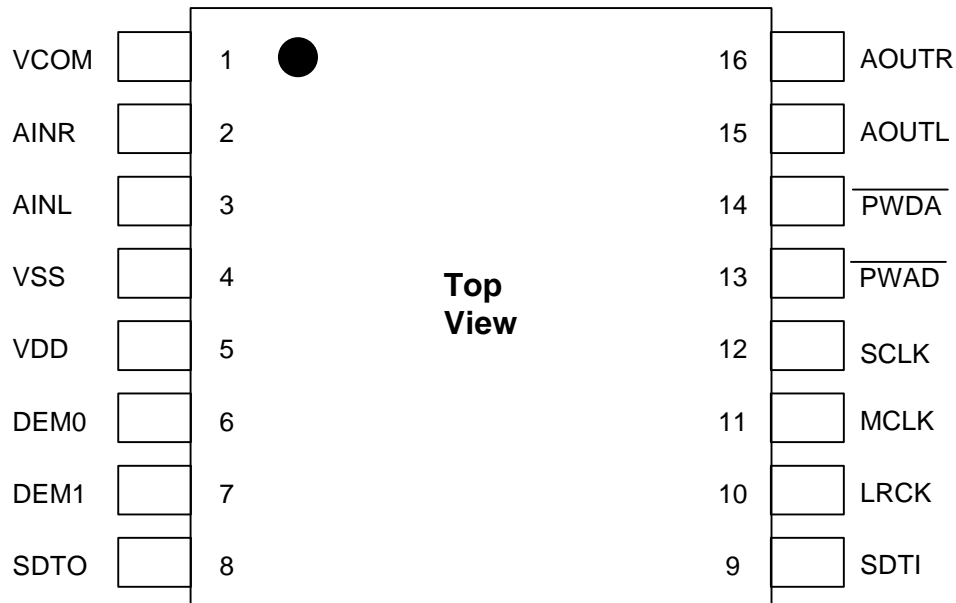
■ オーダリングガイド

AK4550VT
AKD4550

-40 ~ +85°C
AK4550用評価ボード

16pin TSSOP (0.65mm pitch)

■ ピン配置



ピン/機能

No.	ピン名称	I/O	機 能
1	VCOM	O	コモン電圧出力ピン, 0.45 x VDD
2	AINR	I	Rch アナログ入力ピン
3	AINL	I	Lch アナログ入力ピン
4	VSS	-	グラウンドピン
5	VDD	-	アナログ電源ピン
6	DEM0	I	ディエンファシスコントロールピン
7	DEM1	I	ディエンファシスコントロールピン
8	SDTO	O	オーディオシリアルデータ出力ピン
9	SDTI	I	オーディオシリアルデータ入力ピン
10	LRCK	I	L/Rチャンネルクロックピン
11	MCLK	I	マスタクロック入力ピン
12	SCLK	I	オーディオシリアルデータクロックピン
13	PWAD	I	ADC パワーダウン & リセットモードピン “L”：パワーダウンモード。電源ON時は必ず一度リセットして下さい。
14	PWDA	I	DAC パワーダウン & リセットモードピン “L”：パワーダウンモード。電源ON時は必ず一度リセットして下さい。
15	AOUTL	O	Lch アナログ出力ピン
16	AOUTR	O	Rch アナログ出力ピン

絶対最大定格

(VSS=0V; Note 1)

Parameter	Symbol	min	max	Units
Power Supply	VDD	-0.3	4.6	V
Input Current (any pins except for supplies)	IIN	-	±10	mA
Input Voltage	VIN	-0.3	VDD+0.3	V
Ambient Temperature (power applied)	Ta	-40	85	°C
Storage Temperature	Tstg	-65	150	°C

Note: 1. 電圧はすべてグランドピンに対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

推奨動作条件

(VSS=0V; Note 1)

Parameter	Symbol	min	typ	max	Units
Power Supply	VDD	2.3	2.5	3.6	V

Note: 1. 電圧はすべてグランドピンに対する値です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性

(特記なき場合は Ta=25°C; VDD=2.5V; fs=44.1kHz; Signal Frequency =1kHz; SCLK=64fs;
Measurement frequency=10Hz ~ 20kHz)

Parameter	min	typ	max	Units
ADC Analog Input Characteristics: Analog Source Impedance=470Ω (Note 2)				
Resolution			16	Bits
S/(N+D) (-0.5dB Input)	72	82		dB
D-Range (-60dB Input, A-weighted)	82	89		dB
S/N (A-weighted)	82	89		dB
Interchannel Isolation	80	95		dB
Interchannel Gain Mismatch		0.2	0.5	dB
Input Voltage (Note 3)	1.35	1.50	1.65	Vpp
Input Resistance	50	100		kΩ
Power Supply Rejection (Note 4)		35		dB
DAC Analog Output Characteristics: (Note 5)				
Resolution			16	Bits
S/(N+D)	75	85		dB
D-Range (-60dB Output, A-weighted)	86	92		dB
S/N (A-weighted)	86	92		dB
Interchannel Isolation	80	95		dB
Interchannel Gain Mismatch		0.2	0.5	dB
Output Voltage (Note 3)	1.35	1.50	1.65	Vpp
Load Resistance	10			kΩ
Load Capacitance			30	pF
Power Supply Rejection (Note 4)		50		dB
Power Supplies				
Power Supply Current				
AD+DA	$\overline{\text{PWAD}} = \text{"H"}, \overline{\text{PWDA}} = \text{"H"}$	10	15	mA
AD	$\overline{\text{PWAD}} = \text{"H"}, \overline{\text{PWDA}} = \text{"L"}$	5.6	8.4	mA
DA	$\overline{\text{PWAD}} = \text{"L"}, \overline{\text{PWDA}} = \text{"H"}$	5.6	8.4	mA
Power down (Note 6)	$\overline{\text{PWAD}} = \text{"L"}, \overline{\text{PWDA}} = \text{"L"}$	10	50	μA
Power Consumption				
AD+DA	$\overline{\text{PWAD}} = \text{"H"}, \overline{\text{PWDA}} = \text{"H"}$	25	37.5	mW
AD	$\overline{\text{PWAD}} = \text{"H"}, \overline{\text{PWDA}} = \text{"L"}$	14	21	mW
DA	$\overline{\text{PWAD}} = \text{"L"}, \overline{\text{PWDA}} = \text{"H"}$	14	21	mW
Power down (Note 6)	$\overline{\text{PWAD}} = \text{"L"}, \overline{\text{PWDA}} = \text{"L"}$	25	125	μW

Notes: 2. ADCのオフセットは内部のHPFで除去されます。

3. ADC, DACのInput/Output Voltage はVDD電圧に比例します。0.6xVDD(typ)。

4. VDDに1kHz, 50mVppの正弦波を重畳した場合の値です。

5. シバソク製AD725C使用。実効値測定。

6. パワーダウン時、クロック(MCLK, SCLK, LRCK)を含むすべてのデジタル入力ピンはVDDあるいはVSSに固定した場合の値です。ただし、 $\overline{\text{PWAD}}$, $\overline{\text{PWDA}}$ はVSSに固定です。

フィルタ特性

(Ta=25°C; VDD=2.3 ~ 3.6V; fs=44.1kHz; DEM0="1", DEM1="0")

Parameter	Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):					
Passband (Note 7)	±0.1dB -1.0dB -3.0dB	PB	0	20.0 21.1	17.4
					kHz
					kHz
Stopband		SB	27.0		kHz
Passband Ripple		PR		±0.1	dB
Stopband Attenuation		SA	65		dB
Group Delay (Note 8)		GD	17.0		1/fs
Group Delay Distortion		ΔGD		0	μs
ADC Digital Filter (HPF):					
Frequency Response (Note 7)	-3dB -0.5dB -0.1dB	FR		3.4	Hz
				10	Hz
				22	Hz
DAC Digital Filter:					
Passband (Note 7)	±0.1dB -6.0dB	PB	0	22.05	20.0
					kHz
Stopband		SB	24.1		kHz
Passband Ripple		PR		±0.06	dB
Stopband Attenuation		SA	43		dB
Group Delay (Note 8)		GD	14.8		1/fs
DAC Digital Filter + Analog Filter:					
Frequency Response	0 ~ 20.0kHz	FR		±0.5	dB

Notes: 7. 各振幅特性の周波数は fs(システムサンプリングレート)に比例します。

例えば、PB=20.0kHz(@ADC: -1.0dB, DAC: -0.1dB)は0.454 x fsです。

8. デジタルフィルタによる演算遅延で、ADC部はアナログ信号が入力されてから両チャンネルの16bitデータが出力レジスタにセットされるまでの時間です。DAC部は16bitデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

DC特性

(Ta=25°C; VDD=2.3 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	VIH	70%VDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30%VDD	V
High-Level Output Voltage (Iout= -20μA)	VOH	VDD-0.1	-	-	V
Low-Level Output Voltage (Iout= 20μA)	VOL	-	-	0.1	V
Input Leakage Current	Iin	-	-	±10	μA

スイッチング特性

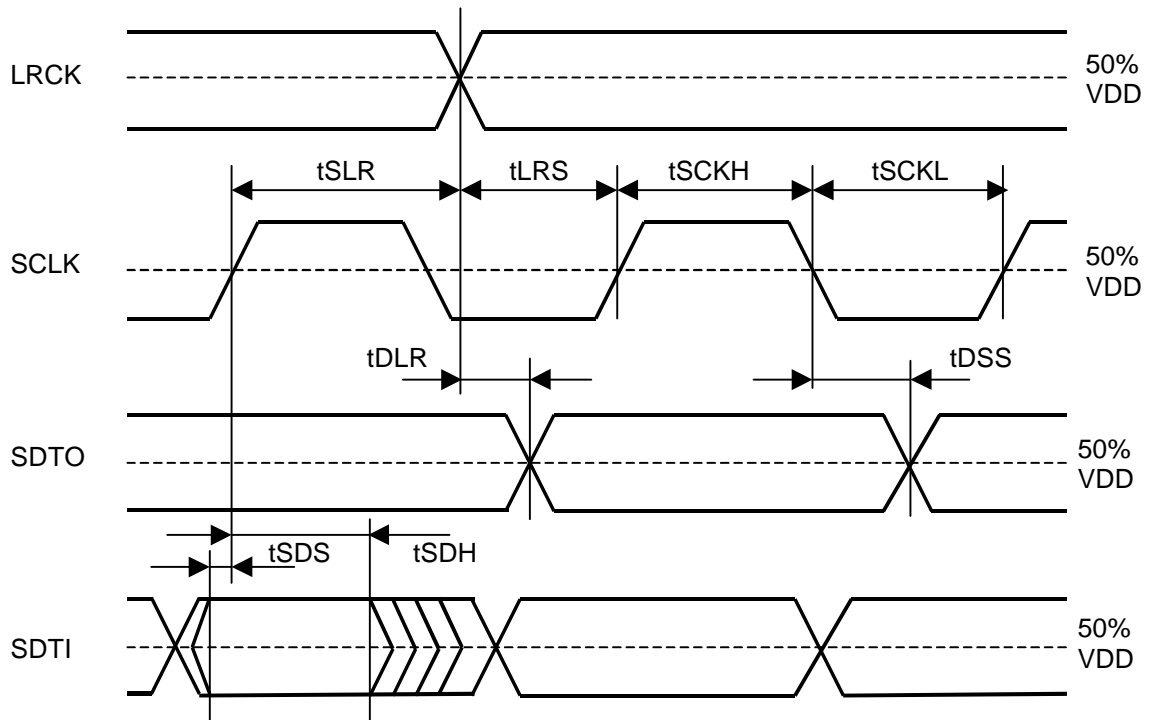
(Ta=25°C; VDD=2.3 ~ 3.6V; CL=20pF)

Parameter	Symbol	min	typ	max	Units
Master Clock Timing 256fs: Pulse Width Low Pulse Width High 384fs: Pulse Width Low Pulse Width High 512fs: Pulse Width Low Pulse Width High	fCLK	2.048	11.2896	12.8	MHz
	tCLKL	28			ns
	tCLKH	28			ns
	fCLK	3.072	16.9344	19.2	MHz
	tCLKL	23			ns
	tCLKH	23			ns
	fCLK	4.096	22.5792	25.6	MHz
	tCLKL	16			ns
tCLKH	16			ns	
LRCK Frequency Duty Cycle	fs	8	44.1	50	kHz
		45		55	%
Serial Interface Timing SCLK Period SCLK Pulse Width Low Pulse Width High LRCK Edge to SCLK “↑” (Note 9) SCLK “↑” to LRCK Edge (Note 9) LRCK Edge to SDTO (MSB) SCLK “↓” to SDTO SDTI Hold Time SDTI Setup Time	tSCK	312.5			ns
	tSCKL	130			ns
	tSCKH	130			ns
	tLRS	50			ns
	tSLR	50			ns
	tDLR			80	ns
	tDSS			80	ns
	tSDH	50			ns
	tSDS	50			ns
Reset Timing PWAD or PWDA Pulse Width PWAD “↑” to SDTO Valid (Note 10)	tPW	150			ns
	tPWV		2081		1/fs

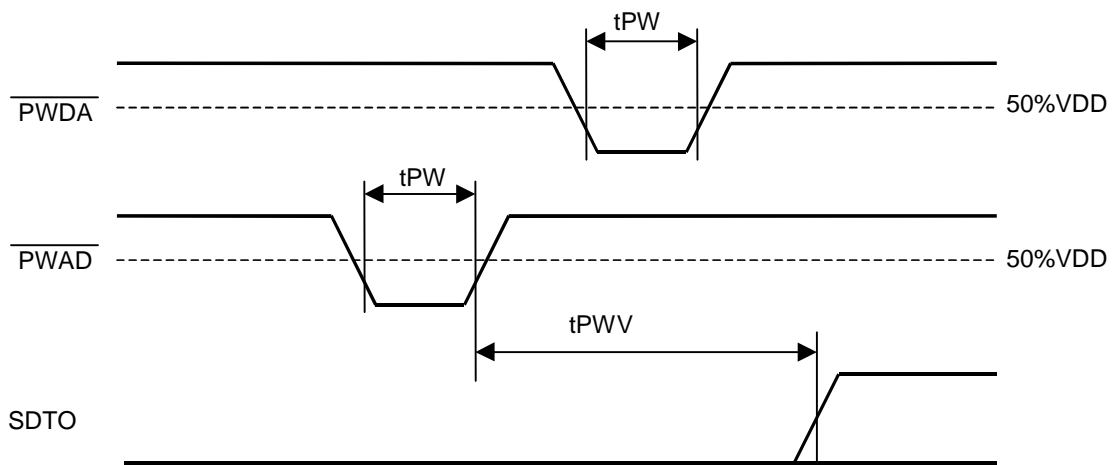
Notes 9. この規格値は LRCKのエッジとSCLKの“↑”が重ならないように規定しています。

10. PWAD を立ち上げてからの LRCKクロックの“↑”の回数です。

■ タイミング波形



シリアルインタフェースタイミング



リセット & 初期化タイミング

機能説明

■ システムクロック

AK4550は、MCLK=256fs, 384fs, 512fsを入力することができます。入力されたクロックは自動検出され、内部で256fsに分周されます。MCLKピンに入力されるクロックとサンプリングレートとの関係は表1で示されます。サンプリングクロック(LRCK)はMCLKと同期する必要はありますが位相を合わせる必要はありません。
*fsはサンプリングレートです。

動作中に各クロックの周波数変更等で内部のタイミングがずれた場合は、クリックノイズを発生する可能性があります。DACには“0”のデータを入力するとクリックノイズを避けることができます。

全パワーダウン時($\overline{PWAD} = \overline{PWDA} = "L"$)以外は、各外部クロック(MCLK, SCLK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。

fs	MCLK			SCLK	
	256fs	384fs	512fs	32fs	64fs
32.0kHz	8.1920MHz	12.2880MHz	16.3840MHz	1.0240MHz	2.048MHz
44.1kHz	11.2896MHz	16.9344MHz	22.5792MHz	1.4112MHz	2.822MHz
48.0kHz	12.2880MHz	18.4320MHz	24.5760MHz	1.5360MHz	3.072MHz

表1. システムクロック例

■ シリアルデータインタフェース

オーディオデータフォーマットはSCLKとLRCKを使ってSDTI/SDTOピンから入出力されます。データフォーマットは2'sコンプリメントのMSBファーストです。

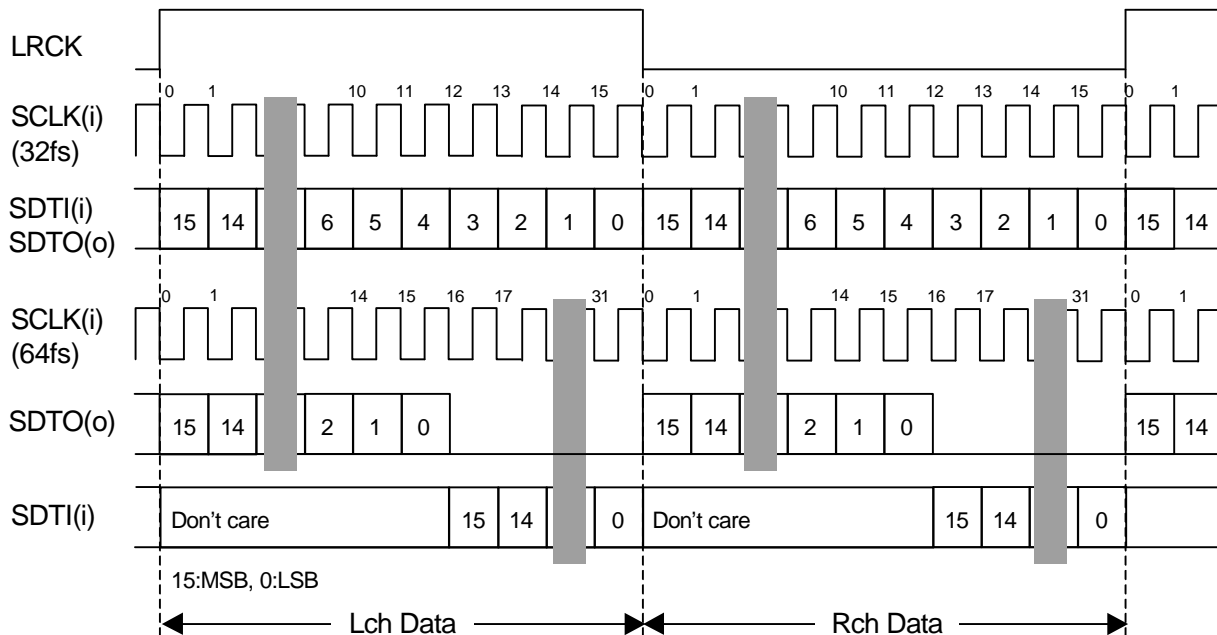


図1. オーディオインタフェースタイミング

■ ディエンファシスフィルタ

DACはIIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 μ s特性)を内蔵しています。入力データに対してDEM0, DEM1ピンで選択された周波数のディエンファシスフィルタが有効になります。ディエンファシスはDEM0="1", DEM1="0"で無効にできます。

DEM1	DEM0	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

表2. ディエンファシスフィルタコントロール

■ デジタルHPF

ADCはDCオフセットキャンセル用のHPFを内蔵しています。HPFのカットオフ周波数は3.4Hz(@fs=44.1kHz)で、20Hzの時 -0.12dBです。これは、サンプリング周波数(fs)に比例します。

■ パワーダウンとリセット

AK4550のADCとDACは各パワーダウンピン(\overline{PWAD} , \overline{PWDA})を“L”にすることで独立にパワーダウンでき、この時、同時に各デジタルフィルタがリセットされます。各パワーダウンピンによるリセットは電源投入時に必ず一度行って下さい。ADCの場合、パワーダウンモードが解除されると初期化サイクルが開始されます。そのため、出力データ、SDTOは2081xLRCKサイクル後確定します。DACにはこの初期化動作はありません。図2はDACを先に立ち上げた後、ADCを立ち上げた場合のシーケンスを示します。

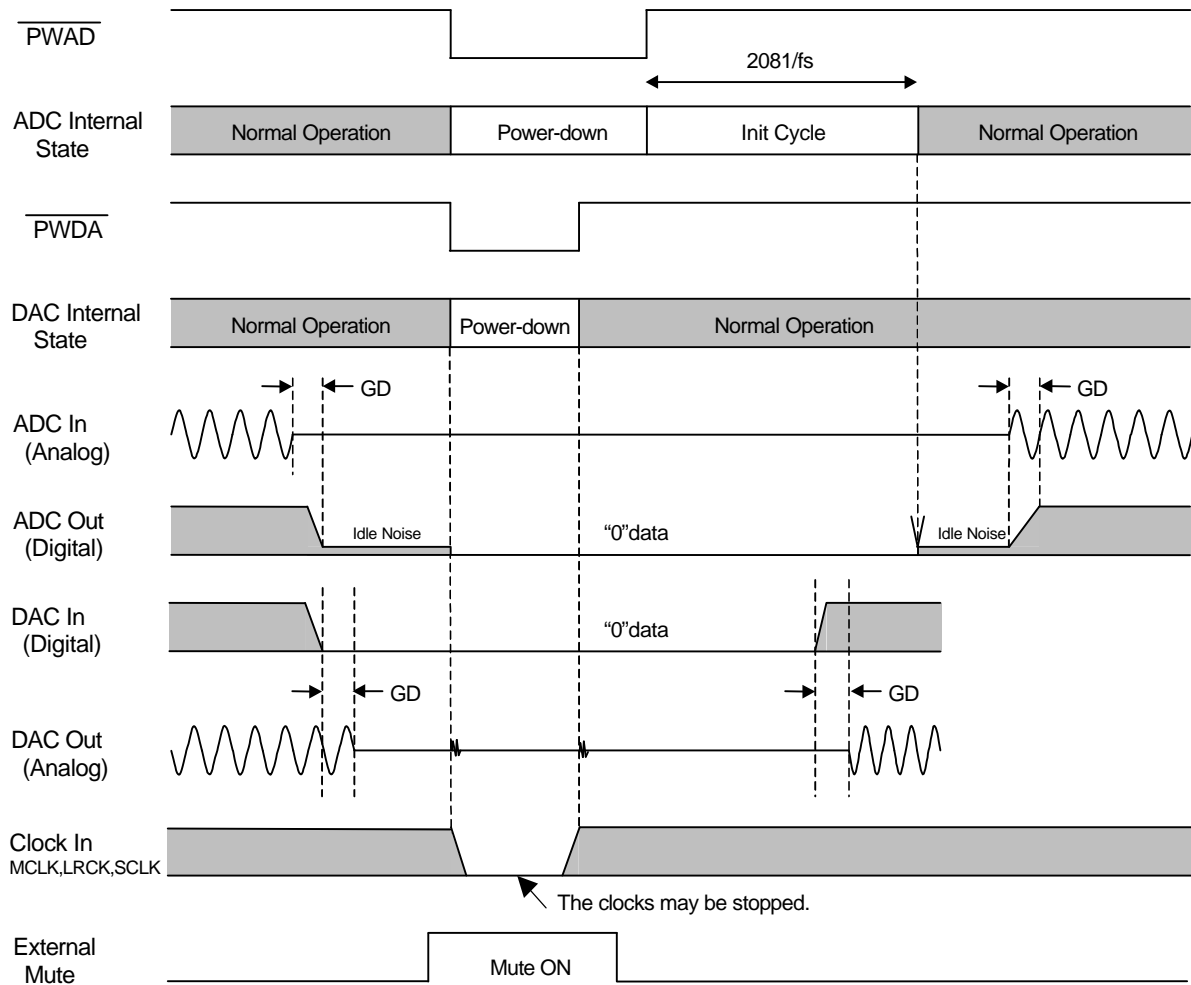


図2. パワーアップシーケンス

システム設計

システム接続例を図3に示します。具体的な回路と測定例については評価用ボード(AKD4550)を参照して下さい。

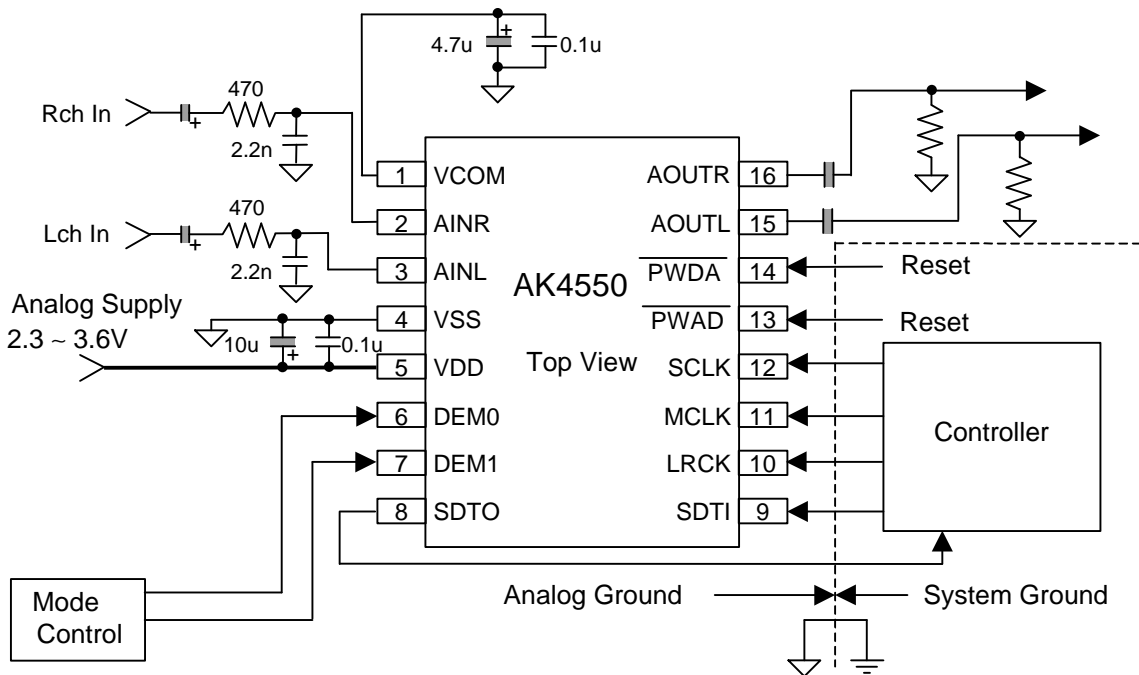


図3. システム接続図

注:

- LRCK = fs, $32fs \leq SCLK \leq 96fs$, $MCLK = 256fs/384fs/512fs$.
- AOUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。
- VCOMの電解コンデンサの容量は電源の低周波ノイズの大きさに依存します。

1. グランドと電源のデカップリング

VDDとVSSピンはアナログ電源から供給し、デジタル電源とは分けて下さい。VDDとVSSピン間に接続されている小容量のデカップリングコンデンサはなるべくデバイスの近くに配置して下さい。

2. 内蔵基準電圧

VDDピンに入力される電圧がアナログ入出力レンジを設定します。通常、VDDとVSSピン間に0.1 μ Fのセラミックコンデンサを接続します。VCOMはアナログ信号のコモン電圧及び基準電圧として使われます。このピンには高周波ノイズを除去するために4.7 μ F程度の電解コンデンサと並列に0.1 μ FのセラミックコンデンサをVSSピンとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOMピンは当LSI専用のピンですので、他の回路へ接続しないで下さい。また、デジタル信号、特にクロックは変調器へのカップリングを避けるためVDD、VCOMピンからできるだけ離して下さい。

3. アナログ入力

ADC入力はシングルエンドになっており、内部でVCOMにバイアスされています。入力レンジは0.6 x VDD V_{pp}(typ)です。出力コードのフォーマットは2'sコンプリメント(2の補数)で、正のフルスケール以上の入力電圧に対しては7FFFH(@16bit)、負のフルスケール以下に対しては8000H(@16bit)、無入力時の理想値は0000H(@16bit)です。

AK4550は64fsでアナログ入力をサンプリングします。デジタルフィルタは、64fsの整数倍付近の帯域を除く阻止域以上のノイズをすべて除去します。そのため簡単なRCフィルタ($f_c=150$ kHz)が64fs付近のノイズを減衰させるために使われますが、殆どのオーディオ信号では64fs付近に大きなノイズを持つことはありません。

4. アナログ出力

DAC出力はシングルエンドになっており、出力レンジはVCOM電圧を中心に0.6 x VDD V_{pp}(typ)です。入力コードのフォーマットは2'sコンプリメント(2の補数)で、7FFFH(@16bit)に対しては正のフルスケール、8000H(@16bit)に対しては負のフルスケール、0000H(@16bit)での理想値はVCOM電圧が出力されます。 $\Delta\Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)が気になる場合は、外付けのフィルタで減衰させて下さい。

アナログ出力はVCOM+数mV程度のDCオフセットを持つため、通常の使用ではコンデンサでDC成分をカットします。

■ レイアウトパターン例

AK4550では最適な特性を得るために電源及びグランドに注意が必要です。
 (実際のレイアウトについてはAKD4550評価ボードマニュアルを参照して下さい。)

1. VDD pinはシステムのアナログ電源に、VSS pinはシステムのアナロググランドと接続して下さい。その際、AK4550はアナロググランドとデジタルグランドが分離する近くのアナロググランドプレーン上に配置し、AK4550の近くで一点で接続して下さい。
2. VDD pinへの配線はレギュレータ等のインピーダンスの低いところから配線して下さい。
3. AK4550に入力されるクロックライン上には、オーバーシュート、アンダーシュートを押さえる為に、直列に抵抗を入れて下さい。また、MCLK pinに対してはAK4550のアナログ回路へのデジタルノイズのカップリングを防ぐ為に、デジタルグランドに対して10pFのコンデンサを接続して下さい。
4. VDD pin – VSS pin間及び、VCOM pin – VSS pin間の0.1μFのセラミックコンデンサはAK4550の近くに配置して下さい。その際、コンデンサを近くに配置するだけでなく、パターンの引き回しが最短になる様、注意して下さい。

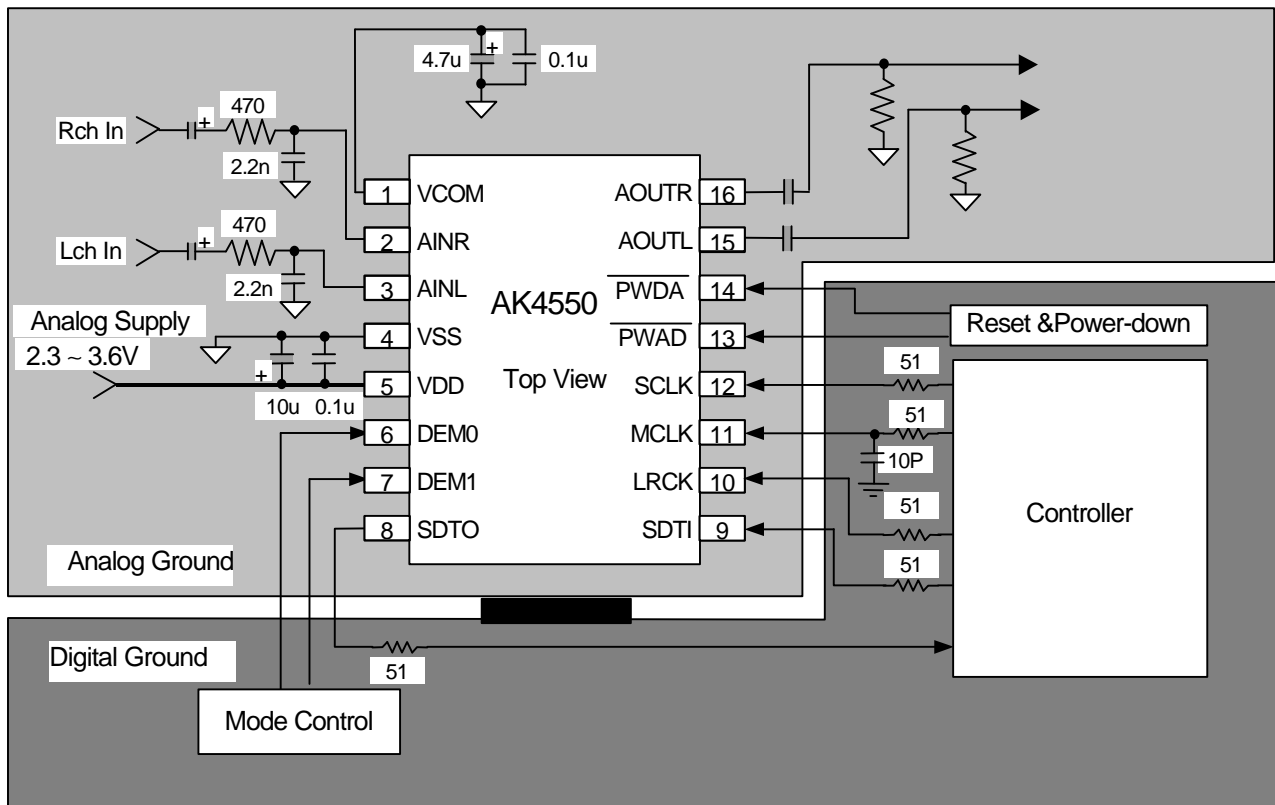
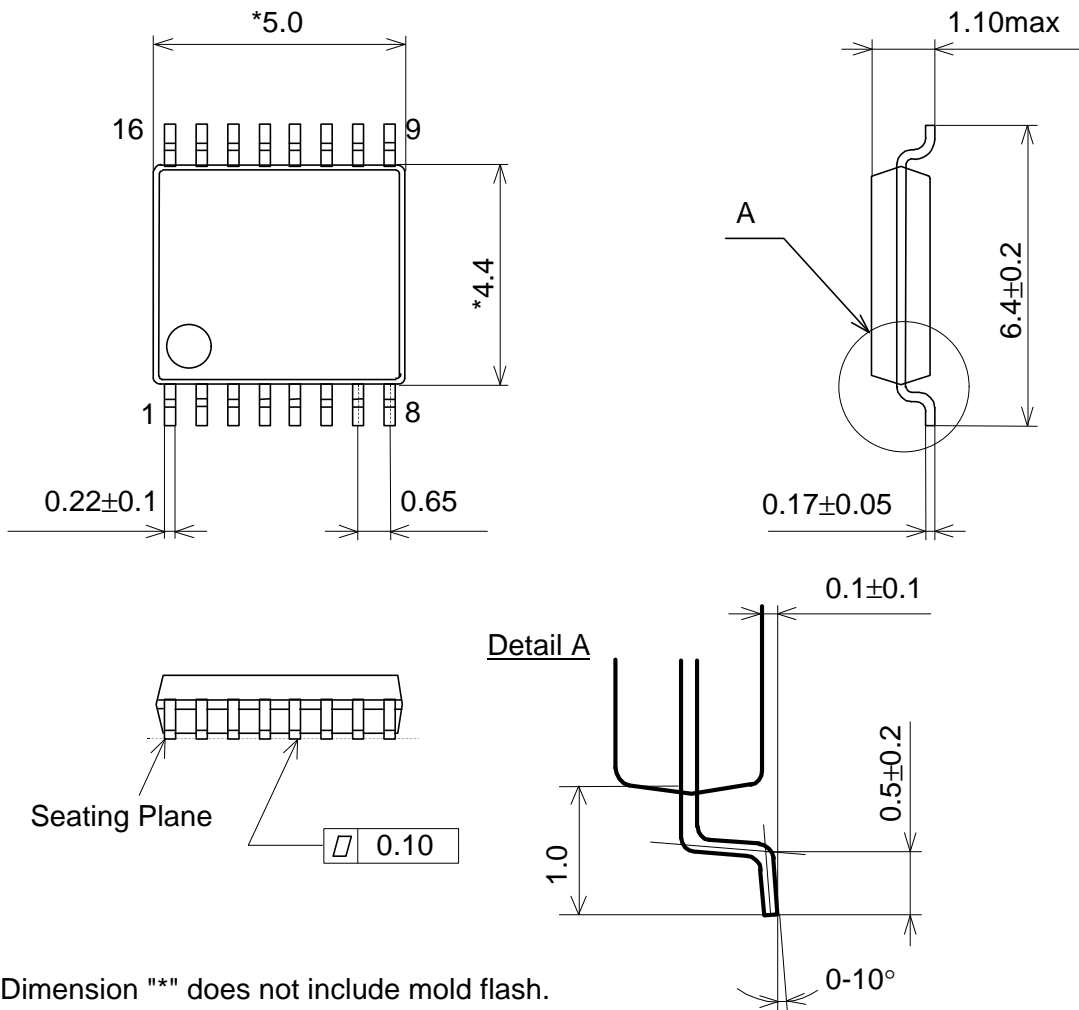


図4. レイアウトパターン例

パッケージ

16pin TSSOP (Unit: mm)

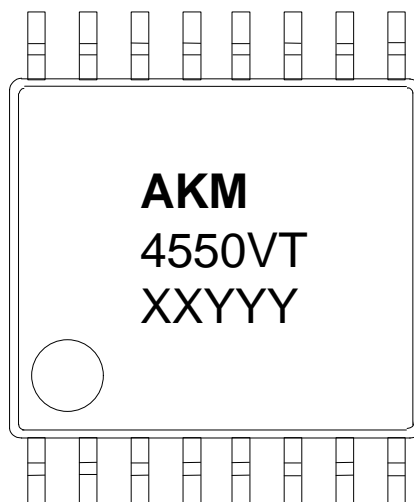


NOTE: Dimension "*" does not include mold flash.

■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂
リードフレーム材質:	銅
リードフレーム処理:	半田メッキ

マーキング



- 1) Pin #1 indication
- 2) Date Code : XXYYYY (5 digits)
 XX: lot#
 YYY: Date Code
- 3) Marketing Code : 4550VT
- 4) Asahi Kasei Logo

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。